**填空题：**

晶体管有源区、沟道区、漏区统称\_\_\_有源区\_\_，有源区以外统称为\_\_场区\_\_

MOS晶体管加衬底偏压,\_\_\_其VT将发生变化，这种效应叫体效应

1.集成电路的加工过程 三个：制作某种材料的薄膜薄层 ,在各种薄膜材料上形成需图形，掺杂改变材料电阻率或杂质类型。

MOS晶体管分为\_\_n沟道MOS型晶体管\_、\_p沟道MOS型晶体管\_两类

2.MOS晶体管的工作原理:利用 *栅*极与衬底之间的电场，在半导体表面形成*反形层*使源、漏之间形成导电*沟道*。G:栅 S：源 D：漏

3.用CMOS电路设计静态数字逻辑电路，如果设计与非逻辑下拉支路应该是串联，如果设计或非逻辑下拉支路应该是*并*联。

4.MOS存储器主要分为两类： *ROM*和*RAM* 。

5.CMOS集成电路是利用NMOS和PMOS的互补性来改善电路性能的，因此叫做CMOS集成电路。在P型衬底上用N阱工艺制作CMOS集成电路。

6. 等比例缩小理论包括恒定电场等比例缩小定律、恒定电压等比例缩小定律、准恒定电场等比例缩小定律。

CE恒定电场定律：器件所有尺寸（横向、纵向）都缩小k倍，衬底掺杂浓度增大k倍，电源电压下降k倍。

CV恒定电压定律：器件所有尺寸（横向、纵向）都缩小k倍，电源电压保持不变；衬底掺杂浓度增大k平方倍。

QCE准恒定电场定律（所有几何尺寸都缩小 k 倍，电源电压减小α／k 倍，其中：1＜α＜ k ，衬底掺杂浓度增大αk倍）

7. 1947年巴丁、肖克莱、布拉顿发明了半导体晶体管，并因此获得了1956年的诺贝尔物理学奖，1958年美国德州仪器公司的基尔比发明了第一块集成电路，并获得2000年诺贝尔物理学奖。

8.静态CMOS逻辑电路中，一般PMOS管的衬底接电源电压，NOMS管的衬底接地电压；NMOS下拉网络的构成规律是：NMOS管串联实现与操作；NMOS管并联实现或操作；PMOS上拉网络则是按对偶原则构成，即PMOS管串联实现或操作；PMOS管并联实现与操作。

9.集成电路中非易失存储器包括三种，即：不可擦除ROM、EPROM、E2 PROM。

10.集成电路产业按照职能划分为设计、制造、封装三业。

11.CMOS逻辑电路的功耗由三部分组成：动态功耗Pd、开关过程中的短路功耗PSC、静态功耗Ps。

12. 时序电路的输出不仅与当前的输入有关，还与系统原来的状态有关。

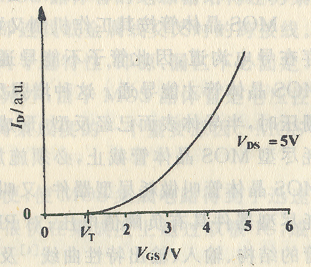
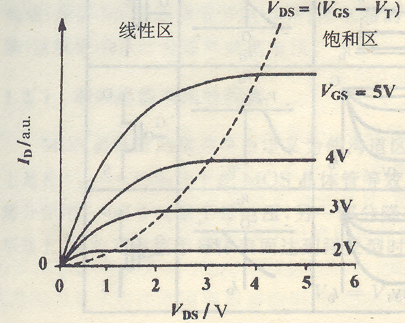
13.集成电路的设计方法可分为三种，即：基于PLD的设计方法、半定制设计方法、定制设计方法。

14.富NMOS电路与\_\_富NMOS电路\_\_不能直接级联，但可采取\_\_富NMOS与富PMOS\_\_交替级联的方式，或用静态反相器隔离（多米诺电路）

**特性曲线：**

MOS管的转移特性曲线 VT：开启电压，当VGS>VT时，方有电流

MOS管的I-V特性曲线（输出特性曲线）

**判断题：**

**1．**N阱CMOS工艺是指在N阱中加工NMOS的工艺。（🗴）

**2.**非易失存储器就是只能写入，不能擦除的存储器。（🗴）

**3.**用二极管在电路中防止静电损伤就是利用二极管的正向导电性能。（**√**）

**4.** DRAM在存储的过程中需要刷新以保持所存储的值。（**√**）

**5.** MOS晶体管与BJT晶体管一样，有三个电极。（🗴）

**6.**为保证沟道长度相同的PMOS管和NMOS等效导电因子相同，PMOS管的沟道宽度一般比NMOS管的大。（🗴）

**7.** 集成电路是以平面工艺为基础，经过多层加工形成的。（**√**）

**10.** 用于模拟集成电路设计的SPICE模型中的“SPICE”是Simulation Program with Integrated Circuit Emphasis的缩写。（**√**）

**12.**ESD保护的定义为：为防止静电释放导致CMOS集成电路失效所采取的保护措施。（**√**）

静电释放对CMOS集成电路的损伤不仅会引起MOS器件栅击穿，还可能诱发电路内部的闩锁效应

13.电压升高，G、S会导通吗？（×）D、S导通

**阈值电压：**



功函数：把一个电子从固体内部刚刚移到此物体表面所需的能量。

阈值电压—使沟道区源端半导体表面达到强反型时所需要的“栅压”。外加栅压有三部分：一为平带电压VFB；二为栅氧化层上的电压降Vox；三为降在半导体表面的耗尽层上的电压ϕs。

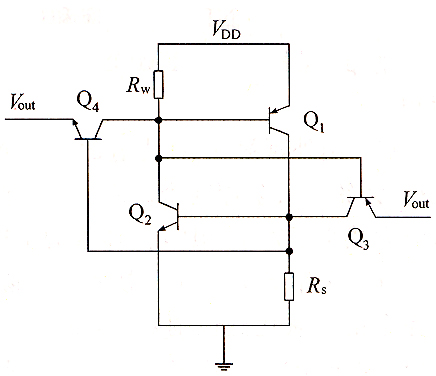
影响：不同栅电极材料与硅衬底间的功函数差不同

栅氧化层质量，减少氧化层中电荷。

衬底掺杂浓度大小会影响阈值电压

简答题:

1. 请画图并解释N阱CMOS结构中的闩锁效应。



在n阱CMOS中PMOS管的源、漏区通过n阱到衬底形成了寄生的纵向PNP晶体管，而NMOS的源、漏区与P型衬底和n阱形成寄生的横向NPN晶体管。PNP晶体管的集电极和NPN晶体管的基极通过衬底连接，同时NPN晶体管的集电极通过阱和PNP晶体管的基极相连，从而构成交叉耦合形成的正反馈回路，一旦其中有一个晶体管导通，电流将在两支晶体管之间循环放大，使电流不断加大，最终导致电源和地之间形成极大的电流，并使电源和地之间锁定在一个很低的电压，这就是闩锁效应

如果外界噪声和无他干扰使Vout高于Vdd和低于0，则引起寄生双极晶体管Q3或Q4导通，而Q3或Q4导通又为Q1、Q2提供可基极电流，并通过Rw或Rs是Q1或Q2的发射结正偏。大导致Q1、Q2导通。由于Q1、Q2交叉耦合形成正反馈电路，一旦其中一个晶体管导通，电流将会在Q1、Q2之间循环放大。若Q1、Q2的电流增益乘积大于1，将使电流和地之间形成极大电流，并使电源和地之间锁定在一个很低的电压，这就是闩锁效应。

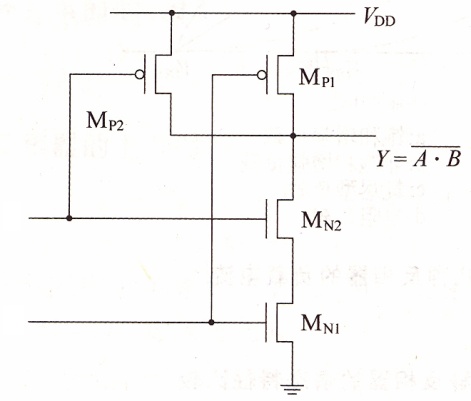
（1）电压信号过冲或其他原因，使寄生双极管的发射极正偏；（2）回路电压大于临界触发电压Vc；

（3）回路电流超过维持电流Ih；**根本原因**：纵向寄生npn管与横向寄生pnp管的电流增益乘积大于1，形成正反馈，即：β1 β2﹥1

**预防：**

减小寄生电阻RW和Rs，降低寄生双极晶体管的电流增益，衬底加反向偏压---有负面影响，加保护环，采用外延衬底，采用SOI CMOS技术

1. 假设有两个逻辑信号A、B，在某状态下A的上升沿先于B的上升沿到达图1所示电路，为了使电路得到最好的瞬态特性，请在图1中标注出A、B接入方法，并解释其原因。



A

B

答：将先到达的逻辑信号A接于靠近地线的NMOS管MN1的栅极上，将有利于使先到达的信号A对串联支路的中间结点寄生电容放电，其原因是只有中间结点的电容放电后，才能使输出结点寄生电容放电，这样有利于提高电路的响应速度。

**四、综合（10X2）**

1）画出实现逻辑功能的电路（动态特征《看书》）

综合题第一题在266页，267页。图4.5-2是富PMOS的动态电路图，图4.5-3是富NMOS的动态电路图

2）CMOS传输门 （CPL/DPL)看书

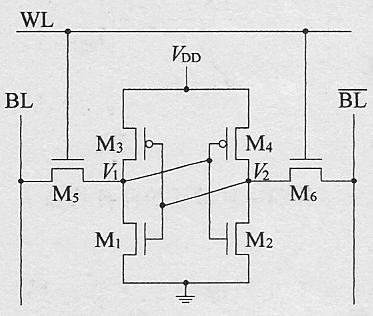
3.概括版图设计规则的三种尺寸限制。

1)各层图形的最小尺寸即最小线宽

2)同一层次图形之间的最小间距

3)不同层次图形之间的对准容差或套刻间距

1. 请给出六管SRAM单元电路图，并说明读写操作过程。

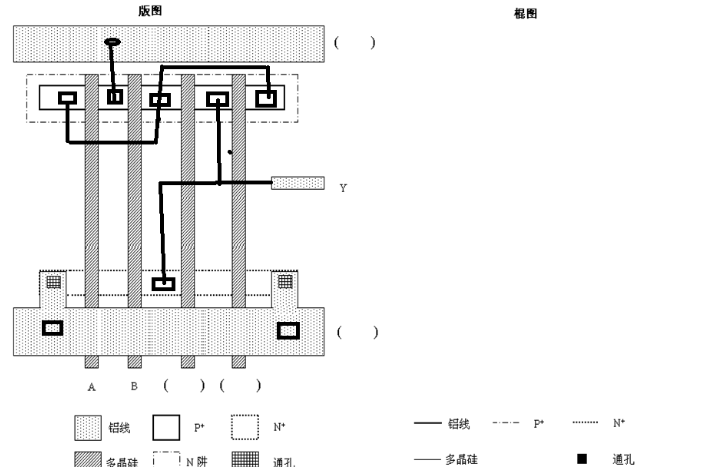


写操作：某单元写入信息时，该单元的字线为高电平，使门管M5 和M6 导通。若写入“1”则VBL =VDD ，V(BL)’ =0，使V1 充电到高电平，V2充电到低电平，写入信息。

读操作时，位线BL,(BL)’都预充电到高电平VDD ，同时通过行译码器使该单元字线为高电平。若读“1”，V1 =VOH ，V2 =0，使M1 截止，位线BL不能放电，M2和M6 导通，对位线（BL）’放电。若读“0”，则对位线（BL）’保持高电平，而BL通过M5 和M6放电

综合题:

1. 请在图3中补画实现逻辑功能的、采用N阱工艺的CMOS电路的棍图和相应的版图。



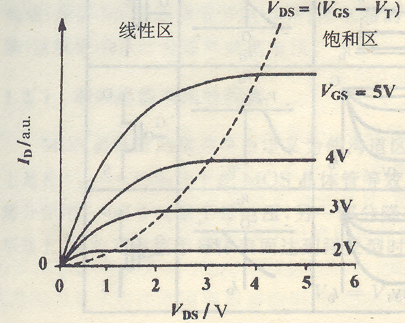
D

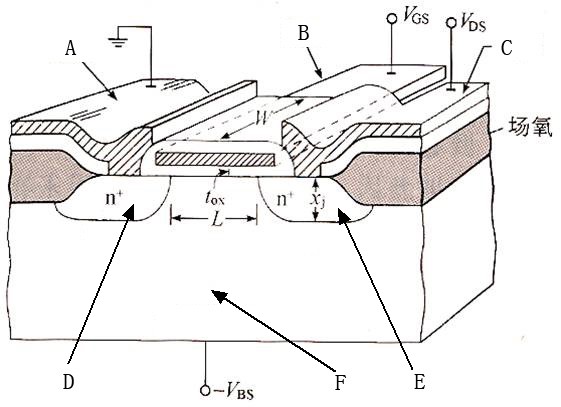
C

VDD

GND

1. 图1为NMOS管的三维图，请写出图中字母A至F所对应部位的中文名称，并简述NMOS晶体管的工作原理，画出NMOS管的输出特性曲线、标出三个工作区域，说明三个工作区域的界限。





**截止区**

A：源极，B：栅极，C：漏极，D：源区，E：漏区，F：p型硅衬底。

N沟MOS晶体管工作原理：VGS增加时，吸引到P衬底表面层的电子就增多，当VGS达到某一数值时，这些电子在栅极附近的P衬底表面便形成一个N型薄层，且与两个N+区相连通，在漏——源极间形成N型导电沟道，其导电类型与P衬底相反，称为反型层。VGS越大，作用于半导体表面的电场就越强，吸引到P衬底表面的电子就越多，导电沟道越厚，沟道电阻越小。

线性区VDS<（VGS-Vt）

饱和区VDS>（VGS-Vt）

截止区VGS<VT

1. 请用verilog语言设计一个二分频电路，分频输出与原始时钟比较，相等输出1，不相等输出0。

module half\_clk(reset,clk\_in,clk\_out，equal);

input clk\_in,reset;

output clk\_out，equal;

reg clk\_out;

always @(posedge clk\_in)

begin

if(!reset) clk\_out=0;

else clk\_out=~clk\_out;

end

assign equal=(clk\_in==clk\_out)?1:0;

endmodule

比较器 module compare(equal,a,b);

input a,b;

output equal;

assign equal=(a==b)?1:0; //a等b，equal输出1；a不等b时， equal输出为0//

endmodule

1. 请画出CMOS反相器的直流电压传输特性曲线，标出5个工作区域，并写出两管在相应区域的工作状态。（5分）

1：0≤Vin ≤Vout

NMOS截止，PMOS线性。输出高电平区

2：VTN **<**Vin **<**Vout +VTP

NMOS饱和，PMOS线性。转变区

3：Vout +VTP≤Vin ≤Vout + VTN

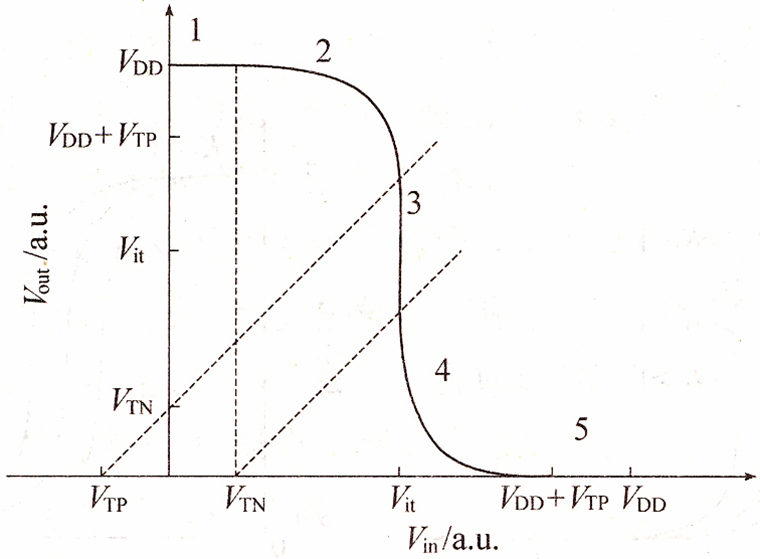
NMOS饱和，PMOS饱和。转变区

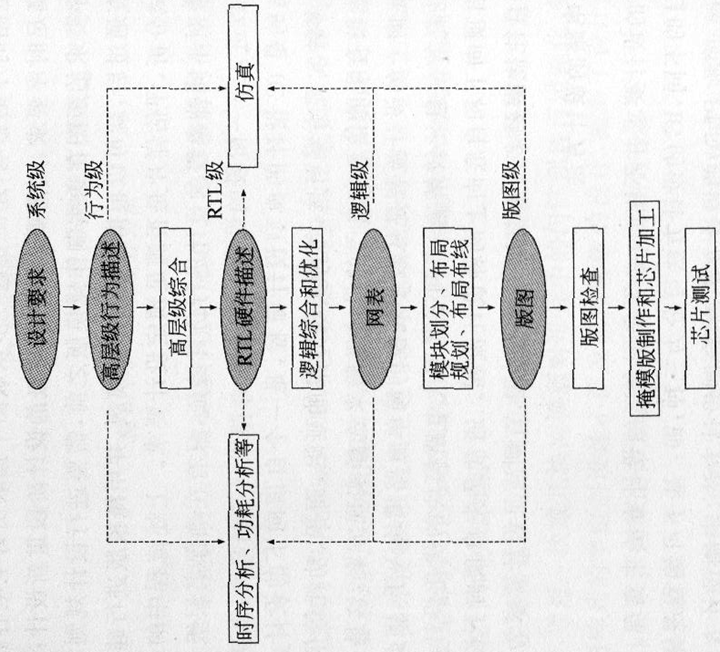
4：Vout + VTN**<**Vin **<** VDD+VTP

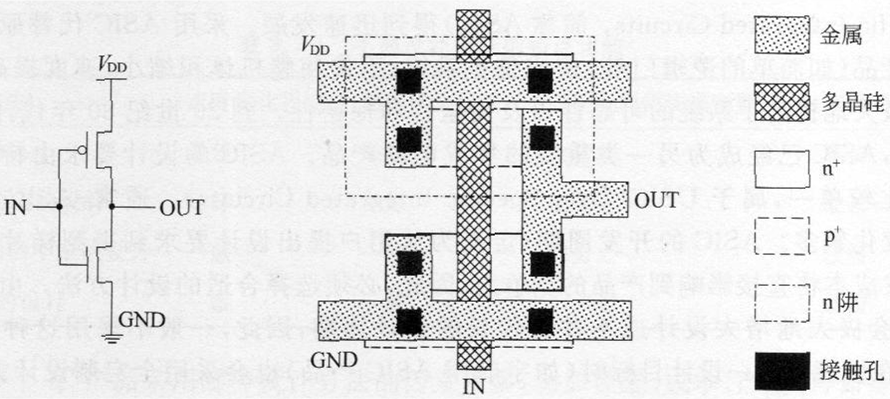
NMOS线性，PMOS饱和。转变区

5：VDD ≥Vin≥VDD+VTP

NMOS线性，PMOS截止。输出低电平区



请简述集成电路的设计流程

请画出CMOS反相器的电路图和版图

**二、名词解释**

1）短沟道效应：MOS晶体管沟道越短，源漏区PN结耗尽层电荷在总的沟道耗尽层电荷中占得比例越大，使实际由栅亚控制的耗尽层电荷减少，造成阈值电压随沟道长度减小而下降。

2）MOS晶体管 阈值电压：沟道区源端半导体表面达到强反型所需要的栅压，假定源和衬底共同接地。

亚阈值电流：在理想的电流-电压特性中，当Vgs<=VT时，ID=0.而实际情况是，当Vg<Vt时，MOS晶体管表面处于弱反型状态，此时Id很小，但不为0，此电流成为亚阈值电流。

瞬态特性：当加在MOS晶体管各端点的电压随时间变化时，会引起MOS晶体管内部电荷相应变化，从而表现出电容特性。

3）传输门陈列逻辑：用传输门串、并联可以构成一个比较规则的电路形式，这种电路形式叫传输门阵列。

5）定制版图设计：在已预先设计好的单元的基础上完成单元的布局和单元之间的互连。

第四章

逻辑表达式-------画电路图

版图 、二输入与非门、或非门

**三、问答题**

（三）说明CMOS反相器输入上升时间，下降时间定义

（1）上升时间（tr）：输出从0.1Vdd上升到0.9Vds所需时间

（2）下降时间（tf）：输出从0.9Vdd下降到0.1Vdd所需时间

（四）简述CMOS逻辑电路传输延时时间定义

（1）输入延迟时间：从输入信号上升边的50%到输出信号下降边的50%所经历的延迟时间。

（2）输出延迟时间：从输入信号下降边的50%带输出信号上升边的50%所经过的延迟时间。

（五）体效应如何影响逻辑晶体管阈值电压

（1）在电路工作时，加较大负Vbs，使源区--沟道漏区相对衬底之间PN结反偏，从而使耗尽层层宽、表面耗尽层电荷增加，因此表面达强反型时所需栅压也增大，即使Vt增加。

（2）相反器件截止时，加小的正向衬底偏压，使Vt减小。