## 4.14 某8位微型计算机的地址码为18位，若使用4K×4位的RAM芯片组成模板块结构的存储器，试问：

## （1）该机所允许的最大主存空间是多少？

最大主存空间为：2^18bit \* 8 = 2 ^ 18 字节 = 2^8 KB = 256KB

## （2）若每个模块板为32K×8位，共需几个模块板？

每个模板块占32K \* 8位 = 32KB

所以总共需要256/32 = 8块

## （3）每个模块板内有几片RAM芯片？

每片RAM占4K \* 4位 = 2KB

所以每个模板块里有32/2 = 16片

## （4）共有多少片RAM？

每个模板块里有16片，一共有8个模板块，所以RAM共有16 \* 8 = 128片

## （5）CPU如何选择各模块板？

CPU通过最高三位地址译码选板，次高三位地址选片，剩余地址为片内地址。

片内地址(12位)

芯片号(3位)

模板号(3位)

## 4.15 设CPU共有16根地址线，8根数据线，并用MREQ（低电平有效）作访存控制信号，R/W作读/写命令信号（高电平为读，低电平为写）。现有这些存储芯片：ROM（2K×8位，4K×4位，8K×8位），RAM（1K×4位，2K×8位，4K×8位）及74138译码器和其他门电路（门电路自定）。试从上述贵的中选用合适的芯片，画出CPU和存储芯片的连接图，要求如下：

## （1）最小4K地址为系统程序区，4096~16383地址范围为用户程序区

## （2）指出选用的存储芯片类型及数量

## （3）详细画出片选逻辑

首先把十六进制地址范围写成二进制地址码，来确定总容量：

最小4K是0000~4095，表示成十六进制是0000H~0FFFH，表示成二进制是0000 0000 0000~1111 1111 1111

4096~16383是用户程序区，即1000H~3FFFH，一共12KB

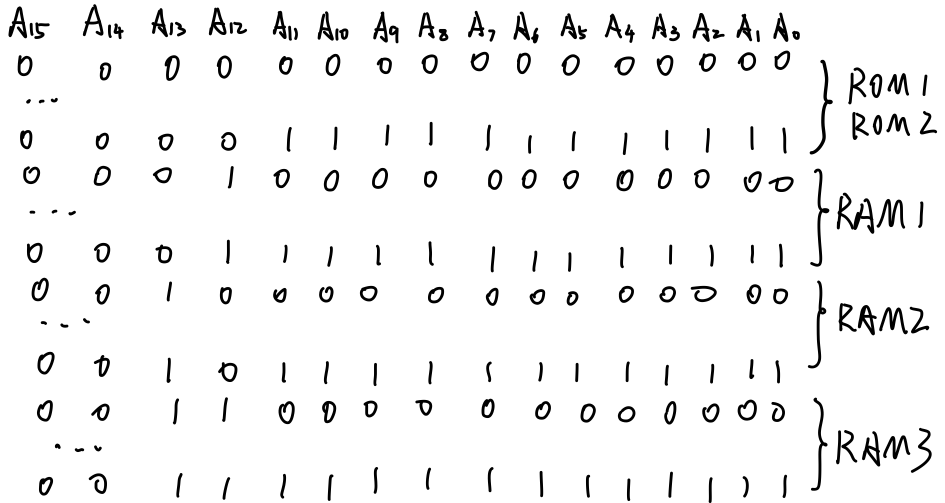
然后是根据范围选择芯片：

系统程序区是4KB，所以选择2片4K×4位ROM组成4K×8位，采用位扩展，并联

用户程序区是12KB，所以选择3片4K×8位RAM组成12K×8位，采用字扩展，串联

三个RAM的范围分别是：1000H~1FFFH、2000H~2FFFH、3000H~3FFFH

芯片的二进制地址分配如下：

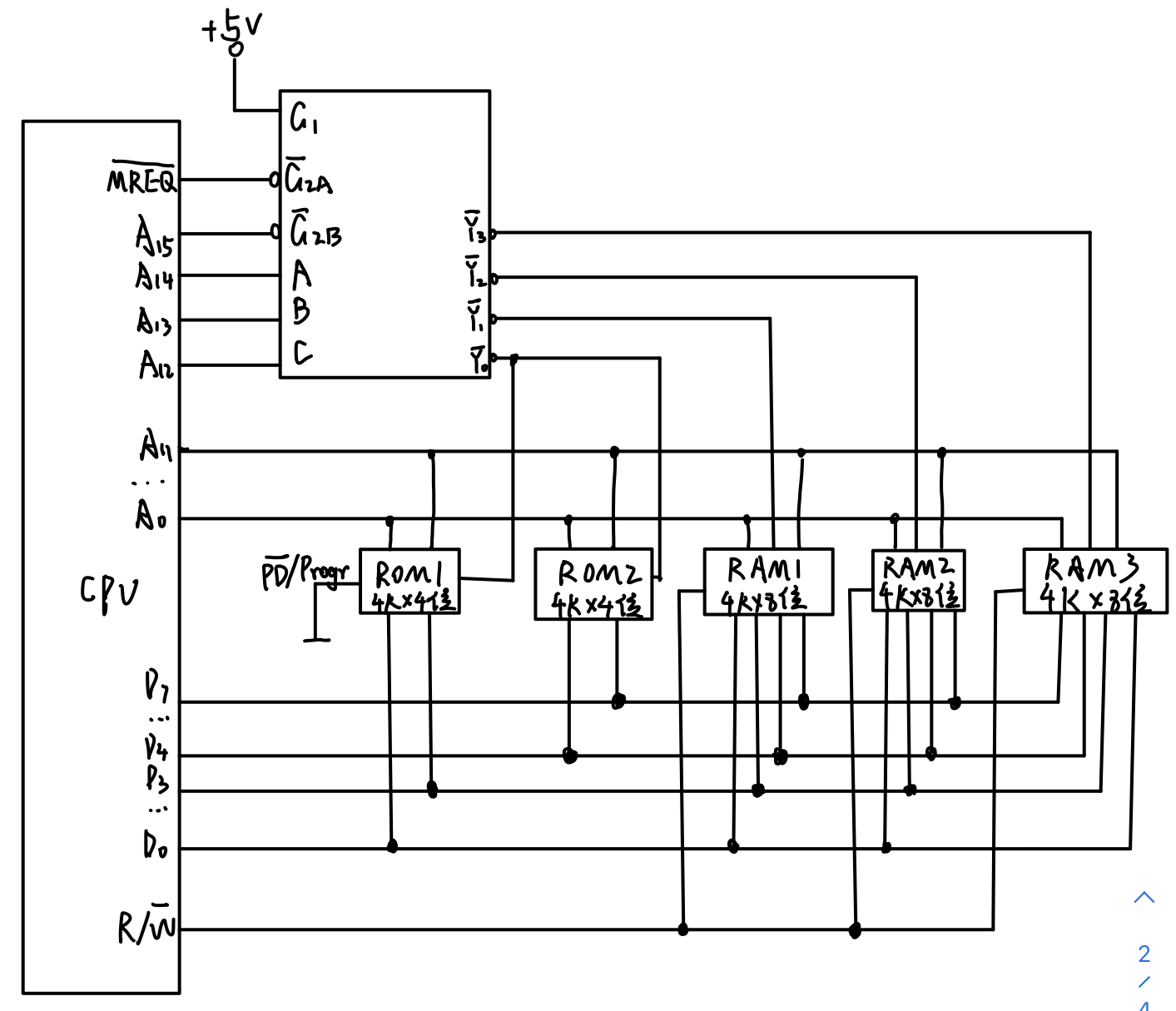


第三步是分配地址线：

ROM需要12根地址线，所以CPU的低12位地址A0~A11与ROM的地址线相连

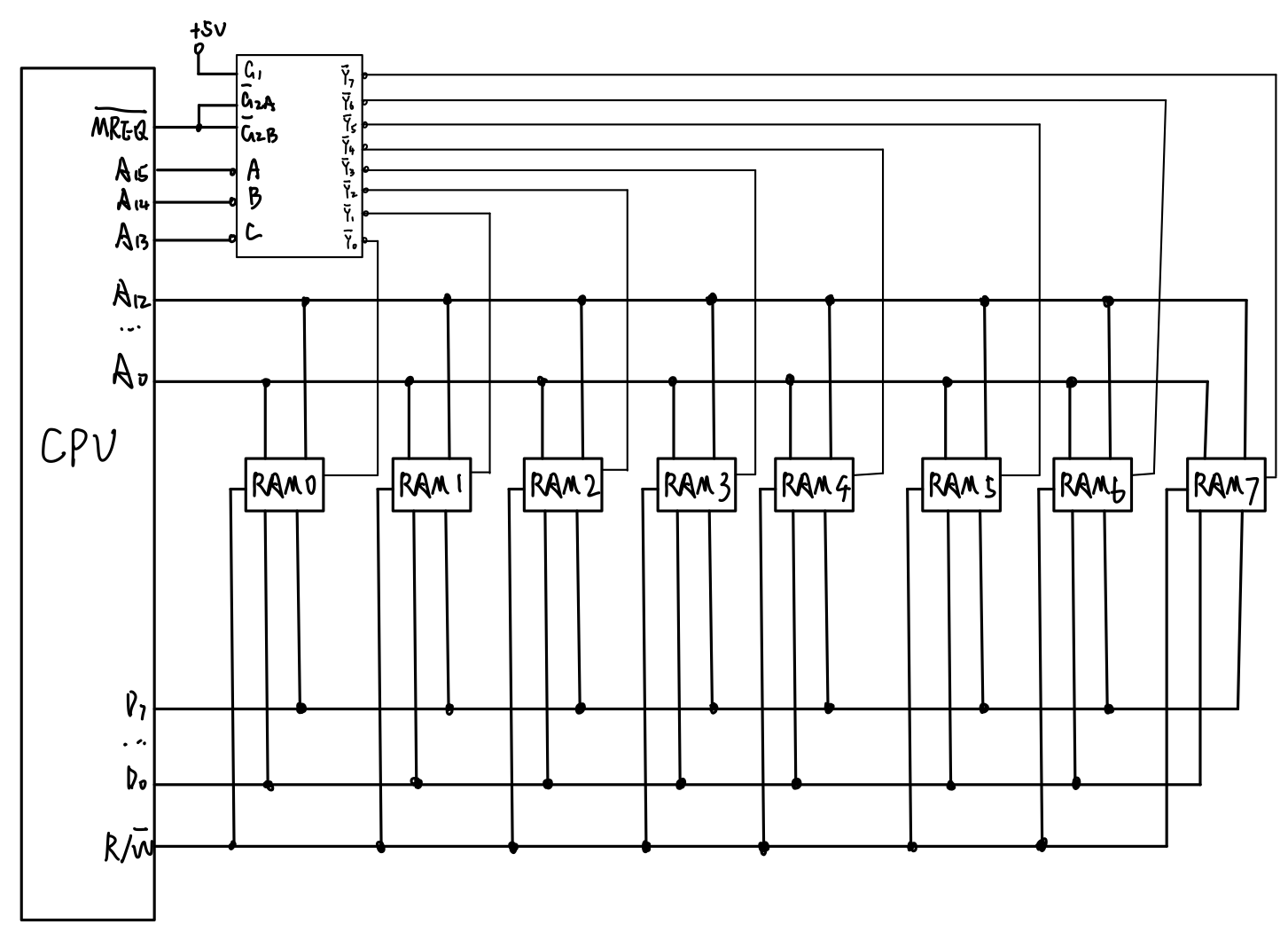
RAM每片需要12根地址线，所以CPU的低12位地址线与三片RAM的地址线相连

剩下的高位地址与访存控制信号MREQ共同产生存储芯片的片选信号



## 4.16 CPU假设同上题，现有8片8K×8位的RAM芯片与CPU相连。

## （1）用74138译码器画出CPU与存储芯片的连接图



## （2）写出每片RAM的地址范围



## （3）如果运行时发现不论往哪片RAM写入数据，以A000H为起始地址的存储芯片都有与其相同的数据，分析其故障原因

以A000H为起始地址的存储芯片是RAM5，故障原因在于，RAM5的片选输入端可能一直处于低电平

可能的原因有：

1. RAM5的CS端与WE端错连或短路
2. RAM5的CS端与MREQ端错连或短路
3. RAM5的CS端与地线错连或短路

## （4）根据（1）的连接图，若出现地址线A13与CPU断线，并搭接到高电平上，将出现什么后果？

如果A13和高电平连接，A13就只可能是1，那么就只有Y1、Y3、Y5、Y7能进行输出，选中奇数片，其余的Y0、Y2、Y4、Y6将无法输出，也就无法访问偶数片。如果试图访问偶数片，将导致错误的结果，即访问到奇数片上

## 4.17 写出1100、1101、1110、1111对应的汉明码

要检测的二进制代码有4位，需要增加k位检测为

根据2^k ≥ n + k + 1，可得k=3，所以总共组成4+3=7位代码

设这7位依次为1、2、3、4、5、6、7位，将三个检测位记为c1、c2、c3，分别安插在1、2、4位上

把有效信息设为b4、b3、b2、b1，那么汉明码应该是c1-c2-b4-c3-b3-b2-b1

C1=b4⊕b3⊕b1

C2=b4⊕b2⊕b1

C3=b3⊕b2⊕b1

如果有效信息是1100，c1=0，c2=1，c3=1，汉明码为0111100

如果有效信息是1101，c1=1，c2=0，c3=0，汉明码为1010101

如果有效信息是1110，c1=0，c2=0，c3=0，汉明码为0010110

如果有效信息是1111，c1=1，c2=1，c3=1，汉明码为1111111

## 4.18 已知接收到的汉明码（按配偶原则配置）为1100100、1100111、1100000、1100001，检查上述代码是否出错？第几位出错？

假设接受到的汉明码为c1-c2-b4-c3-b3-b2-b1

P1=1⊕3⊕5⊕7=c1⊕b4⊕b3⊕b1

P2=2⊕3⊕6⊕7=c2⊕b4⊕b2⊕b1

P4=4⊕5⊕6⊕7=c3⊕b3⊕b2⊕b1

如果接收到的是1100100，那么

P4=0⊕1⊕0⊕0=1

P2=1⊕0⊕0⊕0=1

P1=1⊕0⊕1⊕0=0

所以第6位出错，有效信息应为：0110

如果接收到的是1100111，那么

P4=0⊕1⊕1⊕1=1

P2=1⊕0⊕1⊕1=1

P1=1⊕0⊕1⊕1=1

所以第7位出错，有效信息应为：0110

如果接收到的是1100000，那么

P4=0⊕0⊕0⊕0=0

P2=1⊕0⊕0⊕0=1

P1=1⊕0⊕0⊕0=1

所以第3位出错，有效信息为：1000

如果接收到的是1100001，那么

P4=0⊕0⊕0⊕1=1

P2=1⊕0⊕0⊕1=0

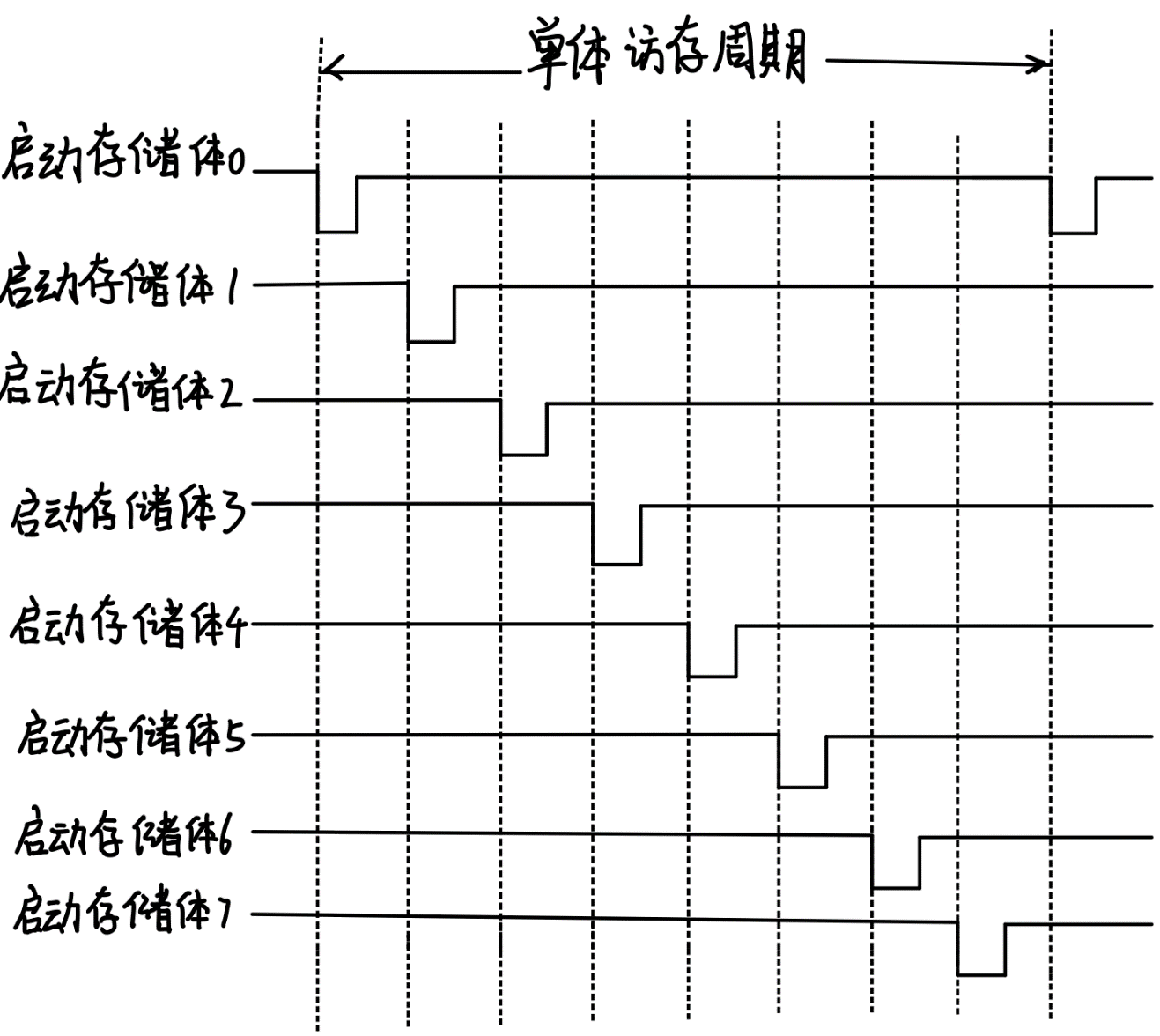
P1=1⊕0⊕0⊕1=0

所以第4位出错，但第四位为检测位，无需纠正，有效信息为：0001

## 4.22 某机字长为16位，常规的存储空间为64K字，若想不改用其他高速的存储芯片，而使访存速度提高到8倍，可采取什么措施？画图说明。

采用8体交叉存取技术

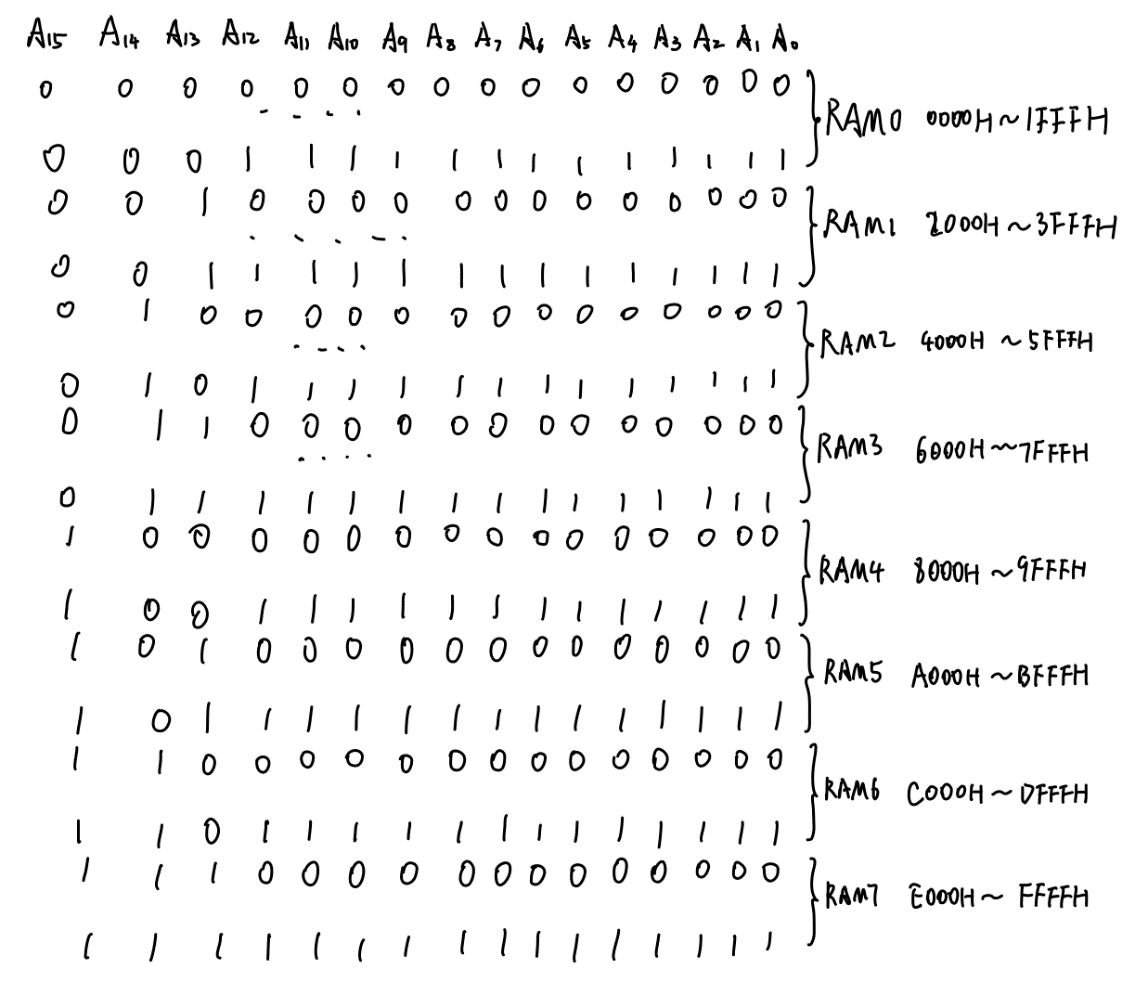
8体交叉访问时序如下：



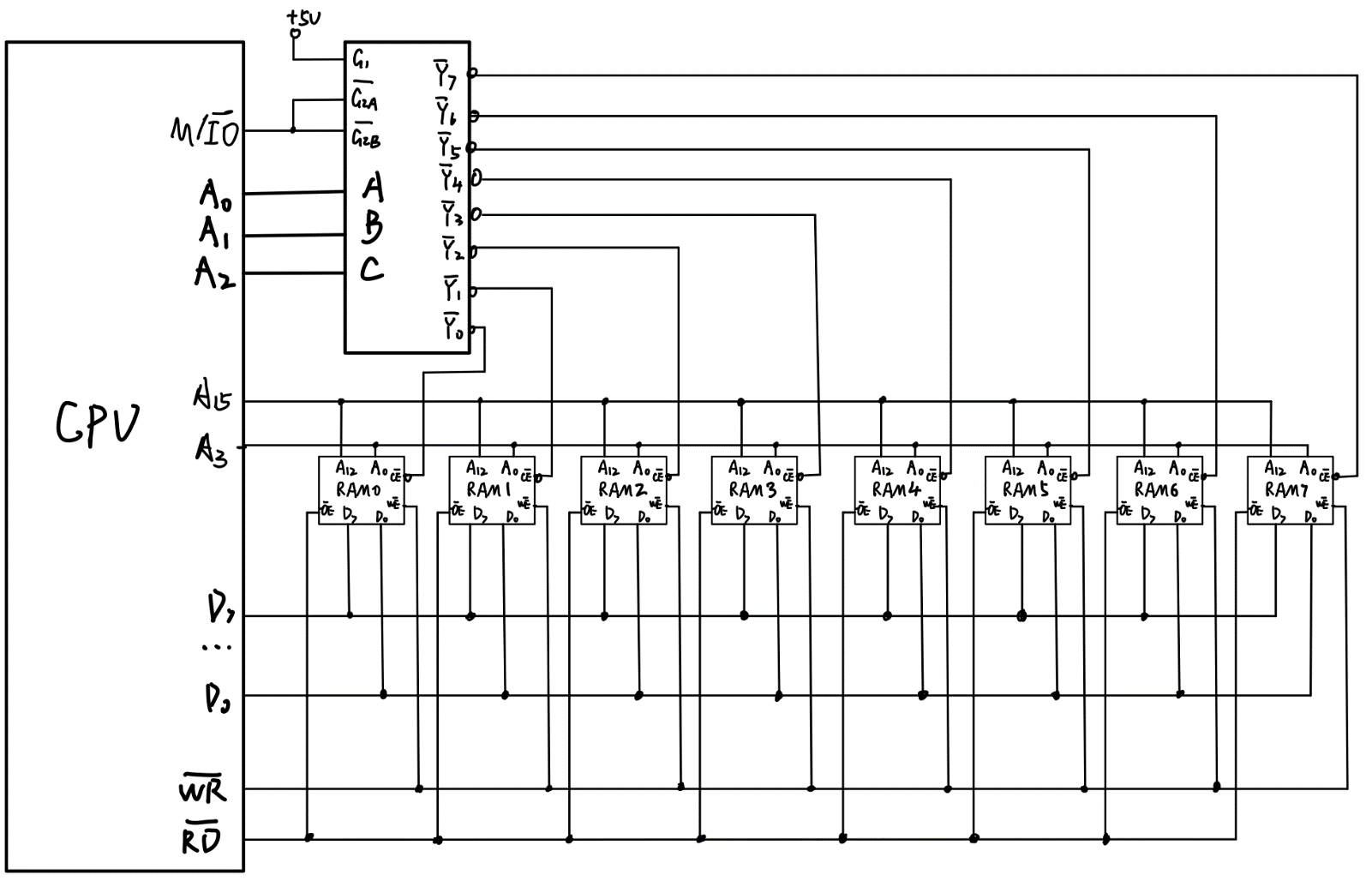
## 4.23 设CPU共有16根地址线，8根数据线，并用M/IO作为访问存储器或I/O的控制信号（高电平为访存，低电平为访I/O），WR（低电平有效）为写命令，RD（低电平有效）为读命令。设计一个容量为64KB的采用低位交叉编址的8体并行结构存储器。现有右图所示的存储芯片及138译码器。画出CPU和存储芯片（芯片容量自定）的连接图，并写出图中每个存储芯片的地址范围（用16进制数表示）

总容量为64KB，每个存储体容量是64/8=8KB，所以选择8个8KB的RAM芯片

每个存储芯片的地址范围是：



连接图为：



## 4.24 一个4体低位交叉的存储器，假设存储周期为T，CPU每隔1/4存储周期启动一个存储体，试问依次访问64个字需多少个存取周期？

存取周期为T，4体低位交叉存储器的总线传输周期为τ，因为T=4τ，所以τ=T/4

每隔1/4个存取周期，即每隔一个总线传输周期启动一个存储体

所以总共的存取周期为t=T+(64-1)τ=T+63/4T=16.75T