4.25

程序访问的局部性原理是指程序在执行时呈现出局部性规律，即在一段时间内，整个程序的执行仅限于程序的某一部分，相应的，执行所访问的存储空间也局限于某个内存区域。

局部性原理又表现为时间局部性和空间局部性。

时间局部性是指如果程序中的某条指令一旦执行，则不久之后该指令可能再次被执行；如果某数据被访问，则不久之后该数据可能再次被访问。

空间局部性是指一旦程序访问了某个存储单元，则不久之后，其附近的存储单元也将被访问。

存储系统中 Cache-主存层次 和 主存-辅存层次 都采用了程序访问的局部性原理。

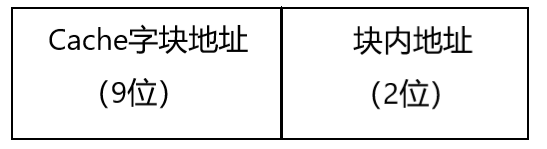
4.28

（1）Cache容量为2K字，块长为4，即一个块有4个字

那么一共有2^11 / 4 = 2^9 = 512块

所以Cache字块地址一共有9位，块内地址有2位

因此Cache地址格式设计如下：

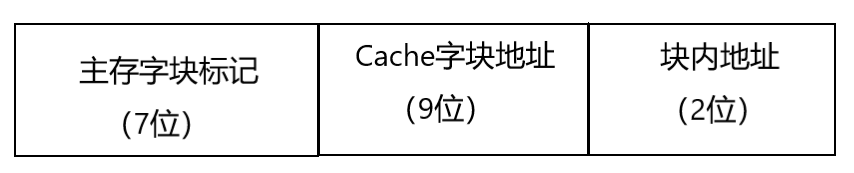


（2）主存容量位256K字，那么主存可以分为2^8 \* 2^10 / 4 = 2^16块

每个主存块有18位

主存字块标记有18 – 9 – 2 = 7位

所以直接映射方式下主存地址格式为：

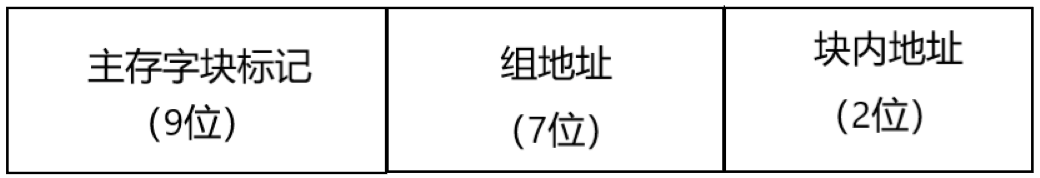


（3）因为是四路组相联映射，所以每组有4块，Cache有512块，可以分为512/4 = 2^7组

所以c = 9，r = 2，所以组地址为9-2=7位

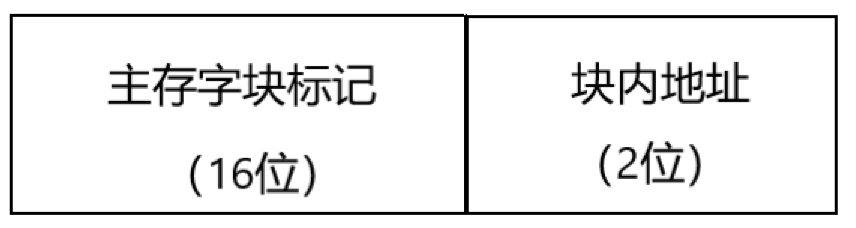
主存字块标记有18 – 7 – 2 = 9位

所以四路组相连映射方式下主存地址格式为：



（4）在全相连映射方式下，主存字块标记为18 – 2 = 16位

所以主存地址格式为：



（5）因为存储字长为32位，所以一个字长度为32位，一个字有4个字节

因此主存容量为2^8 \* 2^10 \* 32 / 4 = 2^21 B

Cache容量为 2 \* 2^10 \* 32 / 4 = 2^14B

一个块长为 4 \* 32 / 8 = 2^4 B，一共有2^14 / 2^4 = 2^10块

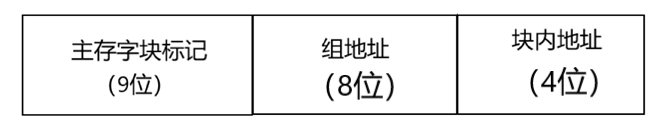
所以字块内地址为4位，Cache字块地址为10位

所以上述三种映射方式下主存的地址格式为：

直接映射：



四路组相联映射：



全相联映射：



4.29

（1）命中率 = 4800/(4800+200) = 96%

（2）访问主存的时间是访问Cache时间的5倍

所以访存效率 = t / [0.96\*t + (1-0.96)5t] = 86.2%

（3）平均访问时间 = 0.96\*30 + (1-0.96)\*150 = 34.8ns

（4）150/34.8 = 4.31

4.31 – 1 = 3.31

所以性能提高了约3.31倍

4.30

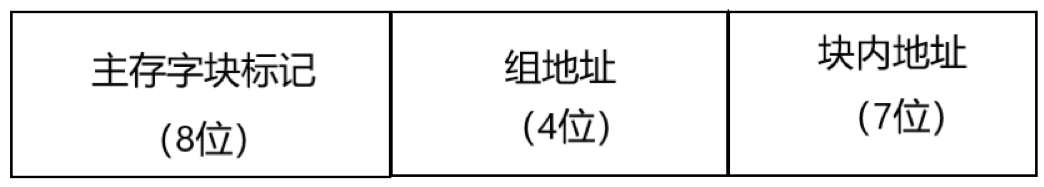
Cache一共可以分为64/4 = 2^4组

Cache容量有64 \* 128 = 2^6 \* 2^7 = 2^13字，所以Cache有13位

主存容量有4096\*128 = 2^12 \* 2^7 = 2^19字，所以主存为19位

组地址为6-2= 4位，字块内地址为7位，主存字块地止为19-4-7=8位

所以主存地址格式为：



4.31

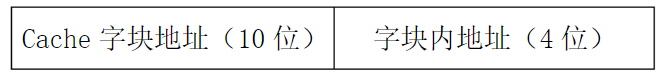
由题可知，主存和Cache是按字节编址的

一个字32位，所以块长为4 \* 32 / 8 = 2^4B，所以字块内地址为4位

Cache容量 = 16KB = 2^4 \* 2^10 = 2^14 B，所以Cache为14位

Cache可以分为2^14 / 2^4 = 2^10块，所以Cache字块地址为10位

所以Cache地址格式为：

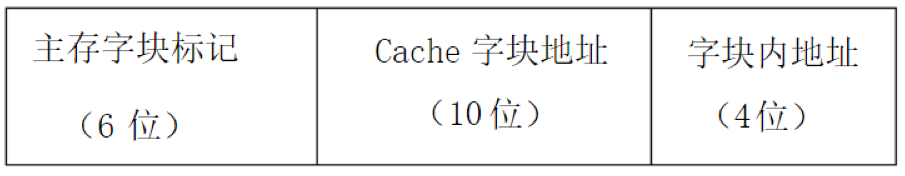


主存容量为1MB = 1024KB = 2^20B，所以主存为20位

主存可以分为2^20 / 2^4 = 2^16块

主存字块标记为20 – 10 – 4 = 6位

所以主存地址格式为：



主存地址ABCDE = 1010 1011 1100 1101 1110

所以主存字块标记为101010、Cache字块地址为1111001101、字块内地址为1110

所以映射到第42块的第14字节位置，或者在Cache的第3CDEH字节位置

4.32

（1）每个字32位，每字块有8个字，所以块长为8\*32/8 = 2^5B，所以字块内地址为5位

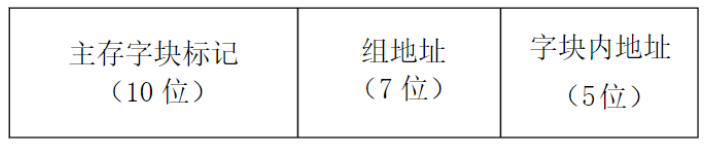
主存容量= 4MB = 2^22B，所以主存地址共22位

Cache容量=16KB = 2^14B，所以Cache地址共14位

Cache可以分为2^14/2^5=2^9块，可以分为2^9/2^2=2^7组，所以组地址为7位

所以主存字块标记为22-7-5=10位

所以主存地址格式为：



（2）CPU在读第0号单元时，未命中，将该字所在的主存块调入Cache第0组任一块，接下来读1-7号单元均命中；CPU在读第8号单元时，未命中，将该字所在的主存块调入第8组任一块，接下来的9-15单元均命中……

所以未命中的有0、8、16、24、32、40、48、56、64、72、80、88共12次

一共读了90 \* 8 = 720次

所以命中率 = (720 – 12)/720 = 0.984

（3）设Cache周期为t，则主存周期为6t

提高的速度倍数为6t\*90\*8/[t(90\*8-12)+6t\*12] -1 = 5.54

所以速度提高了5.54倍

4.33

可以采取三种措施

1. 采用高速器件。采用存储周期短的芯片，可以提高访存速度
2. 采用Cache。把CPU最近要使用的信息先调入Cache，而Cache速度比主存快，这样CPU每次只需要从Cache中读写信息，从而缩短访存时间，提高访存速度
3. 调整主存结构。如采用单体多字或多体结构存储器