5.1

常用的I/O编址方式：I/O与内存统一编址、I/O独立编址

I/O与内存统一编址特点：

I/O地址采用与主存单元地址完全一样的格式，I/O设备和主存占用同一个地址空间，CPU可以像访问主存一样访问I/O设备，不需要安排专门的I/O指令

I/O独立编址特点：

机器为I/O设备专门安排一套完全不同于主存地址格式的地址编码，此时I/O地址与主存地址是两个独立的空间，CPU需要通过专门的I/O指令来访问I/O地址空间

5.3

一共有五种控制方式：程序查询方式、程序中断方式、直接存储器存取方式、I/O通道方式、I/O处理机方式

程序查询方式：数据在CPU和外设间的传送完全靠计算机程序控制，CPU的操作和外围设备操作同步，硬件结构简单，但由于外部设备动作慢，浪费CPU时间多，系统效率低

程序中断方式：外部设备准备就绪后中断程序通知CPU，在CPU相应I/O设备的中断请求后，在暂停现行程序的执行，转为I/O设备服务可明显提高CPU的利用率，在一定程度上实现了主机和I/O设备的并行工作，但硬件结构负载，服务开销大

直接存储器存取方式：即DMA方式，实现主机和I/O设备并行工作，由于DMA方式直接依靠硬件实现贮存于I/O设备之间的数据传送，传送期间不需要CPU程序干预，CPU可继续执行原来的程序，因此，CPU利用率和系统效率比中断方式更高，但DMA方式的硬件结构更为复杂

5.4

程序查询方式：主要用于CPU不太忙且传送速度不高的情况下

中断方式：主要用于CPU的任务比较忙的情况下，尤其适合实时控制和紧急事件的处理

DMA方式（直接存储器存取方式）：主要用于高速外设进行大批量数据传送场合

5.11

I/O接口功能：选址功能、传送命令的功能、传送数据的功能、反应I/O设备工作状态的功能

I/O接口基本组成：数据缓冲寄存器DBR、设备状态标记、控制逻辑电路、设备选择电路、命令寄存器、命令译码器

5.14

仅当I/O设备准备就绪（D=1），且I/O设备未被屏蔽（MASK=0），且有CPU查询中断信号时，中断请求触发器状态为1，I/O设备可以向CPU提出中断请求

5.16

当中断允许状态为1（EINT = 1），且至少一个中断请求被查询到，则在一条指令执行完时，相应中断请求

5.20

单重中断：开中断指令设置在最后“中断返回”之前，意味着在整个中断服务处理过程中，不能再响应其他中断源的请求

多重中断：开中断指令设置在“保护现场”之后，意味着在保护现场后，如果有更高级别的中断源提出请求，CPU也可以响应，即再次中断现行的服务程序，转至新的中断服务程序

不同的原因就在于开中断指令设置的位置不同