

H6 硬件设计指南

概述

本文档主要介绍 H6 芯片在应用方案设计中的原理图和 PCB 设计要点和注意事项，保证硬件设计质量。

修订记录

版本	修订日期	描述
V1.0	2017-06-16	初始版本

目录

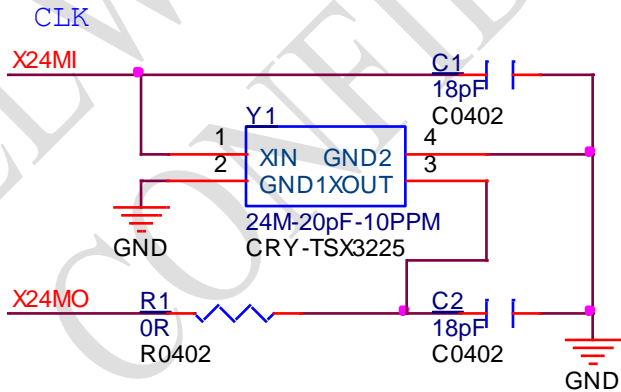
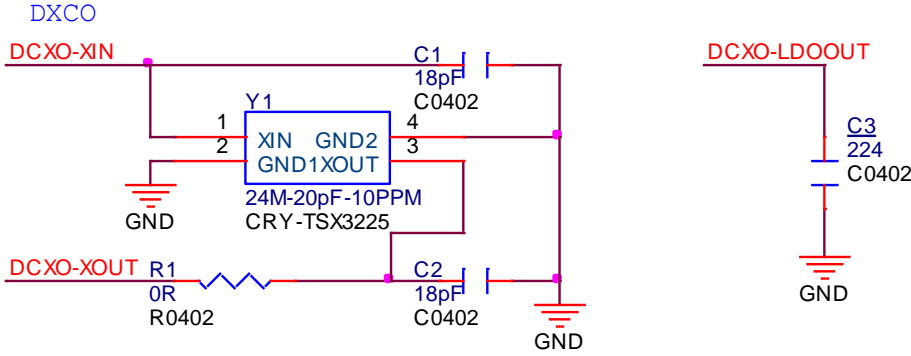
概述.....	2
修订记录.....	2
1. 原理图设计要点.....	5
1.1. CPU 及 CPU 周边	5
1.1.1. 24M 晶振电路	5
1.1.2. 32K 时钟电路.....	6
1.1.3. SOC 旁路电容	7
1.1.4. SOC mode PIN 脚说明	8
1.1.5. SOC 重要 pin 说明	9
1.2. DRAM.....	10
1.3. eMMC&Nand	11
1.4. Audio.....	12
1.5. HDMI.....	13
1.6. EPHY.....	14
1.7. 系统电源设计.....	15
1.8. SD CARD	16
1.9. USB	17
1.10. WIFI 射频电路.....	17
1.11. TVOUT	18
2. PCB 设计要点.....	19
2.1. 叠层设计	19
2.2. SOC fanout	20
2.2.1. 24M 晶振	21
2.2.2. DRAM.....	22
2.2.3. NAND-EMMC.....	24
2.2.4. USB.....	25
2.2.5. 音频.....	26
2.2.6. HDMI.....	26
2.2.7. Card	27
2.2.8. WIFI 和天线.....	28
2.2.9. 电源.....	29
2.2.10. EPHY.....	30
2.2.11. TVOUT	30
2.2.12. 散热.....	31
2.2.13. ESD.....	32

ALLWINNER TECH
CONFIDENTIAL

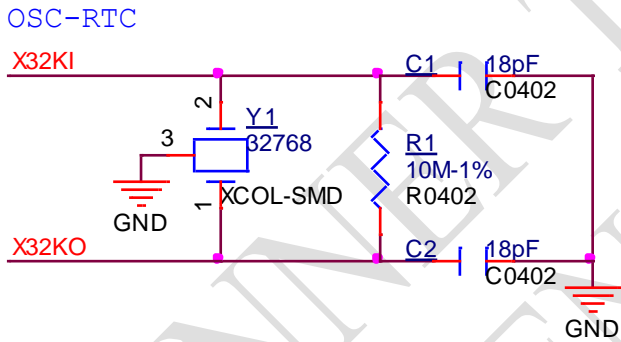
1. 原理图设计要点

1.1.CPU 及 CPU 周边

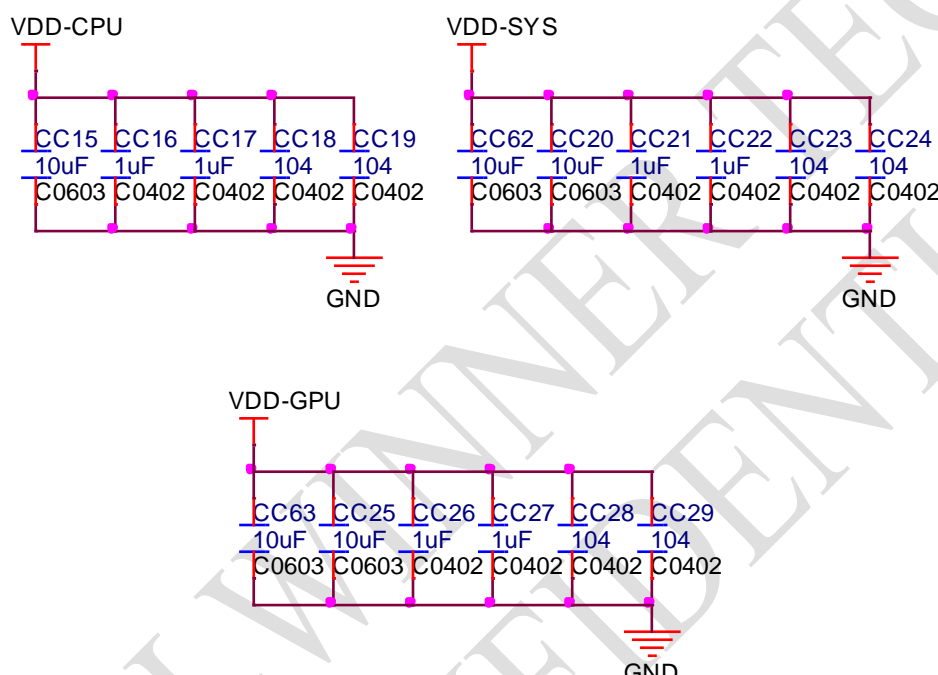
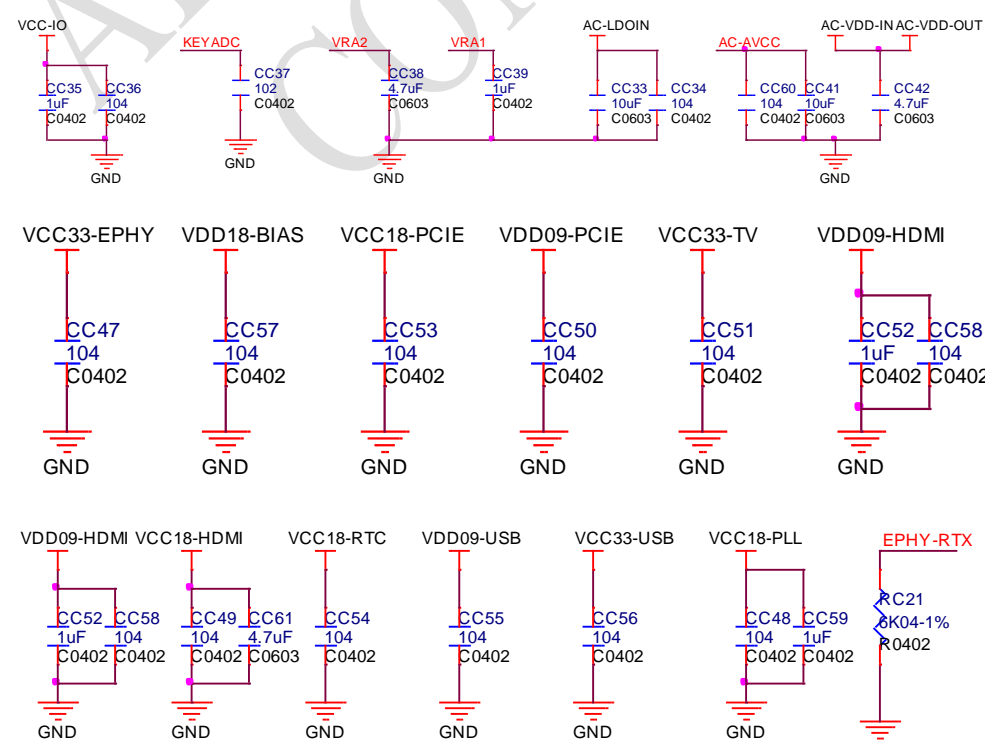
1.1.1. 24M 晶振电路

设计要点	备注
<p>1) SOC 有两套晶体振荡器, 设计时两套晶振电路都做保留, 默认图二 DCX0 晶振电路贴片, 24M 晶振电路一的器件 NC。</p> <p>2) RTC 低频晶振电路通过内部自带 RC 校准电路, 能够 fanout 5ppm 的 32K, DCX0 晶振电路能够 fanout 24M clock 信。如果号在 standby 场景中关闭 DCX0, 内部会对 DCX0 进行定时开关进行校准, 这时会影响 32K 信号精度, 会导致计时精度误差为 4s/小时, 对计时器精度有要求的方案仍然需要保留 32K 时钟电路。</p> <p>3) 外部 24M 晶振的精度要求小于$\pm 10\text{ppm}$, 在高温 70°C 和低温 -20°C 下能稳定工作;</p> <p>4) 为保证 WIFI 性能, 晶振型号推荐使用经过全志验证的 160606 E3SB24E004304E 晶振型号,</p> <p>5) 外挂匹配电容为 18pF, 匹配电容容值根据晶体的负载电容进行选择;</p> <p>6) R1 串接电阻需要预留位置, 便于调试振荡幅度;</p>	<p>图一: 24M 晶振电路一</p>  <p>图二: 24M DCX0 晶振电路</p> 

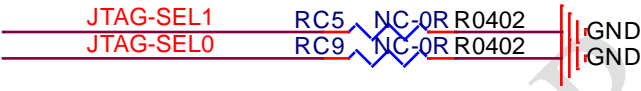
1.1.2. 32K 时钟电路

设计要点	备注
<p>1) X32KI/X32K0 之间并接的电阻，必须保留，用于对频率微调；</p> <p>2) 外部 32.768K 晶振的精度要求小于$\pm 10\text{ppm}$，在高温 70°C 和低温 -20°C 下能稳定工作；</p> <p>3) 外挂匹配电容为 18pF，匹配电容容值根据晶体的负载电容进行选择；</p> 	

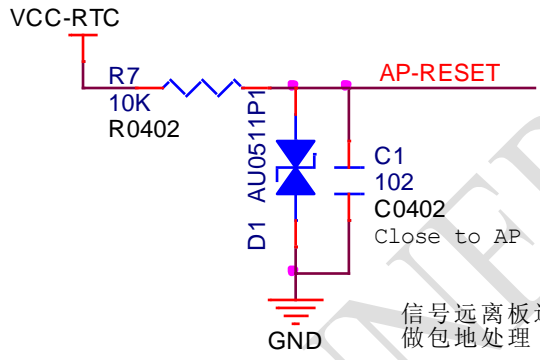
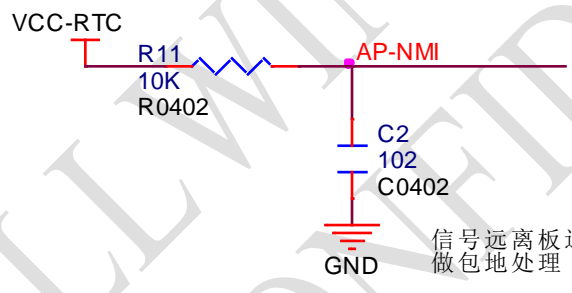
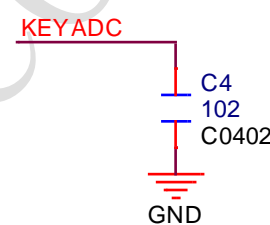
1.1.3. SOC 旁路电容

设计要点	备注
<p>VDD-CPU, VDD-SYS, VDD-GPU 电流比较大, 滤波电路参考如下:</p> 	
<p>系统模块供电滤波电路参考如下, 各个模块需要单独的滤波电路:</p> 	

1.1.4. SOC mode PIN 脚说明

设计要点	备注
<p>SOC 有些 pin 脚是模式的设置, 需要根据实际应用来设置使用, 如果确定使用默认状态, 该电阻可以不用.</p> <p>1) JTAG-SEL 默认内部上拉, 也就是默认软件可配置 PF 口或者 PD 口输出;</p> <p>TEST</p>  <p>JTAG-SEL [1:0]=00或者10: JTAG ----> 强制PF输出 [1:0]=01: JTAG ----> 强制PD输出 [1:0]=11: JTAG ----> 软件可配置PF或者PD口输出</p>	

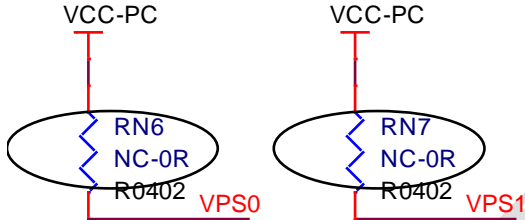
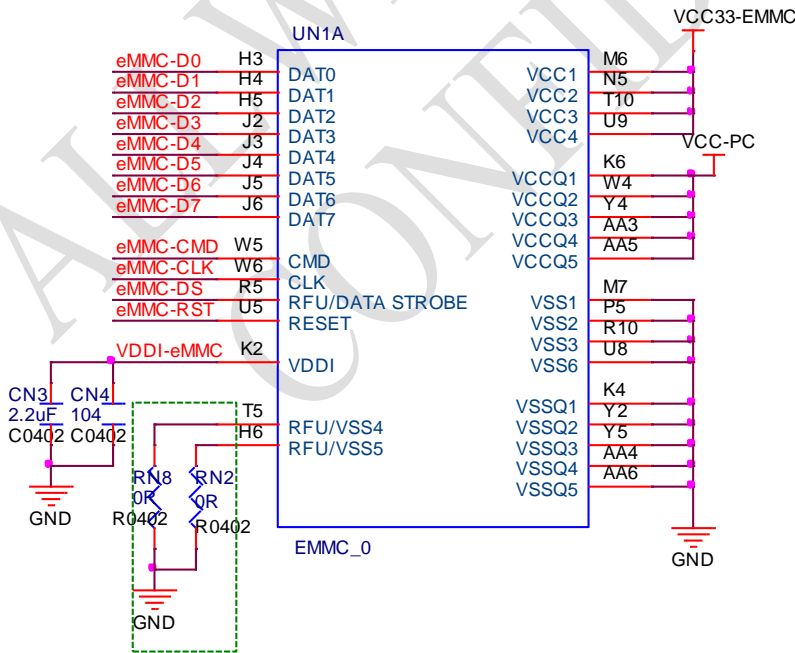
1.1.5. SOC 重要 pin 说明

设计要点	备注
<p>1) AP-RESET: 系统重启信号, 需要上拉到 VCC-RTC 上, 同时保留 RC 与 D1 ESD 器件, 是为了保证系统 ESD 时, 系统 reset 不被干扰;</p>  <p>2) AP-NIM: PMU 中断输入, 需要外部上拉 10K 到 VCC-RTC 上;</p>  <p>3) KEYADC 对地电容为按键去抖动电容;</p> 	

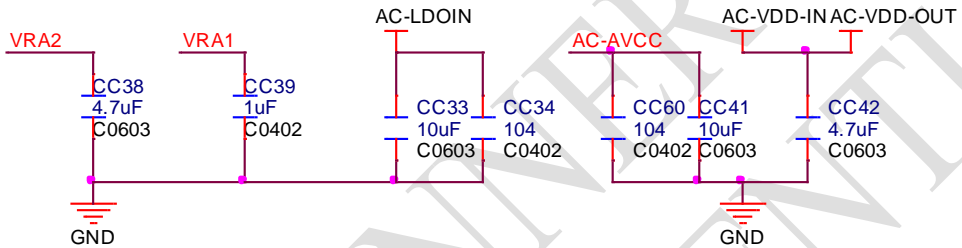
1.2. DRAM

设计要点	备注
<p>1) H6 支持 DDR4\DDR3/3L、LPDDR3，使用时需先确定 DRAM 的类型，以及单片的位宽，严格参考标案原理图连接；</p> <p>2) 主控和 DRAM 端每一个 ZQ PIN 都必须接 240R-1%精度的下拉到地电阻；</p> <p>3) SDQ0-SDQ7, SDQ8-SDQ15, SDQ16-SDQ23, SDQ24-SDQ31 分别为 4 组数据线，memory 端可以进行组内或者组间交换，若进行组间交换，则相应的 SDQM 和 SDQS 差分对也必须对应交换，可视 PCB 走线难易程度进行组内或组间交换；</p> <p>4) 为了保证信号质量, DRAM 部分严格按照标准原理图设计，不准随意更改；</p>	

1.3. eMMC&Nand

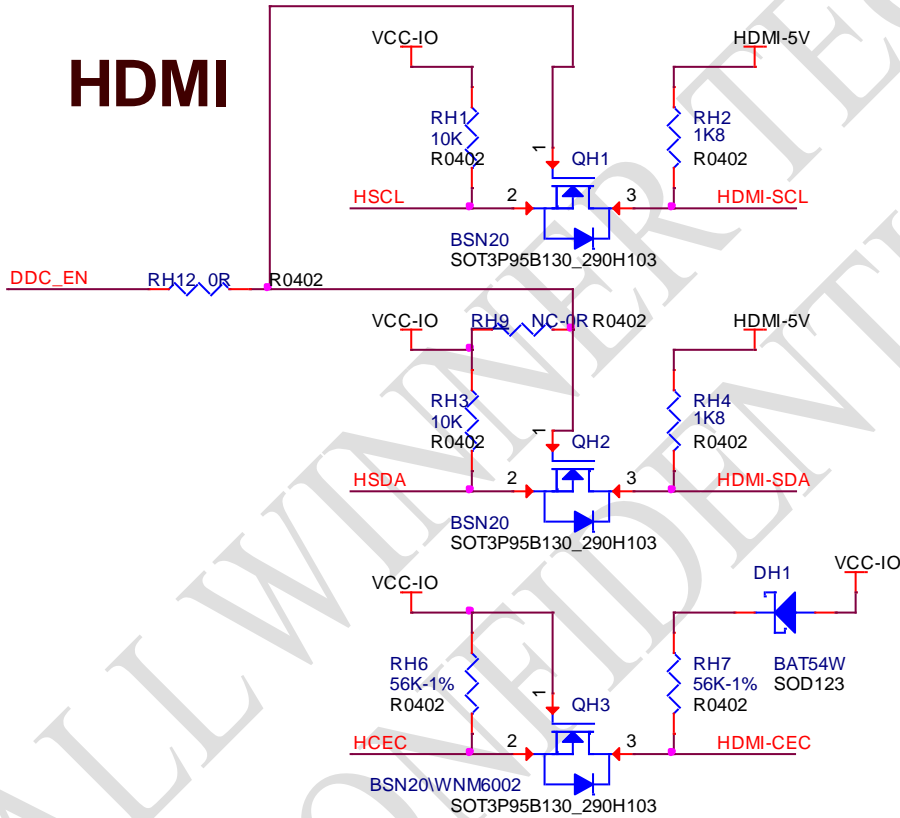
设计要点	备注
<p>1) 如果使用 Sandisk 或 Toshiba 的 nand flash, 需要将 VPS0 和 VPS1 上拉, 其它默认悬空;</p> <div data-bbox="226 479 753 698">  </div> <p>If use Sandisk and Toshiba NAND flash, mount these two resistor</p> <p>2) NAND 与 eMMC 原理图设计采用双 layout, 详见原理图;</p> <p>3) eMMC clk 线需接 33R 电阻, 为了更好的阻抗匹配, 降低信号的干扰; cmd 线需要 10K 上;</p> <p>4) eMMC 支持了 eMMC5.0, 使用 eMMC5.0 时需要将 T5 和 H6 pin 脚接地, 如果不使用 eMMC5.0 则 T5 和 H6 pin 脚悬空;</p> <div data-bbox="218 1003 1016 1653">  </div> <p>If eMMC is not v5.0/v5.1, then NC this two resistors.</p> <p>5) eMMC 所有电源和地引脚都要连接; eMMC NC/RFU 等保留引脚都悬空, 不可将这些信号与电源、地、或其他 eMMC 信号连接在一起 (便于出线);</p> <p>6) eMMC 信号连接到 CPU 的一组 GPIO 上该组 GPIO 的供电必须与 eMMC VCCQ 使用同一路电源, 避免产生上电时序问题, 导致兼容性问题;</p>	<p>4)</p>

1.4.Audio

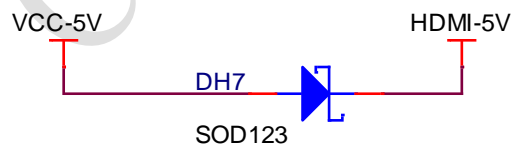
设计要点	备注
<p>1) CODEC 的旁路电容等参数不能修改，这些参数会影响内部的上电时序，修改了可能导致音频部分上电出现噪音等问题；参考电容尽可能靠近 IC BALL 排布；</p> <p>2) 旁路电容的参数不能修改；</p> <p>3) 推荐电路如下：</p> 	

1.5. HDMI

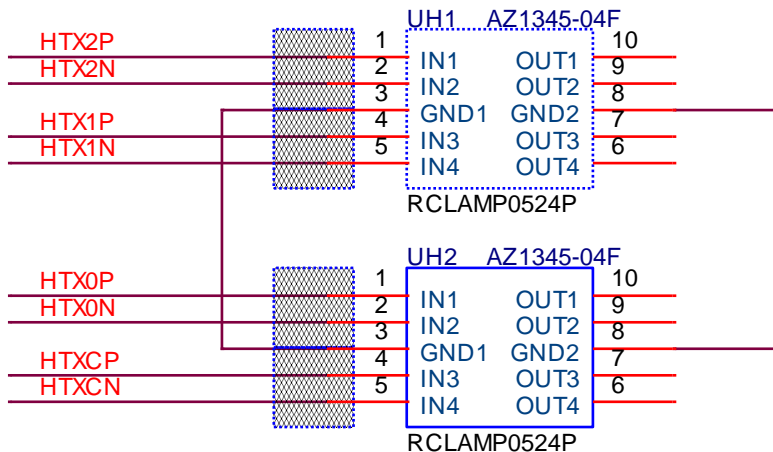
1) HDMI 需要电平匹配, 故添加电平转换电路, 新增 DDC 控制功能 for HDMI 认证;



2) HDMI 的 5V 供电必须串接肖特基二极管, 防止关机后电视漏电。普通二极管压降高, 容易导致 HDMI 的供电低于 4.75v, 避免引起兼容性问题, 请选用导通压降低的肖特基二极管;

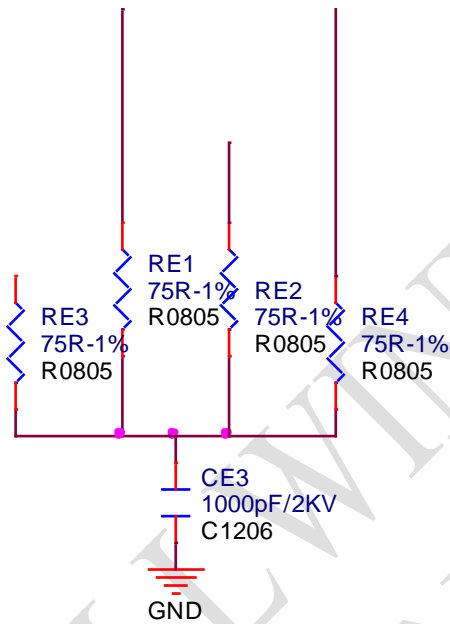


3) HDMI 差分线上使用 ESD 器件的动态电阻 (R_{dyn}) 小于 0.35 欧, 工作电压 5v, 寄生电容小于 0.35pF, 建议使用 AZ1345-04F;



1.6. EPHY

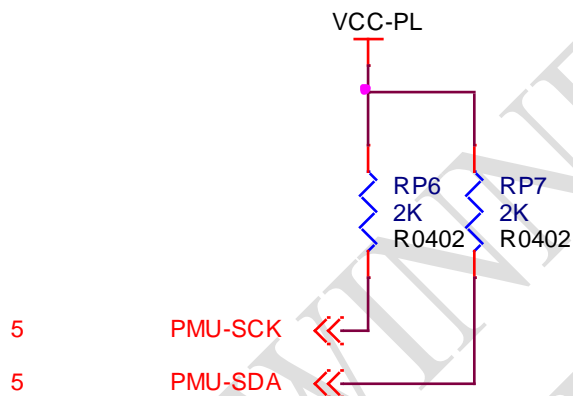
- 1) 75 欧电阻使用 0805 封装，因为在雷击时小封装会被烧毁；



- 2) 高压电容封装不能小于 1206，并且高压电容的耐压不能小于 2KV；
- 3) 上图部分的走线和器件需要远离其它低压信号或器件，距离必须大于 50mil，否则雷击时容易出现串扰导致其它靠近器件损坏；
- 4) 以太网差分线上串接排阻的阻值不能太大，建议预留 0 欧，有利于改善雷击测试；

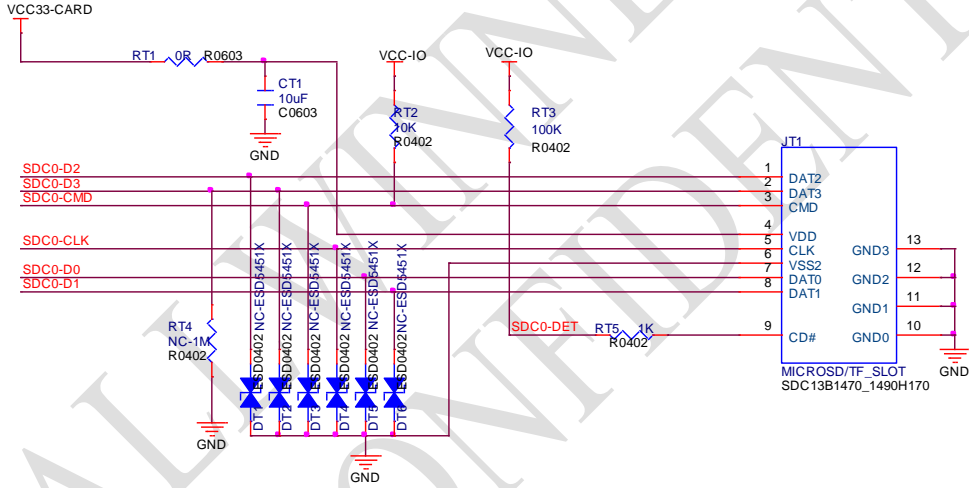
1.7. 系统电源设计

- 1) 电感注意饱和电流要符合最大电流需求，否则会引起供电不足，直流电阻小于 100 毫欧，具体参见原理图；
- 2) 为 CPU, GPU, SYS 供电 (其中 CPU 和 GPU 有独立 PIN, SYS 没有独立 PIN)，其反馈电压信号必须保证从主控端反馈 PIN 独立使用 10mil 走线连接，这样能保证反馈端反馈的是最靠近 cpu 端的电源信号，反馈结果更接近实际值；
- 3) PMU 的 I2C 必须添加上拉电阻，上拉电源为 VCC-PL 不能修改；

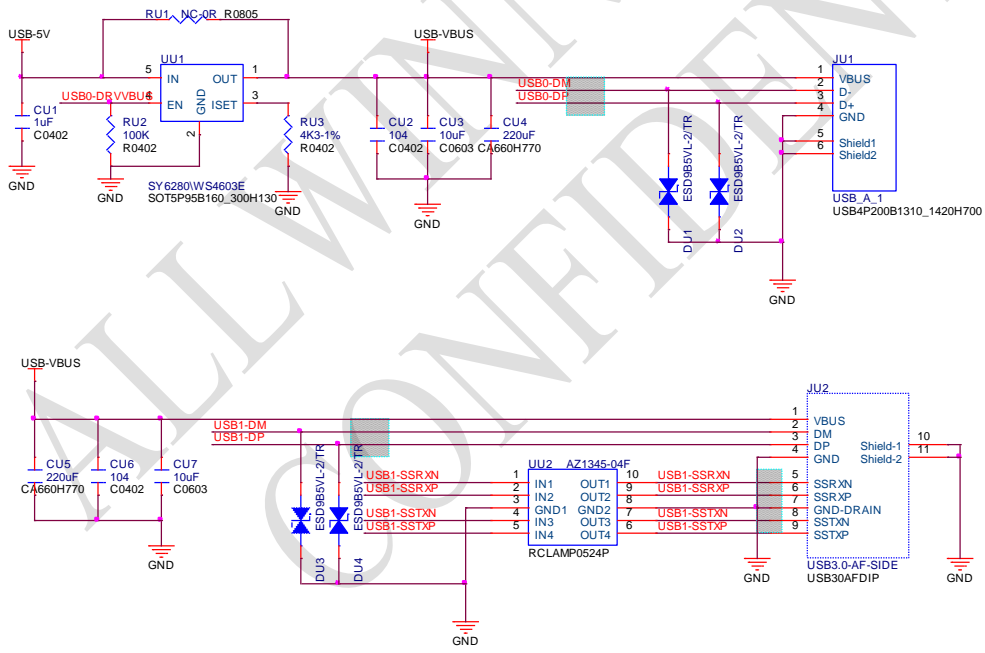


- 4) RESET 信号添加 102 电容，主要是用于防止 ESD 干扰；
- 5) 由于输入电压一般是 12V，所以在输入端的电容必须选择 12V 以上耐压值的电容；
- 6) PC 口的电压可以根据实际使用情况硬件配置 1.8V 或者 3.3V。（同理 WiFi 的 IO）

1.8. SD CARD

设计要点	备注
<p>1) USB0 具有 OTG 功能, 可以实现软件的烧录; USB1、USB3 只具有 HOST 功能, 在产品功能定义上需要注意区别。</p> <p>2) ESD 器件寄生电容不能大于 10pF, 否则会影响信号质量。</p> <p>3) 卡检查信号 SDC0-DET 的上拉电源所使用的 GPIO 供电电源一致, 因为卡检查与卡本身没有关系, 只是通过一个 GPIO 的状态来判断卡的插入。</p> <p>4) 推荐电路如下:</p>  <p>The diagram illustrates the recommended circuit for an SD card interface. It shows the connection of the card's pins to the board's power and signal lines. Key components include resistors (RT1, RT2, RT3, RT4, RT5), a capacitor (CT1), and ESD protection diodes (DT1-DT6). The card's pins are labeled: 1 (DAT2), 2 (DAT3), 3 (CMD), 4 (VDD), 5 (CLK), 6 (VSS2), 7 (DAT0), 8 (DAT1), 9 (CD#), 10 (GND0), 11 (GND1), 12 (GND2), 13 (GND3). The board's pins are labeled: VCC33-CARD, VCC-IO, SDC0-D2, SDC0-D3, SDC0-CMD, SDC0-CLK, SDC0-D0, SDC0-D1, SDC0-DET, and GND.</p>	

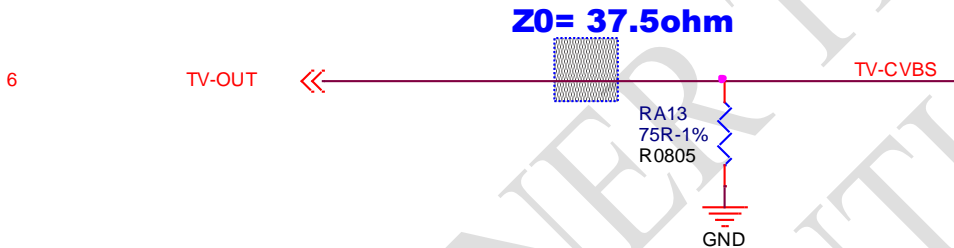
1.9. USB

设计要点	备注
<p>1) USB2.0 接口信号线 USB0-DM、USB0-DP, USB1-DM、USB1-DP, USB3-DM、USB3-DP 为高速信号线, 并接的 TVS 要求低容值, 否则影响数据传输, 以小于或等于 4pF 为宜。</p> <p>2) USB0 具有 OTG 功能, 可以实现软件的烧录; USB1、USB3 只具有 HOST 功能, 在产品功能定义上需要注意区别。</p> <p>3) USB3.0 接口信号线, 为高速信号线, 需要在 TX 上面添加隔直电容 (RX 不用)。ESD 器件推荐电容为小于或者等于 0.3pF。USB 电源限流器件 EN 使能管脚加下拉电阻, 默认关闭, 只有作为 HOST, 为外部设备供电时才打开;</p> <p>4) USB D+/D-连线与 USB Port 要一一对应, 不要反接。;</p> <p>5) USB 接口 为 0 , 1 , 3 请注意硬件接法和软件配置匹配</p> <p>6) 推荐电路如下:</p> 	

1.10. WIFI 射频电路

设计要点	备注
<p>1) WIFI 的 IO 供电与主控的 PG 口, PM 口电源保持一致, 保证主控和外设电平匹配。A63 DCX0 晶振电路能够 fanout 24M clock 信号给 wifi 芯片使用, 节省一颗晶振;</p> <p>2) SDIO 的 clk 上需要串接 33R 电阻, 并要并接一个 5.6pF 电容到地, 降低 clk 上的辐射干扰, 因为 sdio 的 clk 本身也是会干扰 wifi。</p> <p>3) UART 和 PCM TX RX 连接需要注意信号交叉。</p> <p>4) 如果在规格上想支持蓝牙唤醒的话, WIFI 部分的电源必须使用外挂独立的电源模块。如果无此规格可以直接使用 PMU CLD02 和 CLD03 上面的电源即可。</p>	

1.11. TVOUT

设计要点	备注
<p>1) CVBS 端口的 75 欧电阻需要使用 0805 封装, 因为 CVBS 输出电流型的, 电流会流经该电阻, 如果电阻封装太小会发热烧坏该电阻。</p> 	

2. PCB 设计要点

2.1. 叠层设计

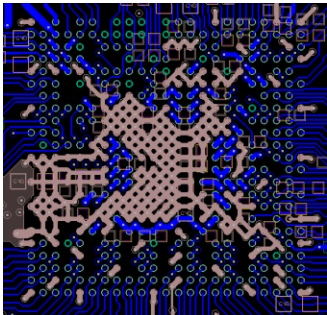
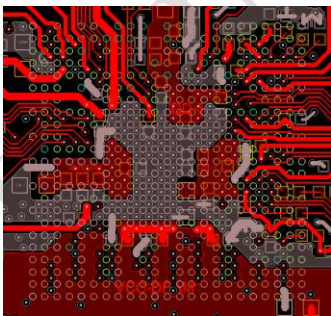
设计要点

备注

1) 四层板，叠层结构和阻抗控制建议如下（如果需调整板厚，请调整 2、3 层之间介质厚度，保持其他介质厚度不变）；

Total layers:	4						
Board thickness:	1.6 mm +/- 10%						
PCB material:	Typical FR4						
Surface finish:	ENIG(化学镀金)						
Stackup Control Table							
---	Stackup Structure				Impedance Requirements		
Layer	Type	Thickness (mil)		Dk(with Sim Z0)	Impedance spec (Ohms)	Reference layer	Width/space (mil)
	solder mask	0.5	SM	4.25			
1	TOP	1.6	0.3oz+plating	4	50±10%	2	4
					90±10%	2	4.5/7.5
					100±10%	2	3.8/8.7
	prepreg	2.9		4			
2	GND	1.2	1.0oz				
	core	50.0		4.5			
3	VCC	1.2	1.0oz				
	prepreg	2.9		4			
4	BOTTOM	1.6	0.3oz+plating	4	50±10%	3	4
					90±10%	3	4.5/7.5
					100±10%	3	3.8/8.7
	solder mask	0.5	SM	4.25			
	Board thickness:	62.4					

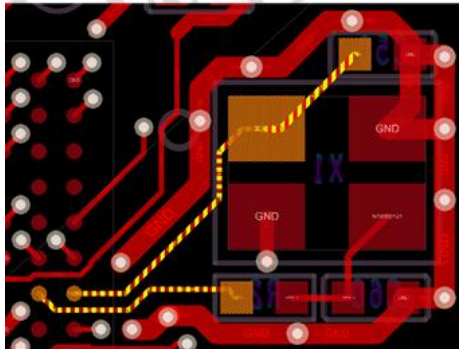
2.2. SOC fanout

设计要点	备注
<p>1) 第一圈、第二圈、第三圈部分 Ball，可以从顶层直接拉出走线（线宽 4 mil，线距 4 mil）；</p>  <p>2) 第四到五圈的 Ball，用 8/16mil 过孔扇出，从 Bottom 层出线；注意：Via 优先走 Via 通道，留出尽量多的走线通道；</p>  <p>3) 中间 Power 和 GND 的球，用 8/16mil 过孔从内层覆铜出线，注意留出尽量多的覆铜通道；</p>	

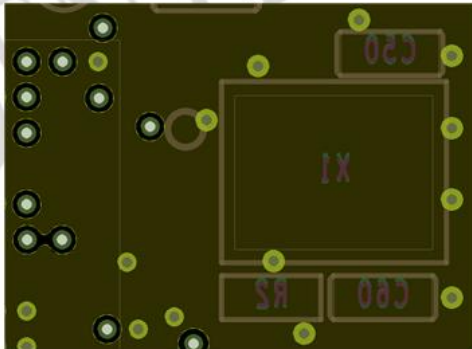
2.2.1. 24M 晶振

设计要点	备注
<p>1) 晶振尽量靠近 IC 摆放，使 X24MI 和 X24MO 走线小于 400mil，减少 PCB 走线寄生电容，保证晶振频偏精度；</p> <p>2) 晶振的匹配电容必须靠近晶振管脚摆放；</p> <p>3) 晶振及其走线区域的外围和相邻层，用 GND 屏蔽保护，禁止其它走线；</p> <p>下图为 24M 晶振 layout 参考模板</p>	

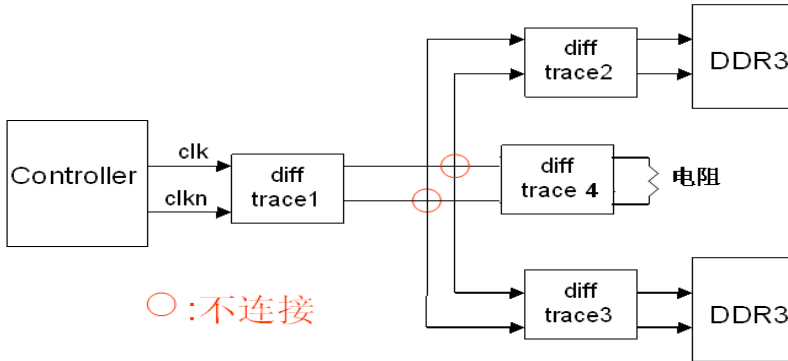
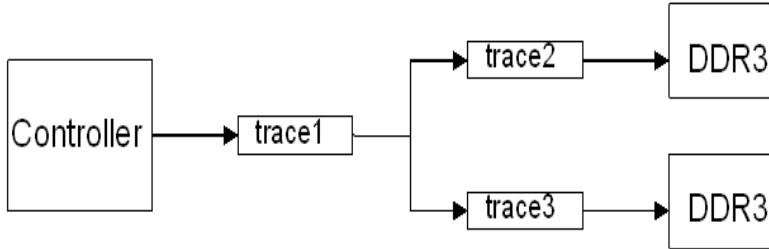
TOP层



L2



2.2.2. DRAM

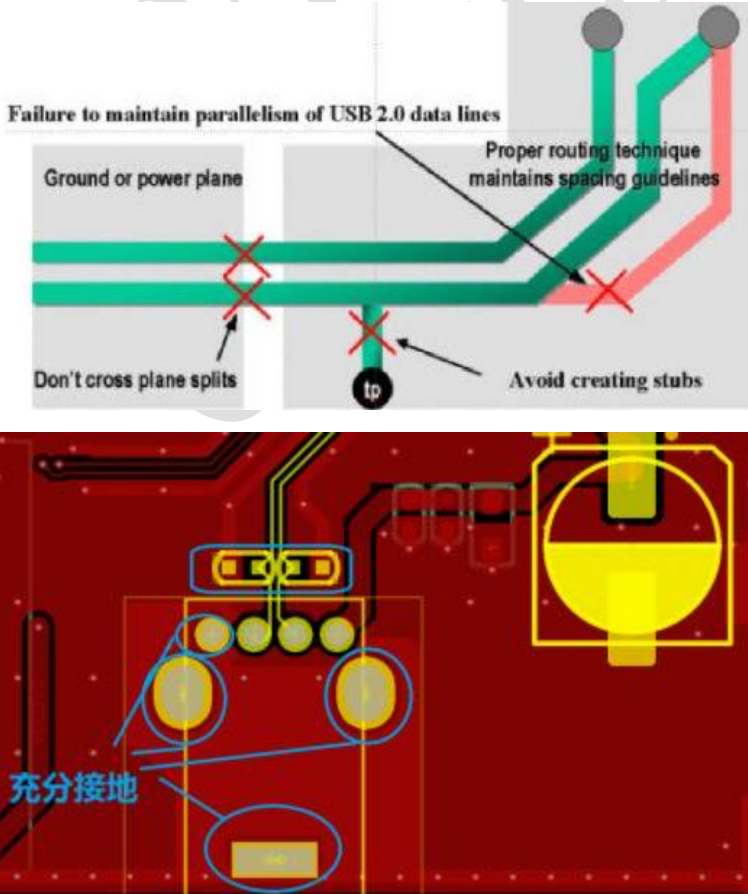
设计要点	备注
<p>1) 全志 DRAM 模板经过 SIPI 仿真优化或开发板性能验证,DRAM 设计请直接移植全志公司提供的 PCB 模板,以确保 DRAM 性能和稳定性;</p> <p>2) 如果条件限制无法完全导入模板, 请参照模板说明进行 Layout, 并确保以下关键点:</p> <p>① 所有走线的相邻层必须有完整的电源平面或地平面,TOP 走线相邻层是完整的 GND 平面,Bottom 相邻层是完整的 VCC-DRAM 电源平面;</p> <p>② CK/CKB 必须走远端簇型拓扑 对于两片颗粒: $\text{diff_trace1} > \text{diff_trace2}$ 或 diff_trace3 $\text{diff_trace2} < 600\text{mil}$ $\text{diff_trace3} < 600\text{mil}$ $\text{diff_trace2} - \text{diff_trace3} < \pm 50\text{mil}$ $\text{diff_trace4} < 100\text{mil}$</p>  <p>○ :不连接</p> <p>③ Ax,BAx,CAS,RAS,WE,CSx,ODTx,CKEx 尽量走远端簇型拓扑 对于两片颗粒: $\text{trace1} > \text{trace2}$ 或 trace3 $\text{trace2} < 600\text{mil}$ $\text{trace3} < 600\text{mil}$ $\text{trace2} - \text{trace3} < \pm 50\text{mil}$</p>  <p>④ 差分对 (CK/CKB、DQSx/DQSBx) 控制差分阻抗 100ohm, 与其他网络的间距 4W, W 为线宽。</p> <p>⑤ 单端线控制阻抗 50ohm, 间距 2W。W 为线宽。</p> <p>⑥ Vref 走线与其他网络的间距大于 4W, 滤波电容尽量靠近管脚放置。</p>	

设计要点	备注
<p>⑦ 调整好过孔的位置、间距，减少对电源、地平面的破坏。平面断开处用走线连接。</p>  <p>⑧ 电源滤波电容尽量靠近电源管脚放置，最好能放置在电源管脚下方的 PCB 背面。每个电容至少各一个电源过孔和地过孔，电容均匀分布，大小搭配，小电容优先靠近电源管脚。</p> <p>单面布局，电容尽量靠近电源管脚</p>  <p>双面布局，电容放置在电源管脚下方的 PCB 背面</p> 	

2.2.3. NAND-EMMC

设计要点	备注
<p>1) 信号线走线要求:</p> <ul style="list-style-type: none"> (1) eMMC 与主控间走线长度$\leq 2000\text{mil}$; (2) 走线阻抗 50 欧; (3) 线间距≥ 2 倍线宽; (4) D0~D7、DS 相对 CLK 等长控制$\leq 300\text{mil}$; (5) D0~D7 上使用过孔的数量尽量相同 <p>2) CLK 和 DS 信号做包地处理, 包地通过过孔与 GND 平面连接。如果不能包地则保持线间距≥ 3 倍线宽;</p> <p>3) eMMC 保证所有信号走线参考平面完整;</p> <p>4) 走线尽量避开高频信号;</p> <p>5) VCC/VCCQ 线宽不小于 12mil, 或直接使用敷铜代替电源走线; 电源线上如有过孔, 则过孔数量不少于 2 个, 避免过孔限流影响供电;</p> <p>6) 如果期望 eMMC 运行在较高频率, 则建议只使用 eMMC, 保证主控 IO 与 eMMC 点对点连接。如果 NAND/eMMC 双 Layout 时, 走线采用菊花链方式, 将 eMMC 作为走线的终点, 尽量减少分叉线长度;</p> <div style="display: flex; justify-content: space-around; align-items: center;">   </div>	

2.2.4. USB

设计要点	备注
<p>1) VCC-USB 走线线宽 8~12mil, VCC-USB 的 0.1uF 电容, 需要靠近 IC 摆放;</p> <p>2) USB-5V 线路上电流最高可达 1A, 线宽建议控制在 40mil 以上, 电解电容靠近座子放置;</p> <p>3) USB-DM/USB-DP 信号差分走线, 差分阻抗为 90 欧姆, 保证走线相邻层有连续完整的同一参考平面;</p> <p>4) USB-DM/USB-DP 建议与其它信号的间距大于 10 mil, 避免走线走在器件的下面或者与其他信号交叉;</p> <p>5) USB3.0 差分信号的等长和走线长度处理, 差分线对内等长误差约 < 10mil。USB 信号线长度应该< 3000mil, 隔直电容靠近源端摆放;</p> <p>6) USB3.0 差分走线不建议打过孔, 走顶层参考第二层地平面即可。</p> <p>7) USB-DM/USB-DP 走线在有空间的情况下, 走线两边包地并打地过孔;</p> <p>8) USB-DM/USB-DP 走线拐角的角度需保证大于等于 135 度; 保证 USB 走线的长度控制在 4000mil 以内, 走线的过孔不超过 2 个;</p> <p>9) TVS 器件需要靠近 USB 座子摆放;</p> <p>10) USB 座子金属外壳接地管脚 TOP 面建议全铺接地, 其他层也建议充分接地;</p> <div data-bbox="300 981 1051 1872">  </div>	

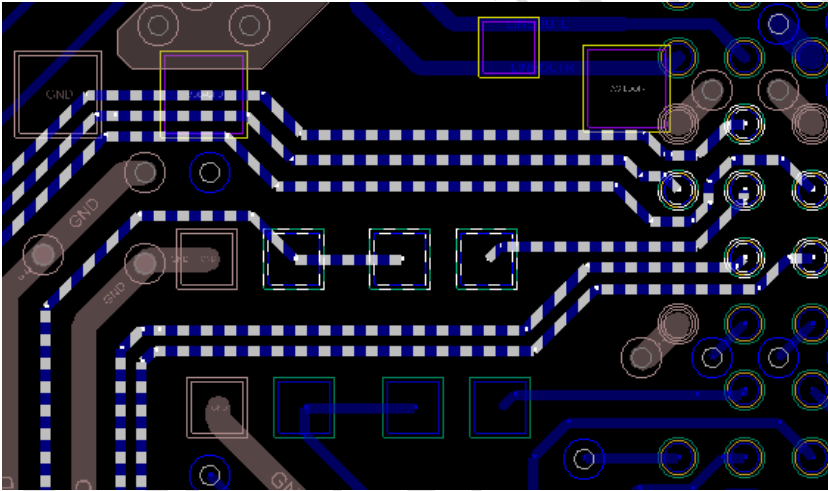
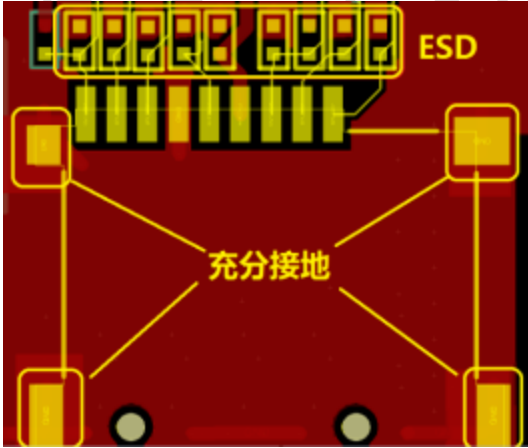
2.2.5. 音频

设计要点	备注
1) AVCC/VRA1/VRA2/AGND 接地电容、电阻依次靠近主控摆放; 2) PCB 走线 AVCC 线宽 $\geq 25\text{ mil}$; VRA1/VRA2 线宽 $\geq 10\text{ mil}$; 线长 $\leq 300\text{ mil}$ 。远离高速干扰信号; 3) AGND 部分 PIN 不做分地处理,该部分 ball 除了音频的 GND 外,还有 CVBS,网口的地,分立会导致地阻抗比较大,不稳定。 4) LINEOUT 走线远离高速信号线,如 DRAM。禁止在高速信号线相邻层走线,若要平行或交叉,中间须有“地”层隔离,音频信号容易受到干扰,且禁止在高速信号线附近打孔换层,这样容易出现高速信号在换层时参考不连续,从而回流路径不确定导致干扰音频信号。	


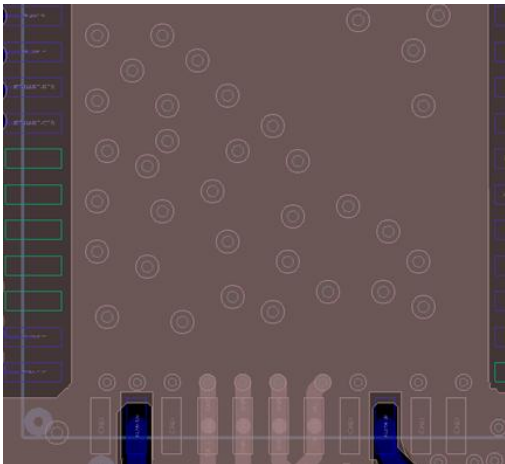
2.2.6. HDMI

设计要点	备注
1) 阻抗控制在 $90\sim 100\Omega$,不建议打过孔 2) 在满足阻抗的前提下线宽的要求,线宽的基本原则是越宽越好。 $W=5.5\text{ mil}$; $C=9\text{ mil}$, (推荐) $W=4.5\text{ mil}$; $C=8\text{ mil}$, (基本); 3) 差分线对内等长误差约 $< 10\text{ mil}$;差分线对间等长误差约 $< 100\text{ mil}$; HDMI 信号线长度应该 $< 3000\text{ mil}$ 。 4) HDMI 差分走线拐角 135° 最好为圆弧,保证完整参考层。 5) ESD 器件靠近 HDMI 座子摆放。 6) 差分线上如果兼容共模电感和 0Ω 电阻,请保证 0Ω 电阻焊盘尽量与共模电感的焊盘重叠,尽量减小焊盘对差分线的阻抗影响。	

2.2.7. Card

设计要点	备注
<p>1) 信号线走线阻抗 50 欧, 线间距不小于 2 倍线宽, D0~D3 相对 CLK 等长控制 <500mil;</p> <p>2) CLK 串接电阻靠近主控摆放, 串阻与主控 CLK 连接走线距离 ≤300mil;</p> <p>3) VDD 网络上的电阻和电容网络靠近卡座摆放, VDD 走线宽度不小于 12mil;</p> <p>4) 走线尽量避开高频信号, 信号线走线参考平面完整;</p> <p>5) CLK 做包地处理, 包地通过过孔与 GND 平面连接。如果不能包地则保持线间距 ≥3 倍线宽;</p> <p>6) ESD 器件靠近卡座放置, 卡座管脚走线先经过 ESD 器件, 再连其它器件;</p> <p>7) 卡座外壳接地要充分;</p> <div data-bbox="196 734 1027 1223" data-label="Image">  </div> <div data-bbox="180 1234 710 1680" data-label="Image">  </div>	

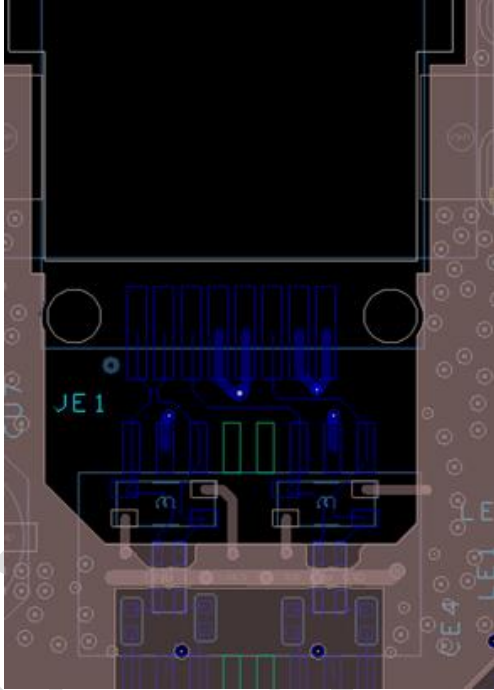
2.2.8. WIFI 和天线

设计要点	备注
<p>1) RF 走线需要考虑线段的宽度, 满足阻抗设计在 50 欧;</p>  <p>2) RF 走线越长、越细, 能量损失越大, 所以 RF 走线需要越短、越宽就越好; 建议线长小于 6cm;</p> <p>3) RF 走线需要在相邻层或隔层有一片完整的铺铜作为信号的参考地 (建议使用隔层参考, 能保证 RF 走线足够宽, 减小损耗);</p> <p>4) RF 走线离板边距离至少大于 3mm;</p> <p>5) RF 走线不能分叉或换层, 走线有转角请采用弧线;</p> <p>6) RF 走线使用过孔均匀环绕在四周, 过孔间距 $W, 0.5\text{mm} \leq W \leq 1\text{mm}$;</p> <p>7) 外挂晶振部分需要包铜, 一直到 pin 脚部分, 如果晶振 pin 脚与电源 pin 相邻, 请将电源走线或干扰信号尽量远离晶振走线, 尽量用铜隔离;</p> <p>8) WIFI 部分需要用地完整包围, 尽量降低干扰;</p> <p>9) WIFI 底部尽量多打地过孔, 保证接地充分;</p> <p>10) WIFI 底部参考层必须有完整的参考平面, 参考层为完整地, 否则会影响 RF 指标;</p> <p>11) HDMI、DDR 会对 wifi 有比较大的干扰, 设计时需要考虑放置位置远离以上干扰源;</p> <p>12) 如果 wifi 与系统时钟共用, 必须保证 wifi 时钟走线全程包地, 否则会导致时钟走线容易被干扰, 导致 RF 测试不过, 并不要与 SDIO 平行走线, 远离干扰信号或电源;</p> <p>13) SDIO 的走线要先穿过滤波电容再进入 wifi, 能保证有比较好的滤波效果;</p> <p>14) WIFI CLK 上的并联电容和串接电阻靠近主控端摆放;</p> <p>15) WIFI SDIO 做等长处理, 控制在 50mil 内。</p> 	

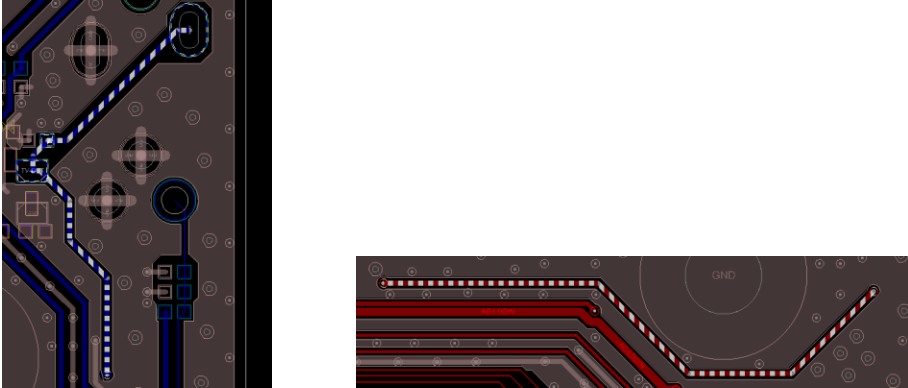
2.2.9. 电源

设计要点	备注
<p>1) PMIC 及电感、电容等主要器件建议放置在同一层；对于 PMIC 使用面积特别紧张的，可以把电感电容等大器件放至在 PMIC 底层正下方；DCDC 输出电容建议与电感垂直放置，减少纹波测试引入电感 LX 信号的干扰；</p> <p>2) 电感如与 PMIC 相接，保证电容位置的前提下，尽量靠近 PMIC 的 LX pin。线宽保证电流需求即可；</p> <p>3) VREF 的电容尽量靠近 Pin 脚，电容接地点尽量远离跳变点，避免干扰；</p> <p>4) 系统与 PMIC 的通讯信号，也是跳变信号，避开敏感信号，采用 4mil 的走线；</p> <p>5) 电压反馈线，输出电压经过电容滤波后，紧挨电容取点，用 4~10mil 的线引入 PMIC 即可，最好不要从电感下方、交流路径下方或者紧挨 CLK 之类的跳变信号；建议 CPU/SYS/DRAM 供电时，采用远端反馈。如果 SOC 有反馈 pin 则连接至反馈 pin，如果没有反馈 pin，则连接至远端反馈电容两端。反馈线从底层信号层走线，沿其电源平面一起走到负载；</p> <p>6) PMIC 底部 PAD 多打孔到地层相连，在地层用全连接方式，利于散热；</p> <div data-bbox="429 902 944 1261" data-label="Image"> </div> <p style="text-align: center;">VDD-CPUFB</p> <div data-bbox="228 1317 1121 1594" data-label="Image"> </div> <p style="text-align: center;">VDD-SYS</p> <div data-bbox="260 1653 1090 2009" data-label="Image"> </div> <p style="text-align: center;">VDD-GPUFB</p>	

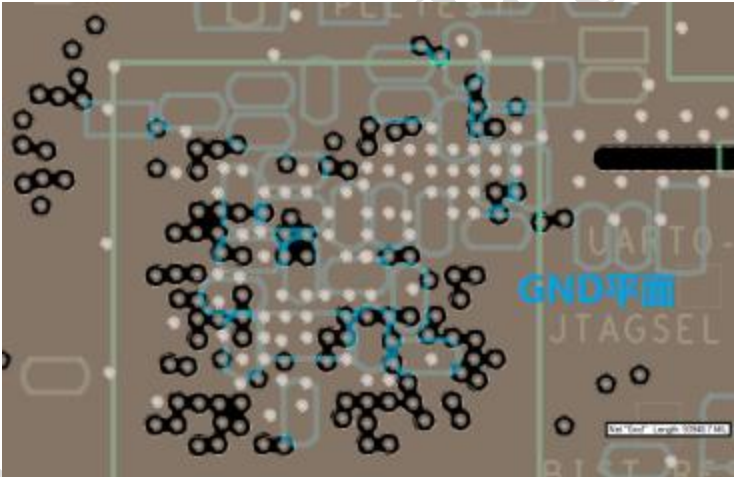
2.2.10. EPHY

设计要点	备注
<p>1) 保证以太网变压器的底部不要走线并禁铜，防止地上的干扰耦合到变压器或走线影响信号质量。</p>  <p>2) 板上其他信号，尽量远离初、次级信号，以及匹配电阻/共模电容，举例不小于 50mils。防止在雷击时串扰到附近的走线或器件上，导致器件损坏。</p>	

2.2.11. TVOUT

设计要点	备注
<p>1) CVBS 走线必须两端包地处理，避免出现和电源并排长距离走线。否则会影响输出信号质量；</p> 	

2.2.12. 散热

设计要点	备注
<p>1) 尽量保证 GND 平面和电源层各电源部分平面的连续性和完整性;</p> <p>2) 在 PCB Layout 空间允许的情况下, 在 PCB 底层的地也尽可能有大的铜皮利于散热;</p> <p>3) CPU 中间区域的 Ball 是把热传导到其他平面层和底部的主要途径, 需要保证与 Ball 连接的 Via 数量, 建议 via1 孔径 10~12mil, 孔中心间距为 30~40mil; 在不使用的 GPIO 附近也可以尽量增加 Vial 数量;</p> <p>4) 在 PCB Layout 空间允许的情况下, 在 PCB 底层的地也尽可能有大的铜皮利于散热;</p>  <p>4) PCB 板上较大功率器件均匀摆放, 避免多个热源靠在一起, SOC 尽量靠芯片中间放置, PMU 距离 SOC 2cm 以上;</p>	

2.2.13. ESD

设计要点	备注
<p>1) PCB 层叠设计必须保证不少于 1L 完整的 GND 平面, 所有的 ESD 泄放路径直接通过过孔连接到这个完整的 GND 平面; 压缩第三层不必要的电源走线面积, 尽可能多的铺 GND;</p> <p>2) 在 PCB 四周增加地保护环; DDR 线束四周建议用 GND 保护;</p> <div data-bbox="252 533 1093 967">  </div> <p>3) 关键信号 (RESET/NMI/Clock 等) 与板边距离不小于 5mm, 同时必须与走线层的板边 GND 铜皮距离不小于 10mils;</p> <p>4) CPU/DRAM/晶振等 ESD 敏感的关键器件, 离外部金属接口的距离不小于 20mm, 如果小于 20mm, 建议预留金属屏蔽罩, 并且距离其他板边不小于 5mm;</p> <p>5) POWER 平面要比 GND 平面内缩不少于 3H (H 指 POWER 平面相对 GND 平面的高度)。</p> <p>6) 关键信号 (RESET/NMI/Clock 等) 尽量避免与外部接口信号 (USB/SD/HP 等) 或经过 IO 附近的走线相邻并行走线; 如果不可避免, 相邻并行的走线长度不超过 100mils; IO 保护地下方尽量不要走线, 在必须走线的情况下建议走内层;</p> <p>7) 主控 reset 信号建议增加 1nF 电容接地, 电容靠近主控摆放; 电容接地端需用过孔加强连接; reset 走线需要用 GND 走线保护;</p> <p>8) 对于其他外设上的 reset 信号, 在靠近芯片管脚的位置需增加 1~100nF 电容;</p> <p>9) 无论外部接口信号还是内部信号, 走线必须避免多余的桩线;</p> <p>10) 必须保证外部连接器 (USB/SD) 金属外壳接地良好, 在板边直接通过过孔连接 GND 平面, 每个 GND 焊盘与 GND 平面之间的连接过孔不少于 3 个;</p> <p>11) 外部接口信号 (USB/SD/HP) 必须连接外部 ESD 器件, 进行 ESD 保护。如下图所示, 外部接口信号 ESD 器件放置位置尽可能靠近外部连接器, 与连接器间避免过孔; ESD 器件接地端直接通过过孔连接到 GND 平面, 而且过孔数量不少于 3 个; 从外部接口进来, 必须最先看到 ESD 器件; ESD 器件的信号端与外部信号端必须尽可能短, 尽可能宽, 建议直接搭接在信号走线上;</p> <div data-bbox="331 1818 1045 2042">  </div>	

3. Declaration

This document is the original work and copyrighted property of Allwinner Technology (“Allwinner”). Reproduction in whole or in part must obtain the written approval of Allwinner and give clear acknowledgement to the copyright owner.

The information furnished by Allwinner is believed to be accurate and reliable. Allwinner reserves the right to make changes in circuit design and/or specifications at any time without notice.

Allwinner does not assume any responsibility and liability for its use. Nor for any infringements of patents or other rights of the third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Allwinner. This document neither states nor implies warranty of any kind, including fitness for any particular application.