



中国科学技术大学

University of Science and Technology of China

数字集成电路设计

第七章 鲁棒性

白雪飞

中国科学技术大学微电子学院

- 引言
- 偏差
- 可靠性
- 按比例缩小
- 偏差的统计分析
- 容偏差设计



引言

■ 鲁棒性 (Robustness)

- 又称稳健性、健壮性
- 抵御或克服不利条件的能力

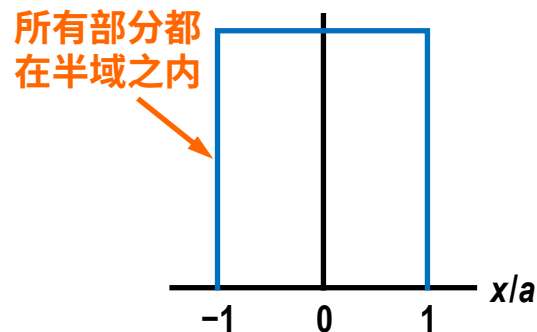
■ 集成电路的鲁棒性

- 工艺偏差、温度范围、电压范围、电流密度、宇宙射线等影响
- 静态CMOS电路适于构建鲁棒性好的集成电路
 - 较大的噪声容限，对晶体管参数的偏差不敏感，能够从噪声事件中恢复状态
 - 关于最大电压、电流的简单设计准则，足以保证电路具有很长的使用寿命
 - 容错和自适应的体系结构，在制造偏差和工作条件变化的情况下纠错并调节芯片

偏差

■ PVT

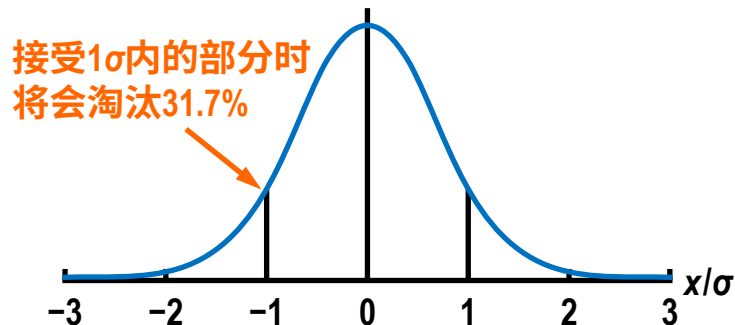
- 工艺偏差 (Process)
- 电源电压 (Voltage)
- 工作温度 (Temperature)
- 电路应在这三个参数的所有极端情况下都能可靠工作



均匀分布

■ 偏差建模

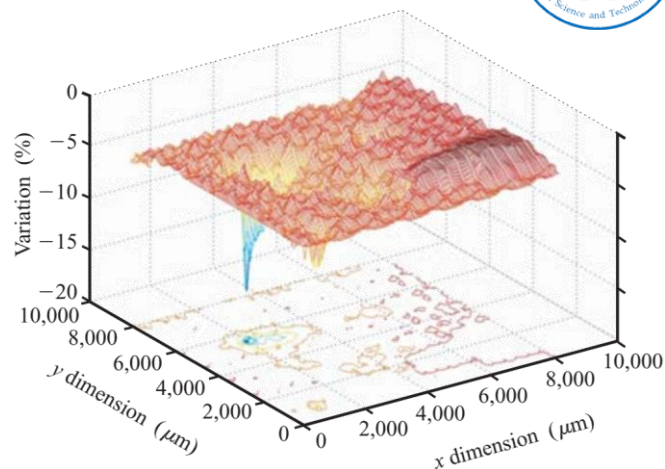
- 均匀分布：以半域 a 表示
 - 电源电压可以用 $\pm 10\%$ 的均匀分布建模
 - 应能接受整个半域上的偏差
- 正态分布：以标准差 σ 表示
 - 工艺偏差通常用正态分布建模
 - 超出 3σ 范围的部分约占 0.26%



正态分布

■ 电源电压偏差

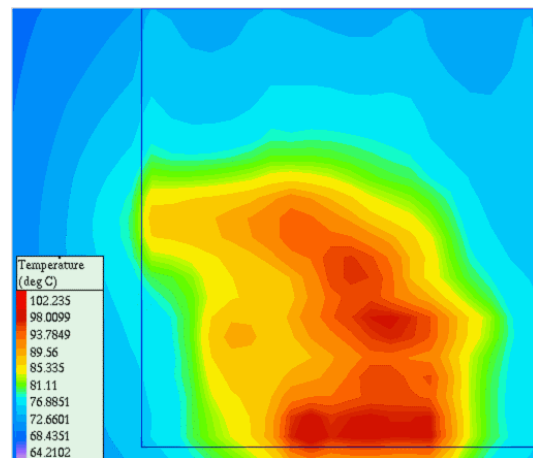
- 电压调节器容差、IR电压降、 di/dt 噪声
- 电源电压随时间和空间而变化
- 设计范围：额定值 $\pm 10\%$ 以内
- 引起约 $\pm 10\%$ 的延时偏差，并影响噪声预算



电压降图

■ 温度偏差

- 晶体管结温是环境温度和功耗导致温升之和
- 芯片上温度分布与电路各部分的功耗有关
- 高电压时，漏极电流随温度上升而减小
- 低电压时，漏极电流随温度上升而增大
- 设计范围：低温 $-40^{\circ}\text{C}/0^{\circ}\text{C}$ ，高温 $85^{\circ}\text{C}/125^{\circ}\text{C}$



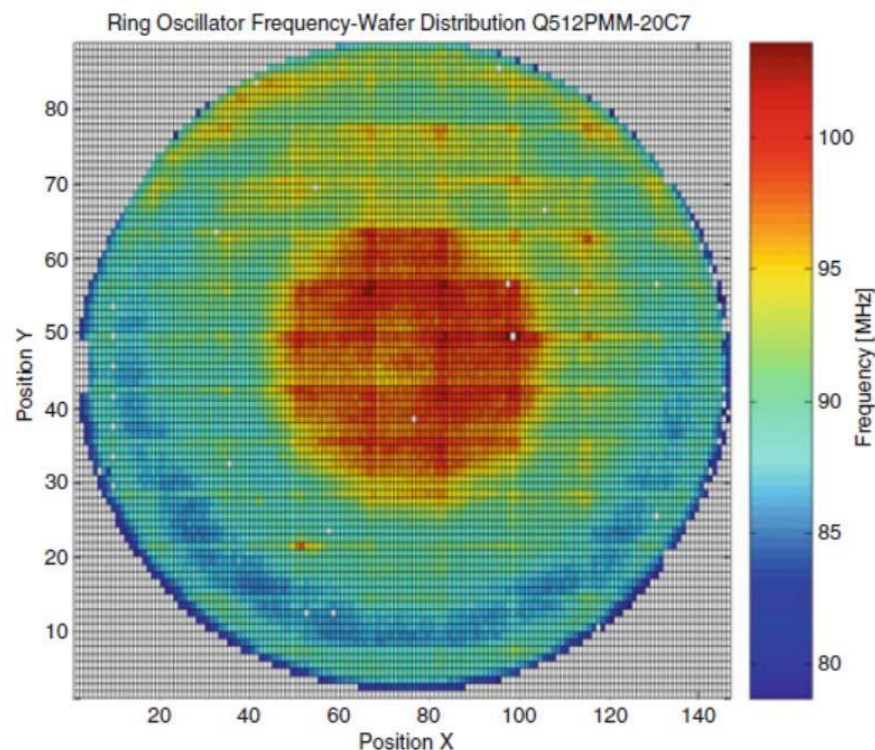
Itanium 2处理器仿真热图

■ 工艺偏差来源

- 器件和互连线在薄膜厚度、横向尺寸、掺杂浓度方面的偏差
- 器件偏差
 - 沟道长度、阈值电压
- 互连线偏差
 - 线宽和间距、金属和电介质厚度、接触电阻

■ 工艺偏差类型

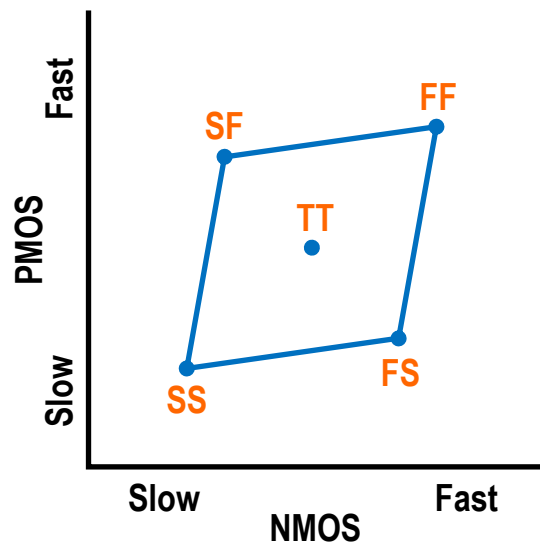
- 批次与批次间 (L2L)
- 晶圆与晶圆间 (W2W)
- 管芯与管芯间 (D2D, WIW, Inter-Die)
- 管芯内部 (WID, Intra-Die)



90-nm CMOS工艺环形振荡器频率分布图

■ 设计角的定义

- 工艺和环境偏差极端情况下的仿真模型
- 设计角 (Design Corner)、工艺角 (Process Corner)
- 典型 (Typical, T)、快速 (Fast, F)、慢速 (Slow, S)
- 应在各设计角范围内都能确保电路性能
- 不同的检查项目应使用相应的设计角模型



■ 设计角的因素

- NMOS管速度: T, F, S
- PMOS管速度: T, F, S
- 电源电压: 标准电压(T); 高电压(F), 上浮10%; 低电压(S), 下浮10%
- 温度: 室温(T), 25°C; 低温, 如-40°C或0°C; 高温, 如85°C或125°C
- 互连线电阻电容: RCbest, RCworst, Cbest, Cworst, Typical

设计角

设计角					检查目的
NMOS	PMOS	互连线	电源电压	温度	
T	T	T	S	S	时序规范（分级合格部件）
S	S	S	S	S	时序规范（保守部件）
F	F	F	F	F	竞争条件，保持时间约束，脉冲崩塌，噪声
S	S	?	F	S	动态功耗
F	F	F	F	S	亚阈值泄漏噪声和功耗，总体噪声分析
S	S	F	S	S	互连线对逻辑门的竞争
F	F	S	F	F	逻辑门对互连线的竞争
S	F	T	F	F	PMOS对NMOS的竞争，存储器读写
F	S	T	F	F	NMOS对PMOS的竞争，存储器读写

可靠性

■ 硬错 (Hard Error)

- 引起集成电路永久失效的可靠性问题
- 栅氧耗损
 - 热载流子、负偏置温度不稳定性、时间相关电介质击穿
 - 引起阈值电压漂移和栅泄漏增加，最终导致电路失效
 - 通常规定最大工作电压，以保证栅氧损耗影响很小
- 互连线耗损
 - 电迁移、自热
- 过电压失效
- 闩锁

■ 软错 (Soft Error)

- 辐照触发的暂态失效，引起系统崩溃或数据丢失
- 由封装材料中微量铀和钍杂质衰变发射的 α 粒子或宇宙射线中高能中子引起

■ 可靠性 (Reliability)

- 系统在规定的条件下和规定的时间内完成规定功能的能力

■ 失效 (Failure)

- 在一定的时间内偏离了系统规格，由故障引起

■ 故障 (Fault)

- 子系统的失效，并非所有故障都会导致出错

■ 平均失效间隔 (Mean Time Between Failures, MTBF)

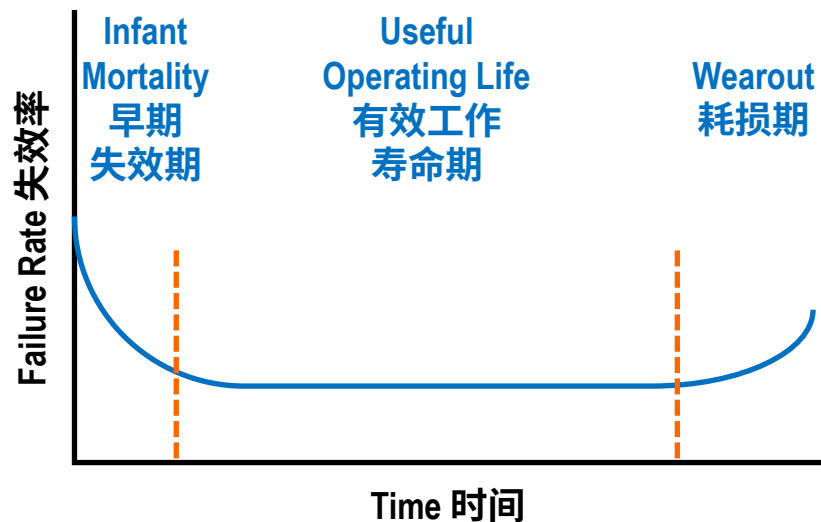
- $(\text{器件数} \times \text{工作小时}) / \text{失效数}$

■ 非特 (Failures in Time, FIT)

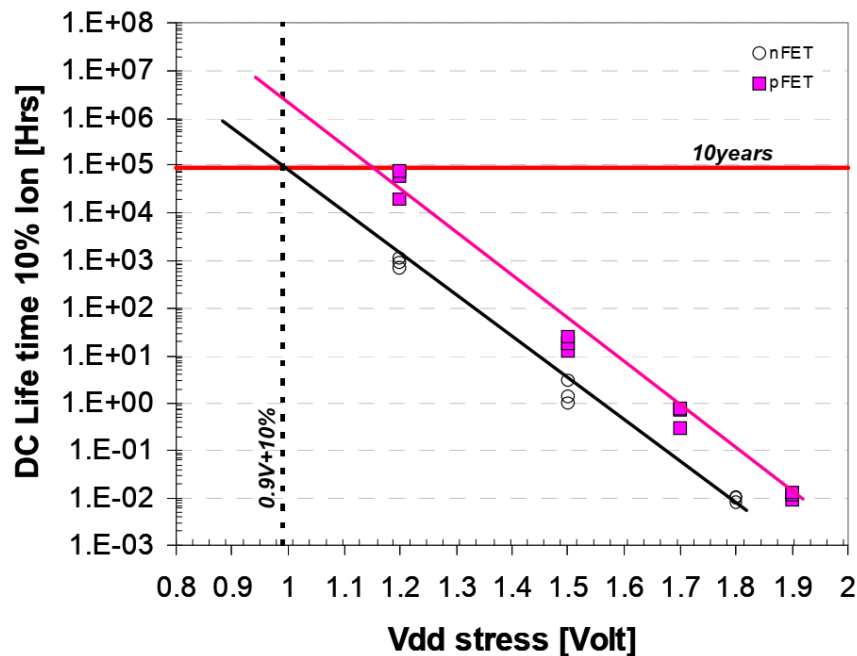
- $(\text{失效率} / \text{小时}) \times 10^9$ ，每百万个器件在每一千小时内可能发生的失效数

■ 老化试验 (Burn-in Test)

- 使部件处于比正常情况更高的电压和温度下加速早期失效



可靠性浴盆曲线
(Bathtub Curve)



IBM 32-nm工艺栅氧的加速寿命试验
(Accelerated Life Testing)

■ 热载流子 (Hot Carriers)

- 晶体管翻转时，高能量载流子有时会注入栅氧并被捕获
- 被破坏的栅氧导致器件I-V特性改变，NMOS管电流减小，PMOS管电流增大
- 限制输入上升时间和单级努力的最大值

■ 负偏置温度不稳定性 (Negative Bias Temperature Instability, NBTI)

- 在栅氧上施加电场时，Si-SiO₂界面形成悬挂键，其积累会导致阈值电压增加

$$\Delta V_t = k e^{\frac{E_{ox}}{E_0}} t^{0.25}; \quad E_{ox} = V_{DD}/t_{ox}$$

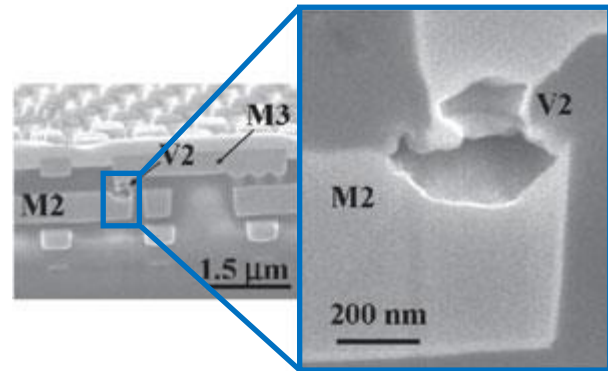
- 强负偏置PMOS管在高温时的此过程最为突出

■ 时间相关电介质击穿 (Time-Dependent Dielectric Breakdown, TDDB)

- 在栅氧上施加电场时，栅电流会逐渐增加
- 若保证125°C下10年工作寿命，施加在栅极上的电场 E_{ox} 应保持低于0.7 V/nm
- 降低电源电压，减小电源噪声，I/O焊盘(Pad)处采用较厚的栅氧

■ 形成原因

- 大电流密度导致金属原子随时间发生迁移
- 使金属互连线形成空洞而耗损，甚至断开
- 流过单向直流电流的导线的主要失效方式
- 铝导线尤为严重，常采用铝铜合金减轻问题



M2-M3通孔的电迁移失效

■ 影响因素

- 电迁移与电流密度 $J=I/wt$ 有关，流过直流电流的导线更易发生电迁移
- 发生电迁移时的电流极限值通常表示为最大直流电流密度 J_{dc}
- 平均失效时间(Mean Time to Failure, MTTF)可表示为

$$\text{MTTF} \propto e^{\frac{E_a}{kT}} / J_{dc}^n$$

- 110°C铝导线最大 J_{dc} 为1~2 nA/ μm^2 ；铜导线则可达10 mA/ μm^2 或更高
- 考虑动态翻转功耗时，翻转电容应小于

$$C = \frac{I_{dc-\max}}{\alpha V_{DD} f}$$

■ 形成原因

- 电流流过导线产生热量，而周围的电介质都是热绝缘体，导线温度明显升高
- 热导线具有更大的电阻和延时
- 流过双向交流电流的导线的主要失效方式

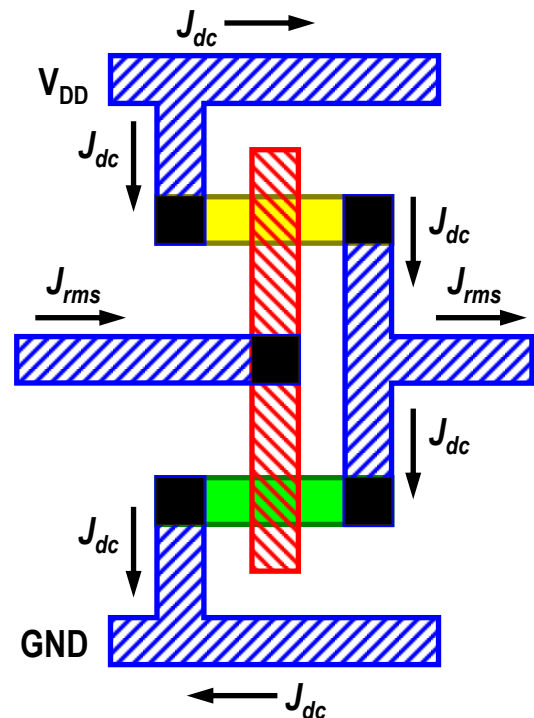
■ 影响因素

- 自热取决于均方根(RMS)电流密度

$$I_{\text{rms}} = \sqrt{\int_0^T I(t)^2 dt / T}$$

- 对于硅衬底上的双向电流铝导线，控制自热应保持 $J_{\text{rms}} < 15 \text{ mA}/\mu\text{m}^2$
- 为避免过度自热，导线和负载电容应小于

$$C = \frac{I_{\text{rms} - \text{max}}}{1.26 V_{\text{DD}} \sqrt{\alpha f / t_r}}$$



逻辑门中电流密度的限制

■ 过电压 (Overvoltage)

- 过大的电源电压瞬变
- 静电放电(Electrostatic Discharge, ESD)
 - 数千伏静电从封装管脚进入芯片I/O焊盘，引起非常大的电压和电流瞬变

■ 过电压失效

- 栅氧击穿 (Breakdown)
 - 栅极上的过电压加速栅氧耗损，甚至引起栅氧击穿和放电，破坏器件
 - 在65-nm工艺的最坏情况下， $V_g \approx 3\text{ V}$ 时发生击穿
- 穿通 (Punchthrough)
 - 过高的 V_{ds} 导致源漏耗尽区接触，引起异常的大电流并最终因过热自毁
- 需要规定可长期可靠工作的最大安全电压 V_{max}

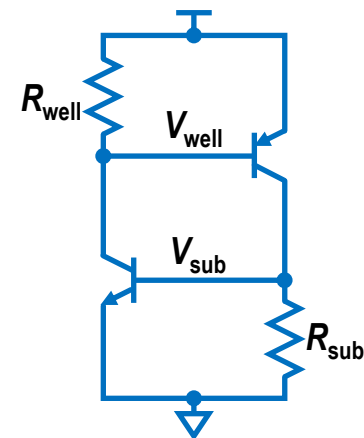
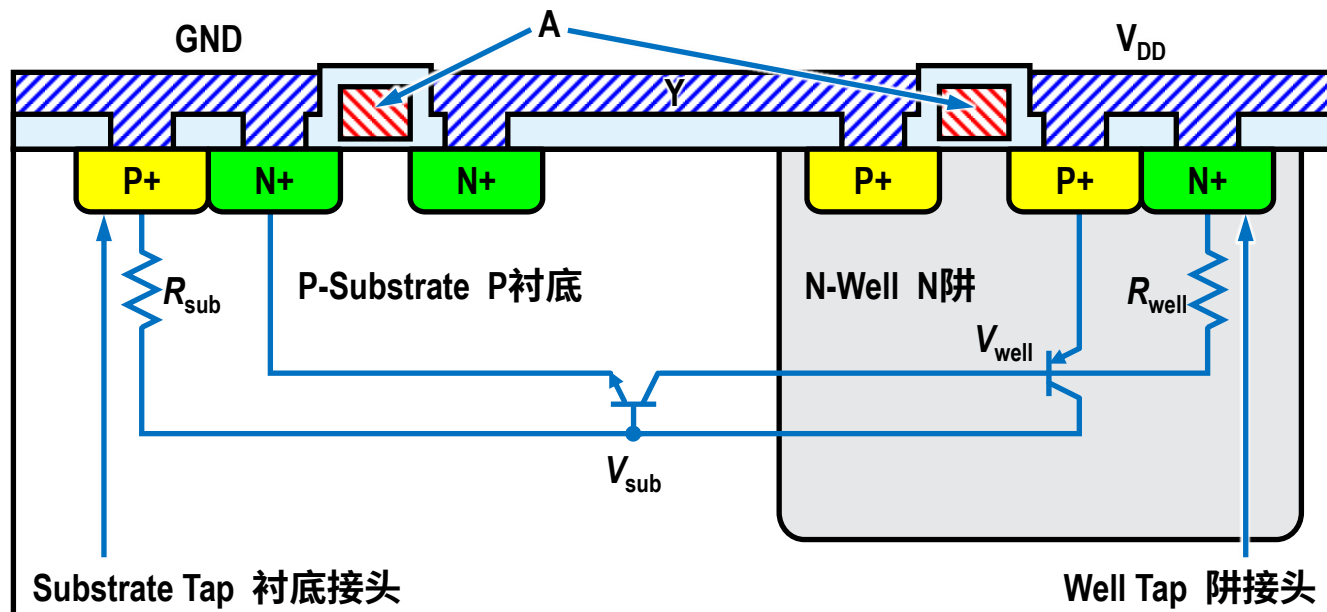
闩锁 (Latchup)

■ 形成原因

- 衬底、阱和扩散区形成的寄生双极型晶体管导通并形成正反馈环
- 导致 V_{DD} 和GND之间形成低阻通路而使芯片严重熔毁

■ 解决方法

- 在晶体管附近放置足够多的阱接头和衬底接头以减小 R_{sub} 和 R_{well}



CMOS闩锁的原因和模型

保护环 (Guard Ring)



■ 保护环的作用

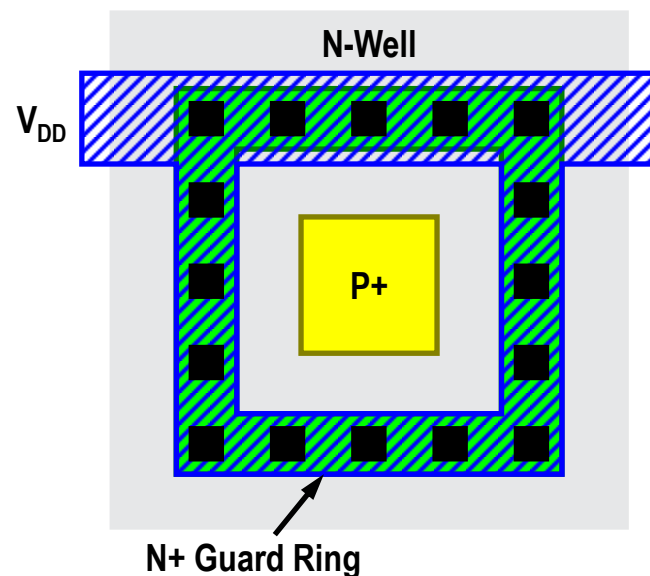
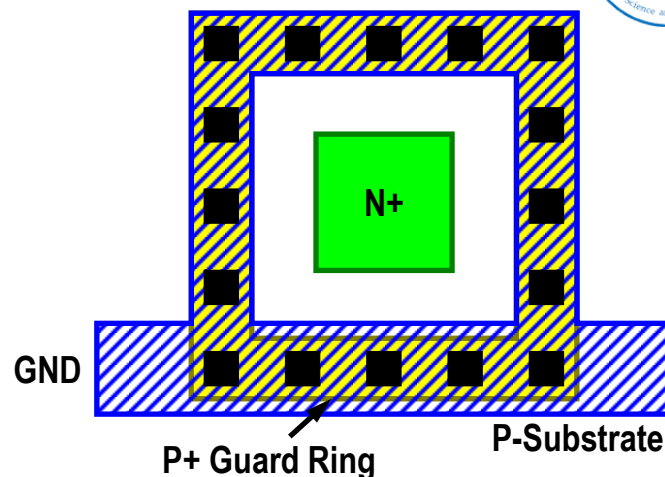
- 防止闩锁效应
- 隔离噪声

■ 保护环的类型

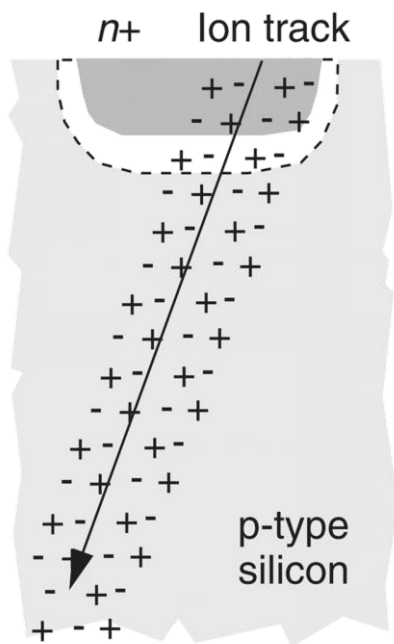
- 多数载流子保护环
- 少数载流子保护环

■ 保护环的结构

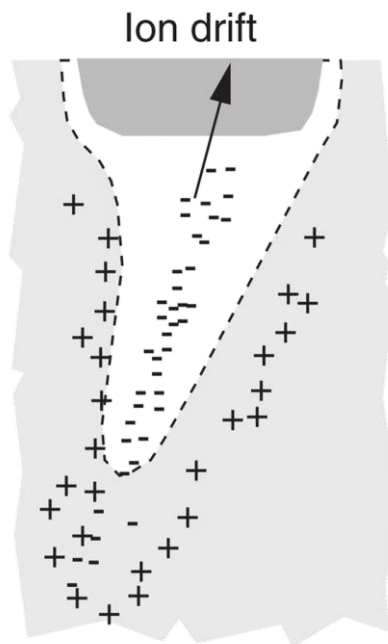
- 单层保护环：多子保护环
 - N+扩散区由接GND的P+保护环包围
 - P+扩散区由接 V_{DD} 的N+保护环包围
- 双层保护环：多子保护环和少子保护环
 - 内层为多子保护环
 - 外层为少子保护环



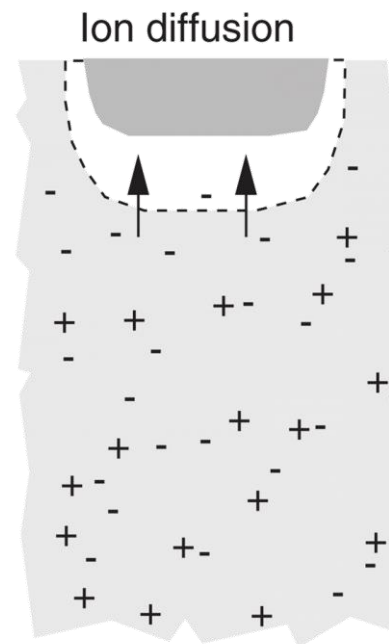
保护环



离子撞击反偏PN结，
在后面留下电子和
空穴的圆柱形尾迹



几十皮秒内，PN结
处电场把载流子收
集到漏斗状耗尽区



之后的几百纳秒中，
电子扩散到耗尽区，
引起节点电压波动

辐射撞击后载流子的生成和收集

按比例缩小

晶体管按比例缩小

■ 登纳德按比例缩小定律 (Dennard's Scaling Law)

- 器件关键参数按因子 S 缩小时性能将得到改善
- 所有尺寸(W, L, t_{ox})、器件电压(V_{DD}, V_t)、掺杂浓度

■ 恒电场缩小(Constant Field Scaling)、登纳德缩小(Dennard Scaling)

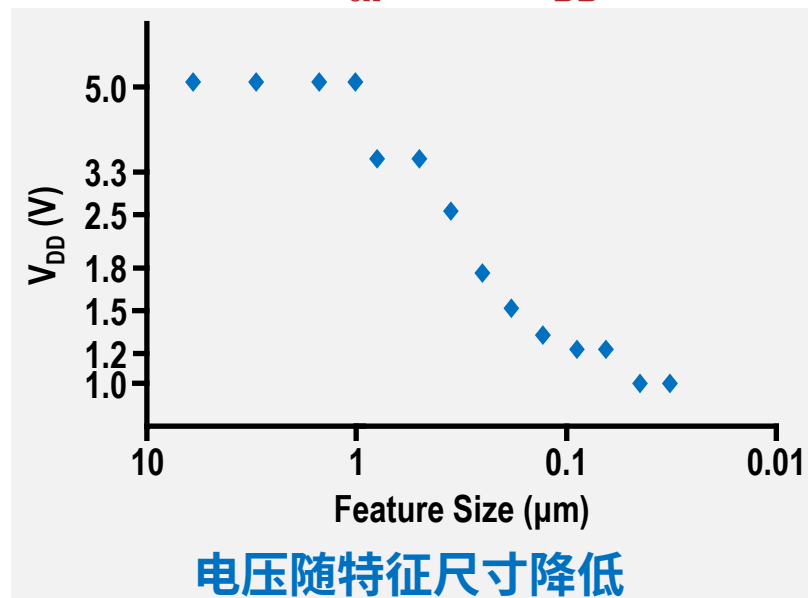
- 电压和距离等比例减小时电场仍保持不变
- 各代工艺节点尺寸缩小比例因子一般取 $S=\sqrt{2}$ ，也称30%缩小
- 自90-nm工艺开始，栅泄漏电流和存储单元稳定性限制了 t_{ox} 缩小和 V_{DD} 降低

■ 恒电压缩小 (Constant Voltage Scaling)

- 缩小器件尺寸但不降低电压，电场增加
- 严重速度饱和、器件击穿、功耗增加

■ 横向缩小 (Lateral Scaling)

- 栅缩小(Gate Shrink): 只缩小栅长
- 一种工艺成熟时，通常采用约5%栅缩小提高器件速度, $S \approx 1.05$



按比例缩小对MOS器件特性的影响



参数	敏感度	恒电场缩小	恒电压缩小	横向缩小
缩小参数				
长度: L		$1/S$	$1/S$	$1/S$
宽度: W		$1/S$	$1/S$	1
栅氧厚度: t_{ox}		$1/S$	$1/S$	1
电源电压: V_{DD}		$1/S$	1	1
阈值电压: $V_{\text{tn}}, V_{\text{tp}}$		$1/S$	1	1
衬底掺杂浓度: N_A		S	S	1
器件特性				
β	$W/(Lt_{\text{ox}})$	S	S	S
电流: I_{ds}	$\beta(V_{\text{DD}} - V_t)^2$	$1/S$	S	S
电阻: R	$V_{\text{DD}}/I_{\text{ds}}$	1	$1/S$	$1/S$
栅电容: C	WL/t_{ox}	$1/S$	$1/S$	$1/S$
门延时: τ	RC	$1/S$	$1/S^2$	$1/S^2$
时钟频率: f	$1/\tau$	S	S^2	S^2
翻转能耗 (每门): E	CV_{DD}^2	$1/S^3$	$1/S$	$1/S$
翻转功耗 (每门): P	Ef	$1/S^2$	S	S
面积 (每门): A		$1/S^2$	$1/S^2$	1
翻转功耗密度	P/A	1	S^3	S
翻转电流密度	I_{ds}/A	S	S^3	S

■ 互连线按比例缩小

- 按同比例缩小宽度、厚度和间距，保持高宽比接近2，单位长度电容保持不变
- 互连线分为三类：局部(Local)、半全局(Semiglobal, Scaled)、全局(Global)

■ 局部互连线

- 在功能单元内部布线并采用底层金属
- 随特征尺寸按比例缩小，电阻对延时影响很小，延时与逻辑门一样得到改善

■ 半全局互连线

- 在较大的模块或核之间布线，一般采用中层金属
- 随特征尺寸按比例缩小，采用中继器后延时减小，但改善程度不及逻辑门

■ 全局互连线

- 在整个芯片上布线并采用上层金属
- 随芯片尺寸按比例 $D_c \approx 1.1$ 变长，延时增加，穿越芯片的延时需多个时钟周期

按比例缩小对互连线特性的影响



参数	敏感度	比例因子
缩小参数		
宽度: w		$1/S$
间距: s		$1/S$
厚度: t		$1/S$
层间氧化物厚度: h		$1/S$
管芯尺寸		D_c
单位长度特性		
每单位长度互连线电阻: R_w	$1/wt$	S^2
每单位长度边缘电容: C_{wf}	t/s	1
每单位长度平板电容: C_{wp}	w/h	1
每单位长度互连线总电容: C_w	$C_{wf} + C_{wp}$	1
无中继器时每单位长度的 RC 常数: t_{wu}	$R_w C_w$	S^2
有中继器时每单位长度的 RC 延时: t_{wr} (逻辑门按恒电场缩小)	$\sqrt{RCR_w C_w}$	\sqrt{S}
串扰噪声	w/h	1
每位每单位长度能耗: E_w	$C_w V_{DD}^2$	$1/S^2$
局部/半全局互连线特性		
长度: l		$1/S$
无中继器互连线的 RC 延时	$l^2 t_{wu}$	1
有中继器互连线的延时	$l t_{wr}$	$\sqrt{1/S}$
每位能耗	$l E_w$	$1/S^3$
全局互连线特性		
长度: l		D_c
无中继器互连线的 RC 延时	$l^2 t_{wu}$	$S^2 D_c^2$
有中继器互连线的延时	$l t_{wr}$	$D_c \sqrt{S}$
每位能耗	$l E_w$	D_c / S^2

偏差的统计分析

■ 概率分布函数 (Probability Distribution Function, PDF) $f(x)$

- 描述一个连续随机变量 X 的值落在某特定区间上的概率

$$P[a < X \leq b] = \int_a^b f(x) dx$$

■ 累积分布函数 (Cumulative Distribution Function, CDF) $F(x)$

- 描述 X 小于某个值 x 的概率

$$F(x) = P(X < x) = \int_{-\infty}^x f(u) du$$

- 在任意给定点处，PDF为CDF的斜率

$$f(x) = \frac{d}{dx} F(x)$$

随机变量性质

■ 均值 (Mean) \overline{X}

■ 期望值 (Expected Value) $E[X]$

$$\overline{X} = E[X] = \int_{-\infty}^{+\infty} xf(x)dx$$

■ 标准差 (Standard Deviation) $\sigma(X)$

■ 方差 (Variance) $\sigma^2(X)$

$$\sigma(X) = \sqrt{E[(x - \overline{X})^2]} = \sqrt{\int_{-\infty}^{+\infty} (x - \overline{X})^2 f(x)dx}$$

■ 零均值随机变量 (Zero-Mean Random Variable) X_v

$$X = \overline{X} + X_v$$

■ 零均值均匀分布随机变量

$$f(x) = \begin{cases} \frac{1}{2a}, & -a \leq x \leq a \\ 0, & \text{Otherwise} \end{cases}$$

$$F(x) = \begin{cases} 0, & x < -a \\ \frac{x+a}{2a}, & -a \leq x \leq a \\ 1, & x > a \end{cases}$$

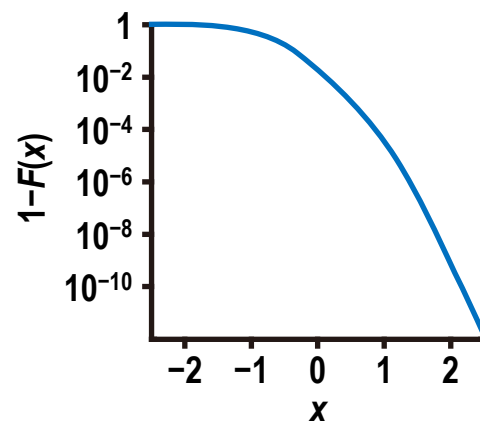
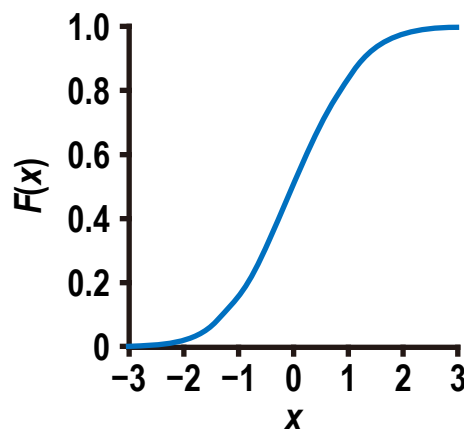
$$\sigma^2(X) = \frac{a^2}{3}$$

■ 标准正态分布随机变量

$$f(x) = \frac{1}{\sqrt{2\pi}} e^{-\frac{1}{2}x^2}$$

$$F(x) = \frac{1}{2} \left[1 + \operatorname{erf}\left(\frac{x}{\sqrt{2}}\right) \right]$$

$$\sigma^2(X) = 1$$



标准正态分布随机变量的累积分布函数

■ 随机变量的和

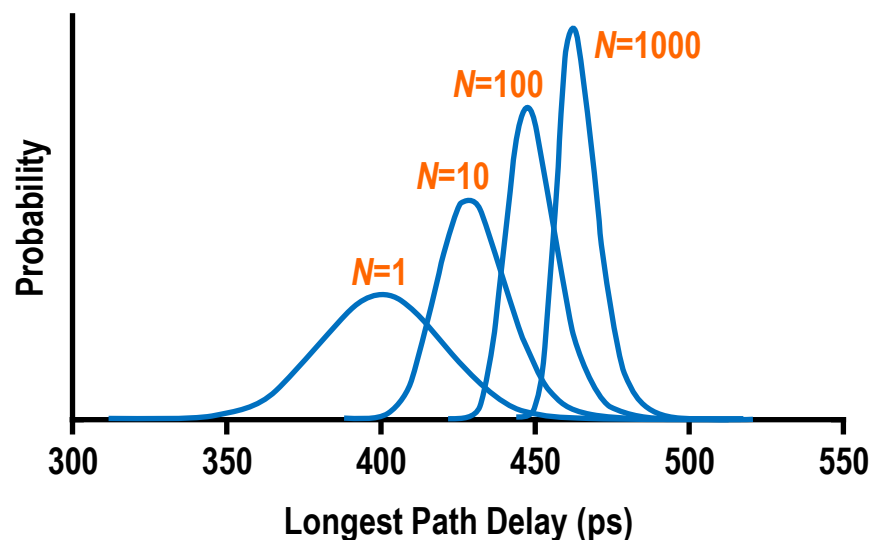
- 若各随机变量均为正态分布，则它们的和也为正态分布，方差为各方差之和

$$\sigma^2 = \sum_i \sigma_i^2$$

- 若各随机变量不是正态分布，当变量数目很大时，上式仍成立
- 可近似地以具有相同方差的正态分布变量代替均匀分布变量

■ 随机变量的最大值

- 若 M 为具有独立标准正态分布的 N 个随机变量的最大值
- 则 M 不具有正态分布
- 当 N 增大时， M 的期望值增大而标准差减小



典型最长路径延时分布

■ 对数正态分布 (Log-Normal Distribution)

- 若 Y 为均值 μ 、方差 σ^2 的正态分布随机变量
- 则 $X=e^Y$ 具有对数正态分布

$$f(x) = \frac{1}{x\sigma\sqrt{2\pi}} e^{-\frac{(\ln(x) - \mu)^2}{2\sigma^2}}$$

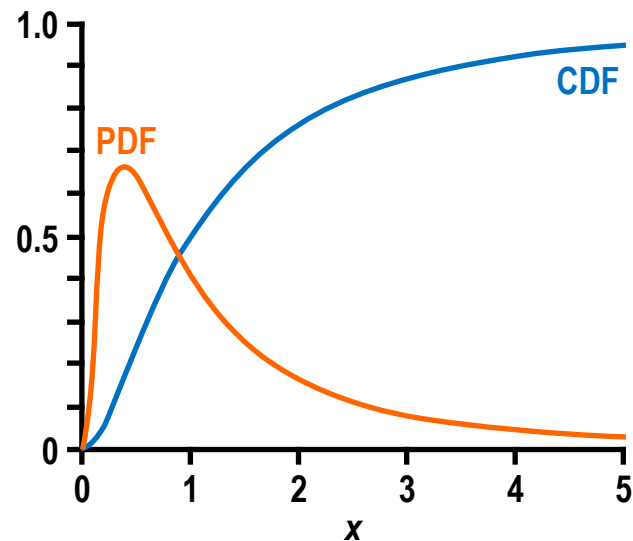
$$F(x) = \frac{1}{2} \left[1 + \operatorname{erf} \left(\frac{\ln(x) - \mu}{\sigma\sqrt{2}} \right) \right]$$

$$\bar{X} = e^{\mu + \frac{\sigma^2}{2}}$$

$$\sigma_X^2 = (e^{\sigma^2} - 1)e^{2\mu + \sigma^2}$$

■ 标准对数正态分布

$$\mu = 0; \quad \sigma^2 = 1; \quad \bar{X} = e^{0.5} = 1.65$$



标准对数正态分布随机变量的
概率分布函数和累积分布函数

■ 系统偏差

- 系统偏差与偏差源之间存在定量关系
- 系统偏差可以建模并在设计时设法消除

■ 随机偏差

- 真随机偏差、来源未被充分理解的偏差、建模成本太高的偏差
- 随机偏差不随时间改变，可以在制造后通过单次校准步骤消除

■ 漂移 (Drift)

- 漂移随时间的变化比系统工作频率慢，如老化、温度偏差
- 漂移可以通过补偿电路消除，补偿电路必须重新校准且比漂移的发生更快

■ 抖动 (Jitter)

- 抖动通常来自电压偏差和串扰，是引起失配的最难理解的原因
- 抖动发生在与系统频率相近或更快的频率下，无法通过反馈消除

■ 沟道长度

- 系统性的全芯片线宽偏差(ACLV)
- 随机性的线边沿粗糙度(LER)

■ 阈值电压

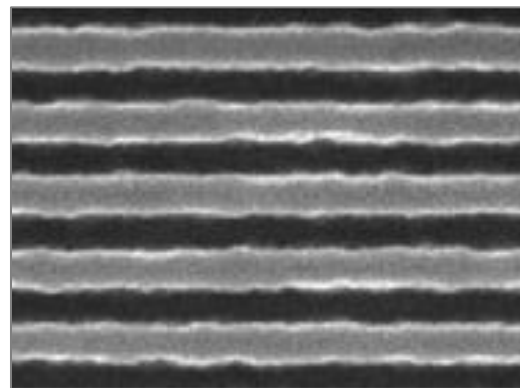
- 沟道离子注入导致随机掺杂偏差从而引起 V_t 变化

■ 栅氧厚度

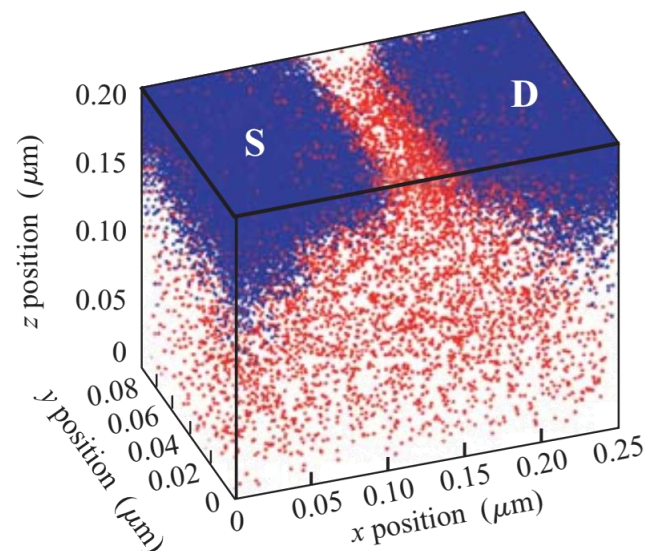
- 引起的器件偏差比由沟道长度和阈值电压引起的偏差小

■ 版图效应

- 靠近阱边缘的晶体管具有不同的 V_t
- 版图偏差改变应力因而改变迁移率



多晶硅线边沿粗糙度



50-nm工艺掺杂原子随机分布

■ 偏差对晶体管的影响

- 偏差影响晶体管的导通和截止电流
 - 沟道长度变化引起电流变化，亚阈值泄漏电流对阈值电压很敏感
- 进而影响晶体管的其他特性
 - 延时：导通电流变化将使反相器延时发生同比例的变化
 - 能耗：偏差对动态功耗影响很小，静态泄漏功耗对 V_t 的敏感度呈指数关系
 - 功能性：偏差可能导致电路功能出错，特别是在低电压下
 - 延时匹配：偏差使反相器的延时无法完全跟踪其所匹配的延时

■ 蒙特卡洛仿真 (Monte Carlo Simulation)

- 在概率分布函数不存在闭合解时估算偏差的影响
- 在 N 种情况下，每个变量都根据其分布被赋予随机值，然后仿真并测量
- 这些情况下仿真结果的集合描述了偏差对系统的影响

■ 名词定义

- 成品率 Y : 能按照规格工作的产品所占比例, 产品能正常工作的概率
- 失效概率 X : $X=1-Y$
- 缺陷密度 D : 每单位面积的平均缺陷数

■ 成品率的计算

- 若某系统由 N 个成品率为 Y_c 的部件构成, 则系统成品率为

$$Y_s = Y_c^N$$

- 若单位面积有 M 个部件且缺陷为不相关随机分布, 部件平均失效率 $X_c = D/M$
- 则面积为 A 的系统成品率为

$$Y_s = (1 - X_c)^{MA} = \left[\left(1 - \frac{D}{M} \right)^M \right]^A$$

- 当 M 趋于无穷大时取极限得到

$$Y_s = e^{-DA}$$

容偏差设计

■ 自适应控制

- 芯片在运行中测量工作状况并调整参数补偿可能出现的偏差
 - 电源电压、体偏置、频率、活动因子
- 自适应体偏置 (Adaptive Body Bias, ABB)
- 自适应电压/频率调整 (Adaptive Voltage/Frequency Scaling, AVFS)

■ 容错技术

- 容许偶尔发生的错误
- 能够提高成品率而降低成本，也能够减少必需的余量而改善性能
- 提供备用部件
- 检错和纠错

■ 备用部件

- 具有 N 个相同部件的电路中，每个部件成品率 Y_c ，包含 r 个缺陷部件的概率

$$P = \binom{N}{r} Y_c^{N-r} (1 - Y_c)^r$$

- 若最多有 r 个缺陷部件可以用备用部件修正，则系统成品率可改进为

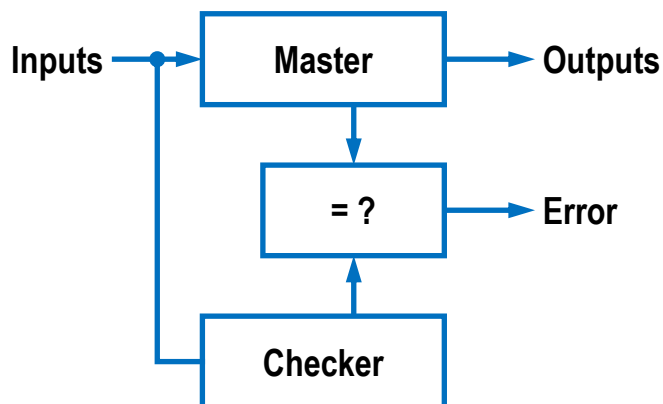
$$Y_s = \sum_{i=0}^r \binom{N}{i} Y_c^{N-i} (1 - Y_c)^i$$

- 若部件数量很大，系统成品率以单位面积缺陷率 D 表示为

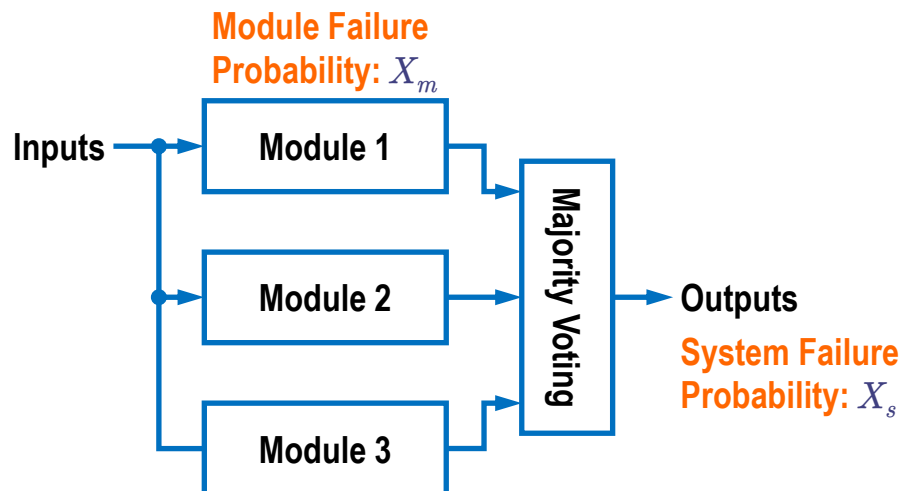
$$Y_s = e^{-DA} \sum_{i=0}^r \frac{(DA)^i}{i!}$$

■ 检错和纠错

- 检错码和纠错码：存储器、通信链路
- 锁步运行冗余硬件拷贝：高可靠性系统、高错误率系统
 - 主导件-检查件结构、三重模式冗余



主导件-检查件结构
(Master-Checker Configuration)



三重模式冗余
(Triple-Mode Redundancy, TMR)

$$X_s = \binom{3}{2} X_m^2 (1 - X_m) + X_m^3 = 3X_m^2 - 2X_m^3$$

本章结束