

第四章 金-半接触与单极型器件

§4.1 金属-半导体接触

§4.2 肖特基势垒二极管SBD

§4.3 欧姆接触

§4.4 结型场效应晶体管JFET

§4.5 金属-半导体场效应晶体管MESFET

§4.6 最近研究进展

金-半接触与单极型器件基本知识体系框架

金-半接触

金属和半导体的功函数

接触电势差



金属和半导体的接触类型

整流接触

欧姆接触

理想非整流
接触势垒

接触电阻

肖特基势垒二极管

单极型器件

金-半场效应
晶体管

MESFET

结型场效
应晶体管

JFET



器件
结构

器件
类型

小信
号分
析

静态
分析

器件
结构

基本
特性

肖特基
势垒的
形成

理想
情况
特性

非理
想因
素

表面态
镜像力
隧穿效应

电流-电
压关系

与PN结
二极管
的对比

电流特性
开关特性

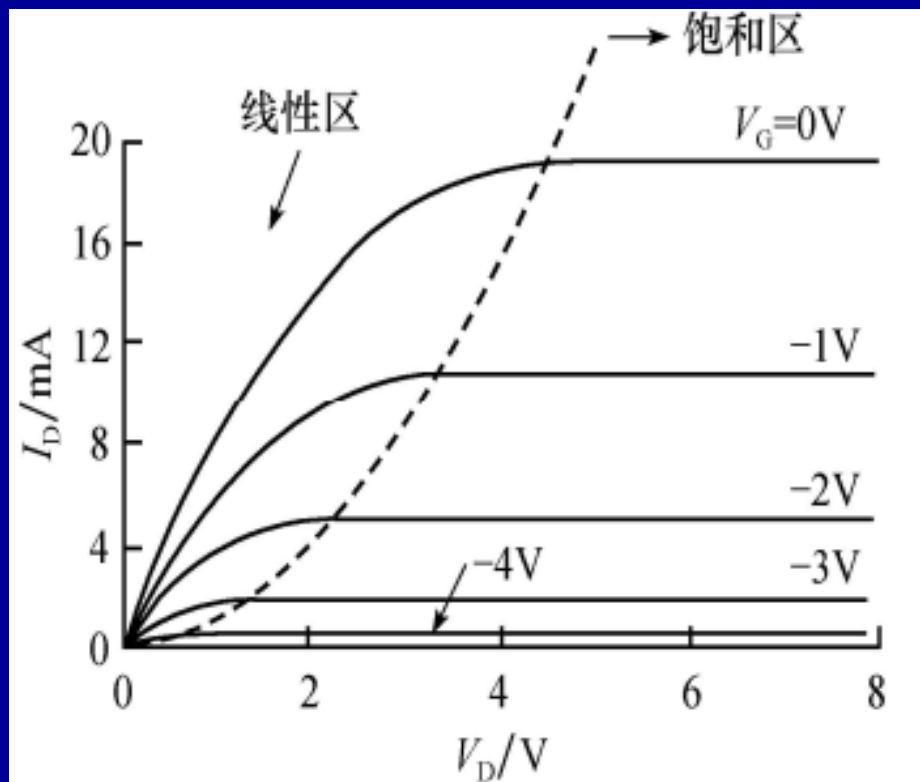
JFET的静态特性

根据肖克莱模型：

$$I_D = G_0 \left\{ V_D - \frac{2}{3} \sqrt{\frac{1}{V_{p0}}} [(V_D + V_{bi} - V_G)^{\frac{3}{2}} - (V_{bi} - V_G)^{\frac{3}{2}}] \right\}$$

$$G_0 = \frac{2aqN_d\mu_n Z}{L}$$

画出JFET的 I_D - V_D 输出特性曲线图像如下：



- ◆ 虚线称为夹断曲线。
- ◆ 夹断曲线左边： I_D - V_D 输出特性的线性区，线性区漏极电流与漏极电压成正比。
- ◆ 夹断曲线右边： I_D - V_D 输出特性的饱和区，饱和区漏极电流 I_D 是饱和的。
- ◆ 在原点附近 I_D - V_D 曲线的斜率是栅极电压 V_G 的函数。

理想JFET的 I_D - V_D 输出特性理论曲线

JFET的静态特性

线性区：

肖克莱模型：
$$I_D = G_0 \left\{ V_D - \frac{2}{3} \sqrt{\frac{1}{V_{p0}}} \left[(V_D + V_{bi} - V_G)^{\frac{3}{2}} - (V_{bi} - V_G)^{\frac{3}{2}} \right] \right\}$$

在线性区， V_D 很小，令 $V_D \ll V_{bi} - V_G$ ，即 $\frac{V_D}{V_{bi} - V_G} \ll 1$ ，运用泰勒多项式级数展开，可以把上式中的第二项写为：

$$\begin{aligned} (V_D + V_{bi} - V_G)^{\frac{3}{2}} &= (V_{bi} - V_G)^{\frac{3}{2}} \left(1 + \frac{V_D}{V_{bi} - V_G} \right)^{\frac{3}{2}} \\ &\approx (V_{bi} - V_G)^{\frac{3}{2}} \left(1 + \frac{3}{2} \frac{V_D}{V_{bi} - V_G} \right) \end{aligned}$$

将其再次代入肖克莱模型有：

$$I_D = G_0 \left\{ V_D - \frac{2}{3} \sqrt{\frac{1}{V_{p0}}} \left[(V_{bi} - V_G)^{\frac{3}{2}} \left(1 + \frac{3}{2} \frac{V_D}{V_{bi} - V_G} \right) - (V_{bi} - V_G)^{\frac{3}{2}} \right] \right\}$$

JFET的静态特性

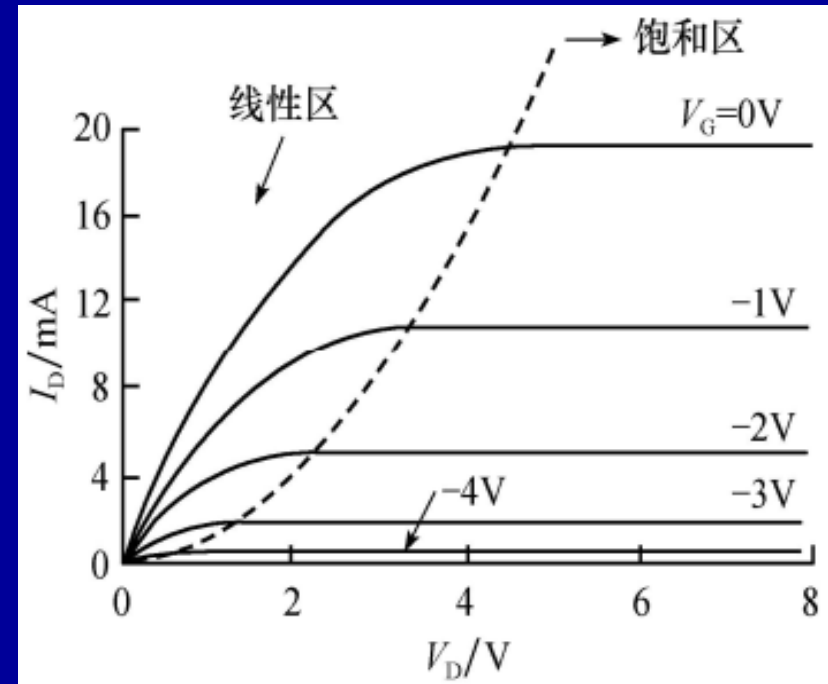
线性区：

$$I_D = G_0 \left\{ V_D - \frac{2}{3} \sqrt{\frac{1}{V_{p0}}} [(V_{bi} - V_G)^{\frac{3}{2}} \left(1 + \frac{3}{2} \frac{V_D}{V_{bi} - V_G} \right) - (V_{bi} - V_G)^{\frac{3}{2}}] \right\}$$

化简后得到：

$$I_D = G_0 \left(1 - \sqrt{\frac{V_{bi} - V_G}{V_{p0}}} \right) V_D$$

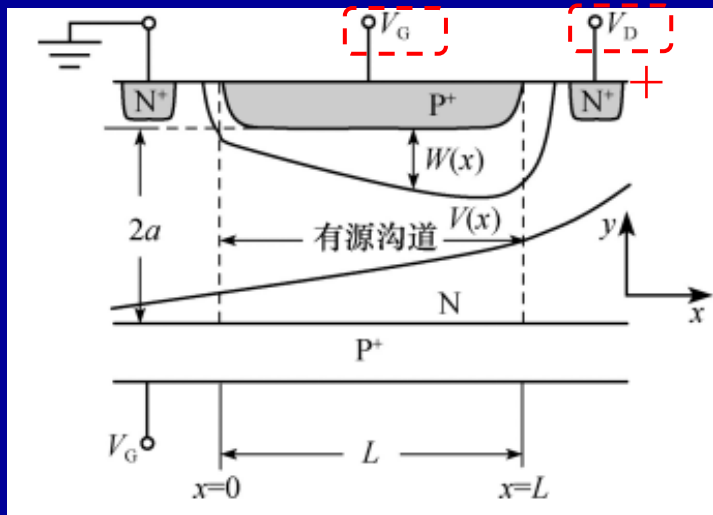
- ◆ 如果栅极电压 V_G 一定， V_D 前面的式子为定值，则漏极电流 I_D 对漏极电压 V_D 是线性依赖关系；
- ◆ 栅极电压 V_G 对 I_D - V_D 曲线斜率的影响明显，如右图，栅极电压减小（如从 $-1V$ 变为 $-2V$ ），由上式可知线性区曲线斜率减小。



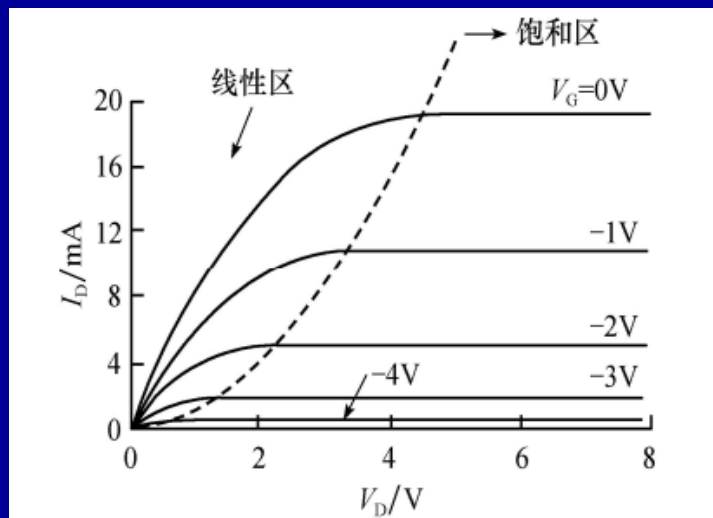
理想JFET的 I_D - V_D 输出特性理论曲线

JFET的静态特性

饱和区：



$V_G < 0$ 时，JFET中有源沟道示意图



理想JFET的 I_D - V_D 输出特性理论曲线

肖克莱模型：
$$I_D = G_0 \left\{ V_D - \frac{2}{3} \sqrt{\frac{1}{V_{p0}}} [(V_D + V_{bi} - V_G)^{\frac{3}{2}} - (V_{bi} - V_G)^{\frac{3}{2}}] \right\}$$

- ◆ 由有源沟道示意图和肖克莱模型可知，**栅极电压 V_G** 和**漏极电压 V_D** 都对沟道夹断起作用。**夹断电压 V_p** = 夹断时的 $V(x) - V_G$
- ◆ 由于内夹断电压对于给定器件是确定的，所以不同的栅压 V_G 所对应的能达到夹断所需的漏极电压 V_D 不同（如右图所示）。
- ◆ 夹断点首先发生在**漏端**。

JFET的静态特性

饱和区:

夹断电压 $V_p = \text{夹断时的 } V(x) - V_G$

若在漏端刚好发生夹断, 令 $V(L) = V_{DS}$

$$V_p = V(L) - V_G = V_{DS} - V_G$$

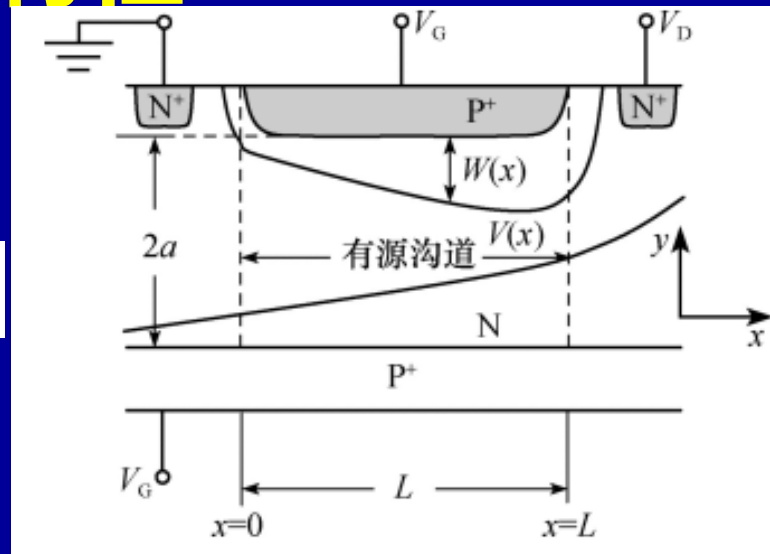
$V_p + V_{bi} = V_{p0}$ 将其代入上式

$$V_{DS} - V_G = V_{p0} - V_{bi} \quad \longrightarrow \quad V_D = V_{DS} = V_{p0} - V_{bi} + V_G$$

将此式代入肖克莱模型: $I_D = G_0 \left\{ V_D - \frac{2}{3} \sqrt{\frac{1}{V_{p0}}} [(V_D + V_{bi} - V_G)^{\frac{3}{2}} - (V_{bi} - V_G)^{\frac{3}{2}}] \right\}$

因为此时已发生夹断, 所以可以整理得出饱和漏极电流为:

$$I_{DS} = G_0 \left(\frac{2}{3} \sqrt{\frac{V_{bi} - V_G}{V_{p0}}} - 1 \right) (V_{bi} - V_G) + \frac{1}{3} G_0 V_{p0}$$



$V_G < 0$ 时, JFET中有源沟道示意图

此为夹断曲线的表达式

JFET的静态特性

饱和区：

饱和漏极电流为：

$$I_{DS} = G_0 \left(\frac{2}{3} \sqrt{\frac{V_{bi} - V_G}{V_{p0}}} - 1 \right) (V_{bi} - V_G) + \frac{1}{3} G_0 V_{p0}$$

- ◆ 显然此式中 I_{DS} 与 V_D 没有关系，所以如理论 I - V 曲线所示，饱和区 I_{DS} 不随 V_D 变化，保持水平。
- ◆ 上式将饱和漏极电流 I_{DS} 表示为栅极电压 V_G 的函数，反映了 V_G 对 I_{DS} 的控制作用，称为JFET的转移特性。

最大饱和漏极电流 I_{DSS} ：

$$I_{DSS} = \frac{1}{3} G_0 V_{p0}$$

I_{DSS} 是 $V_{bi} - V_G = 0$ 时的漏极饱和电流，又称最大漏极饱和电流。

JFET的静态特性

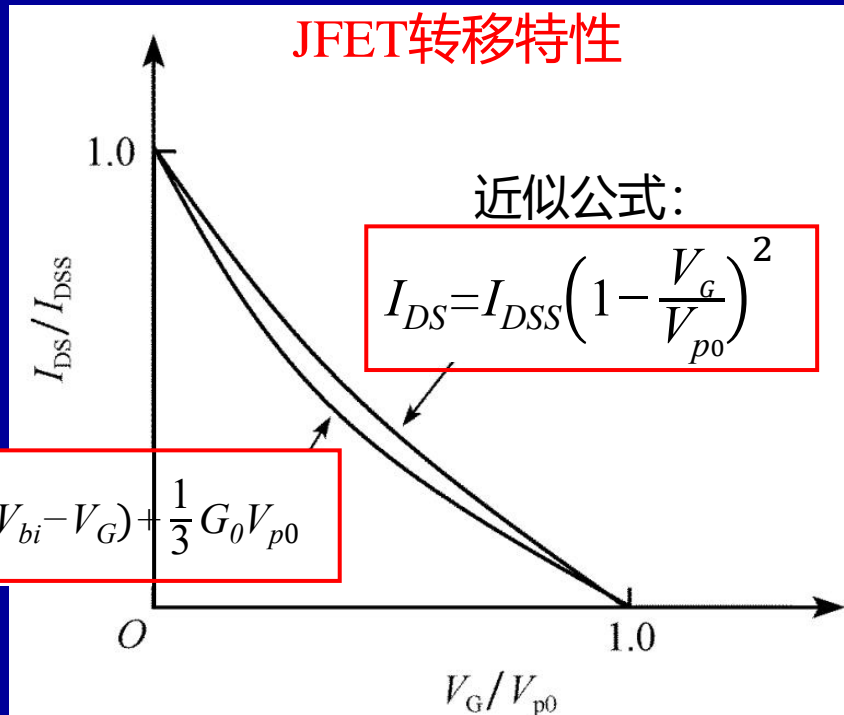
饱和区：

由于上式不利于手工计算，所以提出一个饱和漏极电流的近似公式：

$$I_{DS} = I_{DSS} \left(1 - \frac{V_G}{V_{p0}} \right)^2$$

$$I_{DSS} = \frac{1}{3} G_0 V_{p0}$$

将上述近似公式和计算得到的饱和漏极电流公式经过变换后均表示在图中：

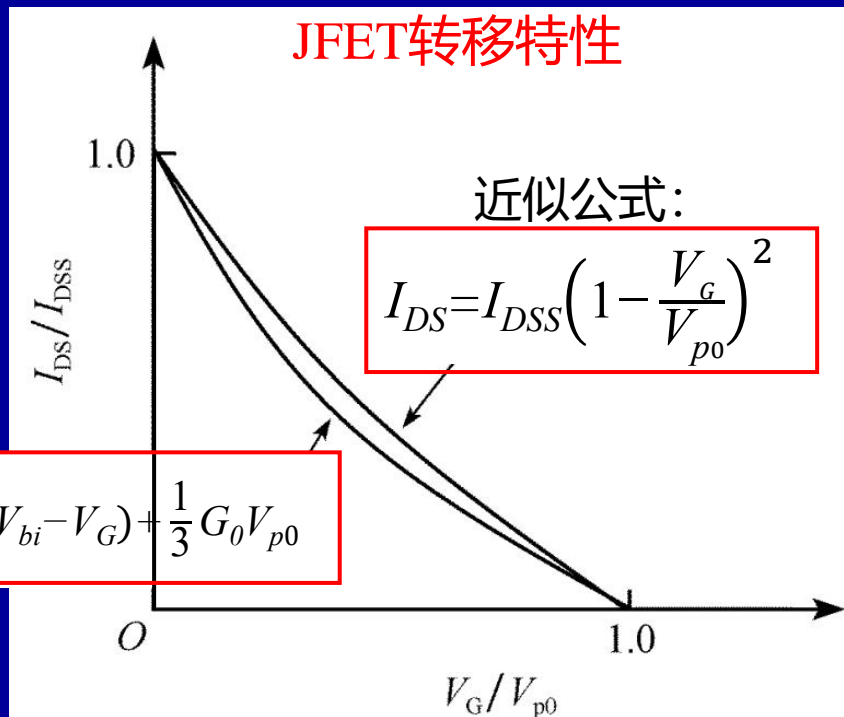


$$I_{DS} = G_0 \left(\frac{2}{3} \sqrt{\frac{V_{bi} - V_G}{V_{p0}}} - 1 \right) (V_{bi} - V_G) + \frac{1}{3} G_0 V_{p0}$$

JFET的静态特性

饱和区：

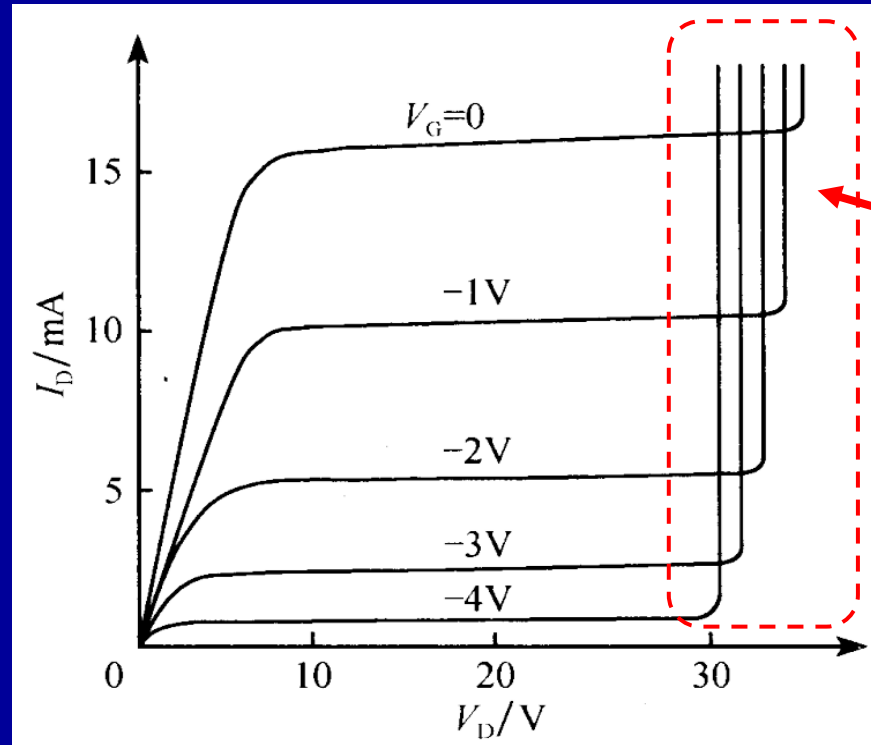
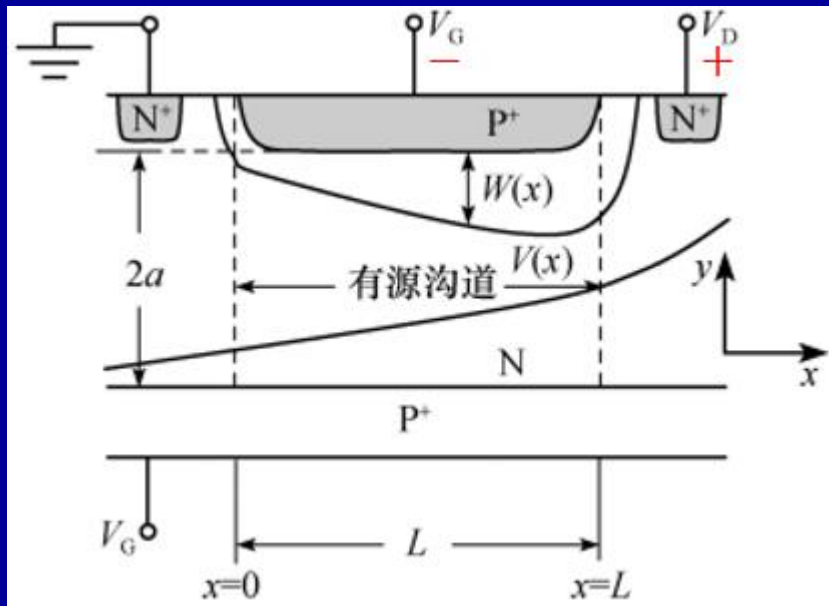
- ◆ 可以发现近似公式与计算的饱和漏极电流十分接近。
- ◆ 实验发现，即使在y方向为任意非均匀的杂质分布，所有JFET的转移特性都落在图中所示的两条曲线之间（之前是在假设沟道内杂质分布均匀情况下计算的理想特性）。
- ◆ 在放大应用当中，JFET通常工作在饱和区，并且在已知栅电压信号时，可利用转移特性求得输出的漏极电流。



JFET的静态特性

饱和区:

- ◆ 随着漏极电压的增加, 会导致栅极-沟道PN结发生雪崩击穿, 这时漏电流突然增加, 如图所示。
- ◆ 击穿首先发生在沟道的漏端, 因为那里有最高的电场。击穿电压可表示为: $V_{BS} = V_D + |V_G|$ 其中 V_D 为发生击穿时的漏极电压。



雪崩击穿

JFET中 V_D 很高时的击穿

静态特性小结

◆ JFET的 I_D - V_D 输出特性曲线分成线性区和饱和区，且由夹断曲线分开。夹断曲线为：

$$V_D = V_{p0} - V_{bi} + V_G$$

◆ 线性区条件可以取为：

$$V_D \ll V_{bi} - V_G$$

◆ 线性区 I - V 特性：

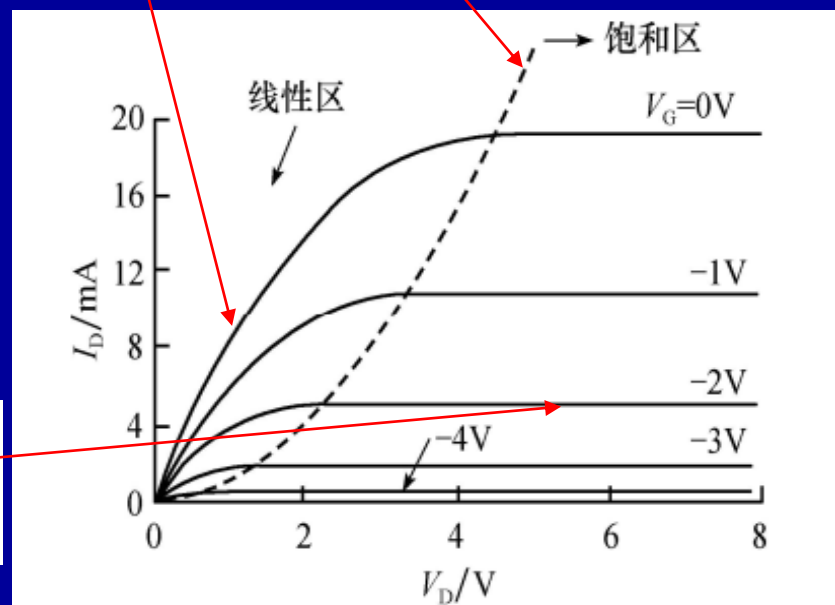
$$I_D = G_0 \left(1 - \sqrt{\frac{V_{bi} - V_G}{V_{p0}}} \right) V_D$$

◆ 饱和区条件可以取为：

$$V_D \geq V_{p0} - V_{bi} + V_G$$

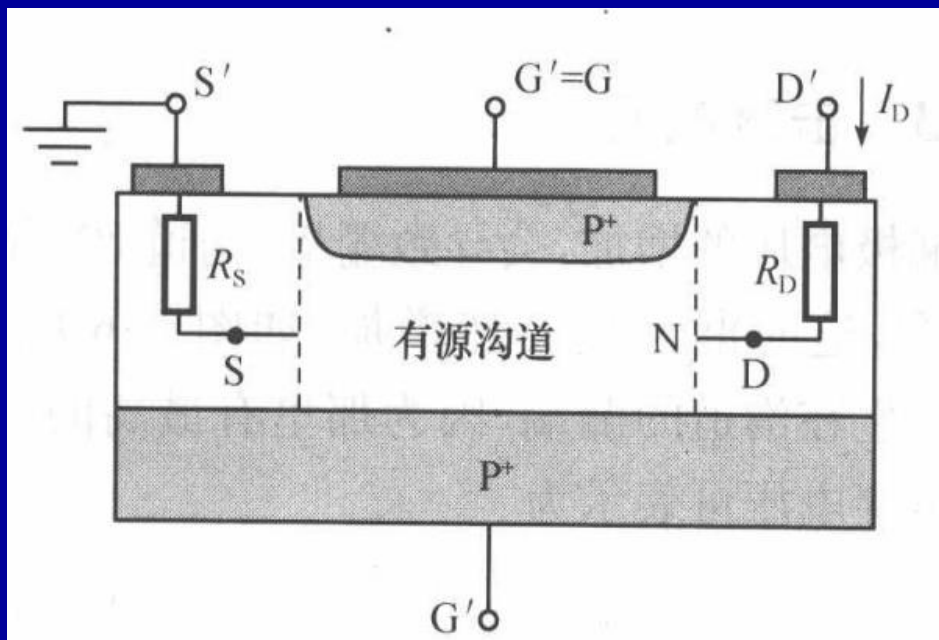
◆ 饱和区 I - V 特性：

$$I_{DS} = G_0 \left(\frac{2}{3} \sqrt{\frac{V_{bi} - V_G}{V_{p0}}} - 1 \right) (V_{bi} - V_G) + \frac{1}{3} G_0 V_{p0}$$

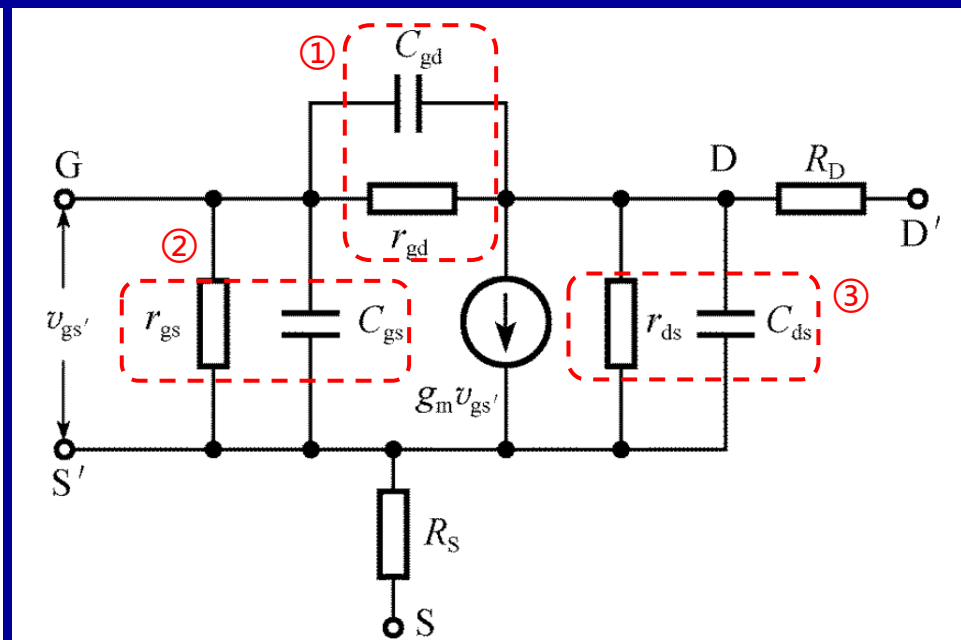


理想JFET的 I_D - V_D 输出特性理论曲线

小信号参数和等效电路



具有源电阻和漏电阻的JFET



JFET的交流小信号等效电路

- ◆ 左图为一个N沟道JFET的横截面，右图为JFET的对应小信号等效电路。
- ◆ 主要由几个部分组成：①栅-漏间的电阻 r_{gd} 和电容 C_{gd} ；②栅-源间的电阻 r_{gs} 和电容 C_{gs} ；③源-漏间的电阻 r_{ds} 和电容 C_{ds} ；④源串联电阻 R_S 和漏串联电阻 R_D ；④跨导 g_m 。

接下来介绍图中的参数

线性区漏极导纳（输出导纳）

- ◆ 漏极导纳 g_{dl} ：漏极电流 I_D 对漏极电压 V_D 的变化率。
- ◆ 线性区 I - V 特性为：

$$I_D = G_0 \left(1 - \sqrt{\frac{V_{bi} - V_G}{V_{p0}}} \right) V_D$$

- ◆ 对 V_D 求导，得到线性区漏极导纳，可以表示为：

$$g_{dl} = \frac{\partial I_D}{\partial V_D} \Big|_{V_G} = G_0 \left(1 - \sqrt{\frac{V_{bi} - V_G}{V_{p0}}} \right)$$

- ◆ 上式给出了漏极导纳与外加栅极电压 V_G 的关系。
- ◆ 正是这种漏极导纳会随外加栅压改变的特性，使得JFET适用于作为电压控制的可变电阻。

跨导 g_m

◆ 跨导 g_m ：漏极电流 I_D 对栅极电压 V_G 的变化率，反映了晶体管的增益。

◆ 线性区跨导（由线性区 $I_D - V_G$ 推导出）

$$I_D = G_0 \left(1 - \sqrt{\frac{V_{bi} - V_G}{V_{p0}}} \right) V_D$$



$$g_{ml} = \frac{\partial I_D}{\partial V_G} \Big|_{V_D} = \frac{G_0}{2} \frac{V_D}{\sqrt{V_{p0}(V_{bi} - V_G)}}$$

◆ 饱和区跨导（由饱和区 $I_{DS} - V_G$ 推导出）

$$I_{DS} = G_0 \left(\frac{2}{3} \sqrt{\frac{V_{bi} - V_G}{V_{p0}}} - 1 \right) (V_{bi} - V_G) + \frac{1}{3} G_0 V_{p0}$$



$$g_m = \frac{\partial I_{DS}}{\partial V_G} = G_0 \left(1 - \sqrt{\frac{V_{bi} - V_G}{V_{p0}}} \right)$$

跨导 g_m

◆ 线性区漏极导纳 (P14):

$$g_{dl} = \frac{\partial I_D}{\partial V_D} \Big|_{V_G} = G_0 \left(1 - \sqrt{\frac{V_{bi} - V_G}{V_{p0}}} \right)$$

◆ 饱和区跨导 (P15):

$$g_m = \frac{\partial I_{DS}}{\partial V_G} = G_0 \left(1 - \sqrt{\frac{V_{bi} - V_G}{V_{p0}}} \right)$$

线性区漏极导纳
= 饱和区跨导

◆ JFET是电压控制器件，其输出电压定义为： $I_{DS} \cdot R_L$ ， R_L 为负载电阻。

◆ 电压增益定义为： $K_V = \frac{\partial (I_{DS} R_L)}{\partial V_G} = g_m R_L$

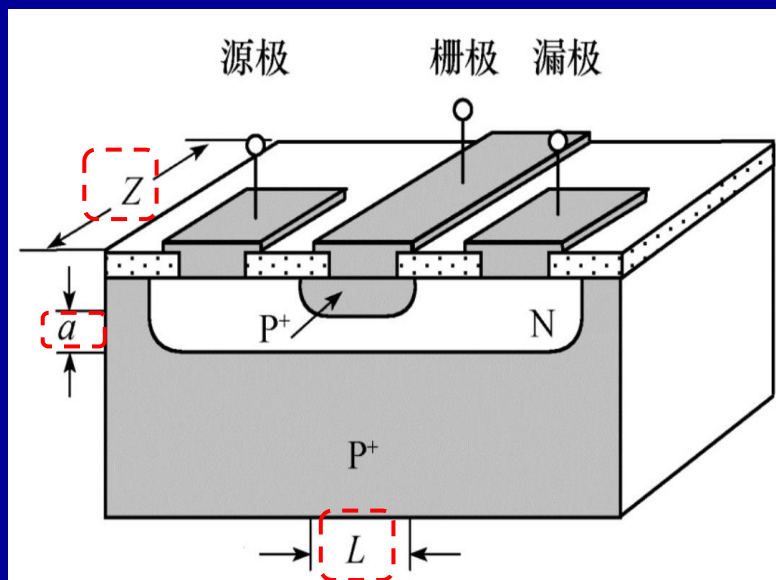
可见，跨导 g_m 标志了JFET的放大能力。

栅极总电容 C_G

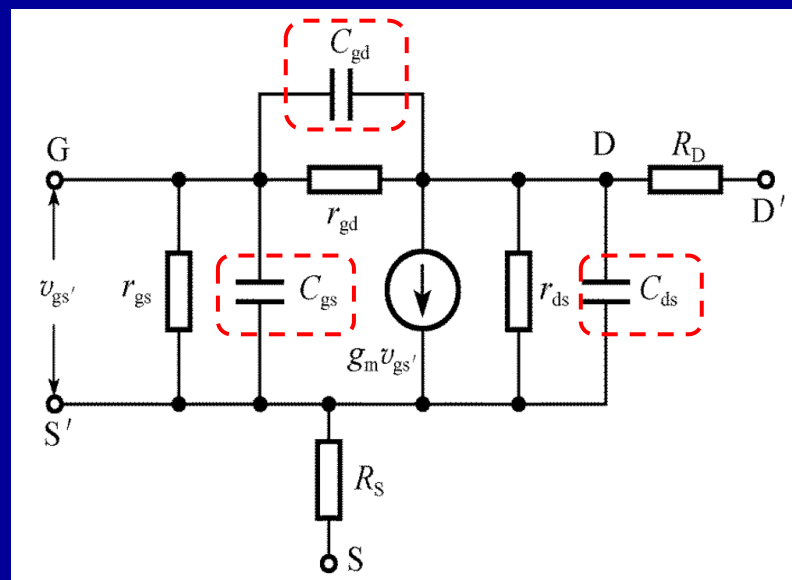
- ◆ PN结在反偏压下具有结电容。令 $a/2$ 为夹断时平均耗尽层宽度，则栅极总电容可以表示为：

$$C_G = 2ZL \frac{\varepsilon}{a/2} = 4ZL \frac{\varepsilon}{a}$$

- ◆ 式中，因子2考虑了两个PN结的贡献，每个结的面积都为 ZL 。
- ◆ 为简化设计，往往用两个电容，即栅-漏电容 C_{gd} 和栅-源电容 C_{gs} 来表示，则可以忽略栅极电容的实际分布。
- ◆ 此外，器件封装会在漏极和源极引入一个小电容 C_{ds} 。



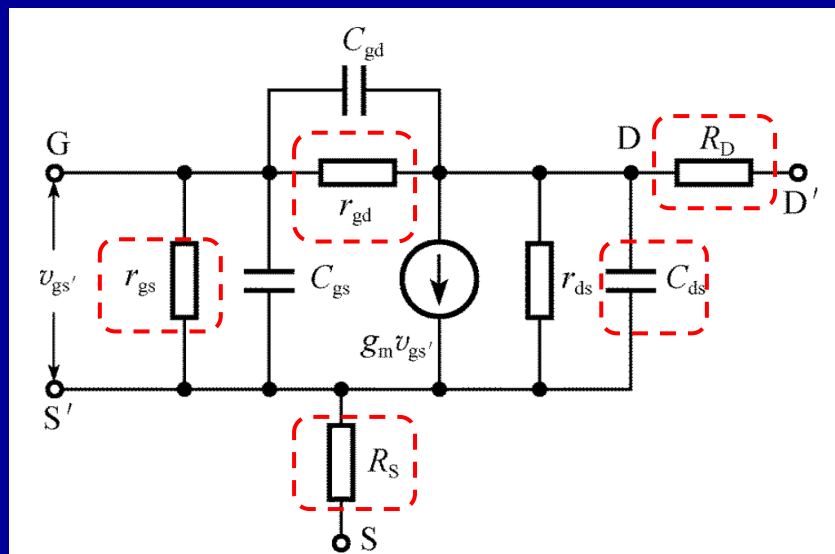
JFET的结构



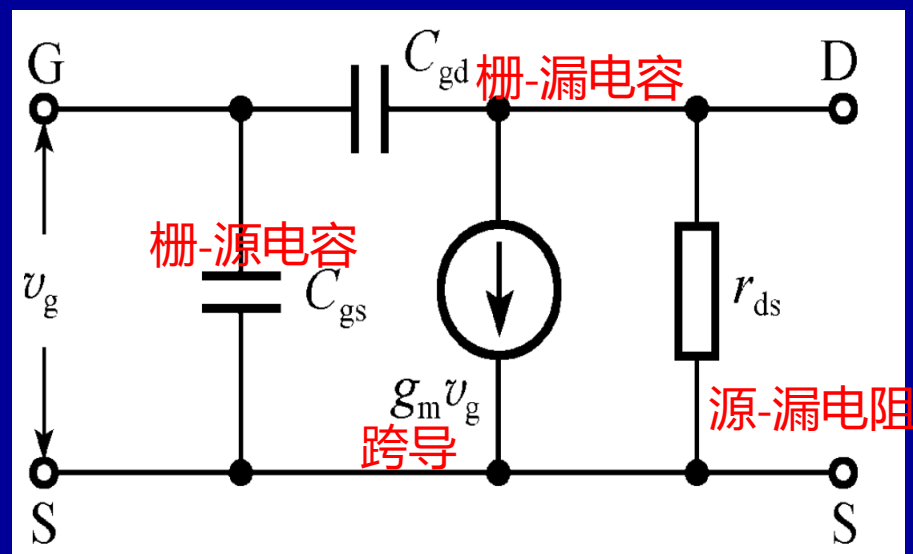
JFET的交流小信号等效电路

栅-源电阻、栅-漏电阻、漏极电阻

- ◆ 源-漏间电阻 r_{ds} 是由沟道长度调制效应引起的，它的典型值为 $100 \sim 200 \text{k}\Omega$ 。
- ◆ 对于实际的JFET，需考虑栅-源扩散电阻 r_{gs} 和栅-漏扩散电阻 r_{gd} 的影响，但 r_{gs} 和 r_{gd} 通常很大且分布与 C_{gs} 和 C_{ds} 并联，对于大多数应用可以忽略。如果再忽略源极 R_S 、漏极串联电阻 R_D 和漏-源极间小电容 C_{ds} ，就得到如图所示的简化等效电路。
- ◆ 对于大多数应用，这种简单的电路已经足够。



交流小信号等效电路



简化的交流小信号等效电路(实际可用)

JFET的截止频率 f_{C0}

- ◆ 随着工作频率的升高，JFET的电流增益（输出电流与输入电流之比）会下降。
- ◆ JFET截止频率 f_{C0} 的定义：晶体管电流增益下降到1，即不能再放大输入信号时的最高工作频率，截止频率为：

$$f_{C0} = \frac{G_0}{2\pi C_G}$$

$$G_0 = \frac{2aqN_d\mu_n Z}{L}$$

$$C_G = 4ZL \frac{\varepsilon}{a}$$

$$V_{p0} = \frac{qa^2N_d}{2\varepsilon_s}$$

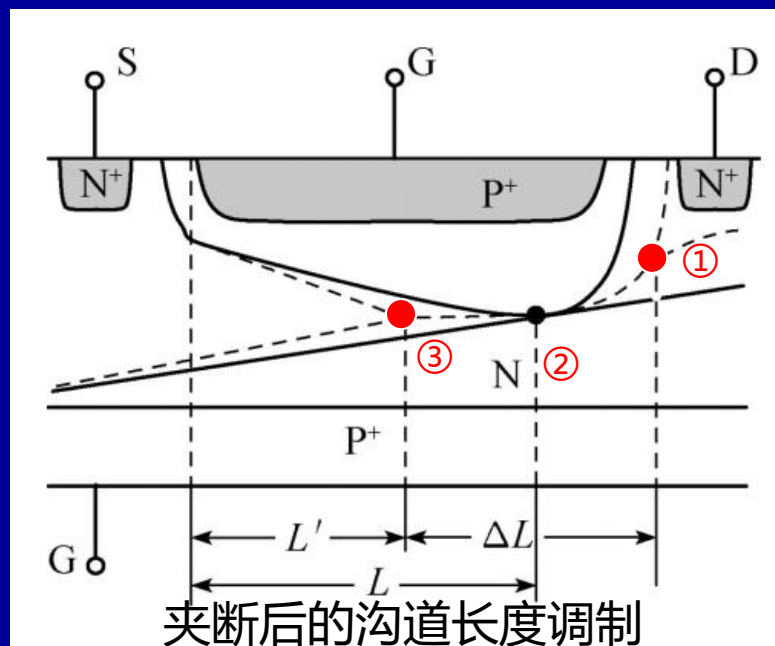


$$f_{C0} = \frac{qa^2N_d\mu_n}{4\pi\varepsilon L^2} = \frac{V_{p0}\mu_n}{2\pi L^2}$$

- ◆ 截止频率 f_{C0} 由夹断电压、迁移率和沟道长度所决定。
- ◆ 在考虑高频工作时，通常夹断电压这一项无法调节，其它可调节的量为迁移率和沟道长度。
- ◆ 为了实现优异高频性能，要有高迁移率和短沟道长度。

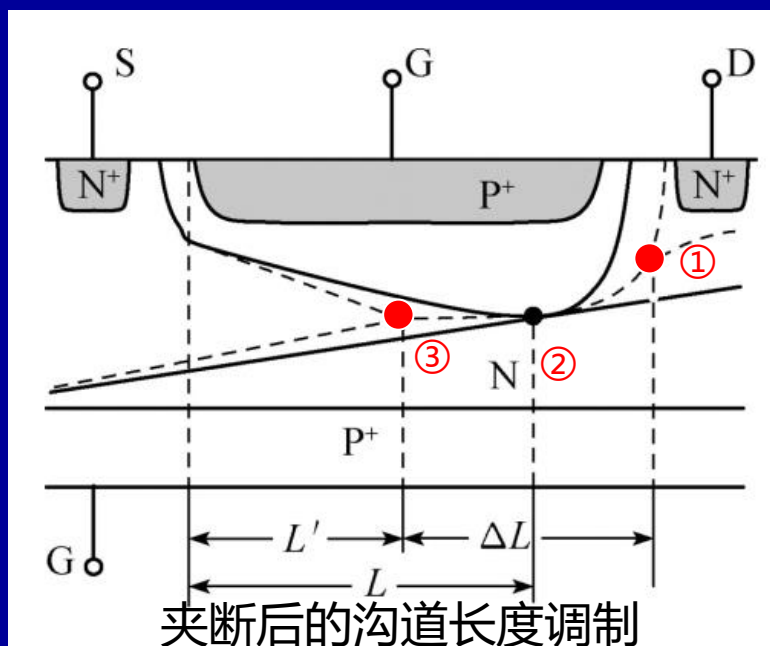
沟道长度调制效应

- ◆ 沟道夹断之后，漏极电压进一步增加时，耗尽区长度增加，未夹断区的沟道长度减小，这种现象称为沟道长度调制效应(如图中②③过程所示)。
- ◆ 外加漏极电压 V_D 由沟道夹断的耗尽区和未夹断区分摊，未夹断区承受电压 V_p ，耗尽区承受电压 $(V_D - V_p)$ 。
- ◆ 减短的未夹断区(长度 L)承受同样的 V_p (如图中③所示)，而减短的未夹断区电阻减小，因而对于夹断后的漏极电压，会使漏极电流略有增加。



沟道长度调制效应

- ◆ (如图②位置) 未夹断沟道长度 L 承受夹断电压 V_p , 此时的漏极电流为 I_{DS} 。
- ◆ 由于夹断后, (如图③位置) 新的未夹断沟道长度 L' 依旧承受夹断电压 V_p 不变, 此时的漏极电流为 I_{DS}' , 因此
$$I_{DS}' L' = I_{DS} L$$
- ◆ 夹断后的漏极电流可表示为:
$$I_{DS}' = I_{DS} \frac{L}{L'}$$
- ◆ $L' < L$, $I_{DS}' > I_{DS}$, 即随着未夹断区减小, 漏极电流略增大。



小信号分析小结

◆ 线性区漏极导纳:

$$g_{dl} = \frac{\partial I_D}{\partial V_D} \Big|_{V_G} = G_0 \left(1 - \sqrt{\frac{V_{bi} - V_G}{V_{p0}}} \right)$$

◆ 饱和区跨导=线性区漏极导纳:

$$g_m = \frac{\partial I_{DS}}{\partial V_G} = G_0 \left(1 - \sqrt{\frac{V_{bi} - V_G}{V_{p0}}} \right)$$

跨导 g_m 标志了JFET的放大能力。

◆ 栅极总电容:

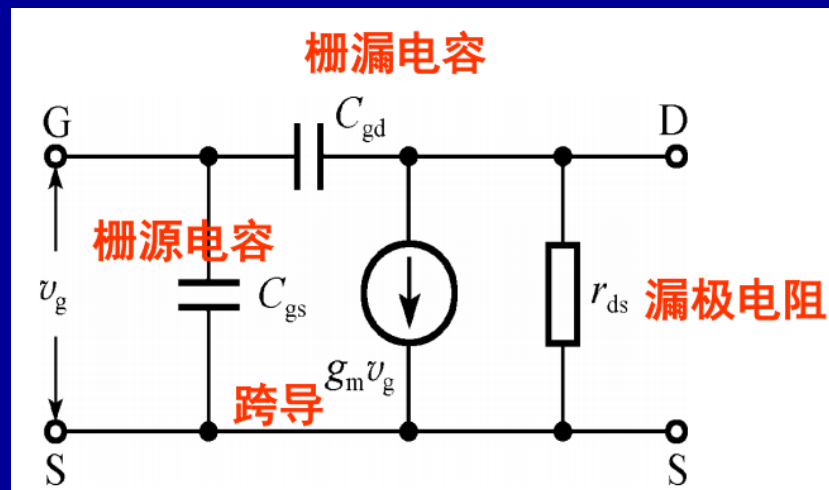
$$C_G = 4ZL \frac{\epsilon}{a}$$

◆ JFET截止频率 f_{C0} :

$$f_{C0} = \frac{V_{p0} \mu_n}{2\pi L^2}$$

◆ 沟道夹断之后, 漏极电压进一步增加时, 耗尽区长度增加, 未夹断区沟道长度减小, 这种现象称为沟道长度调制效应。

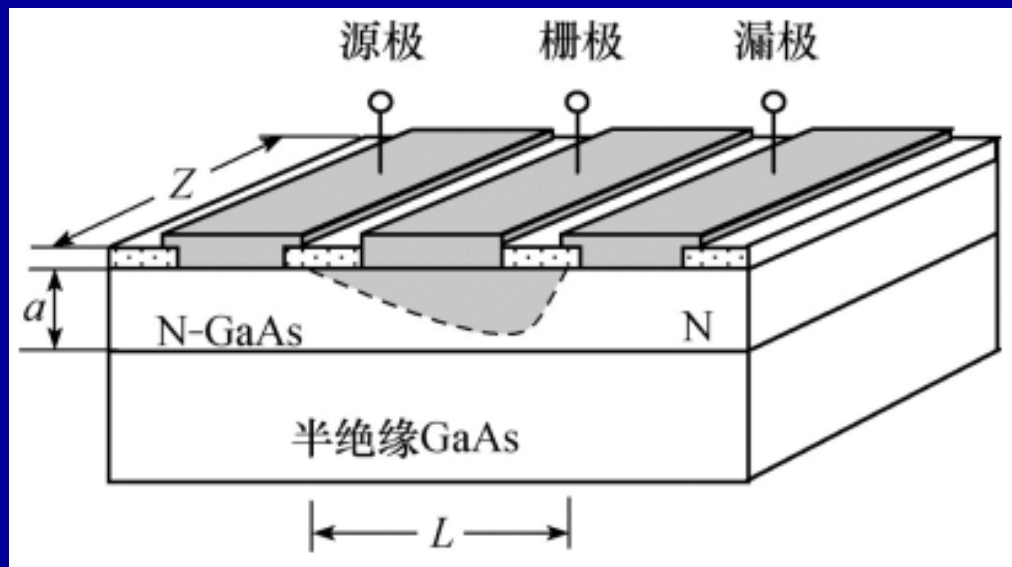
◆ 沟道长度调制效应是JFET的一种非理想效应。



简化的交流小信号
等效电路(实际可用)

§4.5 金属-半导体场效应晶体管

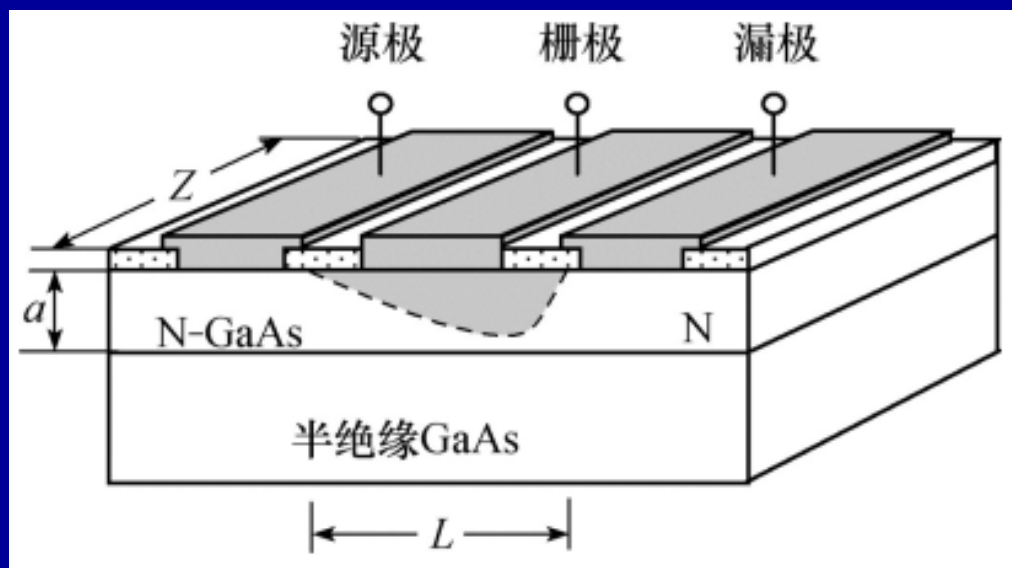
金属-半导体场效应晶体管 (MESFET) 的基本结构 (例):



- ◆ 在半绝缘的GaAs衬底上外延生长一层N型GaAs;
- ◆ 用蒸发的方法在N型外延层表面沉积不同的金属, 形成肖特基势垒栅电极+源漏欧姆接触电极;
- ◆ 工作原理与JFET类似, 把pn结换为肖特基势垒整流接触结。

金属-半导体场效应晶体管

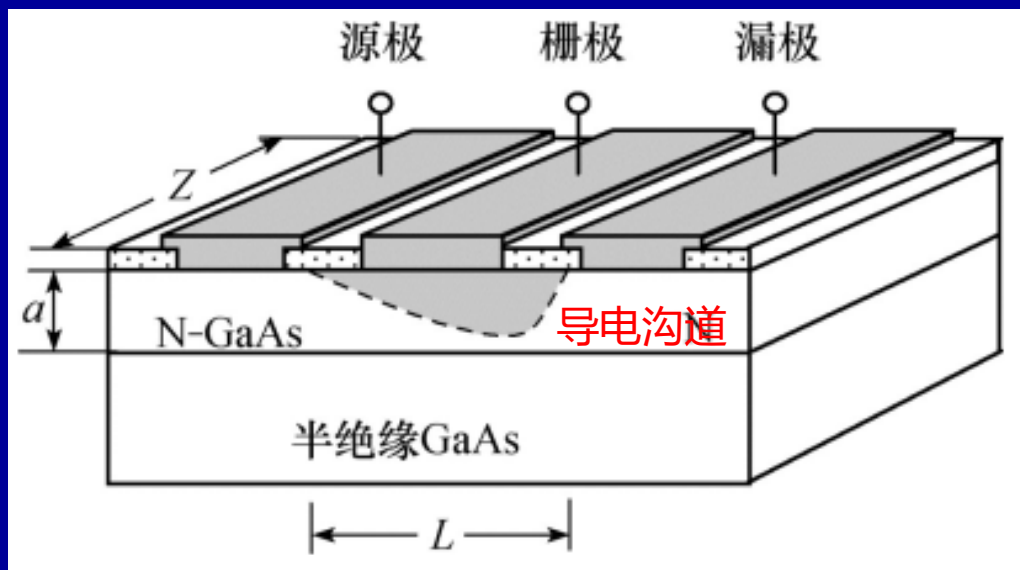
MESFET的基本结构 (例):



- ◆ 截止频率: $f_{C0} = \frac{V_{p0}\mu_n}{2\pi L^2}$ (与JFET的相同)
- ◆ 金属-半导体接触工艺允许MESFET的沟道做得更短, 有利于提高器件的开关速度和工作频率。
- ◆ GaAs的电子迁移率约为Si的6倍, 这使它更适合于高频应用。目前最为普及的商品化的化合物半导体晶体管, 多是N型GaAs MESFET。

金属-半导体场效应晶体管

MESFET的类型：①常开型MESFET (也称耗尽型MESFET)

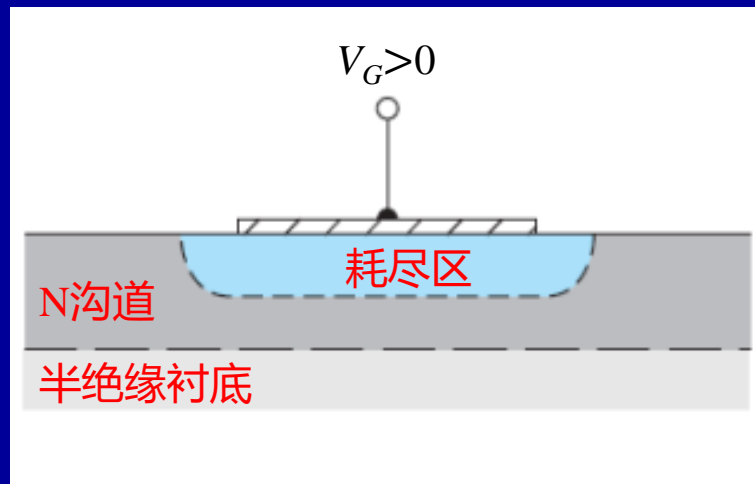
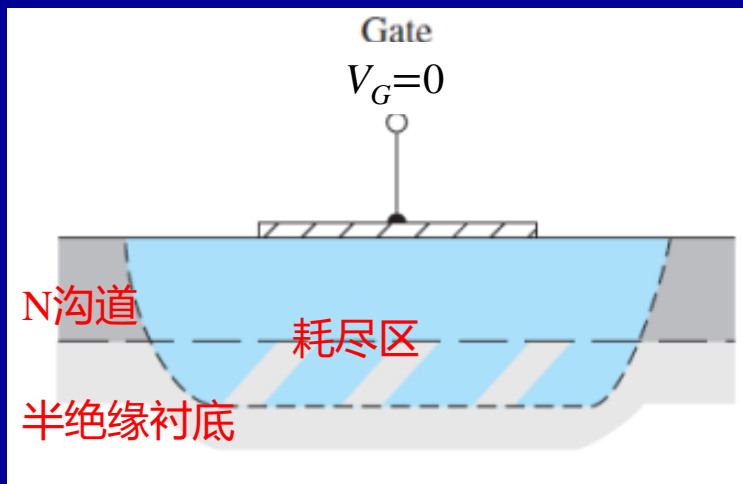


常开型MESFET (耗尽型MESFET)

- ◆ $V_G=0$ 时，MESFET的肖特基势垒的耗尽区没有达到半绝缘衬底。这时在N-GaAs层就存在导电沟道，要使沟道夹断，需给耗尽层加上负栅压，使肖特基势垒反偏，从而加宽耗尽区，最终到达半绝缘衬底，使沟道夹断。

金属-半导体场效应晶体管

MESFET的类型：②常关型MESFET (也称增强型MESFET)



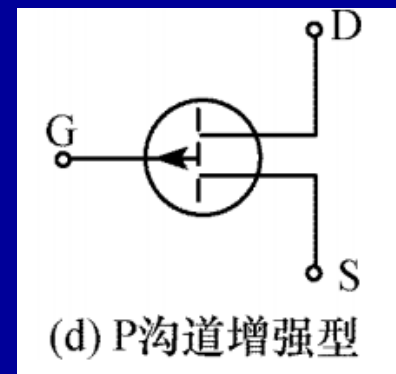
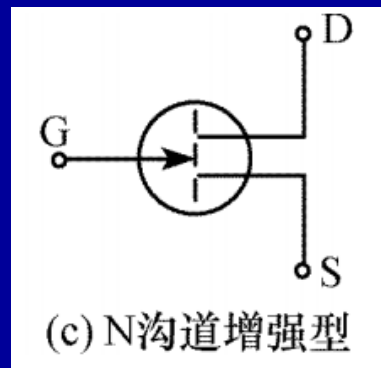
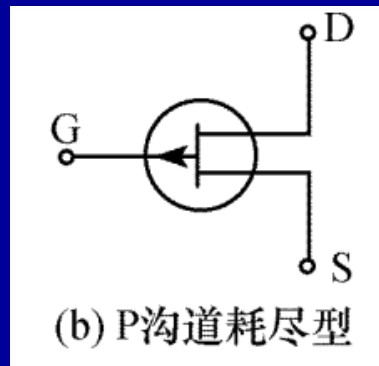
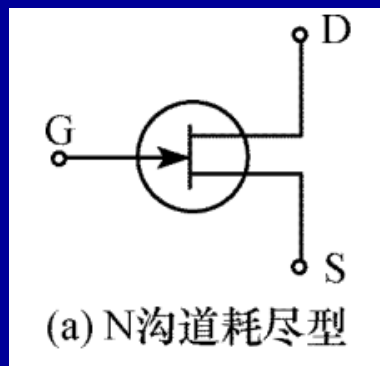
常关型MESFET (增强型MESFET) 的栅极放大图

- ◆ $V_G = 0$ 时，MESFET的肖特基势垒的耗尽区穿透了N型GaAs外延层达到绝缘衬底，因此不出现导电沟道。工作时需要给耗尽层加上正偏压，使耗尽层变窄，从而使耗尽层的下边缘向N型GaAs层内回缩，离开半绝缘衬底，使得在耗尽层下方和绝缘体衬底之间存在导电沟道。

JFET和MESFET的类型

MESFET和JFET都具有增强型和耗尽型：

- ◆ 耗尽型 (常开): $V_G=0$ 时就存在导电沟道, 要使沟道夹断, 必须给PN结施加反向偏压, 使沟道内载流子耗尽。
- ◆ 增强型 (常关): $V_G=0$ 时沟道是夹断的, 只有外加正向偏压时才能开始导电。
- ◆ 考虑到P沟道和N沟道两类导电沟道, 则JFET和MESFET都有四种类型, 即N沟道增强型、N沟道耗尽型、P沟道增强型和P沟道耗尽型。电学符号如下:

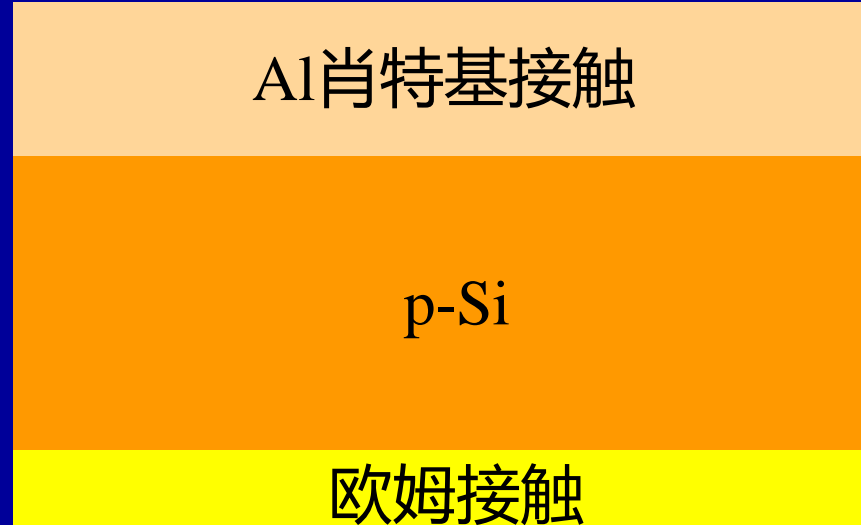


JFET和MESFET的电学符号

§4.6 肖特基势垒二极管 (SBD) 最近研究进展

- ◆ Al/p-Si肖特基势垒二极管
- ◆ Pt/GaN肖特基势垒二极管
- ◆ N终端GaN肖特基势垒二极管
- ◆ Pt/ β -Ga₂O₃肖特基势垒二极管
- ◆ 热氧化终端Ni/ β -Ga₂O₃肖特基势垒二极管

1、Al/p-Si肖特基势垒二极管



制备了Al/p-Si肖特基势垒二极管：

- ◆ 使用的衬底是p型B掺杂的Si单晶，280mm厚、0.8Ωcm的电阻率。衬底清洗后，利用真空热蒸发在衬底上表面制备150nm厚的Al。
- ◆ 测试了100–300K的温度范围内Al/p-Si肖特基势垒二极管的电流-电压特性。研究了势垒高度随温度的变化，并利用热电子发射理论讨论了理想因子随温度的变化。

1、Al/p-Si肖特基势垒二极管

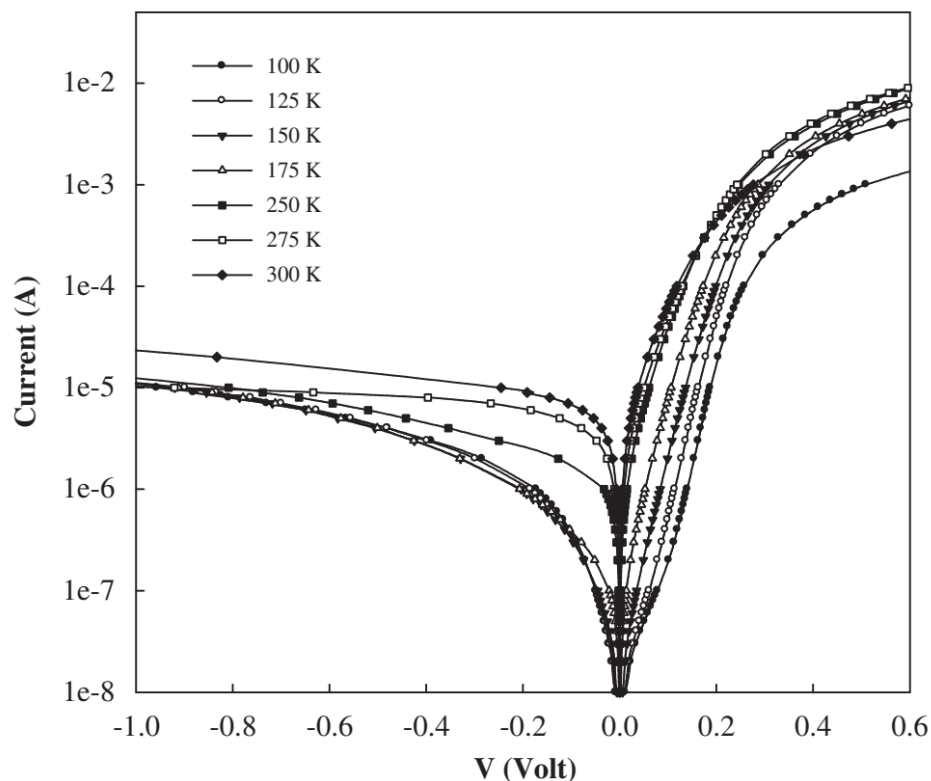


Fig. 1. Experimental forward-bias current-voltage characteristics of Al/p-Si (100) Schottky barrier diode at various temperatures.

- ◆ 图1显示了Al/p-Si肖特基二极管在不同温度下的（半对数坐标） I - V 特性。
- ◆ 正向电流大，反向电流小，随温度改变，其电流大小发生变化。

1、Al/p-Si肖特基势垒二极管

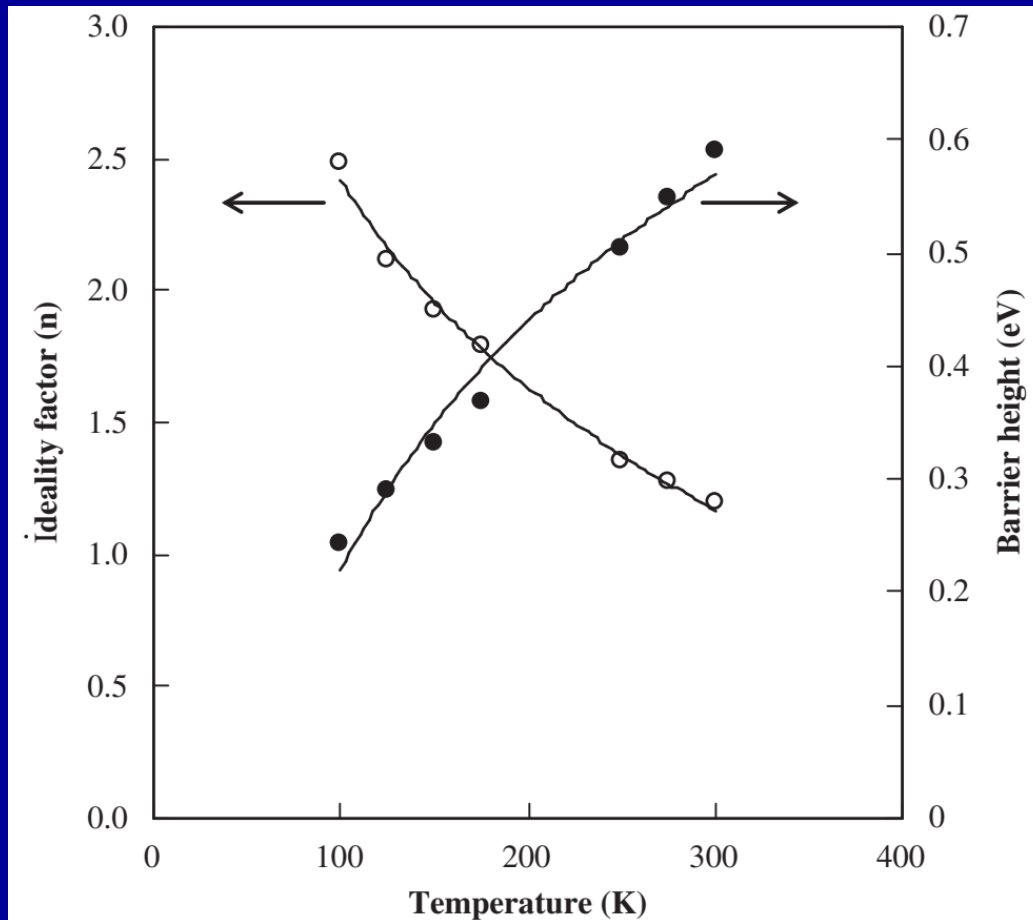


Fig. 2. Temperature dependence of the ideality factor for Al/p-Si (100) Schottky barrier diode in the range 100–300 K.

$$I = I_0 (e^{V/nV_T} - 1)$$

$$I_0 = AA^*T^2 \exp \left[-\frac{q\Phi_{B0}}{kT} \right]$$

- ◆ 结合热电子发射理论可提取肖特基势垒 ϕ_{B0} 和理想因子 n 。
- ◆ 如图为 ϕ_{B0} 、 n 与温度的函数关系。随温度减小，理想因子 n 增大，肖特基势垒 ϕ_{B0} 减小。
- ◆ 如图所示，在 $T=100\text{K}$ 时， n 为2.48，肖特基势垒高度为0.243eV。升温到300K时， n 减小为1.20肖特基势垒高度增加为0.590eV。

1、Al/p-Si肖特基势垒二极管

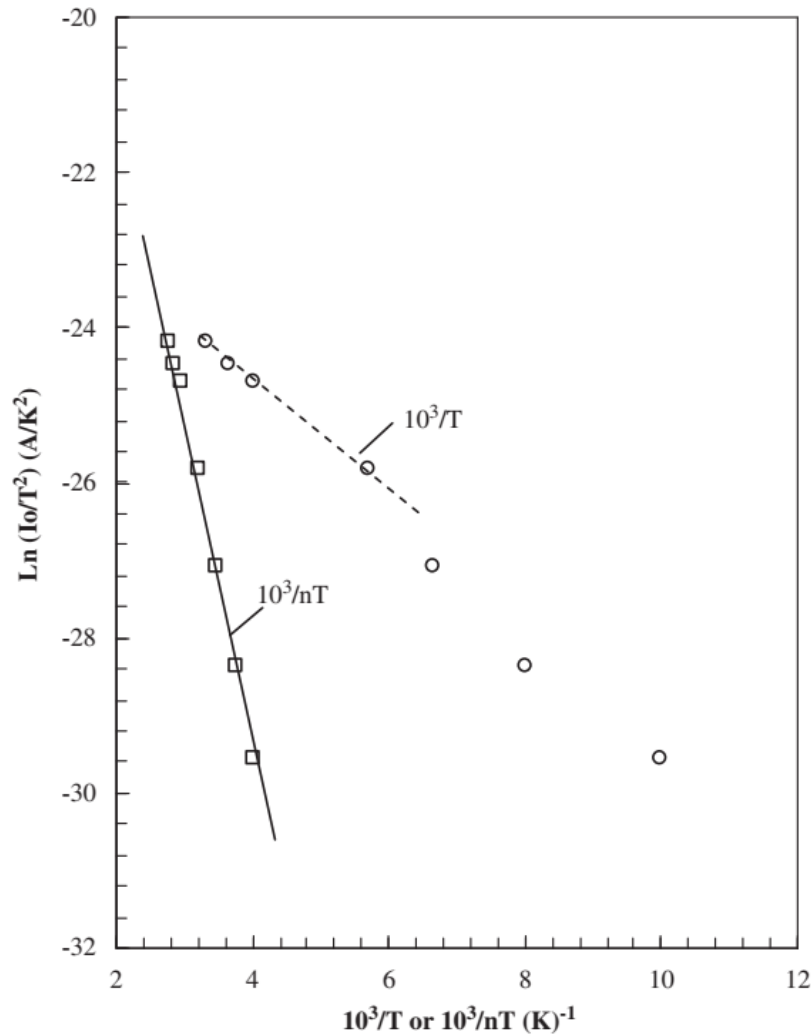


Fig. 3. Richardson plots of $\ln(I_0/T^2)$ vs. $10^3/T$ or $10^3/nT$ for a Al/p-Si Schottky barrier diode.

$$I_0 = AA^*T^2 \exp \left[-\frac{q\Phi_{B0}}{kT} \right]$$

$$\ln \left(\frac{I_0}{T^2} \right) = \ln(AA^*) - \frac{q\Phi_{B0}}{kT}$$

- ◆ 通常由 $\ln(I_0/T^2)$ 和 $1000/T$ 图像的截距可以提取理查德森常数。左图为 $\ln(I_0/T^2)$ 相对于 $1000/T$ 和 $1000/nT$ 的变化曲线。
- ◆ $\ln(I_0/T^2)$ 相对于 $1000/T$ **不是完整的线性关系**，与之前文献结果相吻合。只能在高温区域线性拟合得到理查德森常数为 $3.62 \times 10^{-5} \text{ A/cm}^{-2} \text{ K}^{-2}$ 。
- ◆ $\ln(I_0/T^2)$ 相对于 $1000/nT$ 为明显的**线性关系**。提取理查德森常数为 $0.67 \text{ A/cm}^{-2} \text{ K}^{-2}$ 。
- ◆ 理查森常数的巨大偏差可能是由于肖特基势垒分布不均匀造成的。

1、Al/p-Si肖特基势垒二极管

T_0 效应

$$n(T) = n_0 + \frac{T_0}{T}$$

$T_0=191\text{K}$, $n_0=0.601$

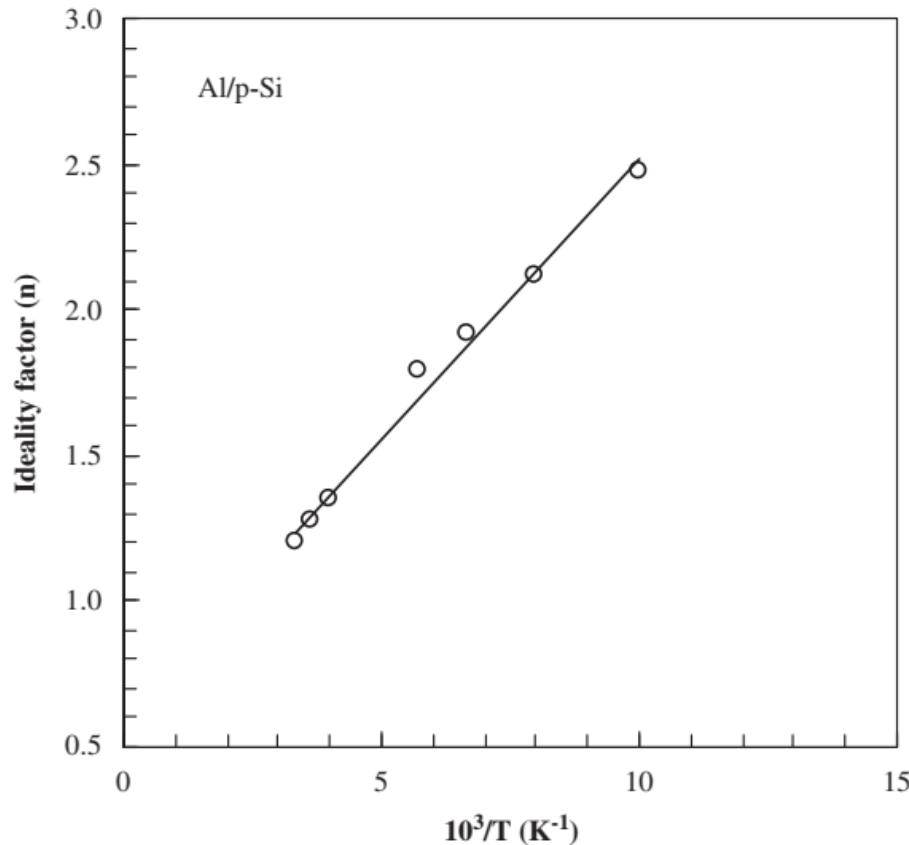


Fig. 4. Plot of n vs. $10^3/T$ of Al/p-Si (100) Schottky barrier diode obtained from I - V .

- ◆ 如图所示, n 与 T 成反比。这种理想因子随温度的降低而增加的现象, 称为 T_0 效应。
- ◆ 当理想因子较大时, 说明其电流机制与热电子理论值存在偏差。
- ◆ 串联电阻(由界面态引起)随温度降低而增加, 势垒高度减小, 理想因子增大。

2、Pt/GaN肖特基势垒二极管

APPLIED PHYSICS LETTERS 90, 092119 (2007)

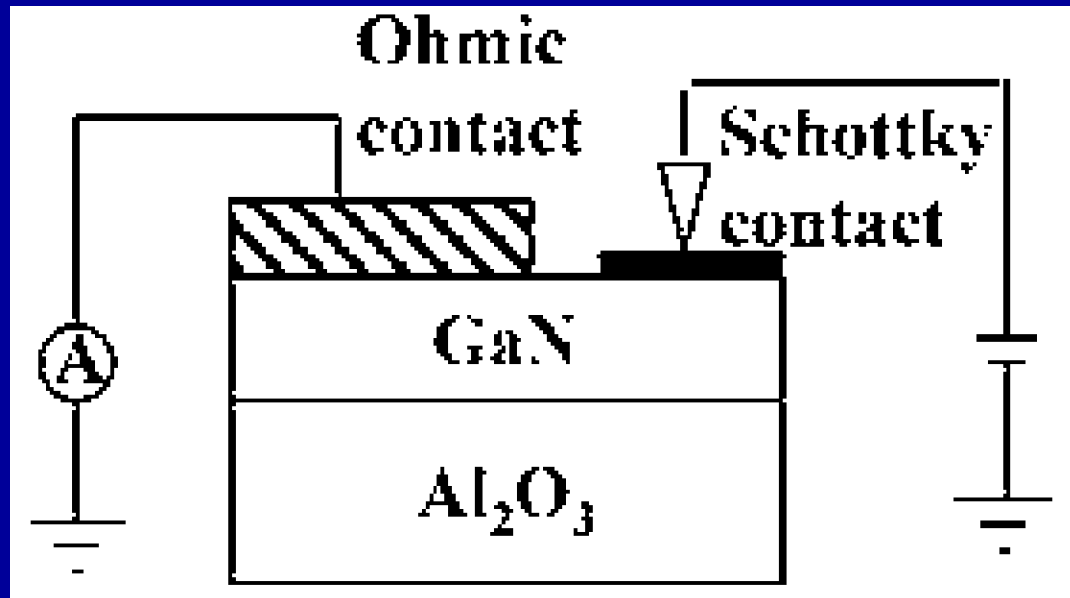
Temperature behavior of inhomogeneous Pt/GaN Schottky contacts

Ferdinando Iucolano,^{a)} Fabrizio Roccaforte, Filippo Giannazzo, and Vito Raineri
CNR-IMM, Stradale Primosole 50, 95121 Catania, Italy

(Received 13 December 2006; accepted 26 January 2007; published online 2 March 2007)

- ◆对Pt/GaN肖特基接触纳米尺度的均匀性进行了定量研究。
- ◆尽管400°C退火后获得的电特性有了显著的改善，但导电原子力显微镜（AFM）进行的局部 I - V 测量证明了势垒依旧不均匀。
- ◆并且肖特基二极管的宏观电性测试表明纳米尺度肖特基势垒高度分布与温度之间具有很强的相关性。

2、Pt/GaN肖特基势垒二极管



- ◆ 使用具有 $3\mu\text{m}$ 厚n型Si掺杂GaN外延层的蓝宝石 (Al_2O_3) 衬底, 制备了电极半径为 $150\mu\text{m}$ 的肖特基接触二极管。
- ◆ 首先, 通过沉积Ti/Al/Ni/Au多层金属膜, 然后在 750°C 的温度下进行快速热退火, 形成欧姆接触。
- ◆ 然后, 通过沉积Pt/Au双层金属薄膜形成肖特基接触。

2、Pt/GaN肖特基势垒二极管

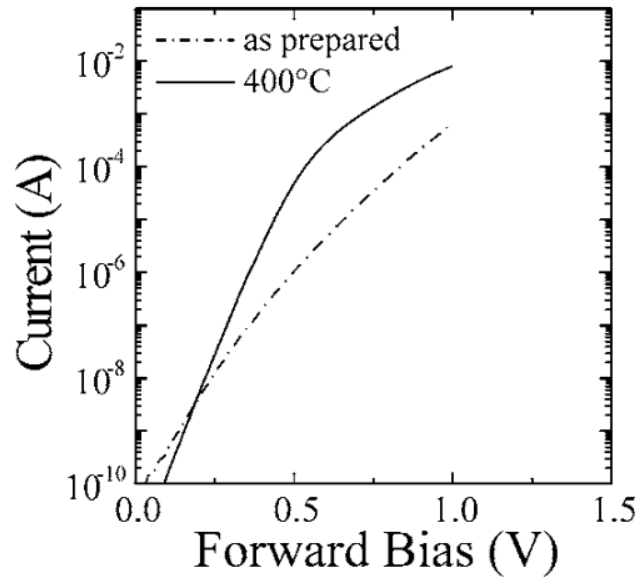


FIG. 1. Forward I - V characteristics of the Au/Pt/GaN Schottky diodes before (as prepared) and after annealing at 400 °C.

- ◆ 测量了肖特基二极管退火前和400°C下退火后宏观的正向 I - V 特性曲线（半对数坐标），如上图所示。
- ◆ 退火前肖特基势垒高度为0.79eV，理想因子为1.8；400°C退火后肖特基势垒高度增加为0.96eV，理想因子为1.16。

2、Pt/GaN肖特基势垒二极管

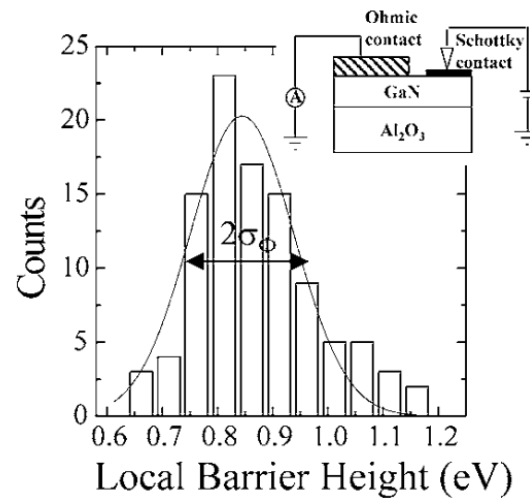
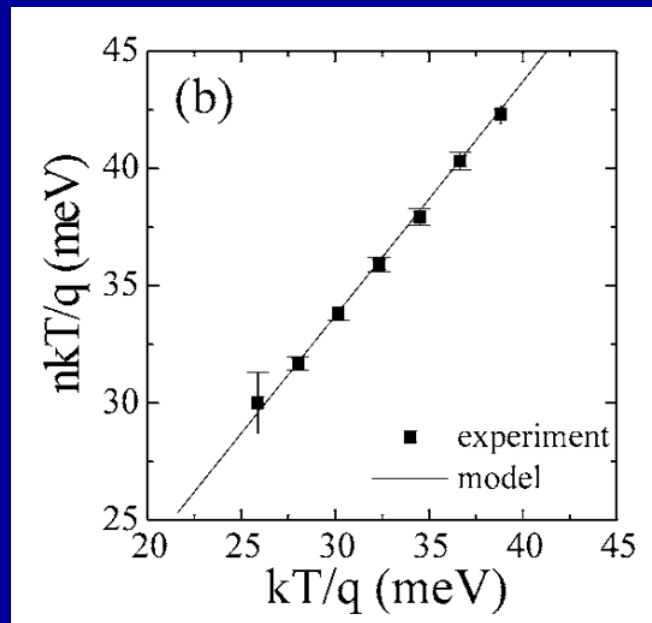
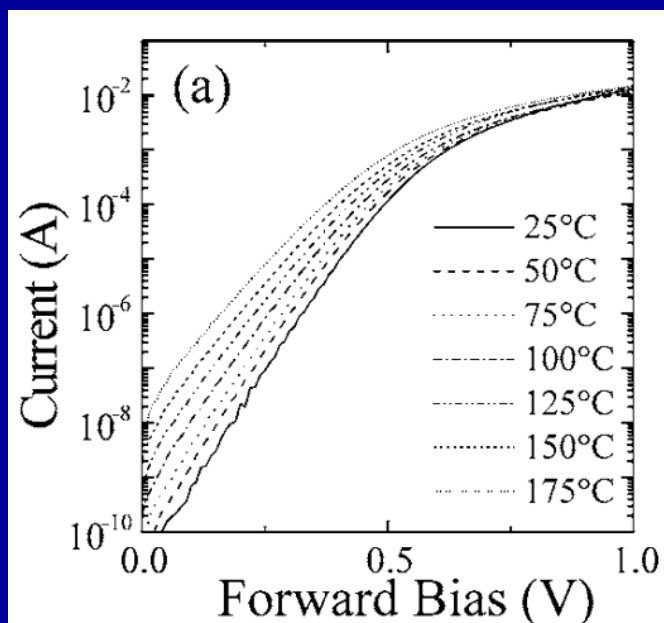


FIG. 2. Statistical distribution of the local barrier height values of the Au/Pt/GaN contact annealed at 400 °C. The relative Gaussian fit curve is also reported. The insert shows the schematic of the experimental setup used for the local I - V curves by means of the conductive tip of an AFM.

- ◆ 利用AFM（原子力显微镜）导电针尖测试肖特基接触的局域电场分布和肖特基势垒。
- ◆ 肖特基势垒实验值呈高斯分布，均值为0.84eV，标准差为0.11eV。
- ◆ 势垒的高斯分布，证明了肖特基势垒存在不均匀性。

2、Pt/GaN肖特基势垒二极管



- ◆ 测试了400°C退火后的样品在25°C到175°C的 I - V 曲线（左图）。
- ◆ 显然，正如热电子模型所预测，增加温度，可以观察到电流的增加，同时 I - V 曲线的线性度也得到了改善。
- ◆ 由 I - V 曲线确定的理想因子 n 的温度依赖性如上右图所示。势垒不均匀性的一个直接后果是肖特基接触的理想因子 n 的温度依赖性。

3、氮终端Pt/GaN肖特基势垒二极管



High-Voltage and High- I_{ON}/I_{OFF} Vertical GaN-on-GaN Schottky Barrier Diode With Nitridation-Based Termination

Shaowen Han, Shu Yang^{ID}, *Member, IEEE*, and Kuang Sheng, *Senior Member, IEEE*

- ◆ 制备了一个高性能的基于氮终端技术的垂直GaN肖特基势垒二极管（SBD）。
- ◆ 该氮终端SBD的正向电流密度超过 kA/cm^2 量级，开启电阻为 $1.2\text{m}\Omega\cdot\text{cm}^2$ 。未使用终端的SBD击穿电压为335V，N终端处理后达到995V。并且N终端SBD实现了高开关电流比（ I_{ON}/I_{OFF} ），600V时的 I_{ON}/I_{OFF} 约为 10^8 。
- ◆ N终端技术能较好地改善GaN表面状态，并提高击穿电压。

3、氮终端Pt/GaN肖特基势垒二极管

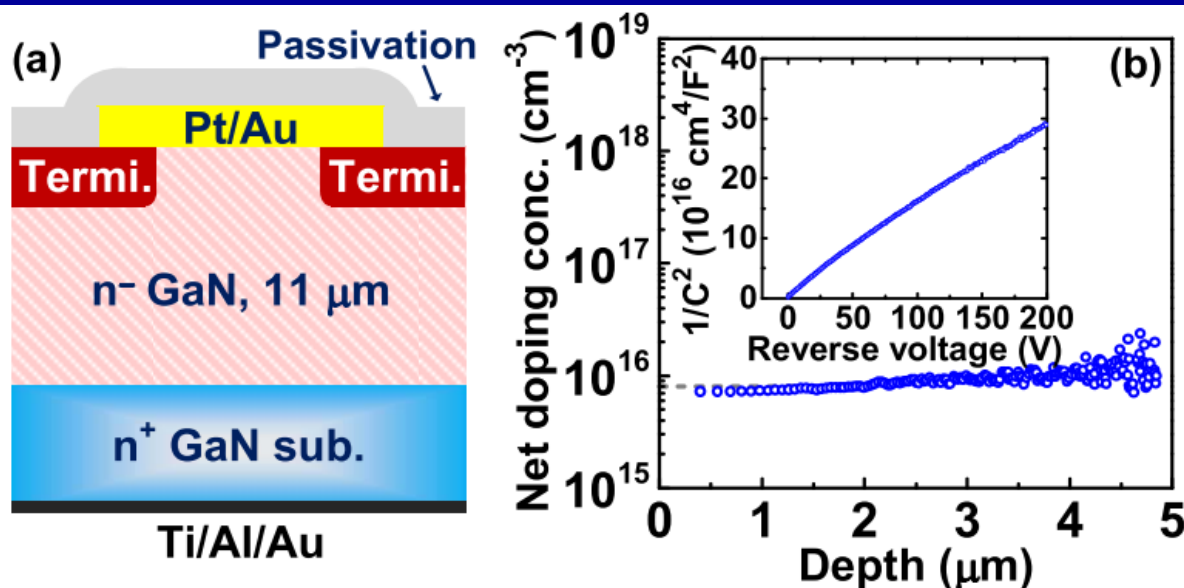
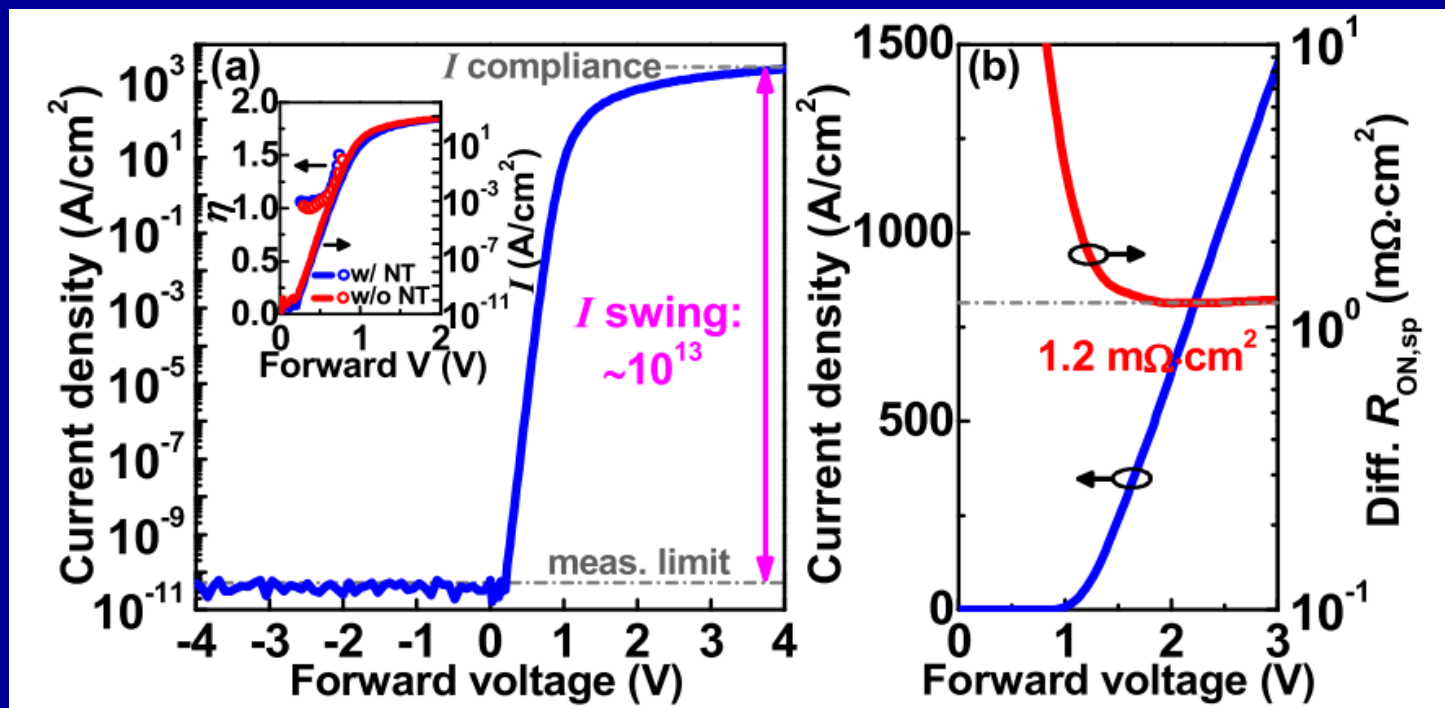


Fig. 1. (a) Schematic cross section of the vertical GaN NT-SBD. (b) Net doping concentration ($N_D - N_A$) in the n^- GaN drift layer extracted from $C-V$ measurement at 100 kHz. Inset: $1/C^2$ vs. reverse voltage.

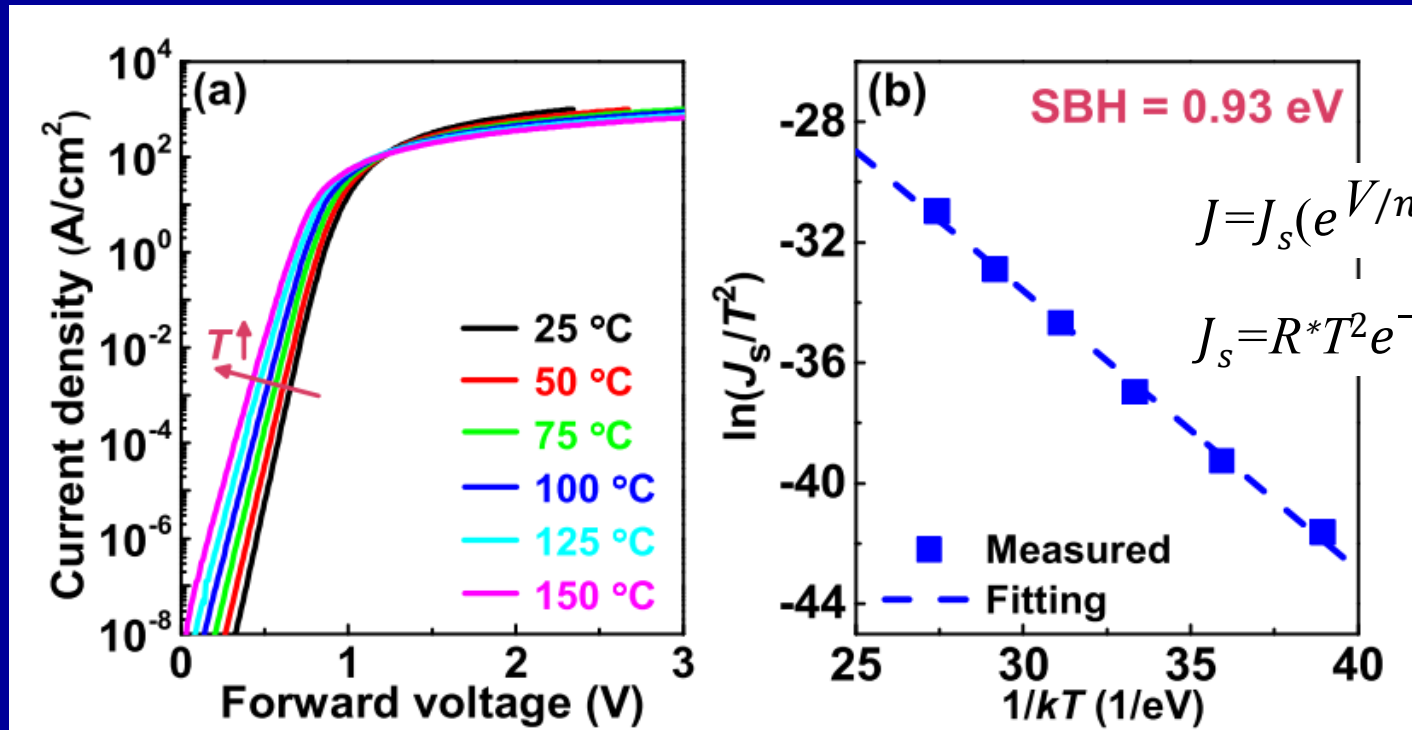
- ◆ 左图为N终端SBD的结构示意图，在350μm厚的n⁺-GaN衬底上用MOCVD同质外延11μm厚的n⁻-GaN层。利用等离子体增强化学气相沉积PECVD，通过N₂等离子体处理，在器件外围形成终端结构。然后沉积Pt/Au肖特基金属电极并图案化。PECVD沉积钝化层，最后沉积Ti/Al/Au形成衬底背面的欧姆接触。
- ◆ 右图为C-V曲线，可以提取出n⁺-GaN载流子浓度为 $1 \times 10^{18} \text{ cm}^{-3}$ ，n⁻-GaN载流子浓度为 $8 \times 10^{15} \text{ cm}^{-3}$ 。

3、氮终端Pt/GaN肖特基势垒二极管



- ◆ 左图：N终端SBD在25°C下的半对数坐标 I - V 特性。插图：比较无终端（红色曲线）和N终端SBD（蓝色曲线）的正向 I - V 特性，其正向差异不大，说明终端处理对于肖特基接触正向性能影响较小。
- ◆ 右图：蓝线为N终端SBD在线性尺度下的 I - V 特性。红线为对应的开启电阻与正向偏压的关系。
- ◆ 从中可得到高开关比， -4V 时， $I_{ON}/I_{OFF}=10^{13}$ 。正向电流密度超过 kA/cm^2 量级，开启电阻为 $1.2\text{m}\Omega\cdot\text{cm}^2@1.7\text{V}$ 。

3、氮终端Pt/GaN肖特基势垒二极管



- ◆ 左图为半对数尺度下，温度在25°C到150°C之间变化时，N终端SBD的正向 I - V 特性曲线。
- ◆ 右图为根据热电子发射模型和 I - V 特性曲线作出的 $\ln(J_s/T^2)$ - $1/kT$ 图，可提取出肖特基势垒高度SBH约为0.93eV。

3、氮终端Pt/GaN肖特基势垒二极管

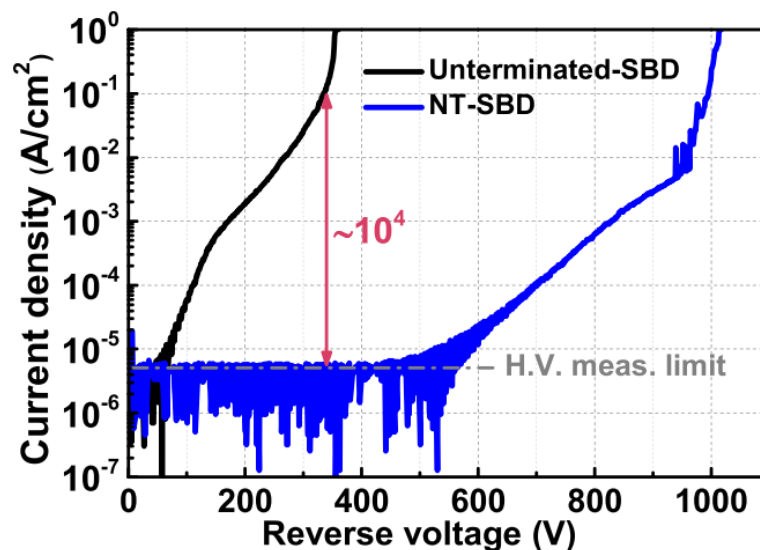


Fig. 4. Reverse I - V characteristics of the unterminated-SBD and NT-SBD.

- ◆ 上图显示了无终端SBD和N终端SBD的反向 I - V 特性。
- ◆ 无终端SBD击穿电压 $BV=335\text{V}@0.1\text{A}/\text{cm}^2$ ，而N终端SBD在相当大的反偏压下可以保持更低的漏电流，且击穿电压显著提高到995V，且功率品质因数 ($BFOM=BV^2/R_{ON,sp}$) 达到 $825\text{MW}/\text{cm}^2$ 。N终端技术可以有效地抑制漏电流 $\sim 10^{-5}\text{A}/\text{cm}^2$ (-600V 以内)，之后的电流增加可能与场致热电子发射相关。

4、Pt/ β -Ga₂O₃肖特基势垒二极管（一）

APPLIED PHYSICS LETTERS **110**, 093503 (2017)



Schottky barrier diode based on β -Ga₂O₃ (100) single crystal substrate and its temperature-dependent electrical characteristics

Qiming He,^{1,2,3,a)} Wenxiang Mu,^{4,a)} Hang Dong,^{1,5,6} Shibing Long,^{1,5,6,b)} Zhitai Jia,^{4,7} Hangbing Lv,^{1,5,6} Qi Liu,^{1,5,6} Minghua Tang,^{2,3} Xutang Tao,^{4,c)} and Ming Liu^{1,5,6}

¹Key Laboratory of Microelectronics Devices & Integrated Technology, Institute of Microelectronics of Chinese Academy of Sciences, Beijing 100029, China

²Key Laboratory of Key Film Materials and Application for Equipments (Hunan Province), School of Material Sciences and Engineering, Xiangtan University, Xiangtan 411105, Hunan, China

³Hunan Provincial Key Laboratory of Thin Film Materials and Devices, School of Material Sciences and Engineering, Xiangtan University, Xiangtan 411105, Hunan, China

⁴State Key Laboratory of Crystal Materials, Key Laboratory of Functional Crystal Materials and Device, Shandong University, Jinan 250100, China

⁵University of Chinese Academy of Sciences, Beijing 100049, China

⁶Jiangsu National Synergetic Innovation Center for Advanced Materials (SICAM), Nanjing 210023, China

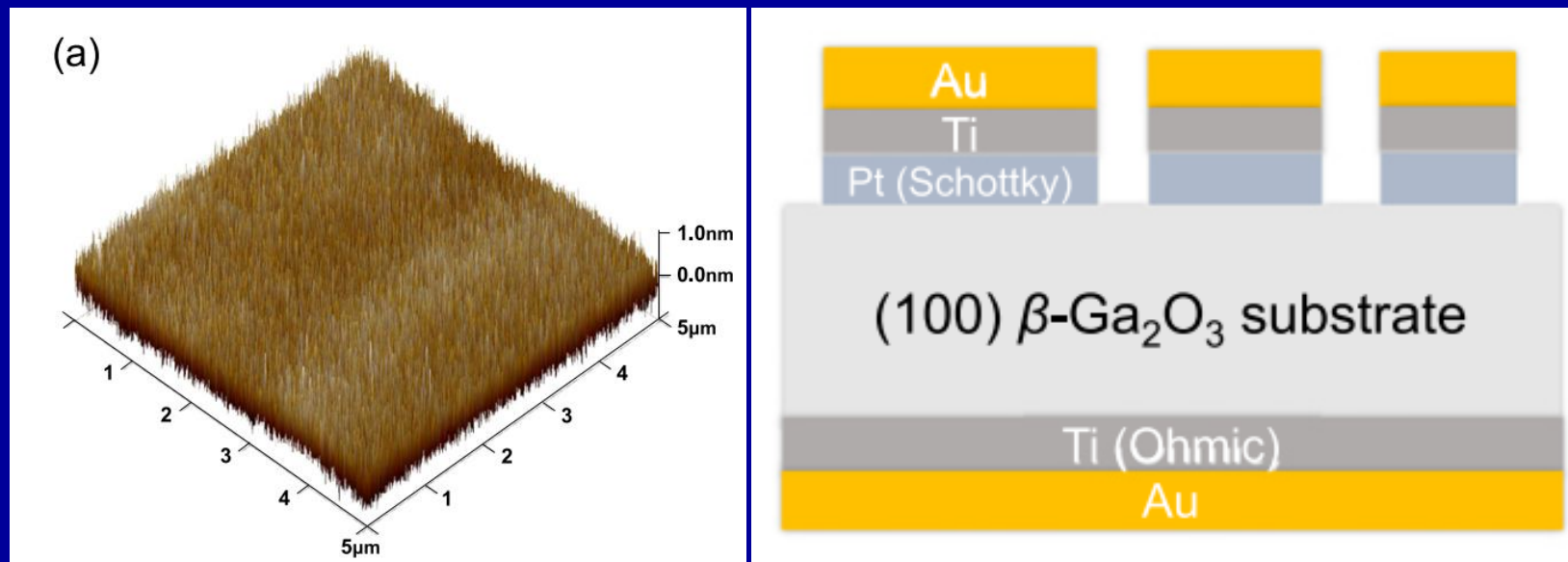
⁷State Key Laboratory of Optoelectronic Materials and Technologies, Sun Yat-sen University, Guangzhou 510275, China

(Received 10 January 2017; accepted 11 February 2017; published online 1 March 2017)

- ◆ 随着电力、工业控制、消费电子、汽车电子等行业的快速发展，对高性能功率半导体器件的要求越来越高，对宽禁带半导体材料的要求也越来越高。与传统的硅和后来发展的碳化硅和氮化镓相比，氧化镓（Ga₂O₃）材料具有超宽带隙（4.8eV）、大击穿电场（8MVcm⁻¹）和高Baliga品质因数等特质，是用于制备下一代高功率器件的有潜力的材料。
- ◆ 本工作中制备了高整流比、高肖特基势垒、高正向电流、低饱和电流、高反向击穿电压的高综合性能肖特基势垒二极管。

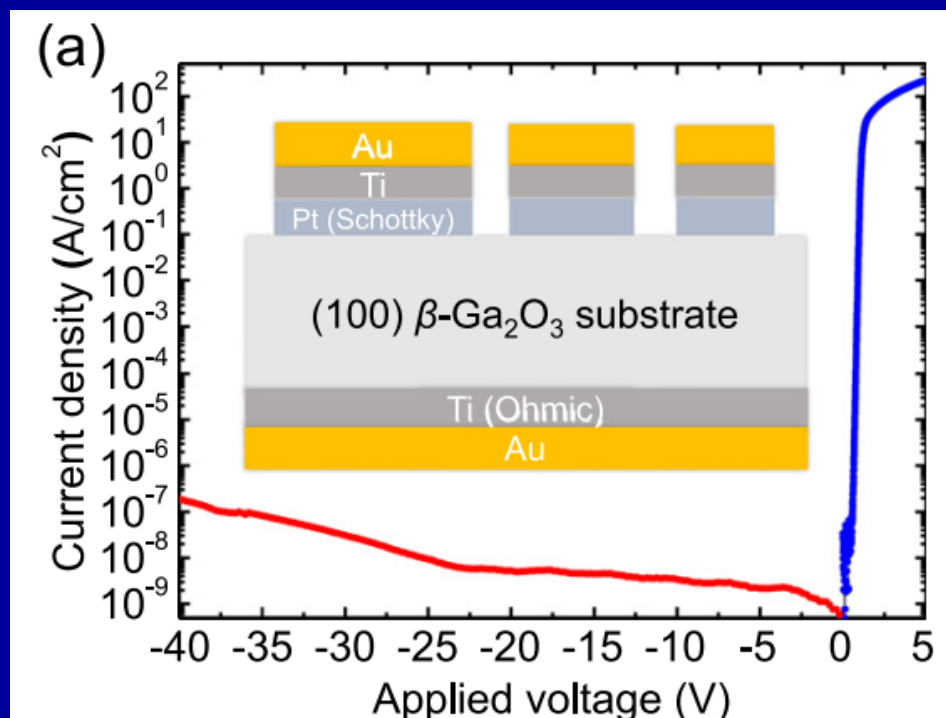
Q. He, S. Long, et al. "Schottky barrier diode based on β -Ga₂O₃ (100) single crystal substrate and its temperature-dependent electrical characteristics." *Applied Physics Letters*, 2017, 110, 093503.

4、Pt/ β -Ga₂O₃肖特基势垒二极管（一）



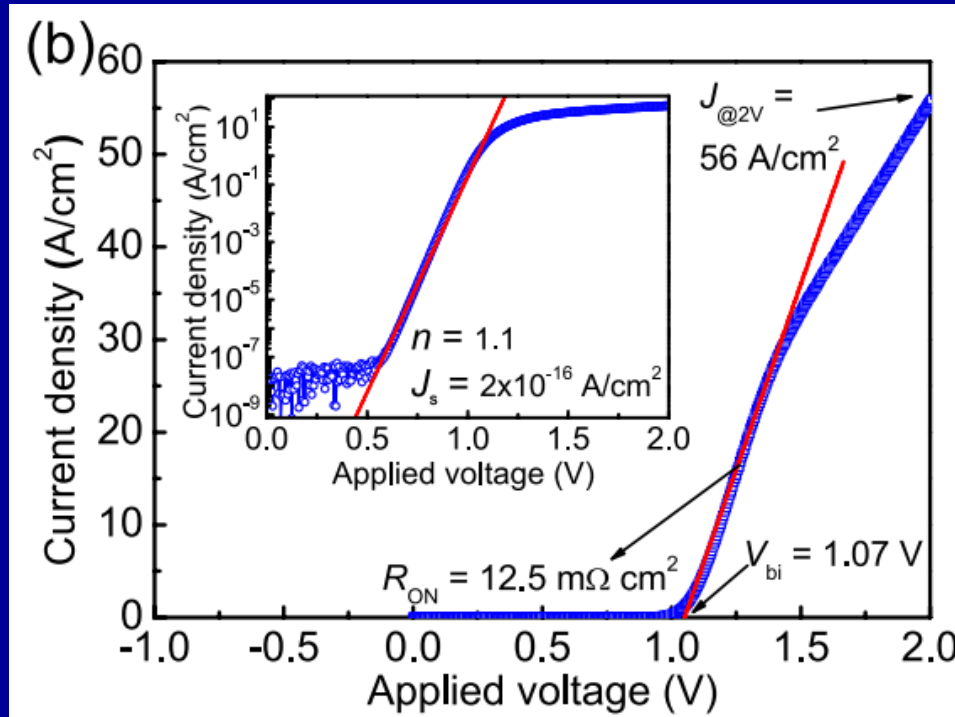
- ◆ 以采用EFG法生长的(100)晶向 β -Ga₂O₃单晶作为衬底。从左图AFM图像和测量结果可以看出， β -Ga₂O₃表面干净、均匀、原子级平整，质量高。
- ◆ 制备肖特基势垒二极管：磁控溅射在衬底背面沉积Ti/Au，作为阴极。正面有图案化的Pt、Ti和Au层分别为肖特基电极金属层、粘附层和保护层，最终构建出Pt/ β -Ga₂O₃/Ti结构的肖特基势垒二极管（右图）。

4、Pt/ β -Ga₂O₃肖特基势垒二极管（一）



- ◆ 上图为器件室温下的 J - V 曲线。其开/关电流比（整流比）高达 10^{10} 。并且从0V到-40V，反向电流仅增加100倍。因此，二极管具有良好的反向性能，在击穿前能承受高电压。

4、Pt/ β -Ga₂O₃肖特基势垒二极管（一）

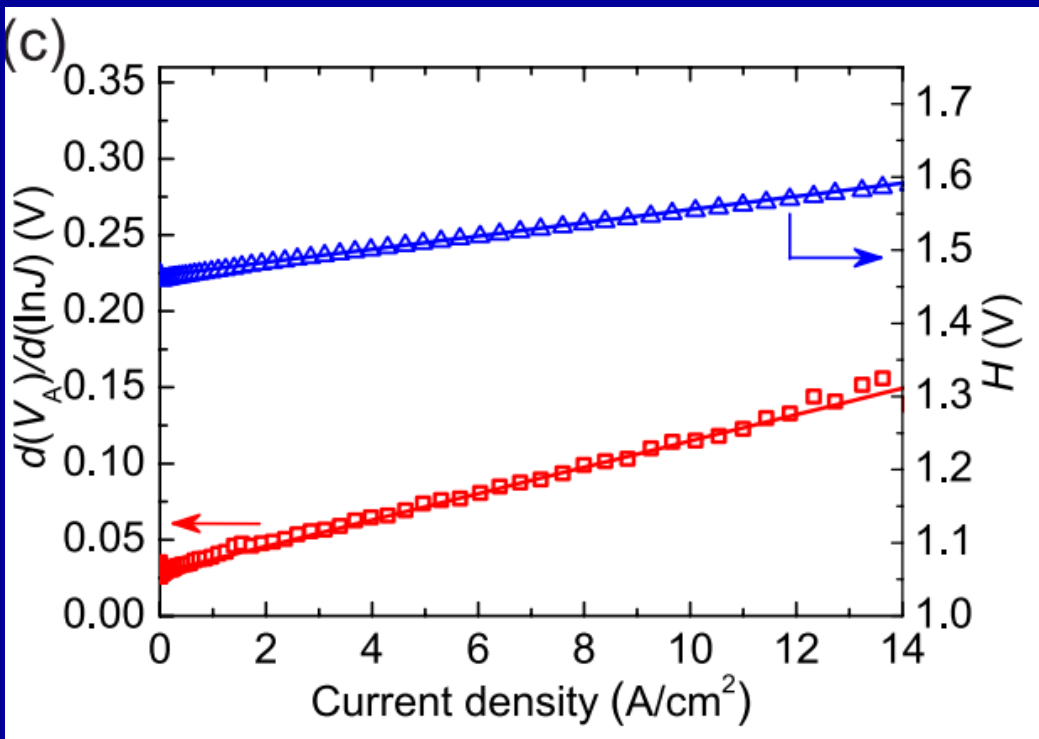


$$J = J_s (e^{V/nV_T} - 1)$$

$$\ln J = \ln J_s + V/nV_T$$

- ◆ 上图为上一页(a)图中的正向 J - V 曲线的线性坐标放大，插图为对应对数坐标曲线。
- ◆ 从图中线性区域的红色拟合线可知，阈值电压（内建电势）约为1.07V。导通电阻 R_{ON} 约为159 Ω 或12.5m Ω cm²。
- ◆ 由插图得饱和电流密度 J_s 为 2×10^{-16} A/cm²，理想因子 n 约为1.1。

4、Pt/ β -Ga₂O₃肖特基势垒二极管（一）



$$J = J_0 \exp\left(\frac{e(V_A - JAR_s)}{nk_B T}\right) \left[1 - \exp\left(-\frac{e(V_A - JAR_s)}{k_B T}\right)\right]$$

$$V_D = V_A - JAR_s$$

$$J_0 = A^* T^2 \exp\left(-\frac{e\Phi_B}{k_B T}\right)$$

$$A^* = \frac{4\pi e m^* k_B^2}{h^3}$$

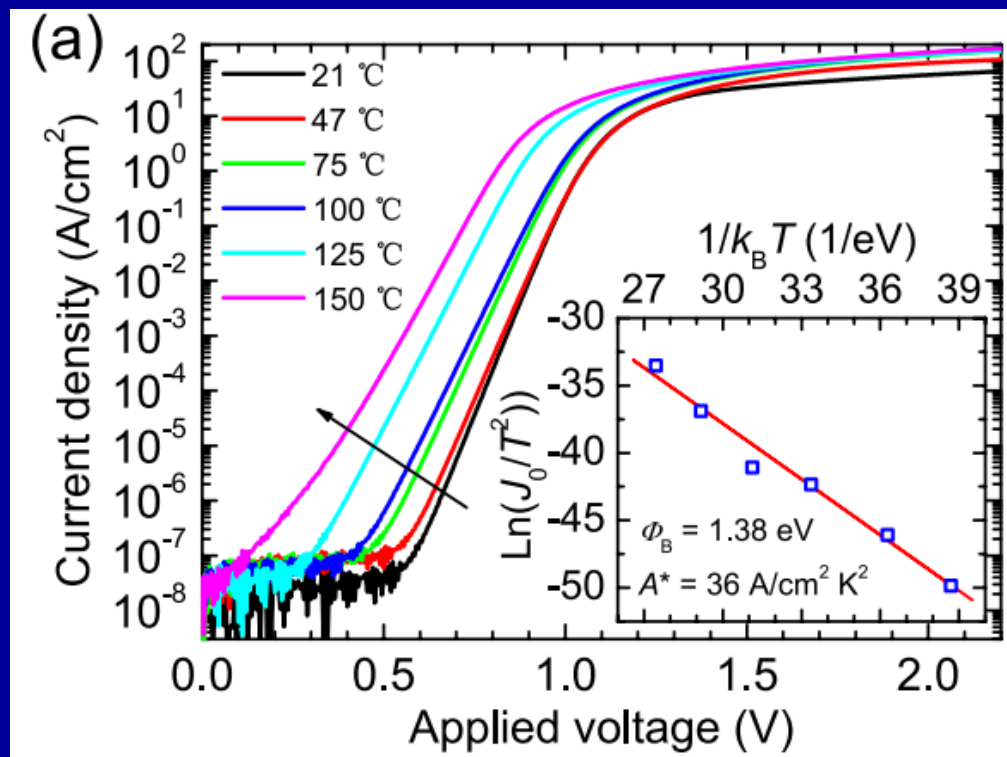
$$V_A = JAR_s + n\Phi_B + \frac{nk_B T}{e} \ln\left[\frac{J}{A^* T^2}\right]$$

$$\frac{d(V_A)}{d(\ln J)} = JAR_s + \frac{nk_B T}{e}$$

$$H(J) = JAR_s + n\Phi_B$$

- ◆ 图中红色线为 $d(V_A)/d(\ln J)$ - J 曲线，可以得到 R_s 约为 110 Ω 或 8.6 m Ω cm²，理想因子 n 约为 1.1。
- ◆ 图中蓝色线为 $H(J)$ - J 曲线，可以得到肖特基势垒为 1.39 eV、 R_s 约为 110 Ω 。

4、Pt/ β -Ga₂O₃肖特基势垒二极管（一）

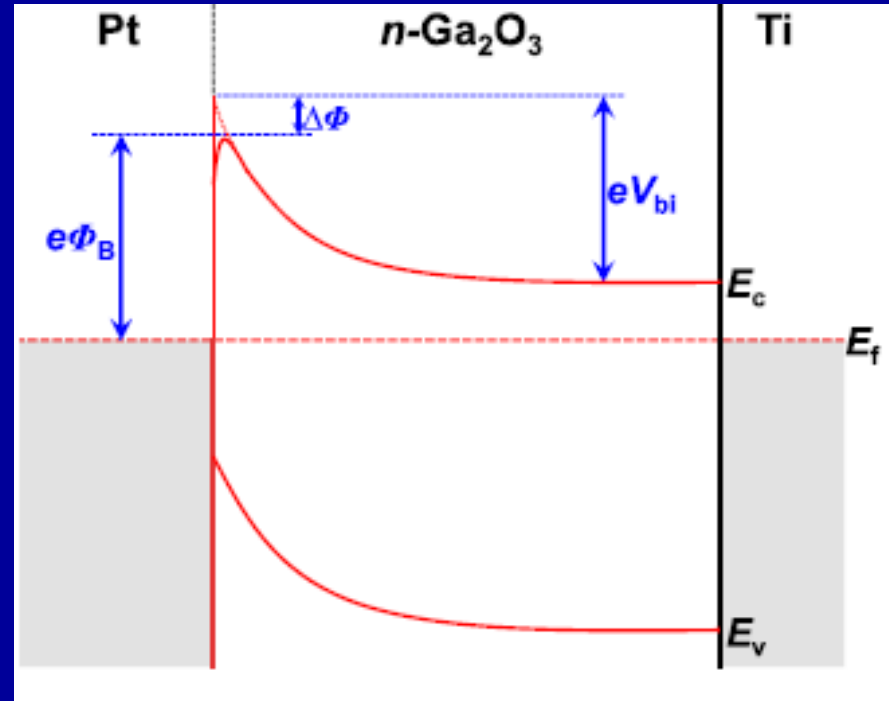
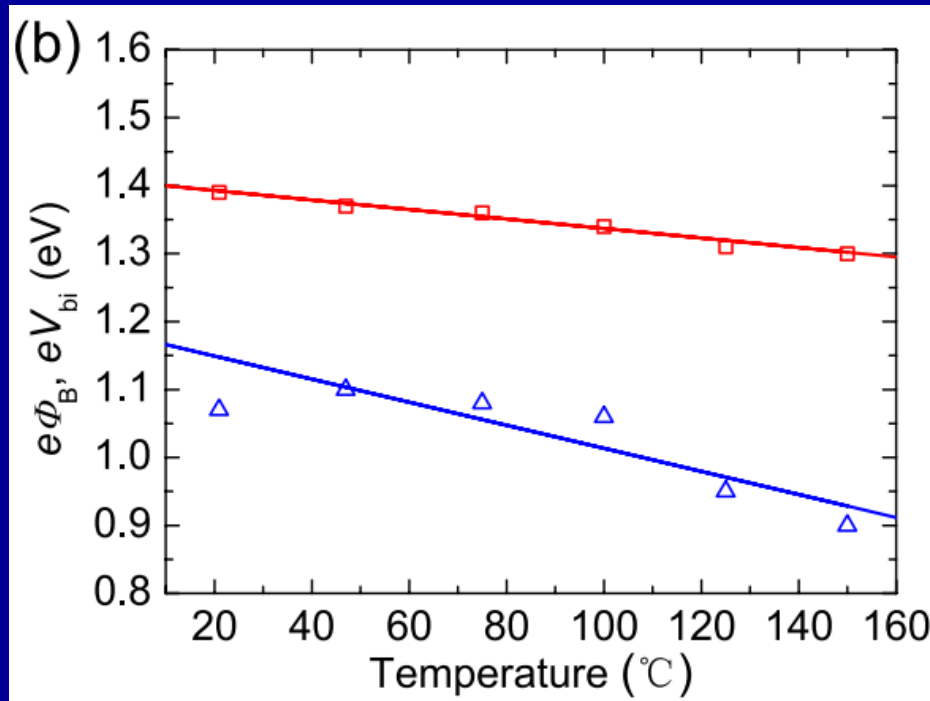


$$J_0 = A^* T^2 \exp\left(-\frac{e\Phi_B}{k_B T}\right)$$

$$\ln(J_0/T^2) = \ln(A^*) - e\Phi_B/k_B T$$

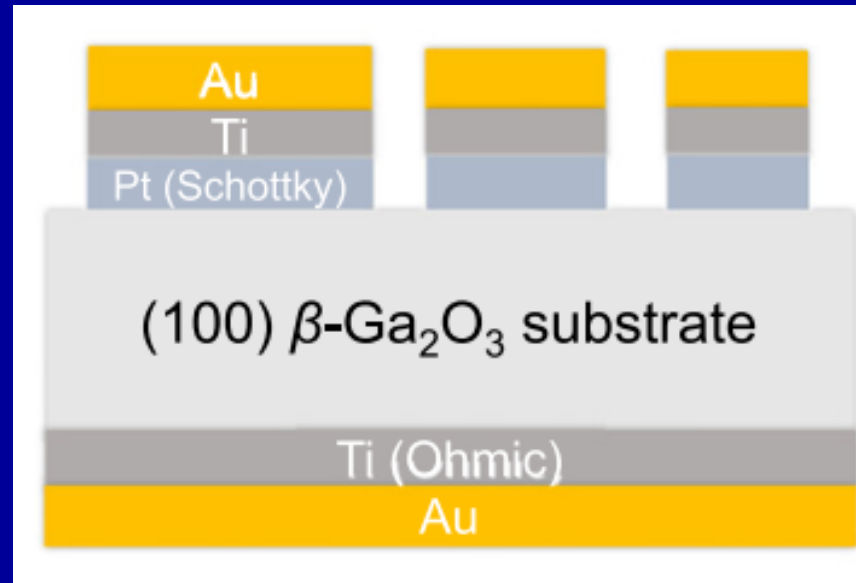
- ◆ 测试从21°C到150°C温度对于 J - V 曲线的影响，根据热电子发射理论提取参数。插图为根据热电子发射理论进行变换得到的Richardson's plot。
- ◆ 从图中得到肖特基势垒为1.38eV，理查德森常数为36A/cm²K²，与文献相吻合。

4、Pt/ β -Ga₂O₃肖特基势垒二极管（一）



- ◆ Pt/ β -Ga₂O₃肖特基二极管的肖特基势垒高度（红色方块）和内建电势差（蓝色三角形）与温度依赖关系及其拟合线。
- ◆ 从21°C到150°C，内建电势差从1.12eV减小到0.9eV，肖特基势垒从1.39eV减小到1.3eV。

4、Pt/ β -Ga₂O₃肖特基势垒二极管（一）



- ◆ 综上所述，采用非故意掺杂的(100)取向 β -Ga₂O₃单晶衬底制备了高性能Pt/ β -Ga₂O₃肖特基势垒二极管。
- ◆ 二极管显示高整流比 (10^{10})、接近理想的理想因子 n (1.1)、高肖特基势垒高度 (1.3-1.39eV)、高正向电流密度 (50-150A/cm²@2V)、低饱和电流密度 (2×10^{-16} A/cm²)、高反向击穿电压 (>40V)。

5、Pt/ β -Ga₂O₃肖特基势垒二极管（二）

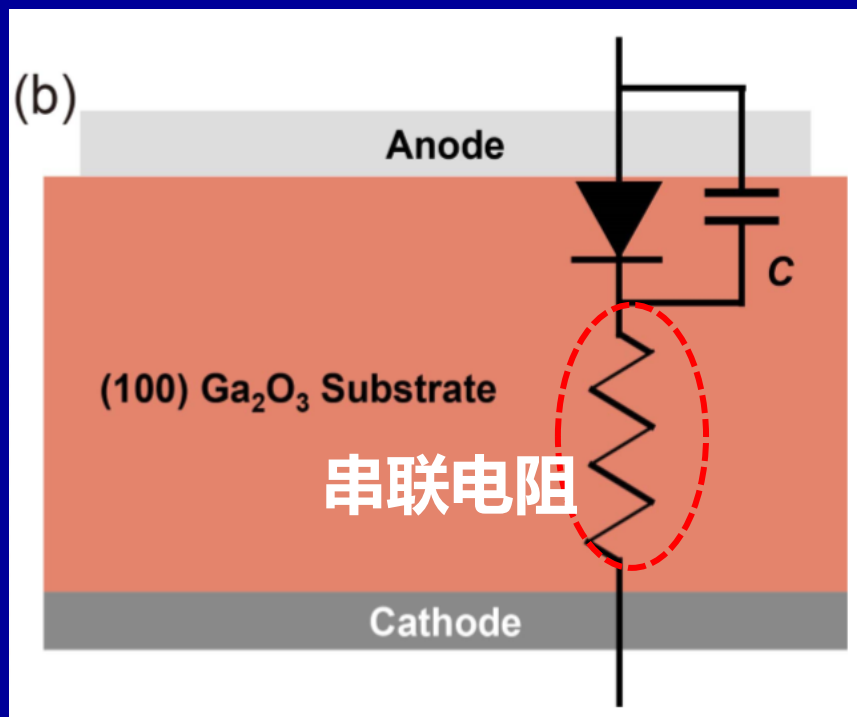
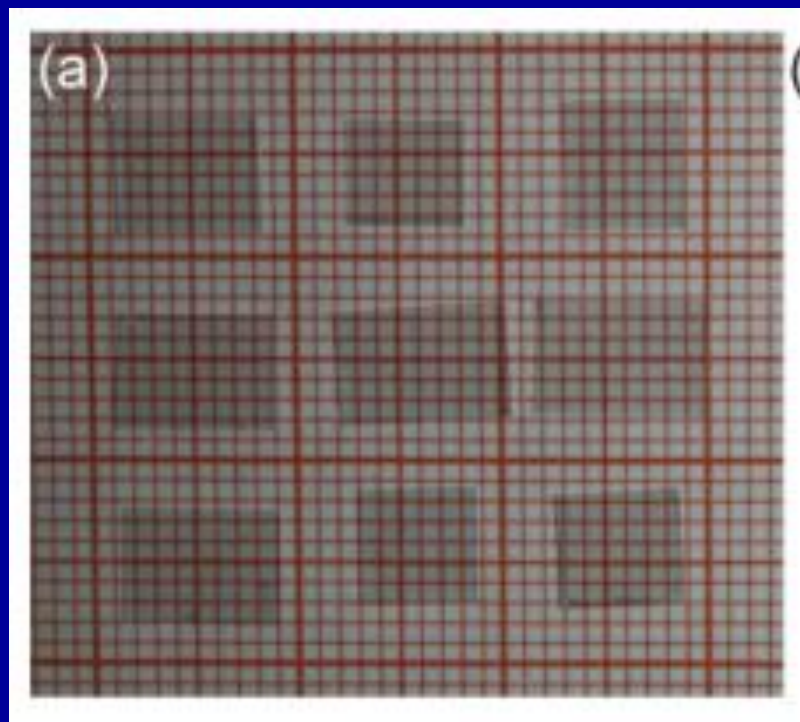


Schottky Barrier Rectifier Based on (100) β -Ga₂O₃ and its DC and AC Characteristics

Qiming He, Wenxiang Mu, Bo Fu, Zhitai Jia, Shibing Long, *Member, IEEE*, Zhaoan Yu, Zhihong Yao, Wei Wang, Hang Dong, Yuan Qin, Guangzhong Jian, Ying Zhang, Huiwen Xue, Hangbing Lv^{ID}, *Member, IEEE*, Qi Liu^{ID}, *Member, IEEE*, Minghua Tang, Xutang Tao, and Ming Liu, *Fellow, IEEE*

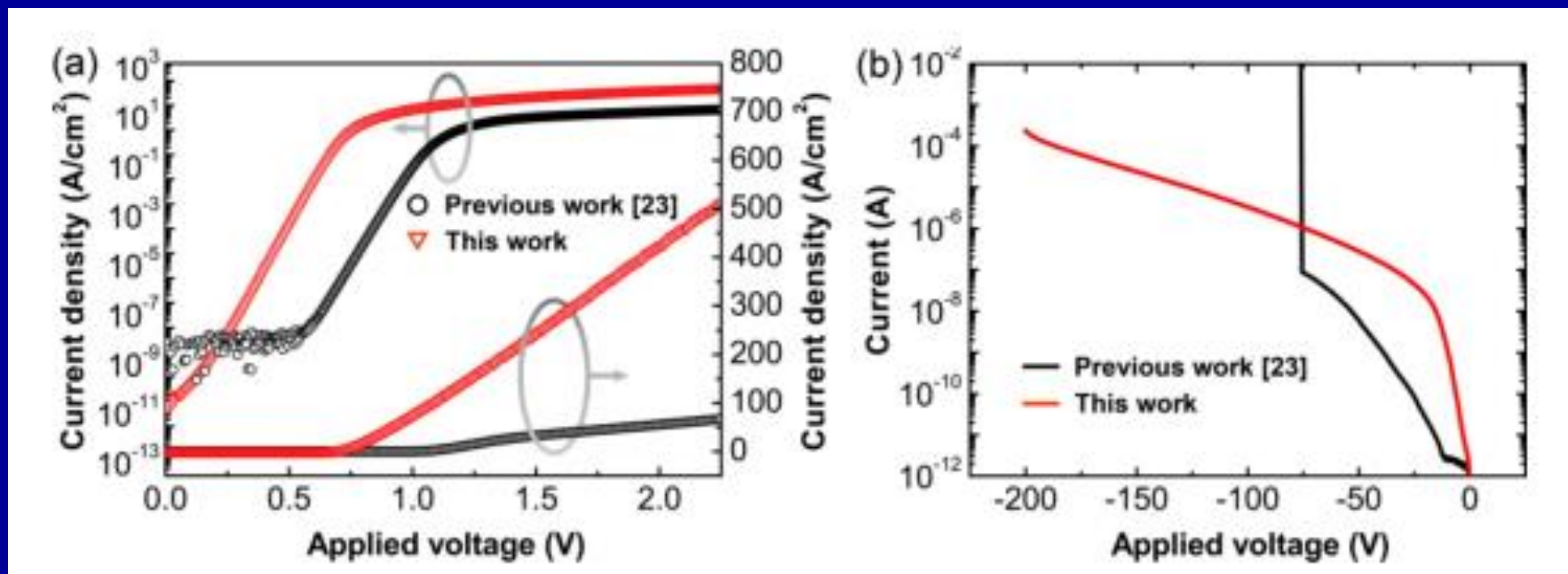
- ◆ 本工作在氧化镓衬底上制作的肖特基二极管显示出了优秀的综合性能，它具有高正向导通电流、低导通电阻、短反向恢复时间。
- ◆ 还通过在不同频率下对交流电压进行半波整流测试表征了二极管的动态行为。

5、Pt/ β -Ga₂O₃肖特基势垒二极管（二）



- ◆ 左图为通过EFG法生长的 β -Ga₂O₃衬底，通过向其中掺杂Sn元素，使n型载流子浓度达到 $2 \times 10^{17} \text{cm}^{-3}$ 。
- ◆ 右图为制备的肖特基二极管结构示意图，阳极用Pt与 β -Ga₂O₃形成肖特基接触，阴极用Ti形成欧姆接触，都采用磁控溅射制备（图中画出了器件等效电路）。

5、Pt/ β -Ga₂O₃肖特基势垒二极管（二）

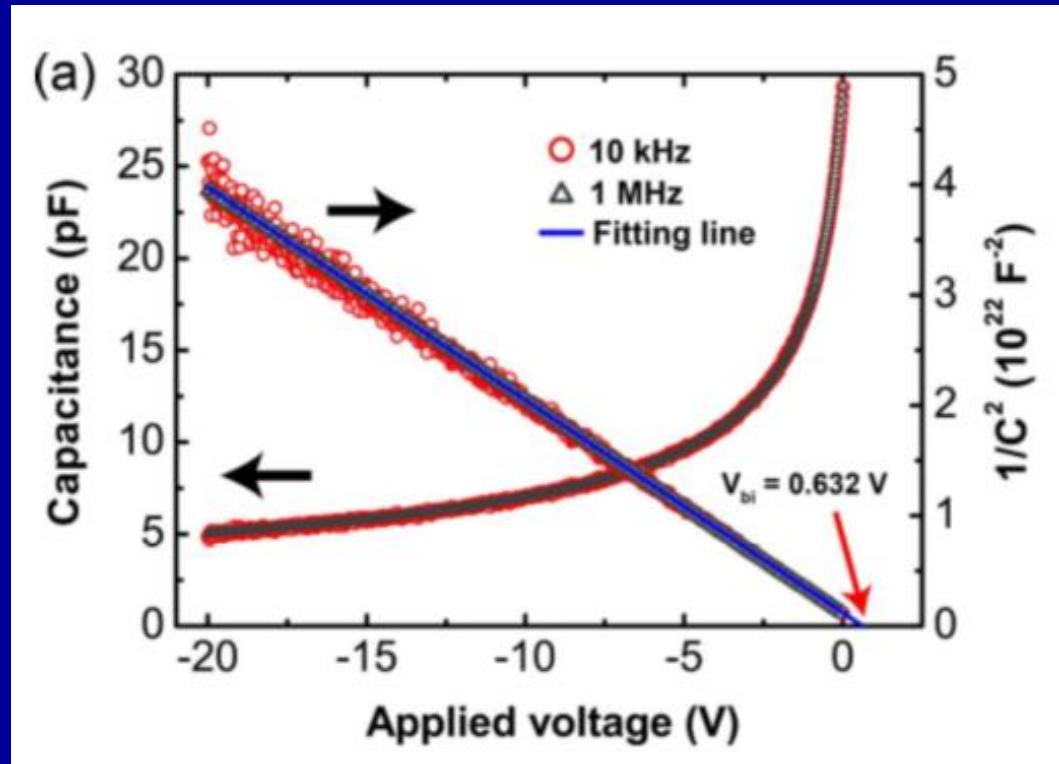


- ◆左图红线为该肖特基二极管在室温下测量的半对数和线性正向特性，黑线为先前的工作。由图该器件具有高的正向电流密度，电流密度达到 $421\text{A/cm}^2@2\text{V}$ ，是之前器件的23倍。
- ◆右图为反向 I - V 特性。200V反向偏压下器件依旧未发生击穿。

5、Pt/ β -Ga₂O₃肖特基势垒二极管（二）

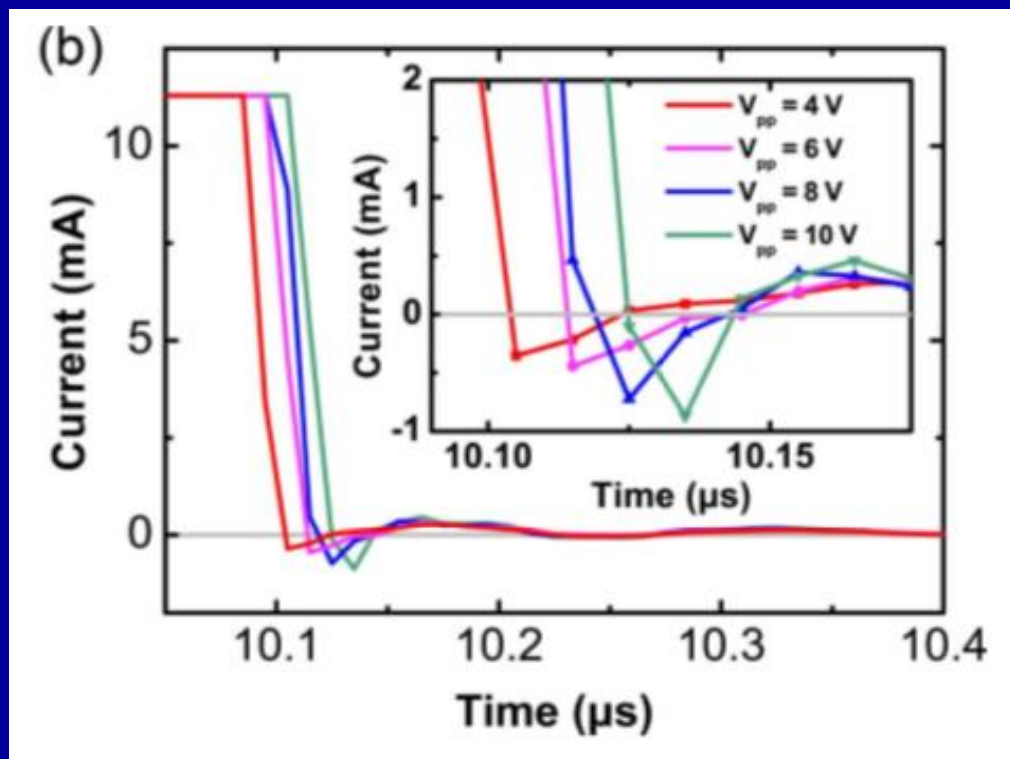
$$\frac{1}{C^2} = \frac{2(V_{bi} + V)}{qN_d\epsilon_s}$$

$$N_d = \frac{2}{q\epsilon_s} \left[\frac{1}{d(1/C^2)/dV} \right]$$



- ◆ 如图为肖特基二极管10kHz和1MHz时的 C - V 和 $1/C^2$ - V 特性曲线，由图可提取载流子浓度及器件的内建电势。
- ◆ $1/C^2$ - V 图像的线性关系表明衬底掺杂均匀。根据线性拟合结果，内建电势值为0.63V。

5、Pt/ β -Ga₂O₃肖特基势垒二极管 (二)



- ◆ 如图为器件反向恢复性能的测试，表征了器件从正向导通状态转变为反向截止状态的速度(10 μ s时发生偏压反转)。
- ◆ 器件具有极快的恢复速度，恢复时间最短可达20ns，反向恢复速度与工作频率相关，因此该肖特基二极管可在高频下工作。

5、Pt/ β -Ga₂O₃肖特基势垒二极管 (二)

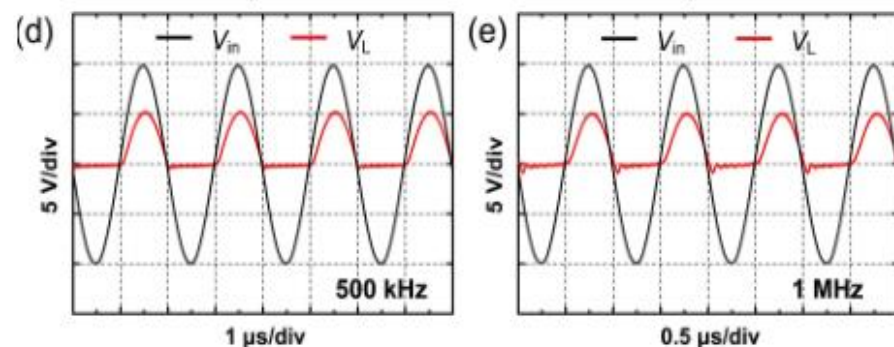
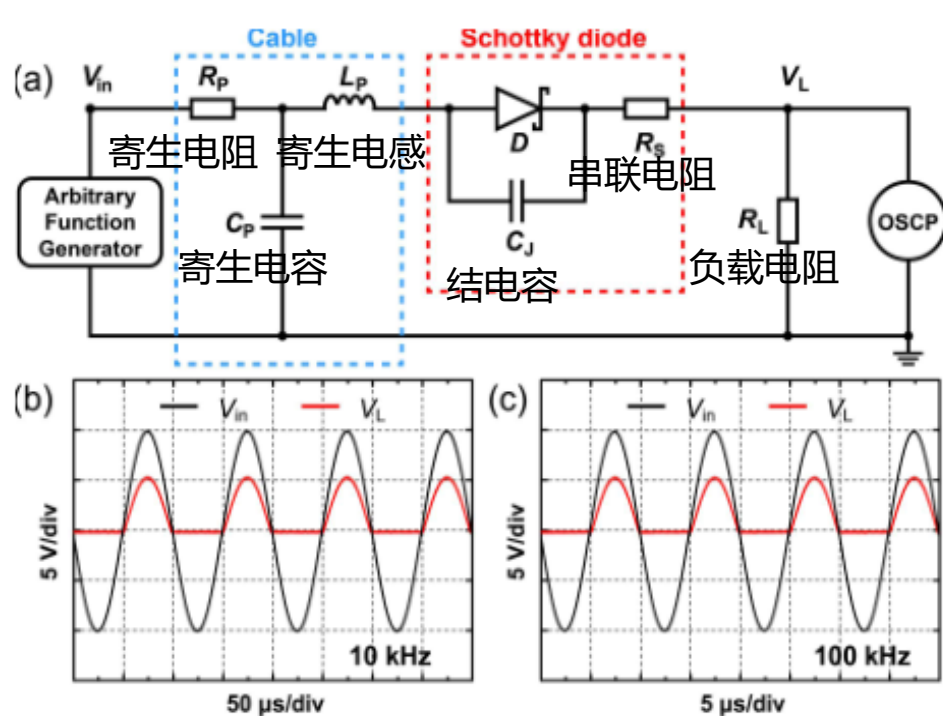
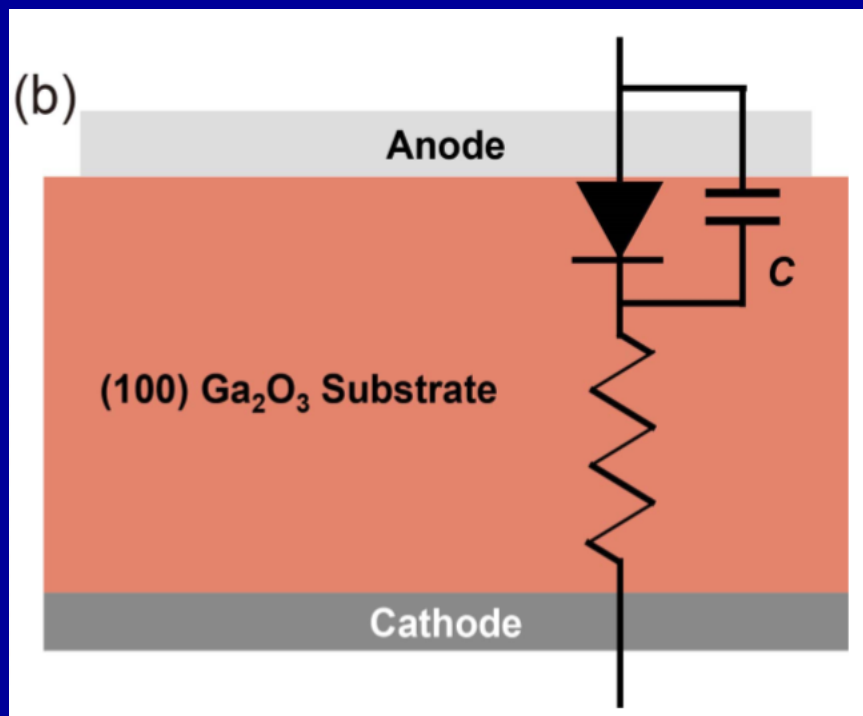


Fig. 4. (a) Rectification circuit. Rectification characteristics of the SBD measured under (b) $f = 10$ kHz, (c) $f = 100$ kHz, (d) $f = 500$ kHz, and (e) $f = 1$ MHz. The load resistance $R_L = 100 \Omega$. C_p , R_p and L_p are the parasitic capacitance, resistance and inductance from the cable, respectively.

- ◆ 如图(a)为简单的整流器和滤波电路，测试频率 ≥ 10 kHz下二极管的整流特性。不同频率的交流电压下得到如图(b-e)测试结果（黑线为输入，红线为输出）；
- ◆ 由二极管的整流作用，滤过输入的一半电压， V_L 的振幅在不同频率下保持恒定，仅为 V_{in} 的一半。
- ◆ 在1 MHz的下有轻微失真，仍然表现出整流特性。

5、Pt/ β -Ga₂O₃肖特基势垒二极管（二）



性能	参数
整流比（室温）	10^{10}
正向电流密度	$421\text{A}/\text{cm}^2$
开态电阻	$2.9\text{m}\Omega\cdot\text{cm}^2$
反向恢复时间	20ns
理想因子	1.1
反向击穿电压	大于 200V
开启电压	0.63V

◆ **总结：**本研究，使用Ga₂O₃制备了肖特基二极管整流器，具有结构简单、低导通电阻、高导通电流密度等优点，还具有大击穿电压和快速恢复的优异反向特性。并且通过半波整流电路测试表明了该器件的理想工作频率高达100kHz。

6、热氧化终端Ni/ β -Ga₂O₃肖特基势垒二极管

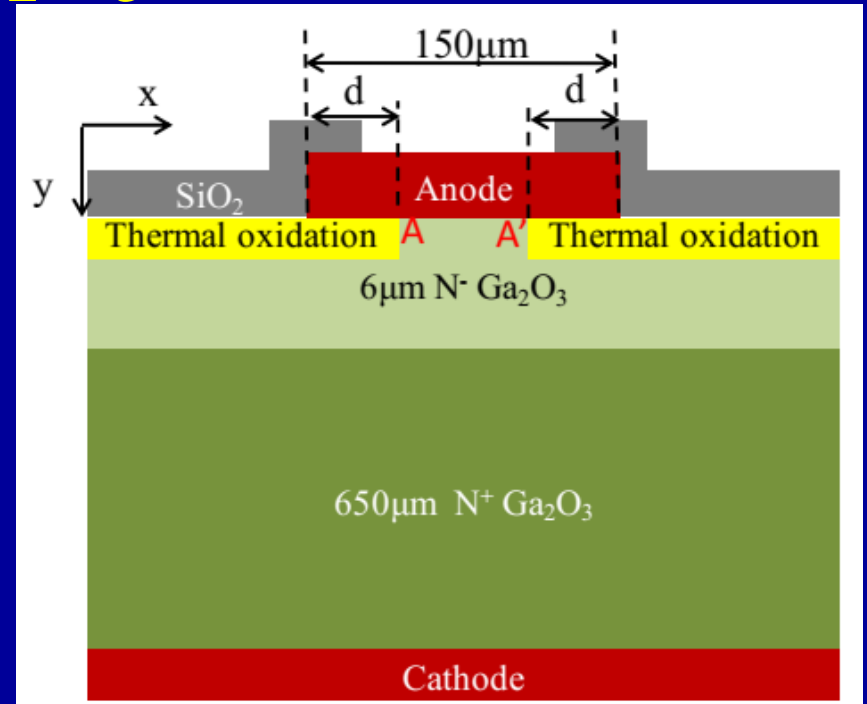
High-Voltage ($\bar{2}01$) β -Ga₂O₃ Vertical Schottky Barrier Diode With Thermally-Oxidized Termination

Yuangang Wang, Yuanjie Lv, Shibing Long, *Senior Member, IEEE*, Xingye Zhou, Xubo Song, Shixiong Liang, Tingting Han, Xin Tan, Zhihong Feng, Shujun Cai, *Member, IEEE*, Ming Liu, *Fellow, IEEE*

- ◆ 边缘高电场引起的漏电流增加是导致垂直SBD过早击穿的重要因素。为了减小肖特基接触边缘处的峰值电场，保护环和结终端被广泛应用于硅和碳化硅功率器件中。由于缺乏有效的p型掺杂，保护环和结终端不适用于Ga₂O₃功率器件。
- ◆ 因此采用全新热氧化终端工艺，热氧化能够降低载流子浓度从而在肖特基接触边缘形成终端，提高器件的击穿电压。

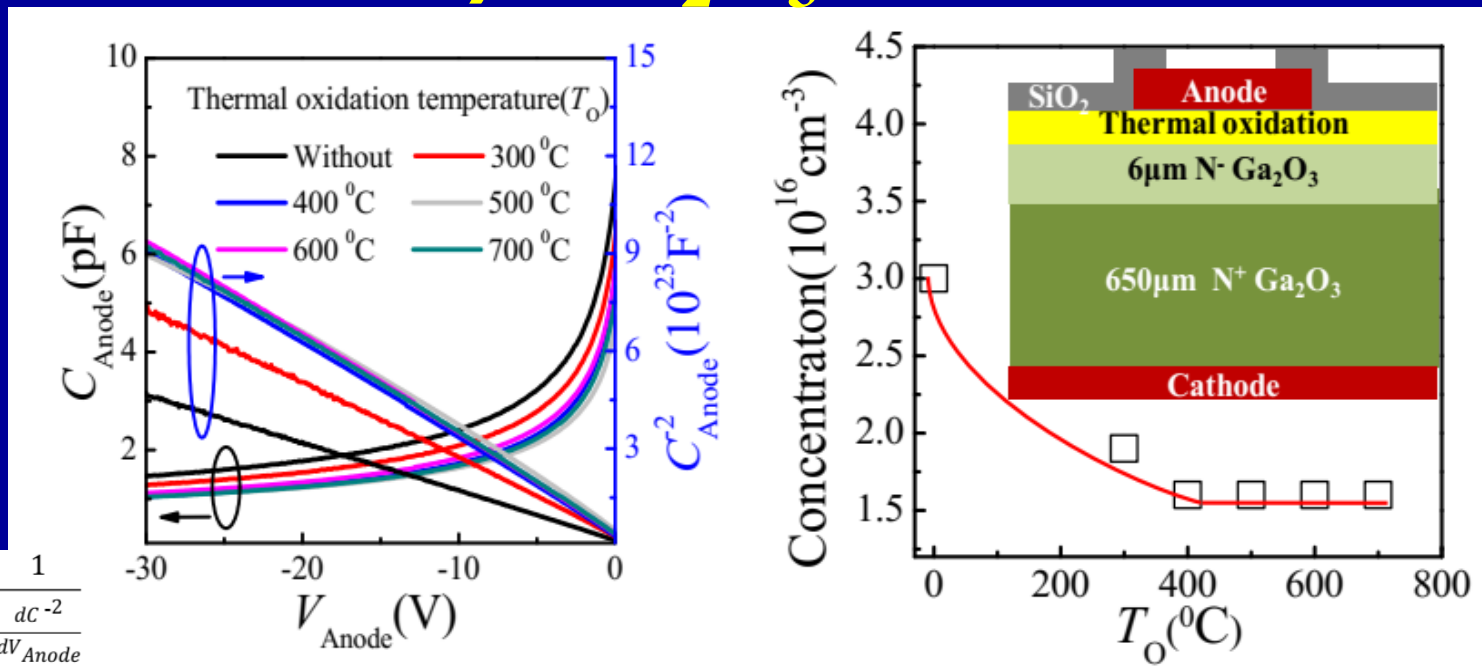
6、热氧化终端Ni/ β -Ga₂O₃肖特基势垒二极管

◆ 如图为器件结构示意图，在(-201) N⁺ β -Ga₂O₃衬底上生长6 μ m厚的Sn掺杂N⁻外延层，背面通过电子束蒸发沉积Ti/Au作为欧姆接触阴极，并通过快速热火完善接触。



◆ 采用等离子体增强化学气相沉积方法 (PECVD)，在300°C下沉积一层500nm的SiO₂阻挡层，然后通过刻蚀露出需要热氧化处理的终端区。在O₂环境中采用不同温度的高温退火30min，形成氧化终端区。热氧化温度分别为300、400、500、600、700°C。最后通过沉积和光刻工艺形成Ni/Au肖特基接触。

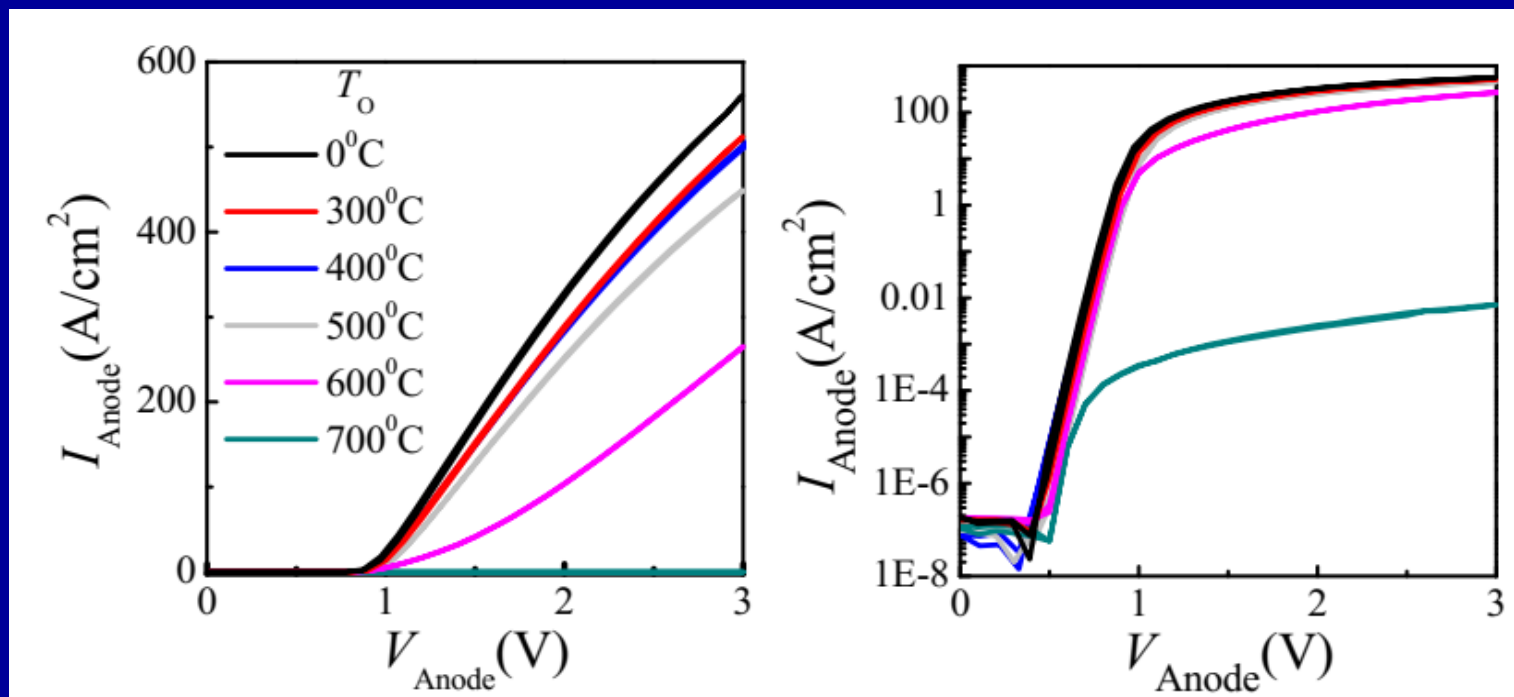
6、热氧化终端Ni/ β -Ga₂O₃肖特基势垒二极管



$$N_d = \frac{2}{q\epsilon_s\epsilon_0 A^2} \times \frac{1}{\frac{dC^{-2}}{dV_{Anode}}}$$

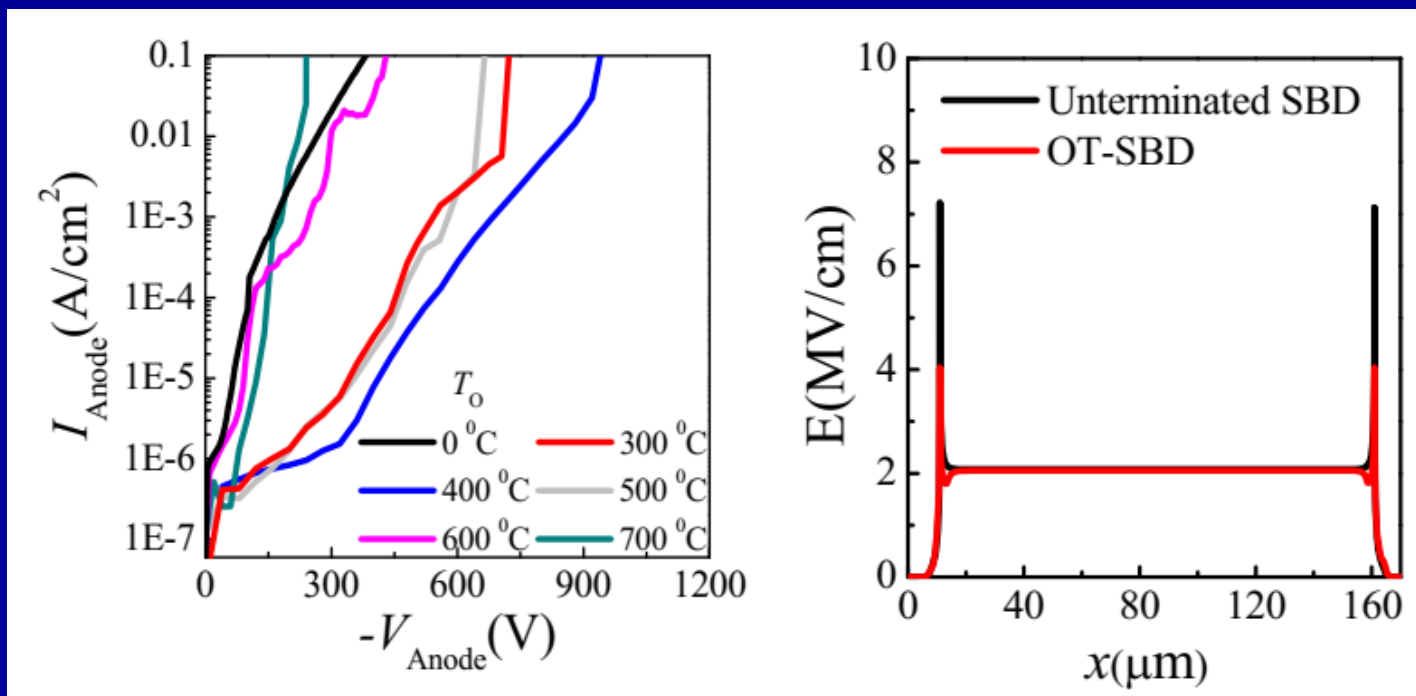
- ◆ 左图为未热氧化和不同热氧化温度下的C-V和 $1/C^2$ -V特性曲线。从图中提取未氧化处理的 N_d 为 $3 \times 10^{16} \text{cm}^{-3}$ 。
- ◆ 右图为在不同热氧化温度对载流子浓度的影响，高温氧化后N⁻层的电子浓度明显降低。300 $^{\circ}\text{C}$ 氧化后 N_d 降低至 $1.9 \times 10^{16} \text{cm}^{-3}$ ，高于400 $^{\circ}\text{C}$ 后 N_d 几乎不变保持在 $1.6 \times 10^{16} \text{cm}^{-3}$ 。
- ◆ 电子浓度的降低可能是由于热氧化使N型氧化镓中的氧空位被氧填充或部分氧化了施主杂质所致。

6、热氧化终端Ni/ β -Ga₂O₃肖特基势垒二极管



- ◆ 左图为正向 J - V 特性的归一化线性曲线。
- ◆ 右图为对应的半对数 J - V 特性图。
- ◆ 两图都给出了在不同热氧化温度下的热氧化终端SBD及无氧化终端SBD的性能。由图可知低温热氧化后正向电流密度和导通电阻略有变化，高温后变化更为明显。

6、热氧化终端Ni/ β -Ga₂O₃肖特基势垒二极管



- ◆ 左图为热氧化终端SBD及无氧化终端SBD的反向击穿特性。在测量过程中，阴极偏压设置为0V，阳极电压反向增加，直到漏电流达到0.1A/cm²。无氧化终端SBD的击穿电压为380V，导通电阻为2.9m Ω ·cm²。400°C热氧化终端SBD击穿电压增加到940V，导通电阻略微增加到3.0m Ω ·cm²。
- ◆ 右图为无热氧化终端和有热氧化终端的SBD内的模拟电场分布。模拟器件反向偏压为380V。由图氧化区载流子浓度的降低可以有效地降低肖特基接触边处的峰值电场。

6、热氧化终端Ni/ β -Ga₂O₃肖特基势垒二极管

TABLE I

V_{BR} AND $R_{ON,SP}$ OF UNTERMINATED-SBD AND OT-SBD

	Unterminated-SBD	OT-SBD with different T_o (°C)				
		300	400	500	600	700
V_{br} (V)	380	720	940	670	430	240
$R_{on,sp}$ (m Ω ·cm ²)	2.9	3.0	3.0	3.5	56	95000
PFOM(MW/cm ²)	50	173	295	128	3.3	0.0006

- ◆通过热氧化处理，在制备的 β -Ga₂O₃肖特基接触边缘形成了一种新的边缘终端，降低了电子浓度，有效地抑制了峰值电场。
- ◆通过使用热氧化终端， β -Ga₂O₃击穿电压 (V_{br}) 从380V增加到940V，并且导通电阻 ($R_{on,sp}$) 从2.9m Ω ·cm²增加到3.0m Ω ·cm²。
- ◆器件具有高达295MV/cm²的功率品质因数 ($V_{br}^2/R_{on,sp}$)。结果表明，热氧化终端是改善 β -Ga₂O₃ SBD击穿特性的新途径。

金-半接触与单极型器件基本知识体系框架

金-半接触

金属和半导体的功函数

接触电势差



金属和半导体的接触类型

整流接触

欧姆接触

理想非整流
接触势垒

接触电阻

肖特基势垒二极管

单极型器件

金-半场效应
晶体管
MESFET

结型场效
应晶体管
JFET



器件
结构

器件
类型

小信
号分
析

静态
分析

器件
结构

基本
特性



肖特基
势垒的
形成

理想
情况
特性

非理
想因
素

表面态
镜像力
隧穿效应

电流-电
压关系

扩散理论
热电子发
射理论

与PN结
二极管
的对比

电流特性
开关特性

第四章重点概念

第一节：金属和半导体的功函数、接触电势差的形成、金-半接触的类型（肖特基接触、欧姆接触）、阻挡层和反阻挡层形成的过程；

第二节：肖特基势垒正反偏状态（整流特性）、肖特基势垒电场分布、电势分布、耗尽区宽度、耗尽区电容（把它看成单边突变结进行计算）、通过 $C-V$ 曲线提取肖特基势垒高度、表面态的产生及类型、钉扎效应、镜像力效应、隧穿效应、肖特基势垒二极管（SBD）伏安特性的定性分析、扩散理论的应用范围及反向饱和电流、热电子概念、热电子发射理论应用范围、理查德森-杜师曼方程、少子电流的产生及表达式含义、SBD与PN结的对比（输运方式、反向饱和电流、导通电压、开关特性、工作频率、温度特性）；

第四章重点概念

第三节：欧姆接触定义、欧姆接触 I - V 图像特点、偏压下的理想非整流接触、接触电阻；

第四节：场效应概念、结型场效应晶体管（JFET）基本工作原理、JFET基本结构及输运方式、沟道夹断、饱和漏电压、JFET的特点（和BJT对比）、理想JFET的 I - V 特性（基于单边突变结和漂移电流计算）、夹断电压和内夹断电压、沟道电导、肖克莱模型、静态特性（线性区和饱和区的 I - V 特性及条件）、小信号参数及等效电路（线性区漏极导纳、饱和区和线性区跨导、栅电容、JFET截止频率）、沟道调制效应概念；

第五节：MESFET基本结构、增强型MESFET、耗尽型MESFET、JFET和MESFET的类型。

第四章思考题

- ◆ 金半接触的类型？N型、P型半导体和金属形成阻挡层和反阻挡层的条件？
- ◆ 金属的功函数是否改变？半导体的功函数与哪些因素有关？
- ◆ 解释阻挡层和反阻挡层的阻挡和反阻挡作用。
- ◆ 金半接触后，真空能级如何改变，半导体内的功函数发生变化吗？
- ◆ 定性解释肖特基二极管的整流原理。
- ◆ 为什么加偏压的肖特基势垒能带图中的肖特基势垒高度几乎不变？
- ◆ 表面态产生的原因是什么？
- ◆ 表面态对肖特基势垒高度有什么影响？
- ◆ 结合表面态分析，说明功函数小于n型半导体功函数的金属，依旧和半导体形成n型阻挡层。
- ◆ 解释表面态电荷具有负反馈效应，它趋于使费米能级和中性能级接近。
- ◆ 实际的肖特基二极管电流电压特性与理想的肖特基二极管有什么区别？

第四章思考题

- ◆ 实际的肖特基二极管其电流电压特性受哪些效应影响？
- ◆ 与PN结对比，肖特基二极管具有哪些特点？
- ◆ 为什么实际应用中挑选合适功函数的金属并不能形成理想的欧姆接触？
- ◆ 为什么金属与重掺杂半导体接触可以形成欧姆接触？
- ◆ 隧道效应形成的欧姆接触其接触电阻与那些因素相关？理论上如何获得接触电阻较小的接触？
- ◆ 简述JFET的工作原理。
- ◆ 解释栅极电压和漏极电压分别对于沟道电阻的调控原理。
- ◆ 为什么发生沟道夹断后，沟道电流不为零？
- ◆ 夹断后再增加漏电压，夹断点将向源端移动，但“夹断点的电位 V_p 等于常数”的含义是什么？
- ◆ 定性解释夹断后沟道电流饱和不变。
- ◆ 解释实际中沟道调制效应对于导电沟道长度和饱和漏电流的影响。
- ◆ MESFET与JFET相比有哪些特点？
- ◆ MESFET和JFET都具有哪些类型？