



中国科学技术大学
University of Science and Technology of China

第一章

芯片的加工环境和衬底材料

孙海定

微电子学院

高质量高性能的芯片依赖于

- 加工环境的超净化； → 超净间
- 衬底材料的超纯化；
- 工艺的精细化；
- 设备的精密化；

目录



§1.1 芯片的加工环境

§1.2 芯片的衬底材料

§1.3 硅的晶体结构

§1.4 硅晶体中的缺陷

§1.5 硅中杂质

§1.1 芯片的加工环境

指集成电路（或微电子）产品在加工过程中所接触的除衬底材料、加工设备、能源及加工技术之外的一切物质，**包括：**

空气、水、化学试剂、工艺气体、操作人员等。

§1.1 芯片的加工环境

一个硅片表面上有数十个至上百个芯片；
每个芯片上集成数百万个的器件和连线；
一个器件、一条金属互连线、一个接触的失效，
可能导致整个硅片的报废。

- ➔ 芯片对沾污非常敏感：改变器件的特性；
影响器件的可靠性；
- ➔ 严格控制芯片加工环境中的沾污

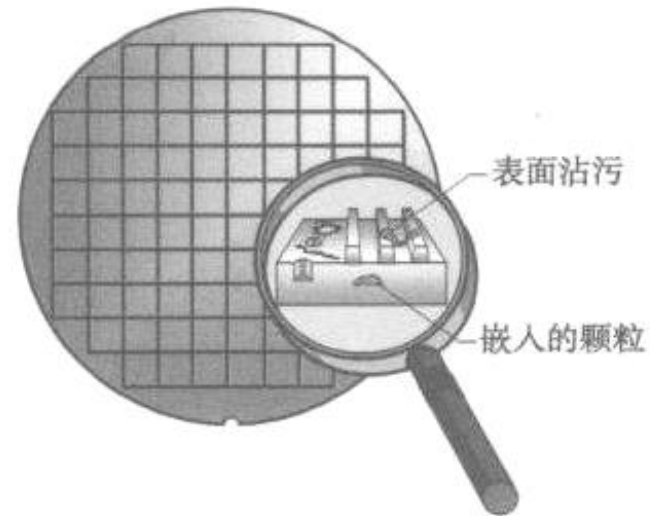
沾污



沾污：指半导体制造过程中引入到半导体硅片上的任何危害芯片成品率及电学性能的不希望有的物质。

危害：常导致有缺陷的芯片。

致命缺陷：指导致硅片上的芯片无法通过电学测试的缺陷。



净化间沾污的主要类型



- ① 颗粒
- ② 金属杂质
- ③ 有机物沾污
- ④ 自然氧化层
- ⑤ 静电释放(ESD)

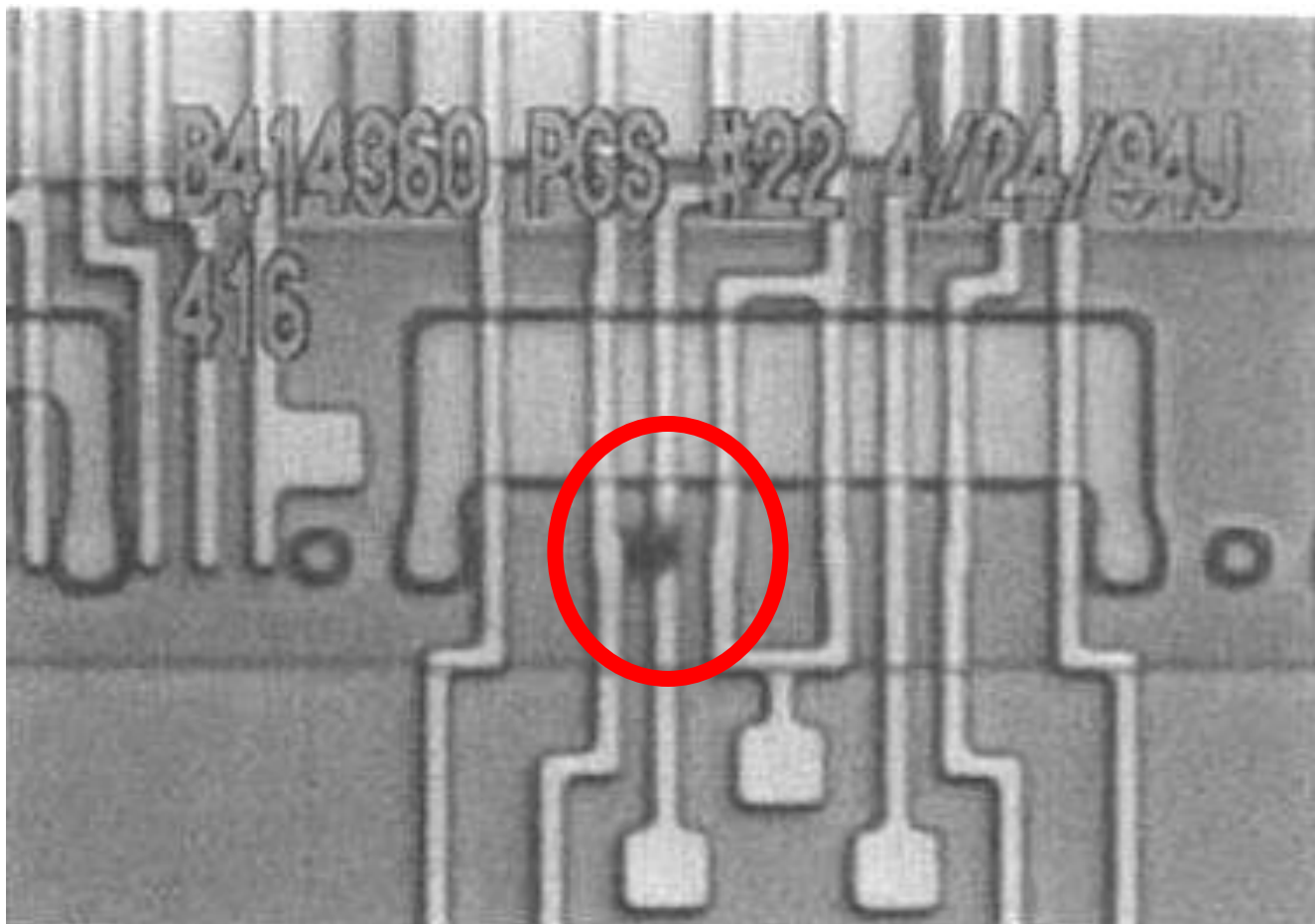
① **颗粒**是指能粘附在硅片表面的小物体。

人静止时产生 10^5 颗粒，走动时产生 10^6 颗粒。

颗粒引起的问题

- 引起电路开路或短路；
- 能在相邻导体间引起短路；
- 是其它类型沾污的来源；

颗粒引起的缺陷



沾污——颗粒



半导体制造中**可接受的颗粒尺寸**的
粗略法则是：

**颗粒的尺寸必须小于芯片上器件的
最小特征尺寸的一半→否则就是致命沾污**

颗粒检测方法

- 在早期，通过**显微镜**等直观地检查硅片表面的颗粒；
- VLSI以来，广泛采用**激光束扫描**硅片表面和**检测颗粒散射的光强及位置**的方法。

② 金属杂质常见种类

- 铁Fe、铜Cu、铝Al、铬Cr、钨W、钛Ti
- **碱金属**：钠Na、钾K、锂Li

金属杂质的来源：

- 化学溶液或半导体制造中的各种工序，尤其是离子注入工艺；
- 化学品与传输管道和容器间的反应；

沾污——金属杂质



金属离子在半导体材料中是**高度活动性**的，又称为**可动离子沾污**(MIC)。被引入硅片中时，在整个硅片中运动，严重损害器件的电学性能和可靠性。

钠是典型的金属沾污，在硅片加工中要严格控制。

沾污——有机物



③ **有机物沾污**：指那些包含碳的物质，大多数含氢（CH）。

主要来源：细菌、润滑剂、蒸气、清洁剂、溶剂和潮气等。

有机物沾污的危害：

- 在特定的工艺条件下，能降低栅氧化层材料的致密性。
- 使半导体表面的清洗不彻底，从而使得如金属杂质之类的沾污在清洗之后仍完整地保留在硅片表面。

去除方法： H_2SO_4 （浓） + H_2O_2

④ **自然氧化层**：硅片如果曝露在室温下的空气中或放在含溶解氧的去离子水中，硅片的表面将被氧化。这一薄氧化层称为**自然氧化层**又称**原生氧化层**。

其主要来源于潮湿。

自然氧化层的危害性：

- 会妨碍其它工艺步骤的进行。
- 会包含某些金属杂质从而引起电学缺陷。
- 将增加金属导体接触区的接触电阻。

消除自然氧化层的方法：

- 用含HF酸的混合液清洗；
- 避免曝露在大气和潮湿的环境中；

⑤ **静电释放(ESD)**: 指静电荷从一个物体向另一个物体**未经控制地转移**。

主要产生于两种不同静电势的材料的接触或摩擦。

沾污——ESD



虽然ESD电荷量很小，但是可以产生以下**危害**：

- 会使硅表面形成电荷积累，吸引带电颗粒或中性颗粒。
- 瞬时高压（可能几万伏）
- 较大的瞬时峰值电流（1A）

} 可导致

栅氧化层击穿
互联线蒸发的诱因

随着器件尺寸的不断缩小，对静电的灵敏度越来越高。

ESD的主要控制方法

原则：

- 采用防静电的材料；
- ESD接地；
- 中和材料上的电荷积累，如**空气中中和法**；

具体来说：人、机、法、料、环

- 人，高静电源。屏蔽和释放静电
- 机，高静电源。消除、屏蔽、接地。
- 法，制定相应的防静电操作规程
- 材料，非高静电材料
- 环境，采用防静电的净化间材料，建立ESD安全操作区域

空气中和法:

- 最基本的方法是**空气电离(离子风机)**;
- 新近开发的一种方法是采用**软X射线辐射**;

§1.1 芯片的加工环境



硅片生产厂房的沾污源

- 空气
- 人
- 厂房
- 水
- 工艺用化学品
- 工艺气体
- 生产设备

§1.1 芯片的加工环境

现代IC Fabs依赖**三道防线**来控制沾污

- 净化环境 (clean room)
- 硅片清洗 (wafer cleaning)
- 吸杂 (gettering)



§1.1 芯片的加工环境



沾污的控制

- ① 超净的空间环境;
- ② 人员的净化控制;
- ③ 厂房的净化处理;
- ④ 超纯水;
- ⑤ 高纯度的化学气体和试剂;
- ⑥ 生产设备的净化设计和处理;

① 超净的空间环境



净化间最基本的作用
是**硅片加工厂空气中的颗粒控制**。它以超净空气把芯片制造与外界的沾污环境隔离开来。超净的空间环境是进行微电子器件加工的基本条件。



① 超净的空间环境

衡量净化间洁净度的主要技术指标是**净化级**，由净化间空气中的**每单位体积**可以接受的**颗粒尺寸**和**颗粒密度**表征。

美国联邦标准 209E 中各净化间级别对空气漂浮颗粒的限制

级别	颗粒 / 立方英尺				
	0.1 μm	0.2 μm	0.3 μm	0.5 μm	5 μm
1	3.50×10^0	7.70	3.00	1.00	
10	3.50×10^1	7.50×10^0	3.00×10^0	1.00×10^1	
100		7.50×10^1	3.00×10^1	1.00×10^2	
1000				1.00×10^3	7.00
10 000				1.00×10^4	7.00×10^0
100 000				1.00×10^5	7.00×10^1

净化级的两种表示方法

- **只有净化级**：特指0.5 μm 的颗粒，如1级净化间。
- 对于尺寸不同于0.5 μm 的颗粒，净化级表示为**具体颗粒尺寸的净化级别**，如10级0.1 μm 净化。

① 超净的空间环境

最新的净化空气标准把直径小于 $0.1\mu\text{m}$ 的颗粒一直到分立颗粒计数器能检测到的最小颗粒都规定为**超细颗粒**。

用“U”描述符来表示，将**洁净度定义为** $U(x)$ ，其中 **x 是每立方米空气中所允许的超细颗粒的最大数**。

② 人员的净化控制措施



成功的净化间一个首要的因素就是员工的风纪。

- 超净服；
- 净化间操作规程；



② 人员的净化控制措施

超净服

- 兜帽
- 连衣裤工作服
- 靴子
- 手套
- 口罩



③ 厂房的净化处理



为使半导体制造在一个超洁净的环境中进行，有必要采用系统方法来控制净化间区域的输入和输出。有三种基本策略用于消除净化间颗粒：

- 1.从未受颗粒沾污的净化间着手开始；
- 2.尽可能减少通过设备、器具、人员和净化间供给引入的颗粒；
- 3.持续监控净化间的颗粒，定期反馈信息和维护清洁。

④ 超纯水

DI water required specifications						
Resistivity ($M \Omega \cdot cm$)		>18.0	>18.1	>18.2		
Particle (pieces/cc)	>0.085 μm	<10	<2	<0.5		
	>0.05 μm		<5	<1		
Bacteria (Unit/L)		<10	<1	<1		
TOC (ppb)		<20	<5	<1		
Oxygen (ppb)		<50	<10	<5		
Silica (ppb)		<3	<1	<0.2		
Na, Cl (ppb)		<0.1	<0.05	<0.01		
Metal ion (ppb)		<0.1	<0.05	<0.01		

TOC = total organic carbon **超纯水：**指杂质含量极低的水。

它是半导体制造中用的最多的化学品
主要用于工艺前后硅片的清洗

④ 超纯水



超纯水的制备方法

- **去离子化**：用特别的离子交换树脂去除水中的电子活性盐类的离子的过程。这一过程把水从导电性媒质转变为电阻性媒质。
- **电渗析法**：采用选择性离子交换膜（阳膜和阴膜），并通过电极将阴阳离子导出导出。
- **反渗透法**：通过高压控制使得只有水分子透过透水性和脱盐率很高的反渗透膜。

⑤ 工艺化学品



工艺化学品包括**化学气体**和**化学试剂**

工艺中用的工艺化学品的杂质含量必须
极低，纯度必须极高：**电子级（11N）**

⑥ 生产设备的净化设计和处理



- 采用适当的材料设计工作台是获得超洁净度所必需的；
- 光滑、高度抛光的表面是减少颗粒沾污的最好方法；
- 生产设备中大量采用自动化控制，极大地减少了颗粒沾污；

目录



§1.1 芯片的加工环境

§1.2 芯片的衬底材料

§1.3 硅的晶体结构

§1.4 硅晶体中的缺陷

§1.5 硅中杂质

§1.2 芯片的衬底材料



微电子器件的衬底材料主要有三种：

- 元素半导体
- 化合物半导体
- 绝缘体

§1.2 芯片的衬底材料

第一代半导体材料:

硅、锗.....

第二代半导体材料:

砷化镓、磷化镓、磷化铟.....

第三代（宽禁带）半导体材料:

**碳化硅 (SiC), 氮化镓 (GaN)、氧化镓
(Ga₂O₃)、金刚石 (C)**

§1.2 芯片的衬底材料



Group IVA Elemental Semiconductors

Carbon	C	6	<ul style="list-style-type: none">▪Extremely Expensive▪Band Gap Large: 6V▪Difficult to produce without high contamination
Silicon	Si	14	<ul style="list-style-type: none">▪Cheap▪Ultra High Purity▪Oxide is amazingly perfect for IC applications
Germanium	Ge	32	<ul style="list-style-type: none">▪High Mobility▪High Purity Material▪Oxide is porous to water/hydrogen (disastrous!)
Tin	Sn	50	<ul style="list-style-type: none">▪Only “White Tin” is semiconductor▪Converts to metallic form under moderate heat
Lead	Pb	82	<ul style="list-style-type: none">▪Only “White Lead” is semiconductor▪Converts to metallic form under moderate heat

§1.2 芯片的衬底材料



硅是半导体器件最主要的衬底材料

- 硅的丰裕度;
- 更高的熔化温度允许更宽的工艺容限 (1410°C) ;
- 更宽的工作温度范围和更高的可靠性;
- 氧化硅的自然生成; 氧化层的容易获得, 和微电子工艺兼容。

§1.2 芯片的衬底材料

化合物半导体

- **III-V族化合物**：砷化镓(GaAs)

主要用于**高速高频、量子芯片**；

- **II-VI族化合物**：碲化镉(CdTe)

硒化锌(ZnSe)

主要用于**红外探测系统**

- **III-V族化合物**：氮化镓(GaN)

氧化镓(Ga_2O_3)

主要用于**LED、激光器、功率器件、射频器件**

目录



§1.1 芯片的加工环境

§1.2 芯片的衬底材料

§1.3 硅的晶体结构

§1.4 硅晶体中的缺陷

§1.5 硅中杂质

§1.3 硅的晶体结构

半导体硅材料

天然硅石 $\xrightarrow{\text{提炼}}$ 纯硅 $\xrightarrow{\text{加工}}$ 半导体硅

半导体硅材料 $\begin{cases} \rightarrow \text{超高的纯度;} \\ \rightarrow \text{特定的晶向和晶体结构;} \end{cases}$

§1.3 硅的晶体结构

半导体级硅

(SGS – Semiconductor Grade Silicon)

超高纯度:

指少于百万分之(ppm)二的碳元素和少于十亿分之(ppb)一的 III、V族元素。

特定的晶向:

是指按照希望的**晶列方向**排列原子。

特定的晶体结构:

是指按照希望的**晶列排列方式**排列原子。

§1.3 硅的晶体结构



半导体级硅为什么是单晶结构？

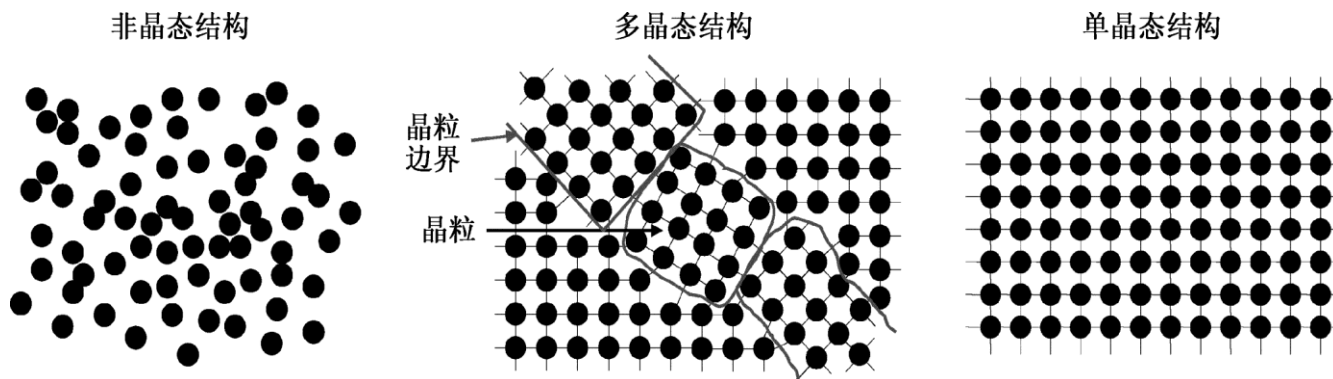
多晶硅杂乱的晶体结构存在大量的晶界和缺陷

- ➔ 导致微缺陷的形成，影响硅片质量；
- ➔ 使工艺和器件性能不易控制；
- ➔ 使芯片和芯片之间的重复性很低；

§1.3 硅的晶体结构

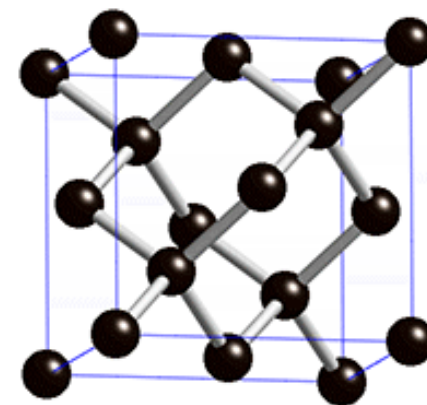
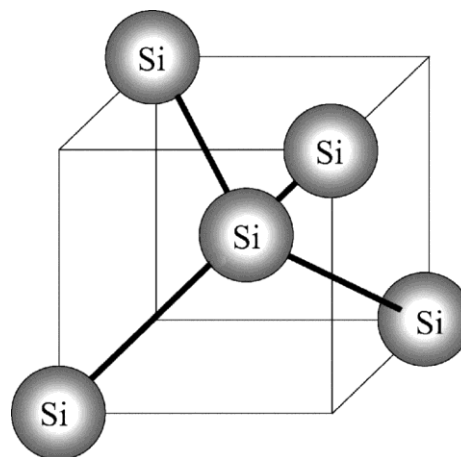
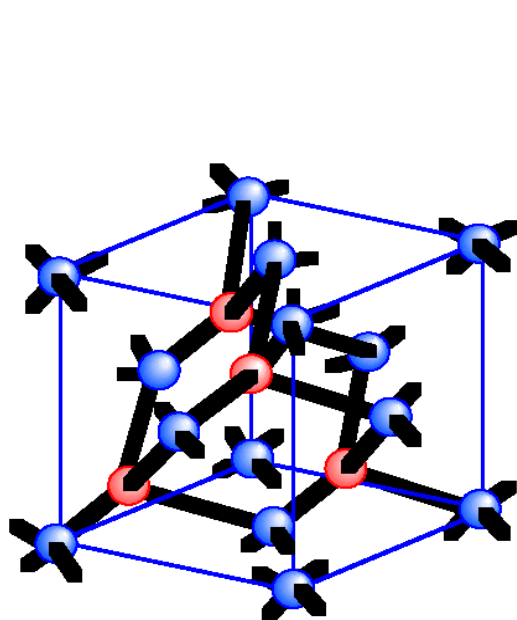
固体材料的结构

- **非晶态 (Amorphous)**
 - 原子的排列没有重复
- **多晶态 (Polycrystalline)**
 - 原子排列有一些重复模式，即晶粒(Grain)
 - 第一个晶体管用多晶锗制成
- **单晶态 (Single Crystal)**
 - 所有原子都以重复方式排列
 - 自然界只有极少的固体是单晶材料，如石英、金刚石、红宝石、蓝宝石
 - 微型晶体管需要单晶态半导体衬底



§1.3 硅的晶体结构

① 硅的晶体结构



- 左：单晶硅结构的晶胞；右：单晶硅的结构
- 金刚石结构，每个硅原子与邻近的四个硅原子结合形成正四面体

硅是一种特殊的FCC结构，即：

Silicon has the basic **diamond crystal structure** – two merged FCC cells offset by $a/4$ in x , y and z .

§1.3 硅的晶体结构

金刚石结构的晶胞

- **原子排列：**

顶角八个，面心六个，体内四个；

- **是由相同原子构成的复式晶格：**

处于顶角和面心的原子构成一套FCC晶格，处于体对角线上的原子也形成FCC晶格；

可看作：两个FCC晶胞沿体对角线位移了四分之一对角线长度后套构而成的。

§1.3 硅的晶体结构

硅晶体内部的空隙

硅晶体结构的特点是其**内部存在很大的空隙**。

空间利用率:

是指晶体中所有原子的体积占晶体体积的百分比。

$$\text{硅的空间利用率} = \frac{\text{硅原子的体积}}{\text{硅原子在晶体中所占的空间体积}}$$

硅的空间利用率约为34%。

§1.3 硅的晶体结构



结论一

用作半导体材料的硅是具有**特定结构的晶体**。

单晶硅提供了晶胞重复的单一结构，能提供半导体制作所要求的电学和机械性质，使不同位置的**芯片之间获得相同的性能**成为可能。

§1.3 硅的晶体结构



结论二

硅晶体中有大量的空隙

- ➔ 间隙杂质很容易在晶体内存留并运动;
- ➔ 为扩散运动 (掺杂) 提供了足够的空间;

§1.3 硅的晶体结构



② 晶向

晶格中的原子在晶体中的排列是有方向性的，一族晶列所取的方向称为**晶向**。

不同的晶向决定了晶体结构中不同的物理排列，决定了硅片不同的**电学、化学和机械性质**，并最终决定了不同的**工艺条件和器件性能**。

§1.3 硅的晶体结构

硅晶体常用晶向

硅晶体的晶向用一组称之为“**密勒指数**”的参数来描述。

硅晶体中**常用的三种晶向**为：

$[100]$ 、 $[110]$ 、 $[111]$

而： $\langle 100 \rangle$ 、 $\langle 110 \rangle$ 、 $\langle 111 \rangle$

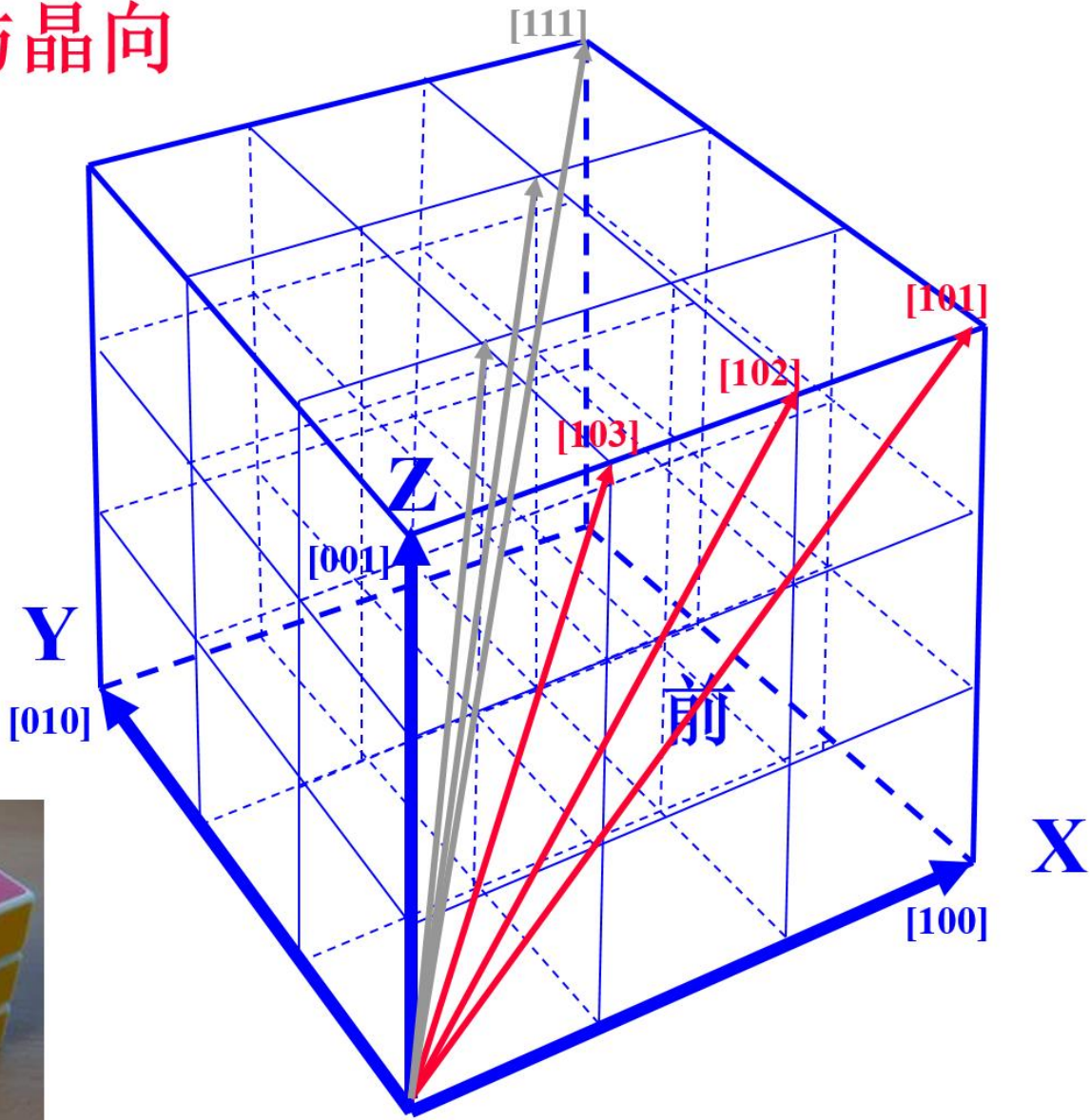
分别代表与各自用 $[]$ 表示的晶向等效的全部八个方向。

魔方与晶向

晶向
 $[111]$

晶向族
 $[100]_s$

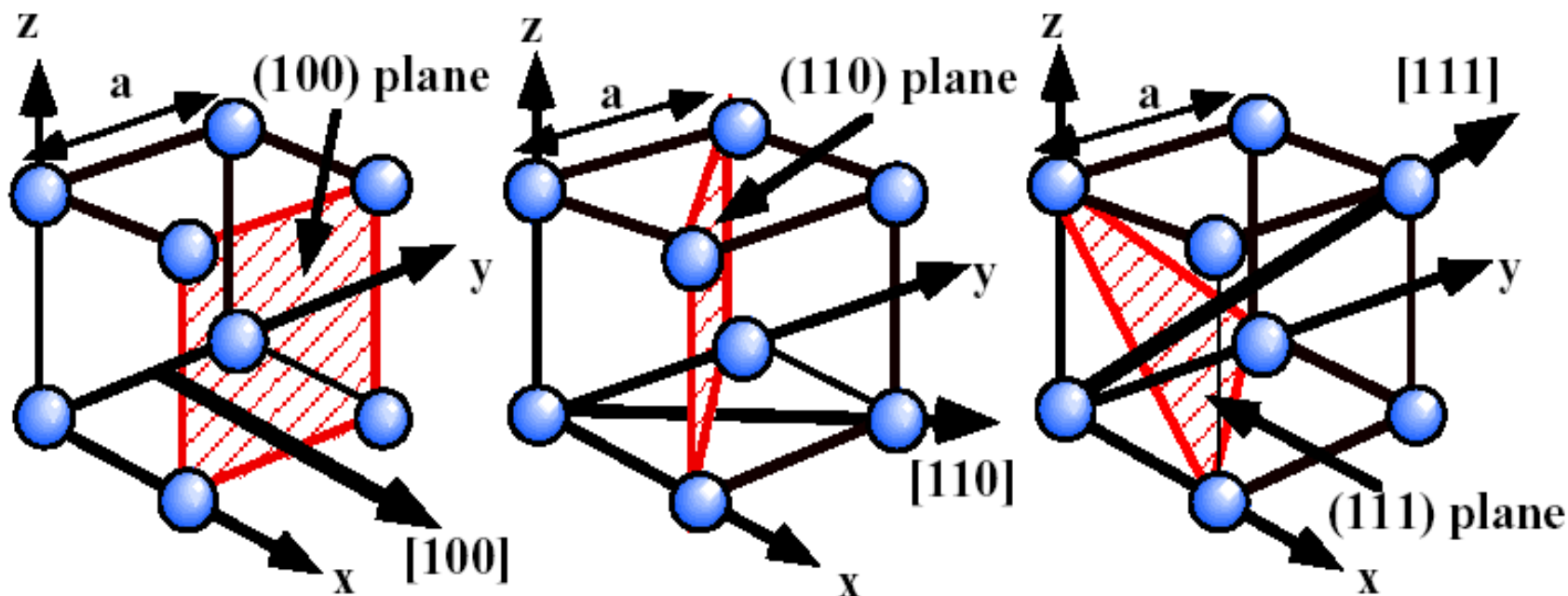
同类晶向统称
 $\langle 100 \rangle$



§1.3 硅的晶体结构



晶向的密勒指数



密勒指数(Miller indices)是一种用来描述某一种晶格点阵(布拉菲格子)中某一晶面族的数组。

§1.3 硅的晶体结构



③ 晶面

晶格中的所有原子不仅可看作是处于一系列方向相同的平行直线上，也可看作是处于一系列彼此平行的平面系上，这种平面系称为**晶面**。

晶面就是通过在晶体生长过程中保持对硅晶体中**晶向的精确控制**而获得的。

对半导体制造而言，用的最广的三种晶体平面的密勒表示为：

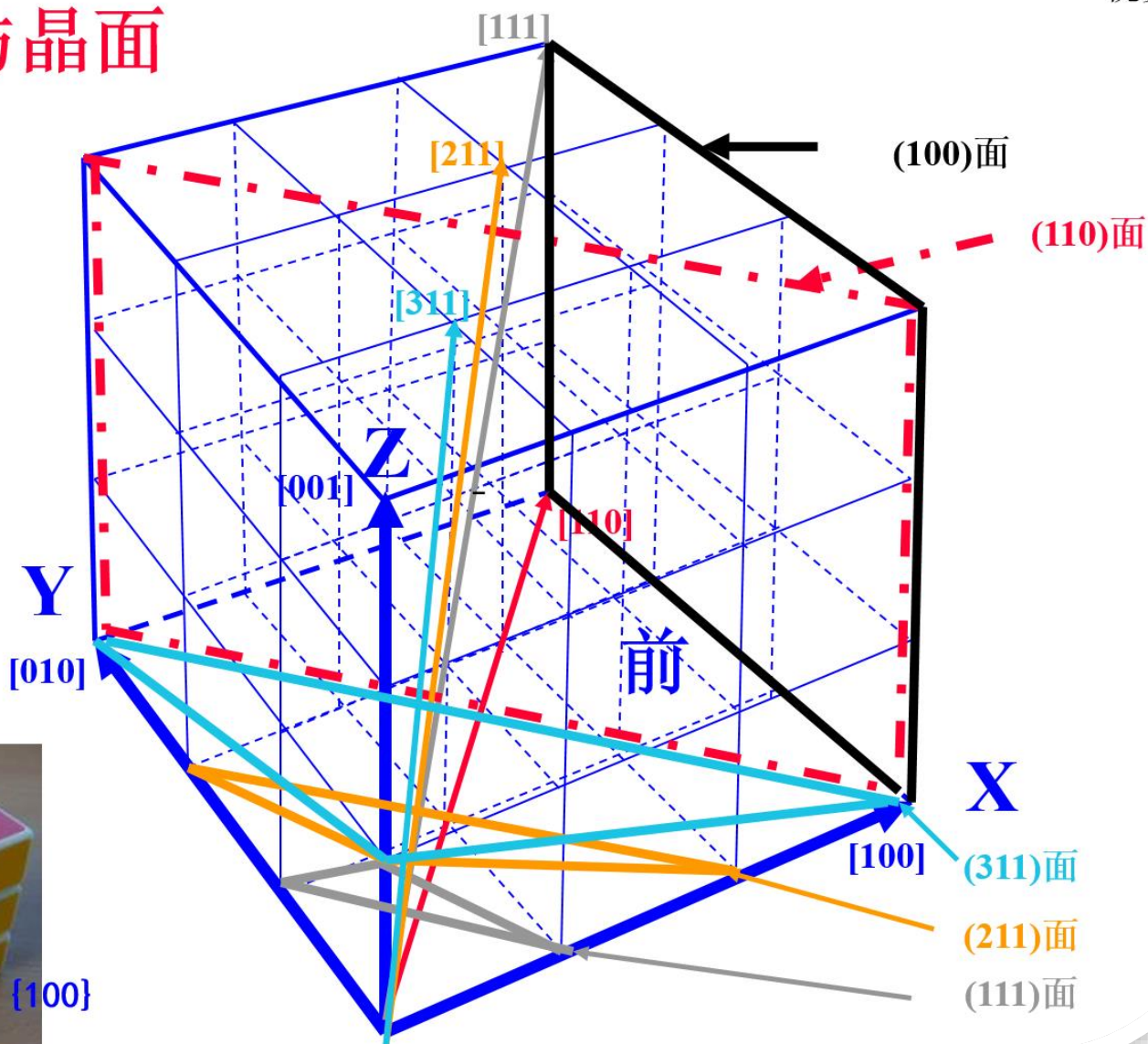
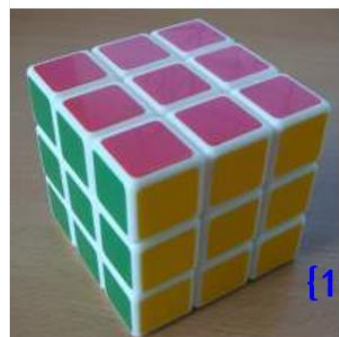
(100) 、 (110) 、 (111)

魔方与晶面

晶面
(111)

晶面族
(100)s

同类晶面统称
{100}



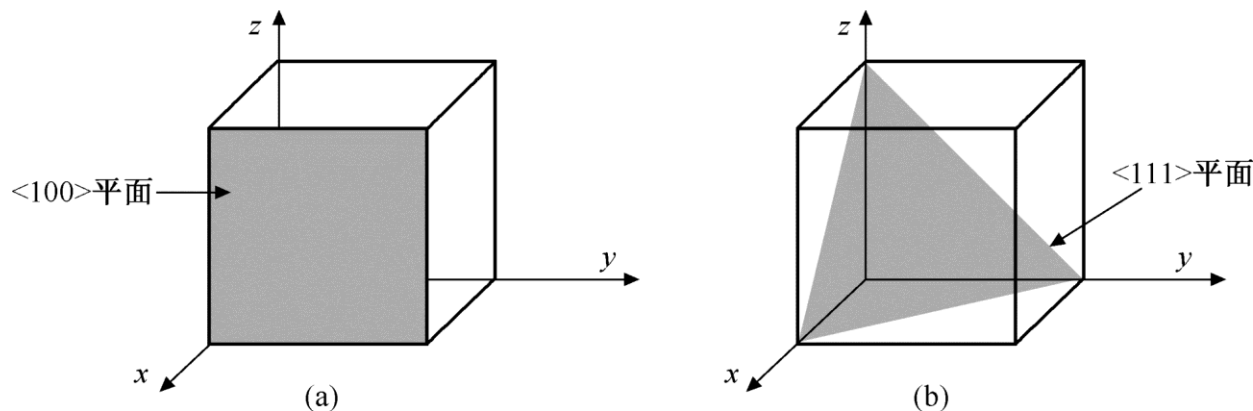
§1.3 硅的晶体结构



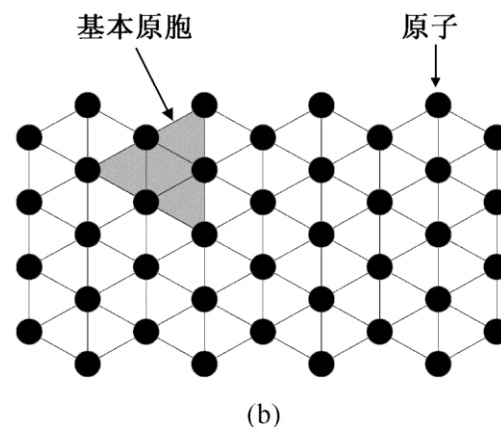
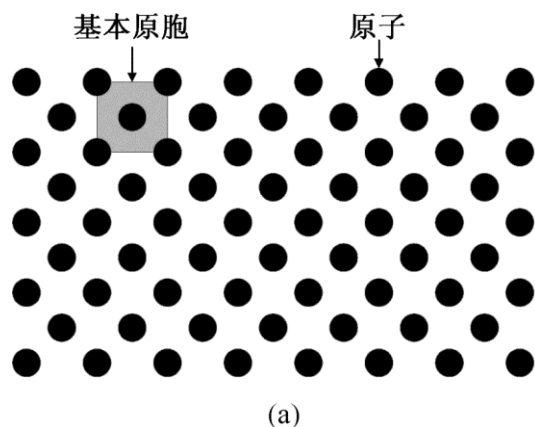
半导体器件的常用晶面

- 制作半导体器件通常采用硅单晶的(111) 晶面和 (100) 晶面。
- 制作MOS器件最常用的是 (100) 面的硅片；
- 双极器件早期使用 (111) 面，现逐渐使用 (100) 面；
- 砷化镓器件也用到(100)面。

§1.3 硅的晶体结构



(a) $\langle 100 \rangle$ 晶向平面; (b) $\langle 111 \rangle$ 晶向平面

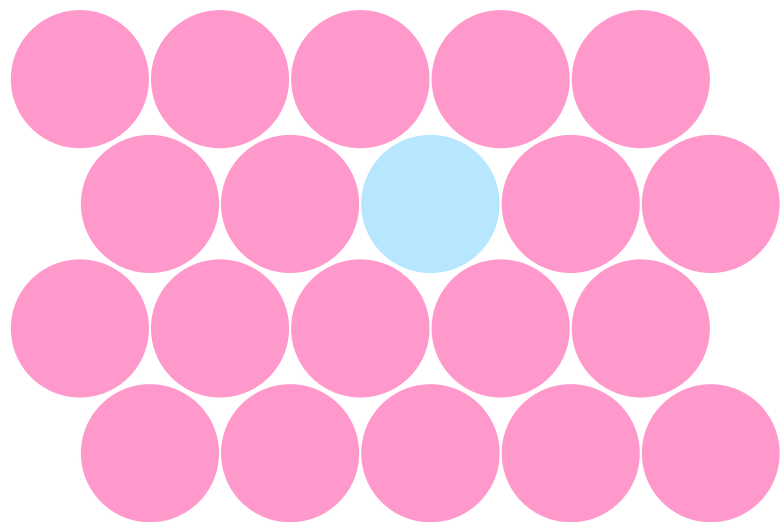


(a) $\langle 100 \rangle$ 晶向平面的晶格结构;

(b) $\langle 111 \rangle$ 晶向平面的晶格结构;

§1.3 硅的晶体结构

- **堆积模型**是指晶体中同一层面中的原子以及不同层面间的原子的排列方式。
- **密排面**是**同一个平面上最紧密**的原子排列方式。



平面上的每个原子的周围均匀地分布有六个原子，每三个相切的原子中心形成一个空隙，则每个原子周围有六个空隙。

§1.3 硅的晶体结构



④ 密堆积模型

是指模型的每一层平面都是密排面，而且不同层面之间的排列也是最紧密的情况。

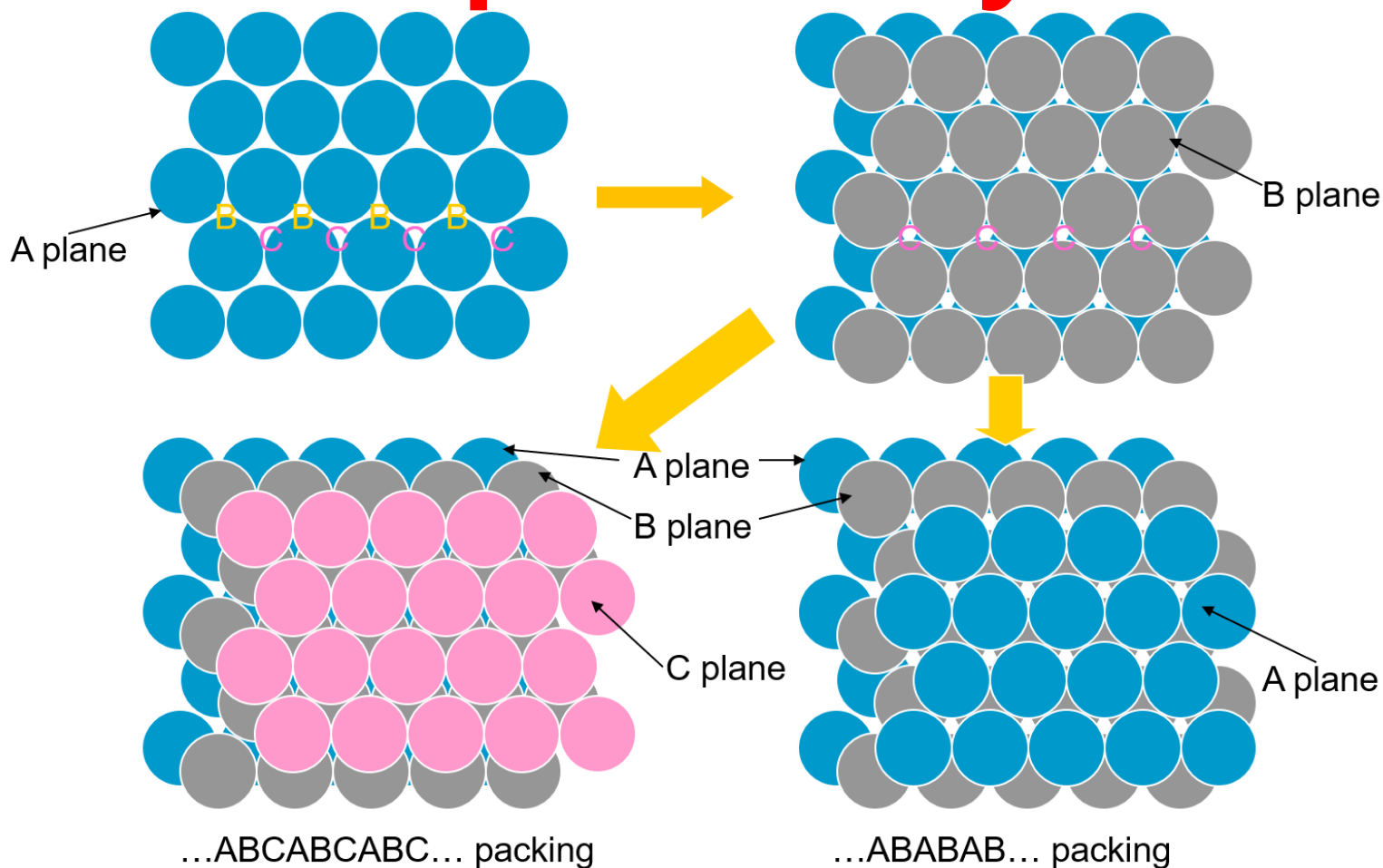
密堆积模型有两种形式：

六角密积模型、立方密积模型

§1.3 硅的晶体结构

密堆积模型

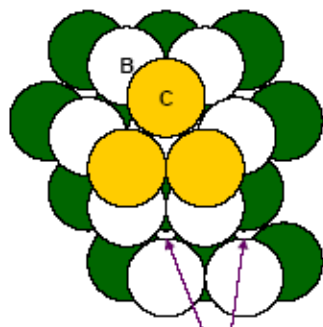
Close packed crystals



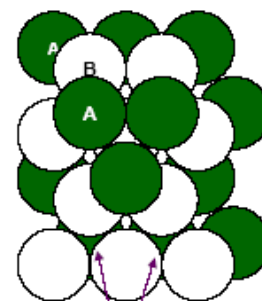
§1.3 硅的晶体结构

密堆积模型

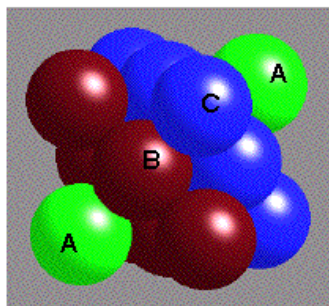
Close packed crystals



ABCABC... Close Packing

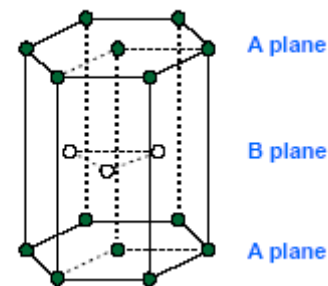
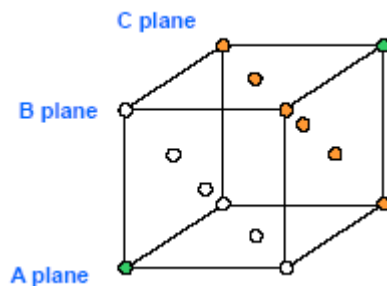


ABABABA... Close Packing



立方密积模型

Cubic close packed (CCP) or
Face centered cubic (FCC)



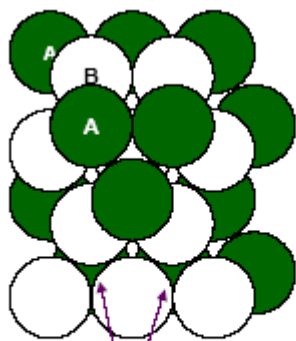
六角密积模型

Hexagonal close packed (HCP)

§1.3 硅的晶体结构

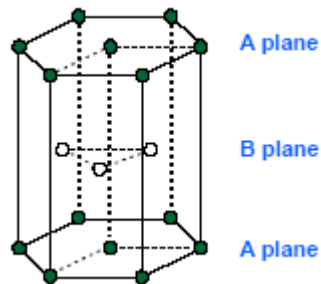
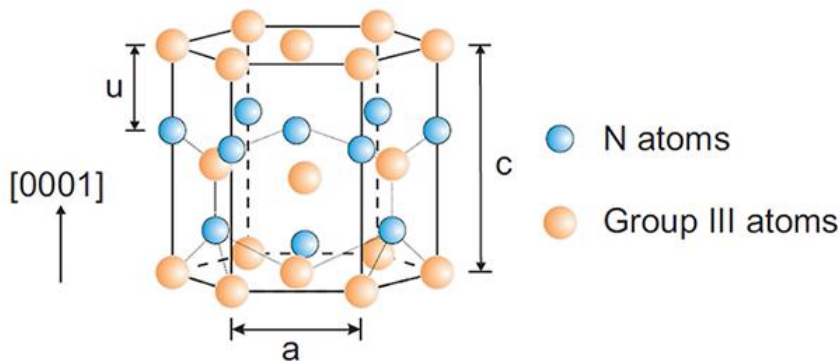
密堆积结构

Close packed structures



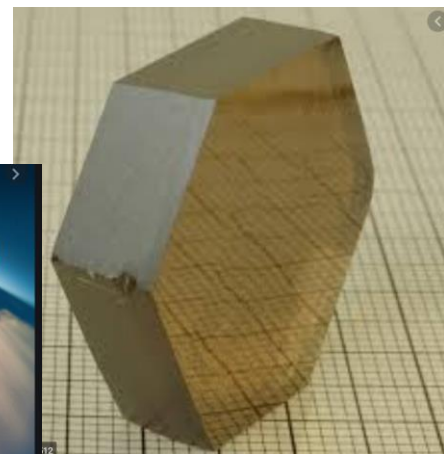
A site

ABABABA... Close Packing



六角密积模型

Hexagonal close packed (HCP)



§1.3 硅的晶体结构



六角密积 vs. 立方密积

- 第二层上每个原子周围的六个间隙，在六角密积中，三个同时被上下两层的原子占据，另三个为空；而在立方密积中，三个由第一层的原子占据，另三个则由第三层的原子占据。
- 六角密积是以**两个平面**为单位进行堆积，而立方密积是以**三个平面**为单位进行堆积。

§1.3 硅的晶体结构



共同点:

- 每一个原子在同一层平面中都与六个原子相切，并分别同上层三个原子和下层三个原子相切。
- 每个原子的最近邻数都为12，即配位数为12，是晶体结构中的最大配位数。

§1.3 硅的晶体结构

面心立方金刚石结构的密堆积模型

- $(1\ 1\ 1)$ 面是密排面;
- 每个面心立方晶格是立方密积模型;

硅的密堆积模型

- 面心立方金刚石结构的硅晶格是**双层密排面的立方密堆积**。
- 其表示为:AA'BB'CC'

§1.3 硅的晶体结构



硅晶格密堆积结构的特点

- 面心立方金刚石结构的双层密排面的立方密堆积；
- 面内每层原子之间有三个共价键与另一层结合，而双层面之间平均两个原子才有一个共价键；
- 双层面面内的原子结合能力强，双层面之间的原子结合薄弱；

§1.3 硅的晶体结构



金刚石晶格的硅晶面的性质

- 外力作用下晶体易沿着 $\{111\}$ 晶面断裂;
- 化学腐蚀较困难及缓慢;
- $\{111\}$ 双层密排面之间易形成晶格缺陷;

目录



§1.1 芯片的加工环境

§1.2 芯片的衬底材料

§1.3 硅的晶体结构

§1.4 硅晶体中的缺陷

§1.5 硅中杂质

§1.4 硅晶体中的缺陷



实际的半导体材料中的问题

- 原子**并不是静止**在具有严格周期性晶格的格点位置上，而是在平衡位置附近热振动。
- 半导体材料**并不是完全纯净**的，而是含若干杂质。
- 晶体的晶格结构**并不是完整**的，本身存在各种形式的缺陷。

§1.4 硅晶体中的缺陷



- **晶体缺陷**：指在重复排列的晶胞结构中出现的任何中断。
- **缺陷密度**：是指在工艺过程中由于各种原因在**每平方厘米硅片上出现的缺陷数**。

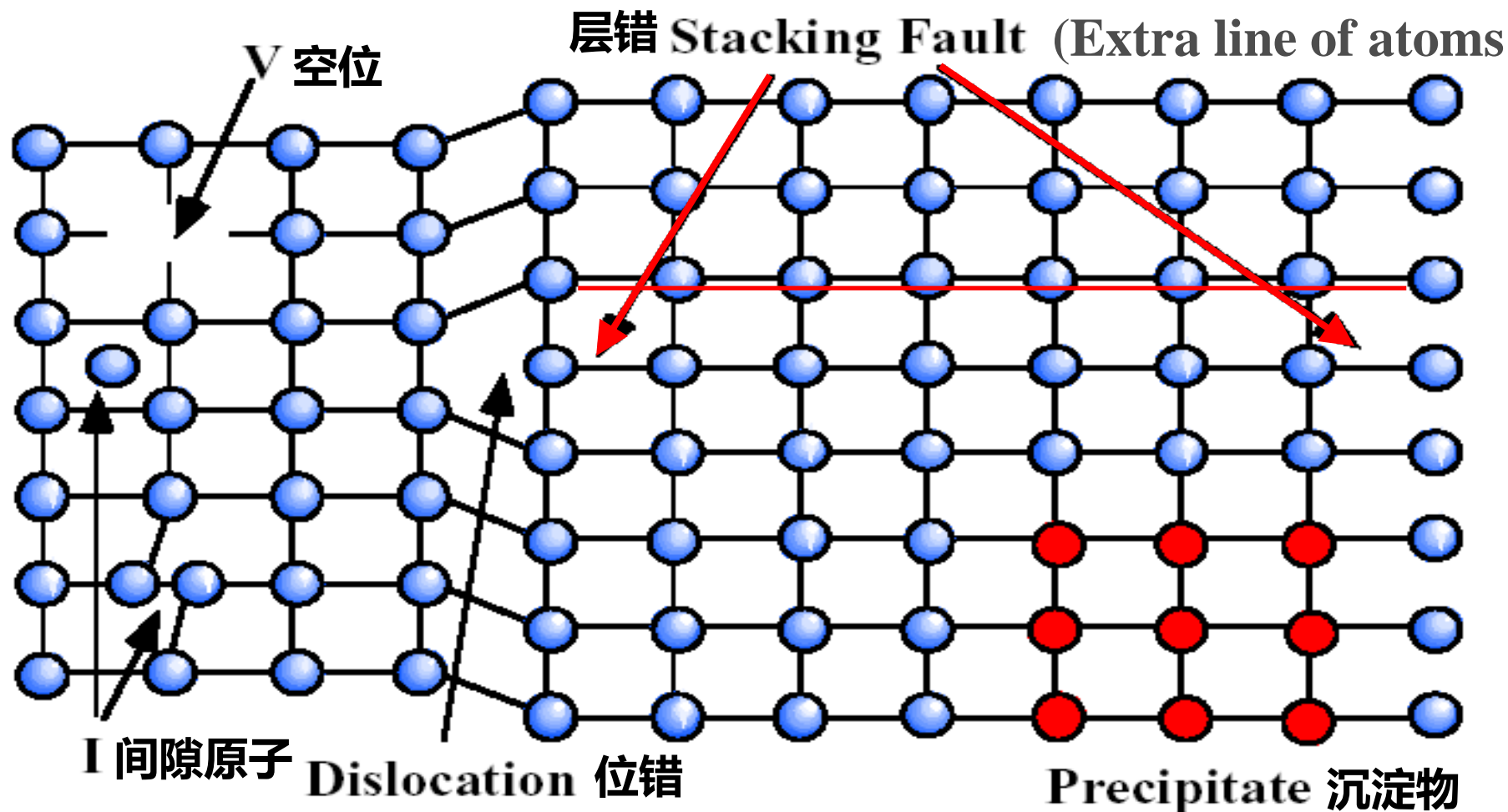
§1.4 硅晶体中的缺陷



硅中的主要缺陷

- ① **点缺陷**：原子层面的局部缺陷，如空位；
- ② **线缺陷**：指错位的晶胞，主要是位错；
- ③ **面缺陷**：属于晶体结构的缺陷，如层错；
- ④ **体缺陷**：是硅中杂质和掺杂剂原子的沉淀物所致；

§1.4 硅晶体中的缺陷



Various types of defects can exist in a crystal (or can be created by processing steps). In general, these cause electrical leakage and are result in poorer devices.

§1.4 硅晶体中的缺陷

① **点缺陷**：指存在于晶格中一特定位置上的缺陷，并在各个方向上都没有延伸。

主要的点缺陷：空位（肖特基缺陷）、间隙原子、Frenkel 缺陷及外来原子。

点缺陷产生的主要原因：在一定温度下，晶格原子在平衡位置附近的热振动引起的。

§1.4 硅晶体中的缺陷

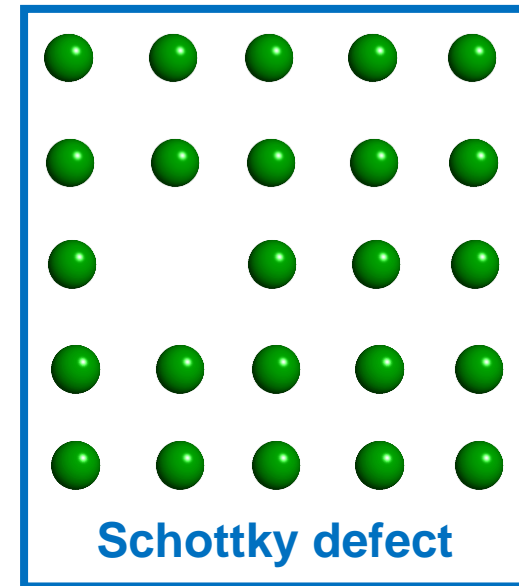


Crystal Defects

1. Point Defects

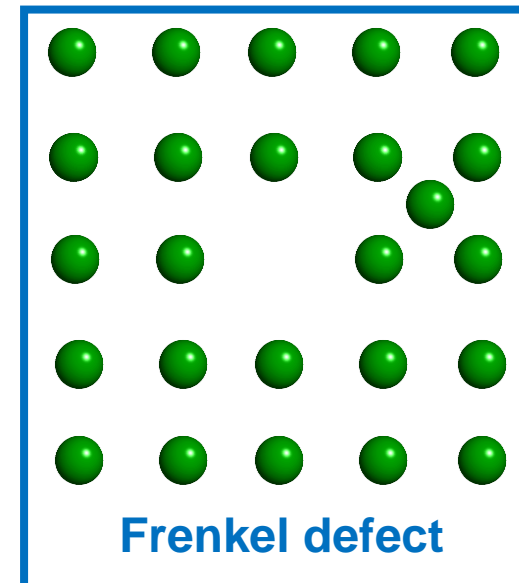
a) **Schottky** (vacancy)

肖特基缺陷 (或空位)



b) **Frenkel** (cation hops from lattice site to interstitial)

= a + c combination

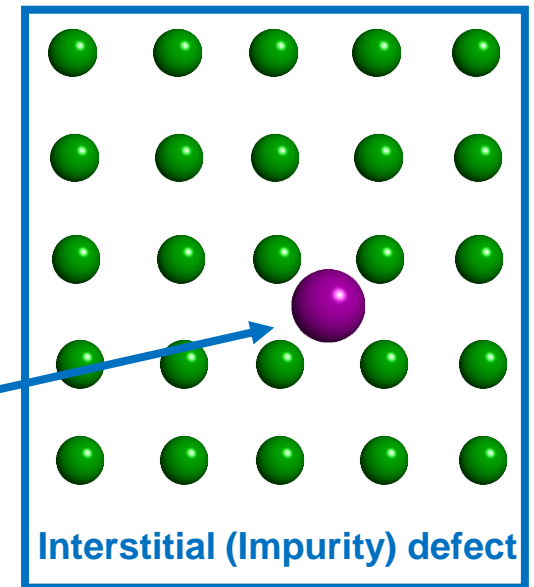


Crystal Defects

1. Point Defects

c) Impurity

- Foreign ion replaces normal one (solid solution)
Not considered a defect
- Foreign ion is added (interstitial)
- Both combined



§1.4 硅晶体中的缺陷



空位与间隙原子：

- 二者的产生与温度密切相关，晶体内通常总是同时存在这两种缺陷；
- 空位是晶体中最常见的点缺陷；
- 晶体中的空位起受主作用，而间隙原子起施主作用；

§1.4 硅晶体中的缺陷

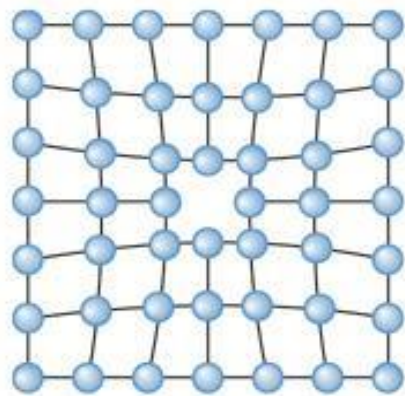


外来原子：

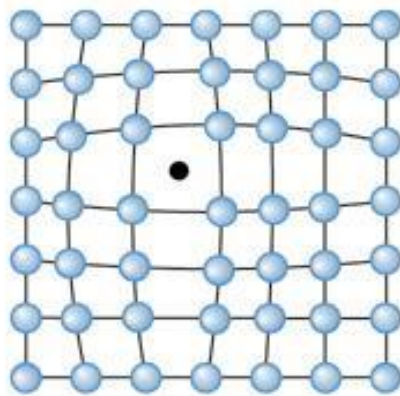
在加工过程中由于化学元素杂质引入到晶格中产生的。

- 它们或者在间隙中成为**间隙原子**；
- 或者占有原有原子留下的空位，形成缺陷，称之为**替位杂质**。

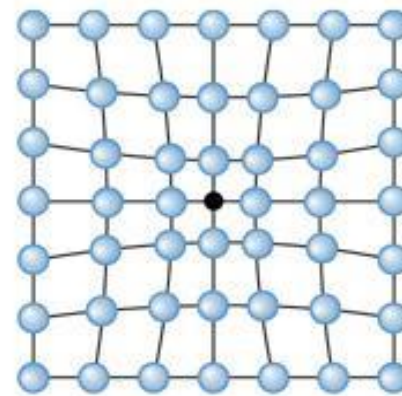
§1.4 硅晶体中的缺陷



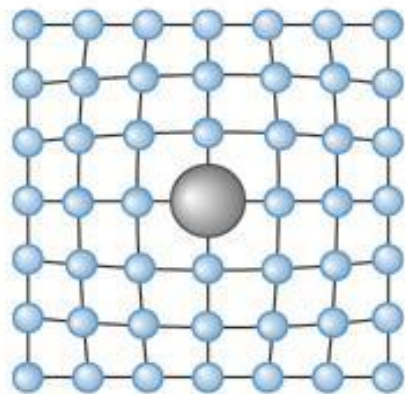
(a)



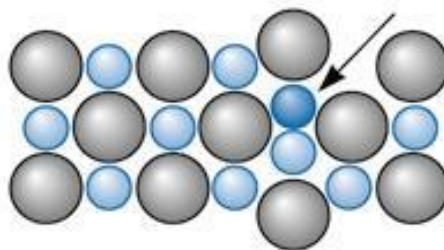
(b)



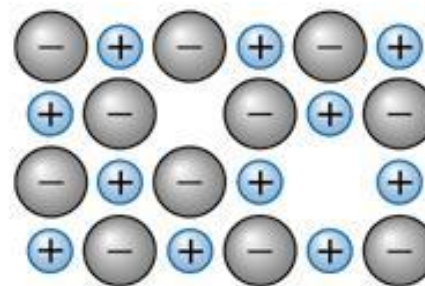
(c)



(d)



(e)



(f)

Point defects: (a) vacancy, (b) interstitial atom, (c) small substitutional atom, (d) large substitutional atom, (e) Frenkel defect, (f) Schottky defect. All of these defects disrupt the perfect arrangement of the surrounding atoms.

§1.4 硅晶体中的缺陷



加工过程中产生点缺陷的主要因素

- 晶体生长中影响点缺陷产生的因素是**生长速率**和晶体熔体界面间的**温度梯度**;
- 半导体制造中的**热处理**也能导致点缺陷的产生;

§1.4 硅晶体中的缺陷



② **位错**：单晶中，晶胞形成重复性结构。如果晶胞错位，这种情况就称之为**位错**，包括**刃位错**和**螺位错**。

位错可以在晶体生长和硅片制备过程中的任意阶段产生。

§1.4 硅晶体中的缺陷

产生位错的主要原因

- 晶体生长后的位错通常是由于作用在硅片上的**机械应力**造成的；
- 另一个原因是由器件制作过程中硅片表面的**热氧化**引入的；
- 因硅片制备中的**其它原因**而产生，如硅片边缘脆裂或高温工艺；

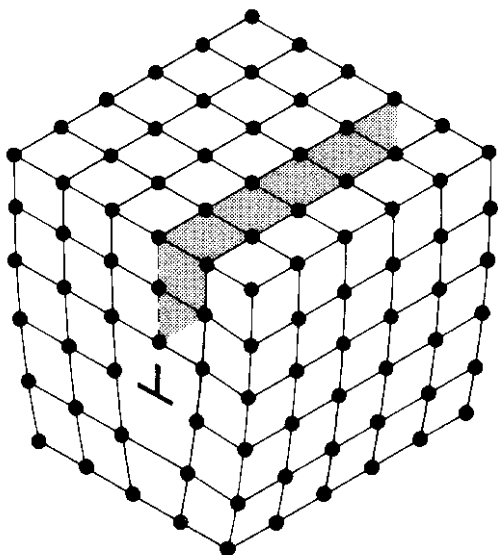
§1.4 硅晶体中的缺陷



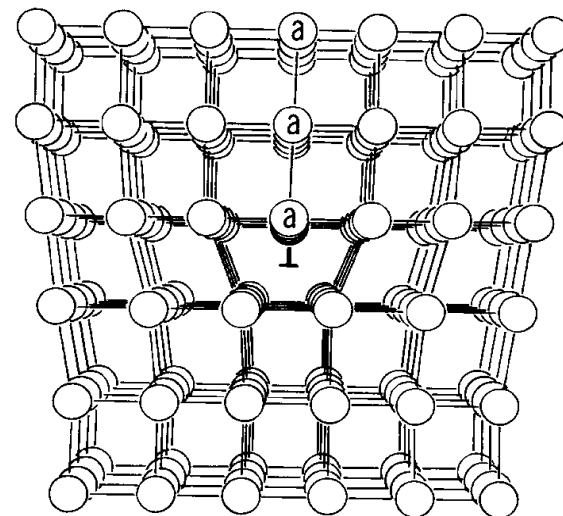
2. Line Defects

Edge dislocation 刃位错

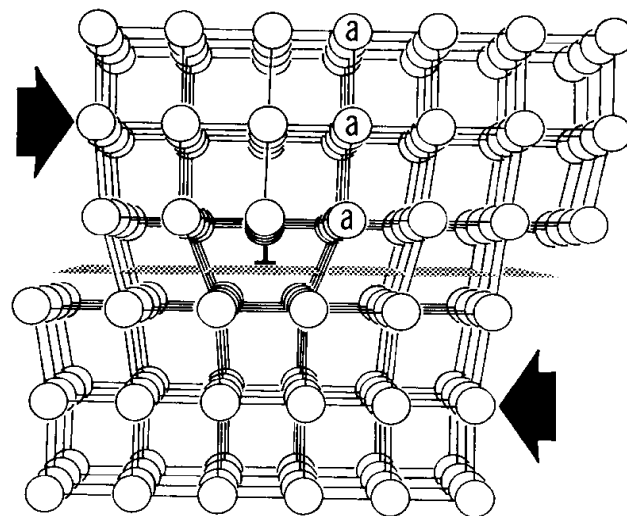
Migration aids ductile
deformation 延展变形



(d) Edge dislocation



A



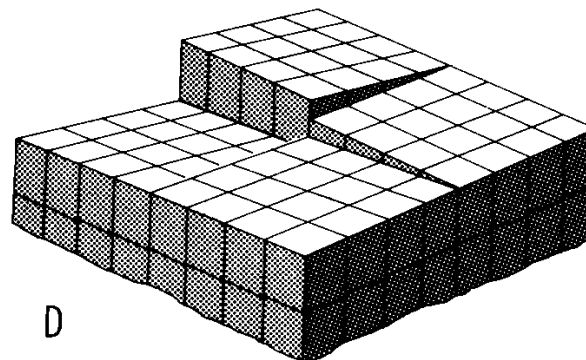
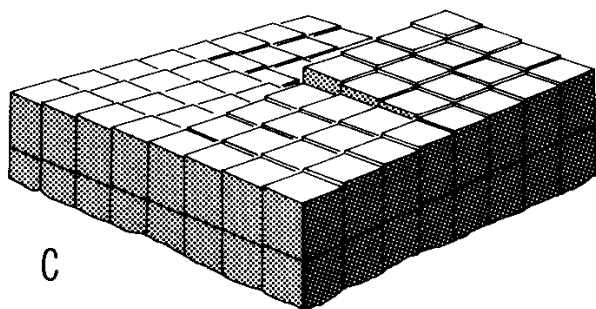
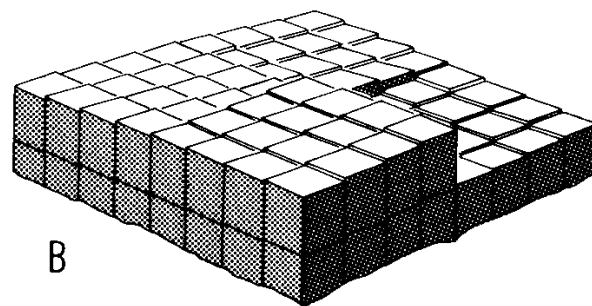
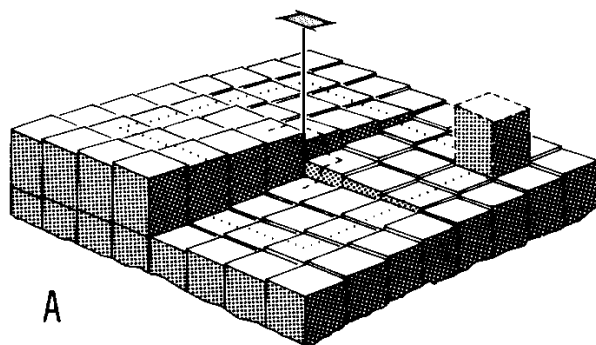
B

§1.4 硅晶体中的缺陷



2. Line Defects

Screw dislocation螺位错



§1.4 硅晶体中的缺陷



位错对器件的主要影响

- 金属杂质极易在位错上沉淀，破坏pn结的反向特性，大大**降低击穿电压**；
- 在应力作用下，位错处会出现**增强扩散**，会引起PN结I-V特性的“软化”和晶体管的漏电或穿通；
- 位错会引起**噪声增加**；

§1.4 硅晶体中的缺陷



位错的利用

可以利用位错吸收杂质和位错攀移运动消除空位的特点，使单晶中的有害杂质吸附在局部位错区域，从而改善其它区域的器件特性。

§1.4 硅晶体中的缺陷



- ③ **层错**：在密堆积的晶体结构中，由于堆积次序发生错乱而导致的错位，称为堆垛层错，又称为层错。

§1.4 硅晶体中的缺陷



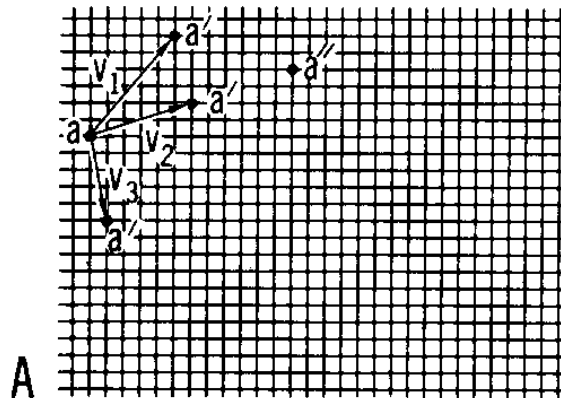
3. Plane Defects

Lineage structure or mosaic crystal

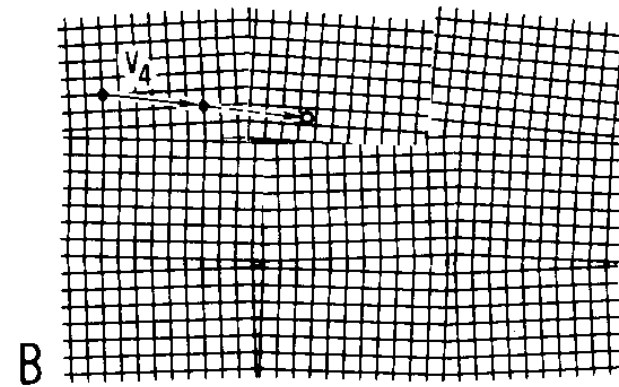
Boundary of slightly mis-oriented volumes within a single crystal

Lattices are close enough to provide continuity (so not separate crystals)

Has short-range order, but not long-range (V_4)

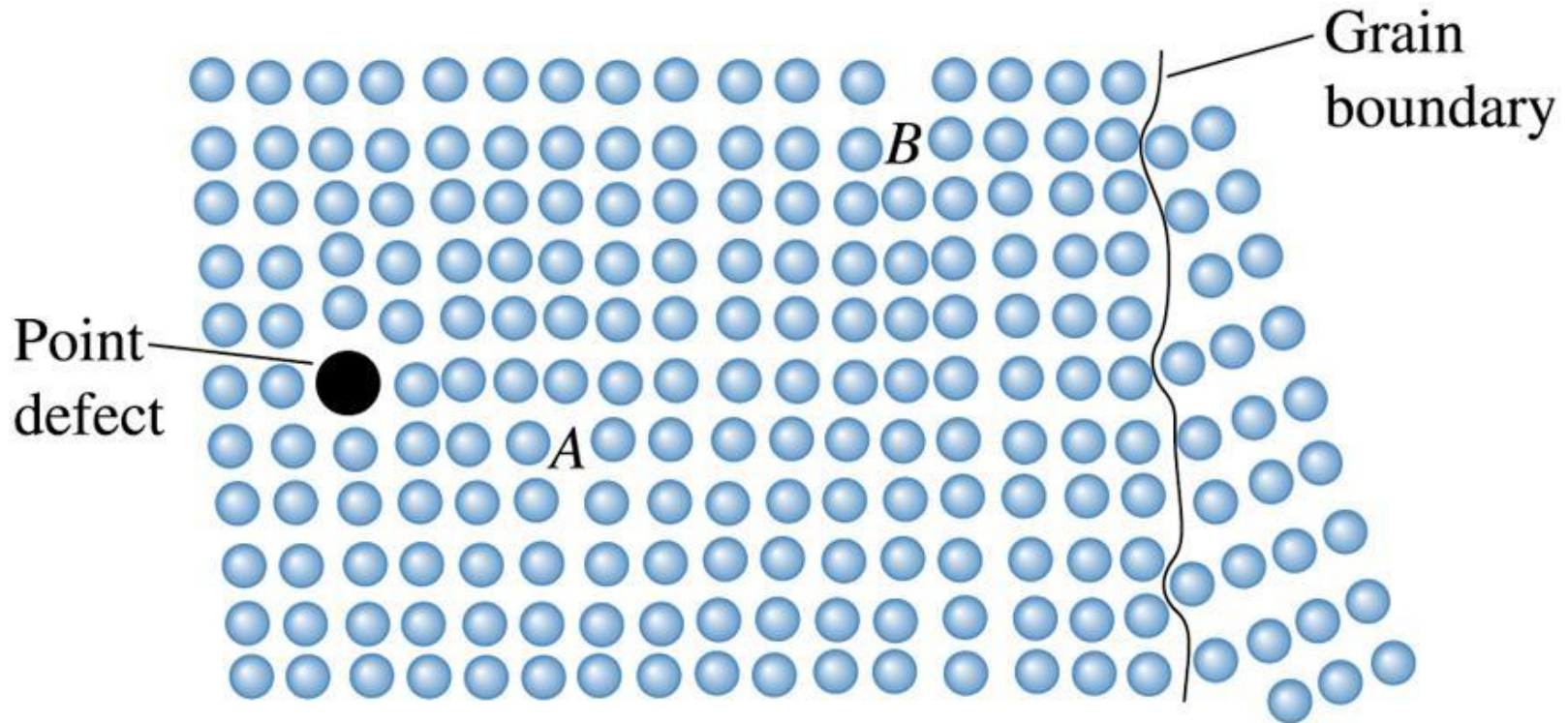


LATTICE : IDEAL CRYSTAL



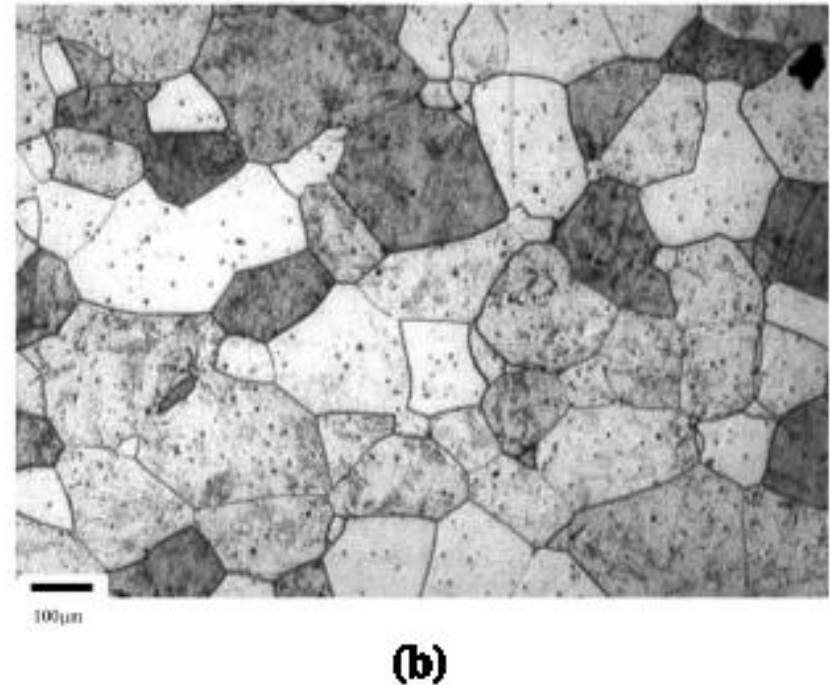
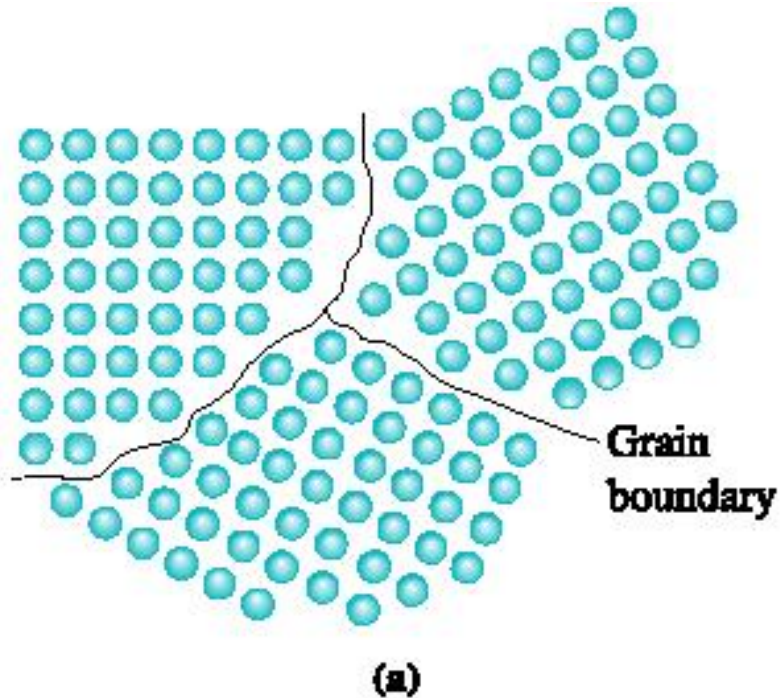
LATTICE : MOSAIC CRYSTAL

§1.4 硅晶体中的缺陷



If the dislocation at point *A* moves to the left, it is blocked by the point defect. If the dislocation moves to the right, it interacts with the disturbed lattice near the second dislocation at point *B*. If the dislocation moves farther to the right, it is blocked by a grain boundary.

§1.4 硅晶体中的缺陷



(a) The atoms near the boundaries of the three grains do not have an equilibrium spacing or arrangement.

(b) Grains and grain boundaries in a stainless steel sample. (*Courtesy Dr. A. Deardo.*)

目录

§1.1 芯片的加工环境

§1.2 芯片的衬底材料

§1.3 硅的晶体结构

§1.4 硅晶体中的缺陷

§1.5 硅中杂质

§1.5 硅中杂质



本征半导体

- 不含杂质的纯净半导体，其电阻率，即载流子浓度是由**材料本身的本征性质**所决定，故称为**本征半导体**；
- 本征半导体中，载流子只能是通过热激发产生的电子-空穴对，其中电子和空穴的浓度相等，其定义为**本征载流子浓度**；
- 本征载流子浓度随温度的变化而快速变化；

§1.5 硅中杂质



杂质半导体

- 实际应用中的绝大多数半导体材料中，都人为地**掺入一定数量的某种杂质**，以便控制材料的导电类型和导电能力，称为**杂质半导体**；
- 杂质半导体的电阻率与杂质的数量有很大关系，通常用**杂质浓度（单位体积中的杂质原子数）**来表征；

§1.5 硅中杂质

掺杂是指通过加入某种元素到纯硅中以明显**增加半导体导电性**的过程。

掺杂剂材料：

- III族掺杂剂（又称为**P型掺杂剂**或正型掺杂剂）
典型的III族掺杂剂为**硼**。
- V族掺杂剂（又称为**N型掺杂剂**或负型掺杂剂）
典型的V族掺杂剂为**磷**、**砷**和**锑**。

§1.5 硅中杂质



半导体中杂质的主要来源

- 制备半导体的原材料的纯度不够；
- 半导体单晶制备及器件制造过程中的沾污；
- 为了控制半导体的性质而人为地掺入某种化学元素的原子；

§1.5 硅中杂质



杂质电离

电子或空穴脱离杂质原子的束缚而成为导电电子或导电空穴的过程称为**杂质电离**，而使它们挣脱束缚成为导电电子或空穴所需的能量，则称为**杂质电离能**。

Ⅲ、Ⅴ族杂质元素在硅、锗中的电离能很小。

杂质的分类

- ① 根据杂质在半导体中分布的位置;
- ② 根据杂质在半导体中的作用;
- ③ 根据杂质电离能的能级;

§1.5 硅中杂质



① 根据杂质在半导体中分布的位置分类为：

- **间隙式杂质：**

杂质原子位于晶格原子间的间隙位置；

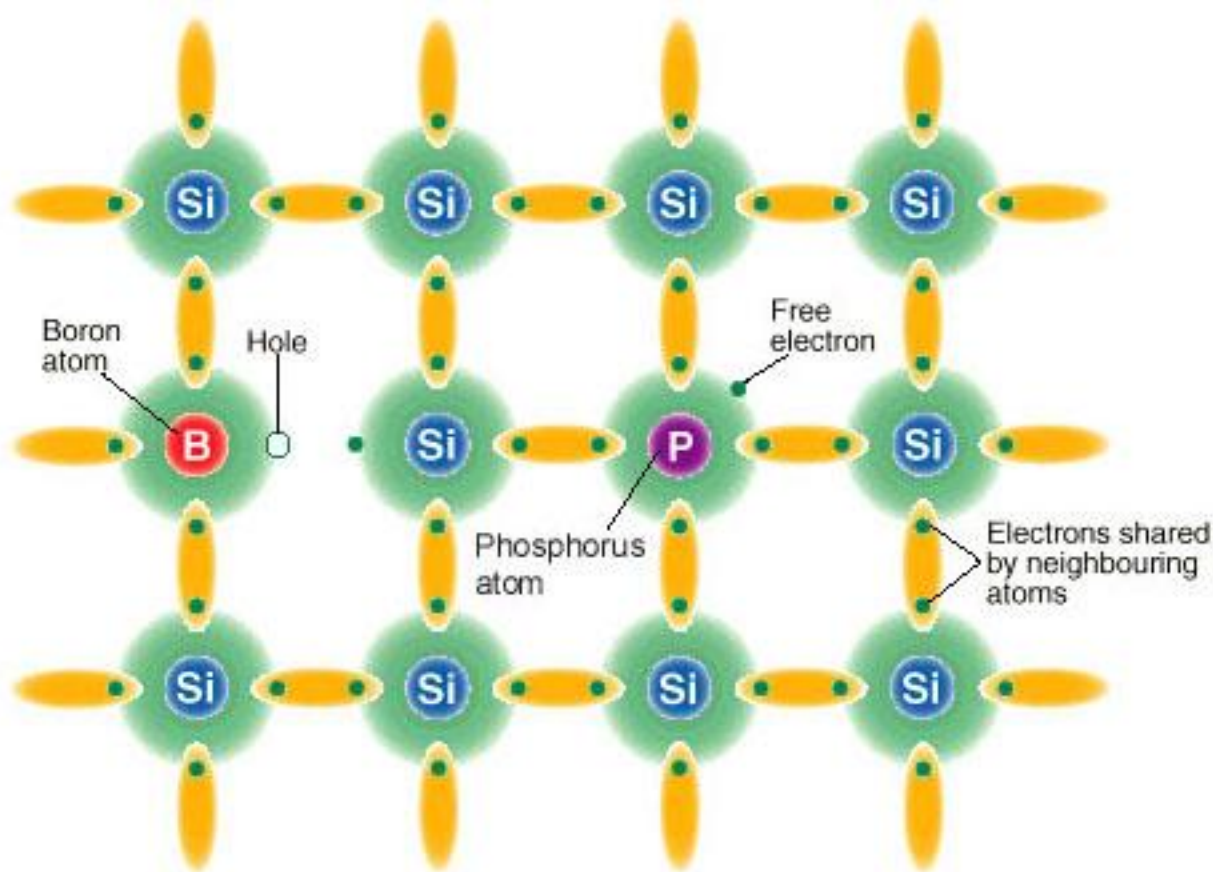
- **替位式杂质：**

杂质原子取代晶格原子而位于晶格点；

§1.5 硅中杂质



Ⅲ、V族杂质常作为替位杂质



§1.5 硅中杂质



② 根据杂质在半导体中的不同作用分为两类：
施主杂质和受主杂质

§1.5 硅中杂质



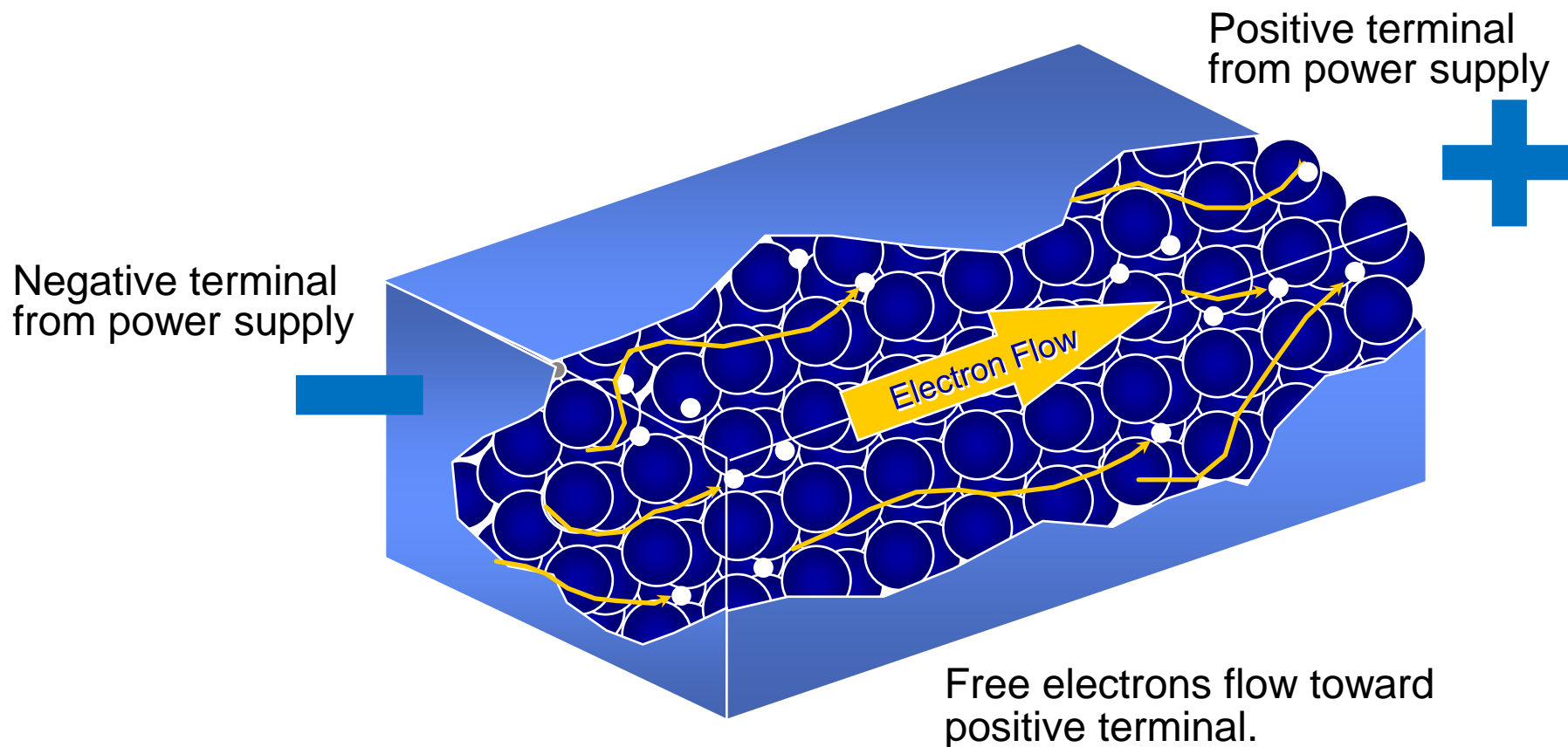
施主杂质

- **施主杂质（n型杂质）**：V族杂质在半导体中电离时，能够**释放电子**而产生导电电子，并形成正电中心；
- 施主杂质未电离时是中性的，称为**束缚态或中性态**；电离后成为正电中心，则称为**施主离化态**；
- **施主电离**：施主杂质释放电子的过程；
- 主要依靠电子导电的半导体则称为电子型半导体或**n型半导体**；

§1.5 硅中杂质



Conduction in n-Type Silicon



§1.5 硅中杂质

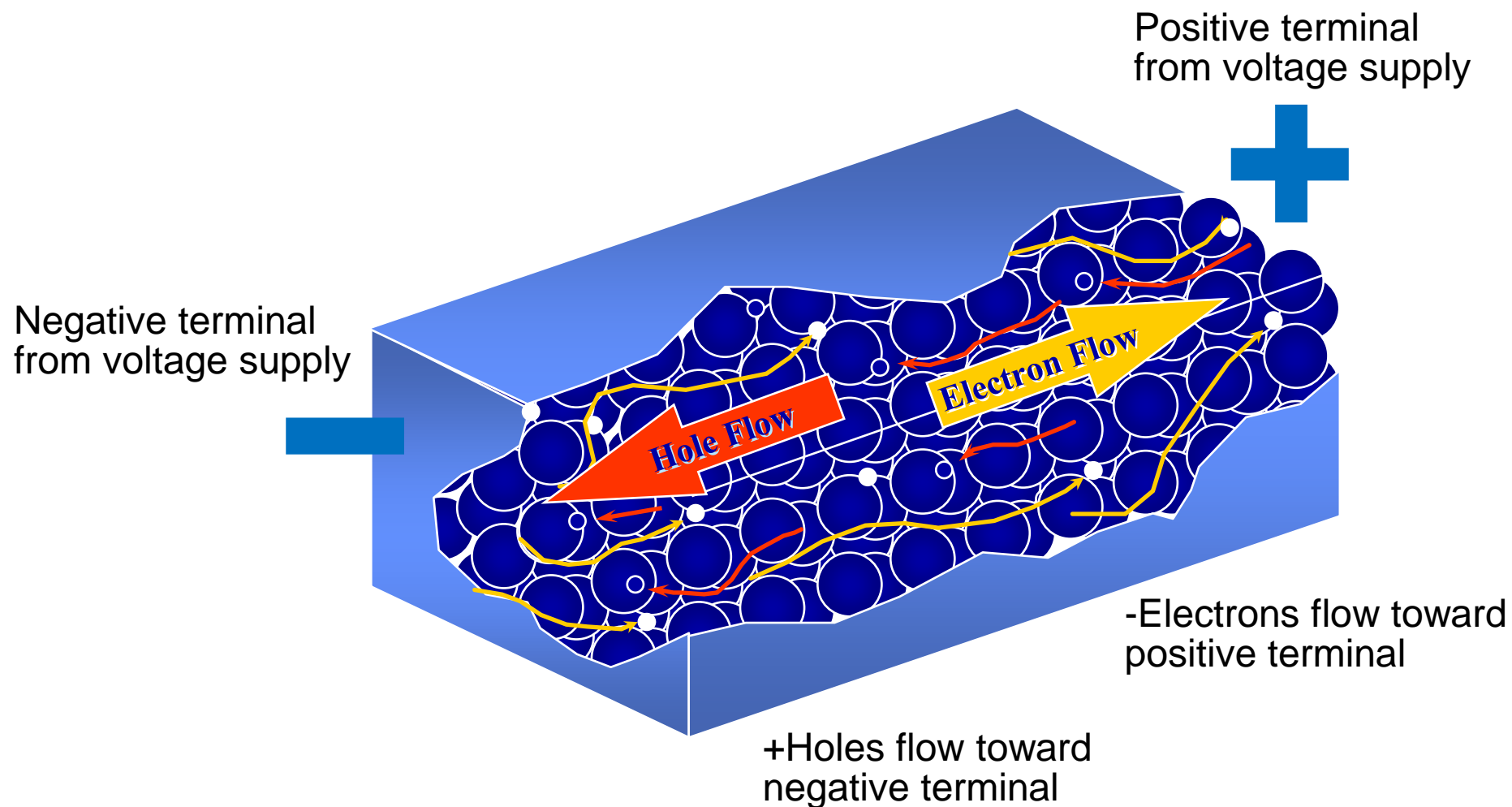
受主杂质

- **受主杂质（p型杂质）**：Ⅲ族杂质在半导体中电离时，能够**接受电子**而产生导电空穴，并形成负电中心；
- 受主杂质未电离时是中性的，称为**束缚态或中性态**；电离后成为负电中心，则称为**受主离化态**；
- **受主电离**：空穴挣脱受主杂质束缚的过程；
- 主要依靠空穴导电的半导体则称为空穴型半导体或**p型半导体**；

§1.5 硅中杂质



Conduction in p-Type Silicon



§1.5 硅中杂质

杂质的补偿作用

在半导体材料中，当同时存在施主和受主杂质时，因为施主杂质和受主杂质的电性相反，它们之间会**相互抵消**；

这种不同类型杂质对导电能力相互抵消的现象称为**杂质的补偿作用**。

杂质补偿的主要应用：

- 改变半导体中某一区域的导电类型；
- 形成PN结；

§1.5 硅中杂质

PN结

n型掺杂可以注入或扩散到p型区并把这一区域转变为n型区，反之亦然。则在n型和p型之间**浓度相等**处形成PN结。

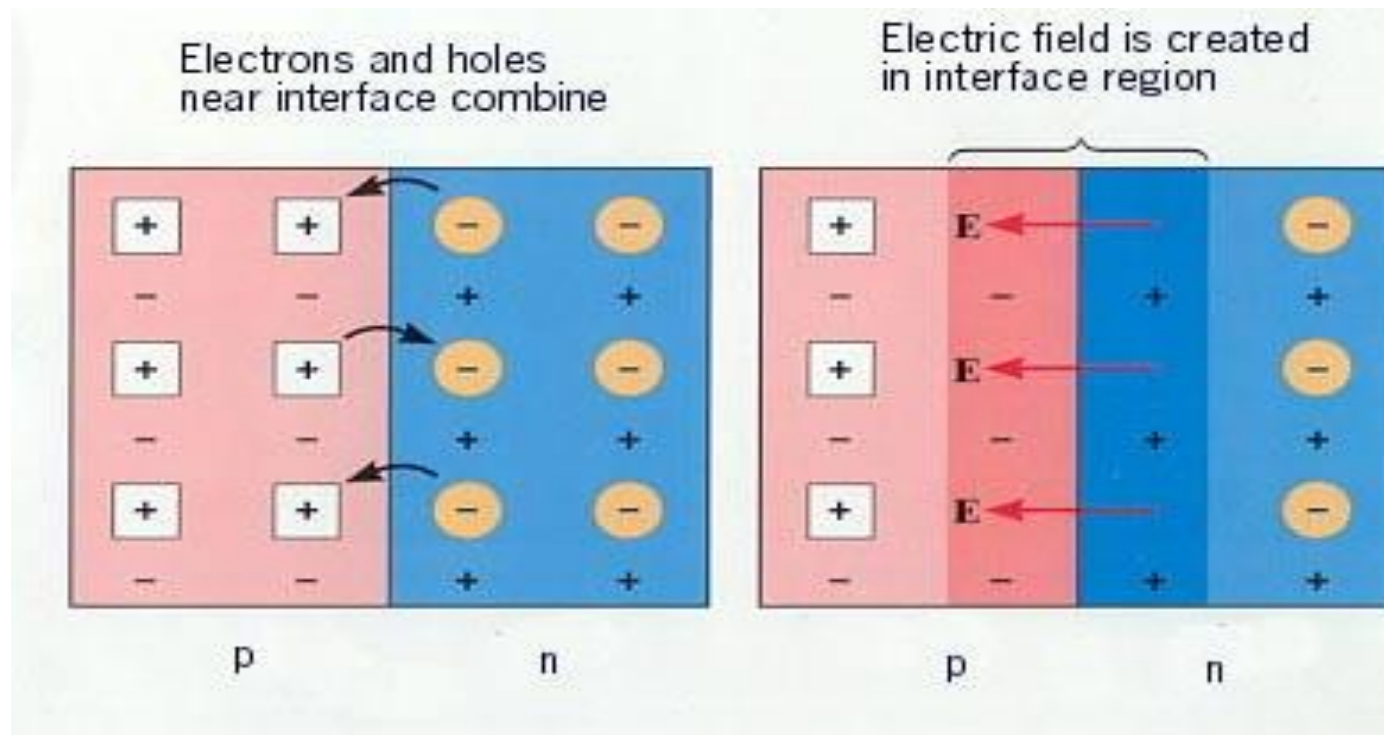
半导体硅片随施加给结的电压不同而可以获得不同的导体或绝缘体的性质（整流性）。

在半导体制造中，精确控制硅片PN结的**结深**和**掺杂浓度**是工艺的关键之一。

§1.5 硅中杂质



P- and N-Type Silicon Joined



Diffusing holes and electrons create layers of opposite charge in the interface region.

§1.5 硅中杂质



③ 根据杂质电离能的能级可分为：

浅能级杂质和深能级杂质

§1.5 硅中杂质

硅、锗中的Ⅲ、Ⅴ族杂质的**电离能很小**，受主杂质的能级接近于价带顶，施主杂质的能级接近于导带底，通常将这些杂质能级称为浅能级，而将产生浅能级的杂质称为**浅能级杂质**；
浅能级杂质对材料的电导率影响较大。

§1.5 硅中杂质

在半导体硅、锗中，掺入的非Ⅲ、Ⅴ族杂质在禁带中产生的施主能级距导带带底较远，产生的受主能级距价带顶也较远，通常称这种为深能级，而相应的产生深能级的杂质则称为**深能级杂质**。

深能级杂质的扩散速度快，对材料的导电性质影响较小，但**对载流子的复合作用比浅能级杂质强，大大缩短了非平衡载流子的寿命，作为一种寿命控制杂质在工艺上颇为重要，可提高器件速度。**

杂质对材料性能的影响

极微量的杂质，能对半导体材料的物理、化学特性产生决定性的影响：

- ① 杂质对材料**导电类型**的影响；
- ② 杂质对材料**电阻率**的影响；
- ③ 杂质对**非平衡载流子寿命**的影响；

① 杂质对材料导电类型的影响

半导体材料的导电类型取决于**材料中的净杂质浓度**。当施主杂质浓度高于受主杂质浓度时，经补偿作用后还余若干电子，当它们电离后成为导电电子，此时材料呈现为**n型半导体**；反之，材料则呈现为**p型半导体**。

补偿后的净杂质浓度称为**有效杂质浓度**，分为有效施主浓度或有效受主浓度。

② 杂质对材料电阻率的影响

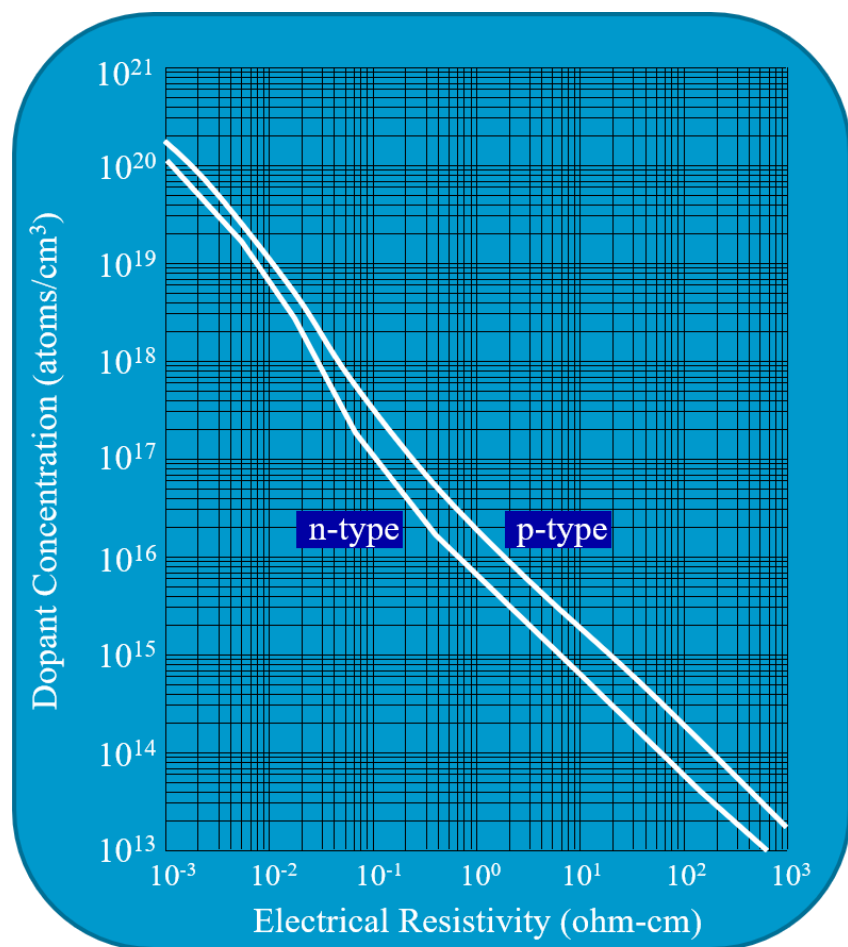
材料的电阻率既与**载流子浓度**有关，又与**载流子的迁移率**有关：

同样的掺杂浓度，载流子的迁移率越大，材料的电阻率越低；而要得到同样的电阻率，施主杂质的掺杂浓度要比受主杂质的低；

如果半导体中同时存在施主和受主杂质，则电阻率由**两种杂质的浓度差**决定。

§1.5 硅中杂质

Silicon Resistivity Versus Dopant Concentration



杂质原子在硅中的浓度决定了材料的导电能力。

掺杂浓度越高，电阻率越低，导电性越好。

③ 杂质对非平衡载流子寿命的影响

半导体材料中的杂质与缺陷，尤其是**重金属杂质**，它们捕获导带中的电子和价带中的空穴使两者复合，从而大大缩短了非平衡载流子的寿命。

§1.5 硅中杂质



杂质在硅晶体中的溶解度

当把一种杂质元素加入到晶体材料中时，在达到一定的浓度之前不会有新相产生，晶体材料仍保持原来的晶格结构，这样的晶体称为**固溶体**；

而在一定的温度和平衡态下，杂质能够溶解到晶体材料内的最大浓度，称为这种杂质在晶体中的**固溶度**，即杂质在晶体中的**最大溶解度**。

§1.5 硅中杂质



影响固溶度的主要因素

- 低杂质浓度的固溶体，随着**温度**的上升其固溶度增大；
- 施主杂质的溶解度，将随晶体中**相反类型**（受主）**杂质含量**的增加而增大；对于受主杂质也存在类似的关系；
- 晶体中某种**同种类型**（施主）**杂质**的存在将降低其它施主杂质的溶解度，对于受主杂质也存在这种关系；

§1.5 硅中杂质

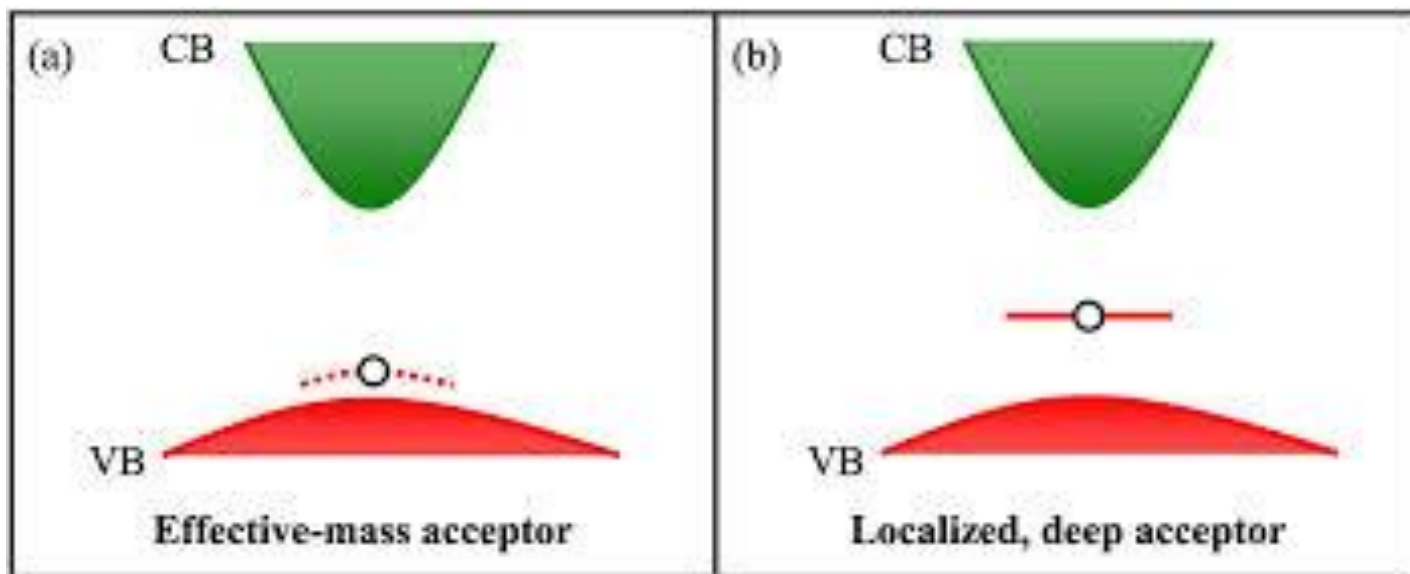
选择杂质的重要依据

掌握各种杂质在晶体中的固溶度，是在半导体器件生产中选择杂质的重要依据：

杂质在晶体中的固溶度给杂质在硅中的扩散设置了**表面浓度的上限**；

固溶度给出了杂质在半导体中的溶解限度，但在没有到达之前有一个最大掺杂量及相应的材料电阻率，它指出了掺入某种杂质时所能拉成的单晶的**最低电阻率范围**；

宽禁带半导体：氮化镓掺杂



硅：n型掺杂

镁：p型掺杂

第一章内容要点

- 1 芯片的加工环境是什么，沾污种类及相关介绍，净化级概念及区分
- 2 芯片的衬底材料及其特点
- 3 硅的晶体结构，常用晶向、晶面，密堆积结构
- 4 硅晶体中的缺陷种类和区别及特点
- 5 硅中杂质的分类和杂质的作用