



中国科学技术大学  
University of Science and Technology of China

# 数字集成电路设计

## 第十章 时序电路设计

白雪飞

中国科学技术大学微电子学院

- 引言
- 静态电路的时序控制
- 锁存器和触发器电路设计
- 同步器



# 引言

## ■ 时序元件

- 触发器(Flip-Flop)、锁存器(Latch)
- 时序元件所保持的数据称为令牌(Token)
- 时序元件阻止过早到达的令牌，避免其赶上上一个令牌使这两个令牌混淆

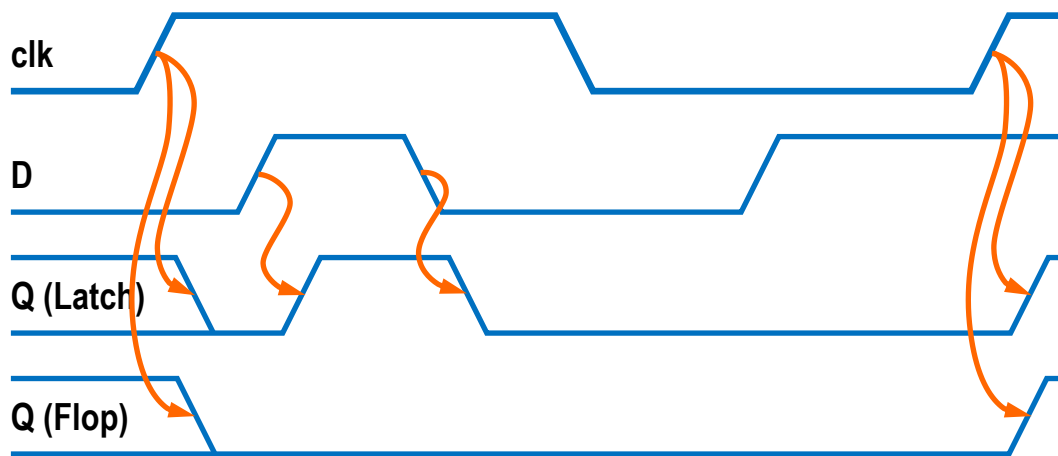
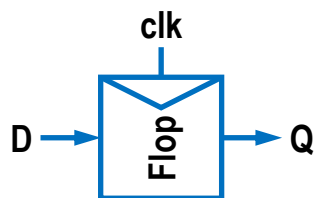
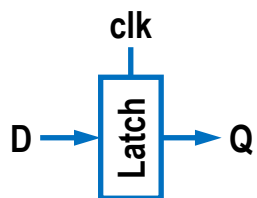
## ■ 静态电路和动态电路

- 静态电路 (Static Circuit)
  - 没有时钟输入的门，如CMOS逻辑、伪NMOS逻辑、传输管逻辑
- 动态电路 (Dynamic Circuit)
  - 具有时钟输入的门，如多米诺逻辑

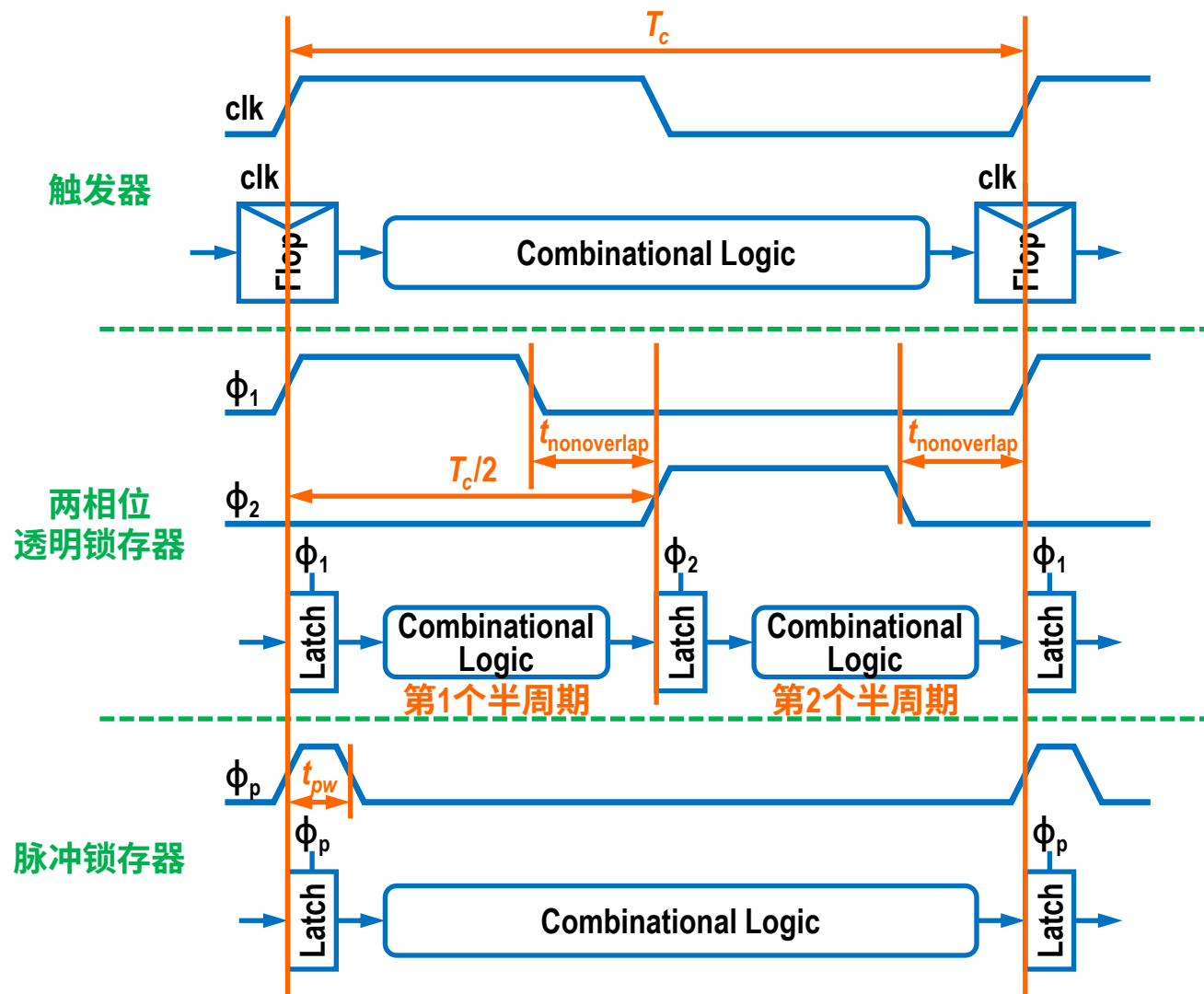
## ■ 静态存储和动态存储

- 静态存储 (Static Storage)
  - 时序元件采用某种反馈使输出值永远保持下去
- 动态存储 (Dynamic Storage)
  - 时序元件的值以电荷保存在电容中，若长时间未刷新，电荷将会因泄漏而消失

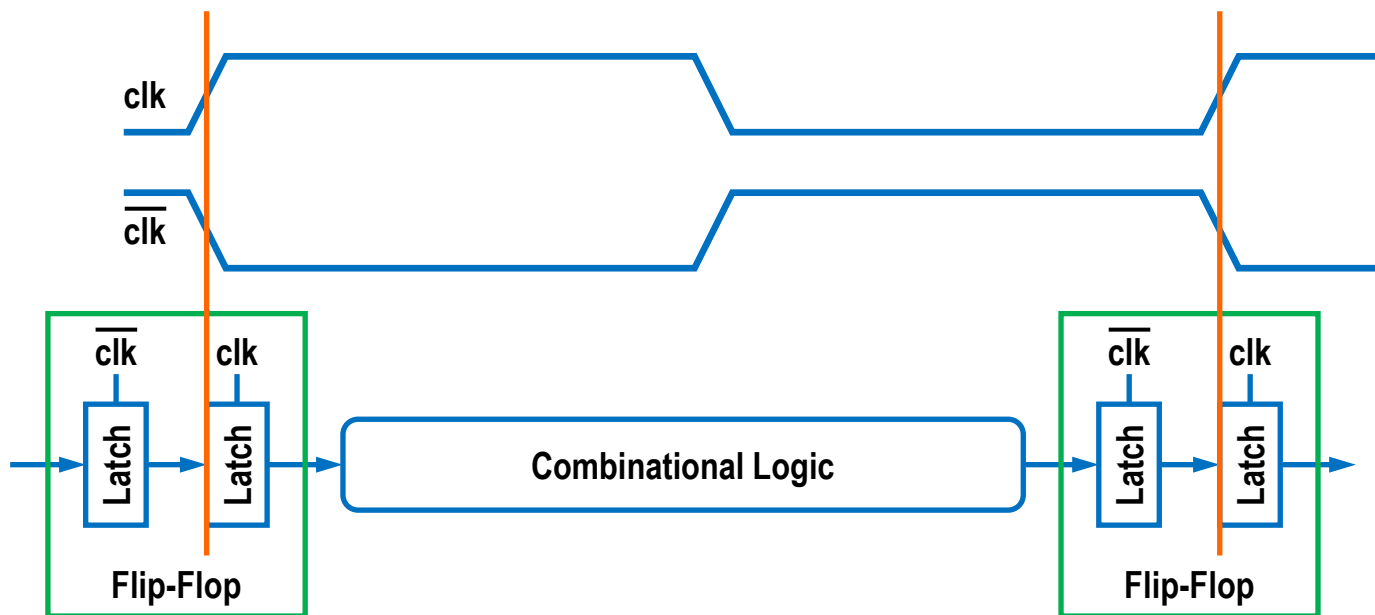
# 静态电路的时序控制



锁存器和触发器



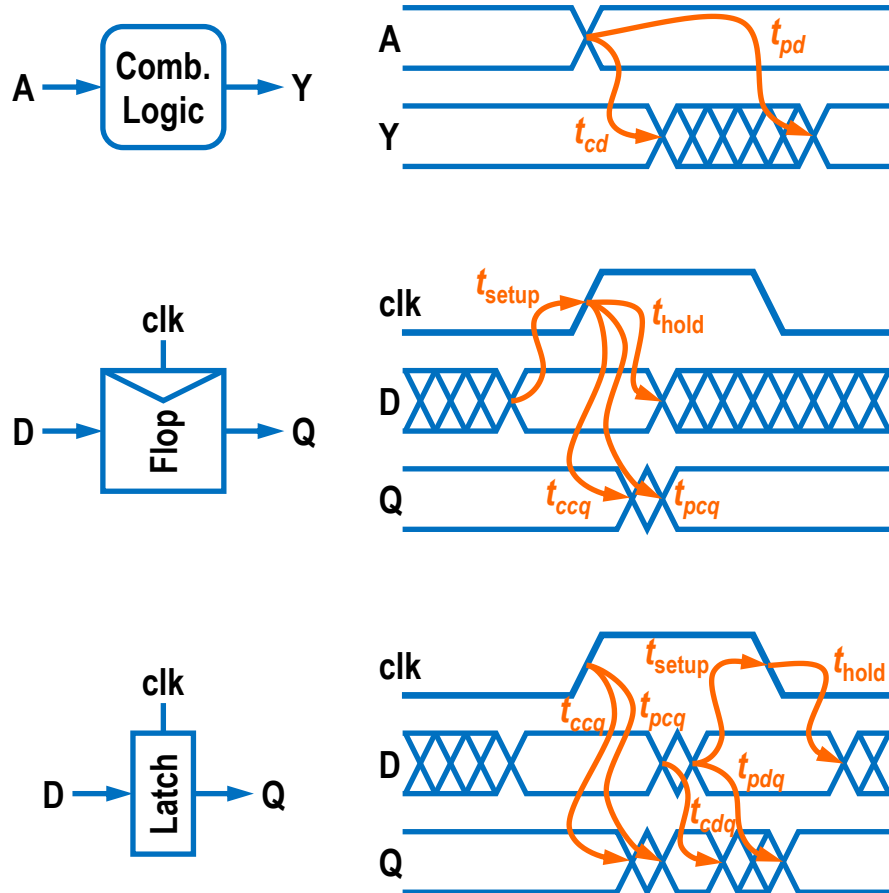
静态电路的时序控制方法



触发器看作反相时钟驱动的一对连续的锁存器

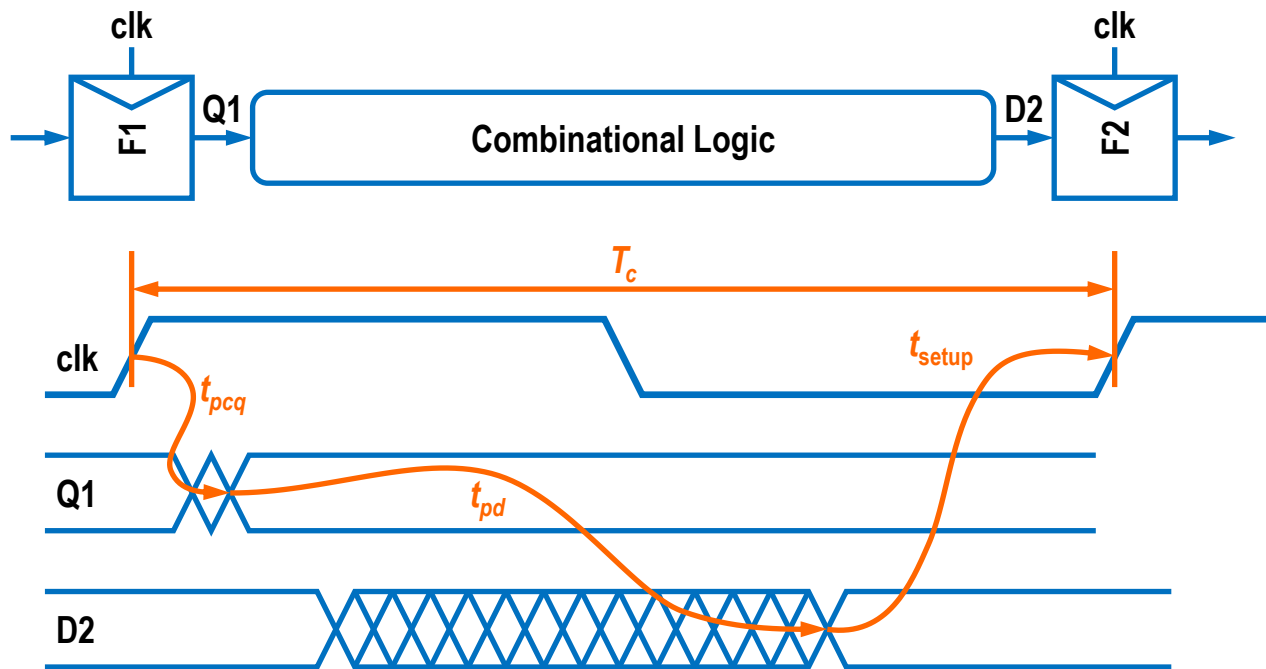


## 时序参数和符号



时序图

符号	意义
$t_{pd}$	组合逻辑传播延时
$t_{cd}$	组合逻辑污染延时
$t_{pcq}$	锁存器/触发器时钟至输出传播延时
$t_{ccq}$	锁存器/触发器时钟至输出污染延时
$t_{pdq}$	锁存器输入数据至输出传播延时
$t_{cdq}$	锁存器输入数据至输出污染延时
$t_{setup}$	锁存器/触发器建立时间
$t_{hold}$	锁存器/触发器保持时间

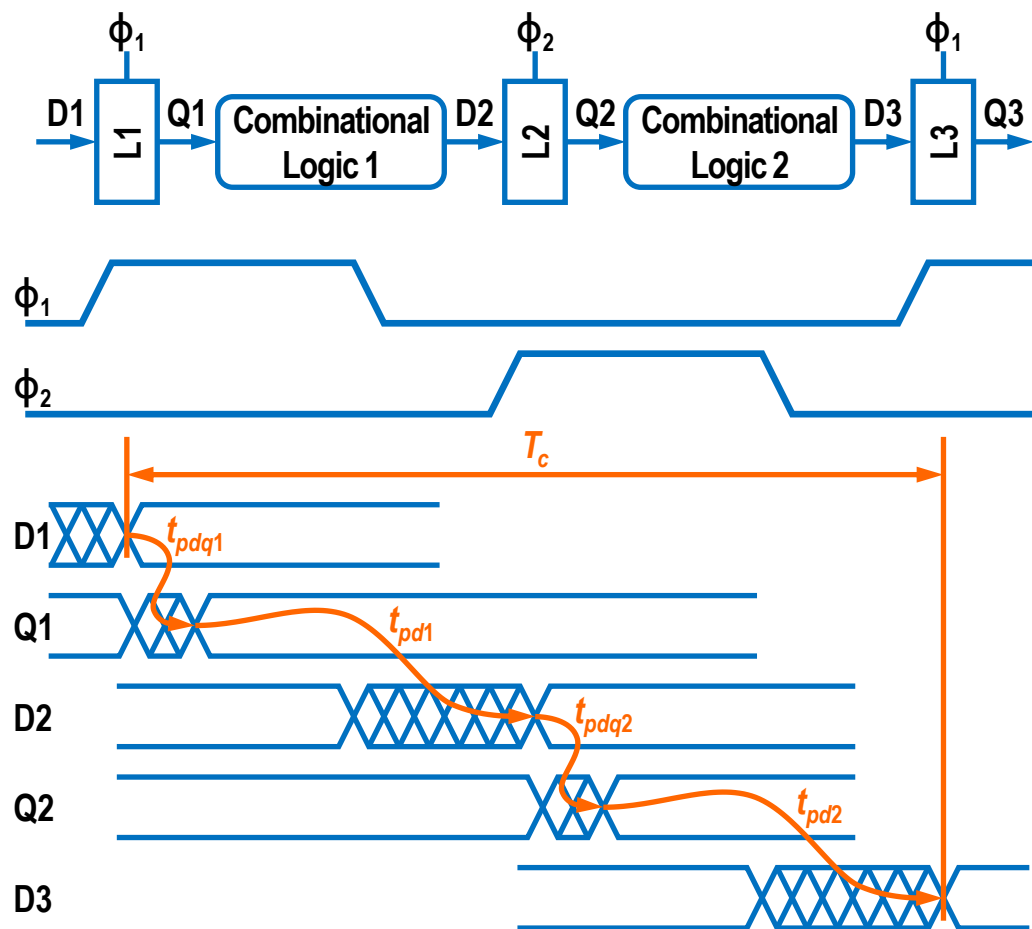


## 触发器的最大延时约束

$$T_c \geq t_{pcq} + t_{pd} + t_{setup}$$

$$t_{pd} \leq T_c - (t_{setup} + t_{pcq})$$

# 两相位锁存器的最大延时约束

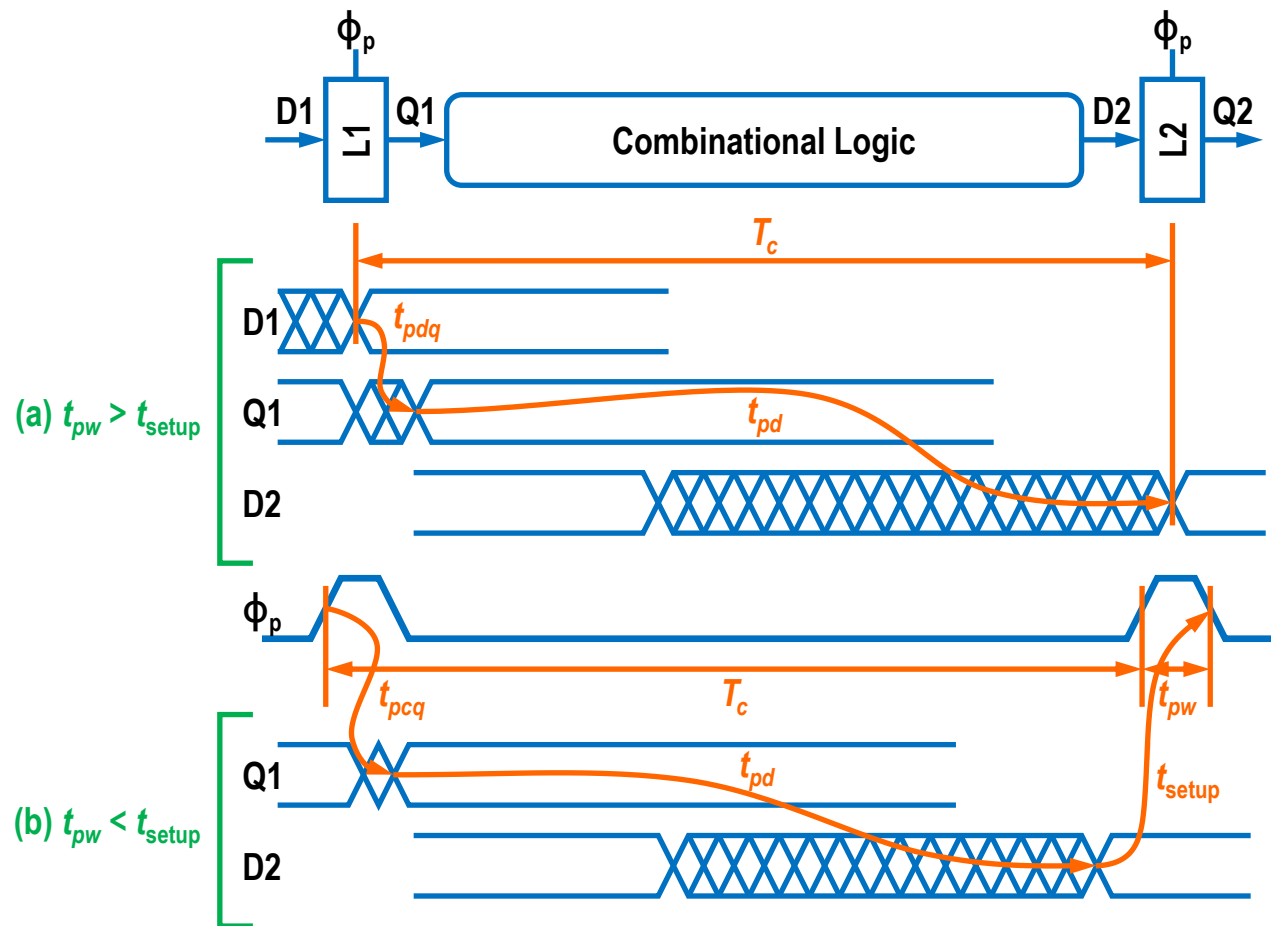


## 两相位锁存器的最大延时约束

$$T_c \geq t_{pdq1} + t_{pd1} + t_{pdq2} + t_{pd2}$$

$$t_{pd} = t_{pd1} + t_{pd2} \leq T_c - 2t_{pdq}$$

# 脉冲锁存器的最大延时约束

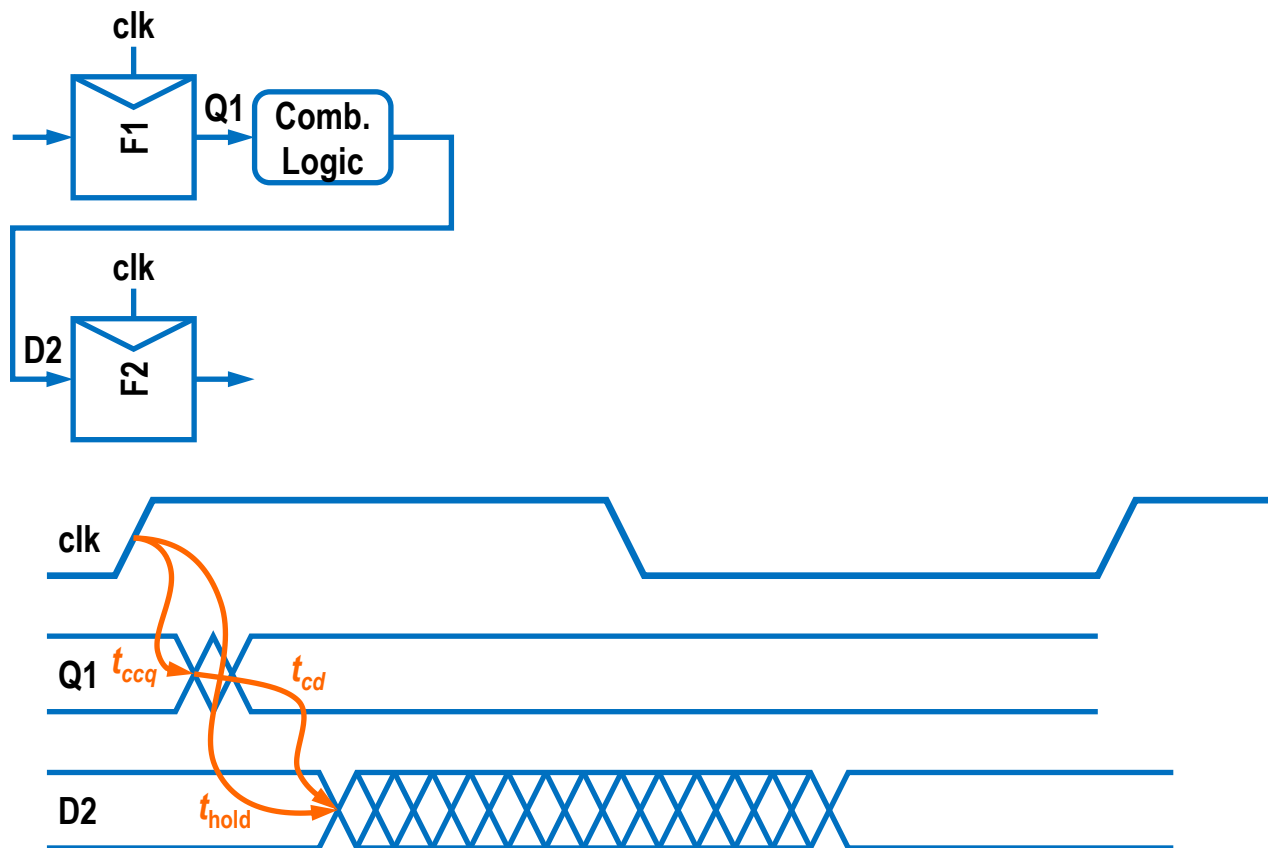


## 脉冲锁存器的最大延时约束

$$T_c \geq \max(t_{pdq} + t_{pd}, t_{pcq} + t_{pd} + t_{setup} - t_{pw})$$

$$t_{pd} \leq T_c - \max(t_{pdq}, t_{pcq} + t_{setup} - t_{pw})$$

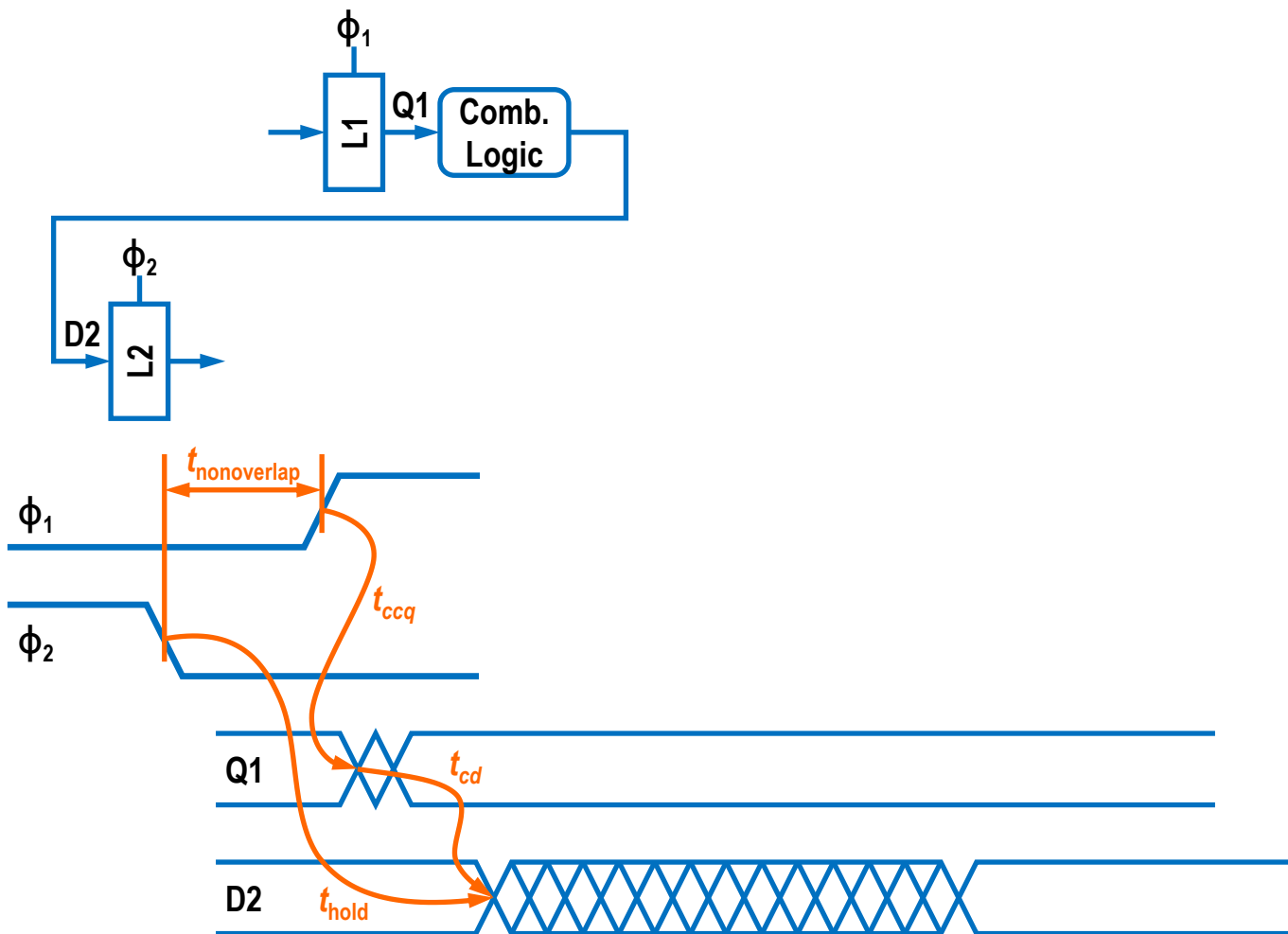
# 触发器的最小延时约束



## 触发器的最小延时约束

$$t_{cd} \geq t_{hold} - t_{ccq}$$

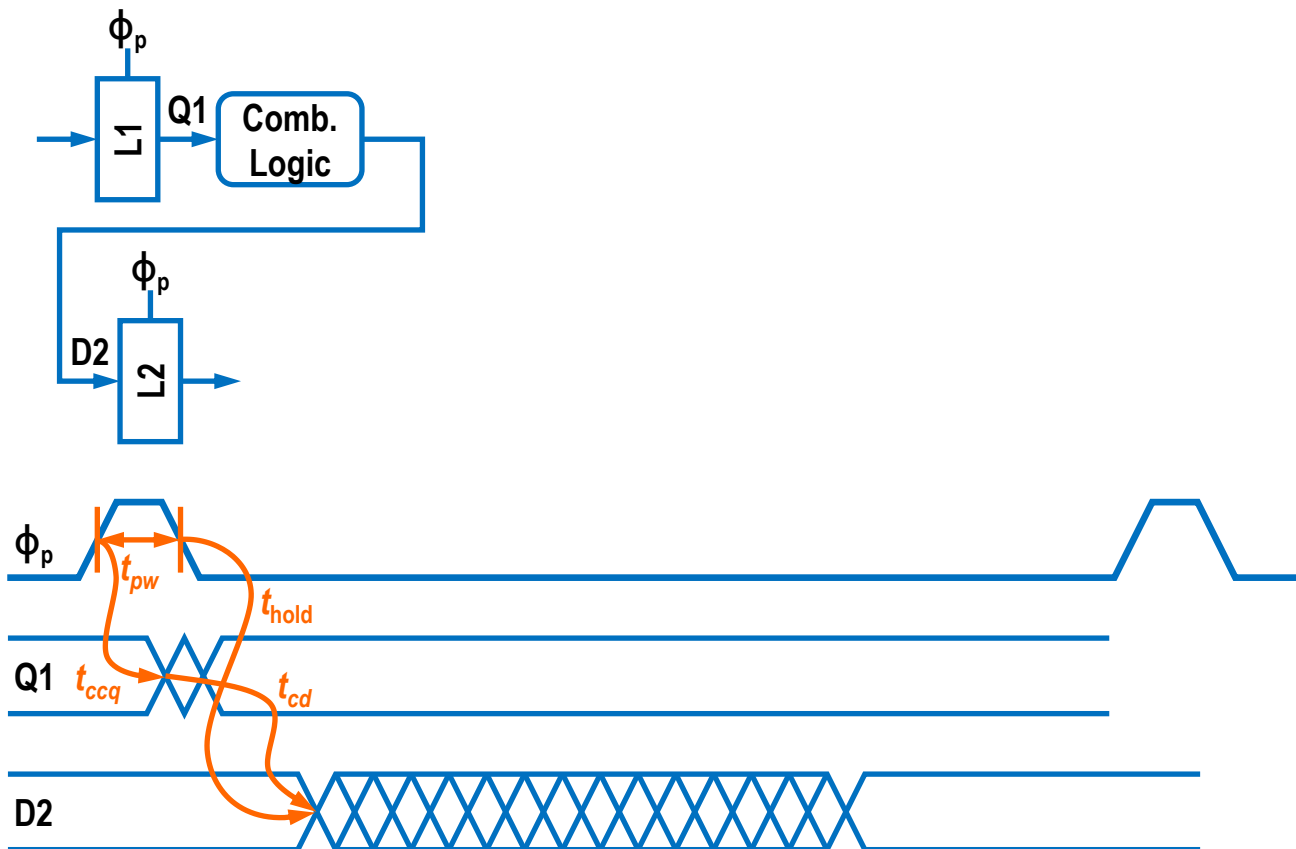
# 两相位锁存器的最小延时约束



## 两相位锁存器的最小延时约束

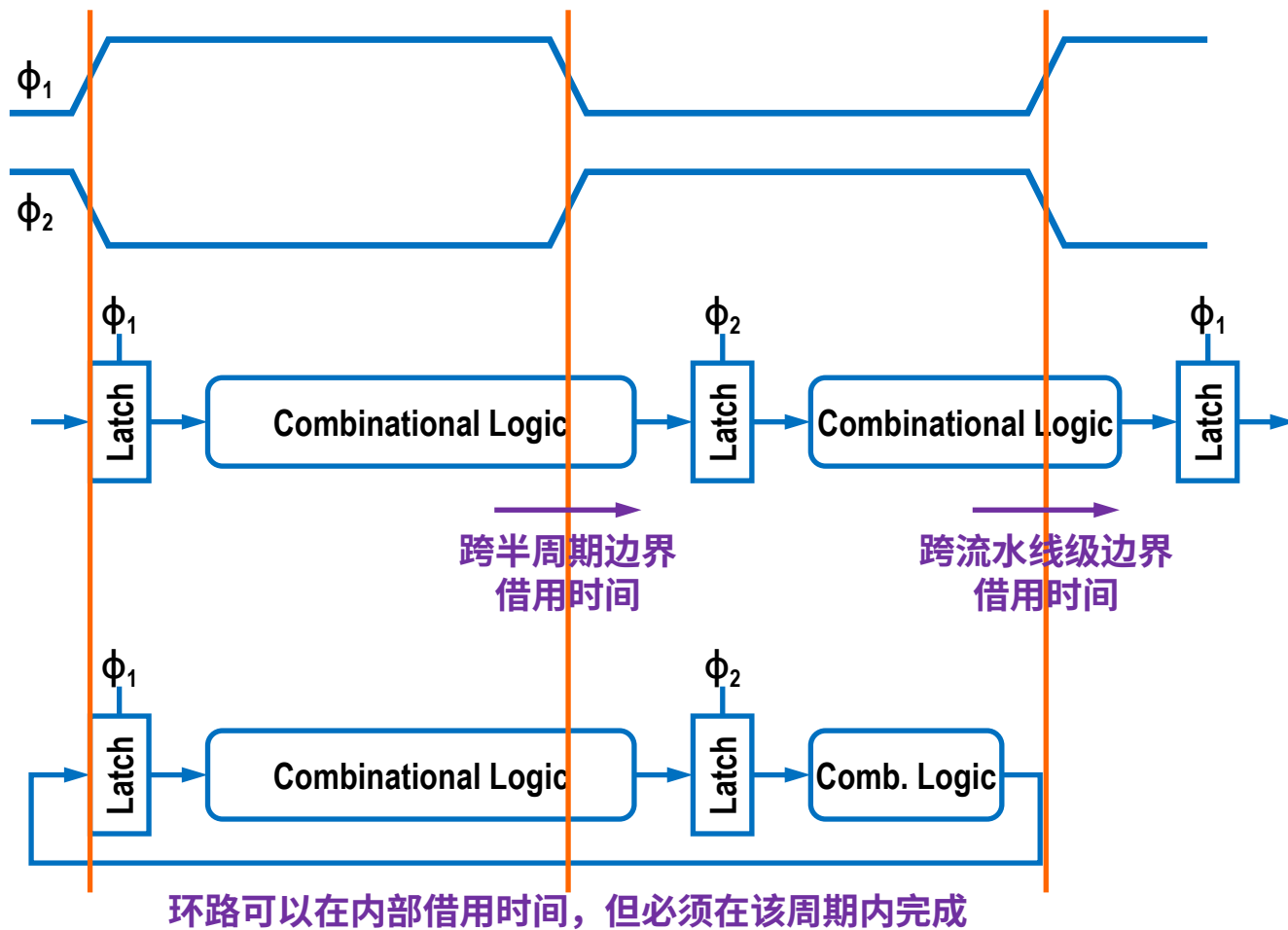
$$t_{cd1}, t_{cd2} \geq t_{hold} - t_{ccq} - t_{nonoverlap}$$

# 脉冲锁存器的最小延时约束



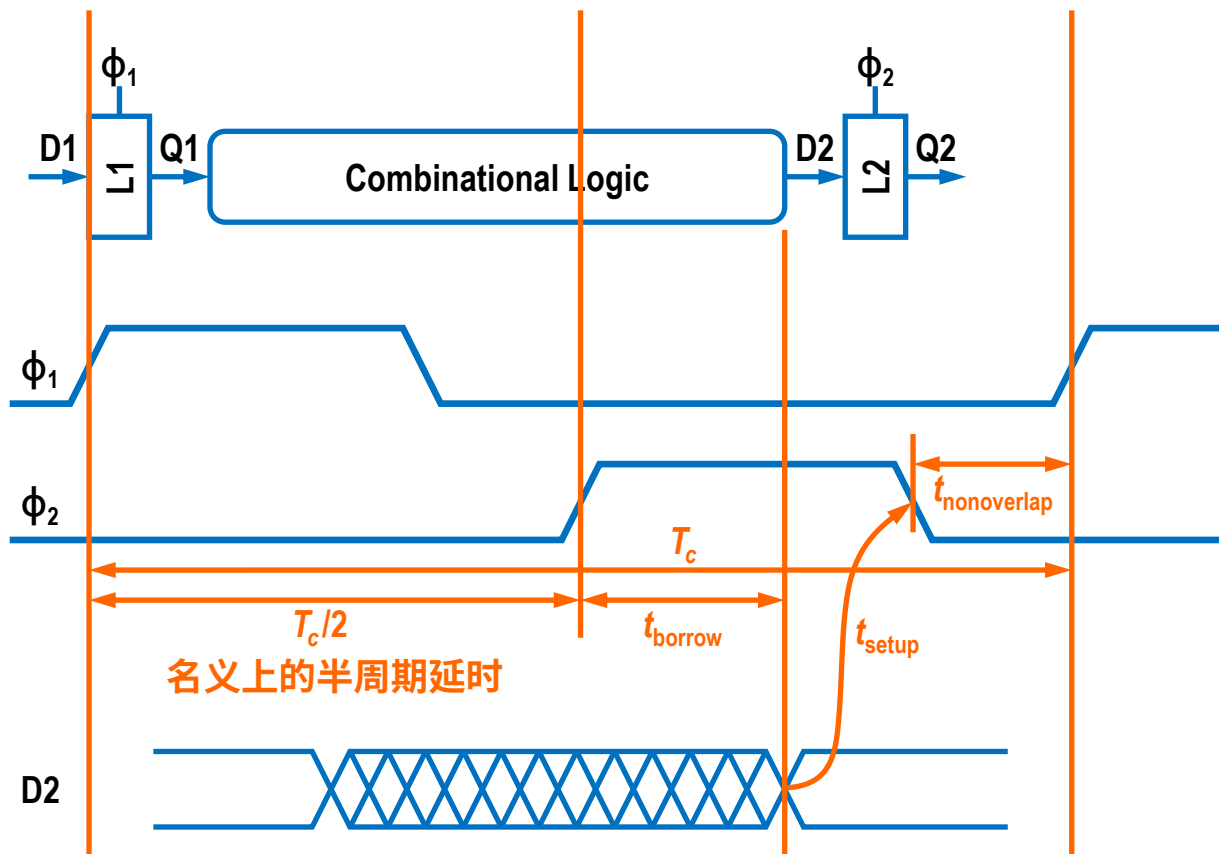
## 脉冲锁存器的最小延时约束

$$t_{cd} \geq t_{\text{hold}} - t_{ccq} + t_{pw}$$



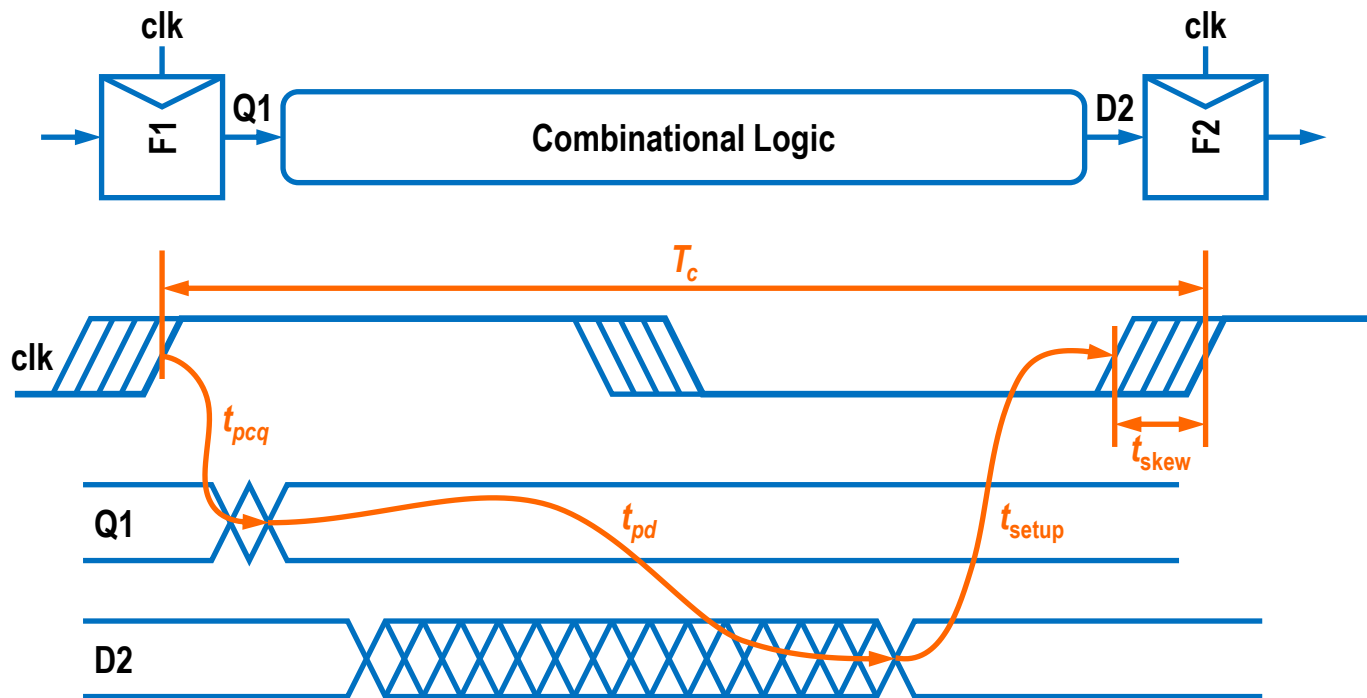
透明锁存器系统的时间借用(Time Borrowing)





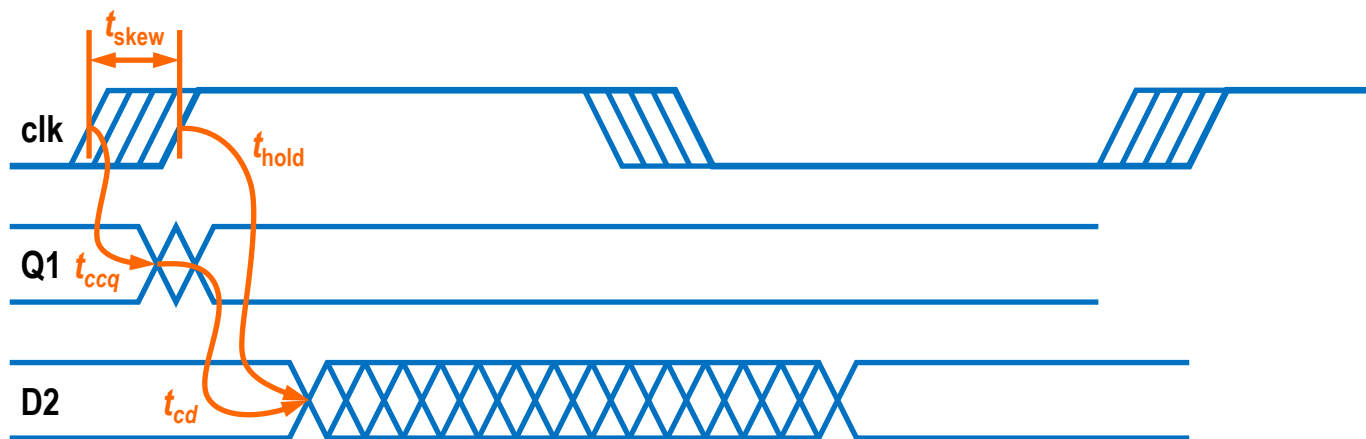
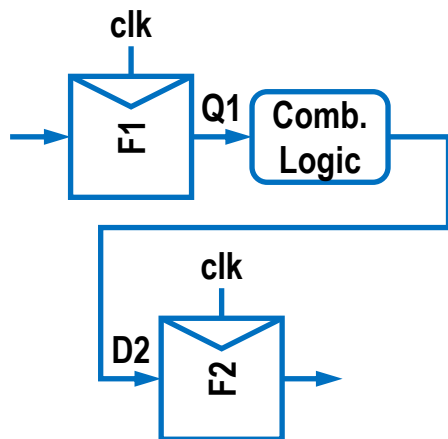
两相位锁存器系统能借用的最长时间

$$t_{\text{borrow}} \leq \frac{T_c}{2} - (t_{\text{setup}} + t_{\text{nonoverlap}})$$



## 时钟偏斜与触发器的最大延时约束

$$t_{pd} \leq T_c - (t_{pcq} + t_{setup} + t_{skew})$$



## 时钟偏斜与触发器的最小延时约束

$$t_{cd} \geq t_{\text{hold}} - t_{ccq} + t_{\text{skew}}$$

## ■ 时钟偏斜与透明锁存器

$$t_{pd} \leq T_c - 2t_{pdq}$$

$$t_{cd1}, t_{cd2} \geq t_{\text{hold}} - t_{ccq} - t_{\text{nonoverlap}} + t_{\text{skew}}$$

$$t_{\text{borrow}} \leq \frac{T_c}{2} - (t_{\text{setup}} + t_{\text{nonoverlap}} + t_{\text{skew}})$$

## ■ 时钟偏斜与脉冲锁存器

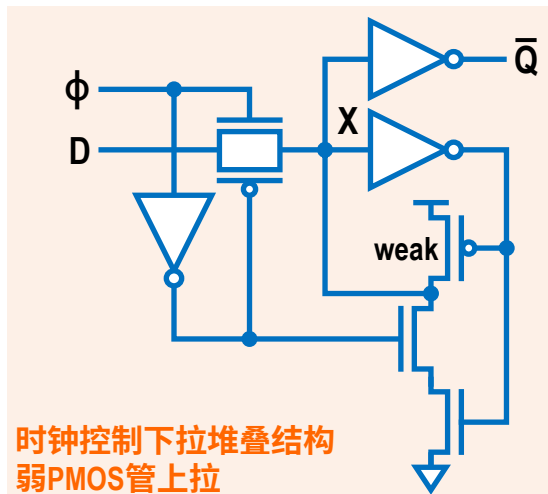
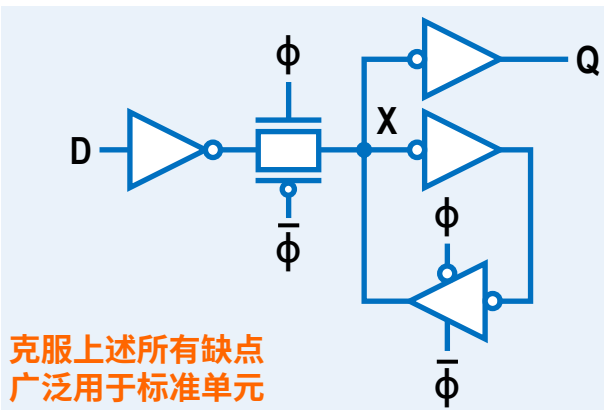
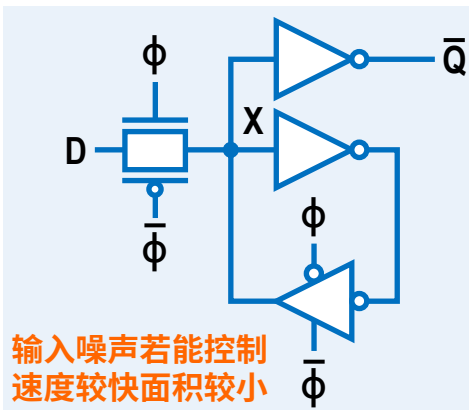
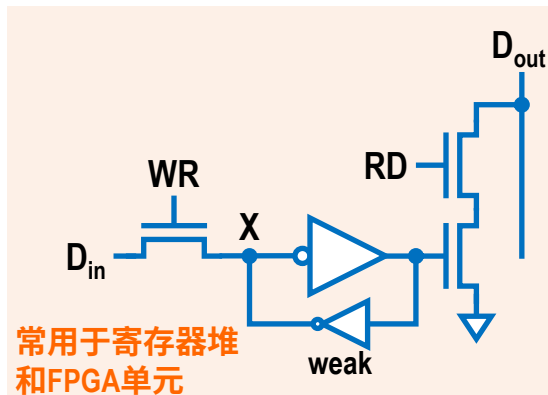
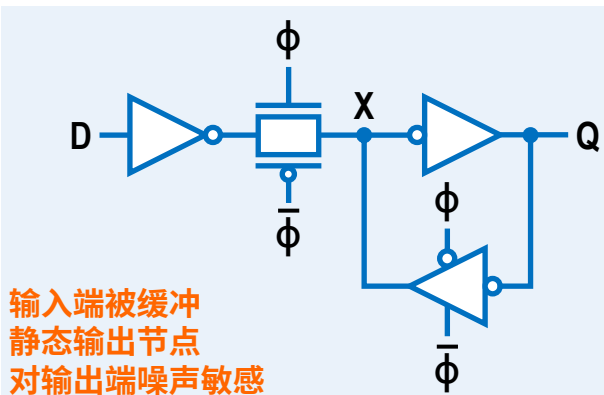
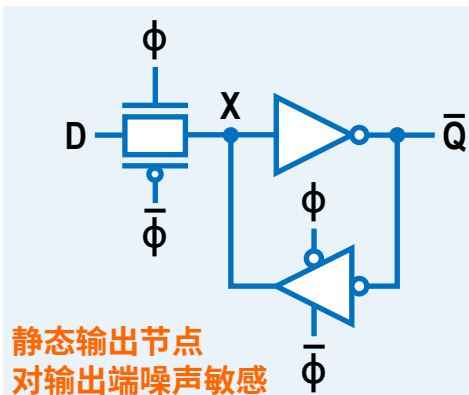
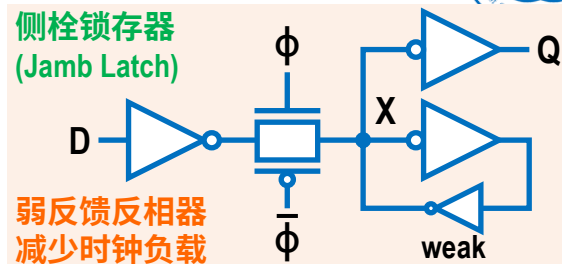
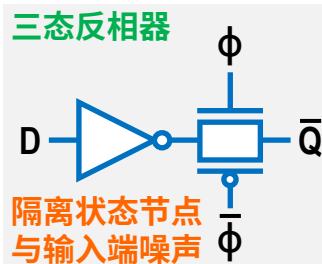
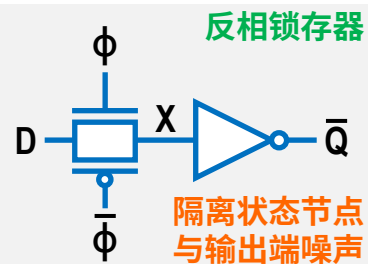
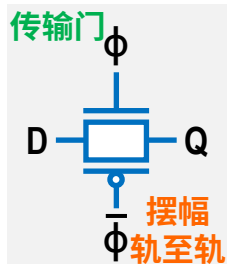
$$t_{pd} \leq T_c - \max(t_{pdq}, t_{pcq} + t_{\text{setup}} - t_{pw} + t_{\text{skew}})$$

$$t_{cd} \geq t_{\text{hold}} + t_{pw} - t_{ccq} + t_{\text{skew}}$$

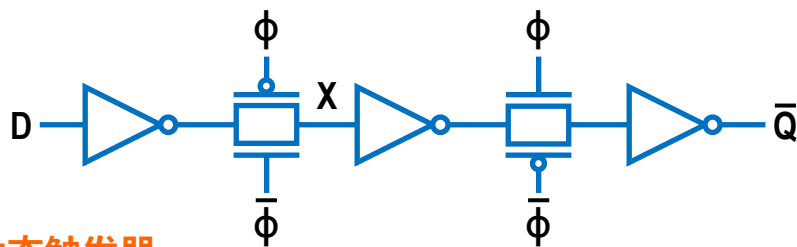
$$t_{\text{borrow}} \leq t_{pw} - (t_{\text{setup}} + t_{\text{skew}})$$

# 锁存器和触发器电路设计

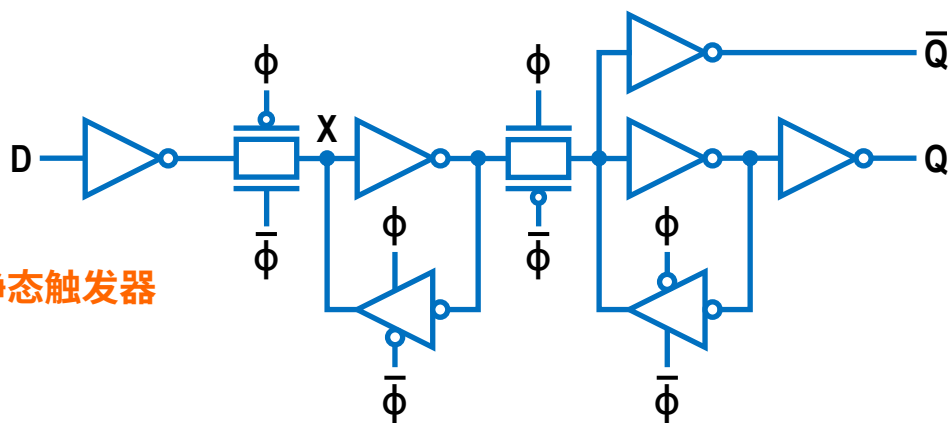
# 传统CMOS锁存器



## 透明锁存器 (Transparent Latch)

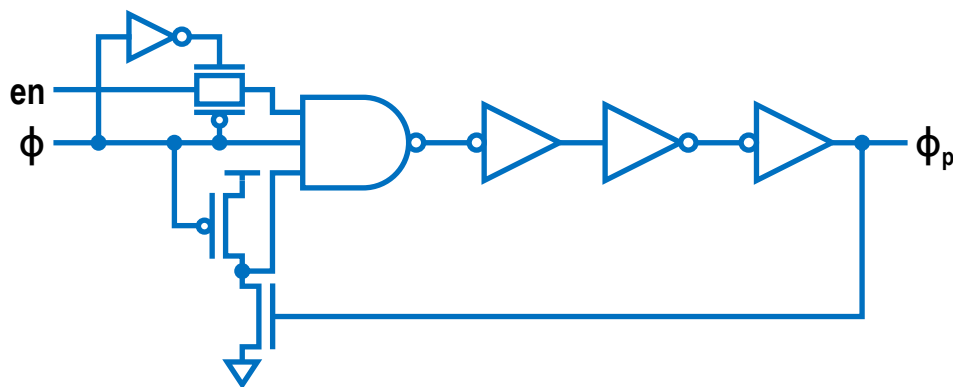
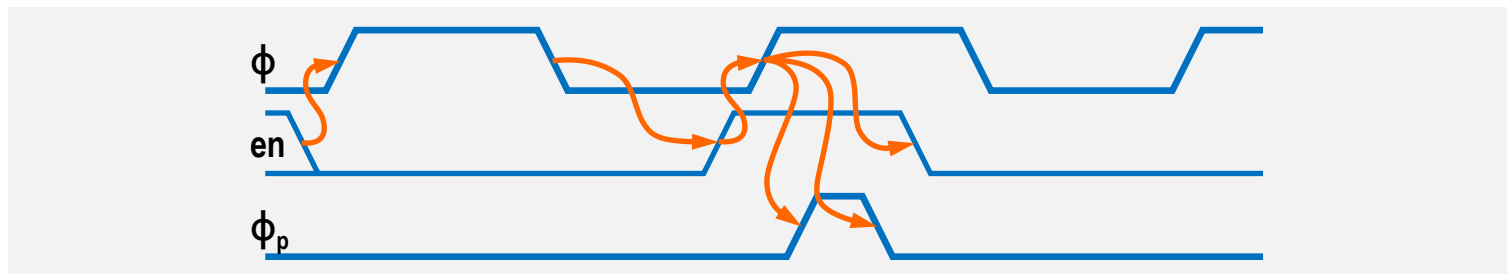
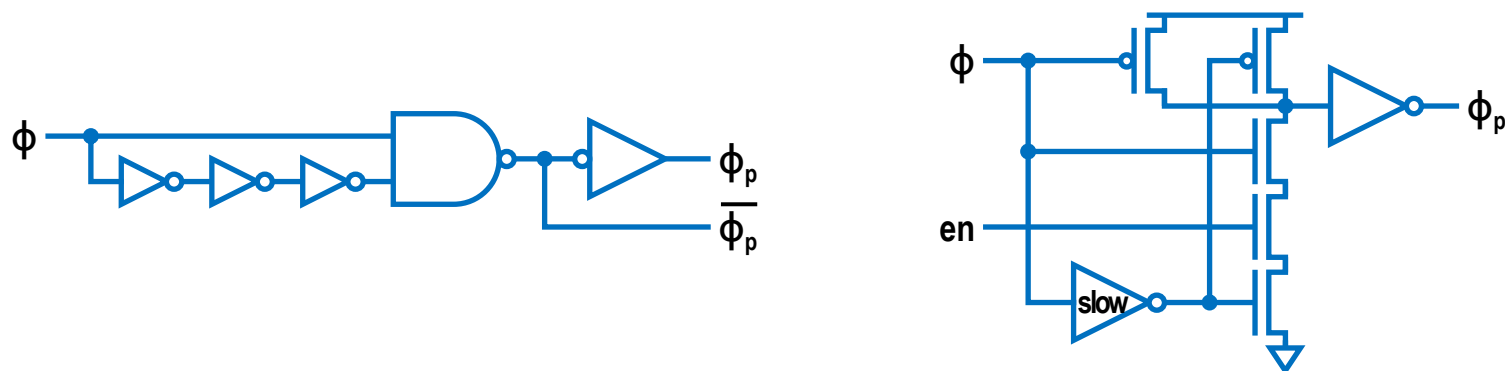


反相位动态触发器



非反相位静态触发器

触发器



## 脉冲发生器

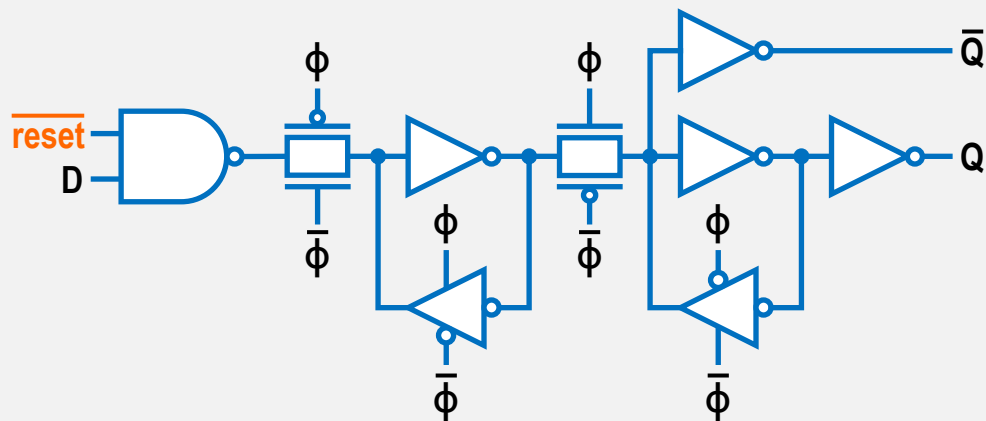
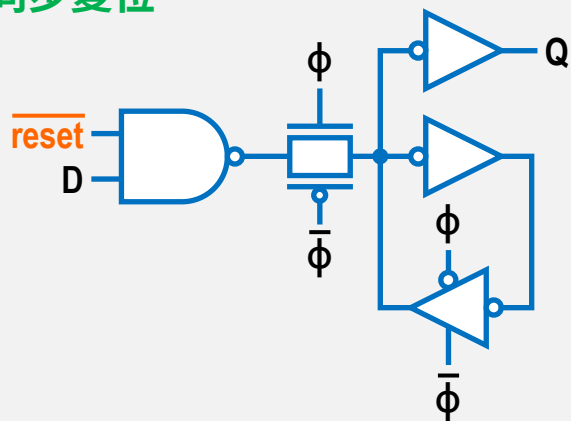
脉冲锁存器可由短时钟脉冲驱动的CMOS透明锁存器构成



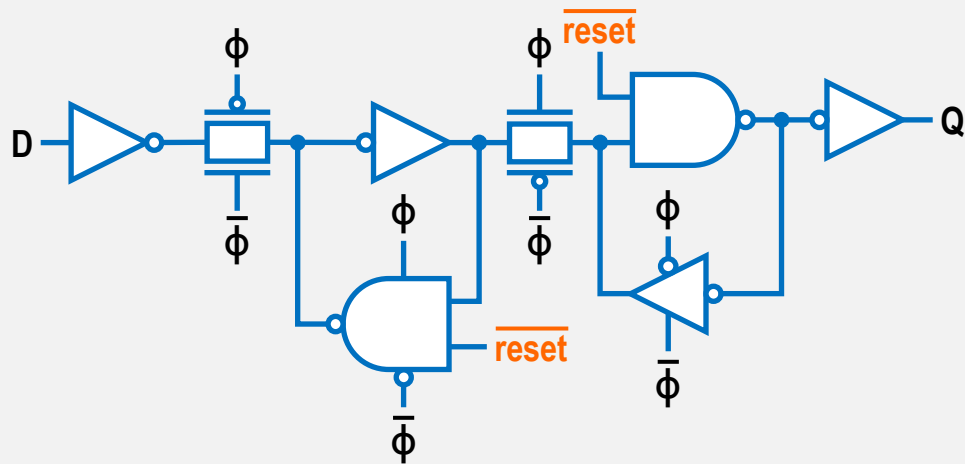
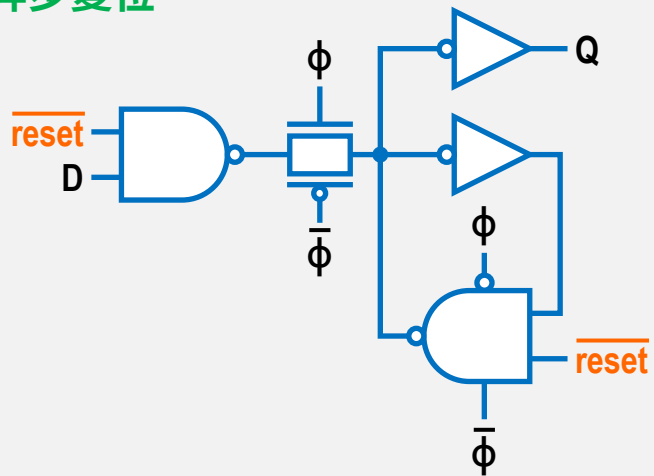
# 可复位锁存器和触发器



## 同步复位

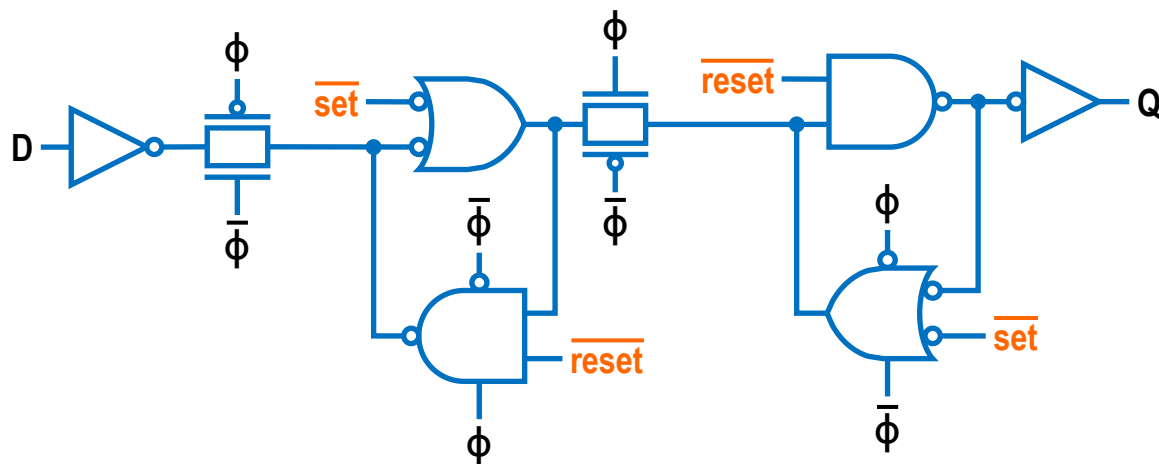


## 异步复位



## 可复位锁存器和触发器

# 具有异步置位和复位的触发器

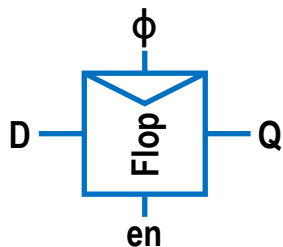
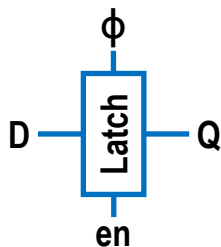


同时具有异步置位和异步复位的触发器

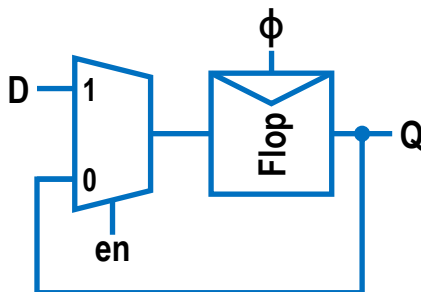
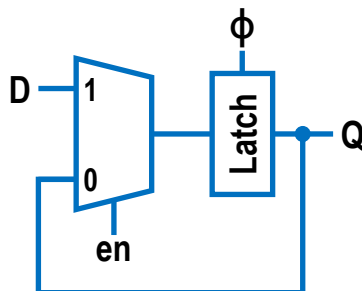
# 具有使能端的锁存器和触发器



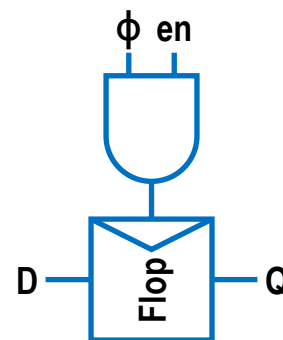
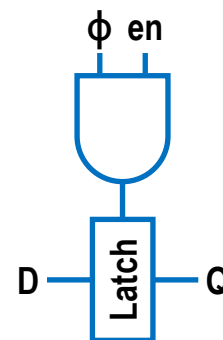
符号



多路开关设计

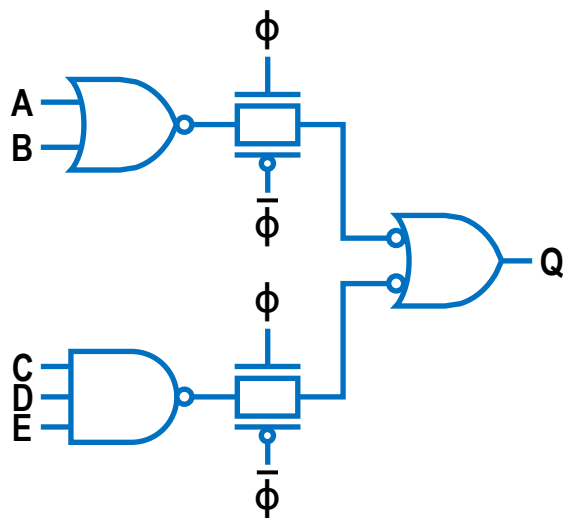


时钟门控设计

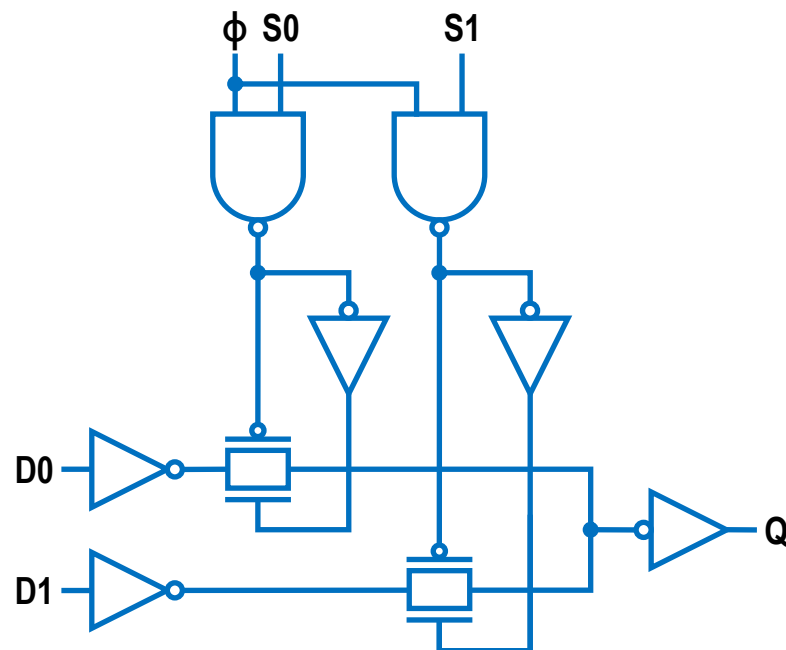


具有使能端的锁存器和触发器

# 将逻辑合并到锁存器中

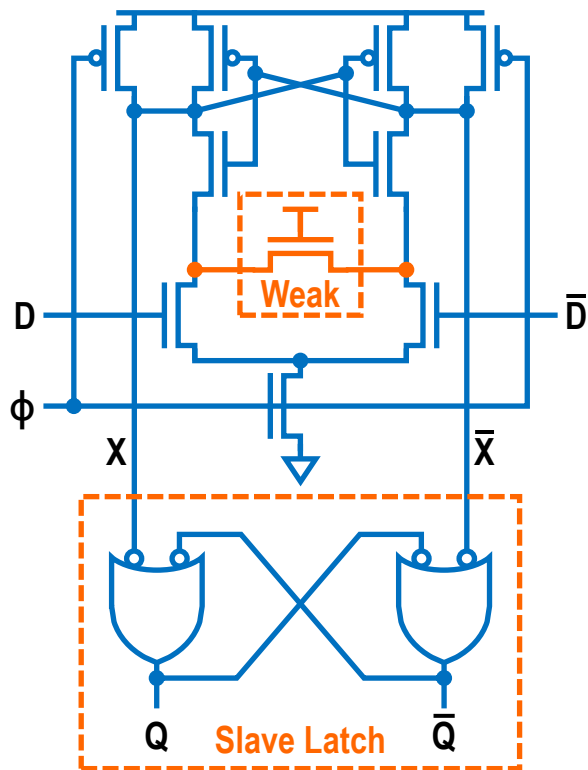


钟控传输门-反相静态CMOS门结构

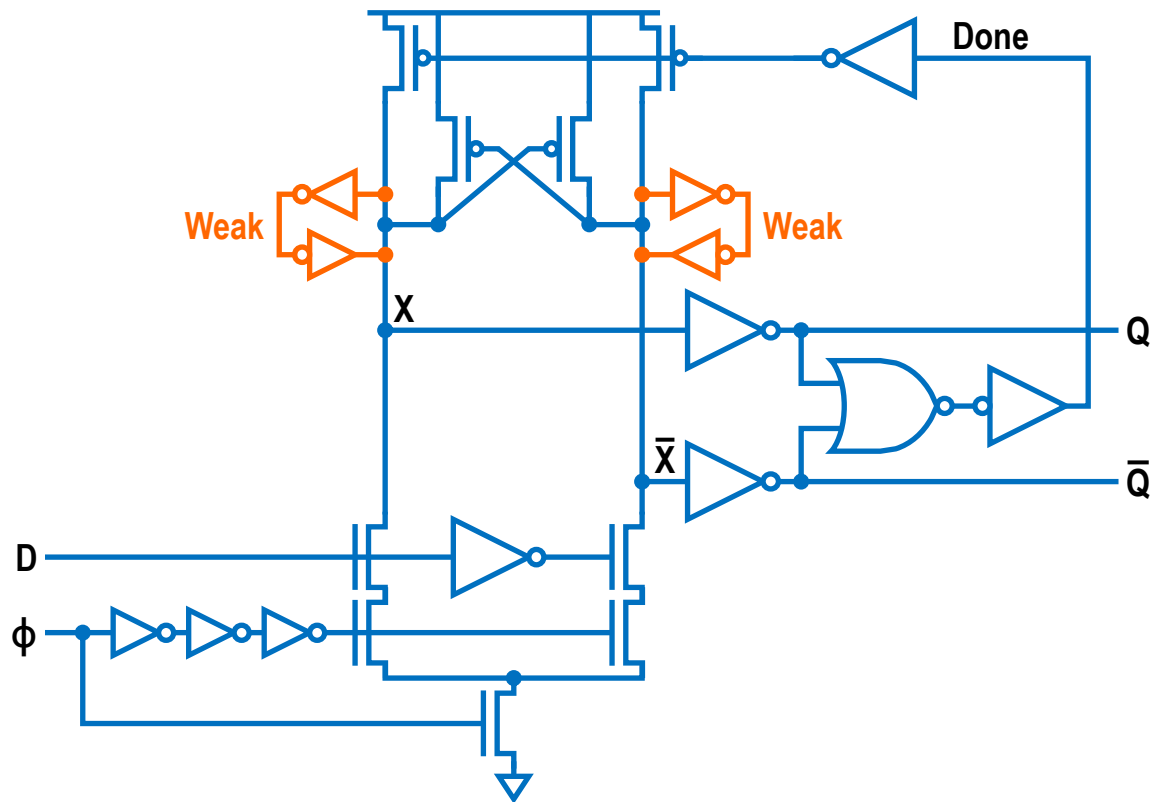


多路开关-锁存器结构

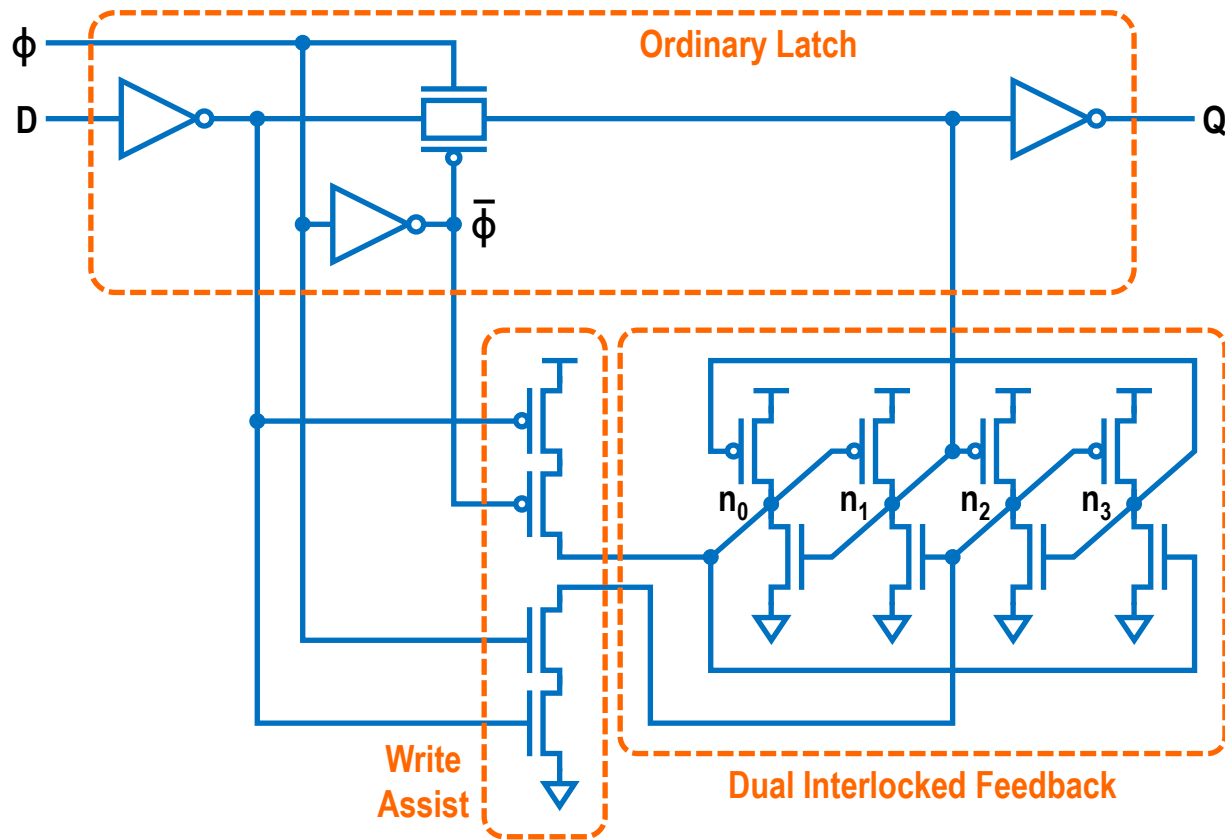
将逻辑与锁存器合并



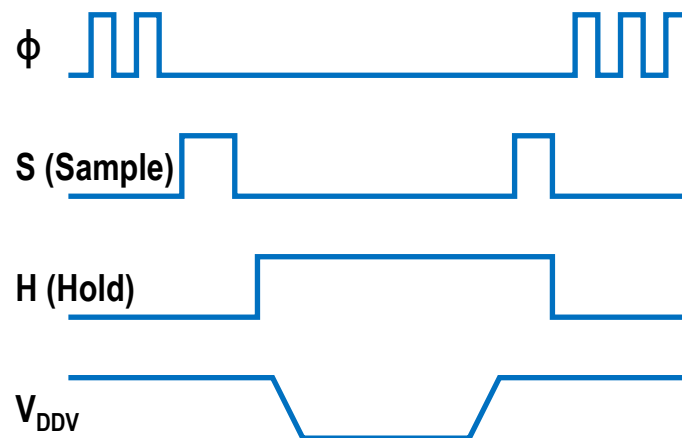
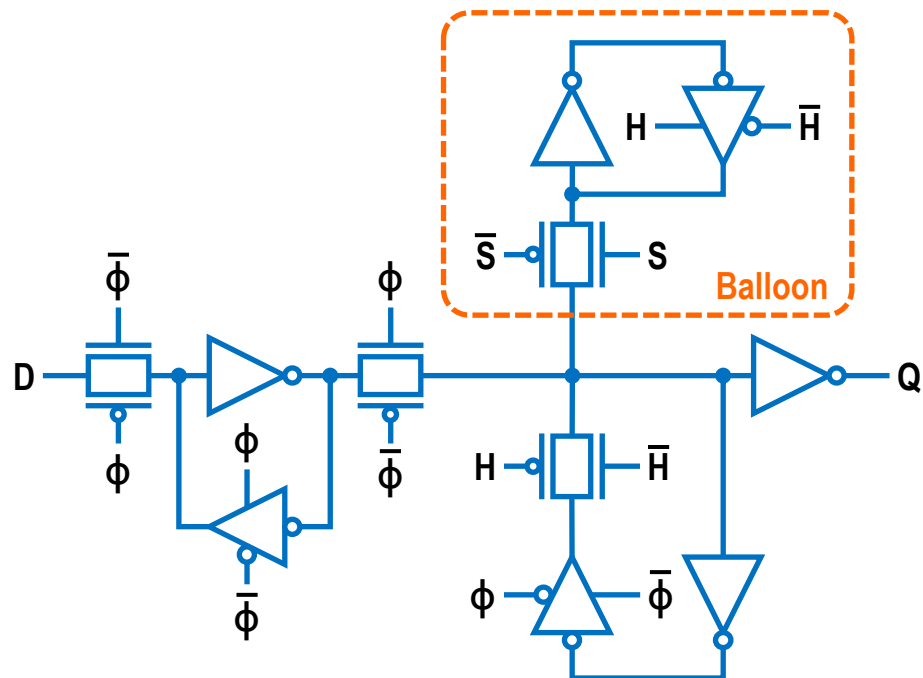
灵敏放大触发器  
(Sense-Amplifier Flip-Flop, SAFF)



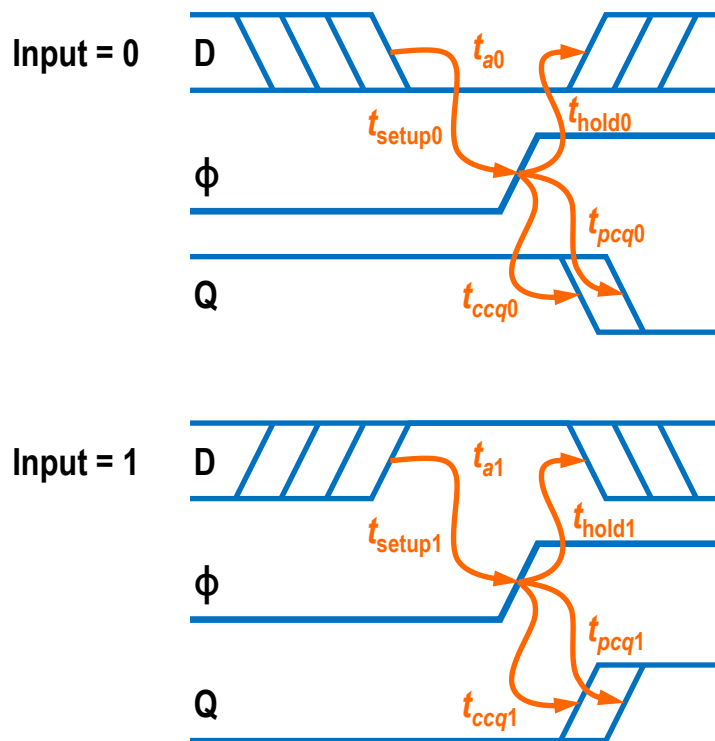
双轨脉冲边缘触发锁存器  
(Dual-Rail Pulsed Edge Triggered Latch)



抗辐照锁存器

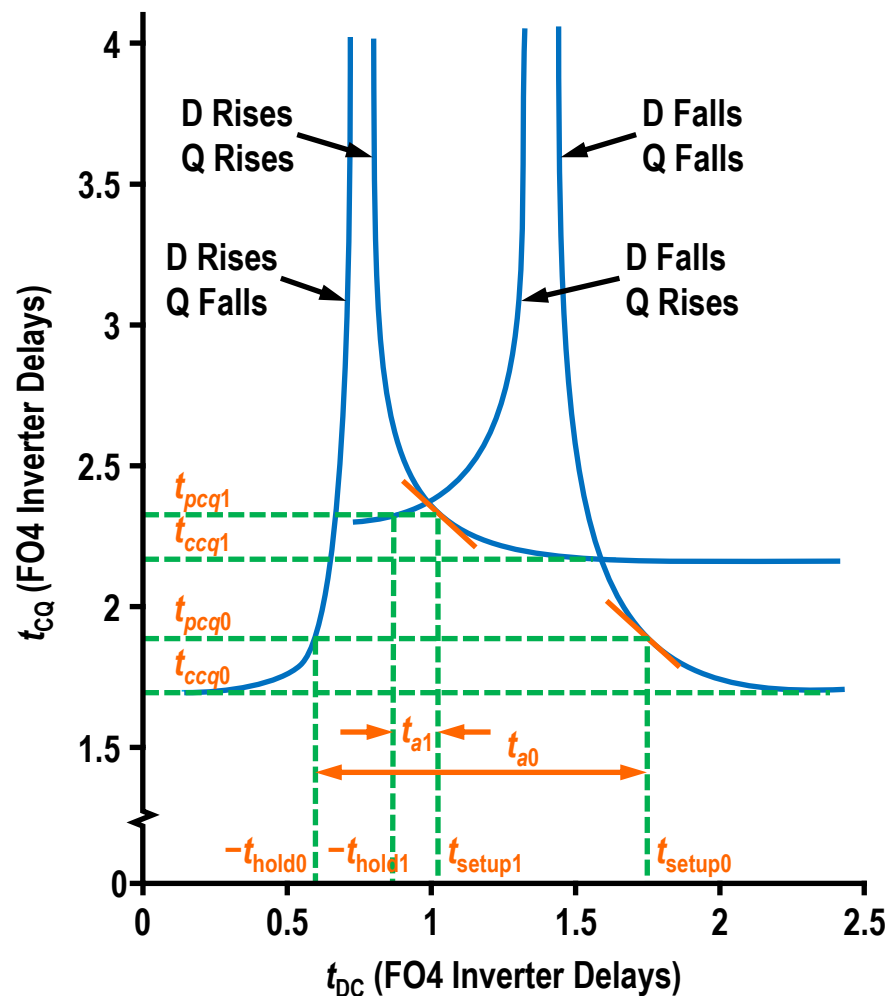


状态保持寄存器 (State Retention Register)



$$t_{a0} = t_{\text{setup}0} + t_{\text{hold}0}$$

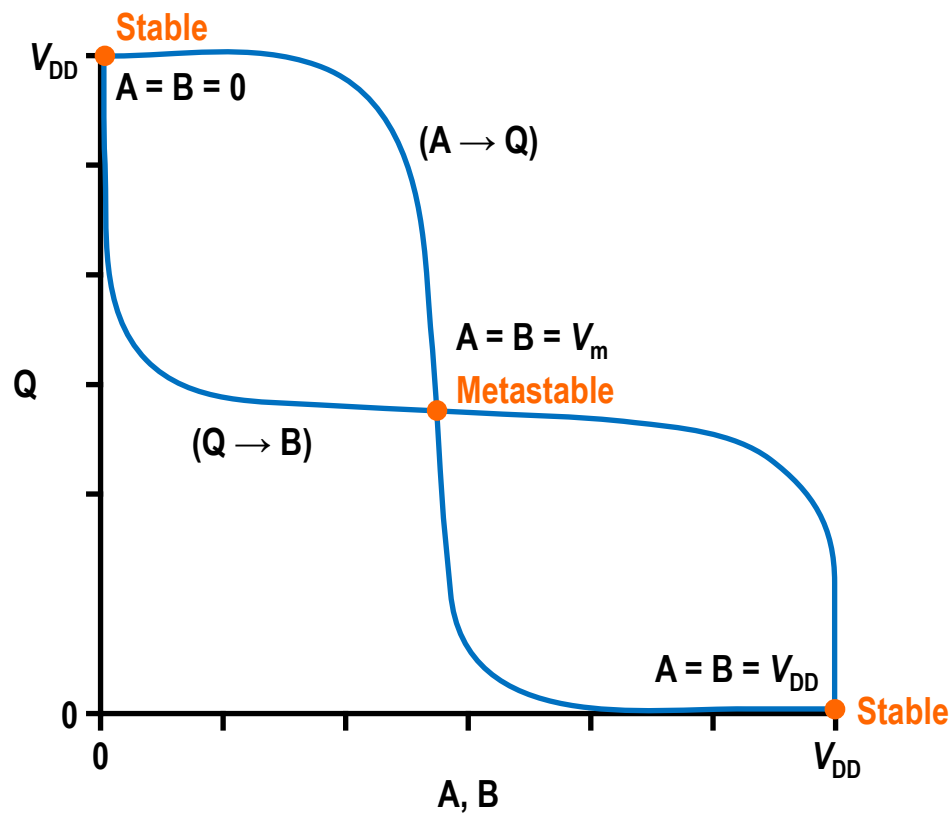
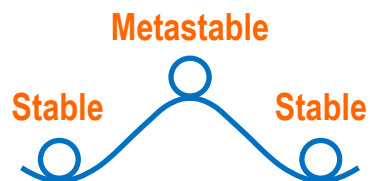
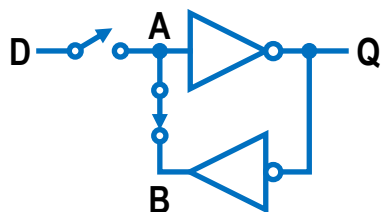
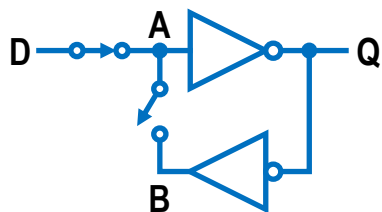
$$t_{a1} = t_{\text{setup}1} + t_{\text{hold}1}$$



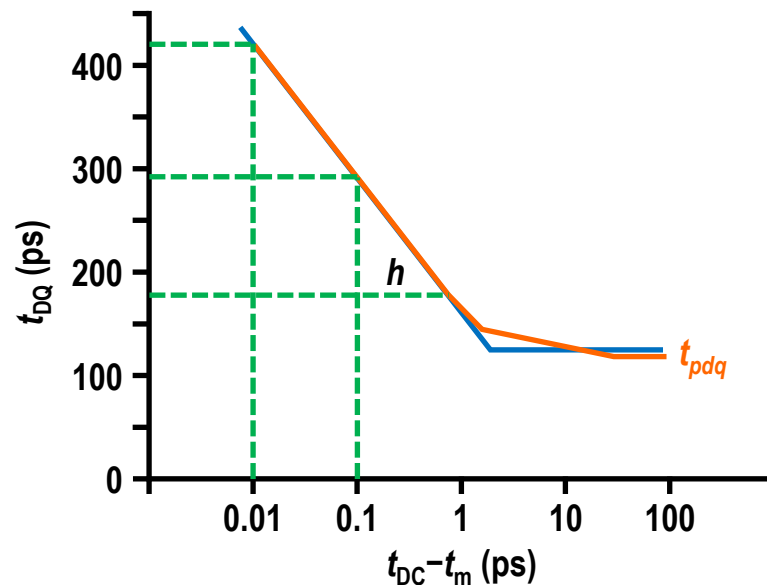
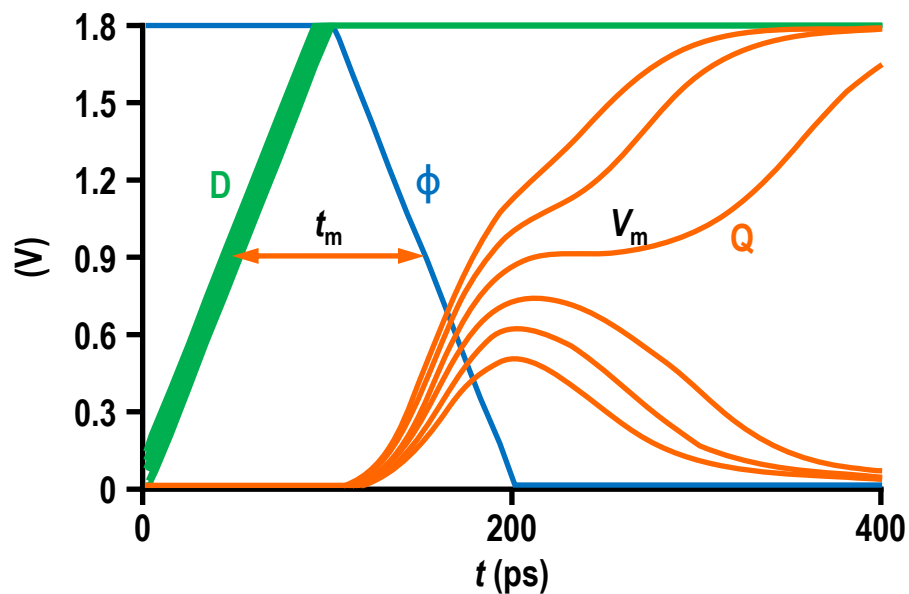
触发器的建立时间和保持时间



# 同步器

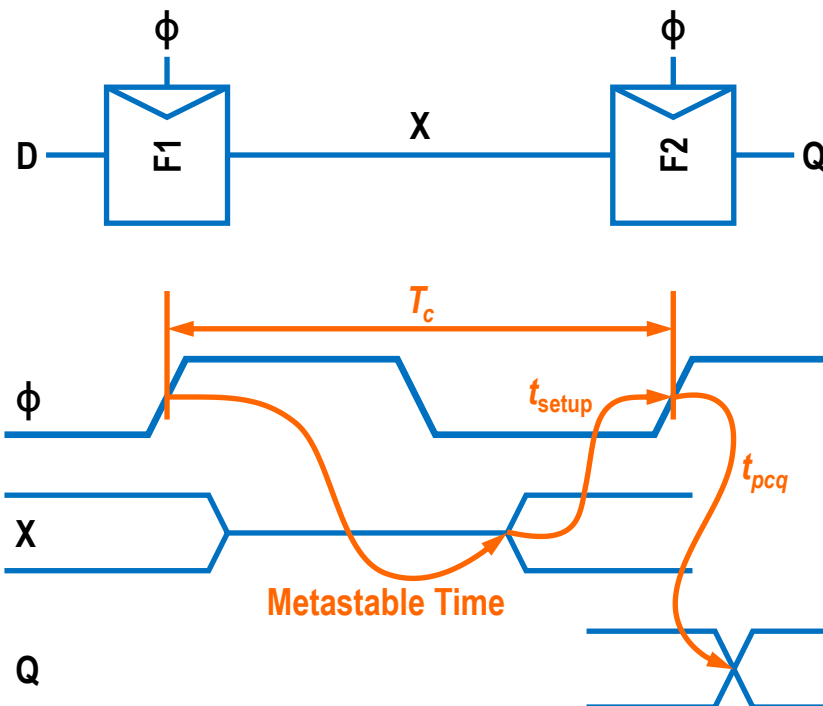


静态锁存器的亚稳态



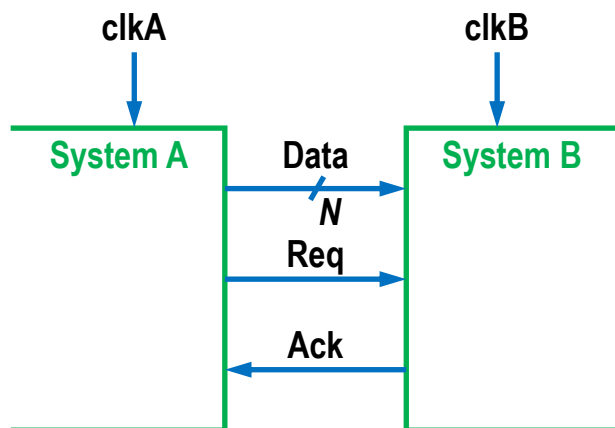
## 亚稳态瞬态分析和传播延时

$$P(t_{DQ} > t') = \frac{T_0}{T_c} e^{-\frac{t'}{\tau_s}}, \quad t' > h$$



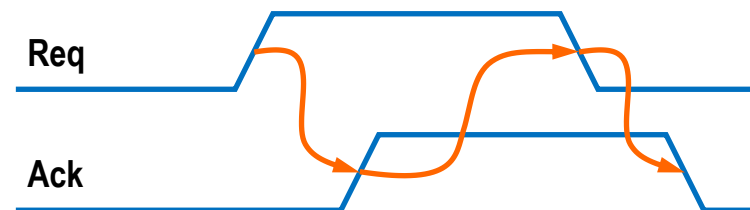
## 简单同步器

$$P(\text{failure}) = N \frac{T_0}{T_c} e^{\frac{-(T_c - t_{\text{setup}})}{\tau_s}}, \quad \text{MTBF} = \frac{1}{P(\text{failure})} = \frac{T_c e^{\frac{T_c - t_{\text{setup}}}{\tau_s}}}{NT_0}$$

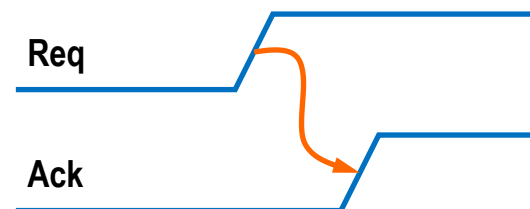


异步系统之间的通信

## Four-Phase Handshake Protocol

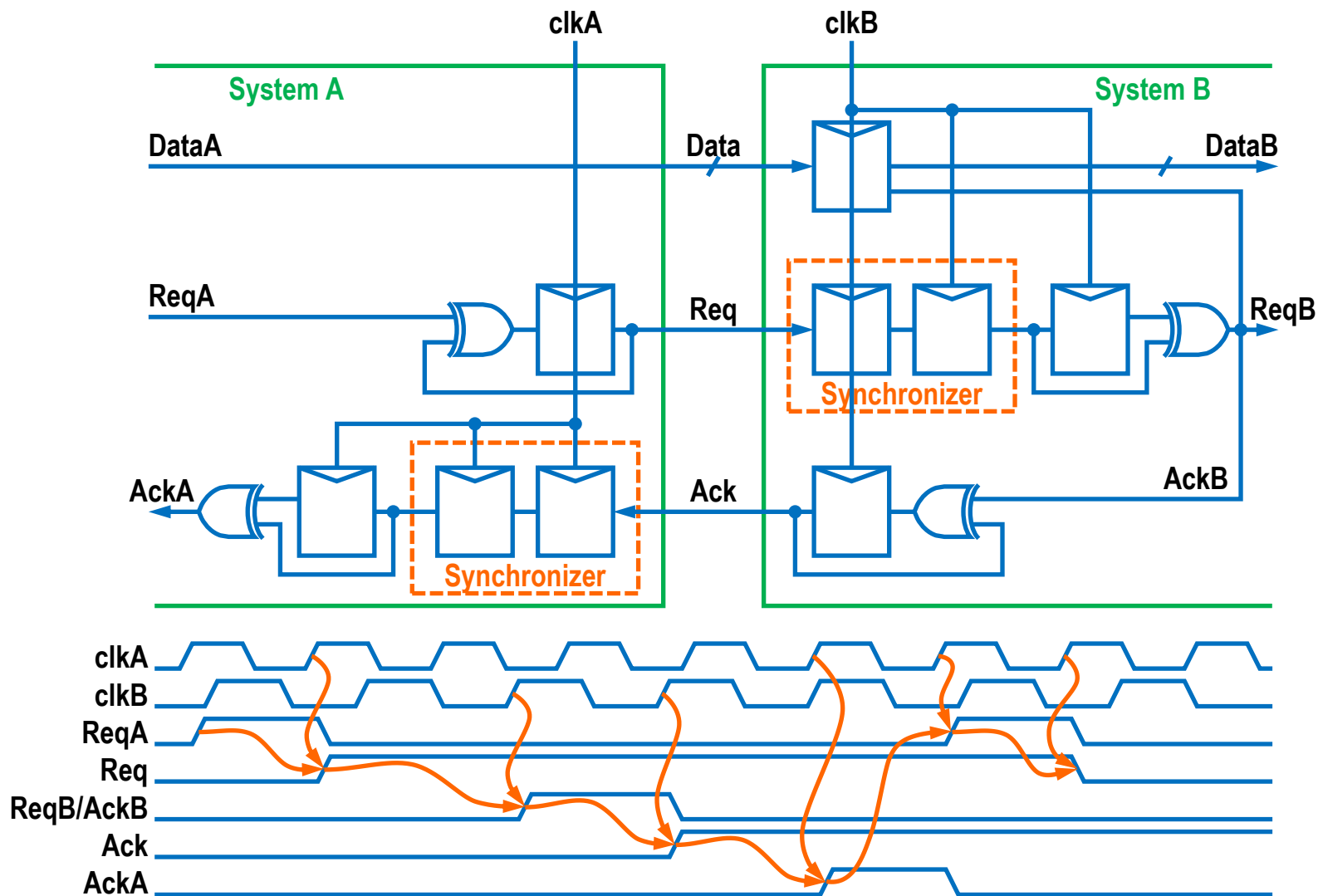


## Two-Phase Handshake Protocol



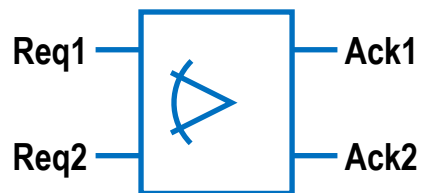
四相位和两相位握手协议

# 两相位握手电路

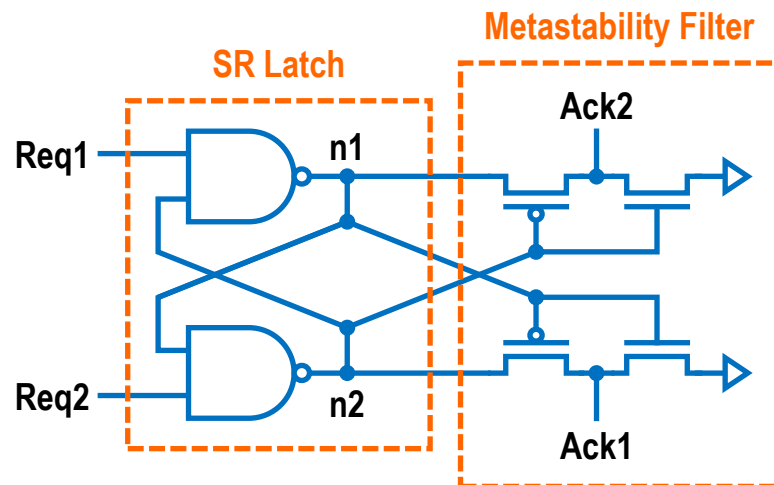


带同步器的两相位握手电路

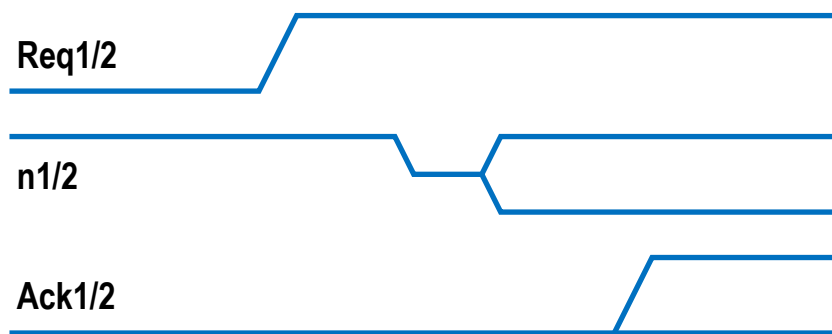
# 仲裁器 (Arbiter)



仲裁器符号



仲裁器电路图



仲裁器波形图

类型	周期性	$\Delta\phi$	$\Delta f$	说明
同步 Synchronous	是	0	0	信号具有与时钟相同的频率和相位，可以安全地使用时钟直接采样信号。 例：芯片内部触发器之间。
中同步 Mesochronous	是	常数	0	信号具有与时钟相同的频率但不同的相位，若将信号延迟一段固定的时间，使它落在间隙时间之外，即可安全地采样信号。 例：采用同一时钟但可能有任意时钟偏斜的芯片之间。
准同步 Plesiochronous	是	缓慢变化	小	信号具有与时钟几乎相同的频率，但相位随时间缓慢漂移。若将信号延迟一段可变但可预测的时间，即可安全地采样信号，但频率之间的差别有可能导致数据丢失或重复。 例：采用各自时钟晶振的电路板之间，但两个标称相同频率的晶振之间存在小的失配。
周期性 Periodic	是	快速变化	大	信号是任意频率周期信号，当数据在间隙期间变化时，可以利用周期性所具有的特点进行预测和延迟处理。 例：采用不同频率时钟的电路板之间。
异步 Asynchronous	否	未知	未知	信号可能在任意时间变化，需要使用良好的同步器。 例：来自按钮开关的输入。



**本章结束**