



中国科学技术大学  
University of Science and Technology of China

# 数字集成电路设计

## 第十三章 专用子系统

白雪飞

中国科学技术大学微电子学院

- 封装
- 电源分布
- 时钟
- 锁相环和延时锁定环
- 输入/输出



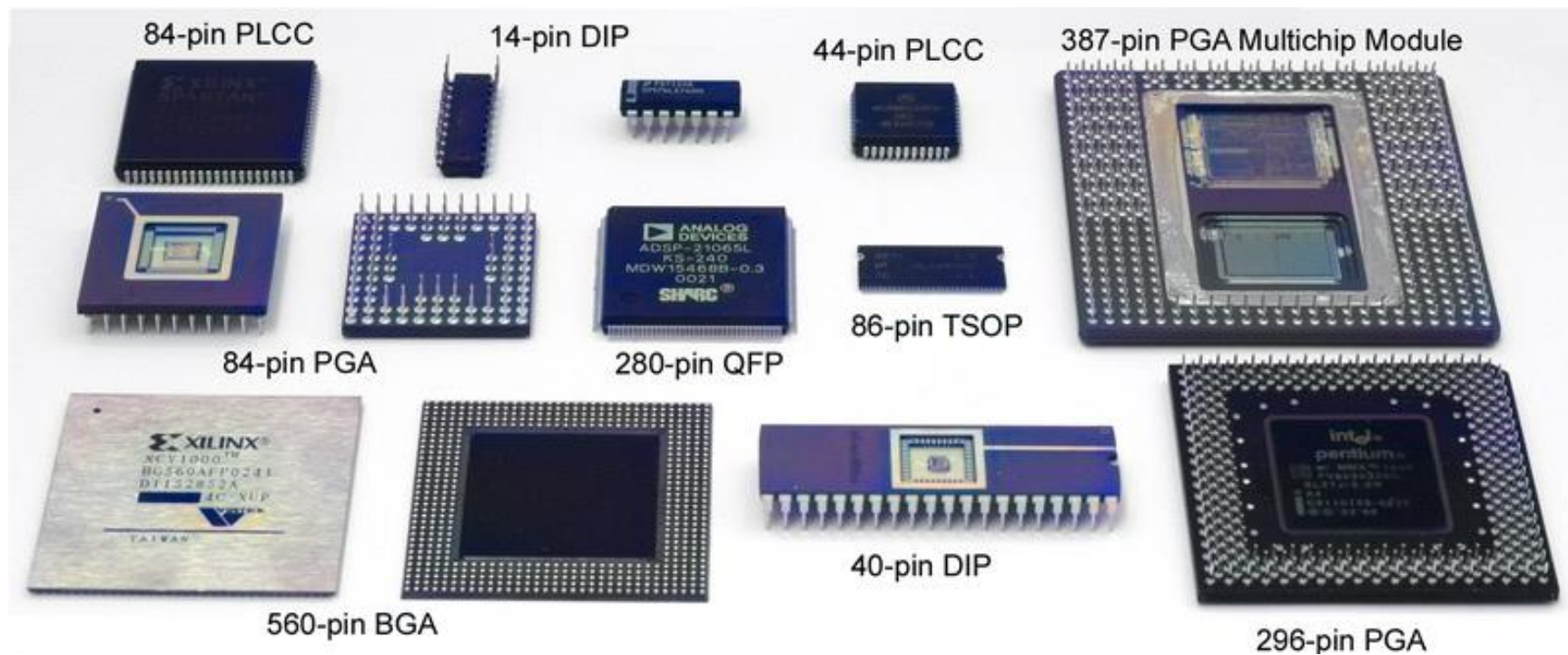
# 封装

## ■ 封装的作用

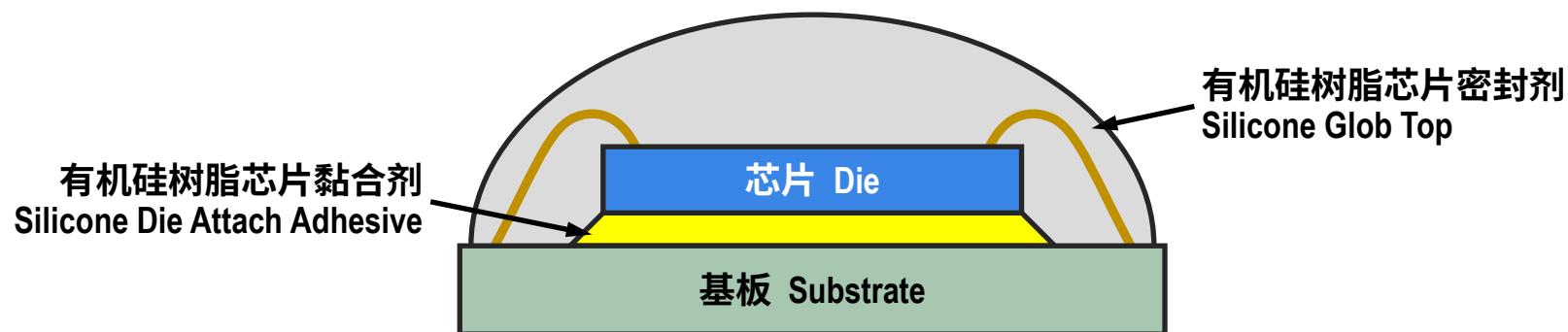
- 提供芯片和电路板之间的信号和电源连接而且只有较小的延时和失真
- 提供芯片和电路板之间的机械连接
- 散去芯片产生的热量
- 保护芯片免受机械损伤和热膨胀应力
- 制造和测试费用低

## ■ 封装的选择

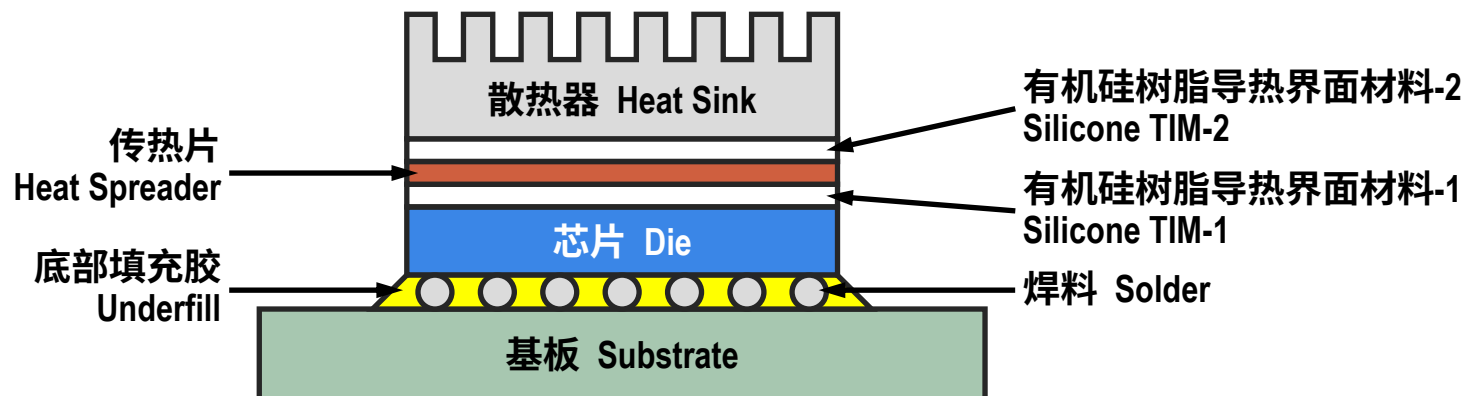
- 陶瓷封装、塑料封装
- 穿孔(Through-Hole)引脚、表面贴装技术(Surface Mount Technology, SMT)
- 引线键合(Wire Bonding, WB)、倒装芯片(Flip-Chip, FC)



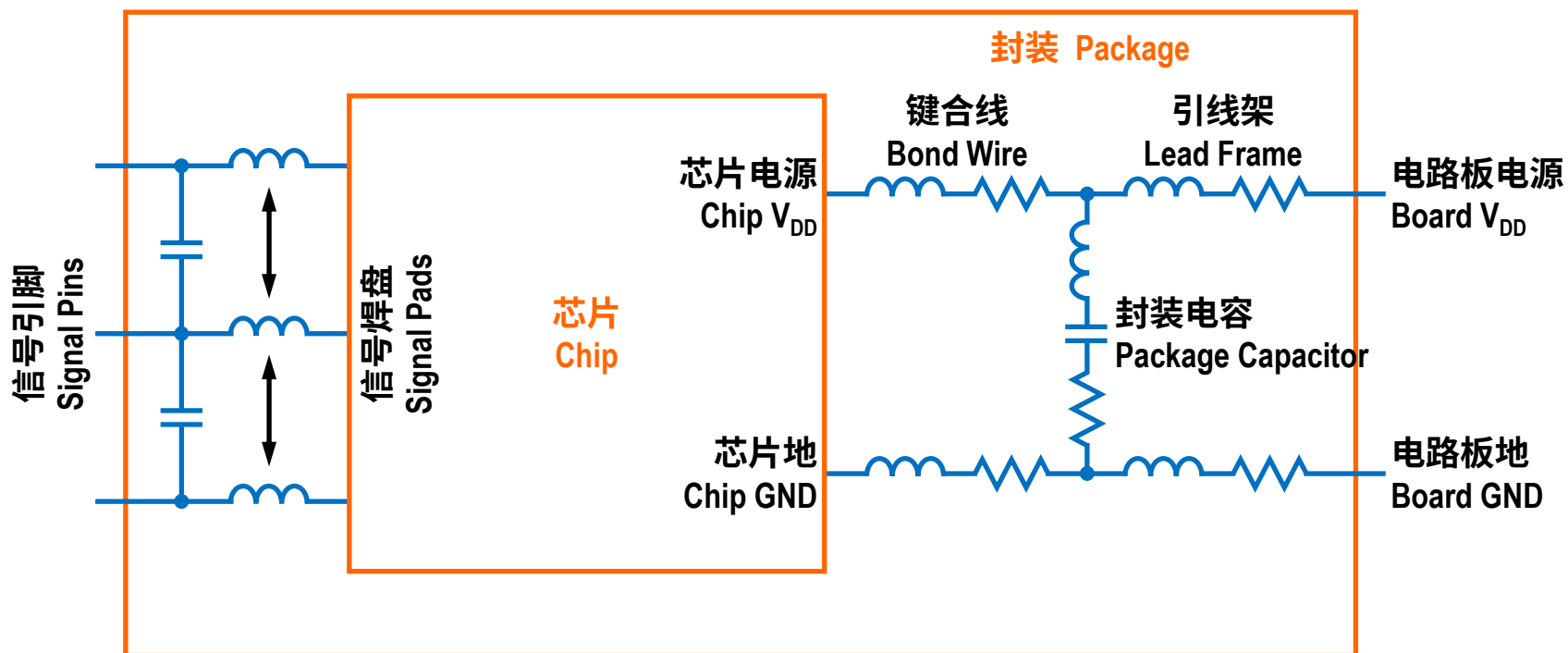
集成电路的部分封装类型



引线键合 (Wire Bonding, WB)



倒装芯片、覆晶封装 (Flip-Chip, FC)



集成电路封装寄生参数模型

## ■ 温差与热阻

- 芯片产生的热来自于晶体管结，经衬底、封装和散热器，通过空气对流散发
- 晶体管结和周围环境空气温度之间的温差

$$\Delta T = \Theta_{ja} P$$

- 芯片功耗  $P$
- 结和周围环境之间的热阻

$$\Theta_{ja} = \Theta_{jp} + \Theta_{pa}$$

- 结至封装的热阻  $\Theta_{jp}$
- 封装至空气的热阻  $\Theta_{pa}$

- **例：**某芯片结至封装的热阻为 $0.9\text{ }^{\circ}\text{C}/\text{W}$ ，封装至周围空气的热阻包括散热器热阻 $4.0\text{ }^{\circ}\text{C}/\text{W}$ 加上封装和散热器之间黏合剂热阻 $0.1\text{ }^{\circ}\text{C}/\text{W}$ 。系统机箱周围的温度可达 $55\text{ }^{\circ}\text{C}$ 。若芯片结温不超过 $100\text{ }^{\circ}\text{C}$ ，则芯片最大功耗是多少？

- **解：**总热阻  $\Theta_{ja} = 0.9 + 0.1 + 4.0 = 5\text{ }(^{\circ}\text{C}/\text{W})$   
最大温差  $\Delta T = 100 - 55 = 45\text{ }(^{\circ}\text{C})$   
最大功耗  $P_{\max} = \Delta T / \Theta_{ja} = 45 / 5 = 9\text{ (W)}$



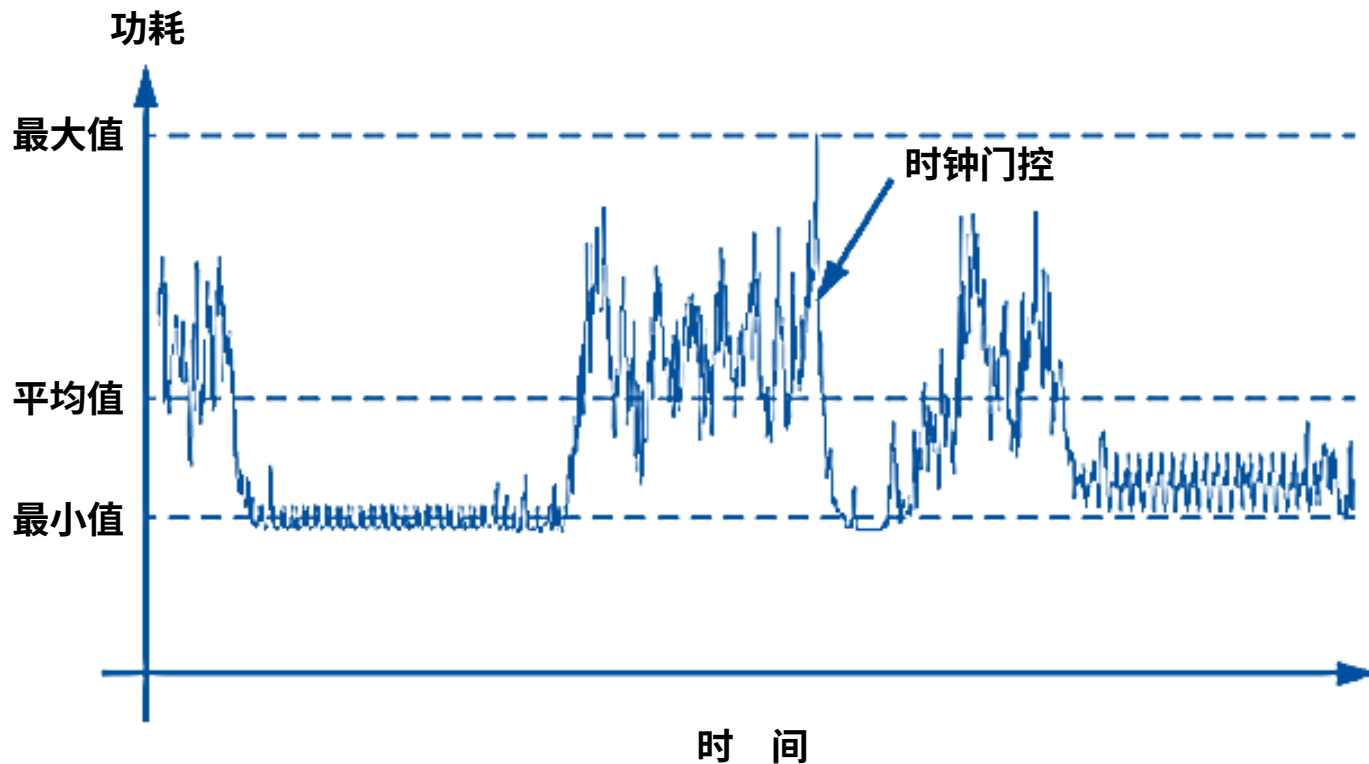
# 电源分布

## ■ 电源分布网络的作用

- 承载从压焊块(Pad)到片上晶体管的电流
- 保持低噪声的稳定电压
- 满足平均和峰值功耗要求
- 提供信号电流返回路径
- 避免因电迁移和自热效应引起的耗损
- 占用很少的芯片面积和布线资源
- 易于布置版图

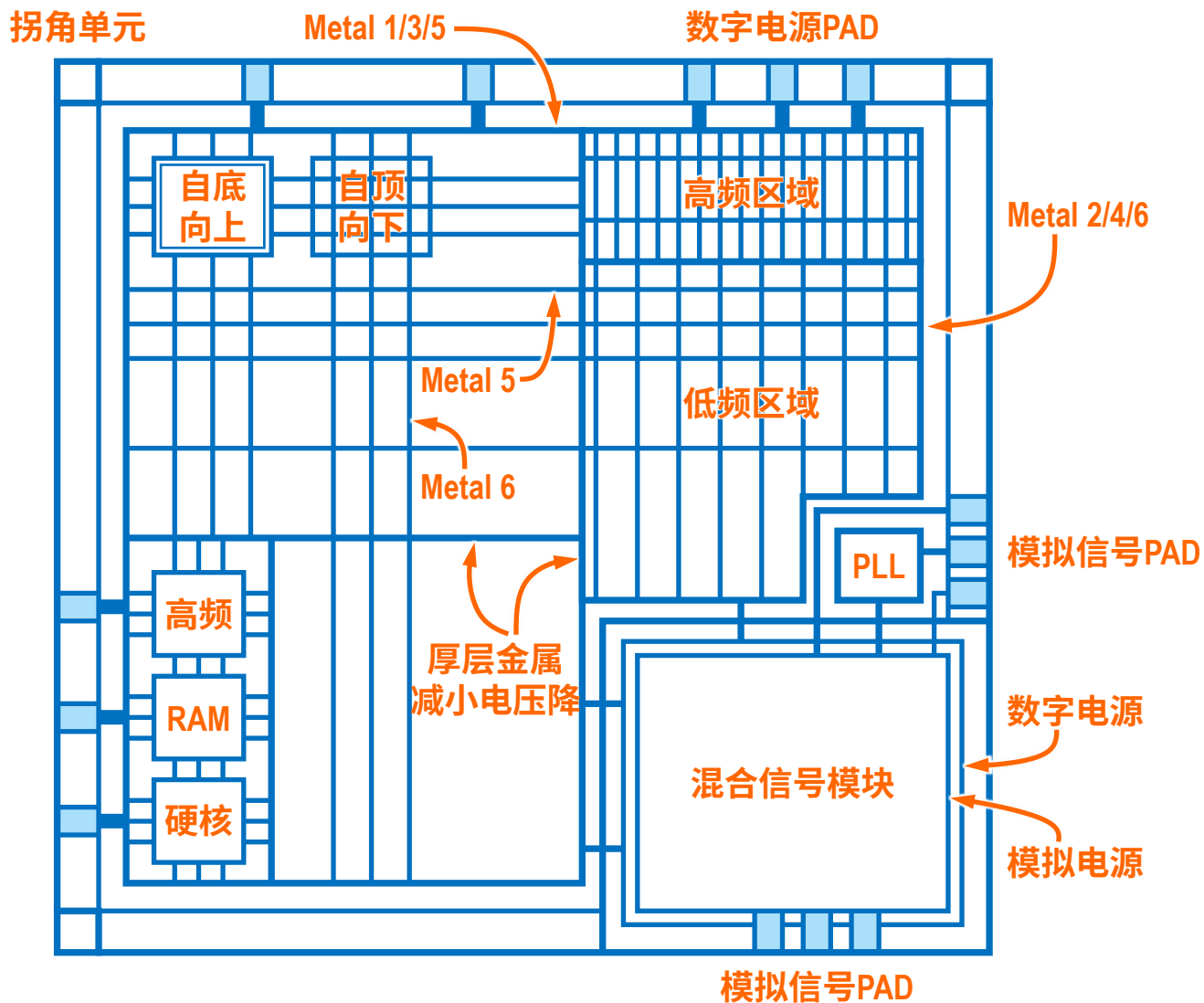
## ■ 电源噪声

- 电源噪声目标：额定电源电压 $V_{DD}$ 的 $\pm 10\%$
- 电源噪声来源： $IR$ 压降、 $L di/dt$ 噪声



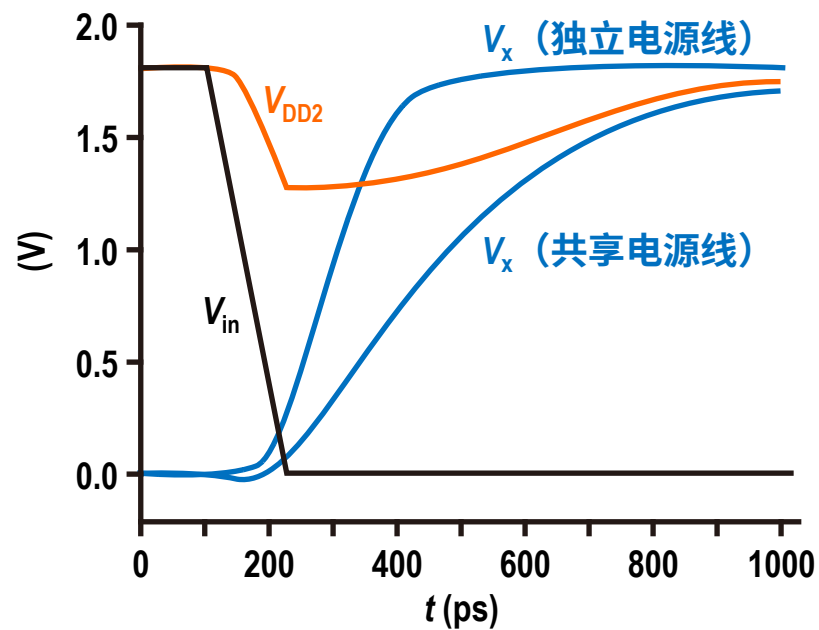
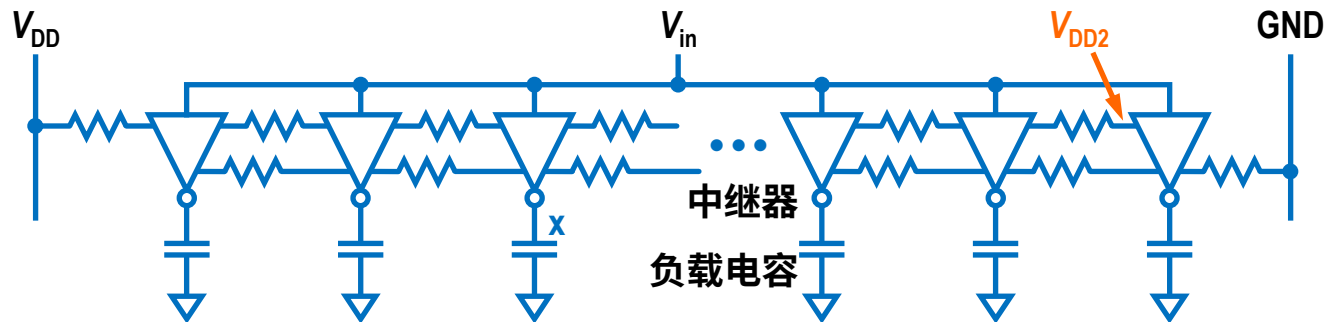
## 某微处理器功耗与时间的关系

在不同工况下，电源电流 $I_{DD}$ 变化范围差距显著



片上电源分布网络规划实例

# IR压降 (IR Drop)



共享公共电源总线的中继电器电源压降

## ■ 旁路/去耦电容

- Bypass/Decoupling Capacitance
- 电源和地之间满足芯片对瞬态电流要求的电容
- 分布于整个芯片，本地的尖峰电流可由附近的旁路电容提供，不必经过整个电源网格的电阻

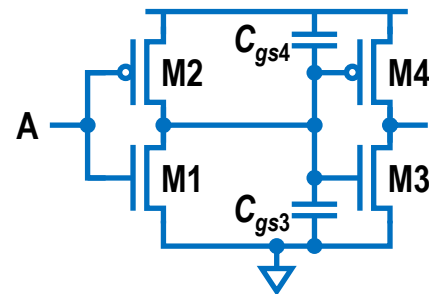
## ■ 片上旁路电容

- 共生旁路电容：静态晶体管固有栅电容
- 额外旁路电容：额外增加的晶体管栅电容

■ **例：**若要提供一个突发的1 ns的40 A尖峰电流而电源压降不超过200 mV，求需要有多大的旁路电容？

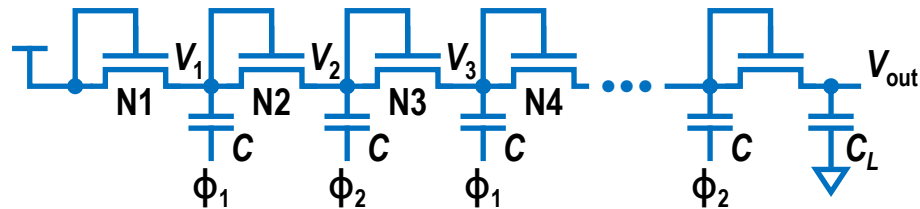
■ **解：**

$$I = C \frac{\Delta V}{\Delta t} \Rightarrow C = \frac{(40 \text{ A})(1 \text{ ns})}{0.2 \text{ V}} = 200 \text{ nF}$$



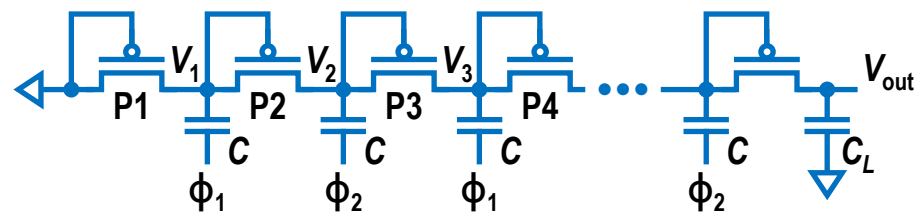
共生旁路电容

# 电荷泵 (Charge Pump)



Dickson电荷泵

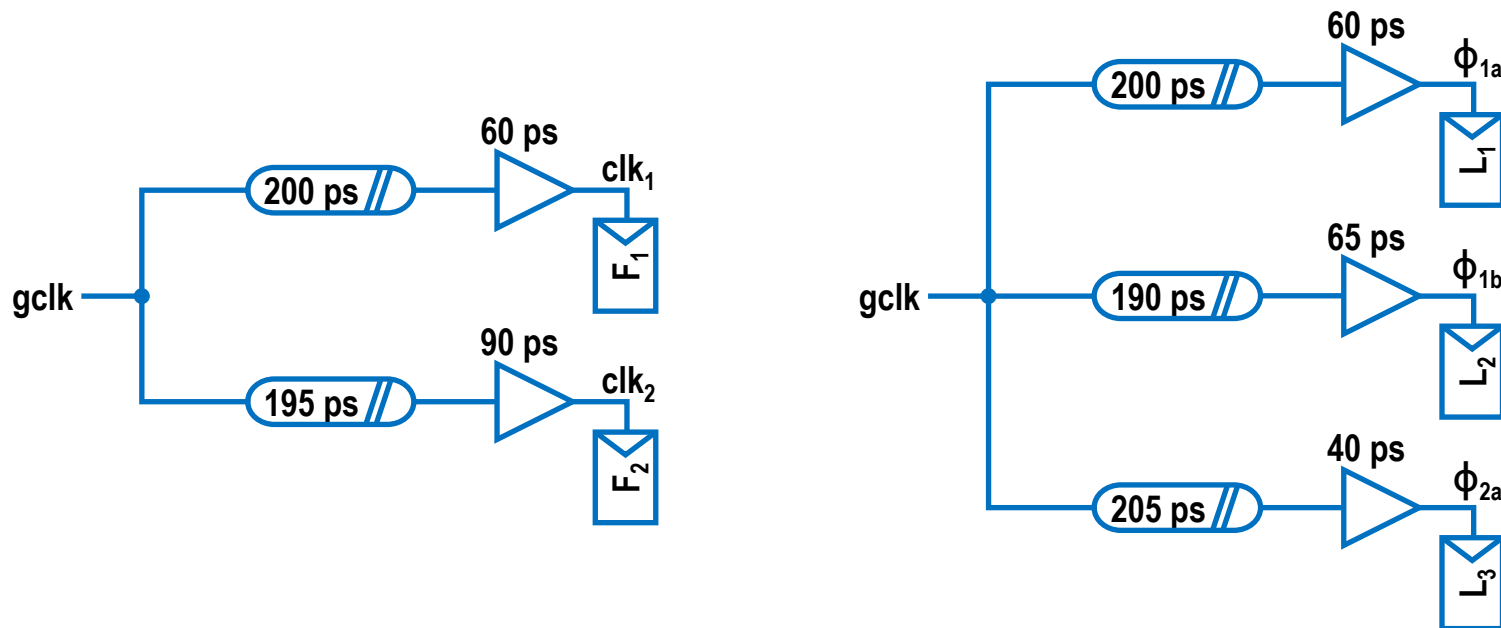
$$V_{\text{out}} = N \left[ \frac{CV_{\text{DD}} - \frac{I_{\text{out}}}{f}}{C + C_s} - V_t \right]$$



负电压电荷泵

# 时钟



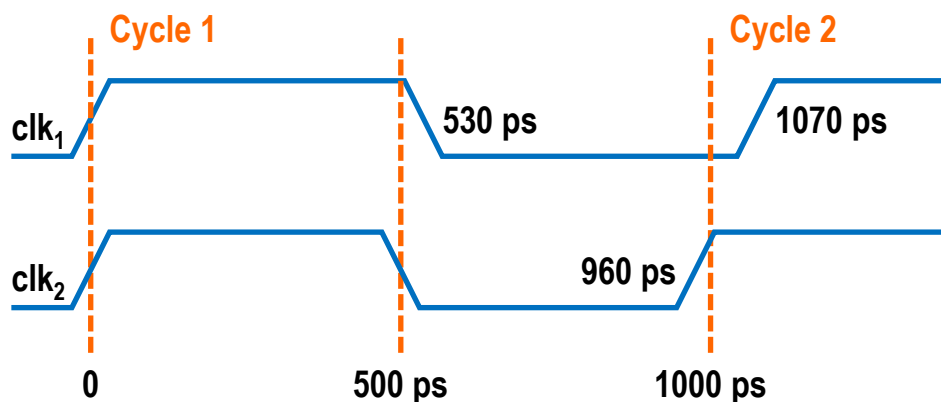


$$t_{\text{skew}}^{\text{clk}_1, \text{clk}_2} = 25 \text{ ps}$$

$$t_{\text{skew}}^{\phi_{1a}, \phi_{1b}} = 5 \text{ ps}; \quad t_{\text{skew}}^{\phi_{1a}, \phi_{2a}} = 15 \text{ ps}; \quad t_{\text{skew}}^{\phi_{1b}, \phi_{2a}} = 10 \text{ ps}$$

## 时钟偏斜

一对物理时钟标称的和实际的到达时间之间的差别



$$t_{skew}^{clk_1, clk_1, (r, r, 0)} = 0 \text{ ps}; \quad t_{skew}^{clk_1, clk_1, (r, f, 0)} = 30 \text{ ps}; \quad t_{skew}^{clk_1, clk_1, (r, r, 1)} = 70 \text{ ps}$$

$$t_{skew}^{clk_1, clk_2, (r, r, 0)} = 0 \text{ ps}; \quad t_{skew}^{clk_1, clk_2, (r, f, 0)} = 0 \text{ ps}; \quad t_{skew}^{clk_1, clk_2, (r, r, 1)} = 40 \text{ ps}$$

## 偏斜时钟的波形

时钟偏斜也可以在不同时钟沿或不同周期之间度量

# 时钟偏斜的来源

## ■ 系统偏斜 (Systematic Skew)

- 标称条件下也存在的偏斜部分
- 可以通过仿真来预测

## ■ 随机偏斜 (Random Skew)

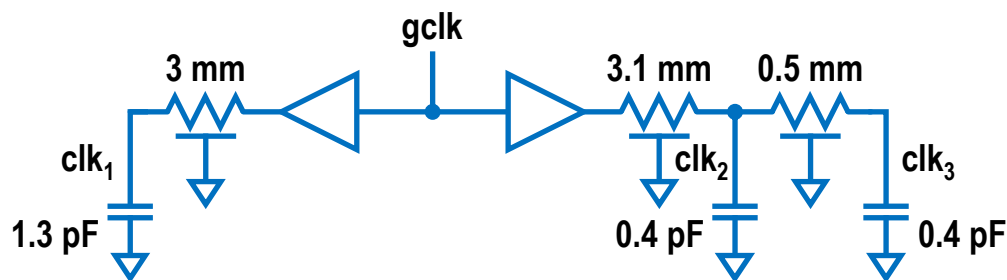
- 由制造偏差引入的附加偏斜
- 可以在芯片测试或启动时测量，并通过校准可调延时元件补偿

## ■ 漂移 (Drift)

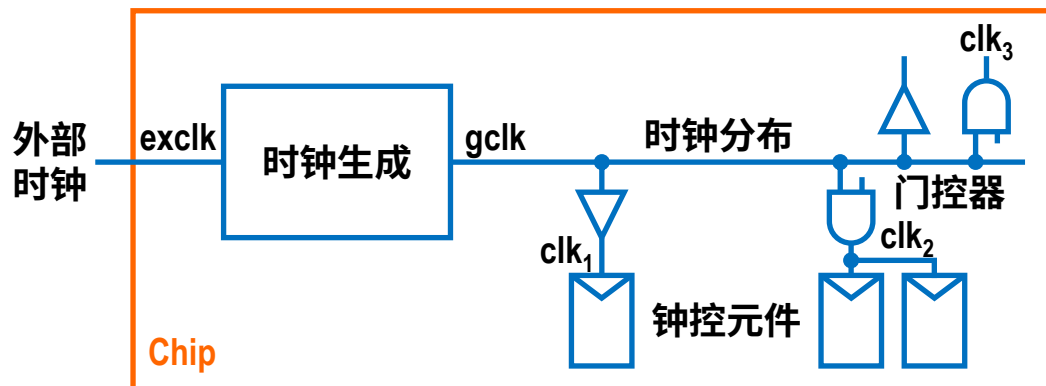
- 由发生相对较慢但与时间相关的环境偏差引起
- 可以通过周期性的校准补偿

## ■ 抖动 (Jitter)

- 由高频的环境偏差引起
- 发生得太快，特别难以处理



时钟偏斜举例

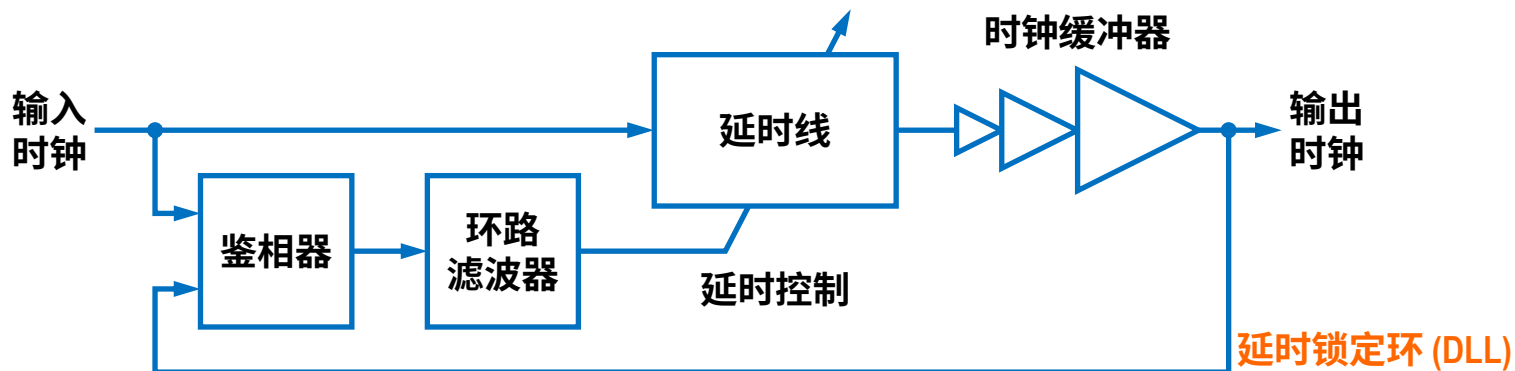
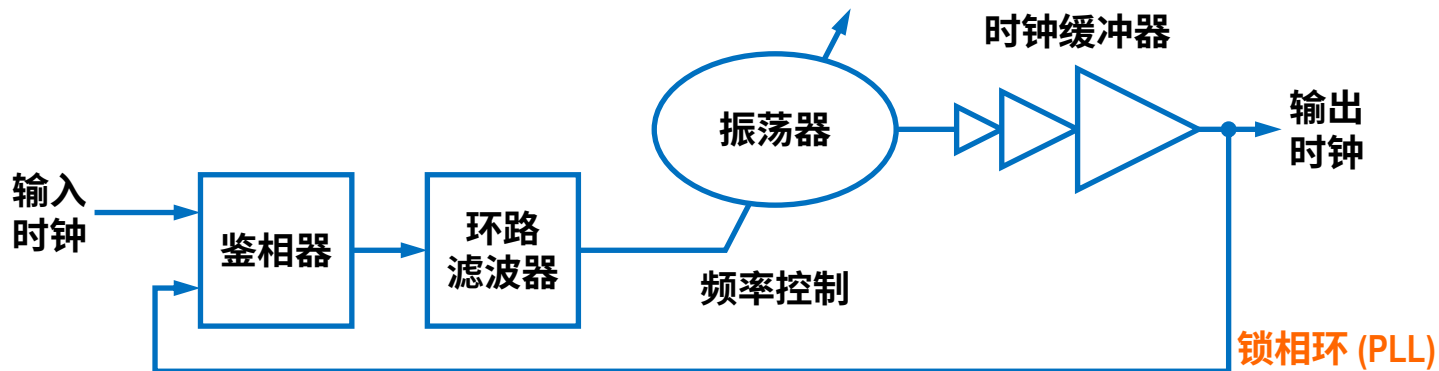


## 时钟子系统

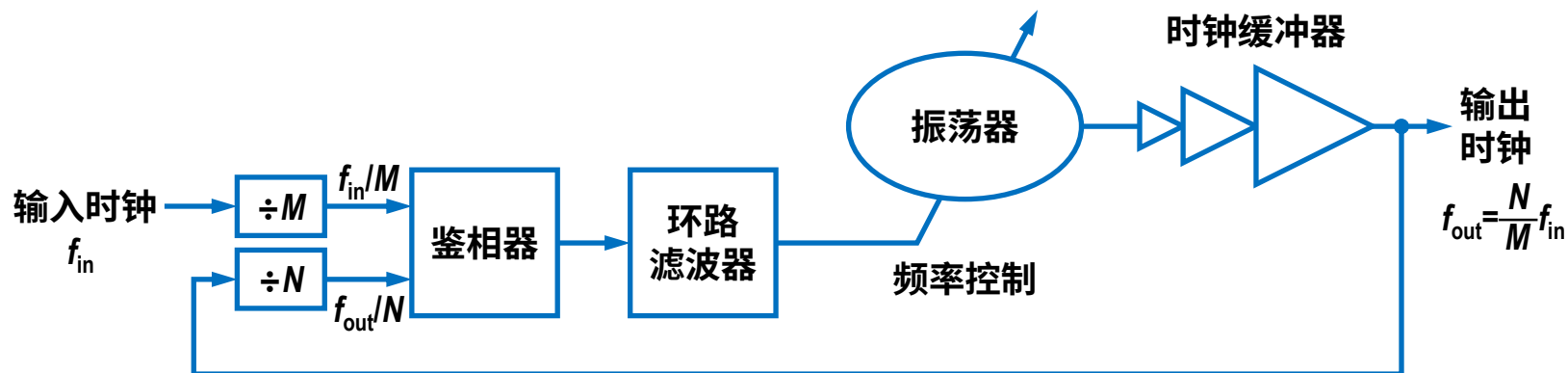
时钟生成单元：调整全局时钟频率或相位，包括PLL或DLL等

时钟分布网络：将时钟分布到整个芯片上，并使时钟偏斜最小

局部时钟门控：沿短导线将物理时钟驱动至一组钟控元件中



使用PLL和DLL的零延时缓冲器 (Zero-Delay Buffer)



## 使用PLL倍频

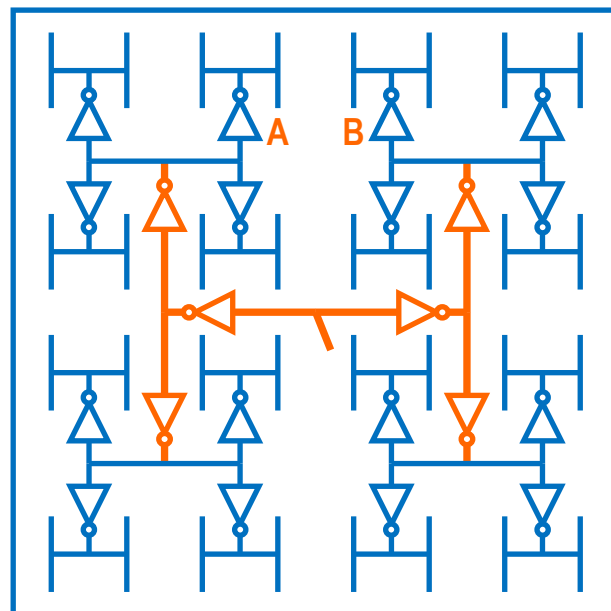
可产生频率为输入频率任意有理数倍数的输出

## ■ 全局时钟分布系统作用

- 全局时钟应当在整个芯片上分布并在几乎相同的时间到达所有钟控元件
- 全局时钟分布系统必须使时钟发生器至各个钟控接收器的飞行时间相等

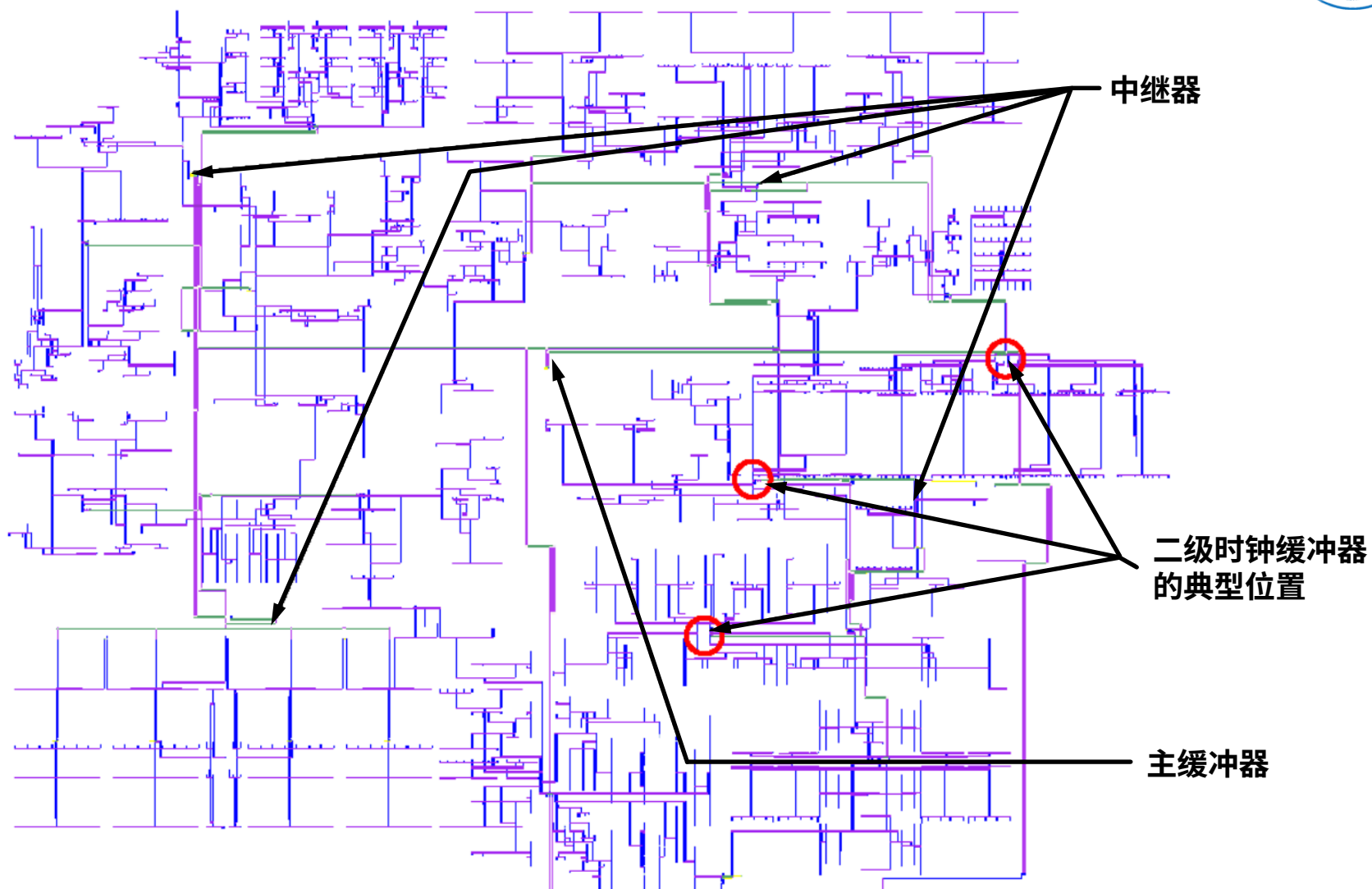
## ■ 全局时钟分布网络类型

- 网格型 (Grid)
- H树型 (H-Tree)
- 鱼骨型 (Spine)
- 特定型 (Ad Hoc)
- 混合型 (Hybrid)



H树型时钟网络

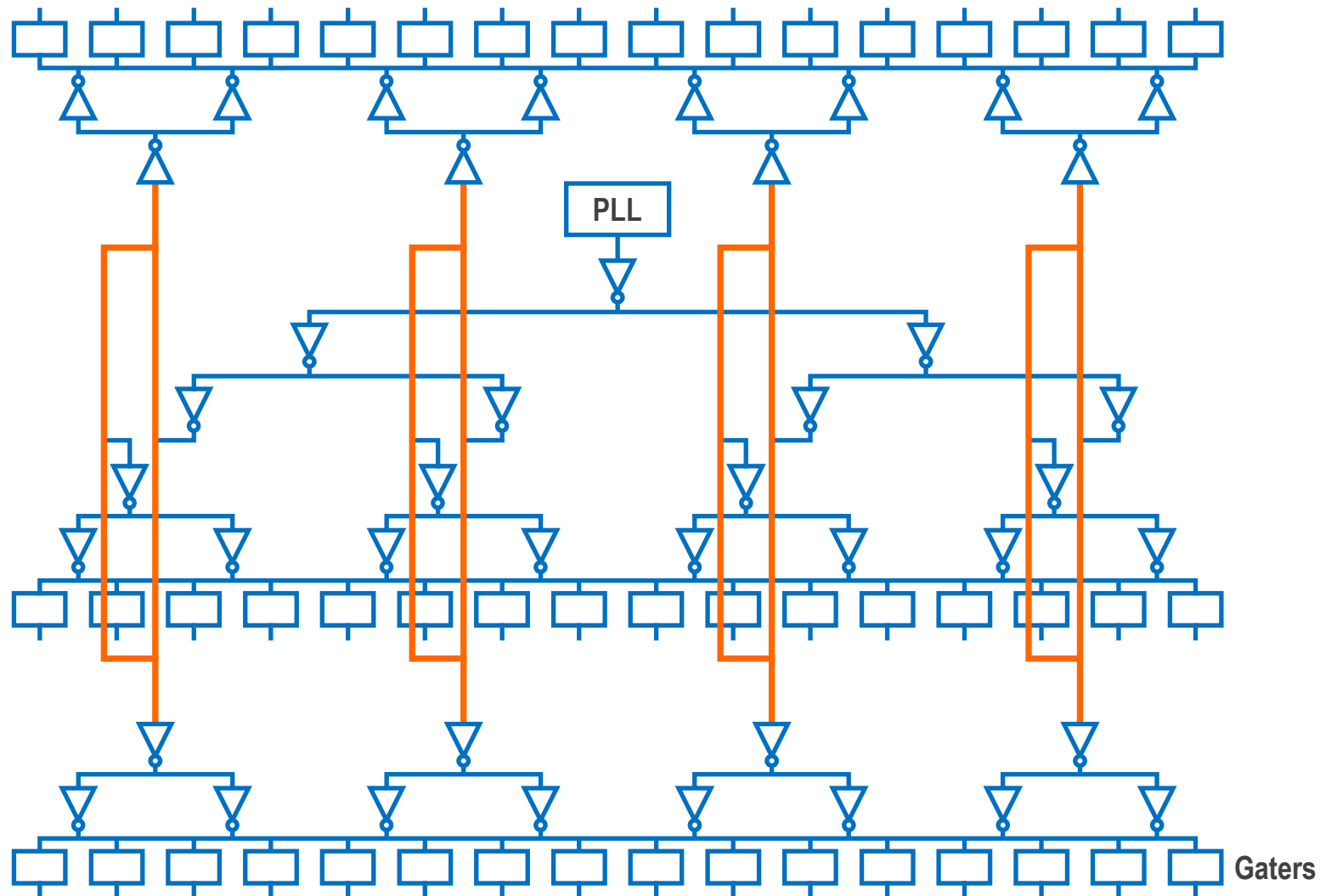
# H树型时钟网络举例



Itanium 2使用的改进H树型时钟网络



# 鱼骨型时钟网络举例



Pentium 4使用的鱼骨型时钟网络

# 局部时钟门控器



## 时钟缓冲器 Clock Buffer



## 使能/限定/门控时钟 Enabled, Qualified, or Gated Clock



## 展宽时钟 Stretched Clocks



## 不重叠时钟 Nonoverlapping Clocks



## 脉冲时钟 Pulsed Clocks



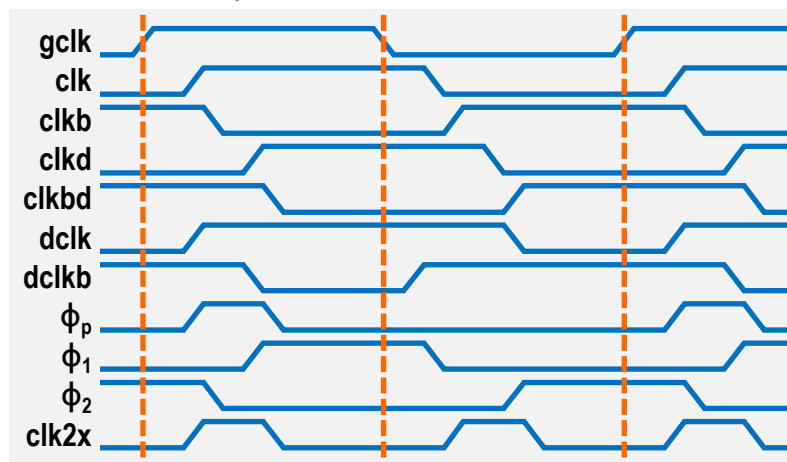
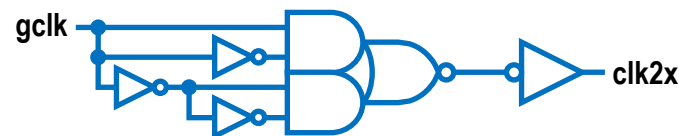
## 互补时钟 Complementary Clocks



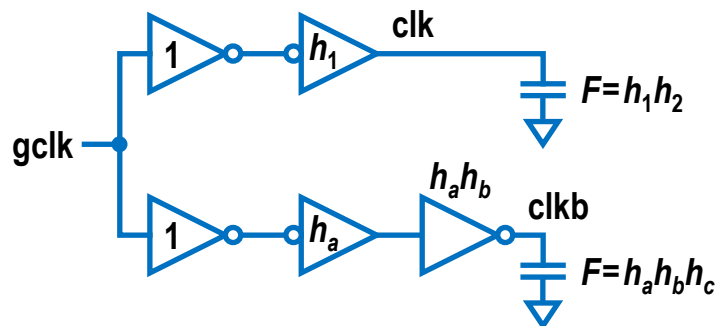
## 延时时钟 Delayed Clocks



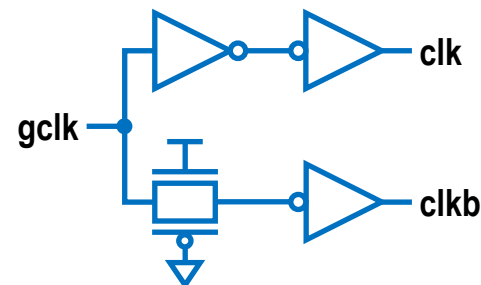
## 时钟倍频器 Clock Doubler



## 时钟门控器



两个/三个反相器路径

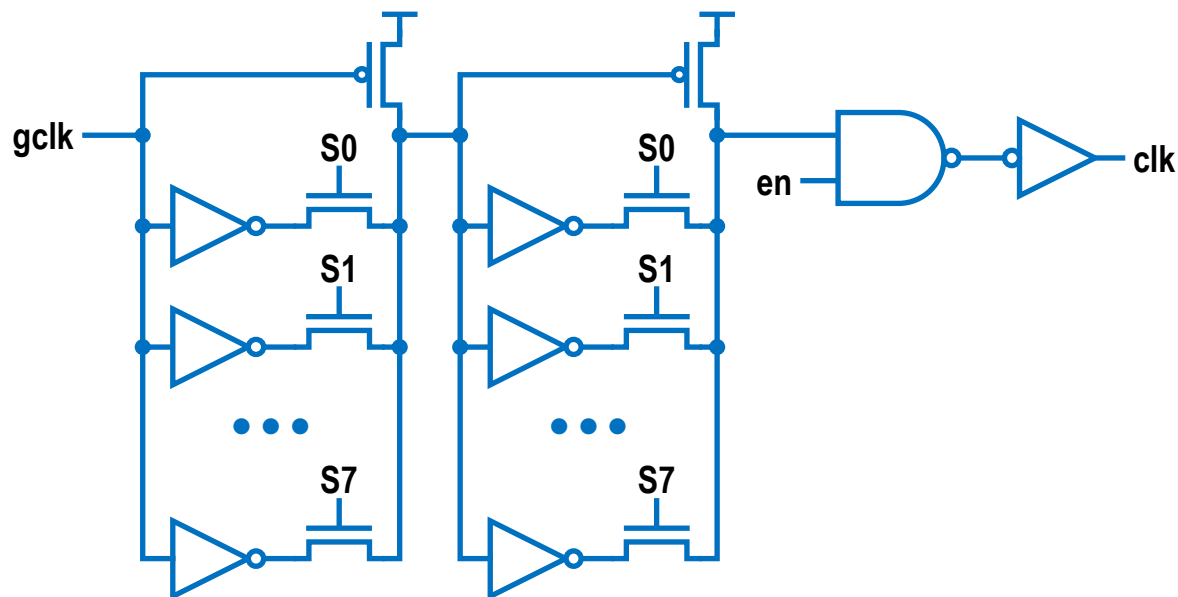


两个/一个反相器路径

When  $p_{inv} = 1$ :

$$h_1 = 5.8; \quad h_2 = \frac{F}{5.8}$$

$$h_a = 2.4; \quad h_b = \frac{F}{5.8}; \quad h_c = 2.4$$

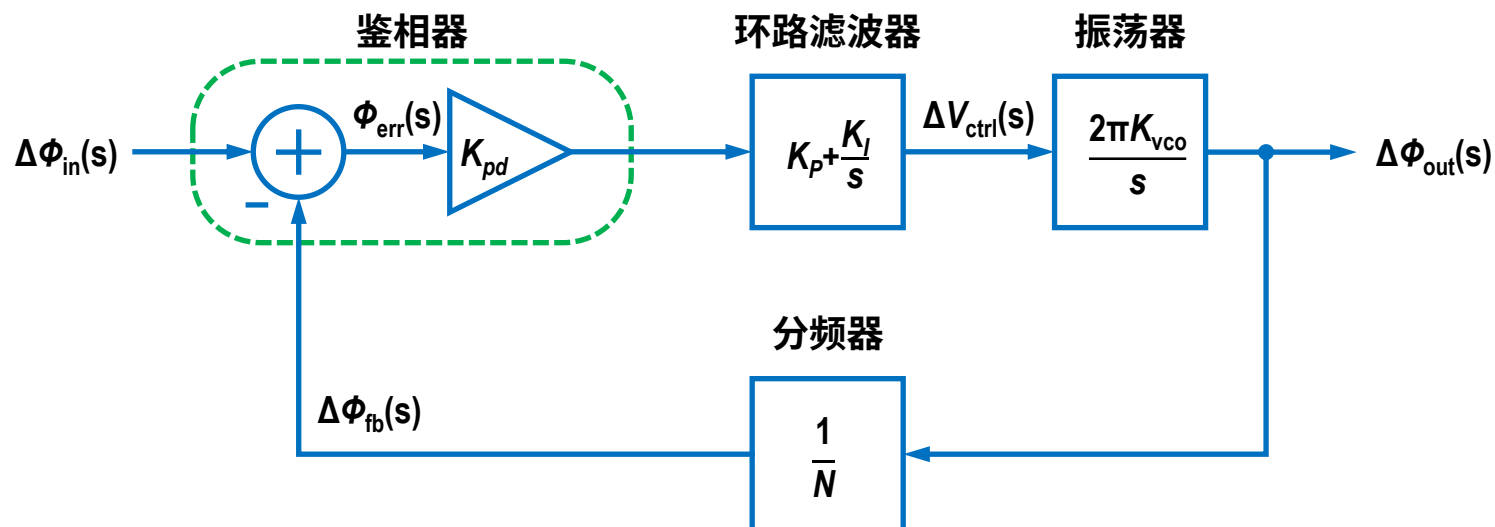


## 数字式可调延时线

相位比较器检查各个物理时钟的到达时间并调整数控延时线使所有的时钟同时到达

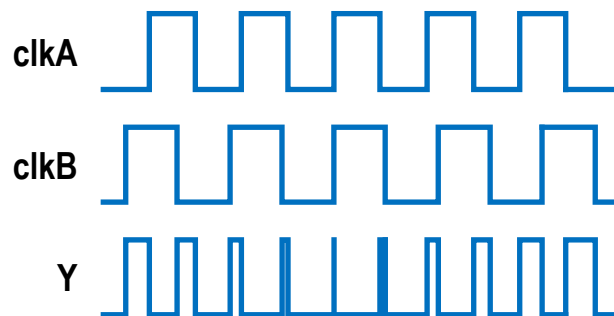
# 锁相环和延时锁定环

# 锁相环 (Phase-Locked Loop, PLL)

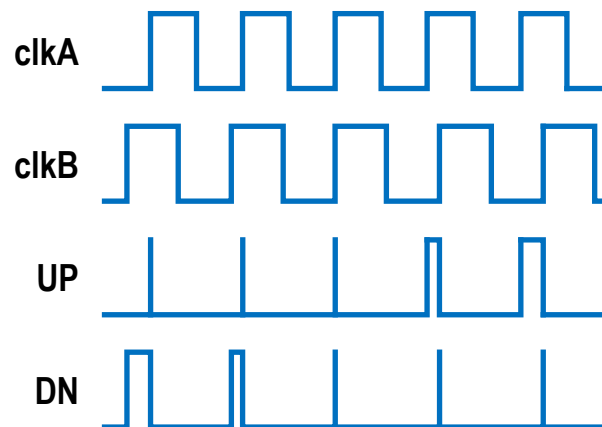
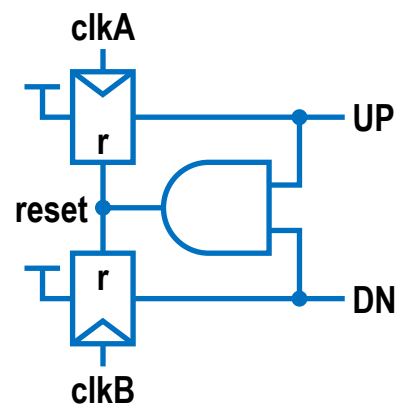


锁相环的线性系统模型

# 鉴相器 (Phase Detector, PD)

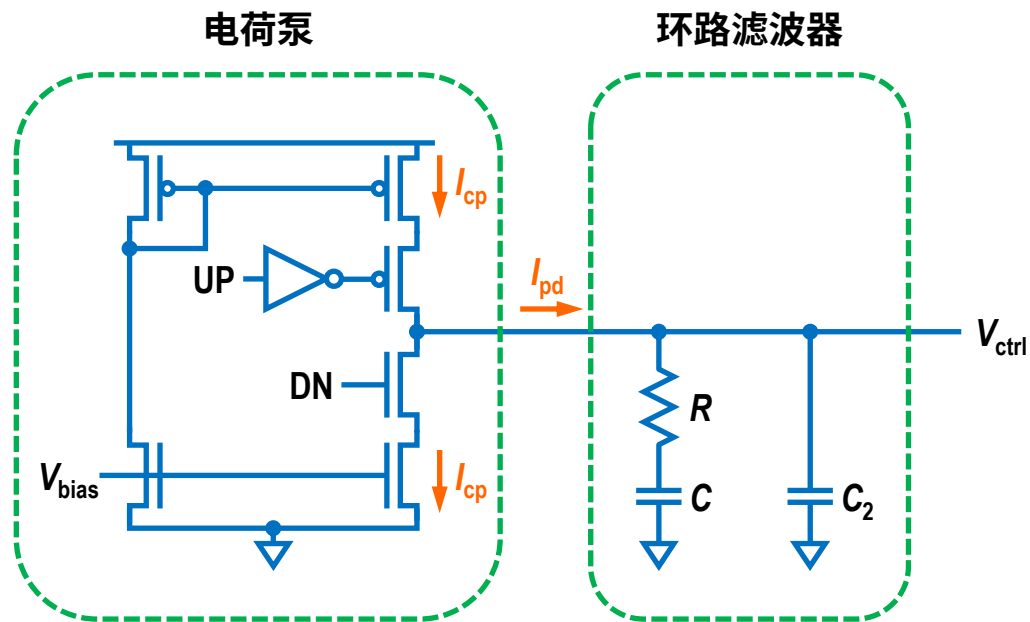


异或鉴相器



鉴频鉴相器  
(Phase-Frequency Detector, PFD)

# 环路滤波器 (Loop Filter, LF)



基于电荷泵的PLL环路滤波器

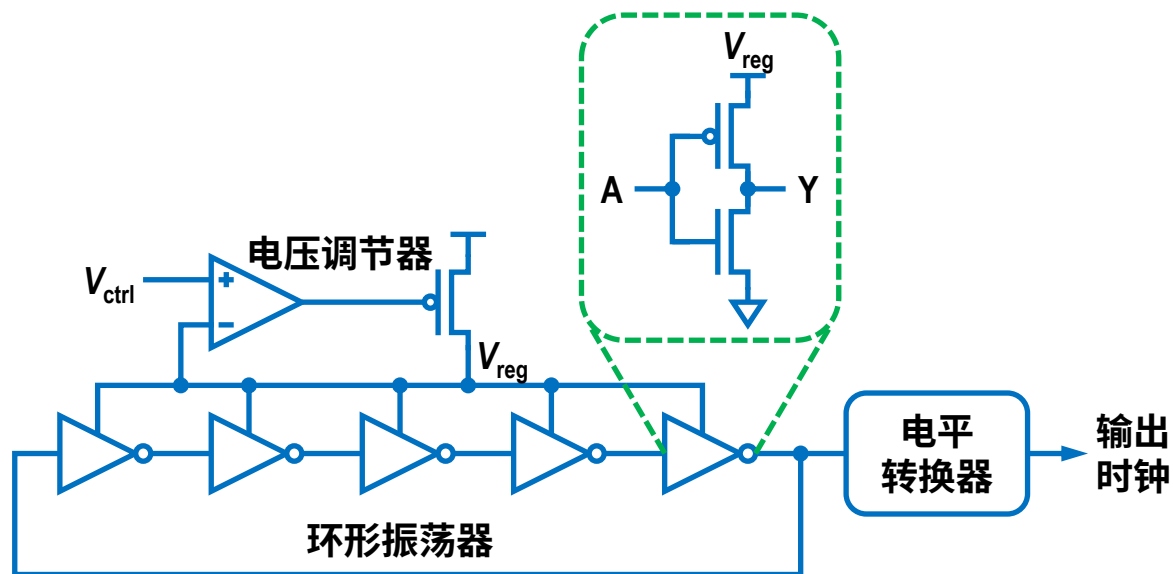


## ■ 振荡器类型

- 压控振荡器 (Voltage-Controlled Oscillator, VCO)
- 流控振荡器 (Current-Controlled Oscillator, ICO)
- 数控振荡器 (Digitally-Controlled Oscillator, DCO)

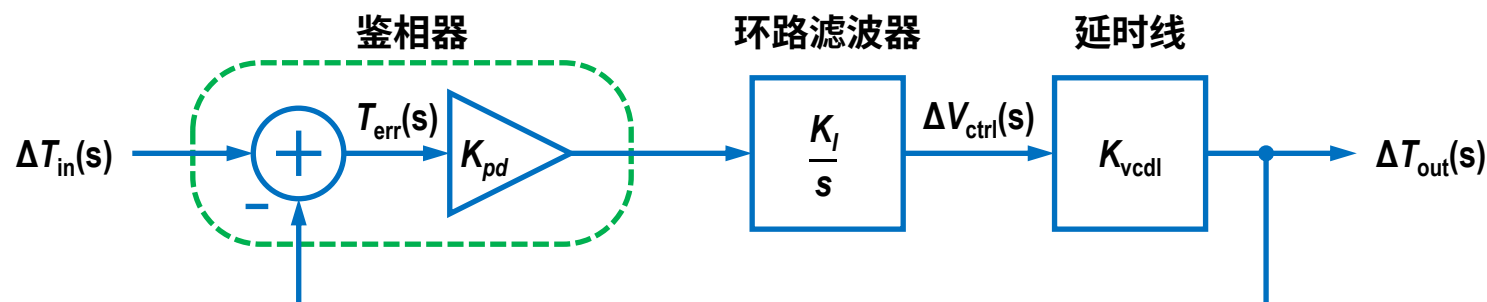
## ■ 压控振荡器

- 频率随输入控制电压而变化

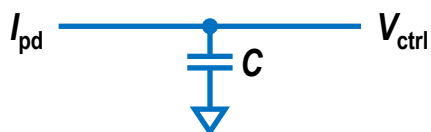


压控振荡器

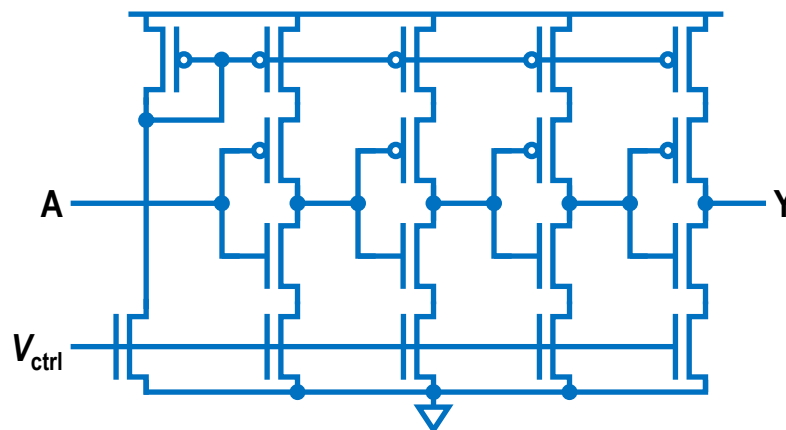
# 延时锁定环 (Delay-Locked Loop, DLL)



延时锁定环的线性系统模型



基于电荷泵的DLL环路滤波器



压控延时线

(Voltage-Controlled Delay Line, VCDL)

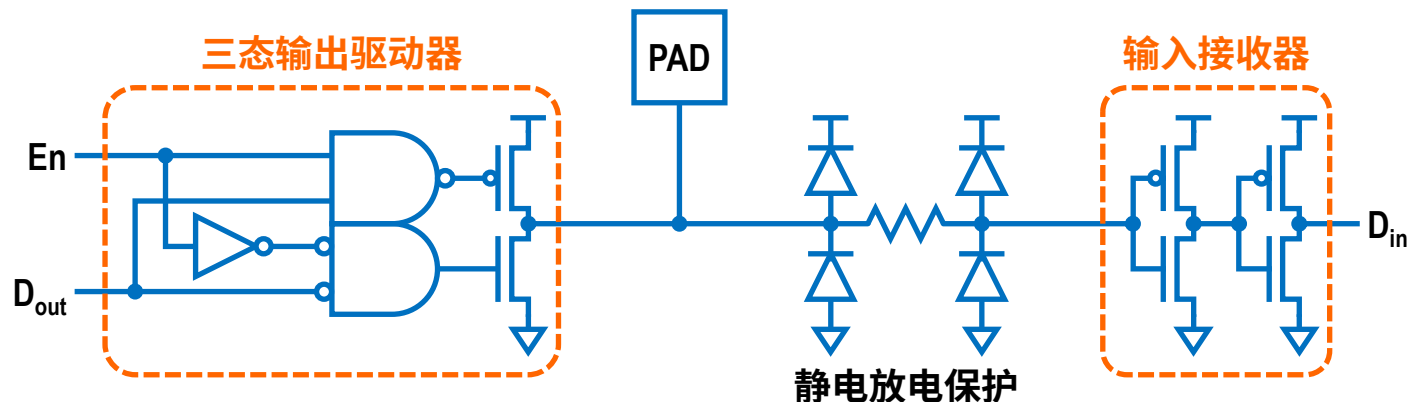
# 输入/输出

## ■ 输入/输出子系统的功能

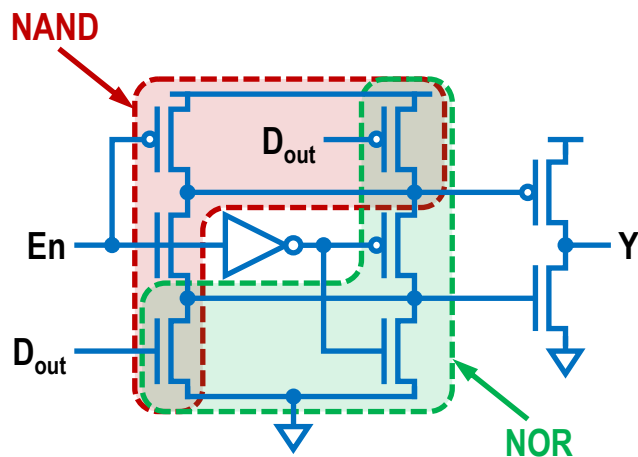
- 提供芯片与外部之间的通信
- 驱动片外的大电容
- 工作在与其他芯片兼容的电平上
- 提供合适的带宽
- 限制摆率(Slew Rate)以控制高频噪声
- 保护芯片免受静电放电(Electrostatic Discharge, ESD)损坏
- 保护芯片免受过电压损坏
- 使用较少的引脚数量，成本较低

## ■ 基本输入/输出单元

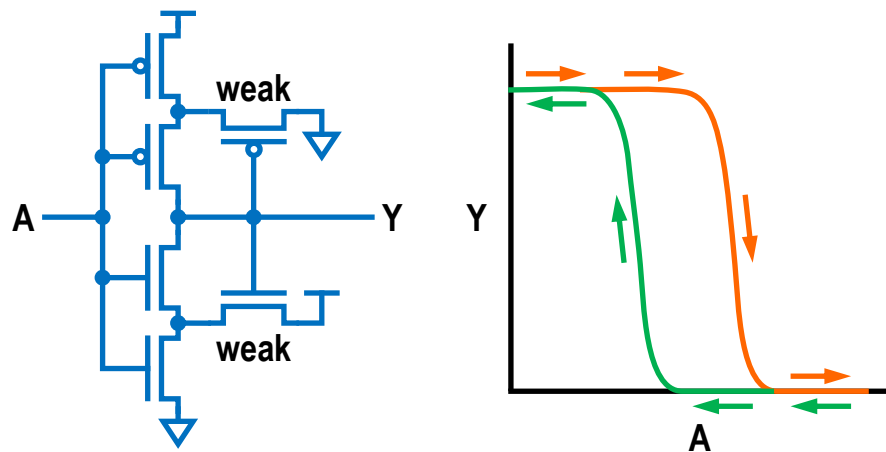
- 电源、地
- 数字I/O单元：输入、输出、双向
- 模拟I/O单元



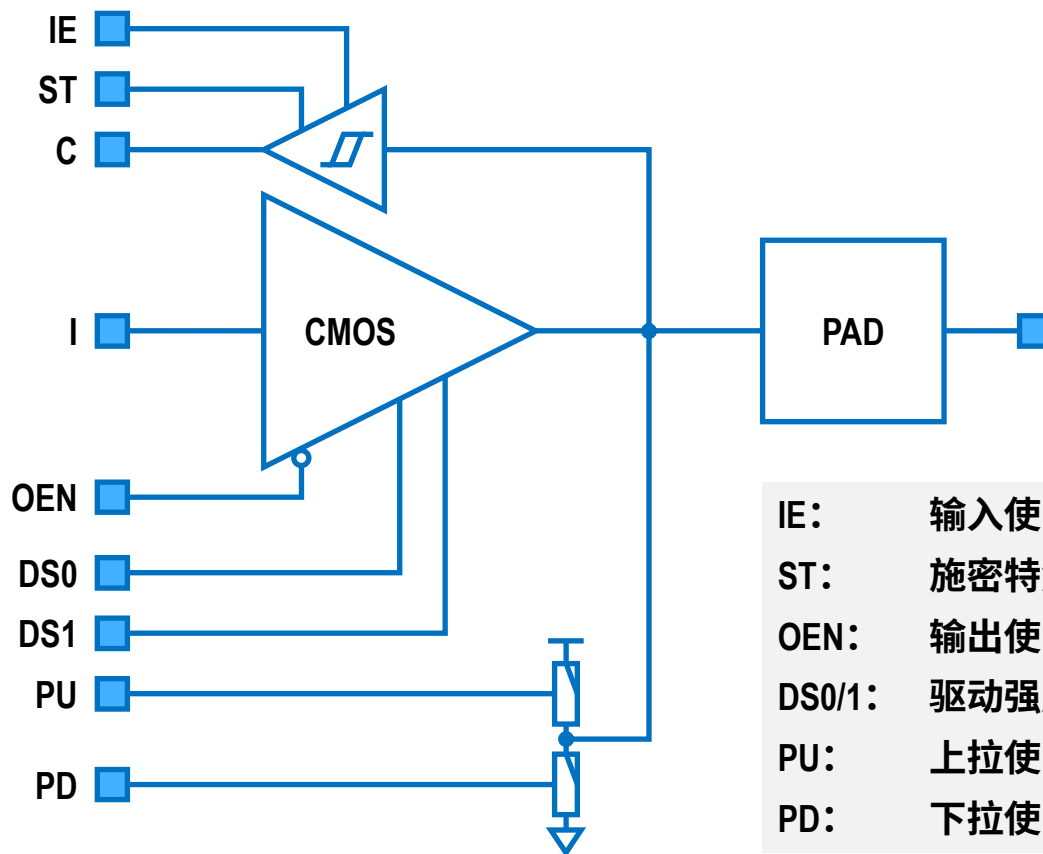
数字双向输入/输出单元电路



改进的三态缓冲器



施密特触发器 (Schmitt Trigger)



IE: 输入使能 (Input Enable)  
ST: 施密特触发器使能 (Schmitt Trigger)  
OEN: 输出使能, 低有效 (Output Enable Negative)  
DS0/1: 驱动强度 (Drive Strength)  
PU: 上拉使能 (Pull Up)  
PD: 下拉使能 (Pull Down)

可配置数字输入/输出单元及控制信号定义

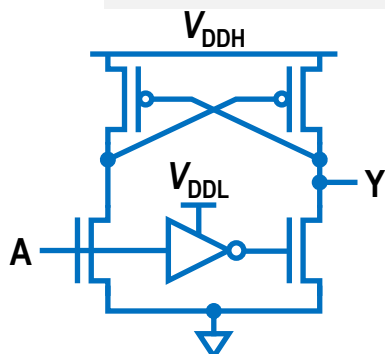
# 混合电压输入/输出



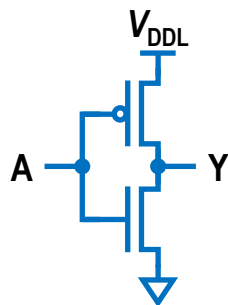
## 单端输入/输出标准

标准	$V_{DD}$	$V_{IL}$	$V_{IH}$	$V_{OL}$	$V_{OH}$
TTL	4.75~5.25	0.8	2.0	0.4	2.4
CMOS	4.5~6.0	1.35	3.15	0.33	3.84
LVTTL	3.0~3.6	0.8	2.0	0.4	2.4
LVC MOS33	3.0~3.6	0.8	2.0	0.36	2.7
LVC MOS25	2.3~2.7	0.7	1.7	0.4	$V_{DD}-0.4$
LVC MOS18	1.65~1.95	$0.35V_{DD}$	$0.65V_{DD}$	0.45	$V_{DD}-0.45$
LVC MOS15	1.4~1.6	$0.35V_{DD}$	$0.65V_{DD}$	$0.25V_{DD}$	$0.75V_{DD}$
LVC MOS12	1.1~1.3	$0.35V_{DD}$	$0.65V_{DD}$	$0.25V_{DD}$	$0.75V_{DD}$

$V_{DDH}$ : I/O高电压;  $V_{DDL}$ : 核心低电压

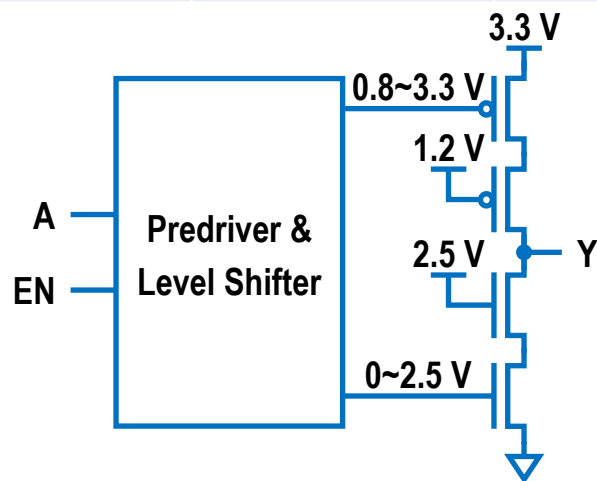


输出驱动器



输入接收器

电平转换器 (Level Converters)



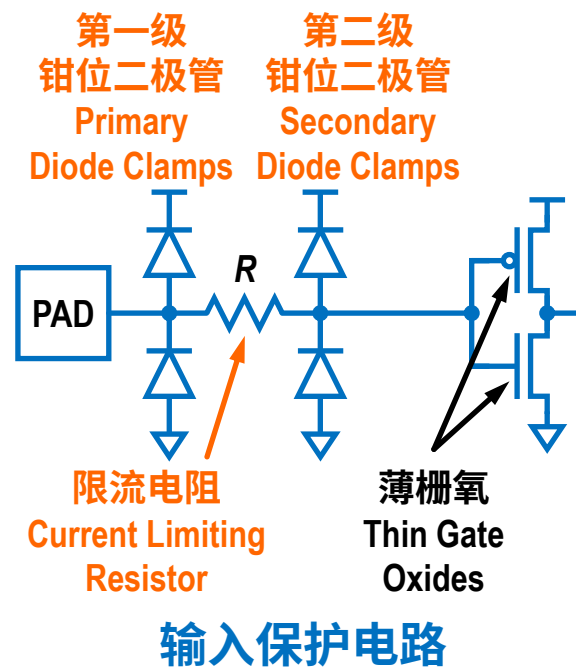
堆叠高压输出驱动器

## ■ 静电放电 (ESD)

- 输入单元将晶体管栅极直接连接至片外环境
- 可能因静电放电击穿栅氧而导致损坏
- 晶体管漏极上的高ESD电压会引起穿通，使关断晶体管过热和永久性破坏
- ESD模型：人体模型(HBM)、充电器件模型(CDM)、机器模型(MM)等

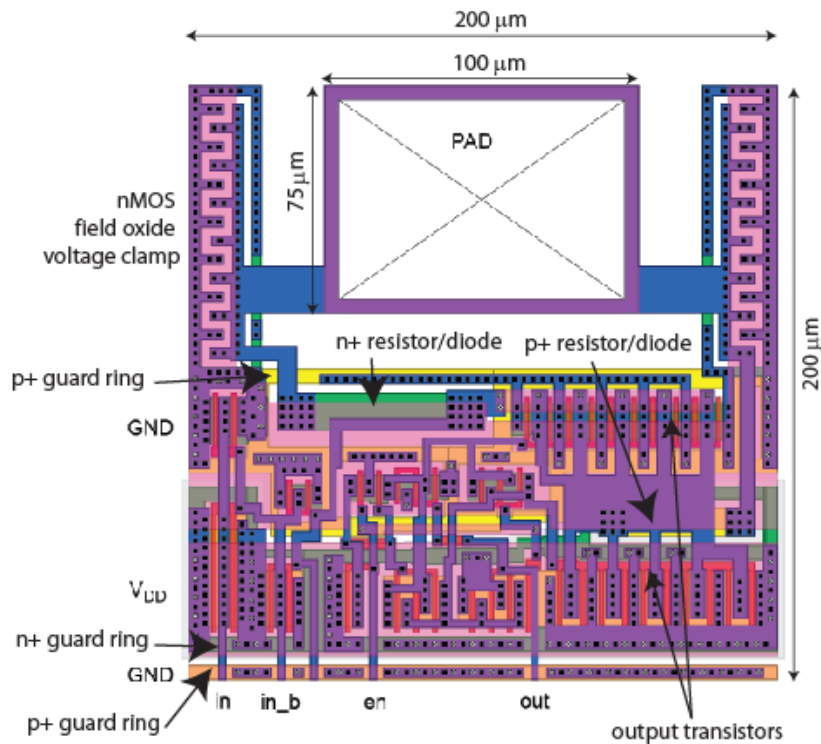
## ■ 静电放电保护电路

- 提供一条受控路径释放高电压而不损坏栅氧
- 钳位二极管、限流电阻
- 模拟I/O单元的保护电路必须精心设计，使其不会降低模拟器件的带宽或信号完整性



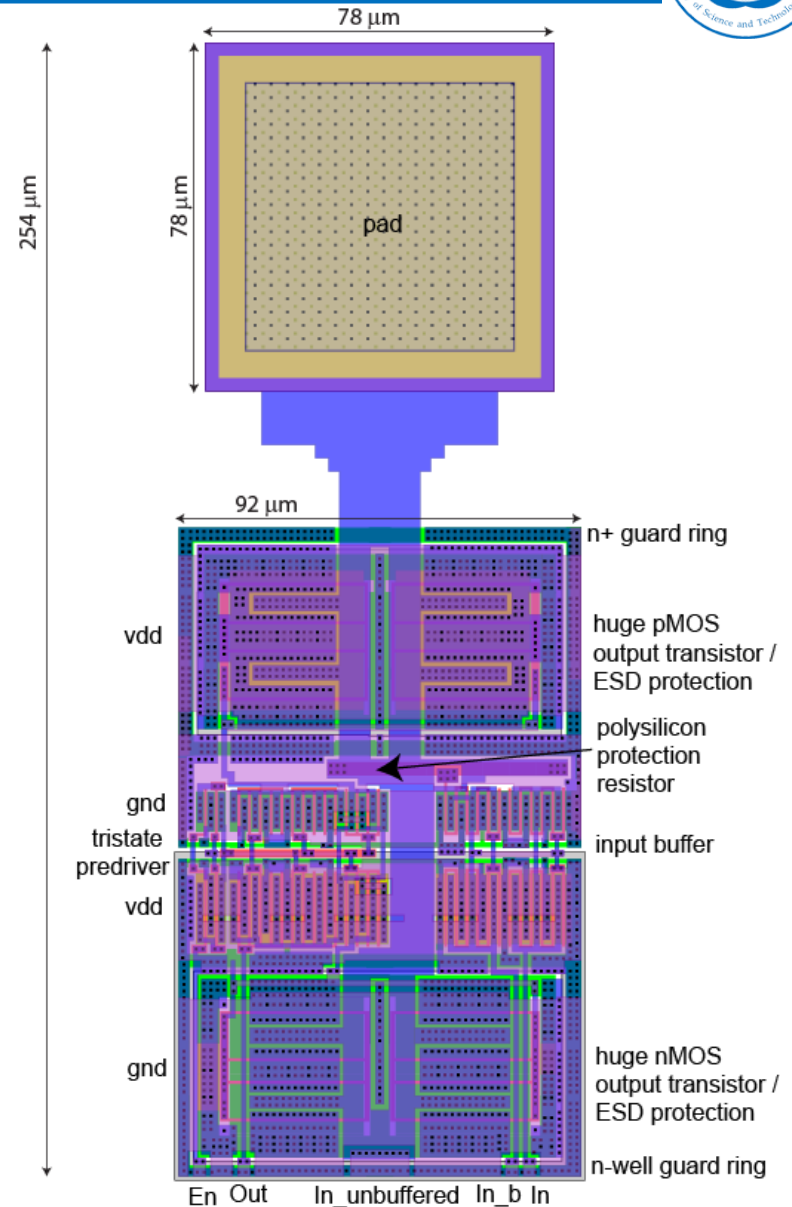


# 输入/输出单元举例



▲ MOSIS 1.6-μm Bidirectional I/O Pad

► UofU 0.6-μm Bidirectional I/O Pad



**本章结束**