



中国科学技术大学
University of Science and Technology of China

数字集成电路设计

第二章 MOS晶体管原理

白雪飞

中国科学技术大学微电子学院

- 引言
- 长沟道晶体管的I-V特性
- C-V特性
- 非理想的I-V效应
- 直流传输特性



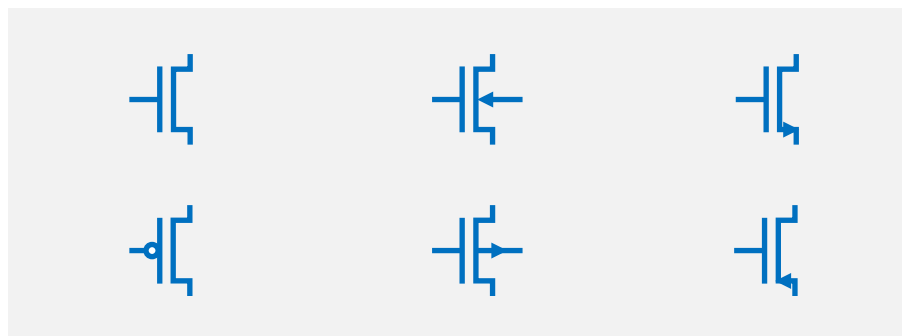
引言

■ MOS晶体管

- Metal-Oxide-Semiconductor Field Effect Transistor, MOSFET
- 金属氧化物半导体场效应晶体管
- 源漏之间导电沟道中的电流受到栅极电压的控制
- 多数载流子器件，NMOS管中多子为电子，PMOS管中多子为空穴

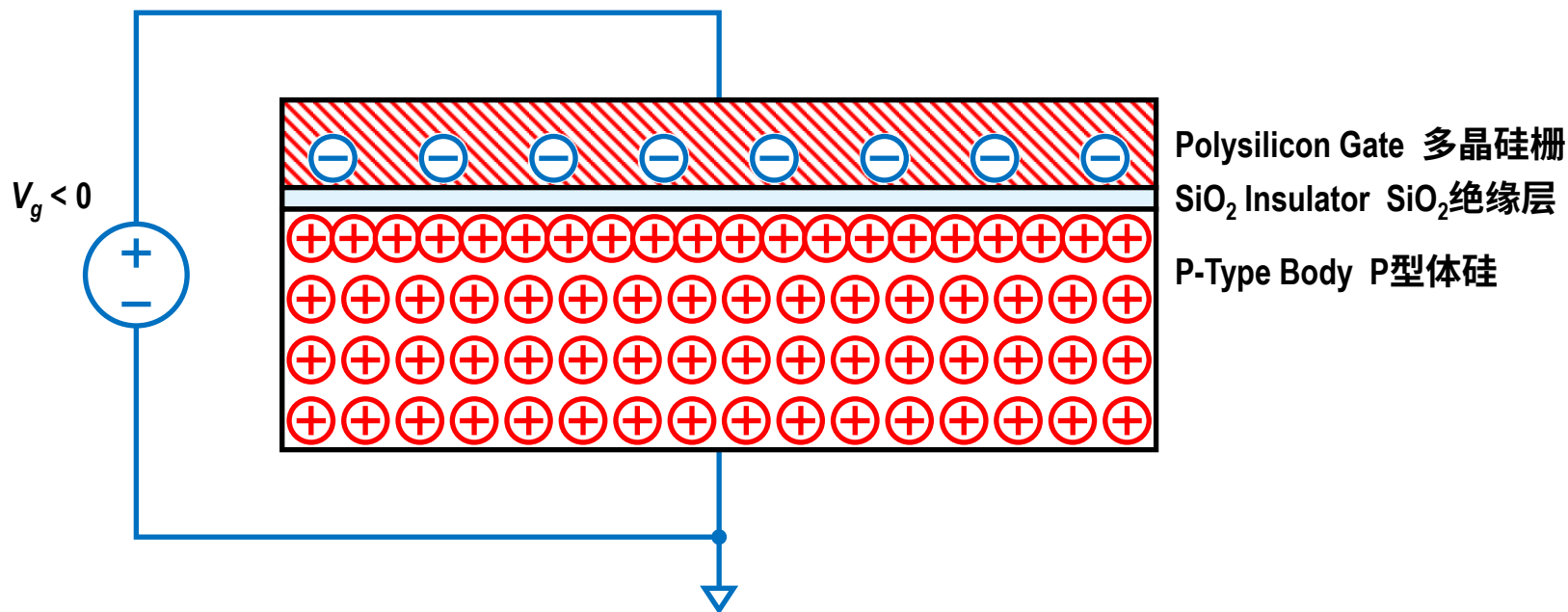
■ MOS晶体管符号

- 多数情况使用三端符号，需要显示体连接时，则可以使用四端符号



MOS晶体管符号

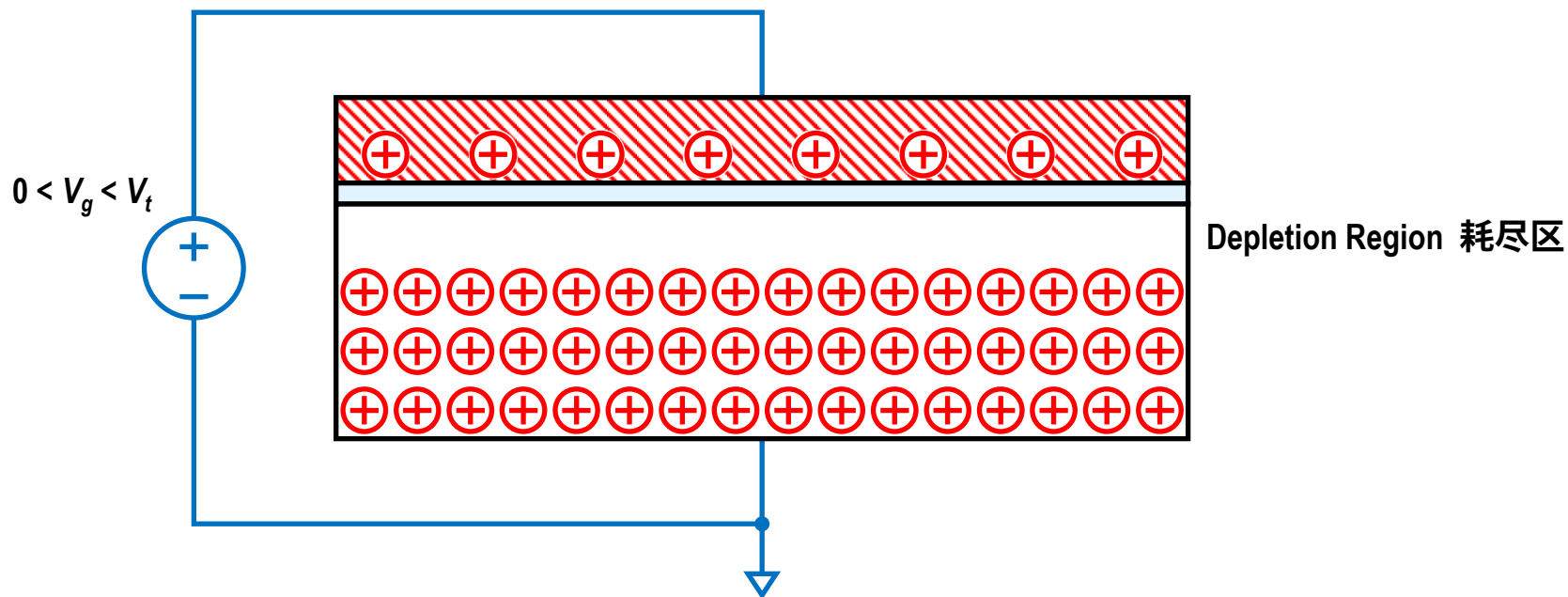
MOS结构偏置状态：积累



MOS结构偏置状态：积累 (Accumulation)

栅极出现负电荷，空穴被吸引到栅极下方区域

MOS结构偏置状态：耗尽

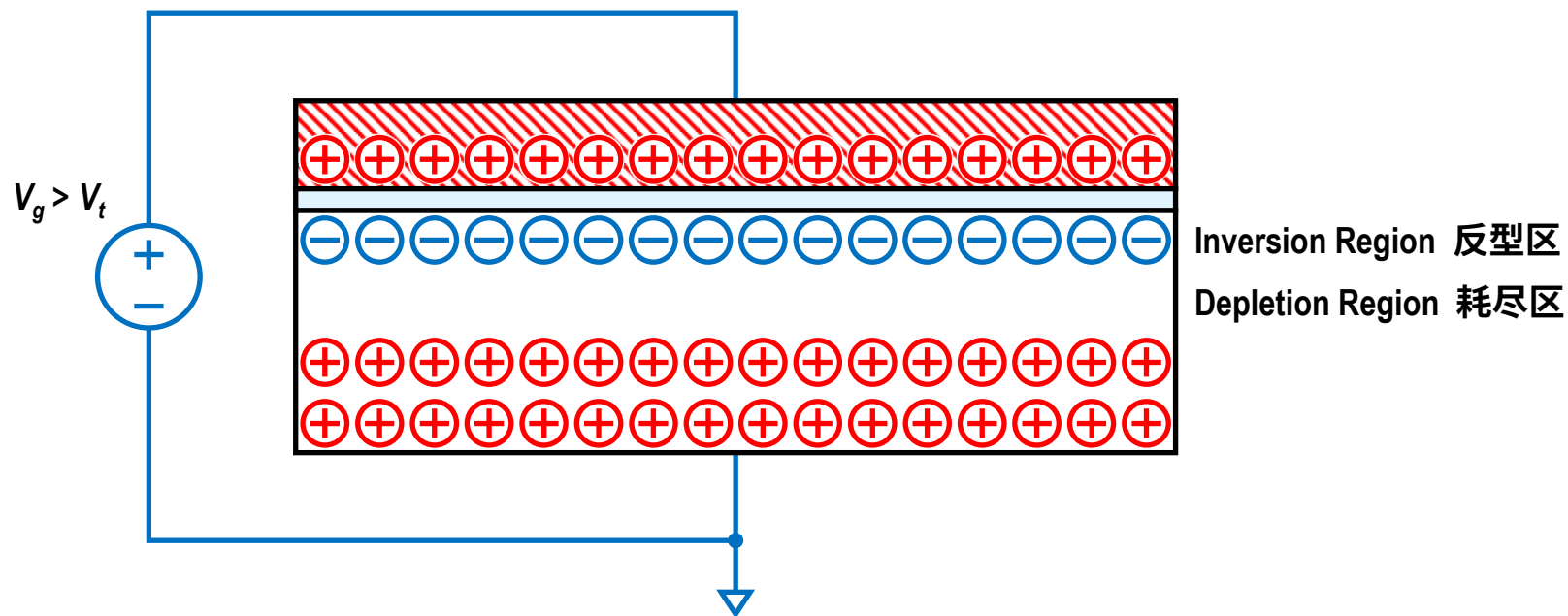


MOS结构偏置状态：耗尽 (Depletion)

栅极出现正电荷，栅极下方区域的空穴被排斥开，形成耗尽区

V_t : 阈值电压 (Threshold Voltage)

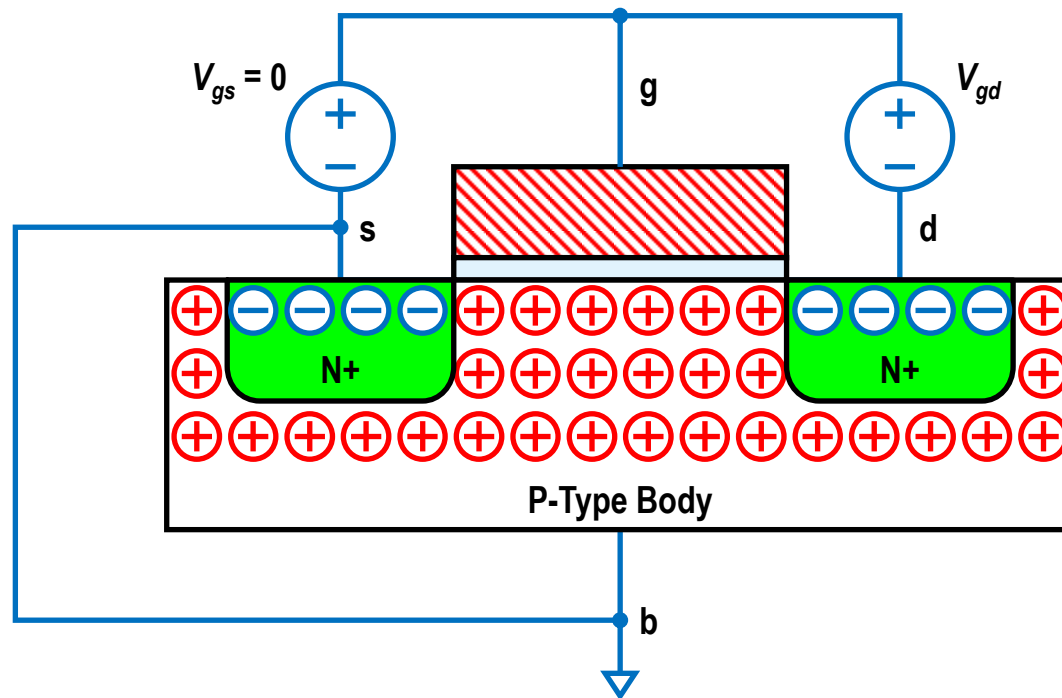
MOS结构偏置状态：反型



MOS结构偏置状态：反型 (Inversion)

栅极出现更多正电荷，栅极下方区域的空穴被进一步排斥
体硅中的自由电子被吸引到栅极下方区域，形成反型区

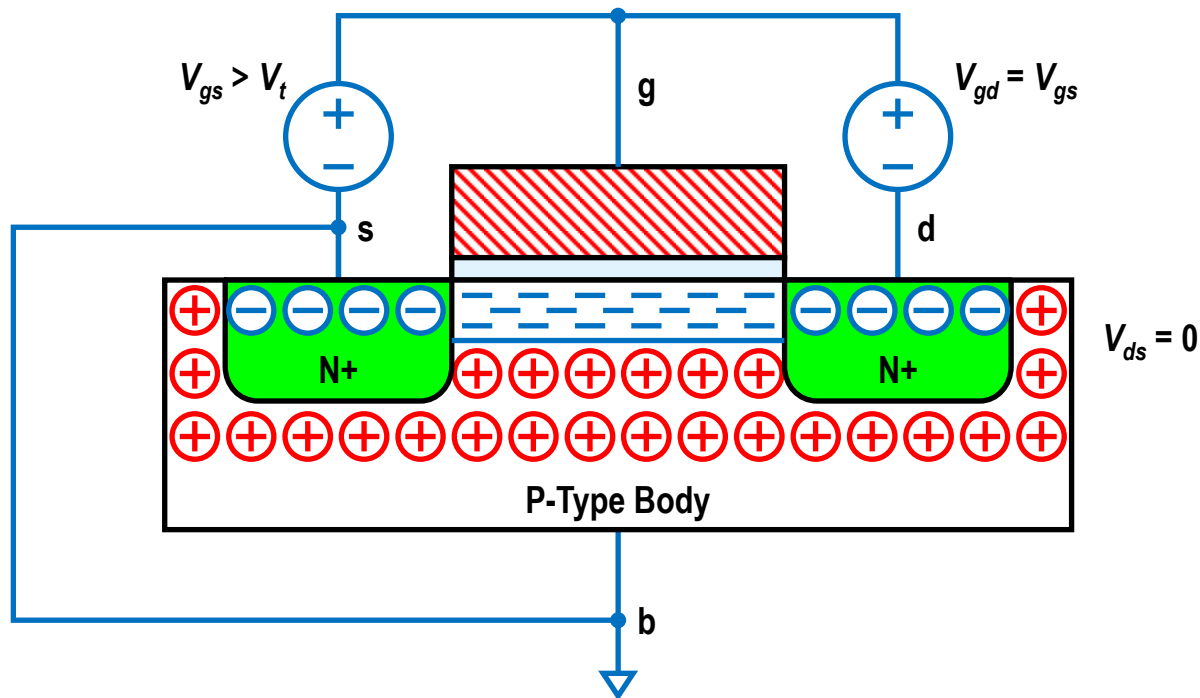
NMOS晶体管工作状态：截止



NMOS晶体管工作状态：截止 (Cutoff)

无沟道(Channel), $I_{ds}=0$

NMOS晶体管工作状态：线性

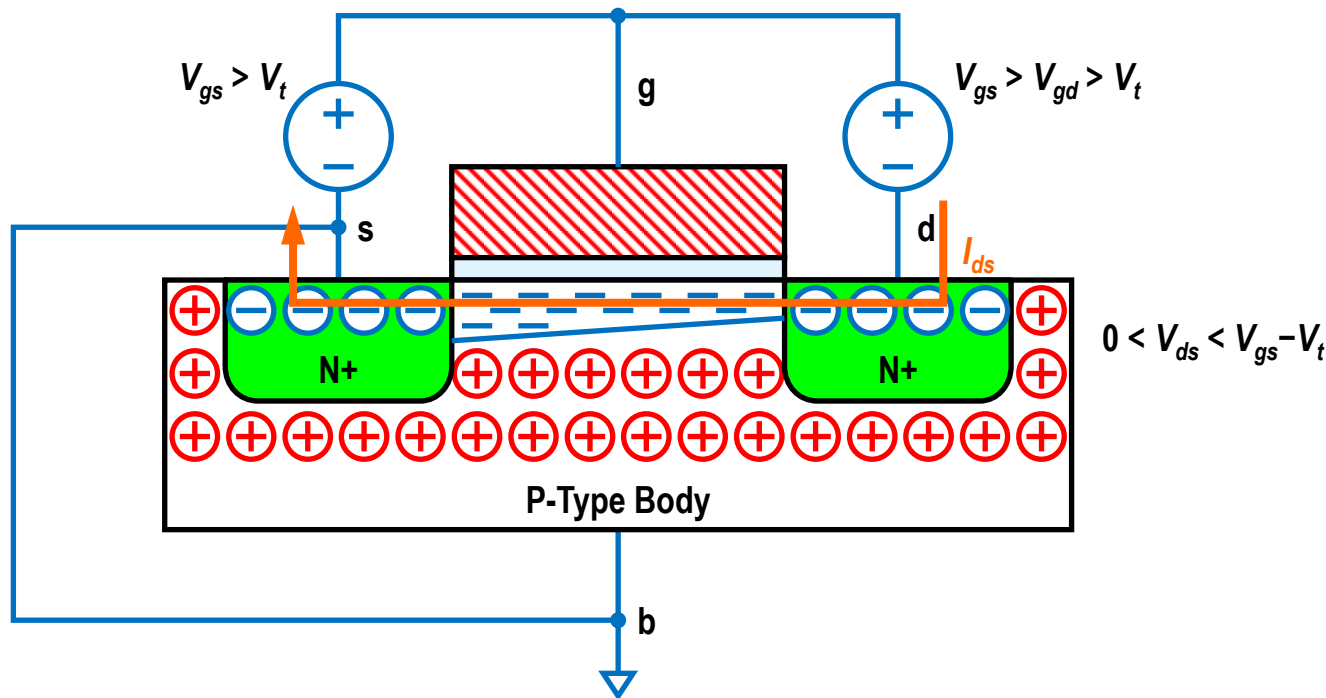


NMOS晶体管工作状态：线性 (Linear)

沟道形成， I_{ds} 随 V_{ds} 增加

当 $V_{ds} \ll (V_{gs} - V_t)$ 时， I_{ds} 正比于 V_{ds} ，类似于线性电阻

NMOS晶体管工作状态：线性

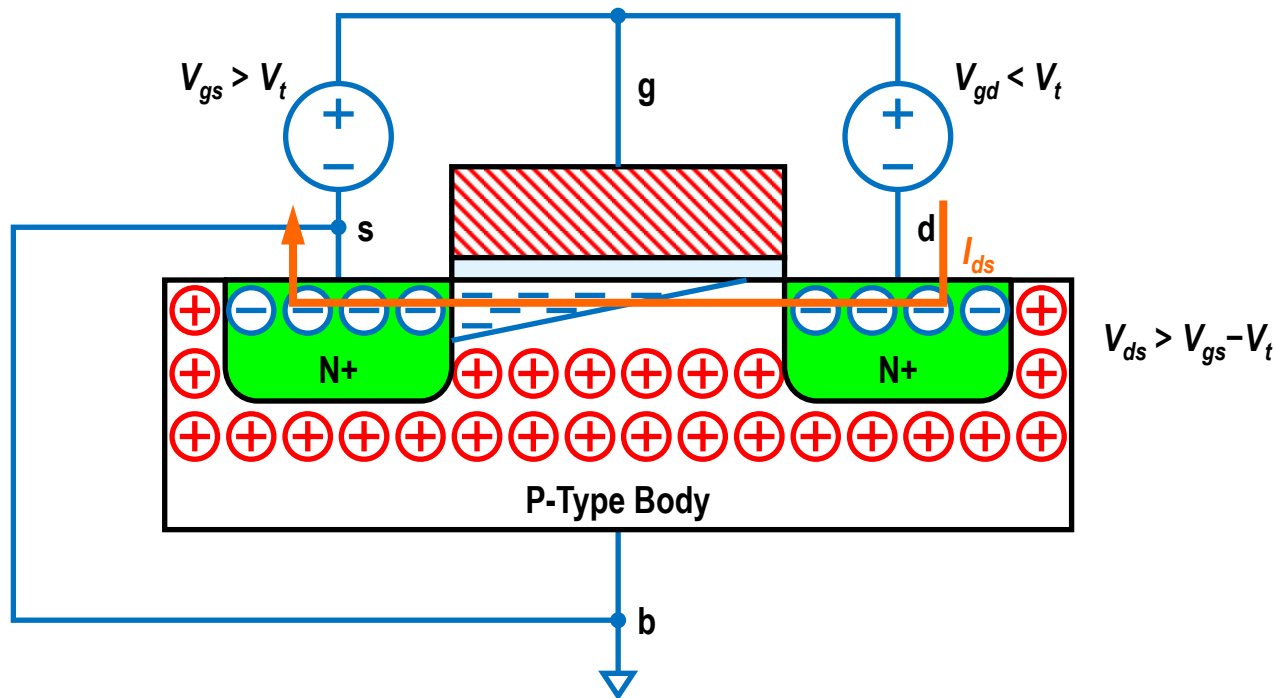


NMOS晶体管工作状态：线性 (Linear)

沟道形成， I_{ds} 随 V_{ds} 增加

当 $V_{ds} \ll (V_{gs} - V_t)$ 时， I_{ds} 正比于 V_{ds} ，类似于线性电阻

NMOS晶体管工作状态：饱和



NMOS晶体管工作状态：饱和 (Saturation)

沟道夹断， I_{ds} 与 V_{ds} 无关，类似于电流源

长沟道晶体管的I-V特性

■ 模型名称

- 长沟道模型 (Long-Channel Model)
- 理想模型 (Ideal Model)
- 一阶模型 (First-Order Model)
- 肖克利模型 (Shockley Model)

■ 模型假设

- 晶体管沟道足够长
- 源和漏之间的横向电场相对较弱
- 流过一个关断晶体管的电流为零

■ MOS结构电容器

- 反型状态MOS结构可看作平行板电容器
- 栅极-氧化物-沟道

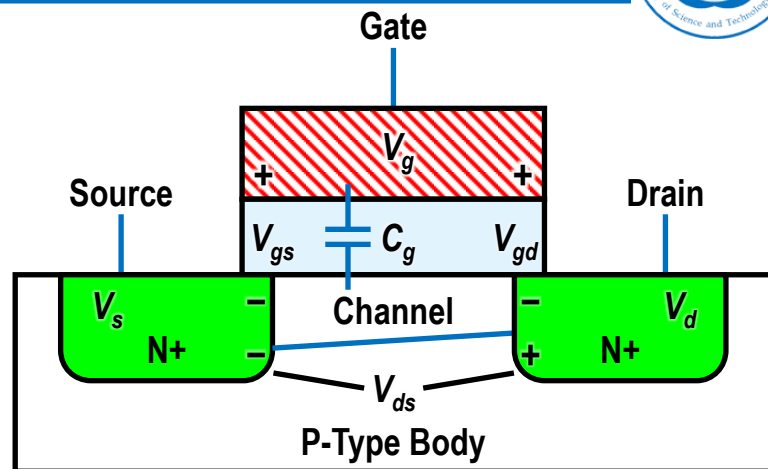
■ 沟道电荷

$$\begin{aligned} Q_{\text{channel}} &= C_g (V_{gs} - V_t) \\ &= C_g (V_{gs} - V_{ds}/2 - V_t) \end{aligned}$$

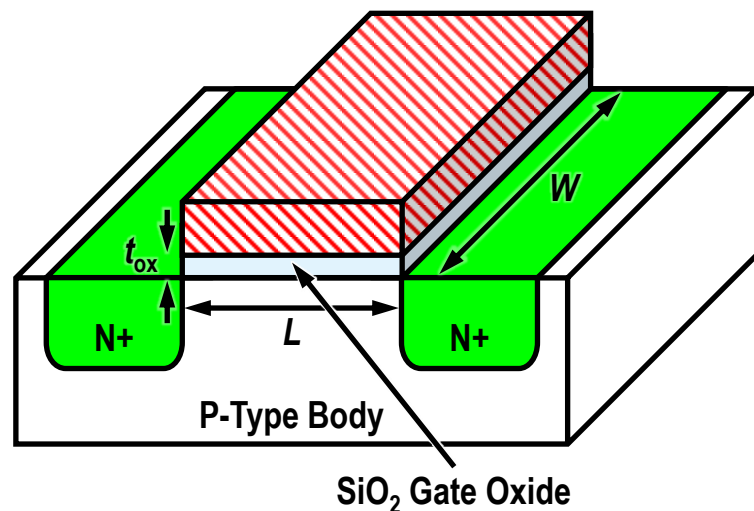
■ 栅电容

$$C_g = k_{\text{ox}} \varepsilon_0 \frac{WL}{t_{\text{ox}}} = \varepsilon_{\text{ox}} \frac{WL}{t_{\text{ox}}} = C_{\text{ox}} WL$$

- 单位面积栅氧电容 $C_{\text{ox}} = \varepsilon_{\text{ox}} / t_{\text{ox}}$
- SiO_2 介电常数 $\varepsilon_{\text{ox}} = 3.9 \cdot \varepsilon_0$



NMOS晶体管电学特性



NMOS晶体管几何尺寸

载流子的运动



■ 漏源横向电场强度

$$E = \frac{V_{ds}}{L}$$

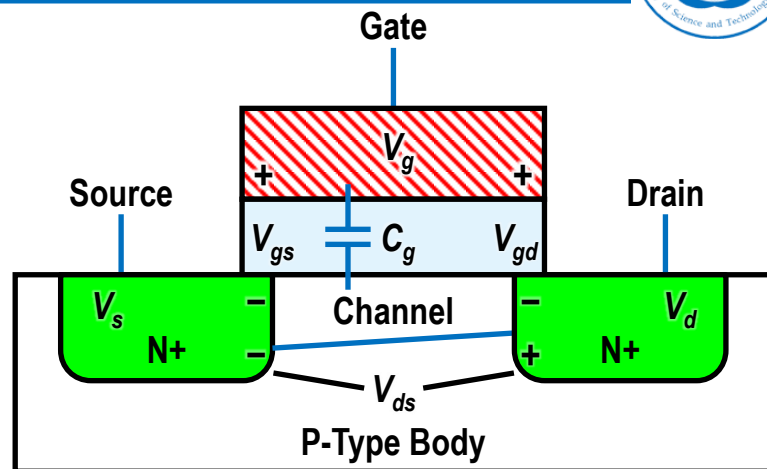
■ 载流子速度

$$v = \mu E = \mu \frac{V_{ds}}{L}$$

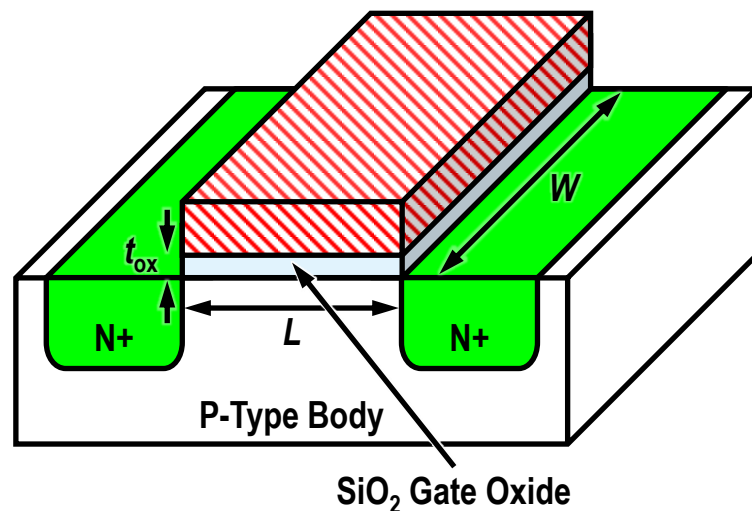
- 与漏源横向电场强度成正比
- 迁移率 (Mobility) μ
- 电子迁移率 μ_n 是空穴迁移率 μ_p 的2~3倍

■ 载流子通过沟道所需时间

$$t = \frac{L}{v} = \frac{L^2}{\mu V_{ds}}$$



NMOS晶体管电学特性



NMOS晶体管几何尺寸

NMOS晶体管线性区I-V特性



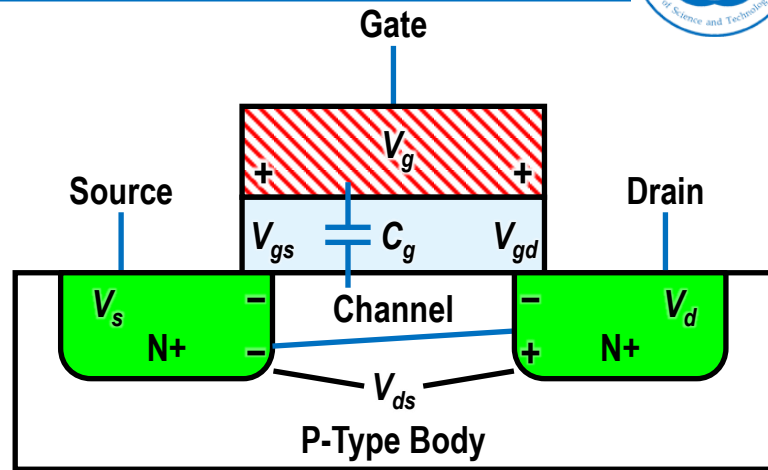
■ 漏极电流

$$\begin{aligned} I_{ds} &= \frac{Q_{\text{channel}}}{t} \\ &= \frac{C_{\text{ox}} WL (V_{gs} - V_t - V_{ds}/2)}{L^2 / \mu V_{ds}} \\ &= \mu C_{\text{ox}} \frac{W}{L} (V_{gs} - V_t - V_{ds}/2) V_{ds} \\ &= \beta (V_{GT} - V_{ds}/2) V_{ds} \end{aligned}$$

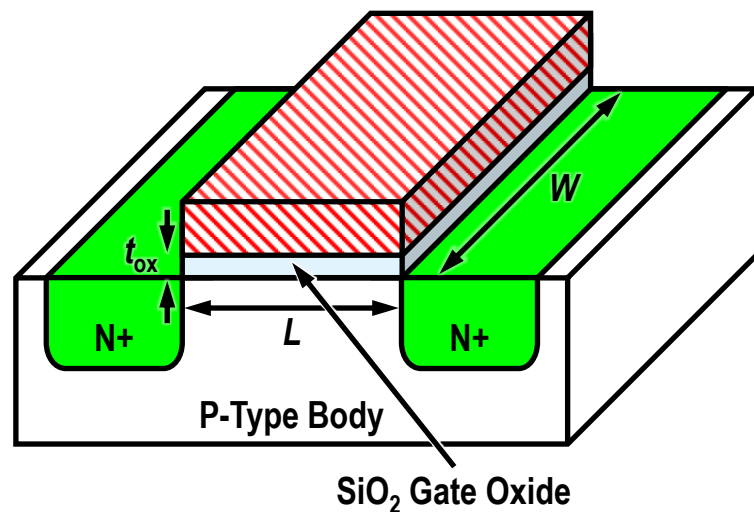
■ 其中

$$\beta = \mu C_{\text{ox}} \frac{W}{L}; \quad V_{GT} = V_{gs} - V_t$$

- 当 $V_{ds} \ll V_{GT}$ 时, I_{ds} 几乎随 V_{ds} 线性增加



NMOS晶体管电学特性



NMOS晶体管几何尺寸

■ 沟道夹断

- 若 $V_{gd} < V_t$, 即 $V_{ds} > V_{dsat} \equiv V_{GT}$, 则漏极附近沟道不再反型, 即沟道夹断
- 此时, 增加漏极电压将不会再增加漏极电流

■ 漏极饱和电流

- 由 $V_{ds} = V_{dsat} = V_{GT}$ 得到

$$\begin{aligned} I_{ds} &= \beta(V_{gs} - V_t - V_{dsat}/2)V_{dsat} \\ &= \frac{\beta}{2}(V_{gs} - V_t)^2 \\ &= \frac{\beta}{2}V_{GT}^2 \end{aligned}$$

- 当 $V_{gs} > V_t$ 且 $V_{ds} > V_{dsat}$ 时成立

■ 漏极电流

$$I_{ds} = \begin{cases} 0, & V_{gs} < V_t, \quad \text{Cutoff} \\ \beta(V_{GT} - V_{ds}/2)V_{ds}, & V_{ds} < V_{dsat}, \quad \text{Linear} \\ \frac{\beta}{2}V_{GT}^2, & V_{ds} > V_{dsat}, \quad \text{Saturation} \end{cases}$$

■ I_{on} (I_{dsat})

- 当 $V_{gs}=V_{ds}=V_{DD}$ 时的导通电流 I_{ds}

$$I_{on} = \frac{\beta}{2}(V_{DD} - V_t)^2$$

■ I_{off}

- 当 $V_{gs}=0$ 且 $V_{ds}=V_{DD}$ 时的关断电流

$$I_{off} = 0$$

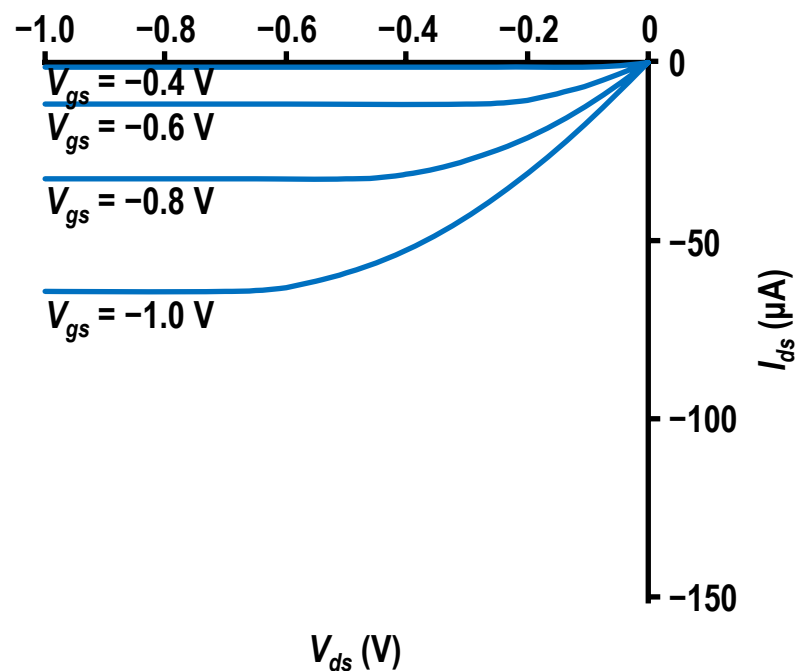
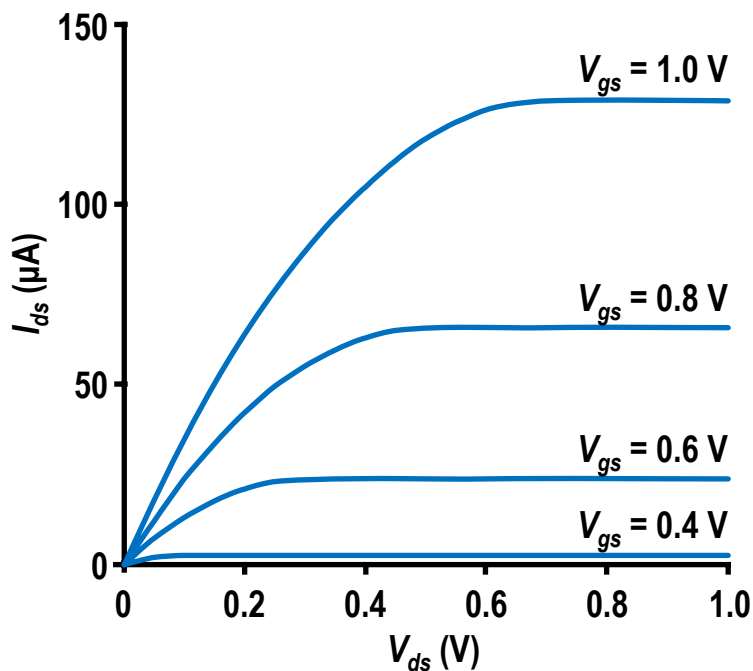
NMOS和PMOS长沟道模型举例



- **例：**考虑某65-nm工艺中的NMOS和PMOS晶体管，栅氧厚度为 10.5 \AA ，最小沟道长度为 50 nm ($\lambda=25 \text{ nm}$)，宽长比为 $W/L=4\lambda/2\lambda$ 。在 70°C 时高电场下，电子迁移率约为 $80 \text{ cm}^2/\text{V}\cdot\text{s}$ ，空穴迁移率约为 $40 \text{ cm}^2/\text{V}\cdot\text{s}$ 。NMOS管阈值电压为 0.3 V ，PMOS管阈值电压为 -0.3 V 。请利用长沟道模型分析NMOS和PMOS管的 I - V 特性。

$$\beta_n = \mu_n C_{\text{ox}} \frac{W}{L} = 262.9 \frac{W}{L} \mu\text{A} \cdot \text{V}^{-2}$$

$$\beta_p = \mu_p C_{\text{ox}} \frac{W}{L} = 131.5 \frac{W}{L} \mu\text{A} \cdot \text{V}^{-2}$$



C-V特性

■ 栅电容

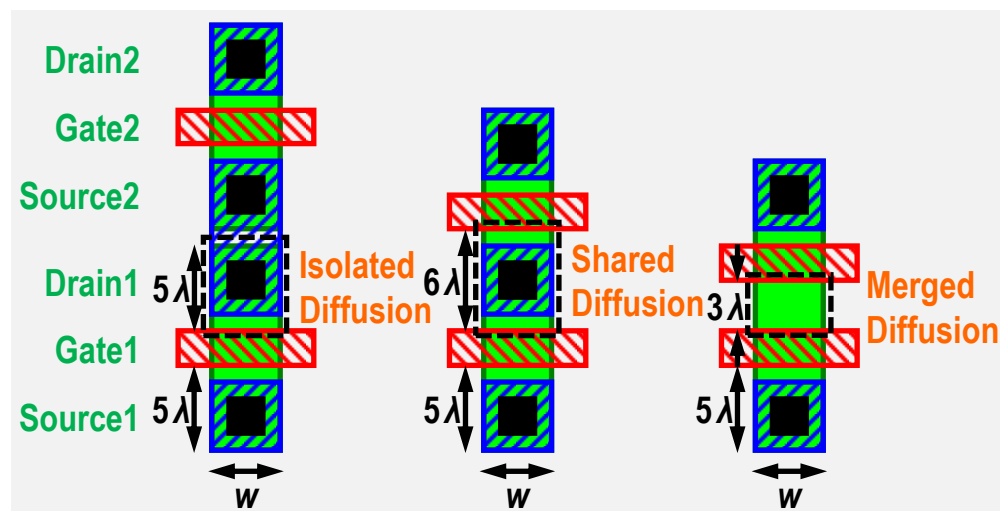
- 晶体管导通时，沟道与源极连接，栅电容的下端近似处于源极，记作 C_{gs}
- 逻辑电路所用的晶体管大多采用工艺允许的最小沟道长度 L ，则

$$C_g = C_{ox} WL = \varepsilon_{ox} \frac{WL}{t_{ox}} = C_{permicron} \times W$$

- 其中， $C_{permicron} \approx 1 \sim 2 \text{ fF}/\mu\text{m}$

■ 扩散电容

- 源或漏扩散区与体之间的PN结电容，记作 C_{sb} 和 C_{db}
- 扩散电容值取决于扩散区面积、周长、深度、掺杂浓度、电压
- 版图设计时，一般应使扩散区尽可能小



扩散区的几何尺寸

精确的MOS电容模型

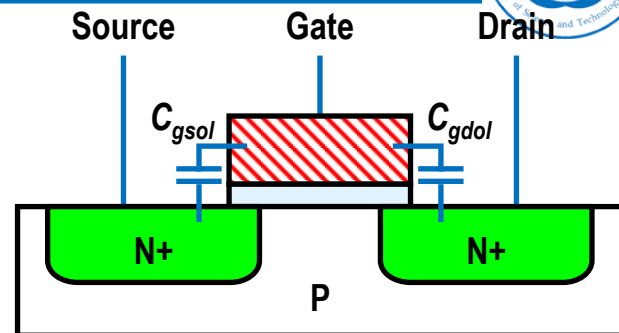


■ 精确的MOS栅电容模型

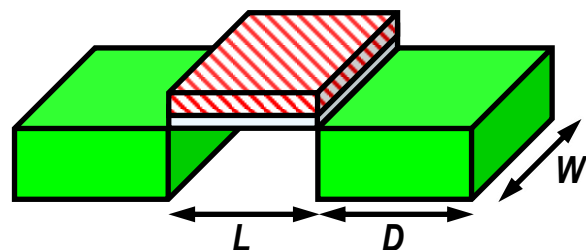
- 本征栅电容 $C_{gc} = C_{gs} + C_{gd} + C_{gb}$
- 覆盖电容 $C_{gsol} = C_{gdol} = 0.2 \sim 0.4 \text{ fF}/\mu\text{m}$

■ 精确的MOS扩散电容模型

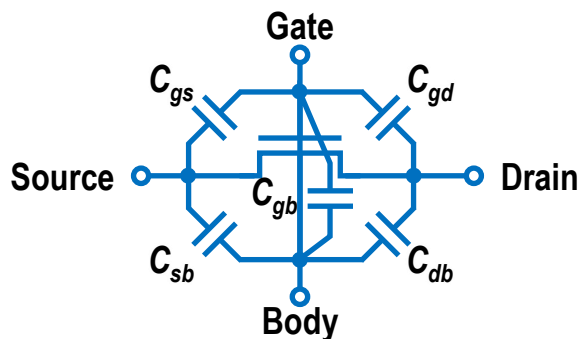
- 以NMOS晶体管源极扩散电容为例
- 总扩散电容 $C_{sb} = AS \times C_{jbs} + PS \times C_{jbssw}$
- 扩散区面积 $AS = W \times D$
- 侧壁周长 $PS = 2W + 2D$
- 面积结电容 $C_{jbs} = C_J \left(1 + \frac{V_{sb}}{\Psi_0} \right)^{-M_J}$
- 侧壁结电容 $C_{jbssw} = C_{JSW} \left(1 + \frac{V_{sb}}{\Psi_{SW}} \right)^{-M_{JSW}}$
- 漏极扩散电容、PMOS管扩散电容与之类似



覆盖电容



扩散区几何尺寸



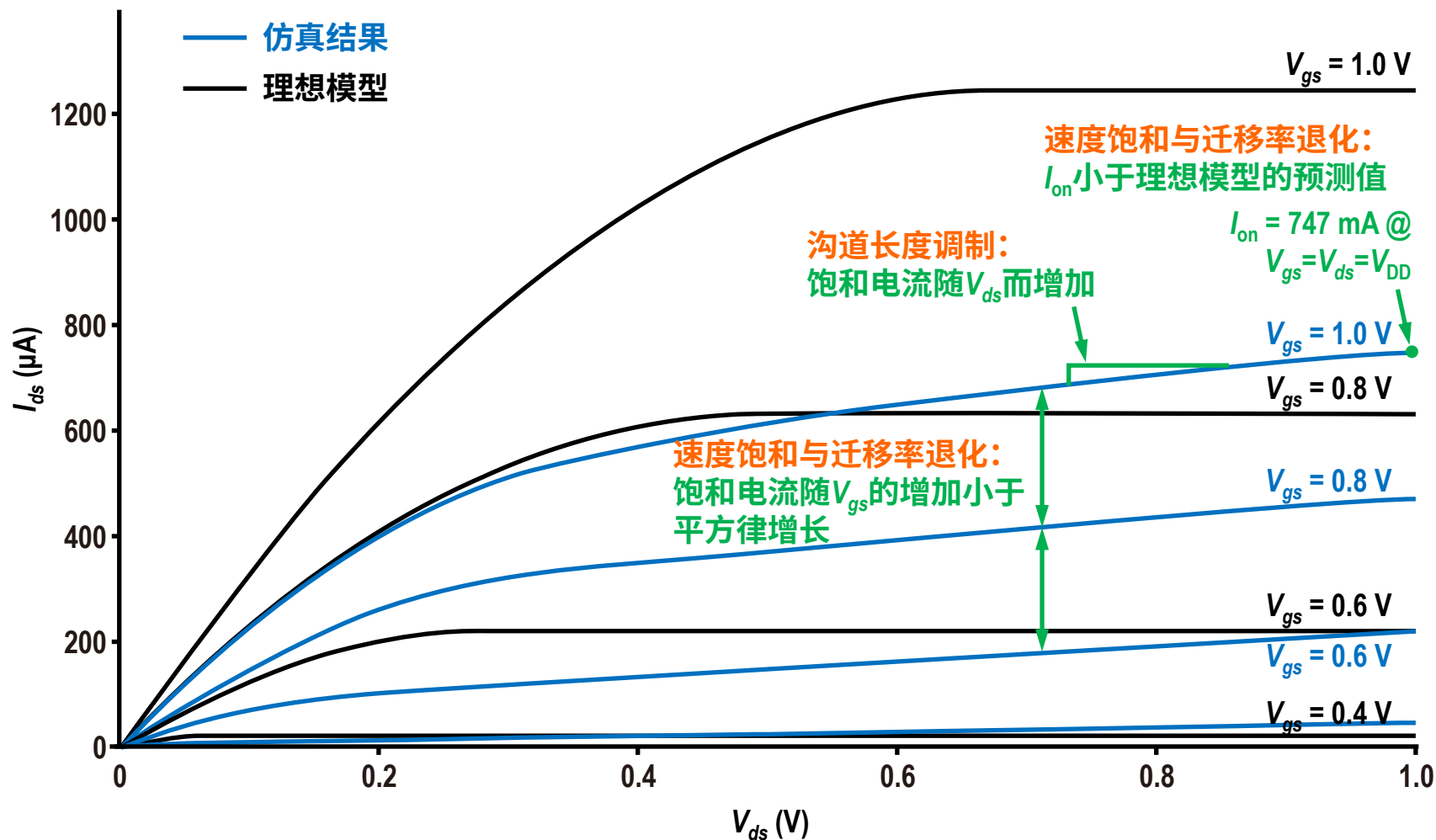
MOS晶体管的电容

非理想的I-V效应

晶体管的非理想效应

- **高电场效应 (High Field Effect)**
 - 速度饱和 (Velocity Saturation)
 - 迁移率退化 (Mobility Degradation)
- **沟道长度调制 (Channel Length Modulation)**
- **阈值电压效应 (Threshold Voltage Effect)**
 - 体效应 (Body Effect)
 - 漏致势垒降低 (Drain-Induced Barrier Lowering, DIBL)
 - 短沟道效应 (Short Channel Effect)
- **泄漏 (Leakage)**
 - 亚阈值泄漏 (Subthreshold Leakage)
 - 栅泄漏 (Gate Leakage)
 - 结泄漏 (Junction Leakage)
- **温度相关性 (Temperature Dependence)**
- **几何形状相关性 (Geometry Dependence)**

仿真和理想I-V特性比较



65-nm工艺1- μm 宽NMOS晶体管的仿真和理想I-V特性

■ 迁移率退化

- 在高 V_{gs} 高纵向电场下，载流子被吸引到沟道边缘
- 引起载流子与栅氧化层界面发生碰撞，降低载流子的速度

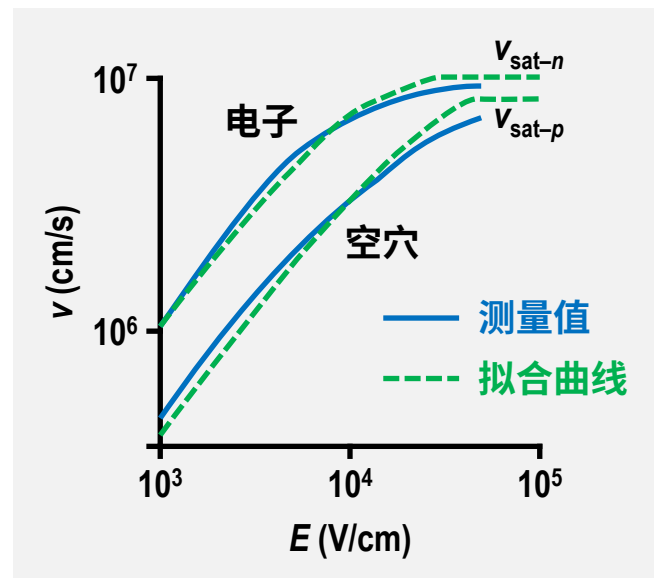
$$\mu_{\text{eff}-n} = \frac{540 \frac{\text{cm}^2}{\text{V} \cdot \text{s}}}{1 + \left(\frac{V_{gs} + V_t}{0.54 \frac{\text{V}}{\text{nm}} t_{\text{ox}}} \right)^{1.85}}; \quad \mu_{\text{eff}-p} = \frac{185 \frac{\text{cm}^2}{\text{V} \cdot \text{s}}}{1 + \frac{|V_{gs} + 1.5V_t|}{0.338 \frac{\text{V}}{\text{nm}} t_{\text{ox}}}}$$

■ 速度饱和

- 在高 V_{ds} 高横向电场下，载流子从硅晶格散射开，达到最大速度 v_{sat}
- 载流子速度近似为

$$v = \begin{cases} \frac{\mu_{\text{eff}} E}{1 + \frac{E}{E_c}}, & E < E_c \\ v_{\text{sat}}, & E \geq E_c \end{cases}$$

- 临界电场强度 $E_c = 2v_{\text{sat}} / \mu_{\text{eff}}$
- 临界电压 $V_c = E_c L$



载流子速度与电场的关系

(Solid-State Electronics, 20(2), 1977, 77–89)

■ 速度饱和效应I-V特性

$$I_{ds} = \begin{cases} \frac{\mu_{\text{eff}}}{1 + \frac{V_{ds}}{V_c}} C_{\text{ox}} \frac{W}{L} (V_{GT} - V_{ds}/2) V_{ds}, & V_{ds} < V_{\text{dsat}}, \text{ Linear} \\ C_{\text{ox}} W (V_{GT} - V_{\text{dsat}}) v_{\text{sat}}, & V_{ds} > V_{\text{dsat}}, \text{ Saturation} \end{cases}$$

- 由线性区和饱和区电流在 $V_{ds}=V_{\text{dsat}}$ 处相等，可得

$$V_{\text{dsat}} = \frac{V_{GT} V_c}{V_{GT} + V_c}$$

$$I_{\text{dsat}} = W C_{\text{ox}} v_{\text{sat}} \frac{V_{GT}^2}{V_{GT} + V_c}, \quad V_{ds} > V_{\text{dsat}}$$

- 当 $V_{GT} \ll V_c$ 时，速度饱和效应可忽略， I_{dsat} 与 V_{GT} 成平方关系
- 当 $V_{GT} \gg V_c$ 时，接近速度饱和的极限， I_{dsat} 与 V_{GT} 成线性关系

■ 部分速度饱和状态晶体管

- 载流子速度既不随电场线性增加，也不是完全速度饱和
- 可以使用 α 幂律模型进行描述

■ α 幂律模型 (α -Power Law Model)

$$I_{ds} = \begin{cases} 0, & V_{gs} < V_t, & \text{Cutoff} \\ I_{dsat} \frac{V_{ds}}{V_{dsat}}, & V_{ds} < V_{dsat}, & \text{Linear} \\ I_{dsat}, & V_{ds} > V_{dsat}, & \text{Saturation} \end{cases}$$

■ 其中

$$I_{dsat} = P_c \frac{\beta}{2} V_{GT}^\alpha; \quad V_{dsat} = P_v V_{GT}^{\alpha/2}$$

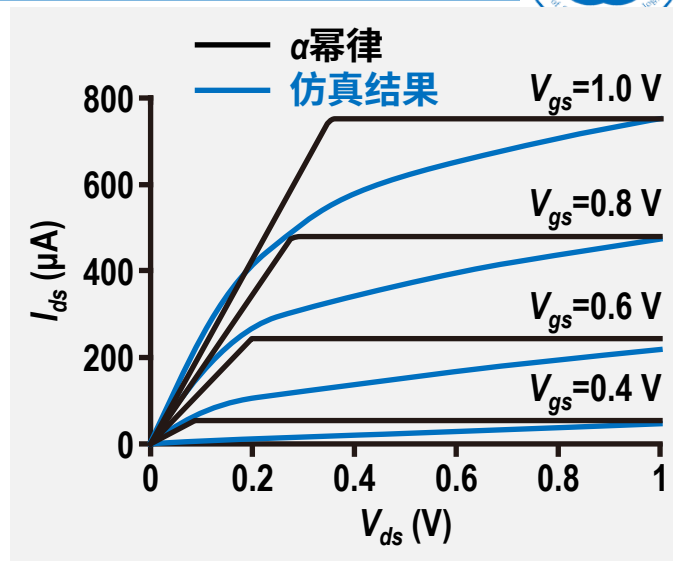
■ 速度饱和指数 $\alpha \in [1, 2]$ ，由拟合测量数据确定

■ 速度饱和晶体管简化模型

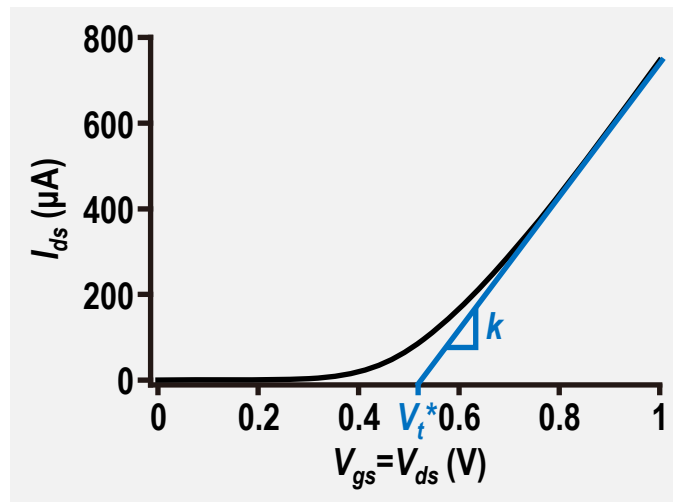
■ 当充分导通时， I_{ds} 与 V_{gs} 成线性关系

■ 导通电流近似为

$$I_{ds} = k(V_{gs} - V_t^*)$$



α 幂律模型与仿真结果



速度饱和晶体管的导通电流

■ 沟道长度调制

- 漏极和体之间的PN结形成耗尽区
- 其宽度 L_d 随 V_{db} 而增加，沟道长度缩短为

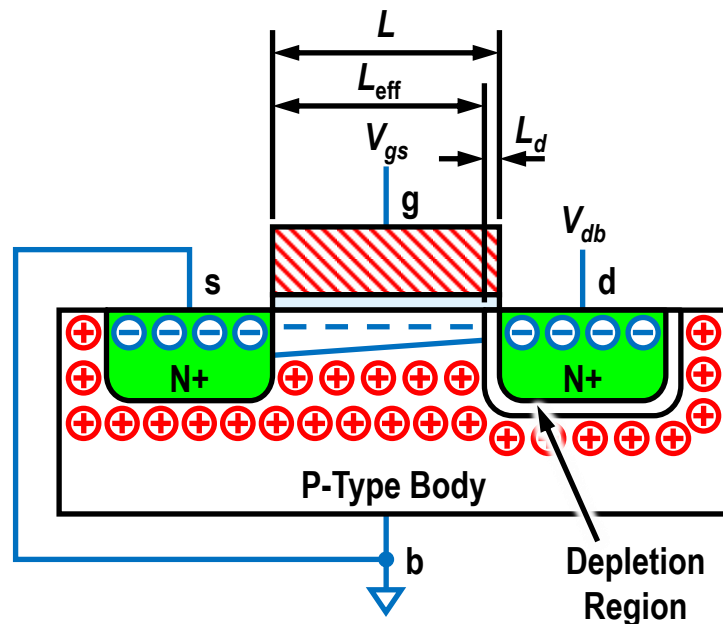
$$L_{\text{eff}} = L - L_d$$

- 较短的沟道长度导致较大的电流
- 饱和区电流 I_{ds} 随 V_{ds} 而增加

■ 沟道长度调制效应I-V特性

$$I_{ds} = \frac{\beta}{2} V_{GT}^2 \left(1 + \frac{V_{ds}}{V_A} \right)$$

- 厄利电压 (Early Voltage) V_A
- 厄利电压与沟道长度成正比



耗尽区使有效沟道长度缩短

■ 阈值电压效应

- 体效应：阈值电压随源极电压增加而增加，随体电压增加而减小
- 漏致势垒降低：阈值电压随漏极电压增加而减小
- 短沟道效应：阈值电压随沟道长度增加而增加

■ 体效应

- 增加 V_{sb} 使沟道反型所需电荷量增加，因而使阈值电压提高

$$V_t = V_{t0} + \gamma \left(\sqrt{\phi_s + V_{sb}} - \sqrt{\phi_s} \right)$$

- $V_{sb}=0$ 时的阈值电压 V_{t0}

- 体效应系数 $\phi_s = 2v_T \ln \frac{N_A}{n_i}$

- 阈值条件下的表面势 $\gamma = \sqrt{2q\epsilon_{Si} N_A / C_{ox}}$

- 当源极或体上的电压较小时，可以近似为线性关系

$$V_t = V_{t0} + k_\gamma V_{sb}; \quad k_\gamma = \gamma / 2\sqrt{\phi_s}$$

■ 漏致势垒降低 (DIBL)

- 漏极电压 V_{ds} 引起的电场影响阈值电压

- 在短沟道晶体管中更为明显

$$V_t = V_{t0} - \eta V_{ds}$$

- DIBL系数 $\eta \sim 100 \text{ mV/V}$

- DIBL导致饱和区 I_{ds} 随 V_{ds} 而增加，此效应可归并到厄利电压中

- DIBL在高 V_{ds} 时使亚阈值泄漏增加

■ 短沟道效应

- 阈值电压随沟道长度而增加

- 短沟道晶体管中，源漏耗尽区延伸到沟道的部分更为显著

- 反短沟道效应：某些工艺中阈值电压随沟道长度增加而减小

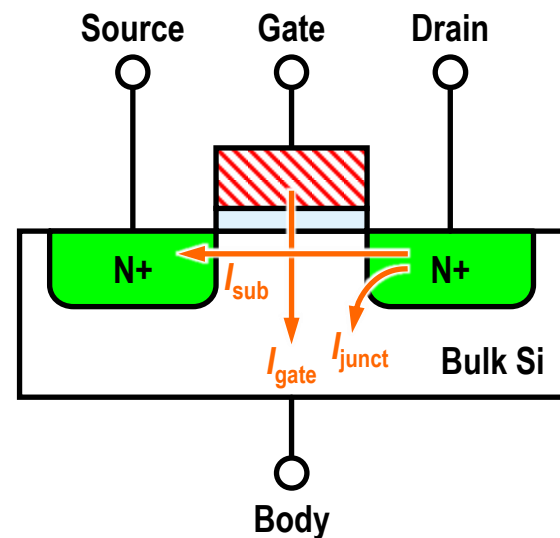
- 窄沟道效应：阈值电压随沟道宽度而变化

■ 泄漏

- 在截止状态时，晶体管也会泄漏少量电流
- 在纳米工艺下，泄漏已成为设计的重要考虑因素

■ 泄漏机理

- 源漏之间的亚阈值泄漏
- 由栅至体的栅泄漏
- 由源或漏至体的PN结泄漏



泄露电流路径

■ 亚阈值泄漏

- 由于载流子热致发射越过由阈值决定的势垒而引起
- 电流不会在阈值以下立即截止，而是按指数规律下降

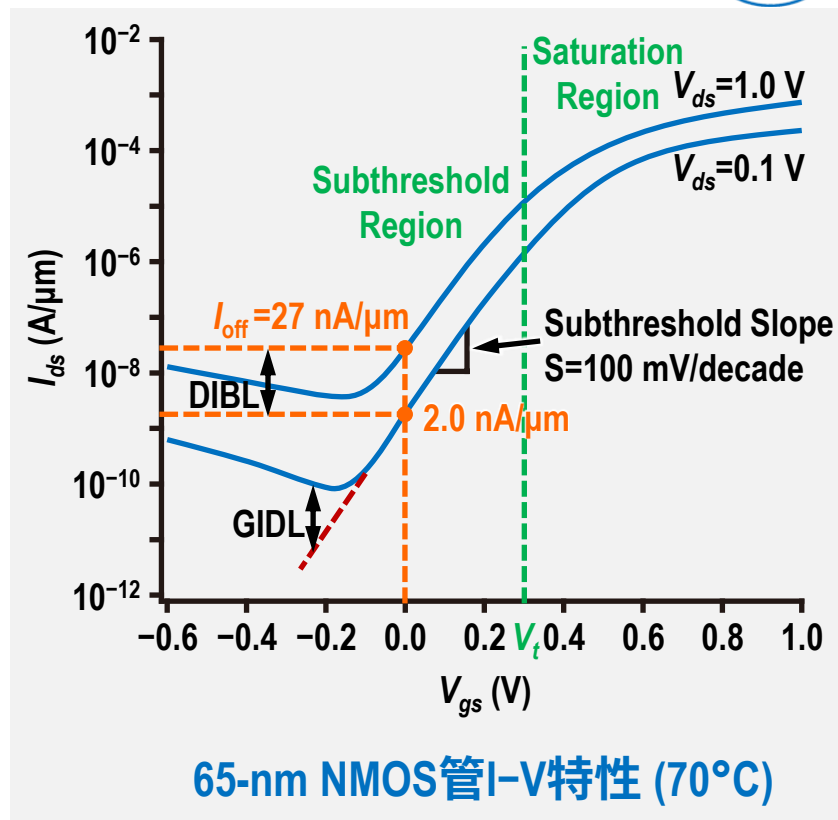
■ 亚阈值泄漏电流

$$I_{ds} = I_{ds0} e^{\frac{V_{gs} - V_{t0} + \eta V_{ds} - k_{\gamma} V_{sb}}{n v_T}} \left(1 - e^{\frac{-V_{ds}}{v_T}} \right)$$

- 可改写为

$$I_{ds} = I_{off} 10^{\frac{V_{gs} + \eta(V_{ds} - V_{DD}) - k_{\gamma} V_{sb}}{S}} \left(1 - e^{\frac{-V_{ds}}{v_T}} \right); \quad S = \left[\frac{d(\log_{10} I_{ds})}{dV_{gs}} \right]^{-1} = n v_T \ln 10$$

- 亚阈值斜率 $S \approx 100 \text{ mV/decade}$ (室温)



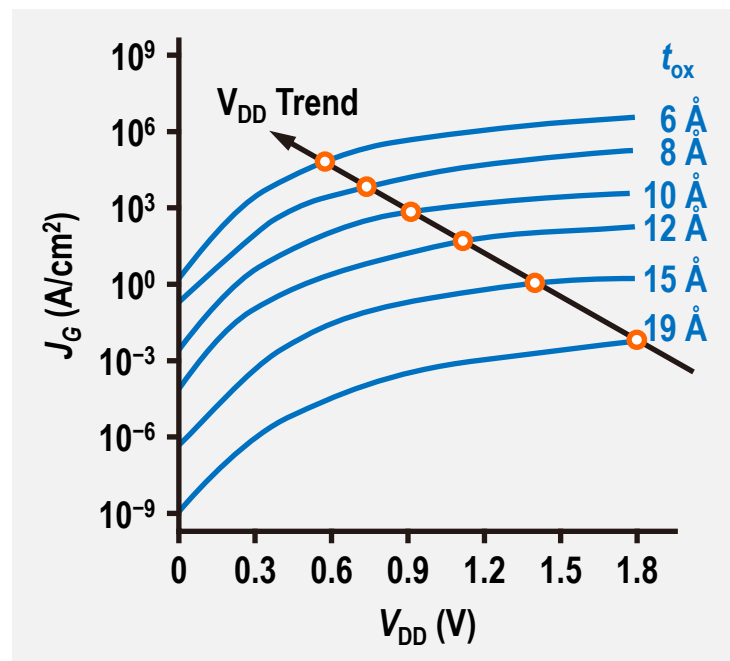
■ 隧穿 (Tunneling)

- 载流子越过薄绝缘层壁垒的效应
- FN隧穿：在高电压和中等栅氧厚度时比较明显，可用于对EEPROM编程
- 直接隧穿：在低电压薄栅氧时比较明显，是栅泄漏的主要组成部分

■ 直接隧穿电流

$$I_{\text{gate}} = WA \left(\frac{V_{\text{DD}}}{t_{\text{ox}}} \right)^2 e^{-B \frac{t_{\text{ox}}}{V_{\text{DD}}}}$$

- 工艺常数 A, B
- 限制了等效栅氧厚度 t_{ox} 至少为 10.5 \AA ，以使栅泄漏保持在 100 A/cm^2 以下
- SiO_2 作为栅介质时，NMOS管隧穿电流比PMOS管大一个数量级
- 不同电介质有不同的隧穿特性



栅泄漏电流

(IEDM, 2001, 3.2.1–3.2.4)

■ 反偏PN结二极管泄漏

- 扩散与衬底或阱之间、阱和衬底之间的PN结形成反偏二极管
- 反偏二极管导通电流

$$I_D = I_S \left(e^{\frac{V_D}{v_T}} - 1 \right)$$

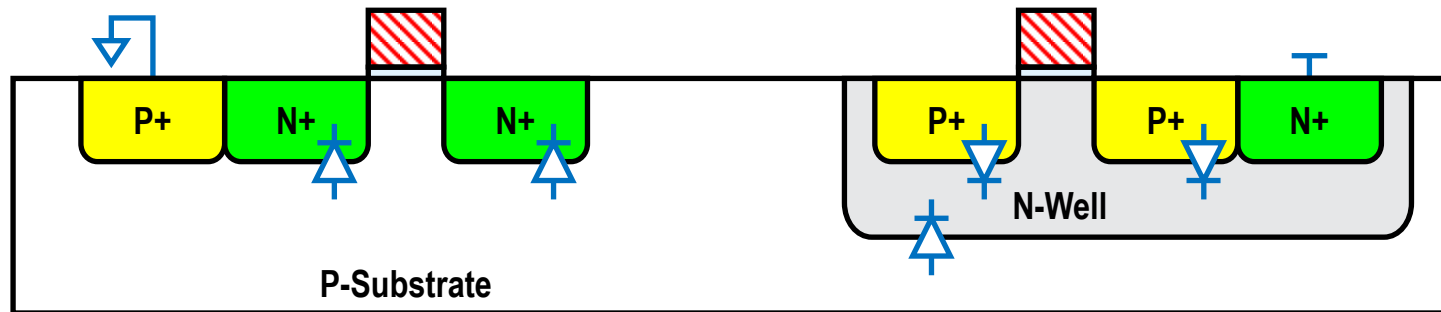
- 二极管电压 V_D
- 二极管反向偏置饱和电流 I_S

■ 带至带隧穿 (BTBT)

- 发生在反向偏置的源与体或漏与体之间的结上
- 与反向偏置情况及掺杂浓度有关

■ 栅致漏极泄漏 (GIDL)

- 发生在栅极与漏极覆盖的地方
- 当漏极处于高电压而栅极处于低电压时最为显著



CMOS电路中的衬底至扩散二极管

■ 温度对晶体管特性的影响

- 载流子迁移率随温度升高而降低

$$\mu(T) = \mu(T_r) \left(\frac{T}{T_r} \right)^{-k_\mu}$$

- V_t 随温度升高大致呈线性关系降低

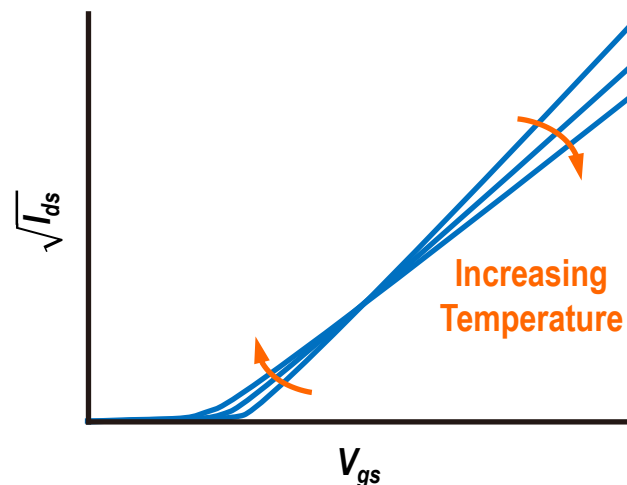
$$V_t(T) = V_t(T_r) - k_{vt}(T - T_r)$$

- 高 V_{DD} 时, I_{dsat} 随温度升高而减小

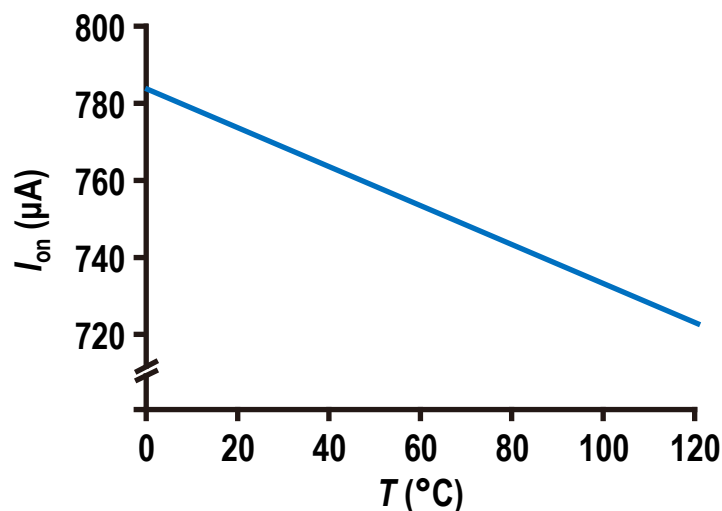
- 低 V_{DD} 时, I_{dsat} 随温度升高而增加

■ 冷却提高电路性能

- 自然通风、风扇、散热器
- 低温下可以采用较低的阈值电压
- 低温下速度饱和时, 能提供更大的电流, 电源电压较低因而降低功耗
- 低温时耗尽区变宽, 结电容减小



不同温度下NMOS管饱和区I-V特性



高 V_{DD} 时导通电流与温度的关系

■ 晶体管有效尺寸

$$L_{\text{eff}} = L_{\text{drawn}} + X_L - 2L_D$$

$$W_{\text{eff}} = W_{\text{drawn}} + X_W - 2W_D$$

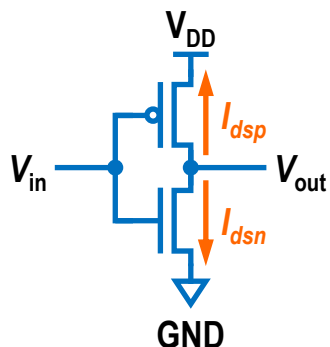
- 由于阈值电压、等效沟道长度、沟道长度调制、速度饱和等因素的共同影响， I_{dsat} 并不完全按照 $1/L$ 的比例缩放
- 晶体管等效长度明显取决于晶体管的方向
- 晶体管附近的多晶硅数量会影响制造过程中的刻蚀速度，从而影响沟道长度

■ 匹配晶体管

- 每个晶体管都采用相同的宽度和长度
- 多个完全相同的晶体管并联可以得到不同尺寸比例的晶体管
- 匹配晶体管应当有相同的取向
- 将多晶硅线放在晶体管附近以提高刻蚀均匀性

直流传输特性

静态CMOS反相器中晶体管的工作区



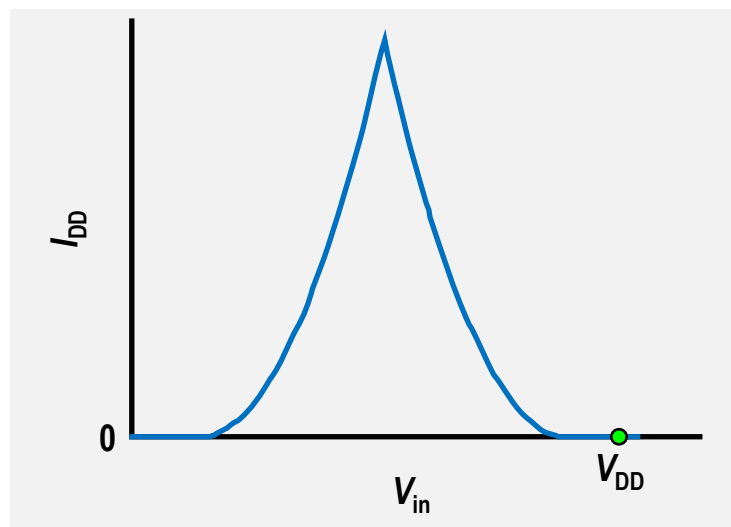
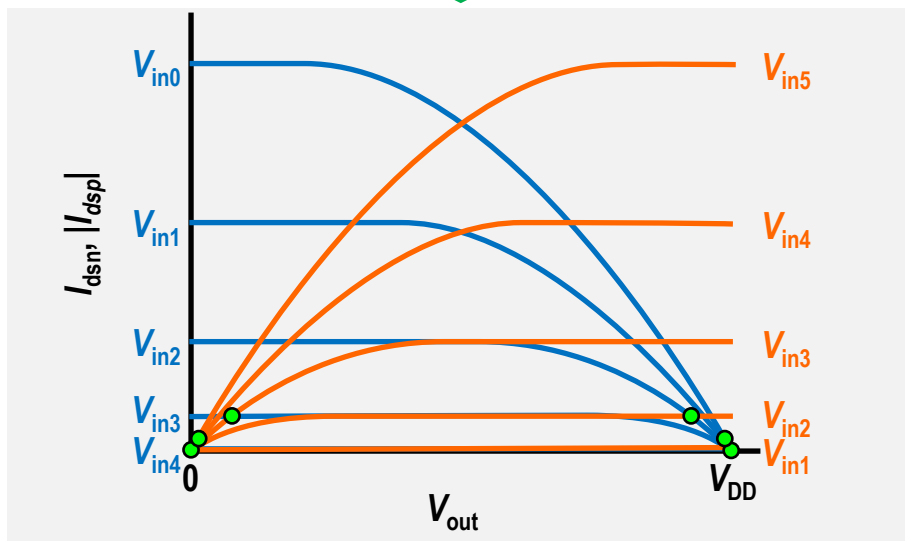
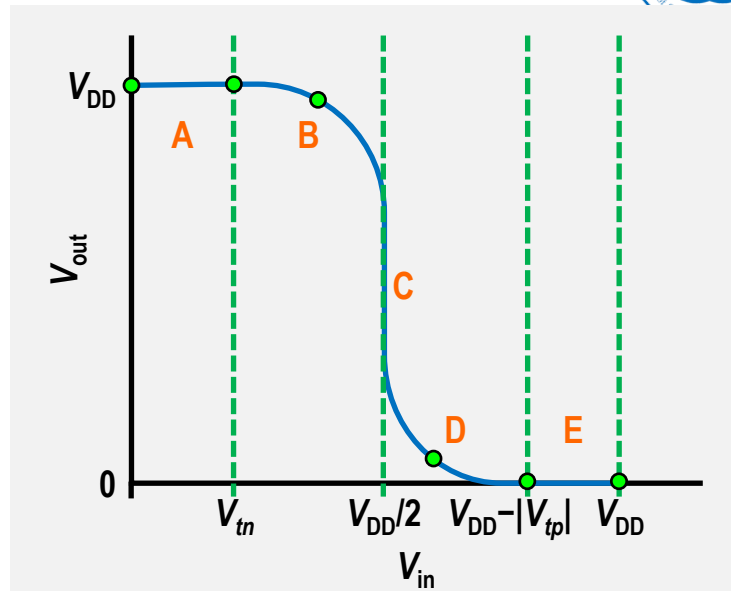
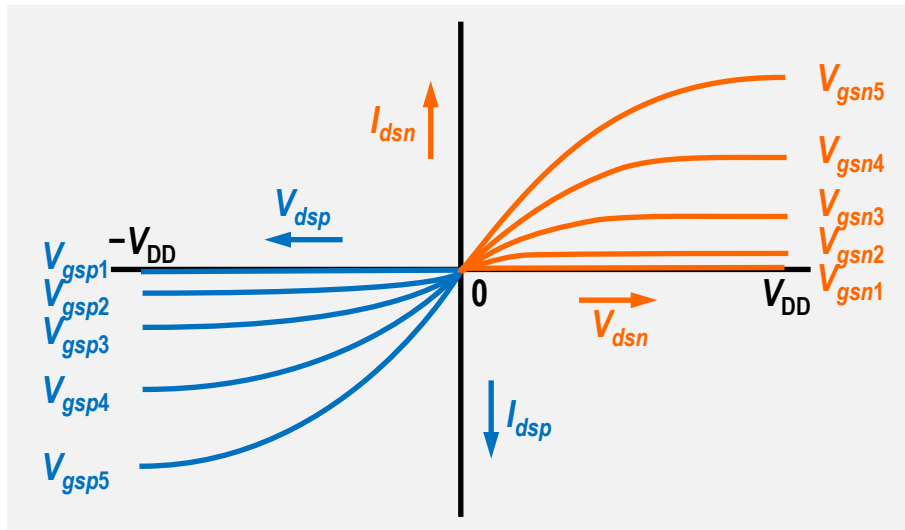
$$V_{gsn} = V_{in}; \quad V_{gsp} = V_{in} - V_{DD}$$

$$V_{dsn} = V_{out}; \quad V_{dsp} = V_{out} - V_{DD}$$

CMOS反相器三个工作区域上各电压之间的关系

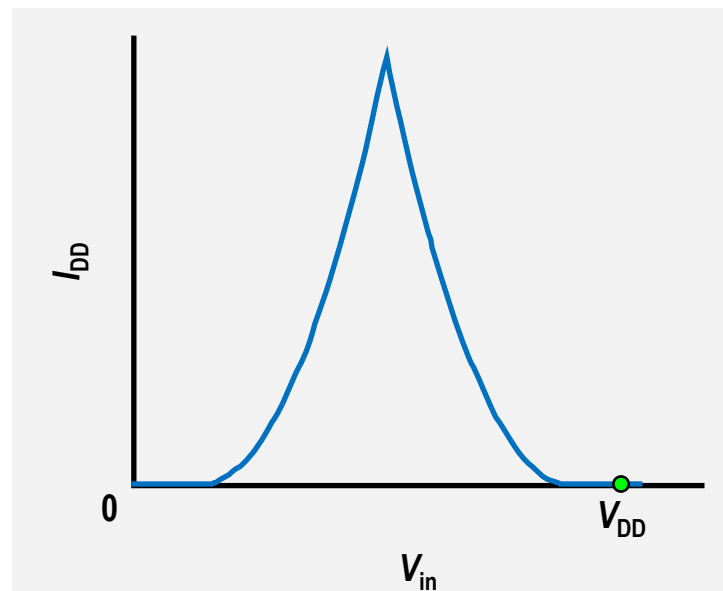
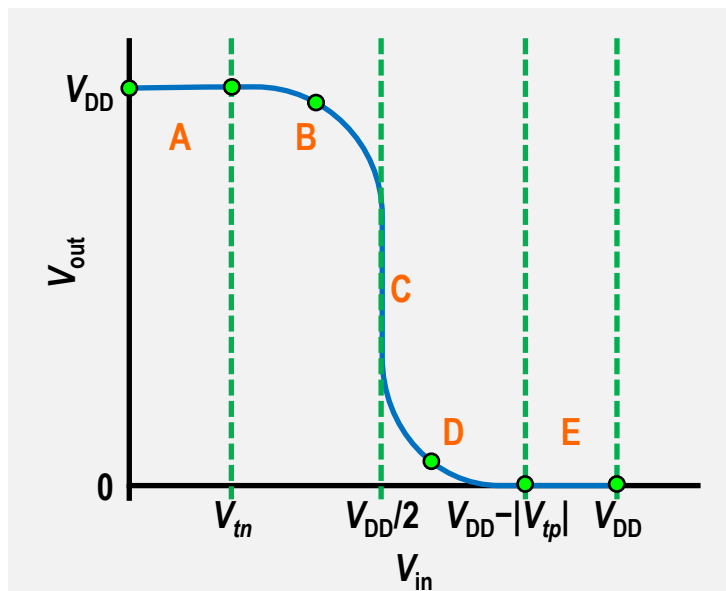
	截止 Cutoff	线性 Linear	饱和 Saturated
NMOS	$V_{gsn} < V_{tn}$	$V_{gsn} > V_{tn}$	$V_{gsn} > V_{tn}$
	$V_{in} < V_{tn}$	$V_{in} > V_{tn}$	$V_{in} > V_{tn}$
		$V_{dsn} < V_{gsn} - V_{tn}$	$V_{dsn} > V_{gsn} - V_{tn}$
		$V_{out} < V_{in} - V_{tn}$	$V_{out} > V_{in} - V_{tn}$
PMOS	$V_{gsp} > V_{tp}$	$V_{gsp} < V_{tp}$	$V_{gsp} < V_{tp}$
	$V_{in} > V_{tp} + V_{DD}$	$V_{in} < V_{tp} + V_{DD}$	$V_{in} < V_{tp} + V_{DD}$
		$V_{dsp} > V_{gsp} - V_{tp}$	$V_{dsp} < V_{gsp} - V_{tp}$
		$V_{out} > V_{in} - V_{tp}$	$V_{out} < V_{in} - V_{tp}$

静态CMOS反相器的直流特性



图解法推导CMOS反相器直流特性

静态CMOS反相器的工作区域



CMOS反相器工作情况概要

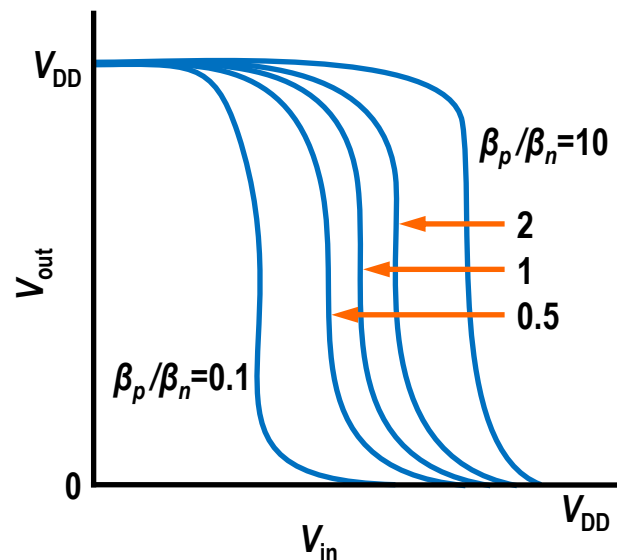
区域	条件	P型器件	N型器件	输出
A	$0 \leq V_{in} < V_{tn}$	线性	截止	$V_{out} = V_{DD}$
B	$V_{tn} \leq V_{in} < V_{DD}/2$	线性	饱和	$V_{out} > V_{DD}/2$
C	$V_{in} = V_{DD}/2$	饱和	饱和	V_{out} 陡峭下降
D	$V_{DD}/2 < V_{in} \leq V_{DD} - V_{tp} $	饱和	线性	$V_{out} < V_{DD}/2$
E	$V_{in} > V_{DD} - V_{tp} $	截止	线性	$V_{out} = 0$

■ 输入阈值

- $V_{inv}=V_{in}=V_{out}$ 时的交叉点
- 当 $\beta_n=\beta_p$ 时, $V_{inv}=V_{DD}/2$

■ 偏斜门 (Skewed Gate)

- 当 $\beta_n \neq \beta_p$ 时, V_{inv} 偏离 $V_{DD}/2$
- 若 $\beta_n < \beta_p$, 称为高偏斜门(HI-Skewed Gate)
- 若 $\beta_n > \beta_p$, 称为低偏斜门(LO-Skewed Gate)
- 若 $\beta_n = \beta_p$, 称为不偏斜门(Unskewed Gate)

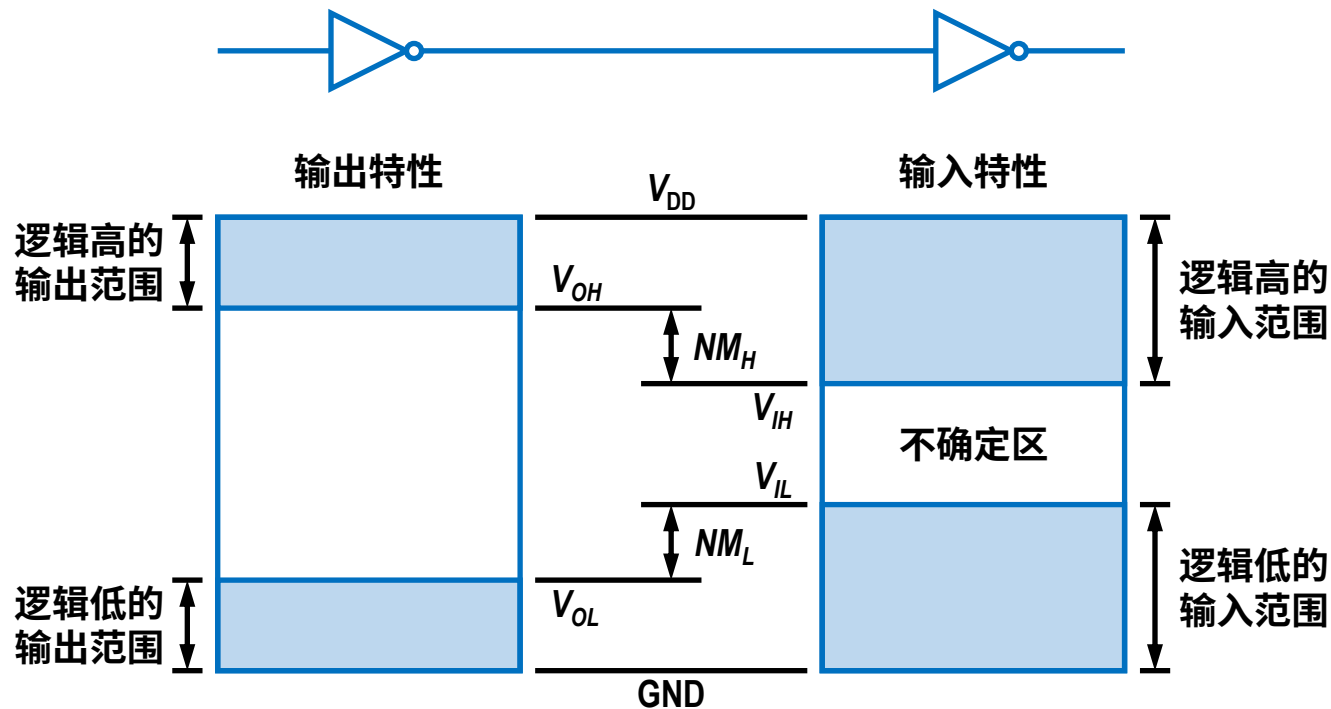


偏斜反相器的传输特性

■ 其他静态CMOS门

- 可以简并为等效反相器来分析
- 串联晶体管可以看作具有较大长度的单个晶体管
- 并联晶体管中导通的部分可以看作具有较大宽度的单个晶体管

噪声容限 (Noise Margin)



$$NM_L = V_{IL} - V_{OL}; \quad NM_H = V_{OH} - V_{IH}$$

噪声容限的定义

逻辑门输出正确的情况下，输入端允许出现的最大噪声电压

■ 噪声容限的确定

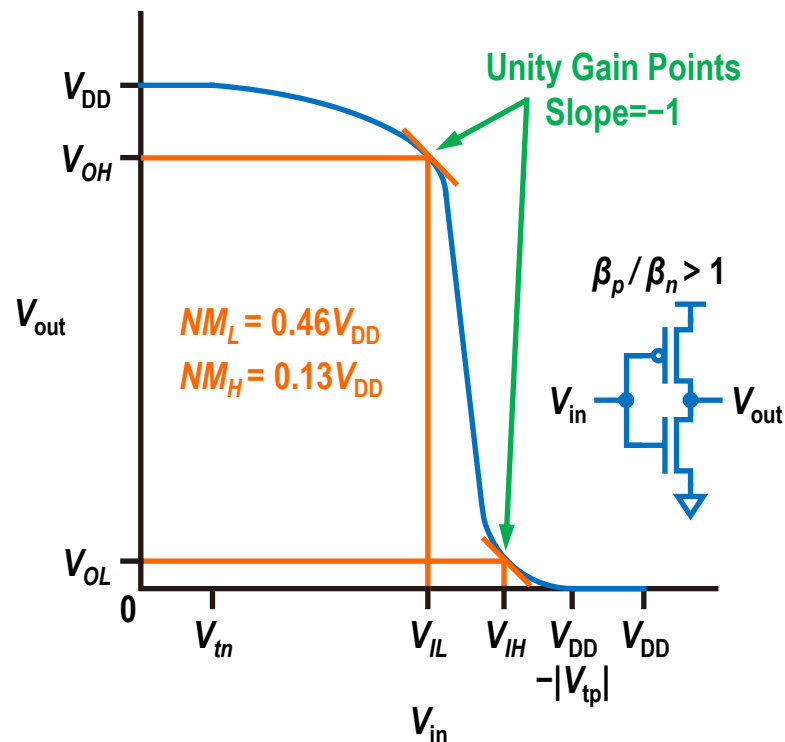
- 单位增益点
- 直流传输特性曲线上斜率为-1的点

■ 不偏斜门

- 具有相同的逻辑高和逻辑低噪声容限
- 兼顾随机噪声来源时具有最大抗噪声能力

■ 偏斜门

- 若高输入或低输入状态中有一种状态下的噪声较大，可设计为偏斜门
- 提高这种状态的噪声容限，同时牺牲另一种状态的噪声容限

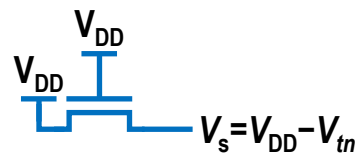


CMOS反相器的噪声容限

传输管的直流特性

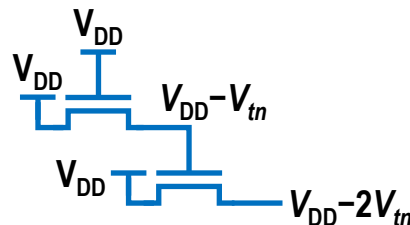
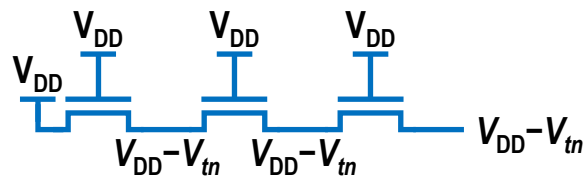
■ 阈值损失

- NMOS管不能将源极上拉至 $V_{DD}-V_{tn}$ 以上
- PMOS管不能将源极下拉至 $|V_{tp}|$ 以下
- 若超过上述范围，MOS管将使自己关断
- 需要使用传输门传输“0”和“1”



■ 级联传输管

- 串联传输管的输出不会比单个传输管的输出更低
- 如果用传输管的输出驱动另一个传输管的栅极，将会产生进一步降低的输出



传输管的阈值损失

本章结束