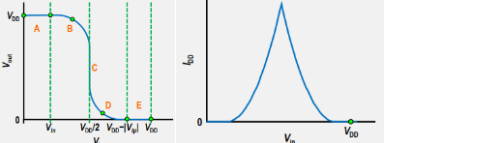
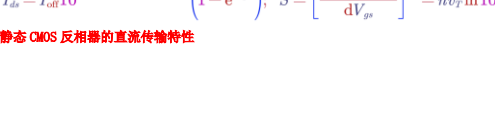
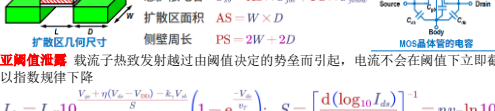
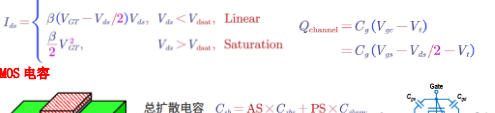
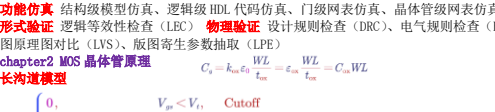
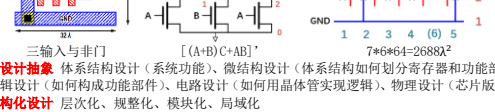
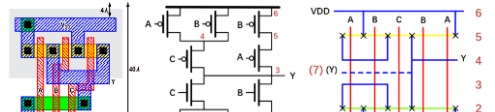
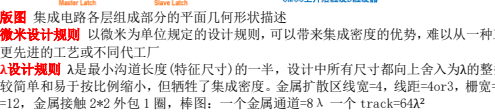
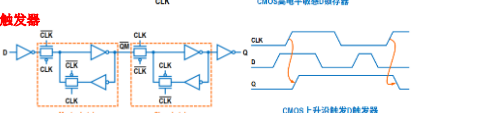
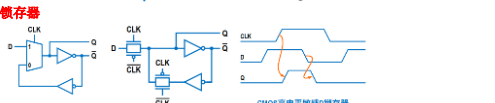
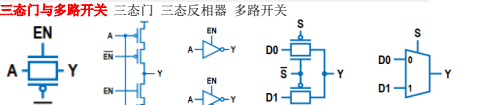
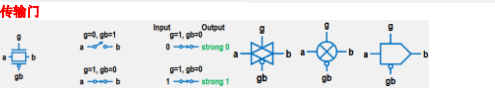
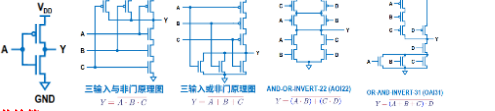
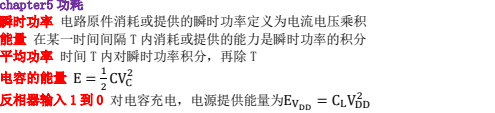
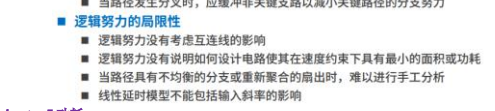
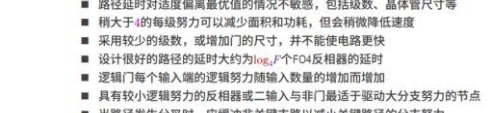
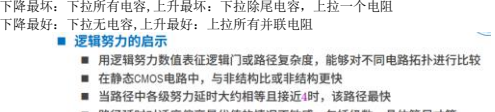
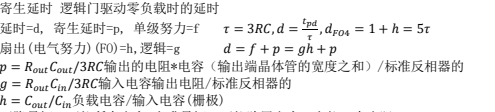
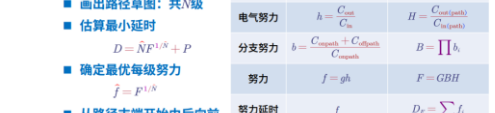
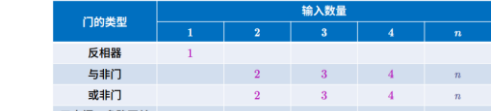
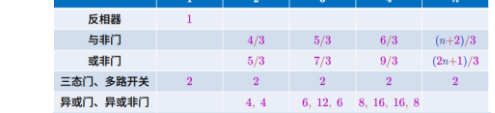
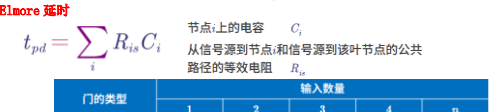
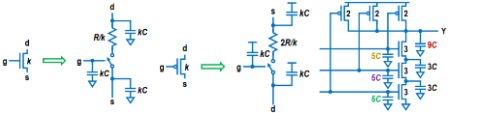
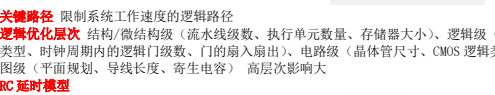
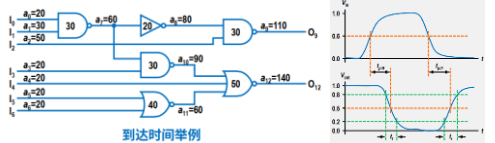
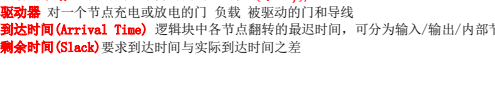
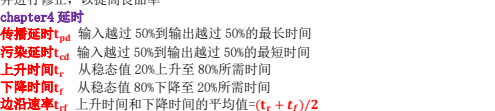
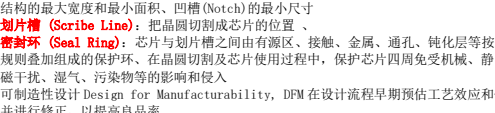
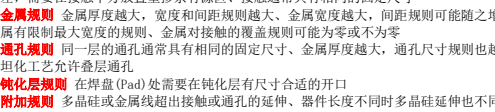
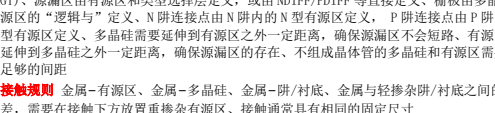
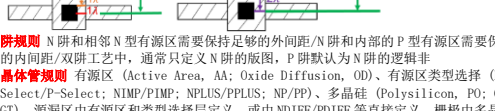
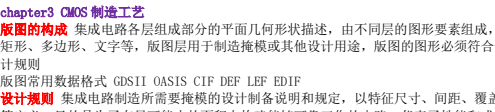
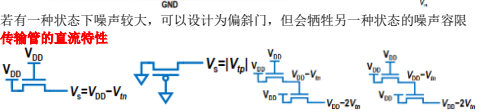
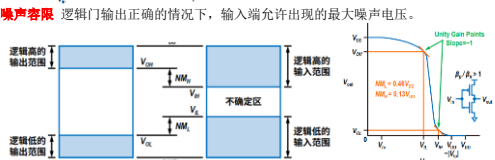
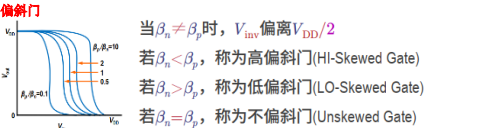


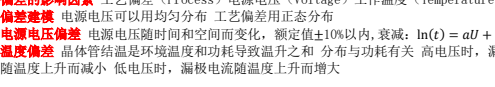
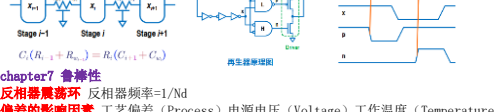
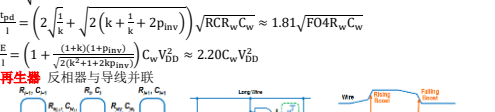
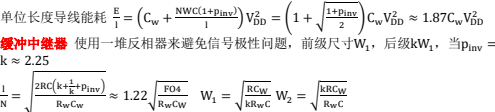
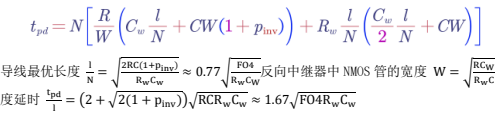
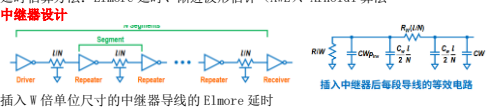
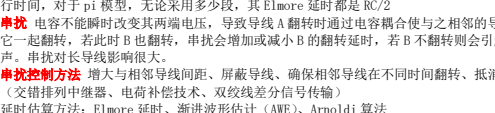
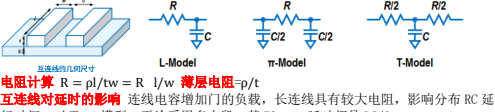
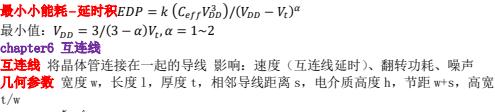
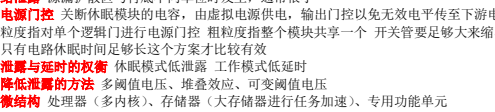
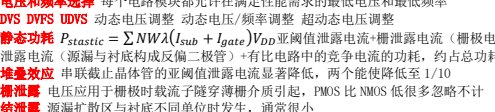
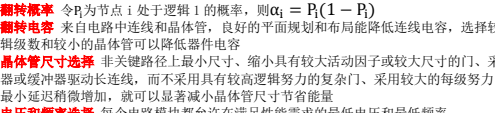
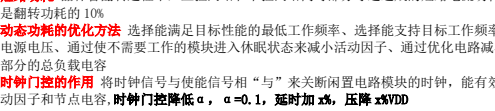
chapter1 引论
集成电路简史 晶体管(John Bardeen,Walter Brattain,William Shockley,1947,点接触硅晶体管),集成电路(Jack Kilby,Ti,1958),平面晶体管(Jean Hoerni,Fairchild,1959),单片集成电路(Robert Noyce,Fairchild,1961),大容量MOS存储器(Intel 1101,1969),微处理器(Intel 4004,1971,108-740kHz,12um),先进微处理器(Intel Core i9-9900,2019,3.10GHz,14nm)
摩尔定律 集成电路上可以容纳的晶体管数目在大约每经过 18 个月到 24 个月便会增加一倍。换言之,处理器的性能大约每两年翻一倍,同时价格下降为之前的一半。
组合逻辑门



| 区域 | 条件 | P型器件 | N型器件 | 输出 |
|----|--|------|------|----------------------|
| A | $0 \leq V_{in} < V_{in}$ | 线性 | 截止 | $V_{out} = V_{DD}$ |
| B | $V_{in} \leq V_{in} < V_{DD}/2$ | 线性 | 饱和 | $V_{out} > V_{DD}/2$ |
| C | $V_{in} = V_{DD}/2$ | 饱和 | 饱和 | V_{out} 陡峭下降 |
| D | $V_{DD}/2 < V_{in} \leq V_{DD} - V_{tp} $ | 饱和 | 线性 | $V_{out} < V_{DD}/2$ |
| E | $V_{in} > V_{DD} - V_{tp} $ | 截止 | 线性 | $V_{out} = 0$ |



反相器输入 0 到 1 电容放电, 电源不提供能量
动态功耗=动态+静态, 动态=翻转功耗+短路电流
静态功耗=亚阈值泄漏+栅漏漏(L_gate)+结漏漏+有比电路中的竞争
亚阈值电流 $I_{sub} = Ae^{-V_{gs}/(nU_T)}$
动态功耗 翻转功耗+短路电流功耗
翻转功耗 $P_{switching} = \alpha C V_{DD}^2 f_{sw}$ α 叫作活动因子, 时钟的活动因子为 1 静态约为 0.1 节点的电容是电容容、扩散电容、连线电容之和, 等效电容还需乘活动因子
活动因子 $\alpha = 0.5 \cdot \text{电平转换频率}/\text{时钟频率}$
短路功耗 晶体管翻转过程中, 上拉网络和下拉网络同时部分导通造成的短路电流功耗, 大约是翻转功耗的 10%
动态功耗的优化方法 选择能满足目标性能的最高工作频率, 选择能支持目标工作频率的最低电源电压、通过使不需要工作的电路模块进入休眠状态来减小活动因子、通过优化电路减小每一部分的总负载电容
时钟门控的作用 将时钟信号与使能信号相“与”来关闭闲置电路模块的时钟, 能有效降低活动因子和节点电容,时钟门控降低 α , $\alpha = 0.1$, 延时增加 $\pm x\%$, 压降 $\pm x\%V_{DD}$
翻转概率 来自节点 i 处于逻辑 1 的概率, 则 $\alpha_i = P(1 - P_i)$
翻转功耗 令 P_i 为节点 i 处于逻辑 1 的概率, 良好的平面规划和布局能降低连线电容, 选择较少的逻辑级数和较小的晶体管可以降低器件电容
晶体管尺寸选择 非关键路径上最小尺寸、缩小具有较大活动因子或较大尺寸的门、采用反相器或缓冲器驱动长连线, 而不采用具有较高逻辑努力的复杂门、采用较大的每级努力, 仅比最小延迟稍微增加, 就可以显著减小晶体管尺寸节省能量
电压和频率选择 每个电路模块都允许在满足性能需求的最低电压和最低频率
DVS DVFS DVDS 动态电压调整 动态电压/频率调整 超动态电压调整
静态功耗 $P_{static} = \sum NWA(I_{sub} + I_{gate})V_{DD}$ 亚阈值泄漏电流+栅漏电流(栅极电容)+结漏电流(源漏与衬底构成反偏二极管)+有比电路中的竞争电流的功耗, 约占总功耗的 1/3
堆叠效应 串联截止晶体管的亚阈值泄漏电流显著降低, 两个能使降低至 1/10
结漏电流 电压应用于衬底时载流子隧穿薄栅介质引起, PMOS 比 NMOS 低很多忽略不计
栅漏漏 源漏扩散区与衬底不同单位时发生, 通常很小
电源门控 关闭休眠模块的电容, 由虚拟电源供电, 输出门控以免无效电平传至下游电路 细粒度指对单个逻辑门进行电源门控 粗粒度指对整个电路模块共享一个 开关管要足够大来减小延时
只有电路休眠时间足够长这个方案才比较有效
泄露与延时的权衡 休眠模式低漏速 工作模式低延时
降低漏速的方法 多阈值电压、堆叠效应、可变速率电压
微结构 处理器(多内核)、存储器(大存储器进行任务加速)、专用功能单元
最小功耗=延时功耗 $EDP = k(C_{eff}V_{DD}^3)/(V_{DD} - V_T)^{\alpha}$
最小值: $V_{DD} = 3/(3 - \alpha)V_T$, $\alpha = 1 - 2$
chapter6 互连线
互连线 将晶体管连接在一起的导线 影响: 速度(互连线延时)、翻转功耗、噪声
几何参数 宽度 w, 长度 l, 厚度 t, 相邻导线距离 s, 电介质高度 h, 节点 w+s, 高宽比 AR t/w



工艺偏差 器件和互连线在薄膜厚度、横向尺寸、掺杂浓度方面的偏差：器件偏差（沟道长度、阈值电压）；互连线偏差（线宽和间距、金属和电介质厚度、接触电阻） 分为批次与批次 晶圆与晶圆 管芯与管芯 管芯内部偏差

1. I. D 变量 $x, \sum x \sim N(\mu, \sigma^2)$ $E(\max(x)) = \mu + \sigma_0 E[M]$ $\sigma(\max(x)) = \sigma_0 \sigma[M]$

设计角 工艺和环境偏差极值情况下的仿真模型

设计角因素 NMOS 速度、PMOS 速度、电源电压、温度、互连线电阻电容

电压转移 大电流密度导致金属原子随时间发生迁移，使金属互连线形成空洞而损耗，甚至断开，是流过单向直流电流的导线的主要失效方式。铝导线尤为严重，常采用铝铜合金减轻问题

电压转移影响 流过直流电流更容易导电。发生电压转移时的电流极值通常表示为最大直流电流密度 J_{dc} 平均失效时间 $MTTF \propto \exp(E_a/kT)/J_{dc}^2$

保护环的作用 防止自锁效应，隔离噪声 分为多数载流子保护环和少数载流子保护环

恒电场缩小 又叫做登纳德缩小，电压和距离等比例减小但仍保持不变，一般缩小比例因子 S=根号2，也成 30% 缩小工艺开始，栅漏电流和存储单元稳定性降低 t_{ox} 缩小和 V_{DD} 降低

恒电压缩小 缩小器件尺寸但不降低电压，电场增加。严重速度饱和、器件击穿、功耗增加。

横向缩小 只缩小栅长，通常采用 5% 缩小提高器件速度 $S \approx 1.05$

chapter9 组合电路设计

静态 CMOS 电路的优点 鲁棒性好、速度快、能量效率高、易于设计；只要逻辑设计和制造过程没出错，对于给定的正确输入总能产生正确输出；绝大多数电路采用静态 CMOS 逻辑

静态 CMOS 电路缺点 每个输入端上同时有 NMOS 和 PMOS，逻辑努力较大，所有节点电压必须在 0 和 V_{DD} 之间翻转

快速电路设计方法 降低电容、增加电流、减小电压摆幅；逻辑努力正比于 C/I；同等尺寸和电容情况下，NMOS 管电流更大，很多快速电路输入端只驱动 NMOS

DeMorgan 定理推气泡

输入顺序对延时的影响 A 保持 1，B 从 0 到 1，初始状态时 V_o 为 $V_{DD} - V_t$ ，需要放电；而如果 B 保持 1，A 从 0 到 1，初始状态 V_o 为 0，不需要放电，所以延时不同

外层输入 靠近电源轨线的输入，例如 B

内层输入 靠近输出端的输入，例如 A，内层输入最后翻转寄生延时最小，若已知某输入最后到次，则次数如连接到内层输入时逻辑门速度最快

非偏斜门： $R_{up} = R_{down} = R$ ；偏斜门：上升电阻 \neq 下降电阻， $g_u \neq g_d$ ；高偏斜： $R_{up} = R, R_{down} = 2R$ ；低偏斜： $R_{up} = 2R, R_{down} = R$ ；一般单元反相器的 $R_{up}C_{in} = R_{down}C_{in} = R \cdot 3C$ ；所以 $g_{up} = R_{up}C_{gate}/R \cdot 3C, g_{avg} = (g_u + g_d)/2$

最小延时逻辑门的 P/N 比 $= \sqrt{\text{非偏斜门 } P/N \text{ 比}} \cdot \text{伪 NMOS 逻辑门}$ ； $R_u = 3R, R_d = 3/4R$

$g_u = R_u C_{gate}/3RC, g_d = (R_d^2 - R_u^2)^{-1} C_{gate}/3RC$

不对称门与完全对称门

低偏斜 LO-Skewed

高偏斜 HI-Skewed

平均延时最小的 P/N 比 等于上升和下降延时相等时的 P/N 比的平方根

伪 NMOS 逻辑门 u 和 2/3 1/3 反相器比 d 和 2 1 反相器比 (4/3-1/3=1 单位电流)

共漏 CMOS 电路 上拉 1/31 下拉 4/31-1/31=1

对称二输入或非门

无足动态门

有足动态门

动态门输入的单调性问题 动态门输入在求值器件必须单调上升，如果单调下降，输出无法上升，输出不正确，不适合作为下一级动态门的输入

多米诺逻辑 动态逻辑门与静态反相器的结合

含传输门的 CMOS 电路

chapter10 时序电路设计

令牌 时序元件所保持的数据

静态存储 时序元件采用某种反馈使输出值永远保持下去

动态存储 时序元件的值以电荷保持在电容中，若长时间未刷新会因泄露消失

组合逻辑传播延时 t_{pd} 组合逻辑污染延时 t_{cd} 锁存器/触发器时钟至输出传播延时 t_{pcq} 锁存器/触发器时钟至输出污染延时 t_{ccq} 锁存器/触发器建立时间 t_{setup} 保持时间 t_{hold} 锁存器不重叠时间 $t_{nonoverlap}$ ，时钟占空比 50% 时 $t_{nonoverlap} = 0$ 时钟偏斜 t_{skew}

触发器最大延时约束

两相位锁存器最大延时约束

脉冲锁存器最大延时约束 触发器最小延时约束

两相位锁存器最小延时约束 脉冲锁存器最小延时约束

两相位锁存器时间借用 可以借用相位 1 上升沿到下降沿减去一个建立时间的 $t_{borrow} \leq T_c/2 - (t_{setup} + t_{nonoverlap})$

触发器时钟偏斜 $t_{pd} \leq T_c - (t_{pcq} + t_{setup} + t_{skew})$ $t_{cd} \geq t_{hold} - t_{ccq} + t_{skew}$ $t_{borrow} = 0$

两相位锁存器时钟偏斜 $t_{pd} \leq T_c - 2t_{pdq}$ $t_{cd1}, t_{cd2} \geq t_{hold} - t_{ccq} - t_{nonoverlap} + t_{skew}$ $t_{borrow} \leq T_c/2 - (t_{setup} + t_{nonoverlap} + t_{skew})$

脉冲锁存器时钟偏斜 $t_{pd} \leq T_c - \max(t_{pdq}, t_{pcq} + t_{setup} - t_{pw} + t_{skew})$ $t_{cd} \geq t_{hold} + t_{pw} - t_{ccq} + t_{skew}$ $t_{borrow} \leq t_{pw} - (t_{setup} + t_{skew})$

非反相位静态触发器

亚稳态 若 D 输入为 1/2VDD，即使有反相器反馈，最终 Q 也会保持在 1/2VDD，称为亚稳态

同步器 $P(failure) = N \cdot \frac{T_c}{T_s} \exp(-\frac{(T_c - t_{setup})}{T_s})$ $MTBF = 1/P(failure)$

chapter11 数据通路子系统

半加器逻辑 $S = A \oplus B, C_{out} = A \cdot B$

全加器逻辑 $S = A \oplus B \oplus C, C_{out} = AB + AC + BC = MAJ(A, B, C)$

CPA 进位传播加法器 每一位的进位输入都可能影响后续高位的进位输入 RCA 行波进位加法器

进位产生和传播逻辑 $G_{i,i} = A_i \cdot B_i, P_{i,i} = A_i \oplus B_i, G_{i,j} = G_{i,k} + P_{i,k} \cdot G_{k-1,j}, P_{i,j} = P_{i,k} \cdot P_{k-1,j}$

CPA 进位传播加法器的主要类型 RCA 串行进位加法器 CKSA 进位跳跃加法器 CSA 进位旁路加法器 CLA 超前进位加法器 CSLA 进位选择加法器 CIA 进位增量加法器 COSA 条件和加法器 PPA 并行前缀加法器 $\log_2 N$ 逻辑级数 $L+1$ 布线通道 2^L+1 布线通道 2^L+1 布线通道 2^L+1 布线通道

基于 CSA 的多输入加法

1/0 检测器 检测是否全 1/0

比较器 无符号数数值比较加法器 有符号数数值比较加法器 其实就是 B-A 和全 0 检测器

K=A+B 比较器 $K_{i,i}(Required) = A_i \oplus B_i \oplus K_i, C_{i,i}(Prodeded) = (A_{i-1} \oplus B_{i-1}) \cdot K_{i-1} + A_{i-1} \cdot B_{i-1}$

计数器 二进制计数器、线性反馈移位寄存器 LFSR

计数器特点 可复位、可装载、使能、可逆、重点计数

布尔逻辑运算 用选择器实现逻辑运算

格雷码 $G_{N-1} = B_{N-1}, G_i = B_{i+1} \oplus B_i, B_i = B_{i+1} \oplus G_i$

移位器 循环移位、逻辑移位、算数移位 阵列移位器、对数移位器、漏斗移位器、桶式移位器

无符号乘法的基本过程 1. 部分积生成：通过将乘数乘以乘数的每一位，生成一系列部分积。每个部分积对应于乘数的一个二进制位。2. 部分积移位：每个部分积根据它对应的乘数位进行相应的左移操作。左移的位数等于乘数位的位置，从右向左数起，位置从 0 开始。3. 部分积累加：将所有部分积进行累加，得到最终的结果。

有符号乘法的基本过程 1. 确定符号和绝对值：首先需要确定两个操作数的符号，然后根据它们的符号确定最终结果的符号。然后，取两个操作数的绝对值进行乘法运算。2. 使用无符号乘法运算：生成部分积、部分积移位、累加部分积。3. 确定最终符号：如果为负需要取补码

基 4 Booth 编码 通过将乘数分成多个基 4 的数码进行处理，每个数码由三个相邻的二进制位组成。通过观察这三个位，可以确定如何生成部分积，具体步骤如下：

1. 编码规则 位拓展最低位补 0，最高位补两个符号位，分组每次移动 2 位

2. 部分积移位：根据处理的二进制，每个部分积需要相应的左移操作，符号位补满

3. 部分积累加：将所有生成的部分积累加，得到最终乘积

举例：A=1101 (13) B=11011 (11) A 的补码是 0011 (符号位为 1)

1. 对 B 编码：0010110 分组：110/101/001 (-1, -1, 1)

2. -Y 11110011 前四个 1 是补充的符号位

-Y 1110011 前两个 1 是补充的符号位

+Y 11001111 (143)

chapter12 阵列子系统

D1, D2: 驱动管 (Driver Transistor)

A1, A2: 存取管 (Access Transistor)

SRAM 的特点 比触发器的密度更高、与标准 CMOS 工艺兼容、比 DRAM 速度更快且更易于使用；应用于主存储器、高速缓存、寄存器、查找表、缓存存储器等；SRAM 单元面积较小，连线较短，动态功耗较低，需要较复杂的外围电路进行读写。

读操作 先将一对位线预充至高电平并浮空，然后升高字线的电压，其中一条位线被下拉，即读出数据

写操作 先将待写入的值及其补值分别驱动到一对位线；然后升高字线的电压

稳定性约束 为了保证稳定性和可读性，晶体管必须满足尺寸比例约束 (NMOS 下拉管最强，存取管强度中等，PMOS 上拉管最弱)；为了使版图密度较高，所有晶体管都必须较小；存储单元必须在工艺、电压、温度偏差范围内都能正常工作

稳定性的定量表示 保持余量、读余量、写余量，由静态噪声裕量决定

DRAM 的特点 存储内容作为电荷存储在电容上，基本单元比 SRAM 小得多，单元必须被周期性读出并刷新，使其存储内容不会因电荷泄漏而丢失、密度比 SRAM 更大，等待时间更长

DRAM 工作原理 写操作通过激活字线使晶体管导通，再通过位线写入相应的电荷 读操作通过激活字线使晶体管导通，存储单元的电荷通过晶体管将其电荷状态传输到位线。位线上的感应放大器检测到电压变化并放大，确定存储单元的状态。

ROM 的特点 非挥发存储结构，状态长期保持不变，每个存储位可以由一个晶体管构成

ROM 的种类 掩模 ROM 可编程 ROM (PROM 一次可编程熔丝、EPROM 可编程紫外线擦除、EEPROM 可擦除，可精确控制被擦除的位、Flash 可擦除，块擦除 后三者是浮栅晶体管)

移位寄存器 图中是触发器构成的移位寄存器 种类有串行输入并行输出 SIPO，并行输入串行输出 PISO

队列的特点 允许数据以不同速率读出和写入，内部以指针形式指示下一步应访问的数据，标志信号有空，满，几乎空，几乎满

队列的分类 先进先出 FIFO 后进先出 LIFO 堆栈

CAM 内容寻址存储器 PLA 可编程逻辑阵列 以规则结构实现逻辑之和规范形式表示的组合逻辑

chapter13 专用子系统

时钟生成单元 调整全局时钟频率或相位，包括 PLL、DLL 等

时钟分布网络 将时钟分布到整个芯片上，并使时钟偏斜最小

局部时钟门控 沿导线将物理时钟驱动至一组时钟单元中

全局时钟分布网络 H 树 鱼骨 特定混合 I/O 系统功能 提供芯片与外部之间的通信

电容的电平上、提供合适过冲、限制摆率以控制高频噪声、保护芯片免收静电放电电损坏、保护芯片免收过电压损坏、使用较少的引脚数成本较低

基本 I/O 单元 电源、低 数字 10 单元：输入输出双向 模拟 10 单元

Schmitt 触发器的作用 具有迟滞效应，当输入为低电平时它提高翻转点，当输入为高电平时它降低翻转点，有助于滤除输入上升太慢或含较大噪声时可能产生的毛刺

chapter14 设计方法与工具

chapter15 测试、调试与验证

逻辑验证 形式验证 测试向量等 时序分析 噪声分析 版图原理图对比 LVS 设计规则检查 DRC 电气规则检查 ERC 寄生参数提取 PEX 测试向量 测试平台 扫描测试

图 11.54 3 位 LFSR (a) (b)