模拟集成电路设计实验目录 与实验报告要求

一、实验目录

实验 1、MOS 管工艺参数获取

实验 2、CMOS 数字电路基本单元前端设计方法

实验 3、模拟 IC 设计基本仿真方法

实验 4、版图设计与物理验证基本方法

实验 5、运算放大器前端设计

实验 6、运算放大器应用电路设计

二、实验报告要求

依照实验教师或助教的要求,提交电子文档形式的实验报告。

实验报告需符合如下规定,并完成实验教师或助教的补充任务。

- 1)、实验报告文档名:模拟实验 N_学号姓名,其中 N 为 1~6;若要求全部实验报告合并提交,则无 N;
- 2)、实验一、二、三、四:

完成实验指导中的实验报告要求;

3)、实验五:

给出最终 OP 电路中 MOS 管的宽长比、电阻和电容值列表,

OP 电路图拷屏截图,器件上有尺寸信息;

给出所完成的 OP 性能指标的测试电路和仿真结果的拷屏截图:

4)、实验六:

给出所完成的测试电路和仿真结果的拷屏截图。

5)、提供核查实验结果所需要的信息:

账号:

密码:

三、实验目的

- 1) 加深对模拟 CMOS 集成电路设计理论知识基本概念的理解:
- 2) 掌握模拟 CMOS 集成电路设计中使用 Cadence 进行电路和版图编辑,以及几个常用快捷键的功能;
- 3) 学习模拟 CMOS 集成电路设计的基本仿真分析方法,主要包括 DC、TRAN、AC、NIOSE 分析,掌握基本仿真分析的设置方法;
 - 4) 学习模拟 CMOS 集成电路性能验证的一种仿真电路方案;
 - 5) 学习使用 Mentor 物理验证工具 Calibre 的基本方法:
 - 6) 能够设计一个准实用运算放大器,并进行性能仿真。

四、大作业:运放设计实验

模拟 IC 设计实验的最后大作业,首先完成一个准实用的运放电路(OP 单元)的前端设计,要求能基本符合指定的性能指标;并使用该 OP 构成电压跟随器和-10 倍增益反相放大器。

设计实验目的是将"模拟 CMOS 集成电路设计"课程学习的主要理论知识,结合运放设计的实际问题,通过实验加深理解。

由于大作业工作量较大,运放设计实验分2次完成,需提前进行电路单元初步设计的理论计算。建议:

实验 5 进行运放电路 OP 单元的基本设计,完成指定结构的二级放大器 OP 单元电路中 MOS 器件宽长比和无源器件的初步选取。主要任务是设计合理的 MOS 静态工作点电压和支路电流,使 OP 单元在理论上满足电路稳定性、输出转换速率、功耗、输入输出接口电平等指标要求;并通过仿真,验证开环运放的直流增益、单位增益带宽、相位裕度、输入共模范围设计指标;

实验 6 完成 OP 单元的输出转换速率、输入电容设计指标的验证,获得其它电路性能;并基于 OP 单元,设计电压跟随器和一款 -10 倍反相放大器,获得其输入输出范围、带宽等指标参数。

实验5和实验6进度不必严格按照实验指导完成,可根据现场进度自行调整实验内容。

(1) 运放电路 OP 单元的前端设计

OP 单元的性能指标:

电源电压 VDD: 1.8V;

直流增益 Ao: > 90dB;

单位增益带宽 fu: ~80MHz, 允许 72MHz 〈fu〈120MHz;

负载电容 C₁: 2 pF; (假设,不在运放电路中)

输入电容 C_{in}: < 0.2pF;

相位裕度 PM: ~60°, 不低于 45°;

转换速率 SR: > 25V/us; (假设负载电容 = 2 pF)

输出共模电平 V。cM: ~1V;

输出摆幅: > $V_{\text{ocm}} \pm 0.3 V$,

输入电压范围: ~ (0.7-- 1.3) V (指小信号的直流电平);

功耗: <1mW;

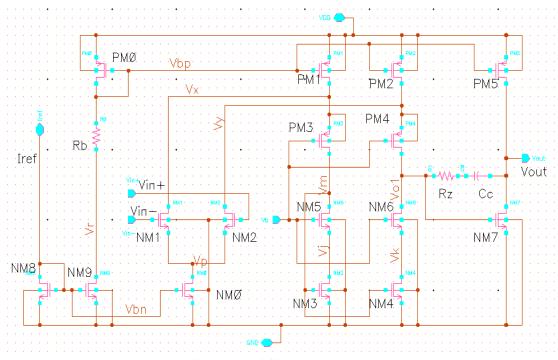
外部提供偏置:

电压源 Vb: 用于 Cascode 隔离管偏置;

电流源 I_{ref} : 30^{50} uA 电流源; 具体大小自主合理选定。

要求: 采用 smic 0.18um CMOS 混合工艺,设计如下图结构 OP 单元电路。

限定采用 n18 和 p18 单元 MOS,采用 rhrpo 高阻单元,且单个电阻<10 $M\Omega$ 。

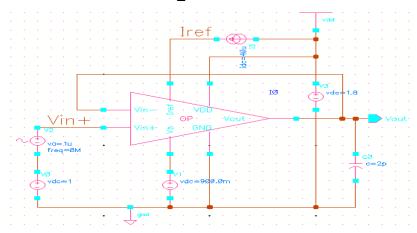


OP 单元电路结构图

预先进行理论设计,获得 OP 电路初步的 MOS 尺寸、电容与电阻值。

(2) 典型运放应用电路的前端设计

1. 设计电压跟随器 volt_follower,获得输入输出范围和带宽。



电压跟随器(volt_follower 单元)电路图

2. 设计 -10 增益反相放大器 OPamp_10, 获得电路重要性能参数。

