

《模拟集成电路设计实验》指导

中科大微电子学院 黄 鲁 编写

实验 1、MOS 管工艺参数获取

● 实验目的

* 学习使用 Cadence IC6 版本全定制设计集成平台 virtuoso, 进行 Schematic 原理图编辑;

* 学习 ADE (模拟设计环境) 的 Spectre 直流 DC 仿真方法, 并获取 MOS 管工艺参数; 加深对理论公式和计算参数的理解;

* 学习将 IC5141 老版本 CDB 格式工艺库转换为 IC6XX 使用的 OA (OpenAccess) 格式工艺库, 使新的集成设计平台适用于先前老工艺;

* 了解一些仿真工具和工艺知识。

● 实验说明

本实验使用 Cadence IC6 版本全定制集成平台 virtuoso, 采用 smic 180nm 数模混合工艺 CMOS 工艺库, 为后续设计获取 MOS 管的工艺参数。

CMOS 0.18um 之前工艺库仅有 CDB(Cadence DataBase) 格式, 更先进 CMOS 工艺增加了 OA (OpenAccess DataBase) 格式工艺库。老版本 Cadence IC5141 全定制集成平台 icfb 使用 CDB 格式, 而 IC6xx 之后全定制集成平台 virtuoso 使用 OA 格式工艺库。对于仅有 CDB 格式的早先工艺库, 若使用 Cadence IC6XX 之后的软件设计与仿真, 则须将 CDB 格式工艺库转换成 OA 格式。虽然现在很多采用 CDB 格式的老工艺已经增添了 OA 格式工艺库, 但学会将 CDB 换成 OA 格式工艺库的方法, 对于使用 IC6 之后的全定制集成平台, 采用老工艺设计新芯片、或者改进 CDB 工艺库的先前芯片电路, 仍具有很多实用工程需求。

直流 (dc) 仿真包括直流工作点仿真和直流特性扫描。直流工作点仿真能得到电路的节点电压、支路电流、MOS 管直流参数 (跨导、阈值电压、工作区); 直流特性扫描能得到设计变量、器件参数、温度等变化的电路特性。本实验在 virtuoso 嵌入的 ADE (analog design environment) 仿真环境中, 采用 Cadence spectre 进行直流(dc)仿真, 获得模拟集成电路设计所需要的 MOS 管基本工艺参数 v_{th} 阈值电压、 $\mu \cdot C_{ox}$ 工艺跨导、特定衬偏电压下的阈值、指定沟道长度下的 λ 沟道长度调制系数, 了解基本的寄生电容, 为后续实验获取必要的工艺参数。

● 实验指导教程约定:

键入字符用 **斜黑字体** 表示;

点击菜单、选择参数栏、选择按钮与参数用“灰底”表示；完成窗口参数设置或选择后，默认点击 OK 按钮。

操作步骤中提到的“右键”，是指点击鼠标右键；若仅指示“点”、“点击”或“点选”是指使用鼠标左键点击。

EDA 工具中大多数操作都有多种步骤方法，本实验指导教程仅向初学者介绍其中的一、两种直观的菜单工具使用方法，请留意菜单中的快捷键提示。

对于电路设计以及性能验证，一般 EDA 软件可提供多种仿真方法。本实验指导及后续指导系列所提供的参考步骤仅是其中一种可行方法。

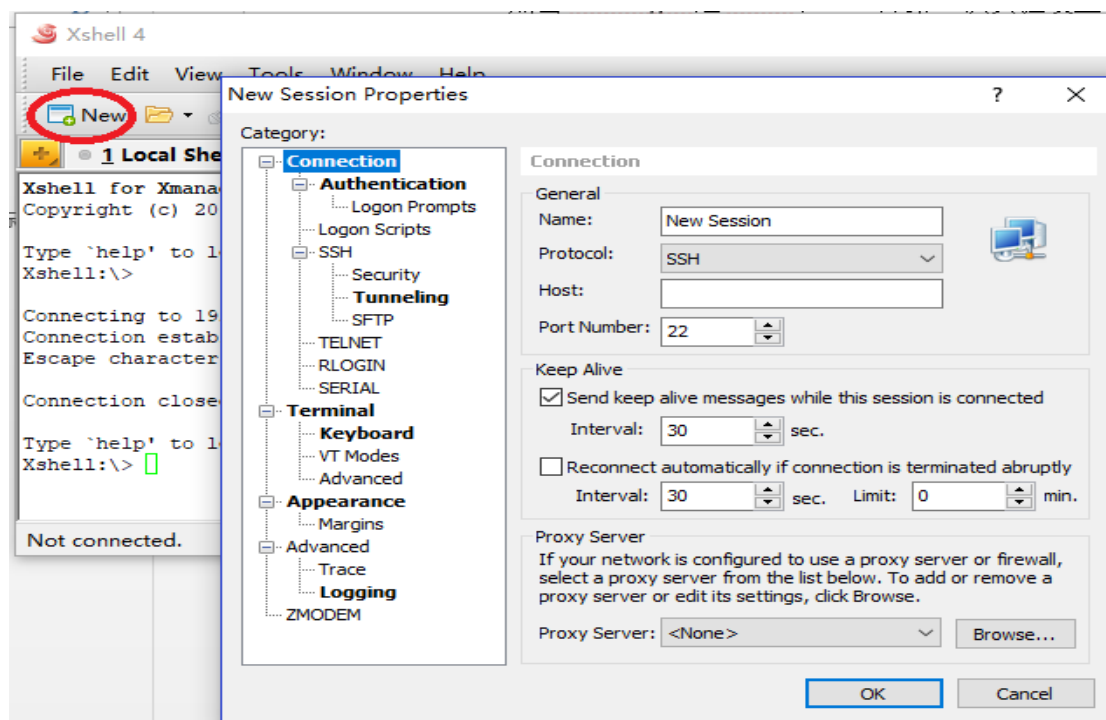
● 实验内容

一、实验准备

1. 登录进入中科大信息科学实验中心 EDA 平台

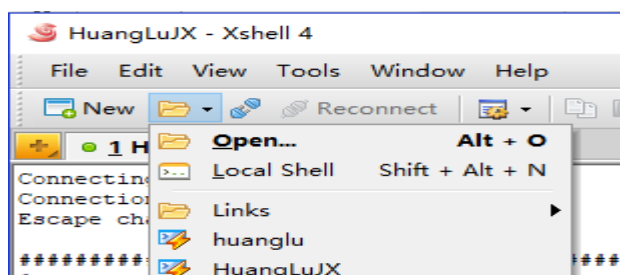
在远程桌面上，点击 Xmanager 之 Xshell (linux2)。以下按 Xmanager4 老版本的界面进行说明，更新的 Xmanager 版本界面中应有相应的设置区域，例如 Xmanager7。若是第一次实验，则点击 New，在弹出的 New Session Properties 窗口中设置“General Name”区中 **Session** 名（可任意命名，例如你的姓名学号等，替代下图中 New Session）；

Host 区中键入实验老师提供的 EDA 服务器平台 4 字段 **Host IP 地址**，
Port Number 区中键入实验老师提供的 **Port Number 数字**；

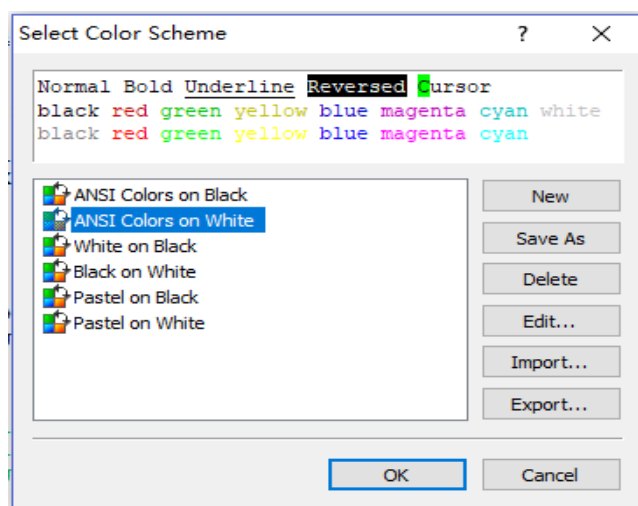


点击 OK 进行远程连接，按提示输入用户名和密码。

在该终端 Xshell 进入 EDA 系统后，选择或打开你命名的 Session:



若希望改变 Xshell 屏幕颜色设置，点击 “Tools” -> “Color Schemes...”:



如上图选择屏幕颜色，OK。

现在已从 你的账号@mgt 管理服务器 登录进入了 EDA 平台。

查看计算服务器状态:

在网络浏览器中，打开 [http:// EDA 平台网址/ganglia/](http://EDA平台网址/ganglia/) [此处 EDA 平台网址为 Host 网址]，查看 EDA 计算服务器负载情况（任务进程排队等待数目，m 表示 0.001）；记下合适的计算服务器名例如 c01n02。注意：不要选择没有出现、或标注为 down 状态的计算服务器，也应避免选择 mgt 和 rack01 服务器。

每次实验，需要选择一个较清闲的计算服务器：`ssh -X c01n??`

[这里??为 01~14，是中科大信息科学实验中心 EDA 平台教学服务器编号]。

注：由于 EDA 软件 license 数量限制，当同时上机实验人数超过 40 人时，动态分配 EDA license 可能有卡顿（即点击或键入命令后 EDA 系统不立刻响应和显示）；每台计算服务器（例如 c01n02）若有 5 人以上登录运行 EDA 软件时，也可能感觉较卡。

2. 实验工艺库准备，将 CDB 老格式转换为 OA 格式

本实验使用 smic18mmrf 工艺，即 smic(中芯国际) 0.18um 混合模式(mixed mode) + 射频(rf) CMOS 某个工艺线。将 smic18mmrf 老格式 CDB 工艺库转换为 OA

新格式，使其适用于 Cadence IC6 工具，CDB 适用于 IC5141 老版本。

实际上，SMIC 现在也提供 smic180 其它生产线的 OA 格式库。本实验仅是以原先 CDB 为例，学习如何转换为 OA 工艺库格式，以适用于 Cadence IC6 virtuoso。

提醒：需严格按以下指导步骤进行，否则将不能得到正确的实验工艺 OA 库。

A. 创建 OA 工艺库目录和待转换工艺库路径：

先创建 CMOS 模拟 IC 设计库目录：***mkdir anacmos***

进入 CMOS 模拟 IC 设计库目录：***cd anacmos***

创建 OA 工艺库子目录：***mkdir smic180oa***

创建临时存放 cds.lib 文件的子目录：***mkdir cdslib***

目的是后续操作不影响原有 cds.lib 文件。

进入 cdslib 子目录，并新建一个用于指定转换库的临时 cds.lib 文本：

进入 cdslib 子目录：***cd cdslib***

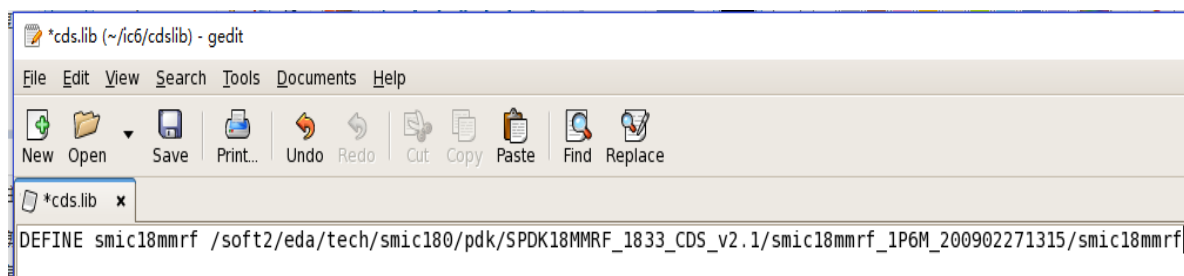
创建文本文件：***gedit cds.lib***

在 gedit 文本编辑器新建的 cds.lib 文件编辑窗口中，键入如下 smic18mmrf 工艺库的路径定义命令：

```
DEFINE smic18mmrf /soft2/eda/tech/smic180/pdk\  
/SPDK18MMRF_1833_CDS_v2.1/smic18mmrf_1P6M_200902271315/smic18mmrf
```

注：句尾\表示续行，不是键入字符。

以上两行实际是一条语句，gedit 文本编辑器如下图：



点击“Save”图标，并“File” -> “Quit” 退出 gedit 文本编辑器。

*小技巧：将 Win 窗口文字命令拷贝到 linux 窗口

选中上面第一行文字 DEFINE。。。，注意不要选择续行符“\”，**Ctrl+C** 拷贝，然后在 gedit 文本编辑窗口中，用鼠标中键（滚轮）放置粘贴；再拷贝 DEFINE 第二行文字在 gedit 窗口中紧接前文进行粘贴。

若有需要，可以了解一下你能使用的中科大信息科学实验中心工艺库：

查看其它工艺库：***cd /soft2/eda/tech/***

然后 **ls** 或 **ll**，得到中科大 EDA IC 实验教学平台安装的各个工艺库列表。

提示：可使用 **Tab** 键，自动补齐当前目录中的文件或子目录名。

注：子目录名的前缀 **smic** 代表中芯国际，**tsmc** 代表台积电，**gf** 代表 GlobalFoundry，是可流片的代工厂（foundry）。

B. 将 CDB 转换成 OA 格式:

进入上一层 smic180oa 目录: `cd ../smic180oa`

(或 `cd ..` , 注意是两个点)

设置 virtuoso 环境变量 `setdt ic616`

运行 IC6 集成平台 `virtuoso &`

(`&`为后台运行命令, 目的是允许你可同时处理其它 linux 指令。

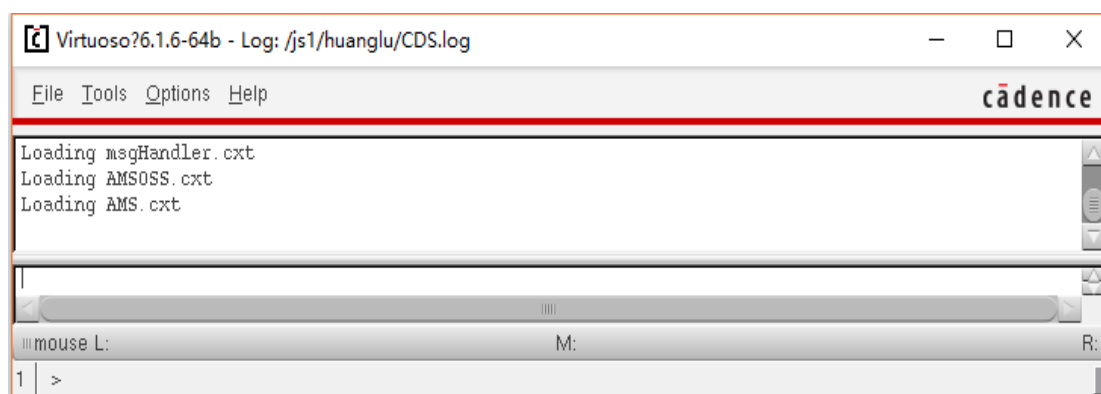
当新手无意中由于误操作而死机时, 该 `&`为你提供了杀死进程的机会)

关掉 What's New。。。通知窗口, 可永久性关闭此提示[在该窗口 **Edit** 中]。

说明: `setdt` 是中科大 EDA 平台的自定义脚本, 不是通用命令。

若想了解中科大 EDA 教学平台拥有的软件, 键入 `setdt` 。

Virtuoso 打开如下 Virtuoso?6.1.6 - Log 窗口:



此窗口称为 command interpreter windows, 简称 CIW (命令解释窗口)。从上往下主要包含菜单栏、运行状态输出窗口(若有警告或错误, 该窗口中文字将变成黄色或红色)、命令行(初学者一般不使用, 仅用窗口提供的菜单即可)。

进行工艺库格式转换:

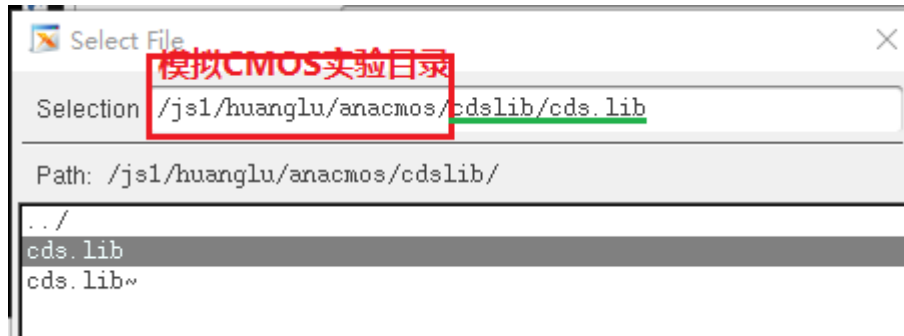
“Tools” → “Conversion Tool Box...”, 选 “CDB to OpenAccess Translator...”

弹出相应的窗口, 在 “CDB library selection” 面板中, 点击 “Path To cds.lib file:” 栏的右侧 “Browse...”, 出现下图 Select File 窗口:

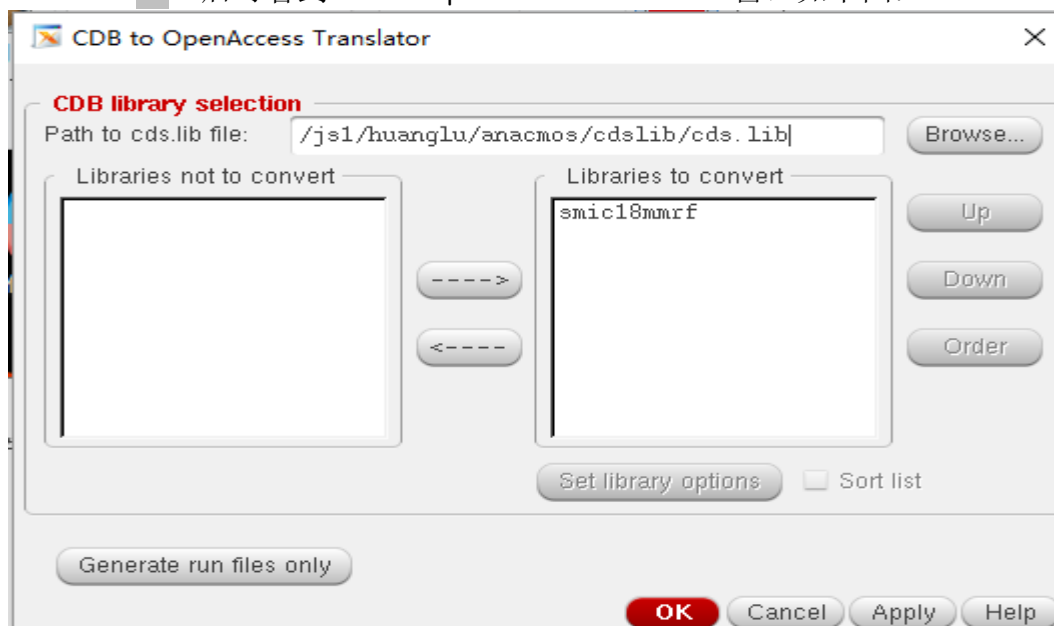


点击上一级目录路径../, (现在的上级目录是“/你的账号/anacmos/”, 后文称该双引号内路径为“模拟 CMOS 实验目录”), 在弹出的目录和文件菜单中点击 “cdslib/” (后缀/表明是目录), 接着在该目录中点击选择 “cds.lib”, 使 Selection

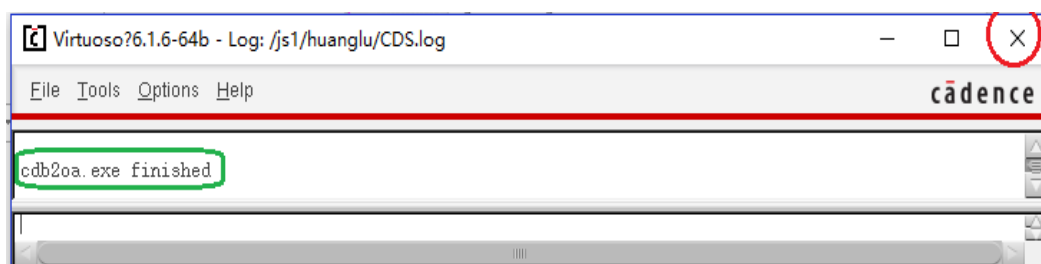
栏中为“模拟 CMOS 实验目录/cdslib/ cds.lib”，如下图：



“OK”后可看到 CDB to OpenAccess Translator 窗口如下图：



“OK”，需稍等片刻；转换完成后 Virtuoso?6.1.6 的 CIW 如下图：



关闭 virtuoso CIW 窗口。

现处在 smic180oa 子目录，查看：*ls*，应有 smic18mmrf 单元库目录。

C. 拷贝 spectre 仿真模型库：

在 smic180oa 目录中，创建目录：*mkdir models*

进入目录：*cd models*

可查看当前路径：*pwd*，

应显示处于“模拟 CMOS 实验目录/`smic180aa/ models`”。

若你只能显示最后一级子目录名而不能显示全部路径，则：

先进入模拟 CMOS 实验目录：`cd ~/anacmos/`

拷贝：`cp ~HuangLu3X/.cshrc .`

查看是否有此“.”开头的隐含文件：`ll -a`

（参数-a 表示所有文件）

运行该“.”隐含文件 `source .cshrc`

最后回到先前目录 `cd smic180aa/models`

现在应能显示全部路径。

拷贝仿真模型：`cp -r /soft2/eda/tech/smic180/pdk\`
`/SPDK18MMRF_1833_CDS_v2.1/smic18mmrf_1P6M_200902271315\`
`/models/spectre .`

注意最后有个点“.”，表示当前目录；

`cp -r` 表示递归拷贝子目录。

3. 了解工艺库（选做）

A. 了解工艺概况

查看 模拟 CMOS 实验目录/`smic180aa/models/ spectre` 中的仿真模型文档。

键入 `cd spectre` 进入目录，`ls` 显示目录中的文件，不包括隐含文件：

```
[huanglu@c01n02:/js1/huanglu/anacmos/smic180aa/models]$ cd spectre
[huanglu@c01n02:/js1/huanglu/anacmos/smic180aa/models/spectre]$ ls
MS018_layer.map          ms018_rf_vlp9_mim_spe.ckt    ms018_vlp9_bjt_spe.mdl      ms018_vlp9_spe.lib
ms018_layer.map          ms018_rf_vlp9_mos_spe.ckt    ms018_vlp9_interconnect_struct_1.txt  ms018_vlp9_spe.mdl
ms018_rf_interconnect_struct_1.txt  ms018_rf_vlp9_readme_spe.txt  ms018_vlp9_interconnect_struct_2.txt  res.va
ms018_rf_interconnect_struct_2.txt  ms018_rf_vlp9_res_spe.ckt    ms018_vlp9_mim_spe.mdl      res_rf.va
ms018_rf_vlp9_3T_diff_ind_spe.ckt  ms018_rf_vlp9_spe.lib        ms018_vlp9_readme_spe.txt
ms018_rf_vlp9_diff_ind_spe.ckt    ms018_rf_vlp9_spri_ind_spe.ckt  ms018_vlp9_res_spe.ckt
ms018_rf_vlp9_m6_res_spe.mdl      ms018_rf_vlp9_var_spe.ckt    ms018_vlp9_res_spe.mdl
```

用 `ls -a` 显示所有文件（包括以开头隐含文件名）；

试一下 `ll`，增加了显示若干属性信息；

你可以改变文件属性，例如 `chmod` 改变读写与运行权限。

设计电路之前需要了解工艺提供哪些器件可以使用。

虽然模拟电路优先考虑性能指标要求，但应尽量避免使用过多的不必要种类的器件，即不要以增多掩模为代价来提高芯片电路的不重要性能。一般来说，器件种类越多，则 MASK 掩模越多，会导致产品生产的成本提高；但实验性的 MPW（多晶圆项目，一般每次 MPW 提供~40 实验样片）流片费用不涉及 MASK 数量，只与工艺和面积有关。

可用 `cat` 命令显示 ASCII 文档，若用 `gedit` 打开 ASCII 文档可能会误改内容。

例如 `cat ms018_vlp9_spe.mdl | head -n 55` 显示前 55 行

模型文件名中的 `vlp9` 表示核心电路最高电压是 1.9V。

提醒：若后续实验中，在 Linux 窗口不采用键入命令、而是将本实验指导的文档内容进行拷贝粘贴(简单省事)，则在 `Enter` 执行命令前，应仔细检查一下 linux 窗口的命令，可能有个别字符会发生拷贝出错。

混合（数字和模拟）信号 mos 管和二极管模型文件的前段信息如下：

```
[huanglu@c01n02:/jsl/huanglu/anacmos/smic1800a/models/spectre]$ cat ms018_vlp9_spe.mdl | head -n 55
/**Spectre Model Format
simulator lang=spectre insensitive=yes

// *
// * no part of this file can be released without the consent of smic.
// *
// *****
// *
// *          smic 0.18um mixed signal lp6m 1.8v/3.3v spice model (for spectre only)
// *
// *****
// *
// * release version      : 1.9
// *
// * release date        : 07/25/2008
// *
// * simulation tool     : Cadence spectre V6.0
// *
// * model type          :
// *   mosfet            : bsim3v3.24
// *   junction diode    : spectre level 1
// *
// * model name          :
// *   mosfet            :
// *
// *   *-----*
// *   | mosfet type | 1.8v | 3.3v |
// *   |=====|
// *   |          nmos | n18 | n33 |
```

上图表明这是 smic 0.18um 混合信号 lp6m 1.8v/3.3v 工艺的 mosfet 和 junction diode 的 spice 模型，仅用于 spectre 仿真。

lp6m 表示 1 层 poly 和 6 层金属；1.8v/3.3v 表示核心单元电压为 1.8V，IO PAD 管脚单元为 3.3V；

仿真器为 Cadence spectre V6.0；

MOS 管 mosfet 使用 bsim3 模型 V3.24 版本进行仿真计算；

结型二极管 junction diode 使用 spectre level 1 模型进行仿真计算。

下图说明了该文档包括了哪些 MOS 和二极管器件，表的右侧 2 列是单元名；由于数字系统的核心电路（不包括 IO PAD）使用 p18 和 n18，因此模拟电路若仅采用 p18 和 n18 的话，则产品的 MASK 掩模数量最少，芯片生产成本也最小。

工艺中的 native nmos 表示无 P 阱的 nmos，特点是阈值电压很小；

中等阈值 medium nmos 和 medium pmos 管的阈值电压绝对值，分别小于 n18 和 p18 管的阈值电压绝对值。


```

// * model name      :
// * mosfet          :
// * -----*
// * | mosfet type | 1.8v | 3.3v |
// * |-----|
// * | nmos | n18 | n33 |
// * |-----|
// * | pmos | p18 | p33 |
// * |-----|
// * | native nmos | nnt18 | nnt33 |
// * |-----|
// * | medium nmos | nmvt18 | nmvt33 |
// * |-----|
// * | medium pmos | pmvt18 | ---- |
// * |-----|
// *
// * junction diode :
// * -----*
// * | junctio diode type | 1.8v | 3.3v |
// * |-----|
// * | n+/pwell | ndio18 | ndio33 |
// * |-----|
// * | p+/nwell | pdio18 | pdio33 |
// * |-----|
// * | nwell/psub | nwdio |
// * |-----|
// * | native n+/pwell | nndio18 | nndio33 |
// * |-----|
// * | buried pwell/deep nwell | diobpw |
// * |-----|
// *
// * valid temperature range is from -40c to 125c

```

上图末行表示工艺仿真的有效温度范围为 $-40^{\circ} \sim 125^{\circ}$ 。

可打开双极性晶体管仿真模型：**cat ms018_vlp9_bjt_spe.mdl**，了解双极性晶体管（三极管）**bjt** 名称规则，你若设计带隙基准电路就将会用到。

使用 **gedit** 打开文本文件进行查找更为方便，但要注意防止无意中改变了原文件，不要轻易点击“save”保存。

查看电阻模型：**cat ms018_vlp9_res_spe.mdl**

除非性能上不允许采用负温度系数的电阻，应用时一般尽量选用高阻 POLY 电阻，其优点是无需考虑衬底漏电问题。若采用衬底上的某种电阻，则可能因信号电位不合适导致与衬底进行电隔离的寄生二极管导通而漏电。

```

// * resistor      :
// * -----*
// * | Resistor Type | 1.8V/3.3V |
// * |-----|
// * | Silicide N+ Diffusion | rndif |
// * |-----|
// * | Silicide P+ Diffusion | rpdif |
// * |-----|
// * | Silicide N+ Poly | rnpo |
// * |-----|
// * | Silicide N+ Poly(three terminal) | rnpo_3t |
// * |-----|
// * | Silicide P+ Poly | rppo |
// * |-----|
// * | Silicide P+ Poly(three terminal) | rppo_3t |
// * |-----|
// * | Silicide Nwell under AA | rnwaa |
// * |-----|
// * | Silicide Nwell under STI | rnwsti |
// * |-----|
// * | Non-Silicide N+ Diffusion | rndifsab |
// * |-----|
// * | Non-Silicide N+ Diffusion (non-standard) | rndifsab_nstd |
// * |-----|
// * | Non-Silicide P+ Diffusion | rpdifsab |
// * |-----|
// * | Non-Silicide P+ Diffusion (non-standard) | rpdifsab_nstd |
// * |-----|
// * | Non-Silicide N+ Poly | rnposab |
// * |-----|
// * | Non-Silicide N+ Poly(three terminal) | rnposab_3t |
// * |-----|

```

| | | |
|------|--|-----------------|
| // * | ----- | ----- |
| // * | Non-Silicide N+ Poly (non-standard) | rnposab_nstd |
| // * | ----- | ----- |
| // * | Non-Silicide N+ Poly (non-standard) (three terminal) | rnposab_nstd_3t |
| // * | ----- | ----- |
| // * | Non-Silicide P+ Poly | rpposab |
| // * | ----- | ----- |
| // * | Non-Silicide P+ Poly(three terminal) | rpposab_3t |
| // * | ----- | ----- |
| // * | Non-Silicide P+ Poly (non-standard) | rpposab_nstd |
| // * | ----- | ----- |
| // * | Non-Silicide P+ Poly (non-standard) (three terminal) | rpposab_nstd_3t |
| // * | ----- | ----- |
| // * | High Resistance Poly | rhrpo |
| // * | ----- | ----- |
| // * | High Resistance Poly(three terminal) | rhrpo_3t |
| // * | ----- | ----- |

上表中，Silicide 表示覆盖有低阻值的硅化物（金属与硅形成的化合物），
three terminal (3t) 指电阻建模包含了到衬底（阱）的寄生电容，并不一定有 3 个端口。

模型中 tc1 指一阶温度系数，tc2 指二阶温度系数，基准（典型）温度 $t_{nom}=25^{\circ}$ ；

rsh 为方块电阻标称值=标准值 + 偏差，其中偏差为 drsh_电阻名，spectre 仿真时根据.lib 文件的 section（与工艺角 corner 相关）确定该类型电阻的方块电阻偏差。

温度对电阻值的影响为：

$$\text{电阻值} = \text{摄氏 } 25^{\circ} \text{ 标称电阻} + \text{一阶温度系数} * (\text{摄氏温度} - 25^{\circ}) + \text{二阶温度系数} * (\text{摄氏温度} - 25^{\circ})^2$$

了解 smic18mmrf 工艺库器件（名称和类型与 foundry 工艺有关）：

MOSFETs：

| | |
|---------|-------------------------------------|
| n18: | 1.8V nominal VT(阈值) NMOS transistor |
| n33: | 3.3V nominal VT NMOS transistor |
| nmvt18: | 1.8V medium VT NMOS transistor |
| nmvt33: | 3.3V medium VT NMOS transistor |
| nnt18: | 1.8V native NMOS transistor |
| nnt33: | 3.3V native NMOS transistor |
| p18: | 1.8V nominal VT PMOS transistor |
| p33: | 3.3V nominal VT PMOS transistor |
| pmvt18: | 1.8V medium VT PMOS transistor |

Resistors（r 开头为电阻）：

| | |
|-----------|--|
| rndif: | N+ diffusion resistor with salicide |
| rpdif: | P+ diffusion resistor with salicide |
| rndifsab: | N+ diffusion resistor without salicide |
| rpdifsab: | P+ diffusion resistor without salicide |
| rnpo: | N+ poly resistor with salicide |

| | |
|-----------------|--|
| rnpo_3t: | 3-terminal N+ poly resistor with salicide |
| rppo: | P+ poly resistor with salicide |
| rppo_3t : | 3-terminal P+ poly resistor with salicide |
| rnposab: | N+ poly resistor without salicide |
| rnposab_3t: | 3-terminal N+ poly resistor without salicide |
| rpposab: | P+ poly resistor without salicide |
| rpposab_3t: | 3-terminal P+ poly resistor without salicide |
| rhrpo: | High resistance poly resistor |
| rhrpo_3t: | 3-terminal High resistance poly resistor |
| rnwaa: | Nwell resistor under active area |
| rnwsti: | Nwell resistor under STI |
| rmx: | Metal resistors, x=1~6 层金属电阻, 阻值小用途少 |
| rndif_ckt: | N+ diffusion resistor with salicide subckt model |
| rpdif_ckt: | P+ diffusion resistor with salicide subckt model |
| rndifsab_ckt: | N+ diffusion resistor without salicide subckt model |
| rpdisab_ckt: | P+ diffusion resistor without salicide subckt model |
| rnpo_ckt: | N+ poly resistor with salicide subckt model |
| rnpo_3t_ckt: | 3-terminal N+ poly resistor with salicide subckt model |
| rppo_ckt: | P+ poly resistor with salicide subckt model |
| rppo_3t_ckt: | 3-terminal P+ poly resistor with salicide subckt model |
| rnposab_ckt: | N+ poly resistor without salicide subckt model |
| rnposab_3t_ckt: | 3-terminal N+ poly resistor without salicide subckt |
| rpposab_ckt: | P+ poly resistor without salicide subckt model |
| rpposab_3t_ckt: | 3-terminal P+ poly resistor without salicide subckt |
| rhrpo_ckt: | High resistance poly resistor subckt model |
| rhrpo_3t_ckt: | 3-terminal High resistance poly resistor subckt model |
| rnwaa_ckt: | Nwell resistor under active area subckt model |
| rnwsti_ckt: | Nwell resistor under STI subckt model |

salicide 表示自对准金属硅化工艺, 作用是减小栅极 (POLY) 或源漏 (N+ 或 P+) 接触电阻; 与 silicide 作用相同, 然而 salicide 明确了制作工艺。

若器件名带 sab, 则表示 without salicide。

器件名后缀_ckt: 表示子电路。一般射频电路设计中使用_ckt 器件。例如 rpposab 电阻有 rpposab, rpposab_3t 和 rpposab_3t_ckt 3 种, 均是 poly 电阻, 直流阻值计算三者相同, 但后两种建模了电阻对衬底的寄生电容, 而_ckt 还考虑了寄生电容受衬底电压的影响, _ckt 的 model 最准确。

RF 射频电路中 ckt 电路版图是普通器件 layout 外层加个整体 dnw(深 N 阱)。

名词解释:

STI: shallow trench isolation 浅槽隔离, 不会产生鸟嘴;

Active area 有源区, 是进行杂质注入, 制作有源器件的区域, 即非场氧区。

Fingers 多用于指 MOS 管中栅的数量，即宽度 * Fingers=MOS 总宽度；

Multiplier(m)是指有 m 个相同的物理子版图。若单元是 MOS, 则是由 Multiplier (m) 个子版图并联而成，即 MOS 的 m 个子版图的同名极需要进行物理版图相连，理论计算时注意 MOS 的实际宽度。

Bipolar Transistors:

npn18: 1.8V NPN bipolar transistor
 npn33: 3.3V NPN bipolar transistor
 pnp18: 1.8V PNP bipolar transistor
 pnp33: 3.3V PNP bipolar transistor
 发射极面积固定的晶体管 3 种: $2 \times 2 \text{ um}^2$, $5 \times 5 \text{ um}^2$, $10 \times 10 \text{ um}^2$ 。

Diodes:

ndio18: 1.8V N+/Pwell diode
 pdio18: 1.8V P+/Nwell diode
 ndio33: 3.3V N+/Pwell diode
 pdio33: 3.3V P+/Nwell diode
 nwdio: Nwell/P substrate diode
 nndio18: 1.8V native N+/Pwell diode
 nndio33: 3.3V native N+/Pwell diode
 diobpw: Buried Pwell/ Deep Nwell diode

Capacitors:

Mim: Topmetal-MiM capacitor, with $C_{\text{spec}} = 1 \text{ fF/um}^2$

Varactors 可变电容:

pvar18_ckt: 1.8V N+ poly/Nwell MOS Varactor , 宽度可变;
 pvar33_ckt: 3.3V N+ poly/Nwell MOS Varactor, 宽度可变;

RF 射频 MOSFETs:

n18_ckt_rf: 1.8V 4-terminal NMOS RF transistor
 p18_ckt_rf: 1.8V 4-terminal PMOS RF transistor
 n33_ckt_rf: 3.3V 4-terminal NMOS RF transistor
 p33_ckt_rf: 3.3V 4-terminal PMOS RF transistor
 dnw18_ckt_rf: 1.8V 5-terminal NMOS RF transistor
 dnw33_ckt_rf: 3.3V 5-terminal NMOS RF transistor

RF Resistors:

rndifsab_ckt_rf: N+ diffusion RF resistor without salicide
 rpdifsab_ckt_rf: P+ diffusion RF resistor without salicide
 rnposab_ckt_rf: N+ poly RF resistor without salicide
 rpposab_ckt_rf: P+ poly RF resistor without salicide
 rhrpo_ckt_rf: High resistance poly resistor
 rm6_rf: Topmetal resistor with ultra-thickness [for RF process]

RF Capacitors:

mim1_rf: Topmetal-MiM RF capacitor, with $C_{\text{spec}}=1 \text{ fF}/\mu\text{m}^2$

RF Varactors: 可变电容

pvardio18_ckt_rf: 1.8V P+/Nwell RF Junction Diode Varactor,
5 μm *20 μm 长宽固定;

pvar18w5l1_ckt_rf: 1.8V N+ poly/Nwell RF MOS Varactor, 长 l, 宽 w 固定;

pvar18w5ld5_ckt_rf: 1.8V N+ poly/Nwell RF MOS Varactor, 长宽固定,
w5 表示宽度 5 μm , ld5 表示长度 0.5 μm ;

pvar18w10l1_ckt_rf: 1.8V N+ poly/Nwell RF MOS Varactor,
长宽固定 10*1 μm^2 ;

pvar18w10ld5_ckt_rf: 1.8V N+ poly/Nwell RF MOS Varactor ,
长宽固定 10*0.5 μm^2 ;

pvardio33_ckt_rf: 3.3V P+/Nwell RF Junction Diode Varactor, 长宽固定;

pvar33w10l1_ckt_rf: 3.3V N+ poly/Nwell RF MOS Varactor , 长宽固定;

pvar33w10ld5_ckt_rf: 3.3V N+ poly/Nwell RF MOS Varactor, 长宽固定。

inductors :

ind_rf: Spiral RF inductor

diff_ind_rf: Differential RF inductor

diff_ind_3t_rf: 3t differential RF inductor

B. 了解仿真文件.lib

打开混合信号仿真文件 ***gedit ms018_v1p9_spe.lib***。

这是个工艺角偏差数据文件,所有参数前缀为 d(表示偏差 delta),典型工艺角 section tt 的偏差参数都为 0。

文件前段说明中给出了该仿真 lib 包含了哪些类型器件,哪几种工艺角 corner,模型参数在哪些文件中。实际上,这种说明有时不是很正确,可能有遗漏或其它错误,可按以下方法核查之:

“Search” “Find...” 查询关键词 ***include***, 于是能够根据 include 和 endsection 行的信息,详细了解有哪些器件与 section 工艺角。

说明:

mc section 用于蒙特卡罗分析;

mim 是 2 层间距很小的水平金属电容;

var (varactor) 是压控电容。

设计芯片产品需要仿真全部相关的工艺角以及温度、成品率等,工程量很大;但若仅是为了发表论文或申请专利,一般来说进行典型工艺角 tt 仿真就可。

查看射频器件的仿真文件 ***cat ms018_rf_v1p9_spe.lib | more***

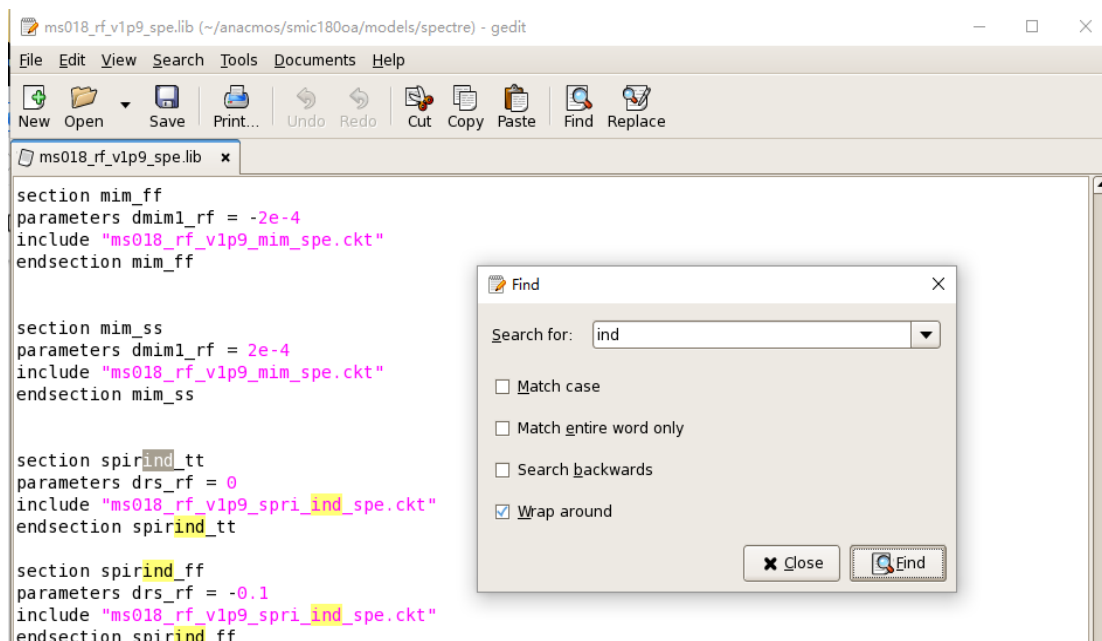
带 more 选项的显示命令 cat, 每次 Enter 增加显示一行;显然你不会这样查看很长的文本。

Linux 系统下 ***Ctrl+C*** 退出 cat 显示。

射频电路往往与模拟电路有个很大不同之处，即射频电路可能包括电感。

用 **gedit ms018_rf_v1p9_spe.lib** 打开，

然后查找：**Search Find**，是否有电感关键字 **ind**



器件名为 `spirind` 为螺旋电感，`diffind` 为差分电感，`3tdiffind` 为 3 端差分电感，电感工艺角只有典型 `_tt`、快 `_ff` 和慢 `_ff` 三种；设计射频电路采用的仿真方法与模拟电路不同，附录中略有介绍。

4. 编辑设计库文件 `cds.lib`

回到目录 `cd ~/anacmos`

编辑 **gedit cds.lib** 文件，键入以下文本：

```
--File created by a rookie of USTC
DEFINE cdsDefTechLib $CDSHOME/tools/dfl/etc/cdsDefTechLib
DEFINE basic $CDSHOME/tools/dfl/etc/cdslib/basic
DEFINE analogLib $CDSHOME/tools/dfl/etc/cdslib/artist/analogLib
DEFINE ahdLib $CDSHOME/tools/dfl/samples/artist/ahdLib
DEFINE smic18mmrf ~/anacmos/smic180oa/smic18mmrf
```

以上文本可在 win 系统中用 **Ctrl + C** 拷贝，再在 linux 窗口中用鼠标中间或滚轮点击粘贴。

Linux 系统下，**Ctrl + C** 是中断先前命令的执行，用于从死进程中强行退出，新手可能会在迫不得已情况下使用这个命令，但正在运行的程序结果将被丢失。

将 `cds.lib` 文件保存后退出 gedit 编辑器：**File** -> **Save** -> **Quit**。

小技巧：若需删掉某进程，例如 `virtuoso`，可在 Xshell 窗口用 **ps** 获得 `virtuoso` 对应的进程号 `PID` 号，然后 **kill -9 PID** 号。

5. 运行 virtuoso，了解库与单元：

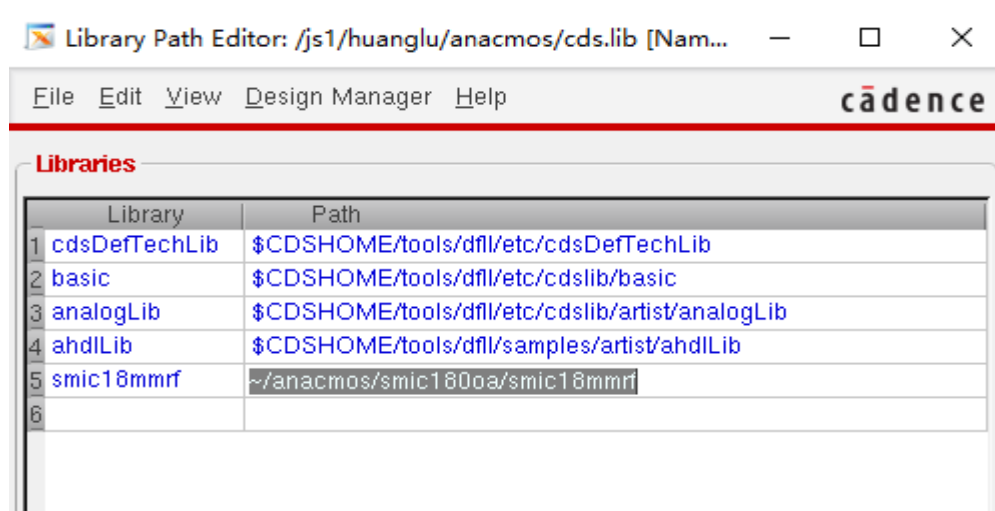
在~/anacmos/目录中：`virtuoso &`

提示！如不能运行 `virtuoso`，即不弹出 CIW（命令解释窗口），则检查当前目录和用户主目录下是否有 `CDS.log.cdslck` 文件或多个 `CDS.log.?` 文件[此处?为整数]。若有此文件，则都删之：`rm CDS.l*`（注意 l 前有个点“.”，后缀*是通配符）。

若显示 `virtuoso: command not find`，则需要先设置运行环境 `setdt ic616`。

检查 “Tools” “Library Manager” 有无 `smic18mmrf` 库。

若无 `smic18mmrf` 库，或想查看库路径，则在 CIW 窗口，“Tools”->“Library Path Editor”，可添加 `smic18mmrf` 库与路径“~/anacmos/smic1800a/smic18mmrf”：



若某个库名路径颜色异样（例如红色），则该库无效，不能使用。

`smic18mmrf` 中单元是实际的工艺器件；`analogLib` 库中单元是数学建模的理想器件，如电源 `vdd`、地 `gnd`、各种信号源等，仅用于电路仿真，不能用于后端版图设计；不要使用 `basic` 库中的理想单元仿真（后续可能出现问题）。

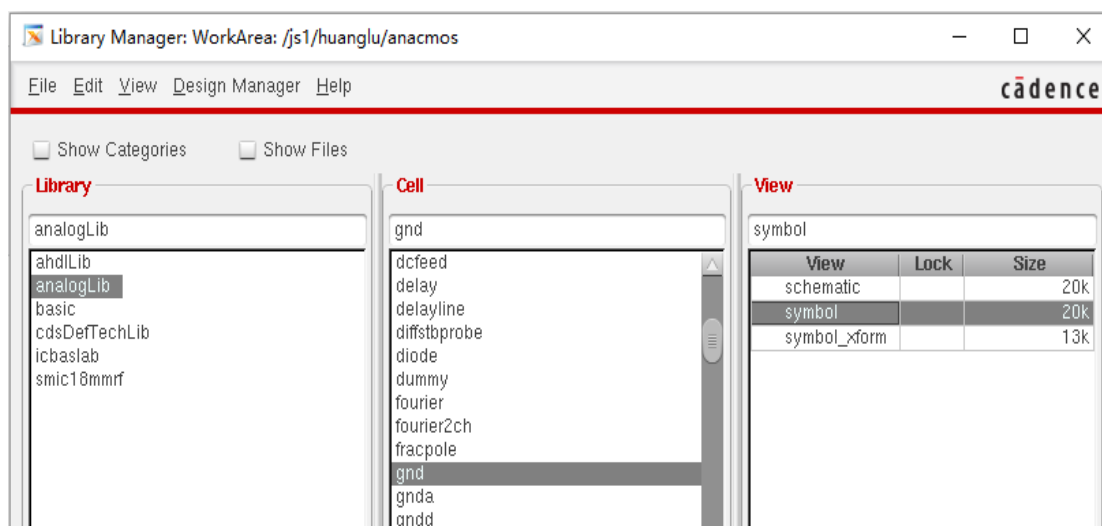
凡是非自己的设计库，都只能用只读方式打开。只有拷贝为自己的新库单元后，才可以编辑（能否编辑与单元拷贝方式有关）。

在 Library Manager 窗口，查看单元的步骤是：

先选择库 Library，再选单元 cell，最后选视图 View。

浏览理想器件库（`analogLib`）中的电源/地单元和信号源：

电路原理图一般会用到 `analogLib` 库中的 `vdd` 电源和 `gnd` 地单元，选中 `symbol` 视图；保持鼠标在 `symbol` 位置上，点击右键弹出下拉菜单，如下图 `gnd` 单元。因不是自己所设计，故不得修改，只能使用 `Open (Read-Only)` 进行浏览。



电路仿真需要相应合适的信号源。查看一下 **vdc**（直流电压）、**vpulse**（脉冲）、**vpwl**（折线）、**vsin**（正弦）、**vsource**（通用）等常用信号源。根据名称开头符号可知道是何种信号源，电压信号源单元以 **v** 开头，电流信号源单元以 **i** 开头。

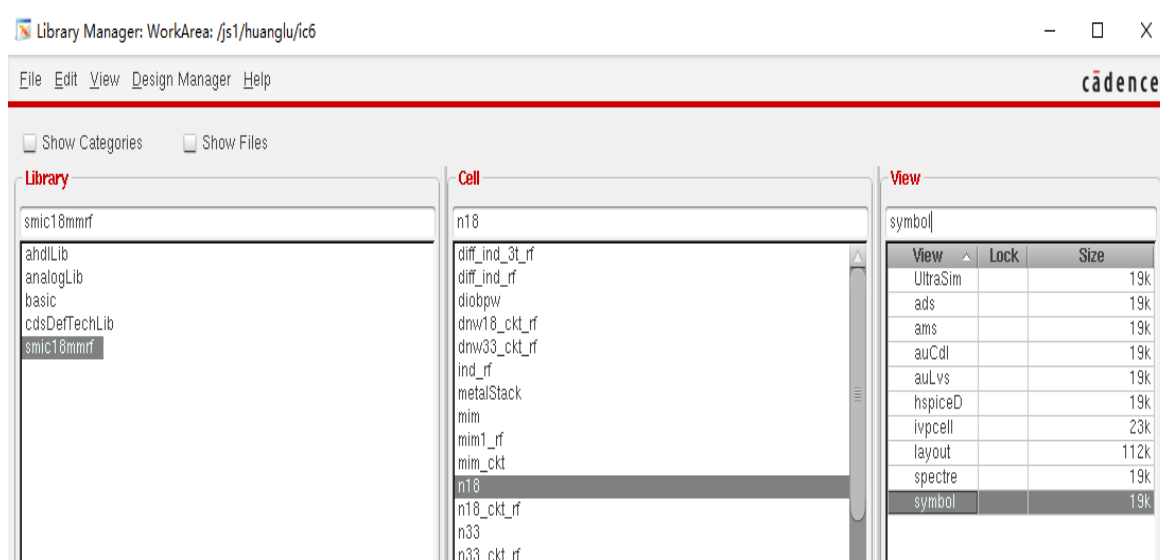
了解实际工艺的库单元：

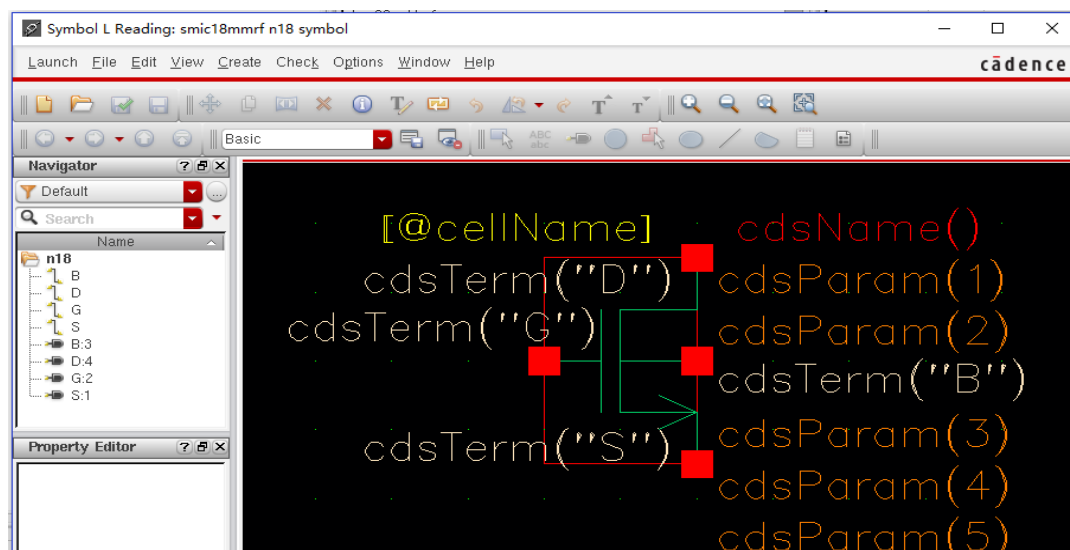
180nm CMOS 工艺中核心数字电路使用 **n18 NMOS** 和 **p18 PMOS**，模拟电路除了使用这两种 MOS 管外，还可以根据权衡成本与性能的需要，使用其它种类 MOS 单元；

与其它芯片电路的接口电路一般使用 **n33** 和 **p33**，表示 **3.3V** 电压；可降压使用，例如实际芯片接口电压为 **2.5V**。

若芯片接口电压超过 **3.3V** 怎么办？可多个 MOS 串联分压。实际上，只要 MOS 管的任意 2 极点之间电压不超过 **3.3V**，就可使用 **n33** 和 **p33**。

参照下图选择 **smic18mmrf** 库，**n18** 单元 **symbol View**，打开。





调用器件用 symbol 视图。由于是参数化单元(PCell)，Symbol 符号图中的各个 cdsParam 参数在电路添加器件（调用）时才确定。

关闭 Symbol 窗口。

查看 Library Manager 窗口中 smic18mmrf 库的 Cell，了解有哪些器件。
其中：

工艺库中以 r 为首字母命名的单元是各种电阻，名中 hr 为高阻；
以 n 为首字母命名的单元是 nmos，或直接命名 npn 晶体管；
以 p 为首字母命名的单元是 pmos，或直接命名 pnp 晶体管；
单元名中有 18 和 33 分别表示 1.8V 和 3.3V；
与射频相关的单元名中有 ckt 或 ckt_rf，ckt 表示内部包含有子电路；
深 n 阱 dnw，var 可变电容，mim 电容，ind 电感，diff 表示差分；
二极管 dio，mvt 中等阈值 mos，nnt=native nmos 低阈值天然 nmos。

关闭 Library Manager 窗口，退出 Virtuoso?6.1.6 CIW。

在 Xshell 远程桌面中，删掉你临时创建的 cdslib 目录：`rm -r cdslib`，至此完成实验准备工作。

二、实验步骤

每次远程登录到中科大信息实验中心 EDA 平台后，首先选择计算服务器（节点）：`ssh -X c01n??`（`??=01~14`）。本次实验开始时已选择了某个计算服务器，可跳过此步骤。

查看是否在模拟 CMOS 设计实验目录：`pwd` 后应显示路径为“你的账号/anacmos”；若不是，则需进入：`cd ~/anacmos`

1. 设置 EDA 软件环境:

运行 Cadence 电路编辑和仿真软件前, 需要设置:

setdt ic616 [为运行 virtuoso 的 schematic 或 layout 编辑设置环境]

setdt mmsim 或 **setdt mmsim121** [为运行 spectre 电路仿真设置环境]

或合并命令为 **setdt ic616 mmsim**

说明: 根据具体工作, 为相应 EDA 软件运行设置环境。例如, 若使用 mentor calibre 进行物理验证, 则 setdt calibre 后才能启动 calibre 软件。

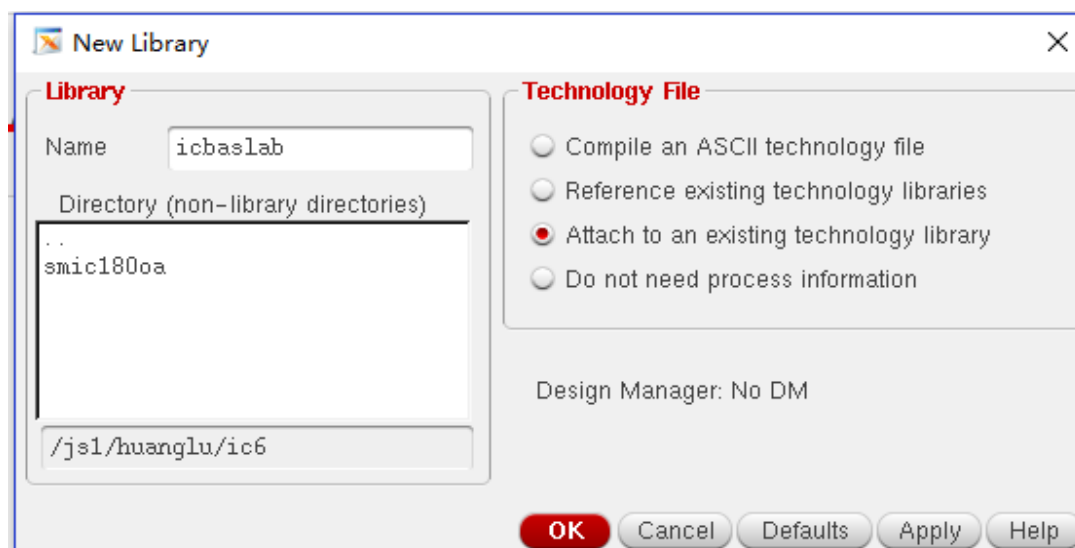
2. 启动: **virtuoso &**

或 **virtuoso nohup &** [nohup 保障长时间仿真时不因断网而中止运行]

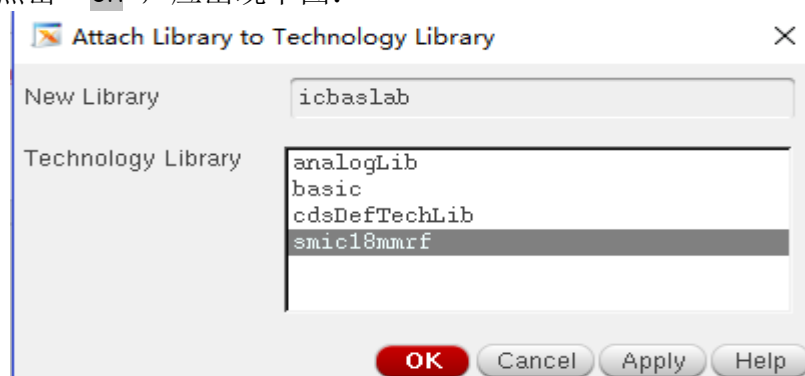
3. 创建设计库 icbaslab

在 Virtuoso CIW 窗口中, “File” -> “New” -> “Library...”,

在弹出的 New Library 窗口中, Library 面板 Name 区键入: **icbaslab**, 并在 “Technology File” 中选 “Attach to an existing techfile” 按钮有效,



设计库名应有一定的提示意义, icbaslib 是 IC 设计基本实验库的意思。点击 “OK”, 应出现下图:



选中 smic18mmrf 工艺库作为 icbaslab 库设计单元的关联工艺库, 点 OK。以后实验步骤中, 操作结束时点击 OK, 你应该能够断定, 不再指示。

若 icbaslab 设计库没有关联到工艺库，则后续版图设计时层定义调色板窗口即 LSW（层选择窗口）将无工艺层。

4. 创建 M0Stest 单元：

A.进入你的设计库：

在 Virtuoso CIW 窗口，

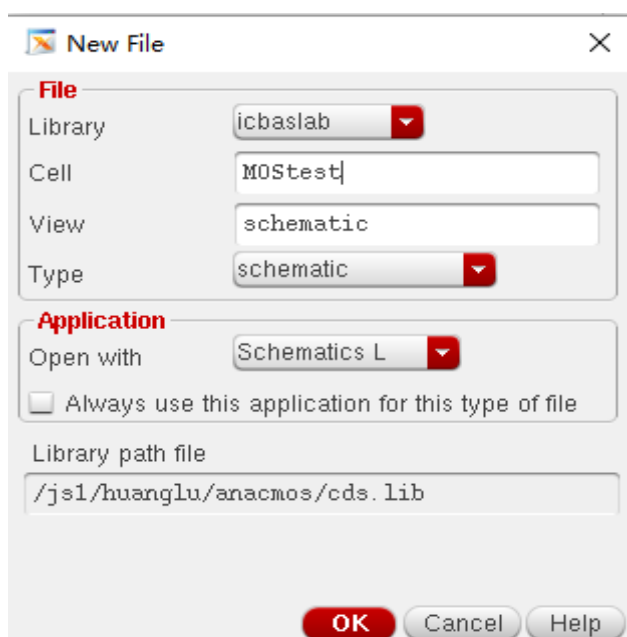
“Tools” -> “Library Manager” 窗口，选中 “icbaslab” 库。

B.创建单元

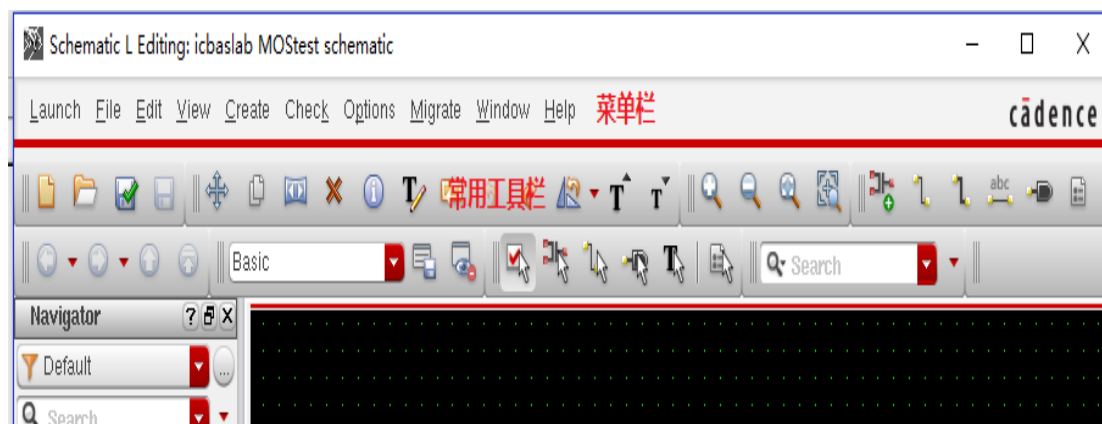
在 Library Manager 窗口，“File” -> “New” -> “Cell View...”

在 Cell 栏中，键入 **M0Stest**

单元名可任意命名，一般应有功能提示意义，M0Stest 表示 MOS 器件测试。



出现 Schematic 编辑窗口如下：

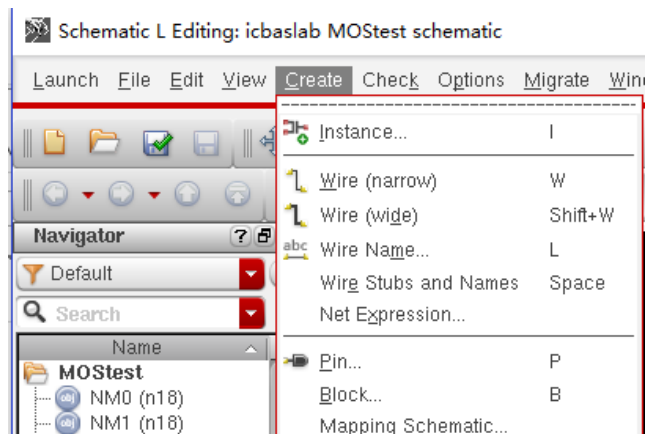
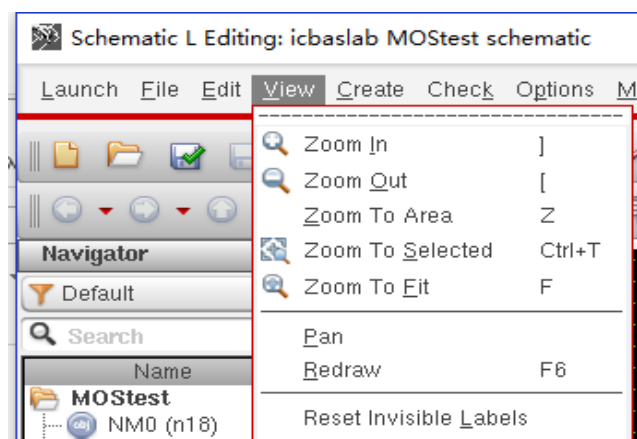
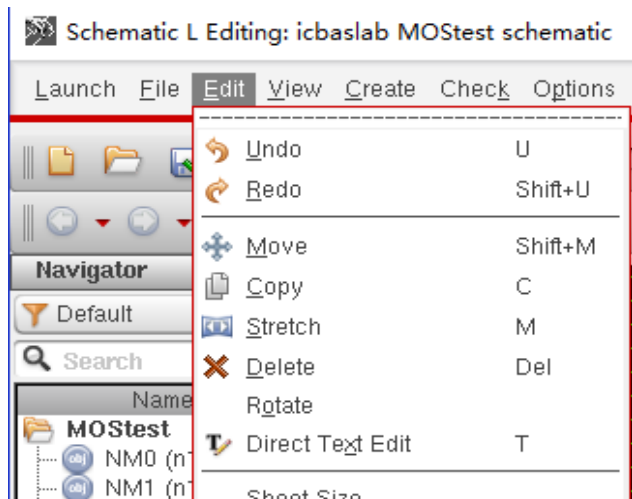


此窗口类似于先前 IC5141 中的电路图编辑软件，著名的 Cadence Composer。

C. 熟悉 Schematic L Editing 编辑设计界面

可以使用下拉式菜单选择其中的操作，也可以点击常用工具栏中的工具图标（放上鼠标有功能提示），熟练后将更多地使用快捷键进行常用操作，如 **F** 键使图形适中。

下拉菜单中每个功能的右边表示的键盘字母，即为对应功能快捷键。常用 Edit、View、Create 操作菜单，如下图：



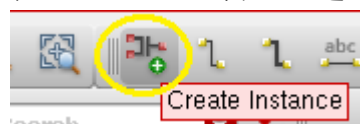
D. 输入 schematic 电路图

EDA 工具一般均有多种操作方法完成同一种功能。本实验指导在以后各个实验的步骤中，任意使用了其中一种或 2 种方法。

放置器件 Create Instance:

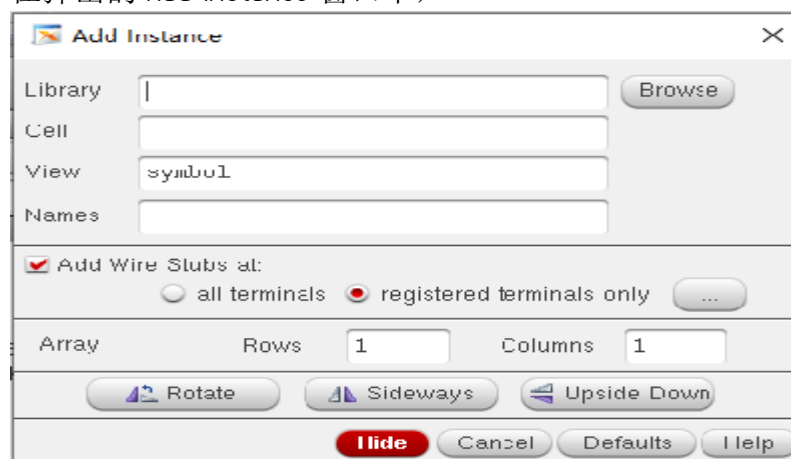
输入（编辑）电路图时，首先选用器件和放置器件，然后再连线。

在 Schematic L 窗口，选 “Create Instance” 图标，

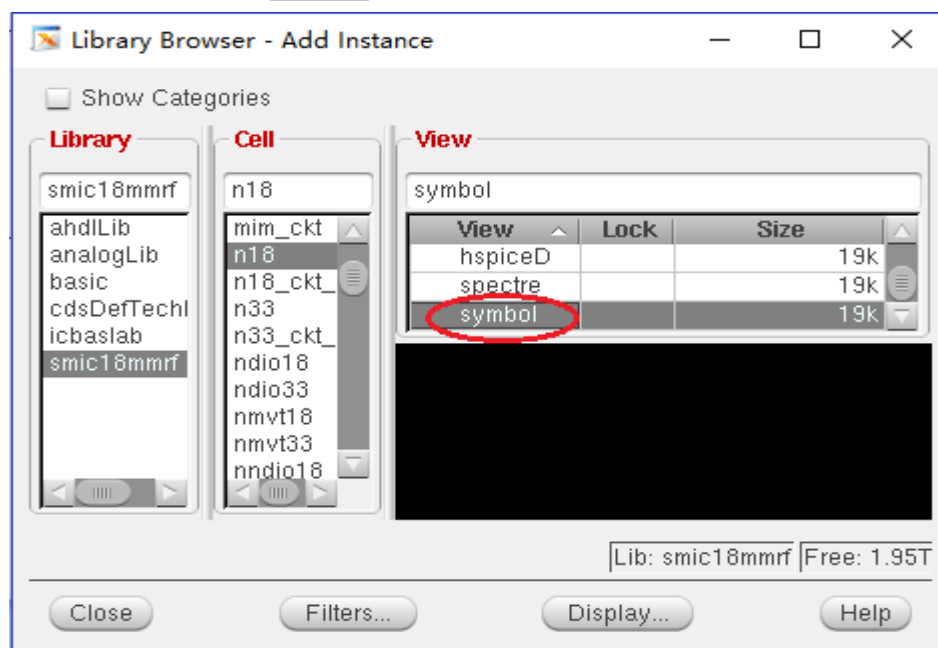


（或用菜单 “Create” -> “Instance”，更方便是直接用 / 快捷键添加单元），

在弹出的 Add Instance 窗口中，



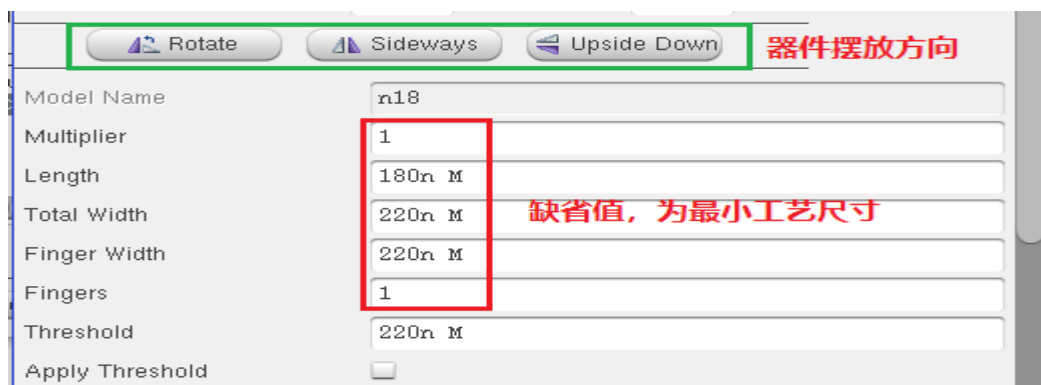
“Browse” 选库如下图，选 smic18mmrf 工艺库 Cell 栏中的 n18 NMOS 单元，View 栏中选 “symbol”。



说明：

1) 添加器件时，可以先不修改任何器件参数和摆放方向，暂时放置缺省参数的器件，用 **ESC** 键退出当前操作；然后鼠标选择器件，用 **Q** 键逐个修改各个器件的属性参数。

2) 也可以在添加每个器件时，即时在 Add Instance 窗口对器件的 W/L 等参数和摆放位置进行设置：



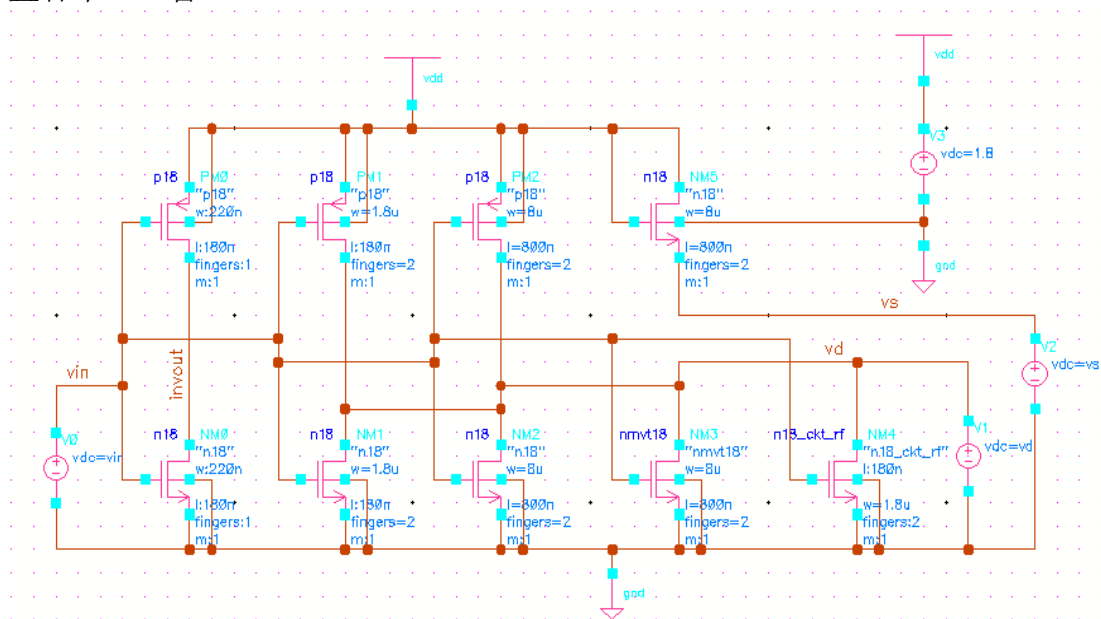
可以修改 Length、Width 等参数以及摆放方向，在 Schematic L Editing 窗口中摆放器件；然后回到 Add Instance 窗口，“Browse”选择下个器件，或修改尺寸与放置方向，再添加到 Schematic L Editing 窗口中；如此反复，完成器件选用。

点击 Add Instance 窗口底部的“Hide”，仅使该 Add Instance 窗口隐藏，电路图窗口中的当前添加器件不受影响。

ESC 取消当前原理图编辑操作。

小技巧：在原理图或版图编辑时，用 **ESC** 键取消当前操作。每次编辑操作之后及时按键 **ESC** 可防止下一步进行误操作，有利而无害。

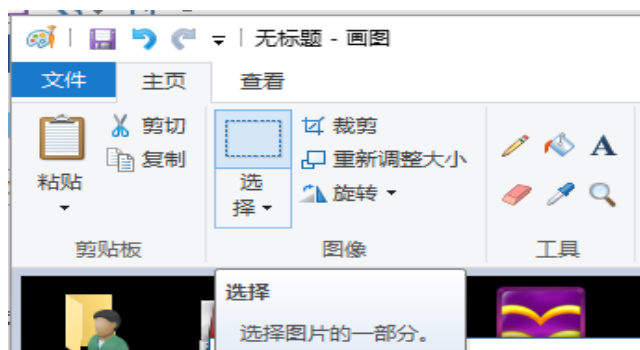
参考下图结构画出 M0Stest 单元的 schematic，按表 1.1 给出的器件尺寸，放置各个 MOS 管。



上图是电路图编辑窗口截屏后的反色图，避免本指导的图中出现大片黑色。

若你在实验报告中贴反色图形，可按以下具体步骤进行：

Print Screen 拷屏，打开画图软件，Ctrl+V 粘贴，点画图窗口中的选择工具，



从图形左上到右下按住鼠标左键，选中所要求区域，然后鼠标右键，点选反色，Ctrl+C 拷贝反色图形区域后 Ctrl+V 粘贴到 win 文本中。

表 1.1 icbaslib 库 M0Stest 单元[cell]电路器件：

| 器件 标号 | 单元名 | Length | Total Width | Multiplier /Fingers | 说 明 |
|----------|------------|----------|----------------|------------------------|---------------------------|
| NM0 | n18 | 180n | 220n | 1/1 | 最小尺寸 NMOS |
| NM1 | n18 | 180n | 1.8u | 1/2 | 获取数字电路设计 NMOS 参数 |
| NM2 | n18 | 800n | 8u | 1/2 | 获取模拟电路设计 NMOS 参数 |
| NM3 | nmvt18 | 800n | 8u | 1/2 | 获取中阈值器件 NMOS 参数 |
| NM4 | n18_ckt_rf | 180n | 1.8u | 1/2 | 射频管 NMOS |
| NM5 | n18 | 800n | 8u | 1/2 | 获取衬偏效应 NMOS 阈值电压 |
| PM0 | p18 | 180n | 220n | 1/1 | 组成最小尺寸反相器 PMOS |
| PM1 | p18 | 180n | 1.8u | 1/2 | 获取数字电路 PMOS 工艺参数 |
| PM2 | P18 | 800n | 8u | 1/2 | 获取模拟电路 PMOS 工艺参数 |
| V0 | vdc | vin (变量) | | | DC voltage 设为 vin，线网名 vin |
| V1 | vdc | vd (变量) | | | DC voltage 设为 vd，线网名 vd |
| V2 | vdc | vs (变量) | | | DC voltage 设为 vs，线网名 vs |
| V3 | vdc | 1.8 | | | DC voltage 设为 1.8，电源电压 |

测试电路说明：此 MOS 参数测试电路，左边是三个反相器，右边有三种 NMOS。

左起第一个反相器（由 NM0 和 PM0 组成最小尺寸反相器）输出 invout 悬空，NM0 和 PM0 不是工作在饱和区，故其得到的工艺参数不能用于设计模拟电路；

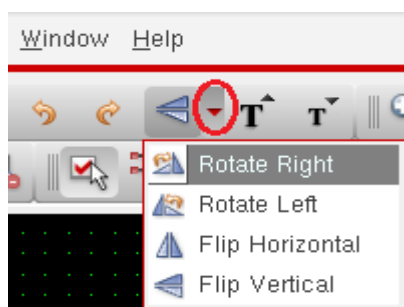
左起第二个反相器（由 NM1 和 PM1 组成），是最小长度 MOS，数字电路单元一般采用最小长度；

左起第三个反相器（由 NM2 和 PM2 组成）采用适合模拟电路的长度；

可以看到，左起第二个和第三个反相器的输入和输出线网被强行设置了偏置工压，可使其工作在 MOS 饱和区，变量用于电压扫描。

上面电路图中的右边有 3 个不同类型 NMOS 管，一个位于右上，两个位于右下；其中下方的 NM3 是为了得到中等阈值 NMOS 的工艺参数，NM4 是为了得到射频管的工艺参数，右上 NM5 是为了得到衬偏效应阈值与增量。

若要改变器件放置方向，需在连线之前操作，使用如下图（本次实验不需要）：



添加电源与地符号、仿真激励信号源和电源，连接电路线网、标注：

电源 vdd 和地 gnd 是理想器件，用 **I** 键（添加器件快捷键，即 Create Instance），在 analogLib 理想单元库中找到 vdd 电源（生成网表时自动在符号尾加！成为全局变量）和 gnd 地（网表中的全局变量名为 gnd!），可添加多个 vdd 或 gnd，同名全局变量网线是连在一起的（相当于它们之间有连线）。

添加激励信号源：**I** 键，选 analogLib 理想单元库中直流 vdc 激励信号源，放置后即成为图中 V0、V1、V2 和 V3；



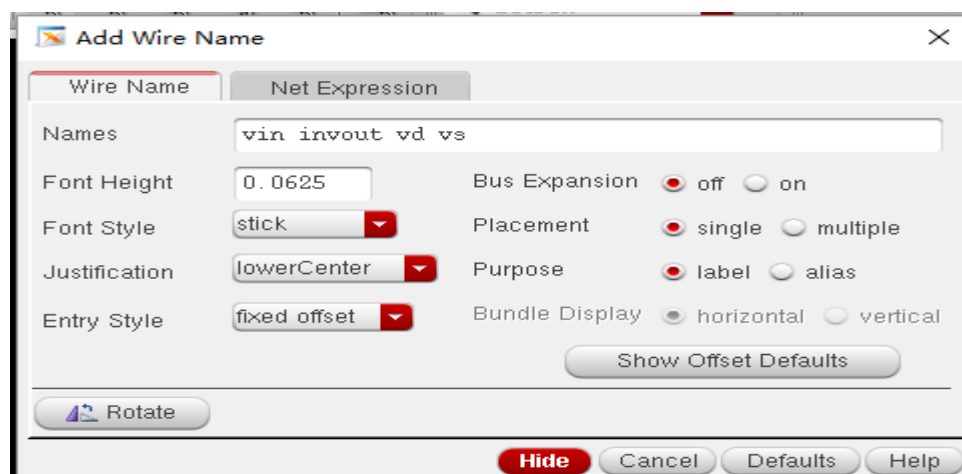
连线：用 **W** 键或窄连线工具图标

参考前述 M0Stest 单元的 schematic 完成连线；

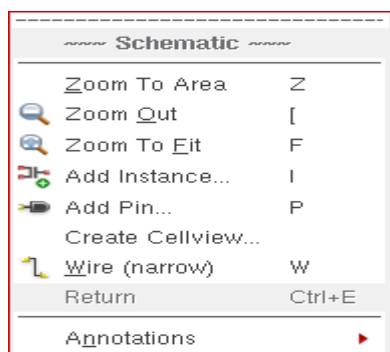


线网标注：使用 **L** 键或标注工具图标，用于直观名称含意的波形显示。

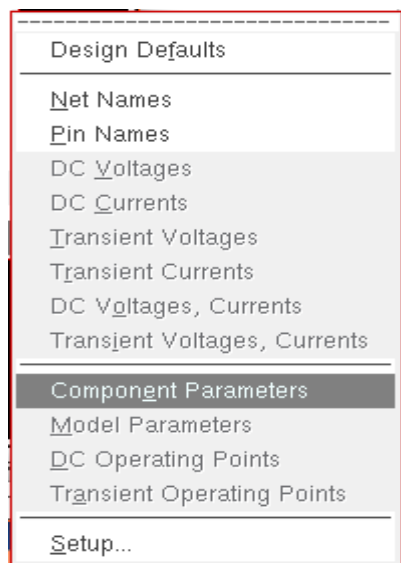
参考前述 M0Stest 单元 schematic 电路中 *vin*、*invout*、*vd* 和 *vs* 线网名，可一次性在 Add wire Name 窗口的 Wire Name 面板的 Name 栏中键入所有线网名，中间用空格间隔，点 **Hide** 后逐个将标注名放置在相应线网上，即与标注名关联的微小方块要落在相应线网上。



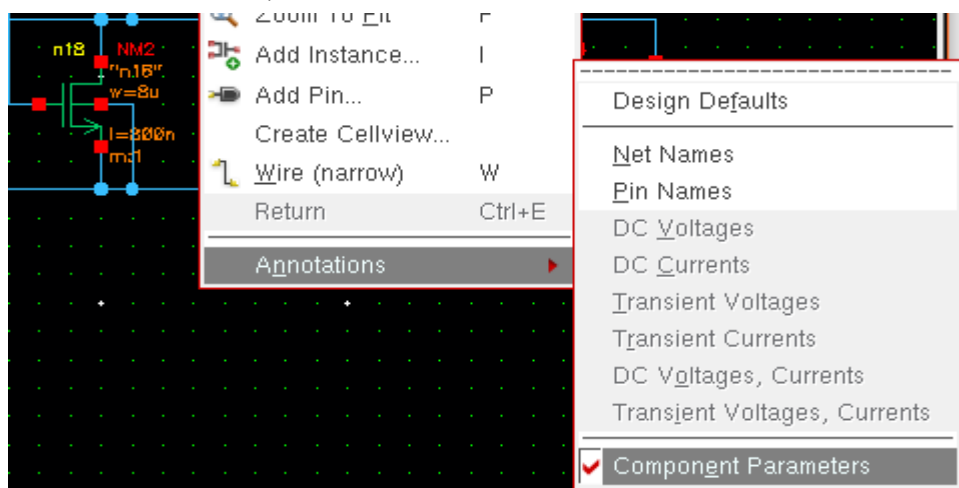
对电路图进行的常用编辑操作，可点击鼠标右键，Schematic L Editing 窗口显示下图，右边字符为快捷键：



展开 Annotations，则可在 schematic 电路图上显示器件设计参数：



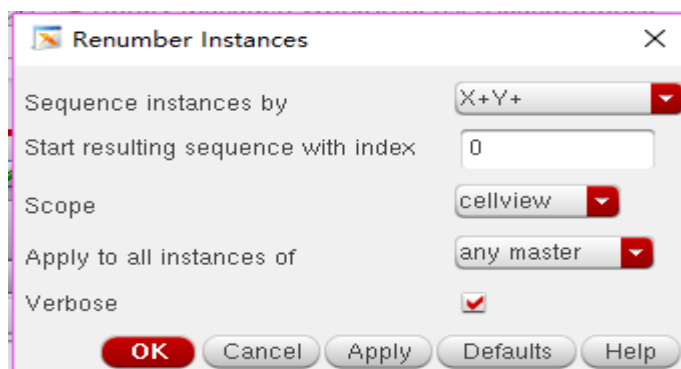
若再次选 Component Parameter (下图勾号消失)，则电路图上器件参数隐藏：



器件排序：为使 MOS test 电路图中器件编号与表 1.1 对应，可能需要重新编号

“Edit” “Renumber Instances...”

在弹出窗口中，“Sequence instances by” 栏中选：“X+Y+”，如下图：



将激励电源 V0~V2 (analogLib 中 vdc 单元) DC voltage 设置成变量, 是为了可进行电压扫描;

单元编号与相对位置有关, 若未按图例电路图位置, 则可能编号不同。
线网名仅仅是为了直观显示仿真波形, 无需与电源的变量名相同。

电路完成后  Check and Save, 有错则会报告;

而  仅用于 Save 未完成电路, 不检查错误。

注意! 仿真前电路若有改动, 则需要在 schematic 窗口先进行 Check and Save。

Schematic 电路原理图设计常用操作提示:

在 schematic 中添加元件时, View 为 symbol ,

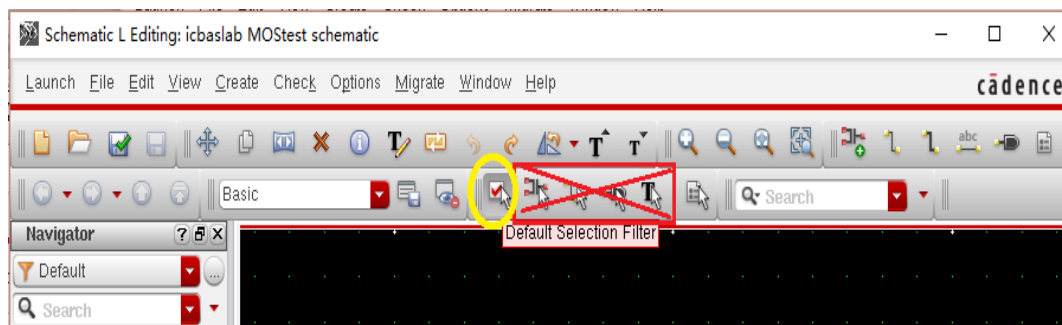
- *退出任何当前操作: **ESC** 键;
- *添加器件: **I** 键;
- *参数修改: 鼠标选中器件后, **Q** 键;
- *选择某区域: 按住鼠标**左键**, 从左上拖动到右下合适范围, 选中范围的器件符号变高亮, 后续可进行移动、拷贝、删除等操作;
- *移动: **M** 键后选中器件或选定区域内的器件组, 移动;
- *旋转: 先 **M** 键选中器件, 然后 **R** 键逆时针旋转、或 **Shift + R** 左右转置、或 **Ctrl + R** 上下转置, 鼠标左键移动到合适位置;
- *删除: **Delete** 键;
- *使窗口图形适中: **F** 键;
- *放大任意区域: 鼠标右键按住, 从左上到右下圈定需要放大的区域;
- *拷贝器件: **C** 键后选中被拷贝器件;



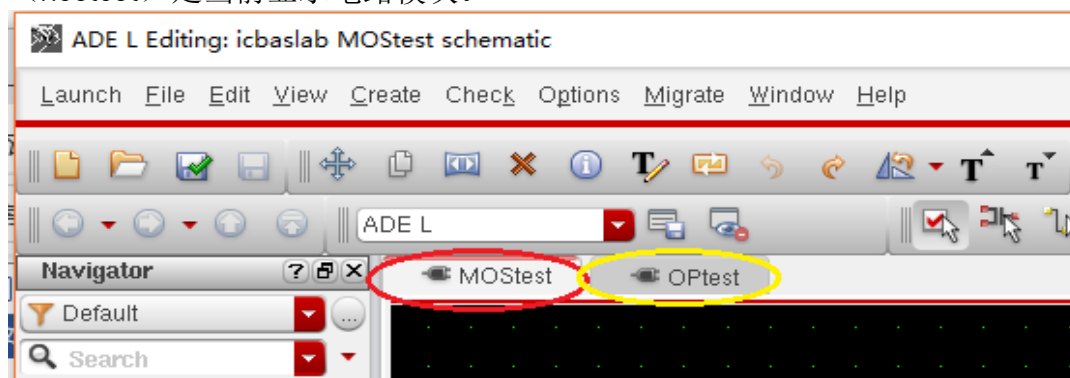
- *反悔 (取消前次操作): **U** 键或 Undo 工具图标
- *显示放大缩小: 鼠标中间滚轮, 或 **[** 键缩小、**]** 键放大;
- *全屏显示焦点区域: 鼠标**右键**按住拖动;
- *进入子电路模块: **E** 键;
- *返回上一级电路模块: **Ctrl + E**。

常用窗口操作：鼠标右键，然后选择相应菜单。

若发现有器件、线网、PIN 或文本不能选中，应该是你误点了几个“Filter to Select ...”图标之一（下图中被打叉的几个图标），点击其左边的 Default Selection Filter 图标即可解决。



可同时打开多个电路图，选择其中之一显示。实际电路设计时，经常打开若干个电路图，如下图表示打开 MOSTest 和 OPtest 电路模块，其中高亮模块名（MOSTest）是当前显示电路模块。



AnalogLib 库中常用标准器件：

电源和地：vdd（全局）、gnd（全局）；
 偏置电源：vdc 电压源和 idc 电流源，提供交、直流，在 AC 分析中使用；
 脉冲电压/电流信号源：vpulse/ipulse，
 多线段电压/电流信号源：vpwl/ipwl，
 通用电压/电流信号源：vsource/isource，包括 dc、sine、pulse、exp、pwl、bit、prbs（Pseudo-Random Binary Sequence 伪随机二进制序列）类型；
 理想电阻 res、理想电容 cap、理想电感 ind。

Linux 几个有用命令：

- *回到自己根目录：cd ~
- *查看目录文件：ls 或 ll [显示文件属性]，可不加 -参数，
 例 ls -t[时间排序] -l[详细] -C[按列] -a[所有文件，包括.隐含文件]，
 可合并 -多个参数，例如 ls -atl；
- *删除某些 log 文件：rm CDS.log*，*是通配符。

新手在非正常退出或多次打开 virtuoso 时会在根目录(./)留下 CDS.log.cds1ck 文件, 若同时打开超过一定数量的 virtuoso, 会有多个 CDS.log.序号文件; 可能需要删除这些 log 文件尤其是 cds1ck 文件才能运行 virtuoso。

*查看进程: ps

*删除进程: kill -9 PID 进程号; -9 表示无条件

*查看环境变量: env

*修改密码 passwd

*显示当前目录路径 pwd

*查看文件和目录存取权限: ll 后, 文件与目录列表的左侧依次显示 user, group, other 的权限 rwx (即读、写、执行, 二进制 000 - 111 = 八进制 0~7 组合)。若左边第一个字符为 d 则表示目录, 下图例的第一行 ic6 是目录:

```
drwxr-xr-x 13 huanglu dept2301 4096 Mar 20 19:03 ic6
-rw-r--r-- 1 huanglu dept2301 732 Mar 6 16:47 libManager.log
```

改变权限: chmod -R mode 文件或目录名, 若为目录则 R 将权限递归及后级目录;

例 1 chmod 777 文件名, 表明所有人包括任何他人都可改或删除该文件; 注意写权限一般不对他人 (group 或 other) 开放; 若你的文件需要供别人拷贝, 则使相应“读”权限有效 (group 或 other 对应的 r=1)。

例 2 chmod 750 文件名, 则同组 (如上图中的 dept2301) 用户仅可读和执行文件, 而其他用户 other 无任何操作权限。

5. spectre 仿真之 DC (直流) 分析

进行 DC 分析后才能获得 MOS 器件的工艺参数。

对于模拟和射频 IC 设计、以及数模混合电路设计, 业界最常用的是 Cadence 仿真软件, 称之为 spectre, 仿真设置为图形化界面, 十分适宜初学者学习; 另一款常用软件是 Synopsys 的 HSPICE, 采用文本方式编写仿真设置指令。据 cadence 声称, spectre 相比 Hspice 的优点是, 采用的算法计算更快、且易于算法收敛。

根据 DC 仿真报告可得到 MOS 管在特定工作状态下的电学参数, 也可测量获得沟道长度调制系数 λ 等参数。

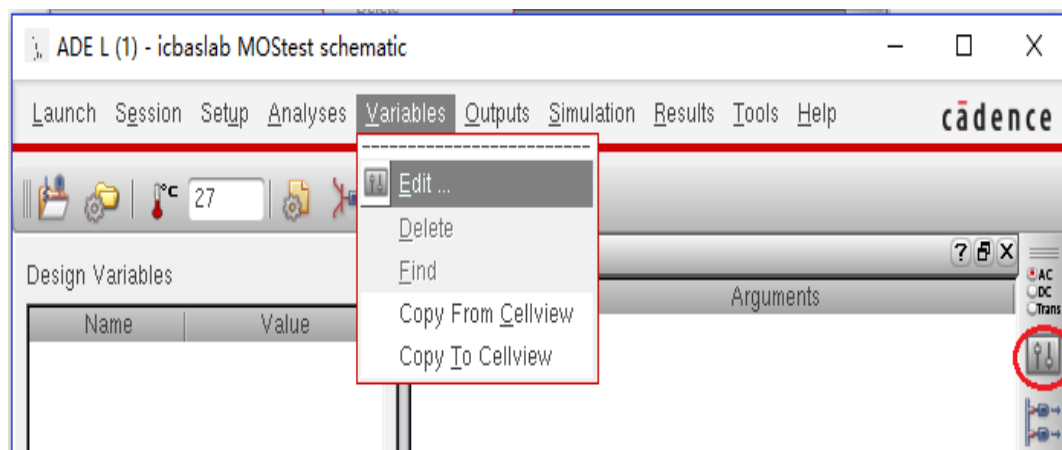
λ 测量思路: 采用合理的 MOS 沟道长度, 改变 MOS 的 V_{ds} 且置于饱和区, 测量输出电阻 $r_o = \Delta V_{ds} / \Delta I_{ds}$; Δ 表明需要进行电压和电流扫描; 已知 I_d 和 r_o 即可计算 λ 。

通过本实验可知, 只要合理设置 MOS 长度, 如取 $L > 5$ 特征尺寸, 则 λ 很小, $(1 + \lambda V_{DS})$ 约为 1, 即理论计算时沟道长度调制效应可忽略不计。

A. 进入 ADE L 仿真设置窗口:

在 Schematic L Editing 窗口, “Launch” -> “ADE L”。

弹出 Analog Design Environment (ADE) 窗口, 即下图 “ADE L [] - 库名 单元名 schematic” 窗口, 称为仿真设置窗口, 牢记该名与窗口, 后文将频繁提及:

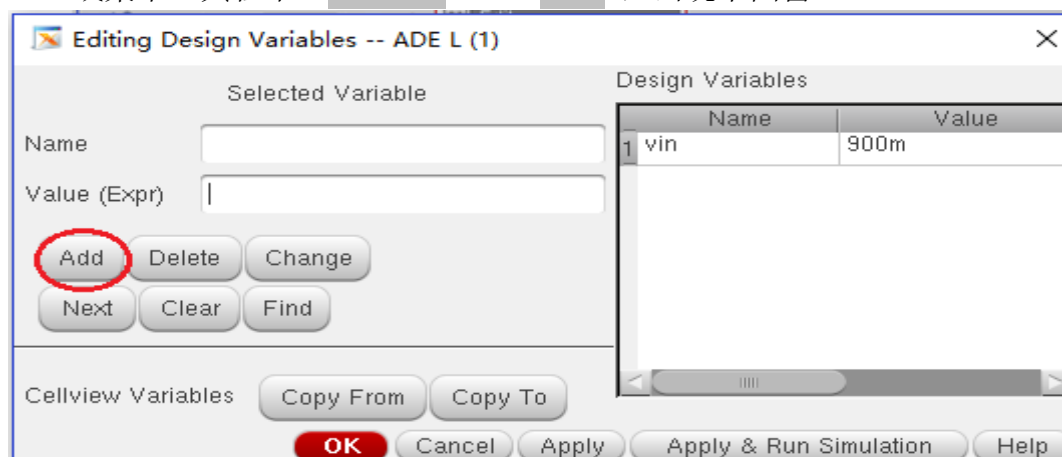


原 Schematic L Editing 自动与 ADE L 窗口关联，已改名为 ADE L Editing 窗口。

B. 设置用于扫描仿真的变量：

在编辑 schematic 时曾有 3 个激励（vdc 电源 V0、V1、V2）的 DC voltage 没有输入确定数值，而是采用 vin、vd 和 vs 变量，仿真前必须设定数值或扫描范围。

选 ADE L () 仿真设置窗口右侧 “Edit Variables” 工具图标，
或菜单工具栏中 “Variables” -> “Edit...”，出现下图窗口：



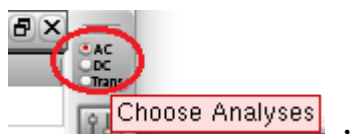
Name 栏: **vin**, Value 栏: **0.9**, “Add” 后如上图，对应电压源 V0；
同样设置 Name = **vd**, Value = **0.9**, 此变量用于 V1 扫描；
设置 NM5 的衬偏 Name = **vs**, Value = **0.3**, 对应电压源 V2；
最后 “OK”。

注：设置 DC 工作点，与扫描无关。

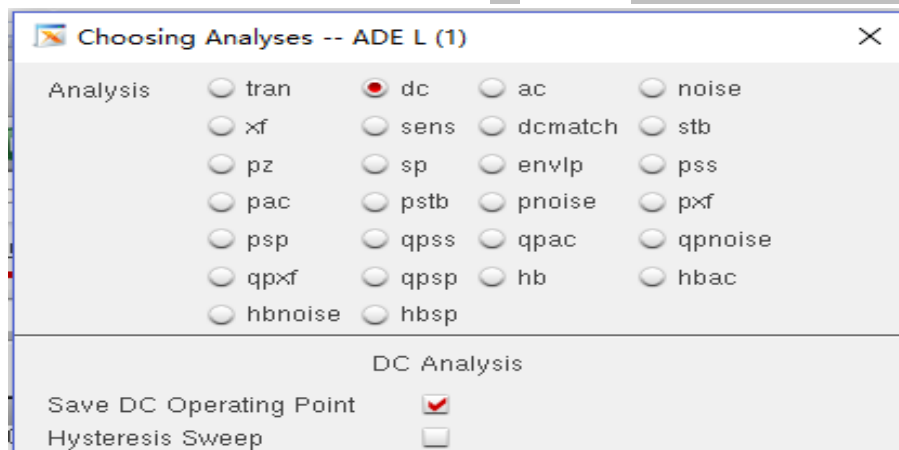
对于不进行扫描的偏置电压或电流，无需设置成为变量，可直接采用电压源或电流源，例如电路中电压源 V0，可设置属性 DC voltage = 0.9, V2 电压源可设置属性 DC voltage = 0.3。

DC 仿真报告给出的器件电学参数，是依据偏置直流工作点计算的。

- C. 在 ADE L () 仿真设置窗口，选择 DC 仿真分析：
“Choose Analyses” 工具图标



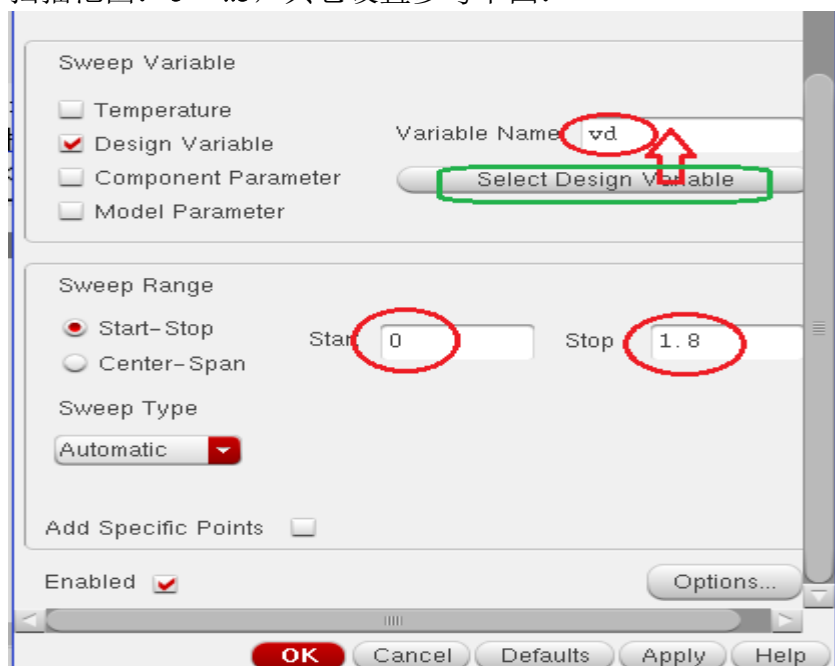
在 Choosing Analyses 窗口中选中 “dc”，置 “Save DC Operating Point” 有效：



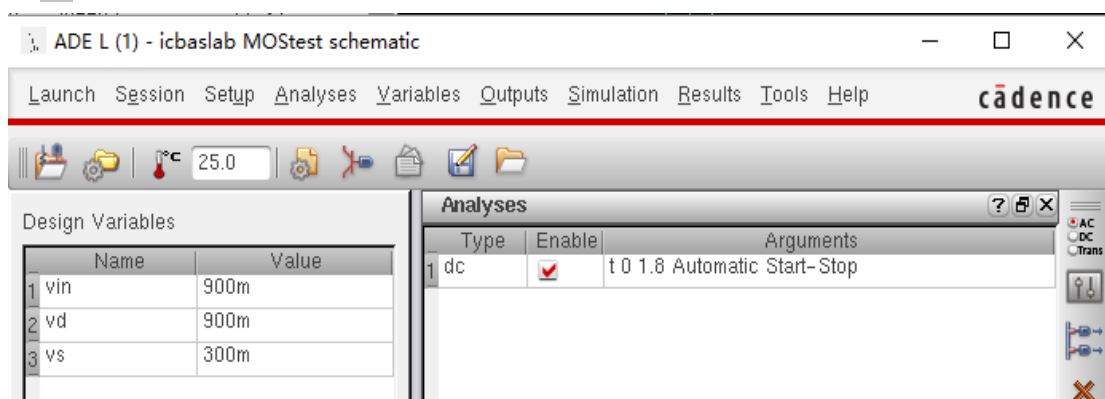
点选 “Design Variable”，弹出 Choosing Analyses—ADE L 窗口，
设置变量 v_d 或点击 “Select Design Variable” 选择 v_d ；

改变 MOS 管 V_{ds} （即 v_d 变量）是为了能测量 MOS 小信号输出电阻 r_o 。

Choosing Analyses – ADE LQ 窗口下方的 Sweep Range 栏内，设置 Start-Stop
扫描范围： $0 \sim 1.8$ ，其它设置参考下图：



“OK”后得到:

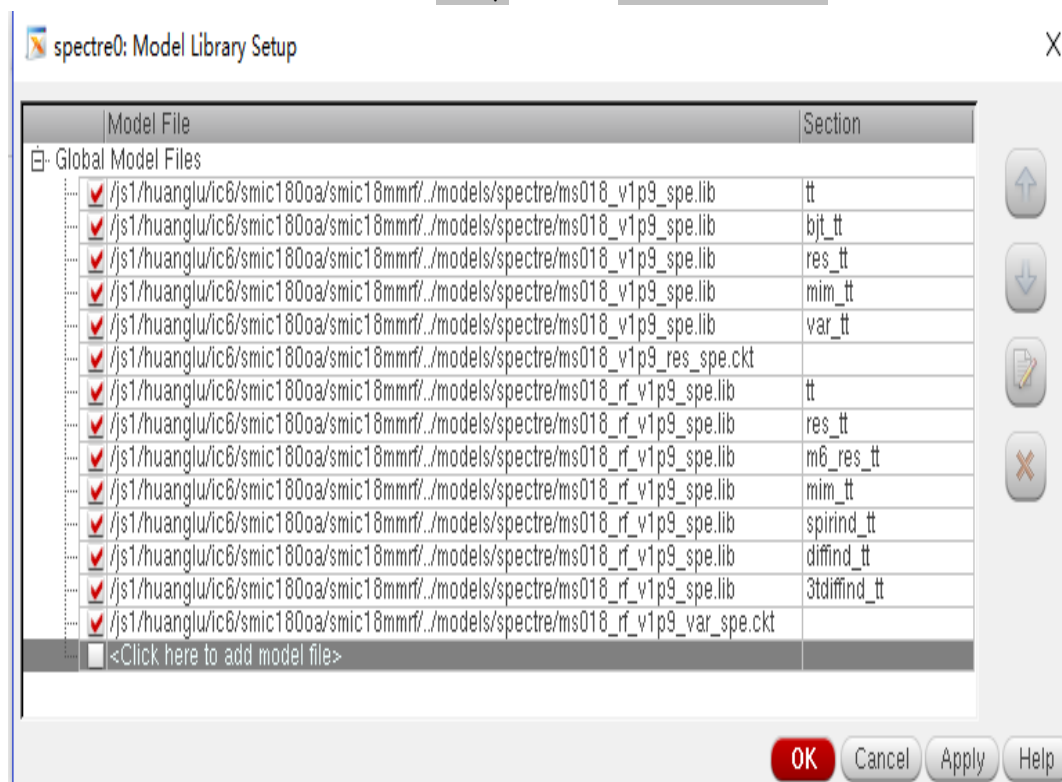


ADE L () 仿真设置窗口左侧数据是变量设置，计算工作点，与扫描无关。

vd（同时设置了左起第二和第三反相器输出电压，即电路图中 NM1 和 NM2 的 vds，PM1 和 PM2 的 $|vds|=Vdd-vd$ ）是扫描电压。

D. 可以查看一下或设置仿真工艺角（本实验无需设置）

ADE LQ 仿真设置窗口中，“Setup” -> “Model Libraries...”，



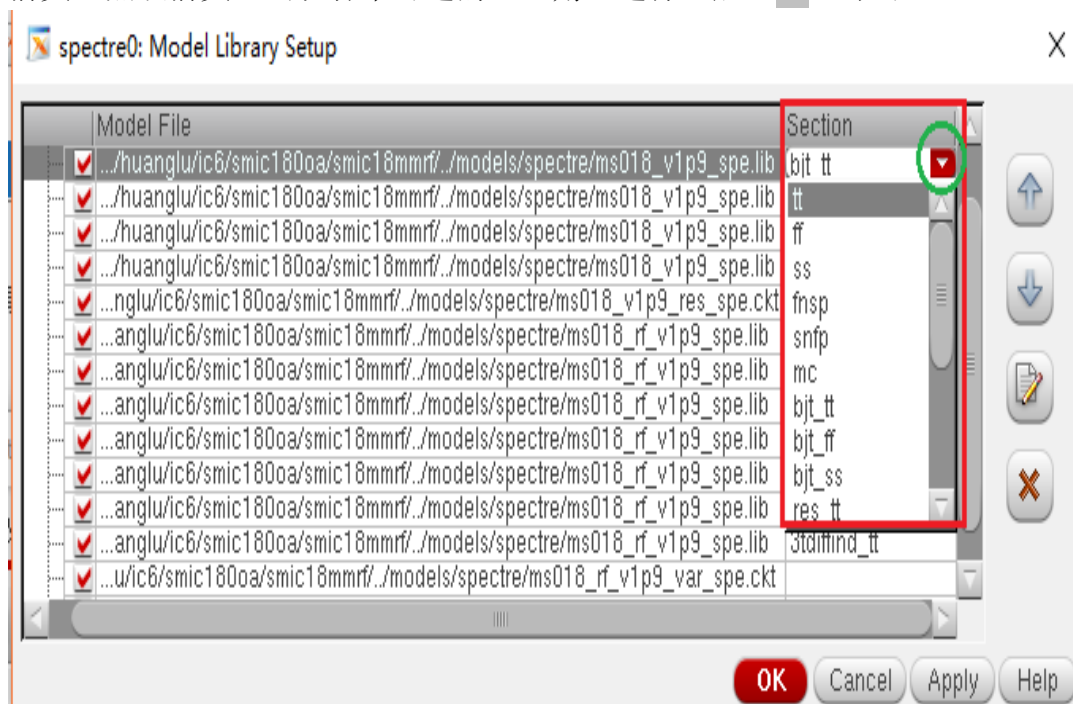
表明当前仿真工艺角 section 的缺省设置均是 tt（type）。

mos 有 5 种工艺角 tt, ff, ss, fnsf, snfp, 以及 mc 蒙特卡罗仿真;

三极管 bjt、二极管 dio、电阻 res、电容 var 和 mim、各种电感 ind 只有 3 种 section 选项，分别为 tt, ff, ss。

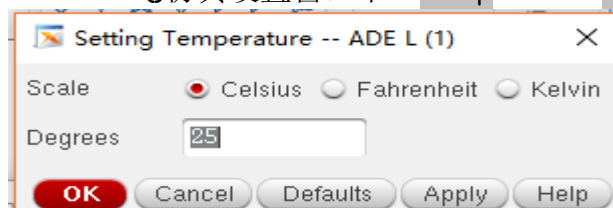
如何设置其它工艺角?

在 Section 区段，对需要修改的某行，鼠标左键点击一下，则右侧出现下拉箭头，点该箭头，出现各个可选的工艺角，选择之后“OK”即可。



若要设置仿真温度：

ADE LO仿真设置窗口中“Setup”→“Temperature...”



一般不需要改变温度而采用缺省值。无论摄氏 25° 还是 27° 均近似为绝对温度 300 K 室温，两种温度的电路性能误差不大。

产品设计时需要进行应用场景上下限温度（芯片允许达到的实际可能工作温度）电路仿真，应不超过模型极限温度，否则不能保证仿真正确性。

E. ADE L[]仿真设置窗口，设置输出（显示波形）：

菜单“Outputs” “Setup...”



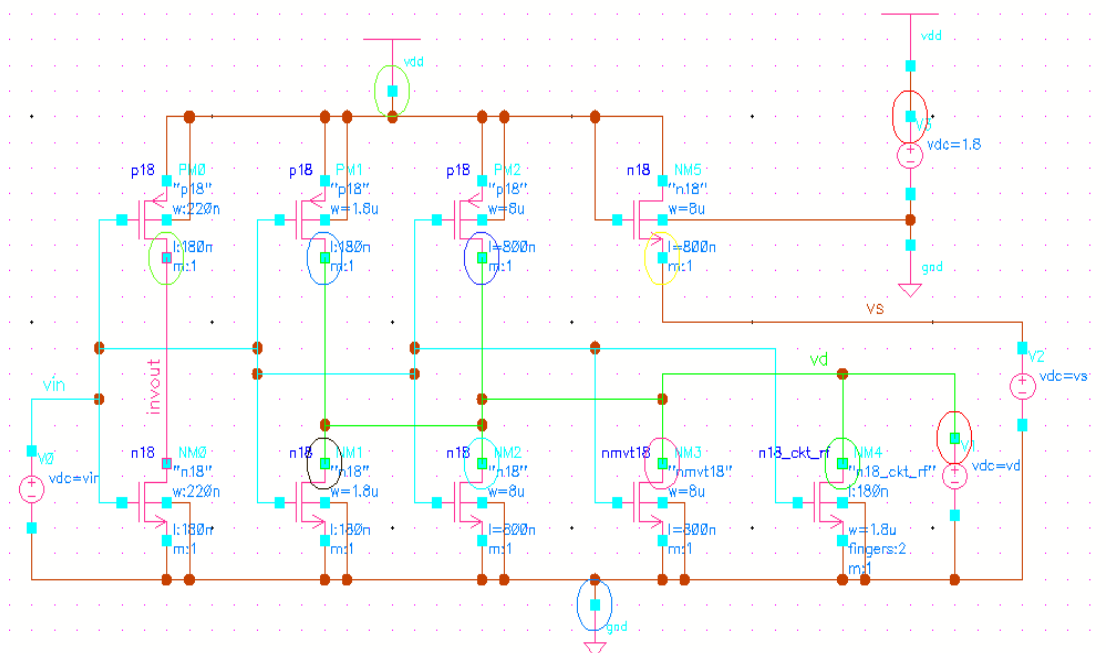
或 ADE L[]仿真设置窗口右侧 Setup Outputs 图标

在 Setup Outputs 窗口中，点击“From Schematic”，

然后在 ADE L Editing 电路图中点选 vin、invout 和 vd 线网电压，以及下图所示端口电流。

规则：点击端口为显示电流波形，点击网线为显示电压波形。

端口电流显示有一些限制，结合下例见后文的仿真结果说明。



若选错信号或希望删除某些已选信号(如上图左下位置 NM0 的 D 端口电流与左上位置 PM0 漏极电流相同，无需重复测量)，例如你选过 NM0 的 D 端口后希望放弃显示此波形，则在 Setting Outputs --ADE L () 窗口的“Table of Outputs”



列表选中 NM0/D 信号，然后 删除，或在 ADE L () 仿真



设置窗口的 Outputs 列表中选中该 NM0/D 信号，用 删除。

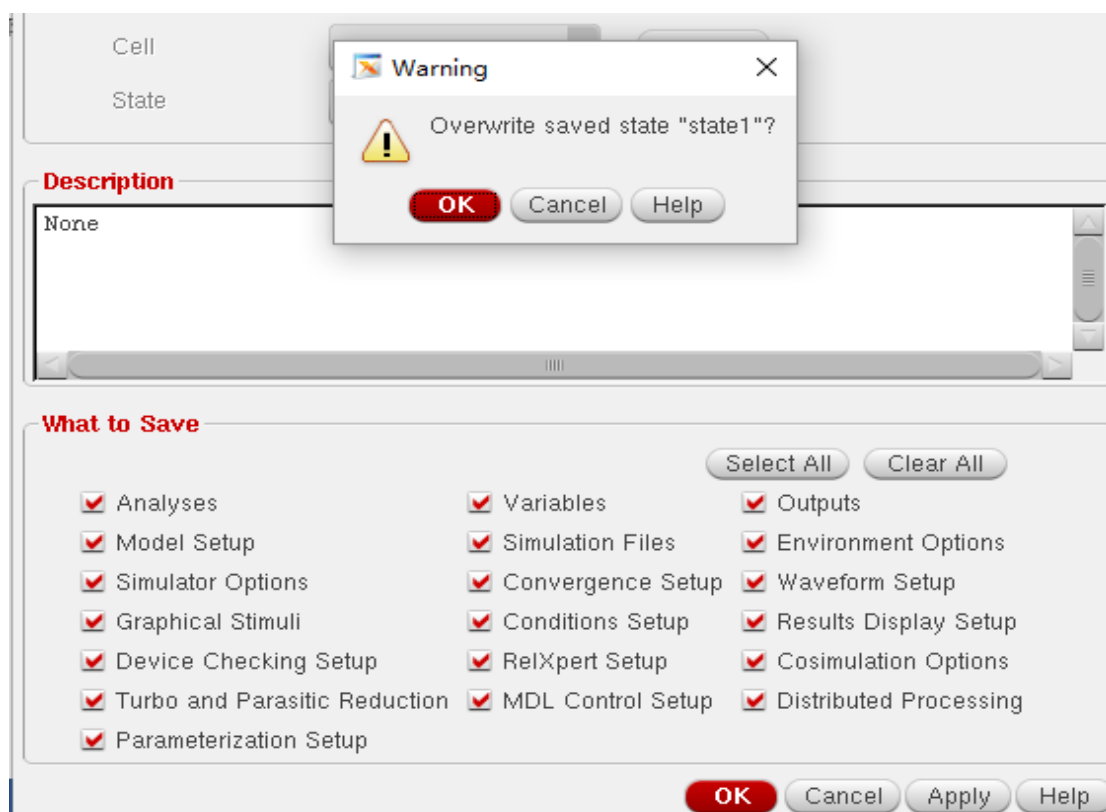
在 ADE L Editing 中 **ESC** 退出输出显示信号选择，未退出之前可继续按照选择端口电流和线网电压的规则添加输出显示信号。

在已退出输出显示信号选择后，若要改变（添加或减少）Outputs 显示信号，则再次使用 ADE L () 仿真设置窗口右侧的 Setup Outputs 工具图标。

保存仿真设置状态（注：也可在退出仿真时根据提示保存）：

在 ADE L () 仿真设置窗口中 “Session” -> “Save State...”
保存所设置的仿真条件。

若弹出警告（先前曾有仿真情况下），无需处理，不要在 Saving State-ADE L 窗口中改名（state1 文件与该电路的仿真设置与数据关联），OK 即可。

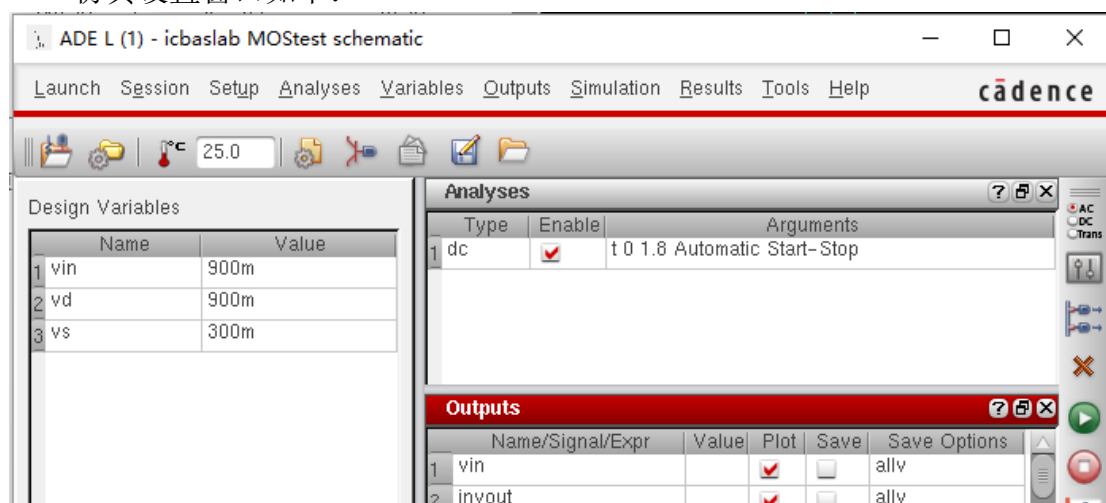


以后若需重复仿真，或者实验完成后请求老师检查仿真结果，Schematic L Editing 窗口“Launch”->“ADE L”后，在 ADE L() 仿真设置窗口“Session”->“Load State...”，即可自动恢复先前的仿真设置和仿真结果。

F. 仿真

检查 ADE L() 仿真设置窗口左侧 Analyses 栏“Enable”状态，应勾选有效（缺省），下方 Outputs 栏中选择信号“Plot”应有效（缺省），

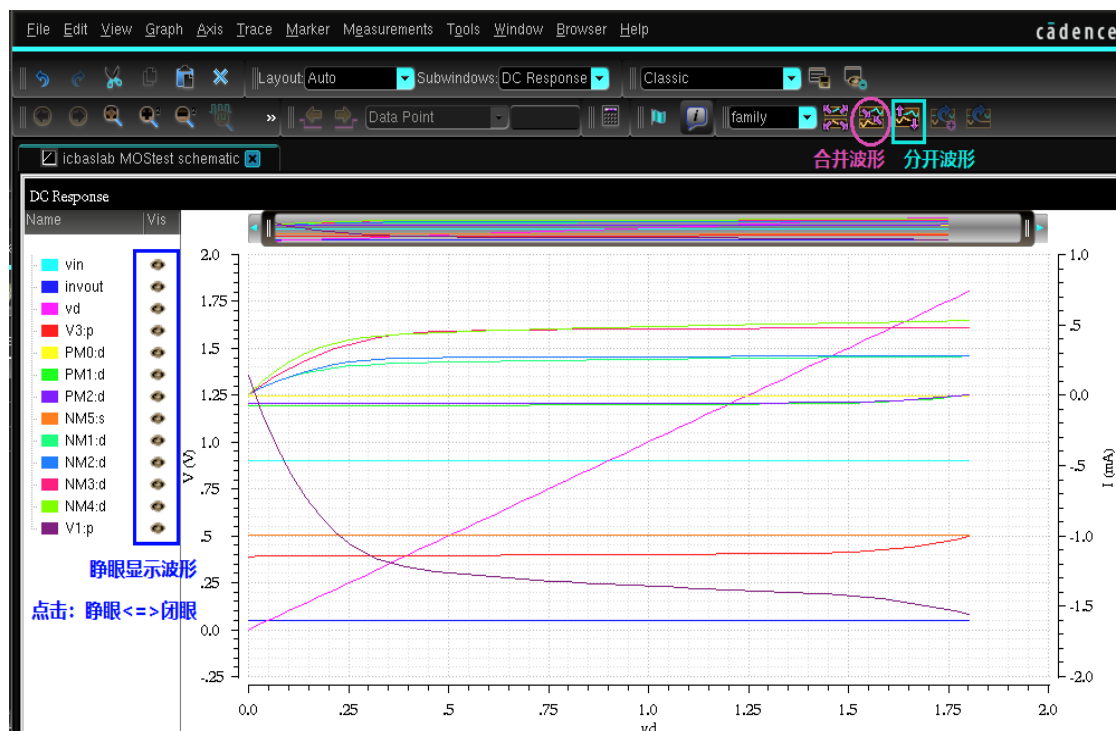
仿真设置窗口如下：



点击 Netlist and Run  图标运行仿真。

G. 查看仿真波形

仿真结束后出现 Virtuoso Visualization & Analysis XL 窗口显示波形图，

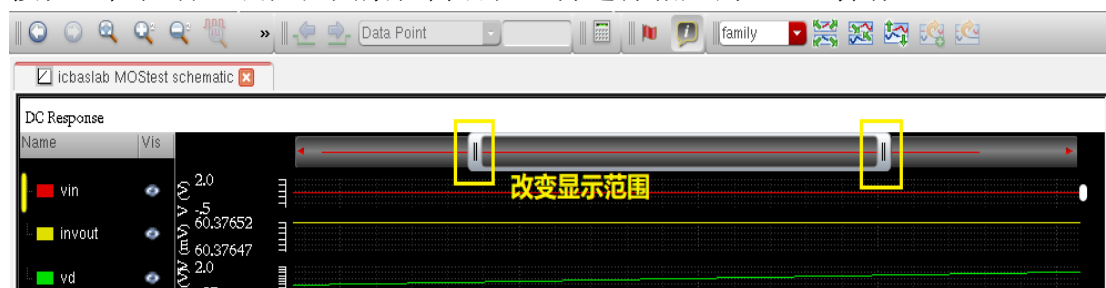


可点击右上“Split Current Strip”工具图标，分开各个波形。

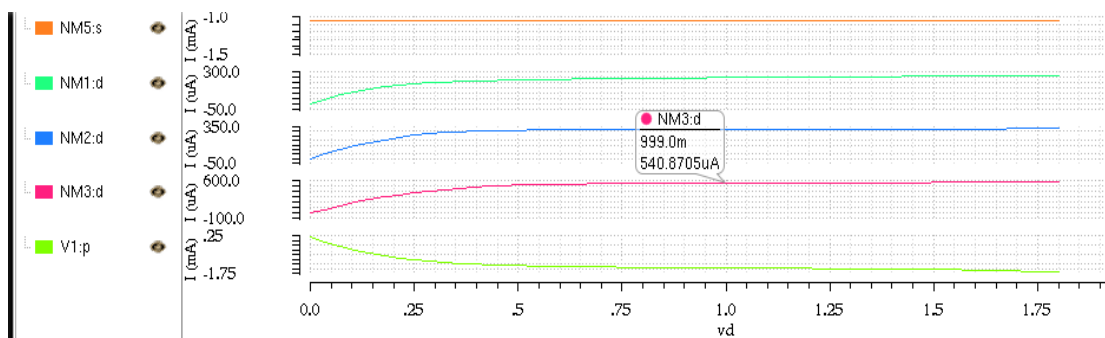
信号波形排列与 ADE L () 窗口中 Outputs 表基本一致，但是缺少了先前选中的 vdd 与 gnd 端口电流波形，即只能从电源单元端口获得电流而不能从 vdd 或 gnd 单元获得电流。若要获得电路功耗或电源电流，需查看 vdd-gnd 之间的电压源 vdc 上的电流，如上例中的 V3:p 端口电流。

可点击波形曲线左侧“眼睛”使其睁眼或闭眼，显示或隐藏相应的信号波形。

范围条框（下图左右 2 个方块标记）用于放大或缩小局部横坐标范围。鼠标按住边框拖动，或在范围条栏内右键，再选择相应的 zoom 操作。



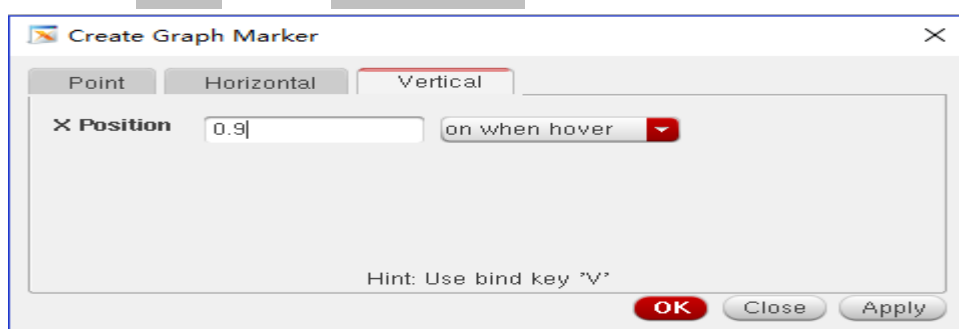
若对某个信号曲线某处数值感兴趣，则将光标放在该信号的波形曲线上，随光标显示横坐标（上方数字为横坐标，这里即 vd 扫描电压）和信号仿真值（下方数字）。



在波形图上标记关注点的数值（垂直线）：

•若在指定扫描电压位置处标记各信号值：

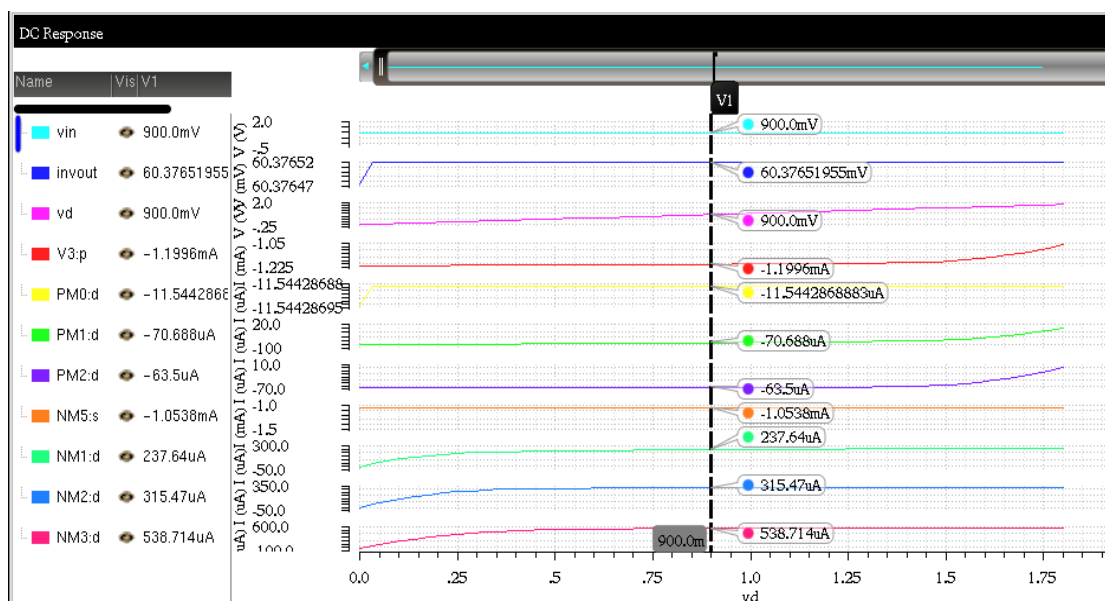
“Marker” → “Create Marker...”



波形图在指定 XPosition 处（本例为 vd）出现垂直标记线，显示各曲线的对应数值；鼠标离开垂直标记线进行点击，则曲线上的数值显示被隐藏；再次将鼠标放在垂直线上，曲线上数值重现，点击后保留显示数据。

眼睛右侧数据始终对应最后标记的垂直线上数值。

若要删除波形上的垂直标记线：光标放在垂直线上，鼠标右键后选“Delete”；或 **ESC** 键退出右键所显示菜单。

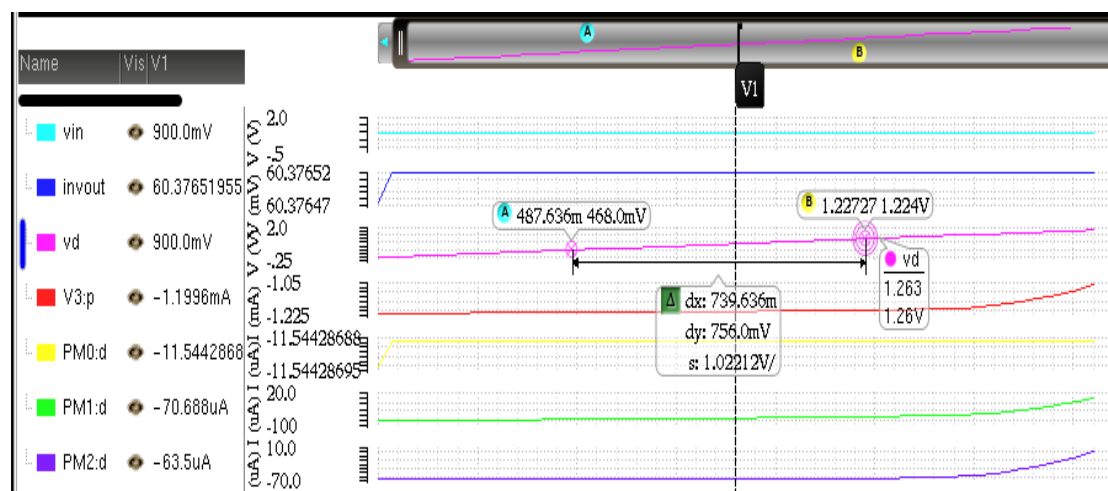


若要在任意处或多处标记：

光标放在任意曲线上，**A** 键，出现圆圈并显示该点横纵数值。

也可顺便显示全部曲线的值：在该圆圈处右键，选 “**Create Vertical Marker**”（下图），拖动垂直线到希望的横坐标位置。

光标放在曲线上另一处，**B** 键，出现圆圈并显示该点横纵数值。



波形窗口中还给出了 A 和 B 点之间的距离差值，包括：

横向距离 dx ，纵向距离 dy ，斜率 $s = \text{纵向距离} / \text{横向距离}$ 。

后续设计放大器实验时，输出压摆率（转换速率）可由此 s 计算。

若要删除全部标记：“**Marker**” -> “**Delete All**”。

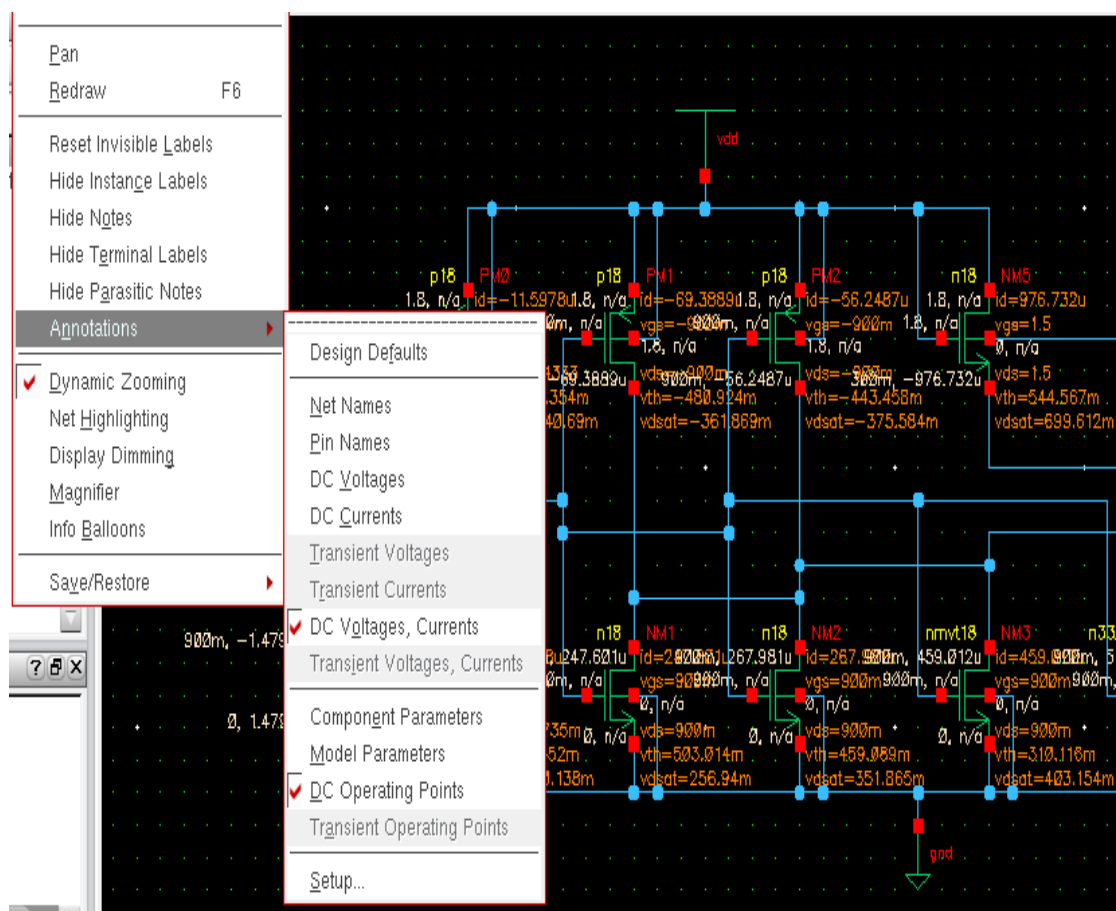
6. 在仿真关联电路图上标注工作点

在 ADE L Editing 仿真关联电路图编辑窗口，

“**View**” -> “**Annotations**” -> “**DC Operating Points**” 进行工作点标注，包括漏极电流 i_d 、栅源电压 v_{gs} 、漏源电压 v_{ds} 、跨导 g_m 等；

若要查看 MOS 端口电压和先前 Setup Outputs 设置的端口电流，则点击使 “**DC Voltages, Currents**” 有效，显示各个 MOS 管的栅极 G、漏极 D 和源极 S 的电位和电流。

下图是 “**View**” -> “**Annotations**” 的选项：



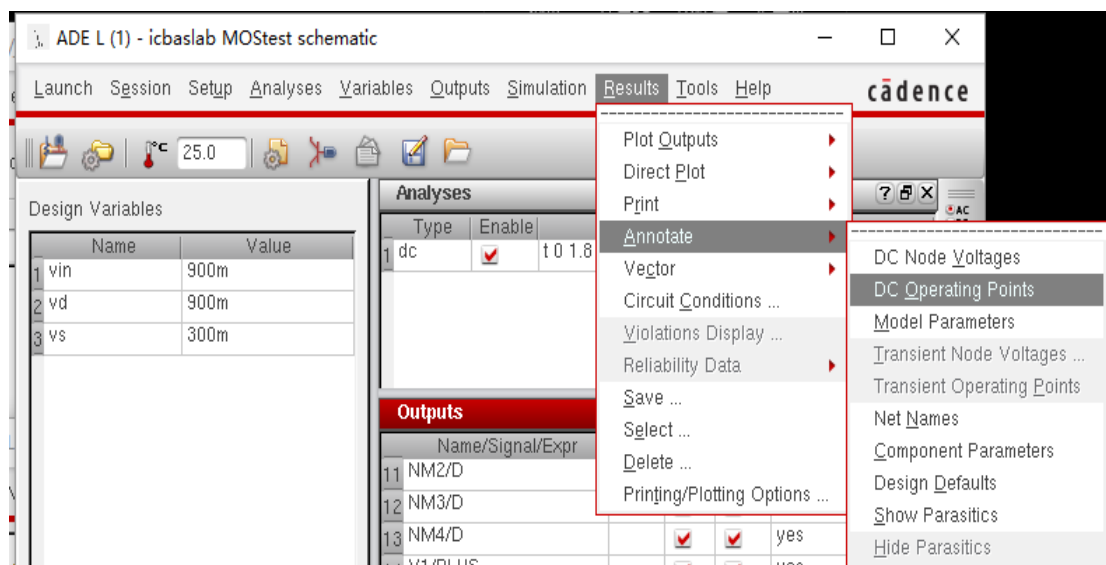
可以看出，对于扫描变量 v_d ，由先前设置 v_d 的 Value = 0.9 确定其工作点，工作点与扫描变量值（0~1.8V）无关。

若要查看器件尺寸，点击上图使“Component Parameters”有效。

取消器件尺寸参数标注：点击 Component Parameters 前勾号 \checkmark 使之消失。

原始电路图（Schematic L Editing 窗口）与仿真关联电路图（ADE L Editing 窗口）是不同设计阶段的同一个电路图，Launch→ADE L 进入仿真设置窗口后关联电路图自动替代原始电路图，仿真关联电路图只有运行仿真后才能显示仿真后的工作点，否则“DC Voltages, Currents”栏为不可选（灰色字体）。

也可在 ADE L () 仿真设置窗口设置，使电路图上显示工作点或器件尺寸：“Results”→“Annotate”→“DC Operating Points”或“Component Parameters”。



目前版本软件不能使用 ADE L[序号]-仿真设置窗口来消除仿真关联电路图上工作点或器件参数等显示信息，只能使用 ADE L Editing 仿真关联电路图窗口中的“View”->“Annotations”消除电路图上相关显示信息。

7. 查看 MOS 管工艺参数：

在 ADE L 0 仿真设置窗口，“Results”->“Print”->“DC Operating Points”，

在 ADE L Editing 仿真关联电路图窗口中，点击 NMO，弹出 Results display Window 窗口，填写表 1.2 中所列的器件参数。

清除 Results display Window 的先前器件参数，“Window”->“Clear”；

然后在 ADE L Edit: 库名 单元名 schematic 关联电路窗口的电路图中，参考表 1.2 中顺序选下一个 MOS 管，参数显示在 Results display Window 窗口中；

重复进行上述步骤。

表 1.2: MOS 工作点为 $v_{in}=0.9V$ ($=V_{gs}$)， $V_d=0.9V$ ($=V_{ds}$) 时的一些电学参数。

空白栏必填，保留 4 位有效数字，省略 MOS 管参数前的“-”负号；

表中标记“*”栏选做，标记“--”栏不填。

| 器件标号 | 单元名 | W/L (μm) | betaeff | Cdb | Cgd | Cgs | gm (μS) | id (μA) | Vth(mV) |
|------|-----|--------------------|---------|-----|-----|-----|-------------------|-------------------|---------|
| NMO | n18 | 0.22/ 0.18 | | -- | -- | -- | -- | -- | |
| PMO | p18 | 0.22/ 0.18 | | -- | -- | -- | -- | -- | |
| NM1 | n18 | 1.8/ 0.18 | | -- | -- | -- | -- | * | |
| PM1 | p18 | 1.8/ 0.18 | | -- | -- | -- | -- | * | |
| NM2 | n18 | 8/ 0.8 | | | | | | | |

| | | | | | | | | | |
|-----|----------------|--------------|----|----|----|----|----|----|--|
| PM2 | P18 | 8/ 0.8 | | | | | | | |
| NM3 | nmvt18 | 8/ 0.8 | ** | -- | -- | -- | ** | | |
| NM4 | n18_ ckt_rf | 1.8/ 0.18 | ** | | | | ** | | |
| NM5 | n18 | 1.8/ 0.18 | ** | -- | -- | -- | ** | ** | |

表 1.2 中的多个参数在后续设计实验中需要采用。

说明： $\text{betaeff} = \mu \cdot \text{Cox} \cdot W / L_{\text{eff}}$ [A/V^2]，由此数据可获得 MOS 管的工艺跨导 $\mu \cdot \text{Cox}$ ， $L_{\text{eff}} = L_{\text{drawn}} - L_{\text{dif}}$ ， L_{drawn} 是电路图中 MOS 长度，上表中为 L 。

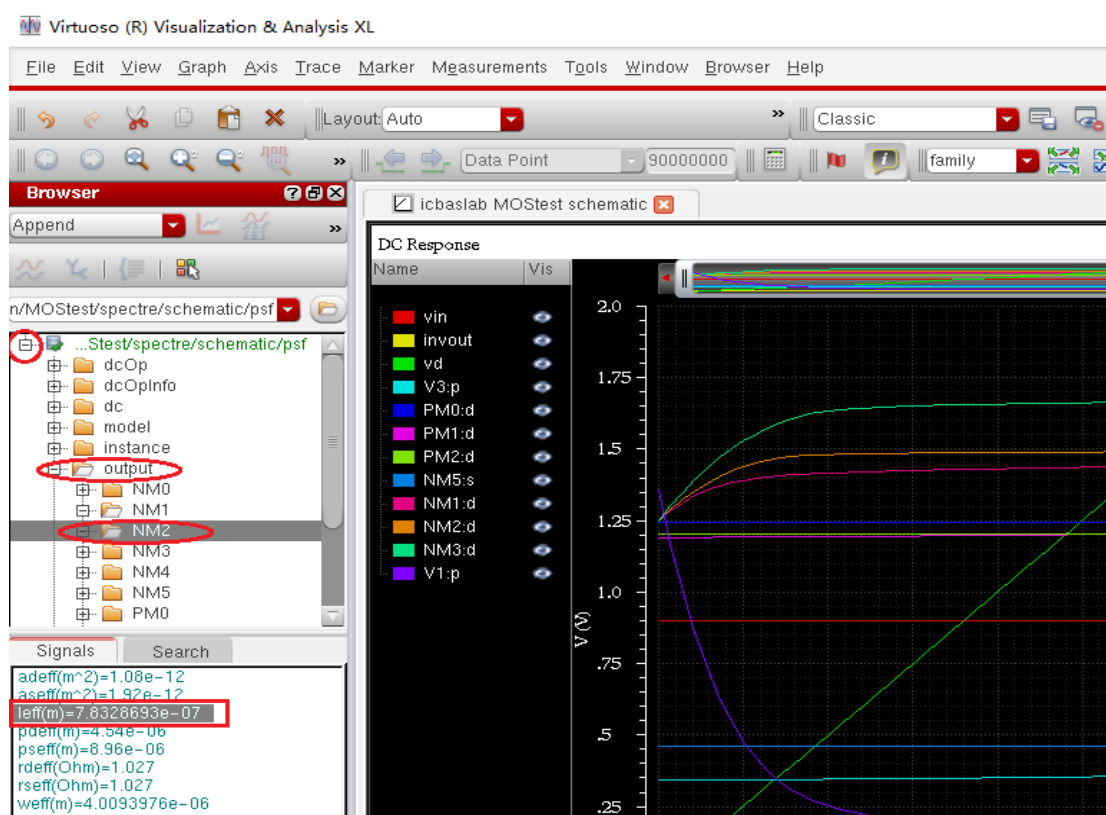
Results display Window 给出的工作点数据，是由 $v_{\text{in}}=0.9V$ ， $v_{\text{d}}=0.9V$ 仿真得到，可在 Results display Window 窗口查看 MOS 管的工作区域 region:

2 表示饱和区，0 截止区，1 三极管区（线性电阻区），3 亚阈值区，4 击穿。

查看 MOS 有效沟道长度 l_{eff} :

ADE L () 仿真设置窗口，“Tools” → “Results Browser”。

在波形图窗口左侧出现 spectre 仿真信息，点击左侧圆圈展开.../M0Stest /spectre/schematic/psf，然后点“output”→“NM2”，于是在 Signals 栏中得到 NM2 ($L=0.8\mu$) 的 l_{eff} 参数。



L 设计值为 $0.8\mu\text{m}$ ，上图中 L_{eff} 约为 $0.783\mu\text{m}$ ；故当 $L \gg$ 特征尺寸时， L_{eff} 采用设计值 L 近似计算，相对误差不大。

同样方法获得 NM1 ($L=0.18\mu\text{m}$)、PM1 ($L=0.18\mu\text{m}$) 和 PM2 ($L=0.8\mu\text{m}$) 的 L_{eff} 。

工艺参数是测量的统计值。实际上与 MOS 尺寸有关, 不仅有效长度比 L 设计值减小, 而且有效宽度与设计值 W 有或正或负的误差。因宽度相对误差较小, 且不知宽度误差的正负, 手算时只得假定 MOS 宽度是设计值。

不同长度的工艺跨导有差别, 后续实验 2 是数字电路, 主要是依据比对逻辑阈值调整 MOS 尺寸, 不必严格计算工艺跨导; 后续实验 5 设计运放电路是按 MOS 取 $L=0.8\mu\text{m}$ 。

按照 NM2 和 PM2 的 β_{eff} , 计算 $L=0.8\mu\text{m}$ 时 $n18$ 和 $p18$ 的工艺跨导 $\mu_n \cdot C_{\text{ox}}$ 和 $\mu_p \cdot C_{\text{ox}}$, 注意工艺跨导的数量级和单位量纲。

数字中的 m (milli)、 μ (micro)、 n (nano)、 p (pico) 分别表示 10 的 -3 、 -6 、 -9 、 -12 次方数量级; 寄生电容使用更小的数量级单位, 缩写为:

(femto) $f=10^{-15}$, (atto) $a=10^{-18}$, (zepto) $z=10^{-21}$

考察寄生电容数值, 与分立器件电容明显不同, 准确估算寄生电容较为困难。电路中寄生电容很多, 且与工作状态有关; 因此实际电路设计时, 只进行手工计算直流工作点, 而与寄生电容有关的交变信号各种参数需要依靠 EDA 软件进行。

短沟道模拟电路设计时, 饱和区工作要求 $v_{\text{ds}} > v_{\text{dsat}}$ 。

关闭 Results display Window 窗口。

8. 从波形图上获得 MOS 输出电阻 r_o 和沟道长度调制系数 λ

计算 $n18$ 和 $p18$ 分别在沟道长度为 180nm 和 $0.8\mu\text{m}$ 时的 λ 。

获取饱和区的 MOSFET λ 。

波形窗口中, 可使无关信号闭眼, 仅显示左起第二反相器 NM1 与 PM1、左起第三反相器 NM2 与 PM2 的电流信号、 v_{in} 和 v_{d} 电压信号波形。

上述两个反相器输入 $v_{\text{in}} = 0.9\text{V}$, 输出 v_{d} 为 $0 \sim 1.8\text{V}$ 扫描, 当 v_{d} 为 $0.5 \sim 1.3\text{V}$ 时 NMOS 和 PMOS 均工作在饱和区。

注意: DC 工作点即表 1.2 中数值是设置 $v_{\text{d}} = 0.9\text{V}$ 得到的。

“Marker” \rightarrow “Create Marker”, 在 Create Vertical Marker 窗口的 Vertical 面板 X Position 设置 **1**, 得到 $V_{\text{d1}} = 1(\text{V})$ 时相关 MOS 漏极电流 I_{d1} ;

同样, 获得 X Position=**0.8** (V) 时相关 MOS 漏极电流 I_{d2} , 填写表 1.3。

利用表 1.2 的 $v_{\text{ds}}=v_{\text{d}}=0.9\text{V}$ 时相关 MOS 漏极电流 I_{d} , 填写表 1.3。

输出电阻计算公式为: $r_o = (V_{\text{d1}} - V_{\text{d2}}) / (I_{\text{d1}} - I_{\text{d2}})$; 注意 PMOS 电流是负值。

$$\lambda = \frac{1}{r_o I_{\text{d}}}$$

取 $v_{\text{d}}=0.9\text{V}$ 时的 I_{d} , 计算沟道长度调制系数 λ 保留小数点后 3 位有效数字。

表 1.3 估算 λ

| 器件 | W/L | Vd1=1 V Id1[μ A] | Vd2=0.8V Id2[μ A] | Vd=0.9 V Id[μ A] | λ 保留小数 点后 3 位 |
|-----|----------|--------------------------|---------------------------|--------------------------|--------------------------|
| NM1 | 1.8/0.18 | | | | |
| PM1 | 1.8/0.18 | | | | |
| NM2 | 8/0.8 | | | | |
| PM2 | 8/0.8 | | | | |

宽长单位是 μm 。 λ 并非恒定值，与工作状态有关。

- 1) λ 与 MOS 管长度 L 成反比的理论公式，仅是老工艺（特征尺寸 L 较大）时的近似规律；现代 BSIM 模型中已不给出（无法） λ 值，理论课考试时需要注意给出 λ 的 L 条件，按教科书公式计算 λ 。
- 2) 从获得的 λ 数值可知，当计算饱和区 MOS 漏级总电流时可忽略 λV_{DS} ,

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS})$$

$$\approx \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} V_{OD}^2$$

MOS 漏级总电流仅与过驱动电压 V_{OD} 有关。

- 3) 已知 MOS 漏级电流 I_D 时，计算饱和区输入电压 V_{GS} ，与 λ 基本无关：

$$V_{GS} = \sqrt{\frac{2I_D}{\mu_n C_{ox} \frac{W}{L}}} + V_{TH}$$

- 4) 若 NMOS 工作在饱和区，则输出最低电位 = $V_G - V_{TH}$ 。

9. 退出实验：

A. 保存仿真设置 state:

若先前已进行仿真设置并保存过 Save State，则可跳过此步。

在 ADE L 仿真设置窗口，“Session” -> “Save State...”，以后再次实验式用“Load State”即可恢复仿真设置。

B. 按照后文的实验报告要求，截屏拷贝：

申请实验教师或助教检查实验结果，查看电路图、仿真设置与仿真结果；

C. 关闭波形显示与相关信息窗口、ADE L () 仿真设置窗口、Schematic 电路图窗口、Library Manager 窗口、Virtuoso CIW 窗口；

D. 最后退出 Xshell 远程桌面。

● 实验报告要求

1. 根据仿真结果填写或计算表 1.2 和表 1.3 所要求的参数；
2. 回答问题：
 - A) nmvt18 和 n18 管的阈值电压大约相差多少？
 - B) 衬偏电压 0.3V 时，由于衬偏效应导致 NM5 阈值电压增大多少？

- C) 射频管 n18_ckt_rf 与普通 n18 管相比, 射频管的 c_{gd} 有什么特点?
- D) $L=0.8\mu m$ 时, $n18$ 的 λ_n 和 $p18$ 的 λ_p 分别是多少?
- E) $L=0.8\mu m$ 时, $n18$ 的 $\mu_n C_{ox}$ 和 $p18$ 的 $\mu_p C_{ox}$ (工艺跨导) 分别是多少? 给出单位量纲, 注意工艺跨导的数量级。
- F) NM2 和 PM2 的 c_{gs} 、 c_{gd} 、 c_{ds} 分别是多少?

按实验教师或助教要求处理实验报告。

● 复工指南:

如中途因故退出 EDA 平台, 需要重新实验:

远程登录中科大 EDA 平台;

选择适当的计算服务器节点 `ssh -X c01n??`

查看一下是否有先前未关闭的 `virtuoso` 进程?

在 Xshell 窗口: `ps -ef`

不应看到仍有未正常退出的 `virtuoso` 进程 (如下图):

```
[huanglu@c01n08:/js1/huanglu/ic6]$ ps
  PID TTY          TIME CMD
 27246 pts/4        00:00:00 tcsh
 27317 pts/4        00:00:02 virtuoso
 27404 pts/4        00:00:00 cdsServIpc
 27423 pts/4        00:00:00 tcsh
 27473 pts/4        00:00:00 cdsServIpc
 27475 pts/4        00:00:00 cdsServIpc
 27518 pts/4        00:00:00 libManager
 27519 pts/4        00:00:00 libSelect
 27644 pts/4        00:00:00 ps
[huanglu@c01n08:/js1/huanglu/ic6]$
```

若有 `virtuoso` 进程, 需删除相应 PID, 上例为 `kill -9 27317`。

进入你的实验目录, 即/你的账号/anacmos: `cd anacmos`

设置环境 `setdt ic616 mmsim`

运行 `Virtuoso &`

打开 MOStest 单元: “Tools” → “Library Manager”,

在 Library Manager 窗口中, 选 “icbaslab” 库 → “MOStest” 单元, 双击 “schematic” 视图(view)。

在 SchematicL Editing 窗口 “Launch” → “ADE L” 进入 ADE LO 仿真窗口, 若先前已设置仿真并保存 Save State..., 则 “Session” → “Load State...”, 恢复所有仿真设置。

附录：预备知识

(1) 业界主流 EDA 公司简介

Cadence（楷登）和 Synopsys（新思科技）是当前国际上技术领先的两大 EDA 公司，均拥有全流程 IC 设计工具；其中 Cadence 以射频和模拟集成电路设计 EDA 仿真工具见长，Synopsys 以数字集成电路设计尤其是逻辑综合 EDA 工具见长；Mentor Graphics（明导）是目前国际上排位第三的 EDA 公司，其特点是物理验证工具功能突出，Calibre 软件即出自该公司；华大九天是中国最著名的 EDA 公司，拥有较全面的自主产权 EDA 工具。

(2) 模拟/射频集成电路设计的一般流程

IC 设计分为前端设计和后端设计。前端设计包括模拟/射频系统的电路图编辑输入或数字系统的硬件描述语言（HDL）编程输入、并进行仿真模拟（前仿）；后端设计主要包括版图设计和物理验证；对于高速和射频系统还需要版图寄生参数提取（一般是 R 和 C）并进行版图后仿真。

模拟/射频集成电路设计一般流程有 7 个主要步骤：

1. 系统功能和性能定义
2. 电路设计
3. 电路仿真
4. 版图设计
5. 物理验证
6. 寄生参数提取与后仿
7. 导出芯片制造（流片）所需要的 GDSII 格式版图数据文件。

电路设计与仿真、版图设计、物理验证及后仿是模拟/射频集成电路设计工程师的主要任务，均需在相应功能 EDA 工具和特定工艺库支持下完成。

(3) CMOS 模拟集成电路前端设计及仿真 EDA 工具简介：

● Cadence 公司的 Spectre

用于模拟/射频集成电路、混合信号集成电路设计仿真 EDA 软件。主要包括直流仿真分析[DC]、瞬态仿真分析（TRAN）、交流小信号仿真分析（AC）、噪声仿真分析（Noise）、零极点分析（PZ）、周期稳定性分析[Periodic Steady state: PSS，主要用于射频电路设计]、蒙特卡罗分析（MentoCarlo: MC）。

采用图形界面的电路输入方式，设置 Spectre 仿真比较简单直观。

半导体晶圆制造厂[foundry] 均有适用于 Cadence EDA 仿真工具软件的工艺库设计工具包（PDK: Process Design Kit），进行电路设计之前尽量了解一下核心内容，如器件种类、温度适用范围等。

Spectre 可与其它 EDA 仿真工具如 MATLAB、ADS、HSPICE 进行协同仿真。

对于大规模电路，可用多台服务器并行仿真。

若采用 Spectre 仿真时间很长或无法运行，也可使用 Spectre Ultrasim 仿真工具软件，其缺点是仿真精度较低。

- Synopsys 公司的 HSPICE

与 spectre 功能相似，具有直流仿真、瞬态仿真、交流小信号仿真、噪声分析、零极点分析、傅里叶分析、最坏情况分析、蒙特卡罗分析等功能。

与 spectre 不同，HSPICE 仿真是通过导出电路网表和仿真命令文件进行的。

对于大规模电路，若采用 HSPICE 仿真时间很长或无法运行，使用 Hsim 仿真将大大提高仿真速度，但缺点是仿真精度较低，误差较大，可能导致一些电路无法正确仿真。

- Mentor 公司的 Eldo

使用与 HSPICE 相同的命令方式进行仿真，也可集成到 Cadence 的电路图编辑工具环境中。

各种模拟仿真工具实质都是 SPICE (Simulation program with integrated circuit emphasis) 仿真，因计算量大且内存需求大，皆不适合很大规模的数字电路设计。

(4) 模拟与射频电路分析方法分类

■ 直流分析 DC analysis (dc): 获得直流工作点 (DC operating point)，直流转移曲线 (DC transfer curves)。

■ 交流/小信号分析 (AC/small signal analyses)，包括：

□ 交流分析 (ac): 获得线性电路直流工作点，计算给定正弦激励的小信号稳态响应 (直流工作点不变)，即小信号传递函数；

□ 噪声分析 (noise): 获得线性电路直流工作点，计算输出端 (电压或电流) 的总噪声谱密度 (total-noise spectral density)。若指定输入端，可获得传递函数和等效输入参考噪声 (equivalent input-referred noise)；

□ 传递函数分析 (xf): 获得线性电路直流工作点，进行小信号分析。对于指定的输出电压或电流，计算每个信号源对应的传递函数。

□ S 参数分析 (sp): 获得线性电路直流工作点，计算作为多端口电路的 S 参数；对每个端口顺序地进行线性小信号分析，并转换为端口的 S 参数，用于分布式元件参数的 (微波/ 高频) 电路信号传输匹配 (反射) 特性分析。

■ 瞬态分析 Transient analyses

□ 瞬态分析 (tran): 计算一段指定时间间隔的电路瞬态响应。可以指定初始条件；若未指定初始条件，则从直流稳态开始计算；设置精度和数据点数量会影响仿真速度。

瞬态仿真结果类似于示波器测量，是检查模拟与射频电路能否正常工作的必要依据。

■ **极零点分析 (pz): Pole Zero analysis** 获得线性电路直流工作点，计算线性网络的极点和零点，用于反馈电路的稳定性判断。

■ **RF 射频分析**，主要方法和特点有：

一些典型的射频电路由于有大的本振信号调制，导致 DC 工作点不恒定，具有周期性或准周期性特征。

□ **包络分析(envlp)**：计算包络响应，仿真器通过查看所有信号源自动确定时钟周期，对于调制带宽低于时钟频率数量级的电路，包络跟踪分析最为有效。例如，在时钟是唯一快速变化信号的电路中，通常其它输入信号的频谱范围比时钟频率低几个数量级。两个频率接近的输入信号进行下混频转换也可以生成一个缓慢变调制包络。包络分析生成两种类型的输出文件，一种是电压与时间（td）文件，另一种是基频时钟谐波的振幅/相位与时间（fd）文件。

□ **谐波平衡稳态分析 (HB)**：使用谐波平衡（在频域中）计算具有一个基频（周期稳态，PSS）或具有多个基频（准周期稳态，QPSS）的电路的响应。HB 分析确定电路的周期性或准周期性工作点，可用于周期性或准周期性时变小信号分析，如 HBAC 或 HBnoise。

□ **周期性分析**：Spectre RF 将周期大信号分析（PSS）和周期小信号分析（PAC、PSP、PXF、Pnoise 和 Pstb）添加到 Spectre 仿真中。

□ **准周期分析**：Spectre RF 将准周期大信号分析（QPSS）和准周期小信号分析（QPAC、QPSP、QPXF 和 QPnoise）添加到 Spectre L 仿真中。

■ **其它分析**，主要包括：

□ **灵敏度分析 (sens)**：计算输出变量对应于输入设计参数的灵敏度。结果表示为输出变量的变化与输入设计参数变化的比率。Sens 分析的输出存到 rawfile 原始文件或 ASCII 文件中；

□ **傅里叶分析 (fourier)**：不加载电路的情况下，测量指定基频两个不同信号的傅里叶系数。使用的算法基于傅里叶积分而不是离散傅里叶变换，因此不受频率混叠的影响。对于宽带信号能够准确有效地计算数量不多的傅里叶系数。

傅里叶分析适用于分析由 sigmadelta 转换器、脉冲宽度调制器、数模转换器、采样保持电路、开关电容滤波器产生的时钟正弦波，以及放大器或滤波器产生的低失真正弦波。

□ **直流匹配分析 (dcmatch)**：计算由器件不匹配引起的电路直流工作点的统计偏差。

□ **稳定性分析 (stb)**：获得线性电路直流工作点，计算特定反馈回路或有源器件的环路增益、增益裕度和相位裕度。

■ **高级分析**

□ **扫描分析 (sweep)**：扫描一个参数，为参数的每个扫描值得到分析列表。

□ **缺陷分析 (fault)**：提供晶体管级模拟功能，通过识别关键测试模式来提高测试覆盖率。

□ **蒙特卡洛分析 (montecarlo, mc)**：根据指定的偏差分布和相关性，更改网表参数，运行嵌套子分析，并提取指定的电路性能测量值。采用工艺和器件

对器件的失配参数的改变量，标记相关的“匹配对”，测量电路性能，性能数据（例如带宽、**slew rates** 等）画作直方图或散点图。

■ 热电子退化分析：在模拟热电子退化时控制电路的老化。

具有周期性或准周期性工作点的大信号电路，例如用时钟信号调制的混频器、开关电容滤波器等电路，需要使用周期性或准周期分析；本实验系列设计非产品级的普通 CMOS 运放电路，仅涉及具有稳定 DC 工作点的模拟电路，因此使用模拟 IC 设计最常用几个分析方法，进行相关的 EDA 仿真技术指导。