

# 《模拟集成电路设计实验》指导

中科大微电子学院 黄 鲁 编写

## 实验 2、CMOS 数字电路基本单元前端设计方法

### ● 实验目的：

\* 通过数字单元反相器链、与非门、D 触发器的电路设计，掌握 tran 瞬态仿真方法；

\* 了解数字电路的时钟偏斜 clock skew；

\* 了解时序单元输入与时钟触发 setup 的必要性。

### ● 实验说明

在很多数模混合电路中，需要一些数字逻辑单元。本实验设计组合逻辑电路反相器链和 2 输入与非门，以及时序逻辑电路 DFF 触发器。

瞬态仿真能够获得大信号变化的过程细节。考虑到负载电容的充放电过程，一般瞬态仿真需要多个时钟周期后才有稳定输出。使用能够反映电路工作过程的瞬态仿真（类似实物测试的示波器），以便发现设计中的问题。

关于反相器时钟链抖动与开关阈值电压  $V_M$  的知识

#### 1. 时钟抖动 JITTER 的来源及影响

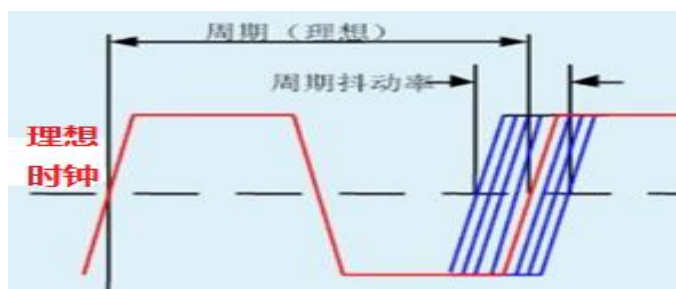
反相器链由多级反相器级联而成，时钟树是其典型应用。它的源点可能是芯片外部的时钟输入端口，也可能是芯片内部电路某个单元的输出端口 pin；CLOCK 信号源只有有限的驱动能力，经多级反相器级联形成时钟链，驱动若干个时序逻辑单元的 CLK 端；时钟数级联（反相器链）的级数根据电路负载情况和所使用的反相器单元而确定。

应使所有时钟信号终点的 clock skew（时钟扭斜，即各负载时钟到达时间的差异）、insertion delay（包括反相器链之前和中间延迟）以及 transition（沿边时间）满足电路设计要求。

为减小 clock skew，采用平衡搭建的网状结构（H 形和 X 形等）形成版图的时钟树。时钟质量的重要指标是时钟抖动，造成时钟抖动的原因较多，主要原因是时钟产生电路 PLL 锁相环的相位噪声，以及反相器链（时钟传输与驱动）的 JITTER 抖动。

反相器链自身 JITTER 来源：电源噪声、串扰和反相器翻转边沿抖动，均导致时钟上升沿和下降沿的摆率不同，即开关阈值电压  $V_M$ （影响翻转电平）有偏差。

下图表明，反相器链输出时钟抖动导致占空比不恒定。时钟边缘抖动迫使设计逻辑电路时，需要留出较大的不确定时间，即需要较大的 SETUP 时间，降低了系统时钟的允许速度。在设计数字系统时，用 HDL（硬件描述语言）编写系统代码后，需用逻辑综合工具生成数字电路，clock skew 和时钟 JITTER 抖动是设置 set\_clock\_uncertainty 的主因；逻辑综合相关知识可参考清华大学出版社“高级 ASIC 芯片综合”（第 2 版，Himanshu Bhatnagar 著、张文俊译）。



## 2. 减小反相器链的输出抖动

反相器开关阈值电压  $V_M$  也称为逻辑阈值电压（注意不要与 MOS 管的阈值电压  $V_{th}$  弄混），是反相器输入与输出相同时的电位。

理想工艺（NMOS 同 PMOS 的阈值  $V_{TH}$ 、栅氧电容  $C_{ox}$ 、有效沟道长度  $L_{eff}$  皆相同）的  $V_M$  为  $1/2$  电源电压，此时得到反相器中 NMOS 和 PMOS 的宽度之比，使得当输入为方波时，反相器输出电压的上升沿和下降沿时间基本相同，多级反相器组成反相器链的输出抖动较小，抖动是数字电路的 *uncertainty* 来源之一。

理想工艺下，反相器开关阈值电压  $V_M = V_{DD}/2$  时 P 管和 N 管宽度比为

$$\text{反相器} \beta = \frac{W_p}{W_n} = \frac{k'_n}{k'_p} = \frac{\mu_n C_{ox}}{\mu_p C_{ox}} = \left( \frac{n18 \text{ 的 } \beta_{eff}}{p18 \text{ 的 } \beta_{eff}} \right)_{W/L \text{ 相同}}$$

实际工艺中 NMOS 和 PMOS 的  $V_{TH}$ 、 $C_{ox}$ 、 $L_{eff}$  皆不相同（非理想工艺），因此按上式得到的反相器并不能保证上升沿与下降沿时间相同，实际上采用  $V_M = V_{DD}/2$  进行优化的方法更为简单实用。其依据是，只要 NMOS 和 PMOS 的  $V_{TH}$ 、 $C_{ox}$ 、 $L_{eff}$  相差不大，则当  $V_M \approx V_{DD}/2$  时，反相器输出上升沿和下降沿时间相差也不大。仿真虽是在 TT 典型工艺角条件下的结果，而实际流片后 MOS 器件的工艺角未知，但是根据统计概率，设计  $V_M = V_{DD}/2$  对于减小由于电源噪声、串扰和翻转边沿抖动造成的反相器输出 JITTER，具有统计意义上的最佳效果。

本实验设计的反相器，要求  $V_M = V_{DD}/2 \pm 0.1V$ ，即  $V_M$  在  $0.8V \sim 1V$  范围。

MOS 管宽度  $W$  与漏源直流电阻  $R_{DS}$  的关系规则是： $W$  大则  $R_{DS}$  小。

因此，若反相器开关阈值电压偏小（ $V_M < V_{DD}/2$ ），则说明 P 管电阻偏大，故需加大 P 管宽度以减小 P 管  $R_{DS}$  电阻，或减小 N 管宽度以增大 N 管  $R_{DS}$  电阻；

反之，若  $V_M > V_{DD}/2$ ，则需减小 P 管宽度或加大 N 管宽度。

## ● 实验内容：

从本实验开始，可根据完成实验进度，适当减少或不选做内容；此规定仅是为了使进度较慢的同学能够在实验课时内完成实验，以便老师查验结果。若你能够完成选做内容，可在实验报告中有所体现。后续几次实验亦是如此规定。

实验指导中的论述内容对于深入理解 IC 设计理论知识可能有所帮助，并不仅限于模拟 CMOS 集成电路设计，本次实验有助于理解数字电路的重要知识。

## 一、登录实验服务器

在网络浏览器中，[http://EDA 平台网址/ganglia/](http://EDA平台网址/ganglia/)，选一个较清闲服务器：

选择计算服务器 `ssh -X c01n??` (??=01~14)

进入 CMOS 模拟 IC 设计实验目录 `cd anacmos`

设置 cadence 输入编辑软件 virtuoso 环境变量 `setdt ic616`

设置 cadence 仿真软件工具 spectre 环境变量 `setdt mmsim`

后续几个实验指导的实验步骤中，“登录实验服务器”即是指上述操作。

运行 `virtuoso &`

## 二、实验步骤

### 1. 反相器链的设计

利用实验一表 1.2 获得的仿真数据  $\beta_{\text{eff}}$ ，按照前述  $\beta$  公式计算出反相器 p18 和 n18 管的初始设计宽度比，然后根据仿真获得的  $V_M$  数值，优化 MOS 宽度；设计一组边沿基本对称的反相器单元电路，组成反相器链。

已知：

- 1) 输入驱动是最小尺寸反相器的输出；
- 2) 反相器链负载电容为  $C_L=200\text{ fF}$ ； $f=10^{-15}$
- 3) 设反相器链版图布线较短，即无需考虑各级反相器之间的连线电阻和寄生电容，无需进行 H 形或 X 形版图布线形成时钟树。

设输入电容为  $C_g$ ，根据理想工艺反相器设计理论：

反相器链等效扇出为  $F = C_L/C_g$ ，

反相器链级数为  $N = \ln(F)$ ，向上取整。

### 反相器链电路设计：

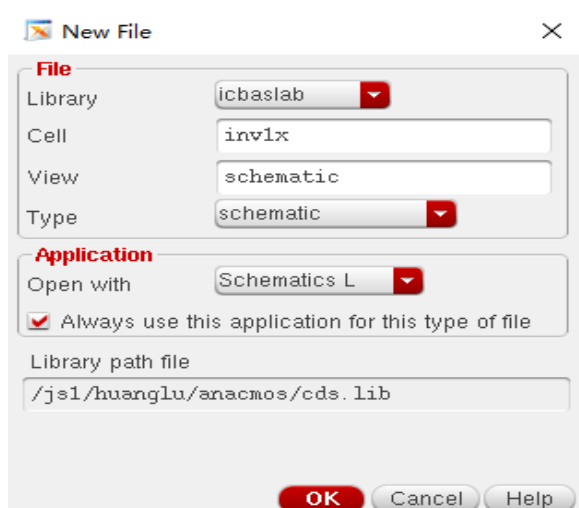
#### A. 设计最小尺寸的仿真专用反相器 inv1x 单元

数字电路 MOS 管长度取工艺特征尺寸  $L = 180\text{ nm}$ 。

在 Virtuoso CIW 窗口中，“Tools” → “Library Manager” → “icbaslab” 库，

在 Library Manager 窗口，“File” → “New” → “Cell View”，

Cell 栏中键入 `inv1x`，名称中的 1x 表示最小尺寸。



设计最小反相器中 PM0 的宽度。所谓最小反相器是指 NMOS 为最小尺寸，PMOS 是获得开关阈值电压  $V_M$  的宽度，填表 2.1。

表 2.1 反相器 inv1x 设计，计算 PM0 的 W

器件标号	单元名	Length	Total Width	Multiplier/Fingers
NM0	n18	180n	220n	1/1
PM0	p18	180n	?	1/1

下图是仿真专用反相器 inv1x 单元的 schematic 电路结构。

为了进行仿真，暂时添加输入信号源和 1.8V 电源，因此称为仿真专用反相器。后续需要拆除输入激励和电源，才能生成可调用单元的 symbol。

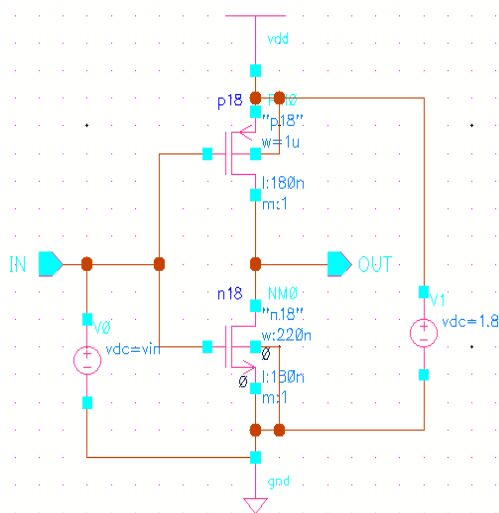


图 仿真专用（含仿真电源）反相器 inv1x 单元

创建反相器链第一级 inv1x 反相器单元。

提示：添加单元操作时，视图 View 应是 symbol，退出当前操作用 **ESC**。

Schematic 窗口中，按照上图，用 **I** 键添加各个单元：

在 Add Instance 窗口点 **Browse** 选库 smic18mmrf，然后在 Library Browser – Add Instance 窗口选 P18 和 n18 单元 Cell。

为了避免 Add Instance 窗口干扰 Schematic 窗口中单元的放置，**Close** 掉 Library Browser 窗口，并 **Hide** 掉 Add Instance 窗口。

添加器件不分先后（器件编号可后改）。

可用“**View**”→“**Annotations**”→“**Component Parameters**”显示 MOS 尺寸（已缺省设置）。

在 analogLib 理想库中选电源 vdd 与地 gnd 单元，以及 vdc 直流电压源单元，其中：

输入激励信号源 vdc 的 DC Voltage = **vin**，

电源电压 vdc 的 DC Voltage 为 **1.8 V**；

后续将 vin 设为 dc 直流仿真的扫描变量（输入 IN 管脚或线网虽可设为变量 Variable，但 dc 扫描仿真的结果不正确）。

添加输入和输出管脚 PIN：



点击 Create Pin 图标工具，分别设置 **IN** 输入管脚和 **OUT** 输出管脚，对应的 Direction 分别为“**input**”和“**output**”，type 为“**signal**”。注意：点击 Add Pin 窗口底部的“**Hide**”，否则电路图中可能看不见 PIN 符号。



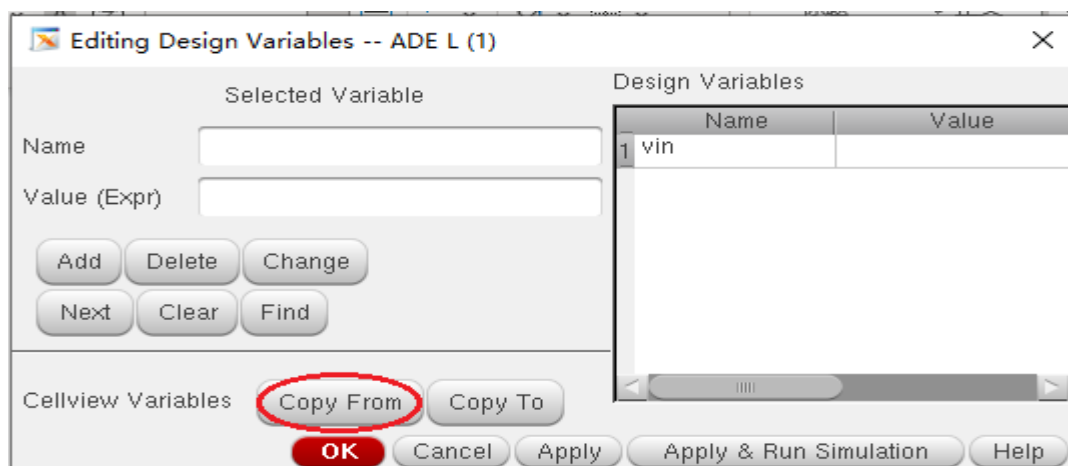
完成连线后，schematic 电路图编辑窗口中点击“**Check and Save**”图标。

下面步骤是通过 DC 仿真，修正 inv1x 器件尺寸，使最小反相器的开关阈值电压  $V_M$  符合设计要求：

进入 ADE L () 仿真设置窗口：“**Launch**”→“**ADE L**”。

设置变量：

点击 ADE L () 仿真设置窗口右侧的工具图标“**Edit Variables**”（鼠标放置在图标上后会自动显示）；在 Editing Design Variables—ADE L()窗口，可先点 **Copy From** 查看有哪些变量，也可直接设置变量名和值：

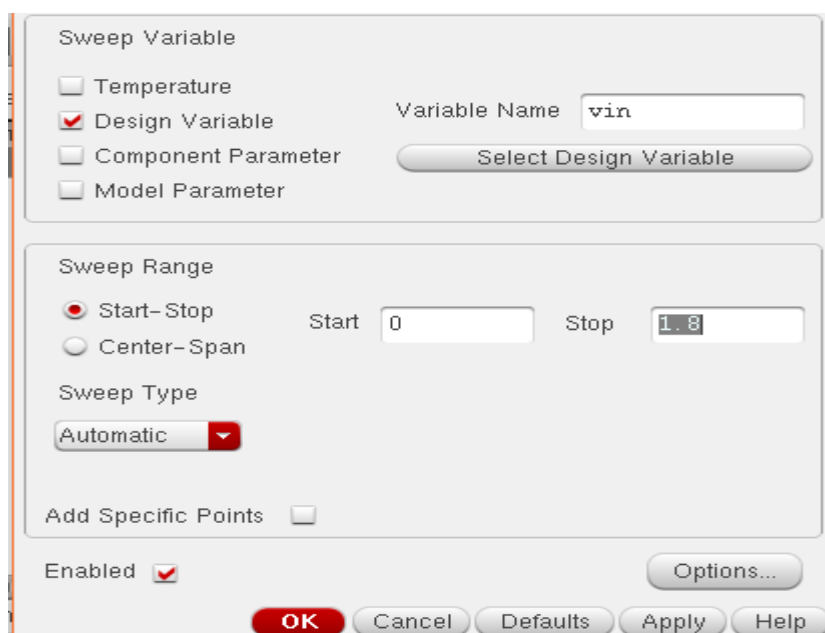


设置变量 Name 为 **vin**，Value 为 **0.9**，点 **Change**；  
在窗口下方，点 **OK**（因仅一个变量，无需再 **Add**）。

设置 DC 分析并保存 DC 工作点：

点击 ADE L() 仿真设置窗口的工具图标 “**Choose Analyses**”，选 “**dc**”，注意要使 “**Save DC Operating Point**” 有效，否则后续实验中将无法获得 MOS 寄生电容。

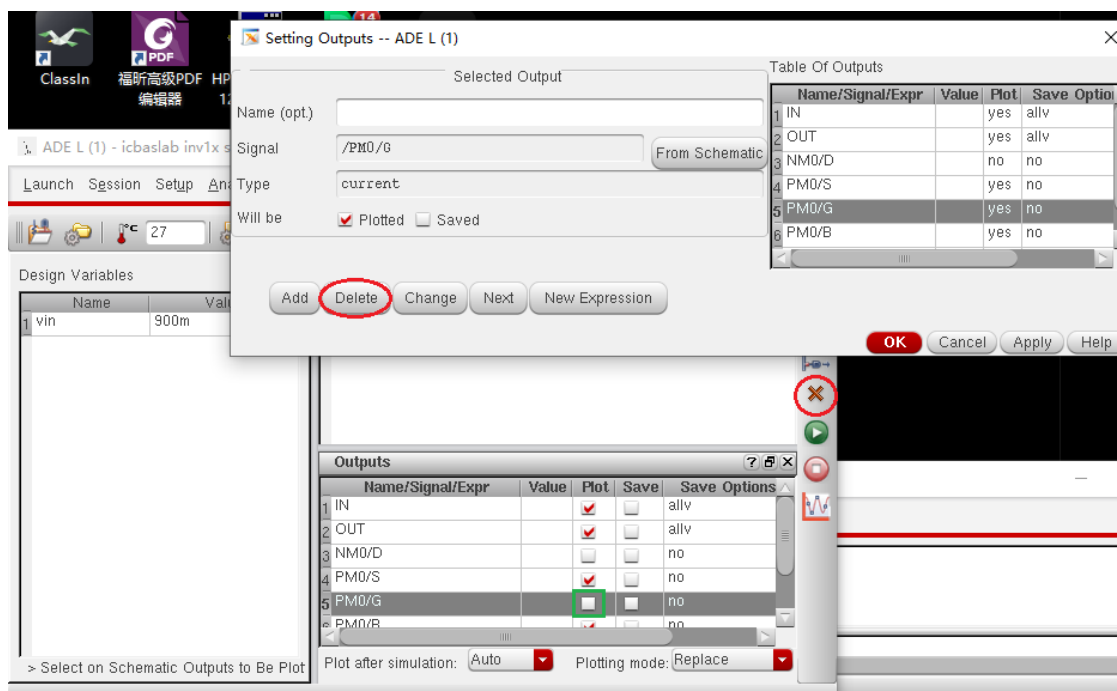
设置变量扫描范围：在 Sweep Variable 栏选中 “**Design Variable**”，按下图设置（直接键入 **vin**，或点击 “**Select Design Variable**” 栏选 vin）：



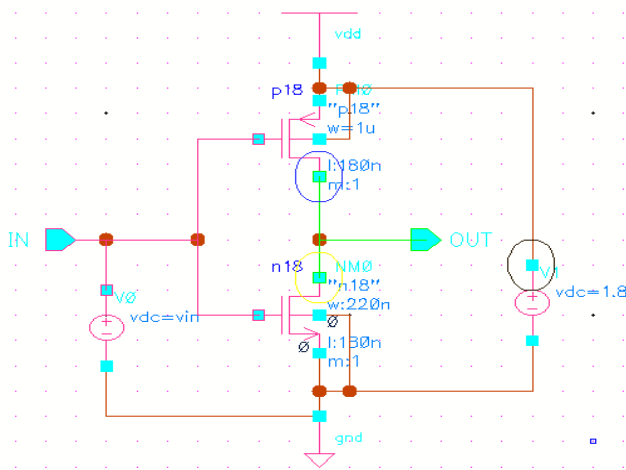
设置显示输出：

在 ADE L() 仿真设置窗口，点 “**Setup Outputs**” 图标工具，在弹出的 **Setting Outputs – ADE L ()** 窗口中点击 “**From Schematic**”，从 ADE L Editing 关联电路图窗口中选输入 IN 和输出 OUT 线网电压、NM0 管 D 端口和 PM0 管 D 端口（选端口为电流；单元端口电流若流进则为正，若流出则为负）、1.8V 电源正极端口电流（流出为负）。

若发现多出了其它原本没有计划显示输出的端口电流或线网电压,例如下图中 PM0/G 端口电流,可立即在 Setting Outputs –ADE L () 窗口删除(Table Of Outputs 表中选该信号, Delete),也可在 ADE L()仿真设置窗口中删除(下图中 X 工具图标),或保留无意选择的信号(下图中使该 Plot 无效将不显示)。



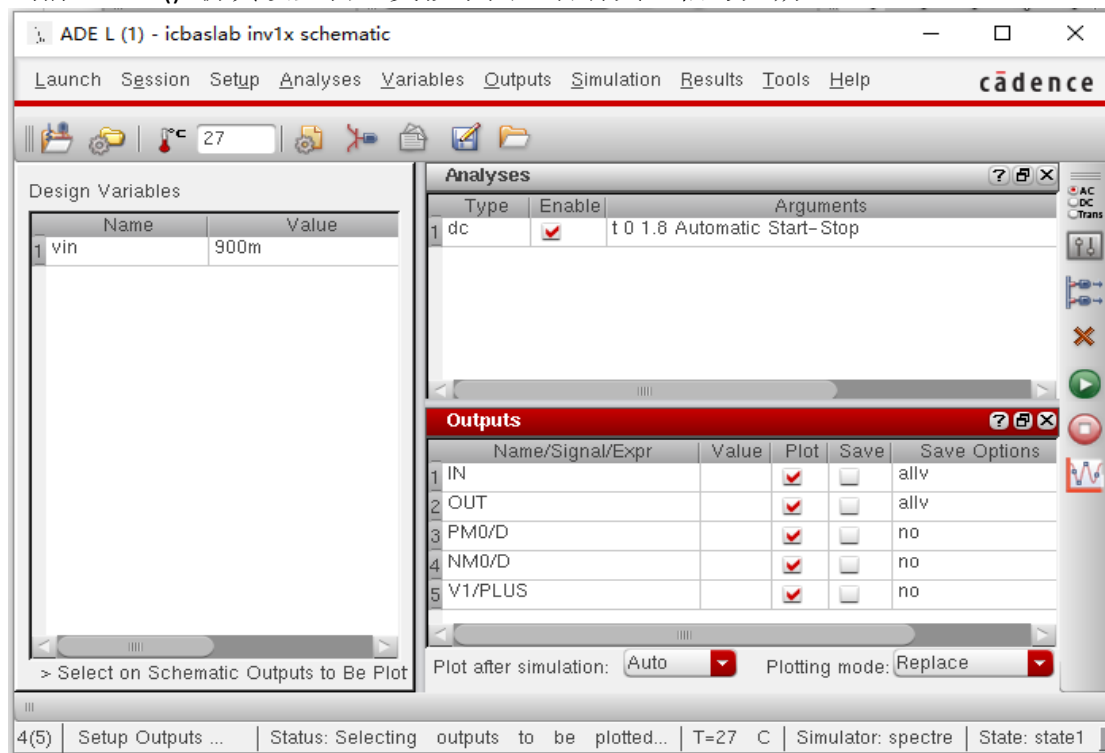
ADE L Editing 窗口类似下图:



在 Setting Outputs –ADE L () 窗口中,点击 OK 关闭窗口通常是个好习惯(可以不关闭),好处是防止仿真时 Setup Outputs 误操作;若没关闭 Setting Outputs –ADE L () 窗口,则当仿真后需要修改电路器件参数时,很可能将不希望显示波形的线网电压或端口电流误选为 Outputs。

也可在 ADE L Editing 关联电路窗口中,先用鼠标左键在空白处点击,再用 ESC 终止显示 Outputs 选择的操作。虽然此时电路图上的信号选择消失,但选中信号已列入 ADE L () 仿真设置窗口的右下 Outputs 栏中,即不会取消先前的波形显示信号选择。

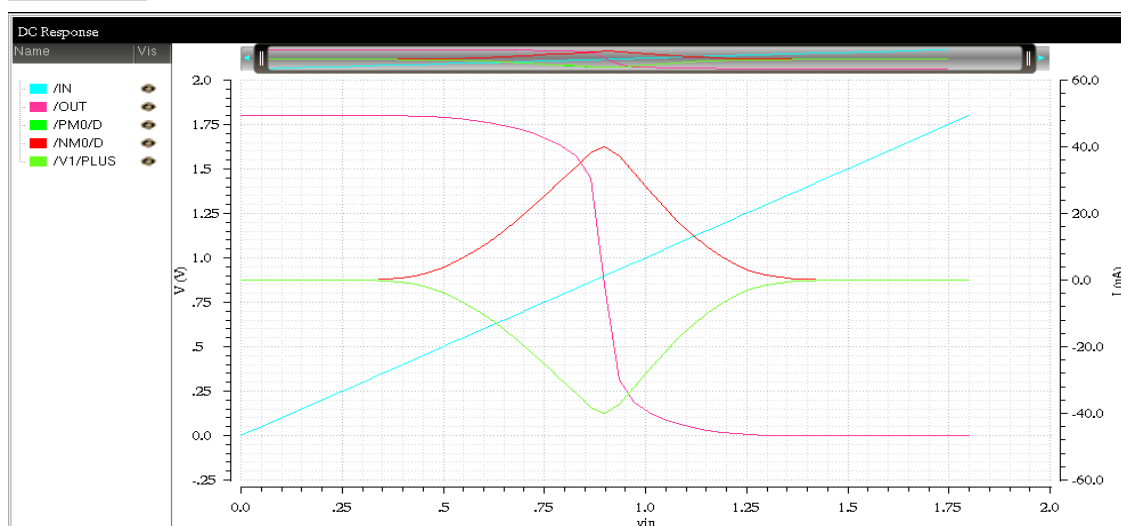
当前 ADE L() 仿真设置窗口类似下图（若有其它信号无妨）：



运行仿真后几个端口电流项对应的 Save 自动被勾选。

运行仿真：

在仿真设置窗口点“Netlist and Run”运行仿真工具图标，或用菜单“Simulation”→“Netlist and Run”，也可在 ADE L Editing 关联电路图窗口点击“Run Simulation”工具图标，得到波形窗口如下图。

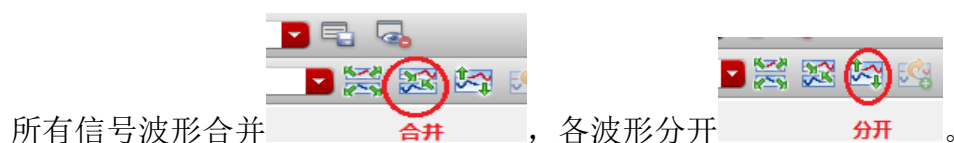


反相器 inv1x 的 DC 仿真图

如上图波形合并，电压数据在左侧，电流数据在右侧；  
若各条波形分开，则电压和电流数据都在左侧。



波形合并与分开如下操作：



反相器仿真波形表明，当反相器不翻转时（即输入为高电平和低电平），端口电流很小，几乎为 0。PM 和 NM 的漏极是同一节点，两管 D 端的电流方向相反，NM0/D 流进为正，PM0/D 流出为负。

当反相器输出翻转时，电流增大很多，实验仿真图中峰值电流是几十微安。功耗=平均电流乘以电源电压。

因此，数字电路仅高电平或低电平静态时低功耗，而在状态动态变化时具有明显功耗；高频数字电路中动态变化时间的占时比例大，因而平均功耗增大。

关于检查输入与输出波形相交点  $V_M$  的说明：

EDA 工具在仿真计算时， $v_{in}$  步长间隔离散取值，导致横、纵坐标取值不连续，其它任意时间点的计算数值是按照某种随机初值的收敛算法进行插值获得，故  $V_M$  的横坐标和纵坐标可能只是近似相同，每次仿真结果也不是数值完全相同。

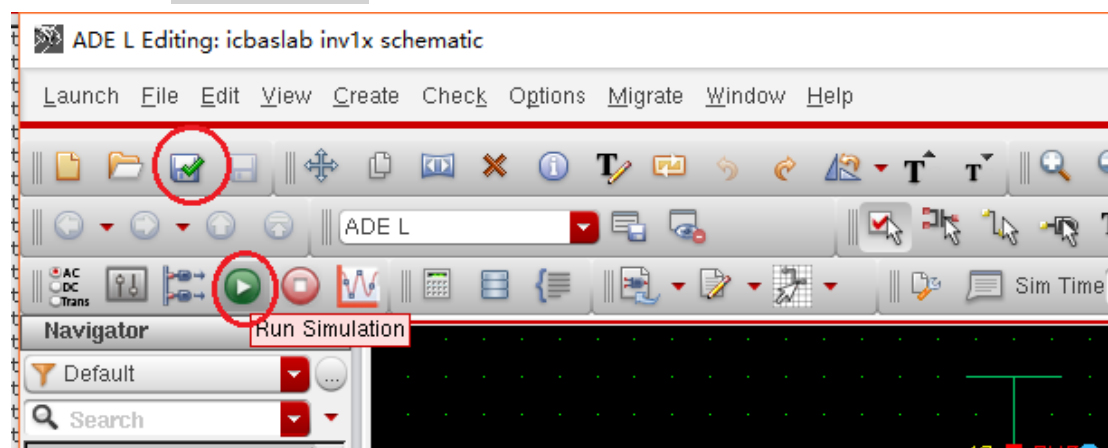
如何调整反相器 MOS 宽度：

使  $V_M$  接近  $V_{DD}/2 = 0.9V$  的调制规则：

若输入 IN 与输出 OUT 交点偏小，则表明上拉 PM0 管宽度偏小，导致其输出电阻偏大，应适当增大上拉 PM0 管宽度或减小下拉 NM0 管宽度；

若输入 IN 与输出 OUT 交点偏大，则适当减小上拉 PM0 管宽度或增大下拉 NM0 管宽度。

若需修改单元参数，则在 ADE L Editing 关联电路窗口，无论先前 Outputs 选择操作是否已退出，都先在电路图中空白处点一下鼠标，用 **ESC** 键退出先前操作，是无害的做法；再用 **Q** 键修改 p18 的宽度尺寸，“Check and Save”图标工具后，重新仿真“Run Simulation”，也可在 ADE L ( ) 仿真设置窗口点仿真工具图标。



为了计算反相器链的级联数，需要获得第一级 inv1x 等效输入电容：  
假设反相器链由最小尺寸反相器驱动。

因已经进行过 DC 仿真，故可通过 ADE L() 仿真设置窗口获得 MOS 数据，  
“Results” → “Print” → “DC Operating Points”。

分别在电路图中选 n18 和 p18，弹出 Results display Window 窗口，给出 MOS 管工作点参数，查询以下最小尺寸反相器寄生电容的绝对值（下标 n 和 p 分别表示 NM0 和 PM0，不用关注寄生电容的正与负，极性符号与定义有关）：

NM0 的 cgsn =     , cgd n =     , cdbn =     ;  
PM0 的 cgsp =     , cgdp =     , cdbp =     。

反相器链的输入等效电容  $C_g$  估算和级数  $N$  计算：

$$\begin{aligned} C_g &= \text{前级输出端寄生电容} + \text{本级输入端寄生电容} + \text{输入端密勒效应电容} \\ &= (c_{dbn} + c_{dbp}) + (c_{gsn} + c_{gsp}) + (2c_{gd n} + 2c_{gd p}) \\ &= ? \end{aligned}$$

上面计算公式中，将 MOS 漏栅电容等效到输入端的密勒电容约为  $2c_{gd}$ ，涉及模拟 IC 设计理论知识，详见附录说明。

假设可忽略反相器链最后一级反相器 MOS 寄生电容影响（与负载电容  $C_L$  相比，此级反相器输出端寄生电容相对较小）。

因已知反相器链负载电容为 200fF，则

总的等效扇出  $F = C_L / C_g = 200\text{fF} / C_g = ?$

反相器链级数  $N = \ln(F) = ?$  （向上取整）

若  $N=4$ ，则需要设计 inv2x、inv3x、inv4x 反相器。

简化反相器链电路设计与仿真步骤的思路：

尽量利用先前的电路和仿真设置，使后级反相器设计与仿真更简单。

根据数字 IC 设计知识可知，理想工艺下，反相器链中每级反相器设计规则是逐级宽度增大  $e=2.718$  倍，可使反相器链的路径（传播）延时最小，简单方法是将前级反相器宽度逐级乘以 3。

由于反相器级数是  $\ln(C_L / C_g)$  取整，因此反相器链负载电容  $C_L$  为等效输入电容  $C_g$  的 33~90 倍范围内反相器级数皆是 4。很明显，若负载电容不同，反相器链输出边沿上升与下降时间、路径传播延时、充电功耗也不同。

反相器链设计特点是利用 inv1x 电路结构和仿真设置，不仅可便捷地得到反相器链中的后级反相器电路，而且节省了后级反相器仿真设置。具体做法是后级反相器 MOS 尺寸设计为前级的 3 倍，然后按照仿真  $V_M$  结果修改 PMOS 宽度。

为了明白后续实验过程，先对反相器链第 2 级后的电路设计步骤进行以下说明：

（1）首先保存 inv1x 为 invtmp 单元，因后续将修改 inv1x 并进行仿真，因此正被修改的 inv1x 称为临时 inv1x；

（2）将临时 inv1x 尺寸改为 inv2x 尺寸后仿真，调整临时 inv1x 宽度，使开关阈值电压  $V_M = 0.9 \pm 0.2V$  之内，将改造后的临时 inv1x 拷贝为 inv2x；

(3) 用同样方法改造第 3 级和第 4 级反相器单元尺寸：先使 NMOS 宽度增大为前级的 3 倍，依据 VM 调整规则设计好 PMOS 宽度后（实际对应 inv3x 的临时 inv1x 符合  $VM = 0.7 \sim 1.1V$ ，对应 inv4x 的临时 inv1x 符合  $VM = 0.8 \sim 1V$ ），分别拷贝为 inv3x 和 inv4x；

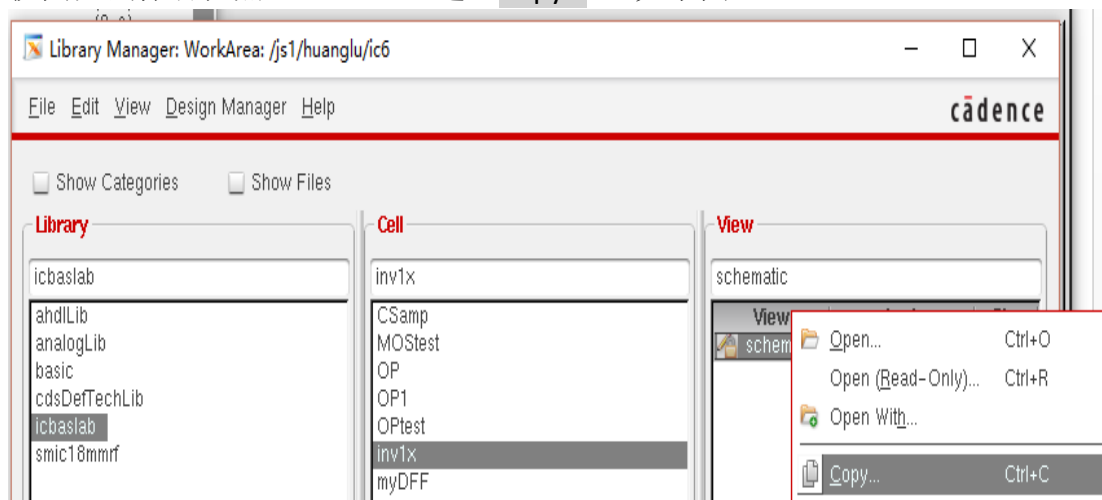
MOS 版图一般应为扑克牌形状，在实际芯片的版图设计时，需避免形成长扁担形状；本实验中设计 inv3x 和 inv4x 时，可以使用 MOS 器件中的 Fingers；

(4) 最后将先前保存的 invtmp 单元还原为 inv1x 单元。

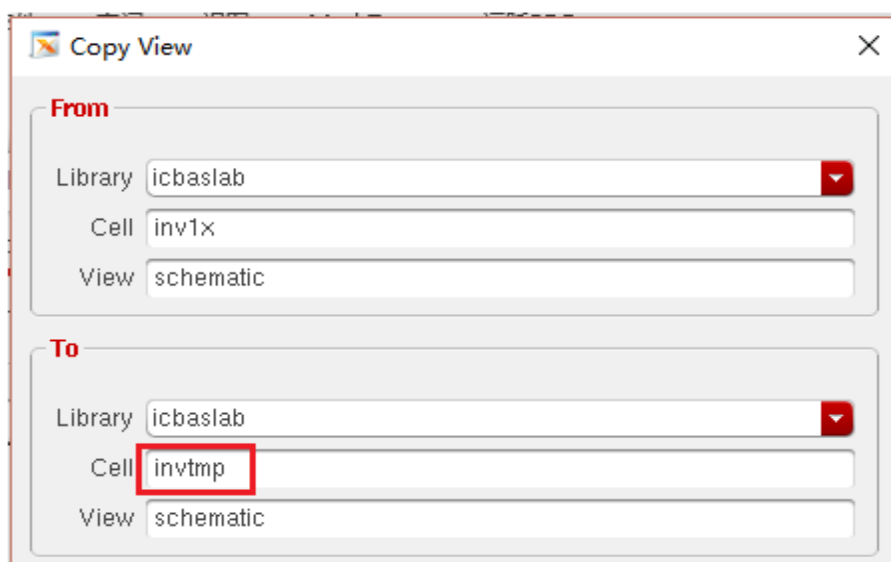
## B. 设计尺寸扩大 3 倍的仿真专用反相器 inv2x 单元

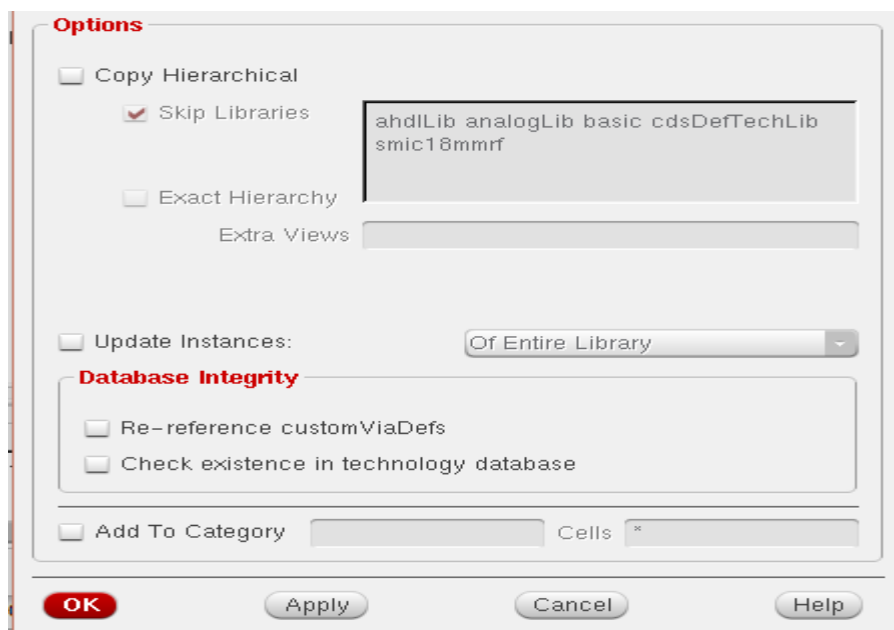
首先保存原 inv1x 为 invtmp 单元：

在 Library Manager 窗口，选中 icbaslab 库的 inv1x 单元（Cell）的 schematic 视图；鼠标右键点 schematic，选“Copy...”，见下图。



拷贝生成 invtmp 过渡单元 Schematic 视图：





为设计反相器 inv2x，对临时 inv1x 进行改造与仿真：

在临时 inv1x 单元电路图窗口，将 n18 和 p18 宽度改成乘以 3 后的数值，Fingers 仍然为 1。

说明：可在 ADE L Editing 关联电路图窗口用 **Q** 键编辑修改器件尺寸，也可重新打开 Schematic L Editing 电路编辑窗口进行修改。若是重新打开的电路编辑窗口，则实际上 ADE L Editing 关联电路窗口和重新打开 Schematic L Editing 编辑窗口是同一个电路，因此对其中一个电路 MOS 尺寸进行修改，实际上是同步修改了两窗口的 MOS 尺寸。

对于修改过的电路，仿真前必须点击“**Check and Save**”图标。

仿真并修改 PMOS 宽度：








可在 ADE L Editing 关联电路图窗口仿真图标“**Run Simulation**”，也可在 ADE L () 仿真设置窗口点击仿真图标“**Netlist and Run**”。使用的仿真设置仍为先前 inv1x 单元仿真而选择的线网或端口显示、以及仿真分析。

检查仿真结果波形窗口 IN 和 OUT 曲线的交点  $V_M$  是否符合设计，若是则在 Library Manager 窗口，将经改造的临时 inv1x 单元 schematic 视图 Copy 拷贝为 **inv2x** 单元 schematic 视图：

选 Library Manager 窗口 inv1x 单元 Cell，或其 Schematic 视图 (View)，右键选“**Copy...**”。

### C. 设计仿真专用反相器 inv3x

对临时 inv1x 单元（现在实际是 inv2x 单元尺寸）中 NM0 管，用 **Q** 属性修改，改 Fingers = 3，即实际 inv2x 宽度乘以 3 得到新宽度。

CDF Parameter	Value	Display
Model Name	n18	off 
Multiplier	1	off 
Length	180n M	off 
Total Width	1.98u M	off 
Finger Width	660n M	off 
Fingers	3	off 
Threshold	220n M	off 

同样修改 PM0 管宽度，Fingers = 3；  
仿真，依据  $V_M$  结果调整 PMOS 宽度；  
将临时 inv1x 拷贝为 **inv3x** 单元。

#### D. 设计仿真专用反相器 inv4x

现在临时 inv1x 单元的 MOS 实际上是 inv3x 尺寸，若直接将宽度扩大 3 倍，则明显 MOS 版图是很长形状，下面步骤使之成为长方形。

分别对临时 inv1x 电路图窗口的 NM0 和 PM0，用 **Q** 键修改：

Edit Object Properties 窗口中，将 Total Width 栏数值拷贝（选中后右键）到 Finger Width 栏中，也可直接将 Total Width 栏数值键入 Finger Width 栏中；

Fingers = 3 不变；

在 Edit Object Properties 窗口中任点鼠标，于是更新的临时 inv1x 的 MOS 的 Total Width 成为先前（即 inv3x）数值的 3 倍，电路图检查保存，仿真，调整得到合适的  $V_M$ 。

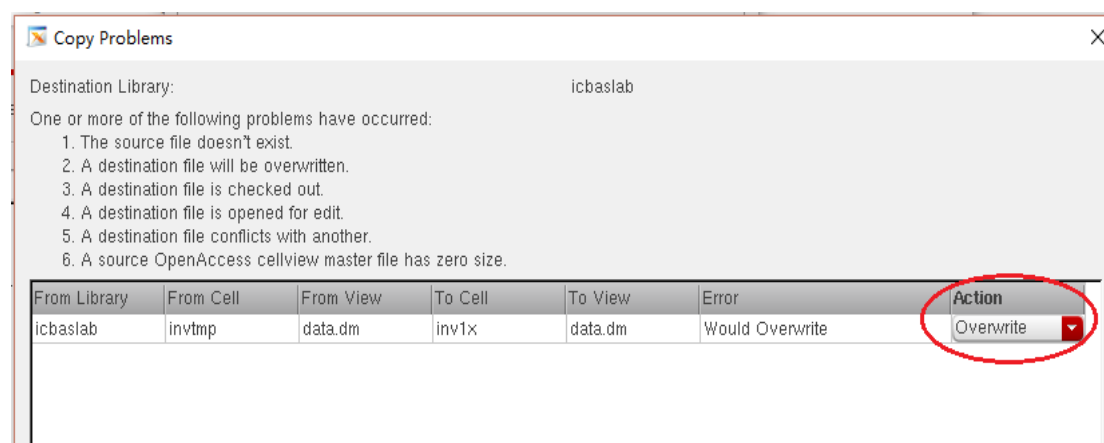
将临时 inv1x 拷贝为 **inv4x** 单元。

#### E. 恢复 inv1x 单元

在 Library Manager 窗口中，选中目前临时 inv1x 单元（Cell）的 schematic 视图，右键 Delete 删除视图，也可直接删除 inv1x 单元；

再将 invtmp 单元 schematic 视图 copy 拷贝为 **inv1x** 单元的 schematic 视图。

若先前曾做过本实验，且删除了 inv1x，则重做后可能有以下提示：



如上图所示选择覆盖。

最后删除 invtmp 单元。

关闭 ADEL ( ) 仿真设置窗口, 按提示保存设置 State (Yes 和 OK 即可, 无需重新命名, 实际上 State 是与打开的 inv1x 单元名绑定的)。

#### F. 修改 inv1x ~ inv4x 单元并生成符号 Symbol

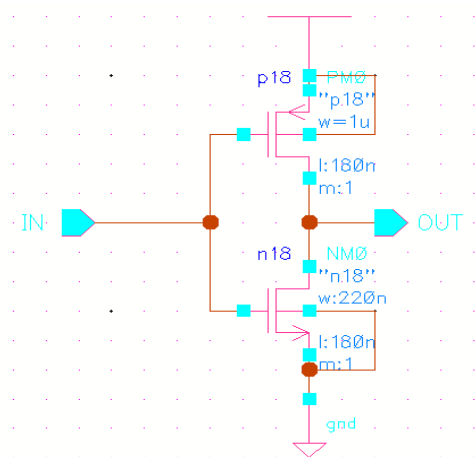
以下步骤是先拆除先前创建的仿真专用反相器 inv1x~inv4x 单元 schematic 视图中的仿真输入信号源和电源, 随后生成可供其它电路调用的 symbol。

删除仿真用的输入信号源和电源:

在 Library Manager 窗口中, 打开仿真专用 inv1x 电路图, **Delete** 键后逐个删除输入信号源和 1.8V 电源, 以及相关的连线; 也可先选中线网再 Delete 逐个删除 (有点繁, 但可避免误删); **ESC** 退出先前 (删除) 操作是个好习惯。

注意“Edit”菜单中 “Undo” (反悔) 次数有限。

现在 inv1x 电路图如下:



“Check and Save”。

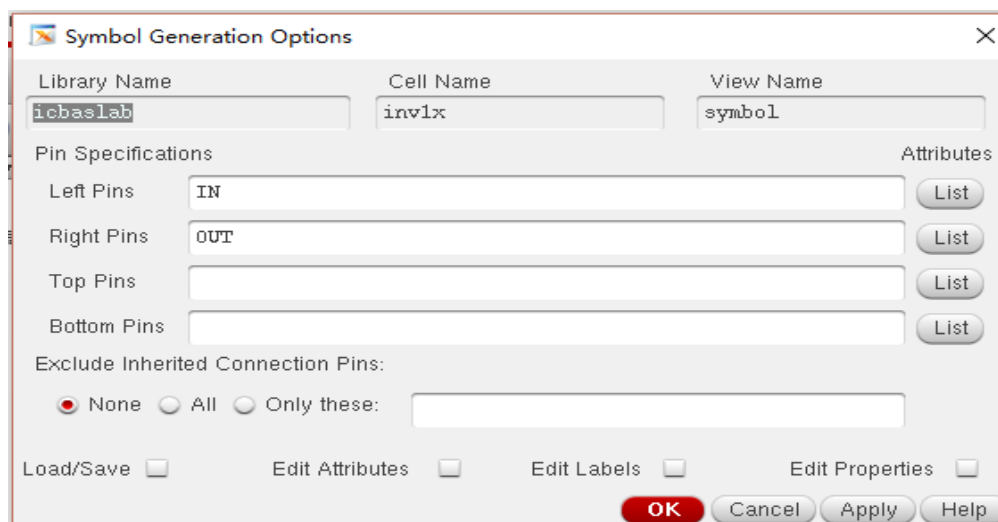
如法炮制, 删除 inv2x、inv3x 和 inv4x 单元中的 1.8V 电源、输入信号源及连线, “Check and Save” 保存。

创建单元 symbol 视图 (View):

Symbol 用于封装器件 (单元 cell)。在其它电路中添加器件时, 需要使用该器件的 symbol 视图。

在 Library Manager 窗口中打开 inv1x 电路图, 在 Schematic 电路图窗口, “Create” → “Cellview” → “From Cellview...”。

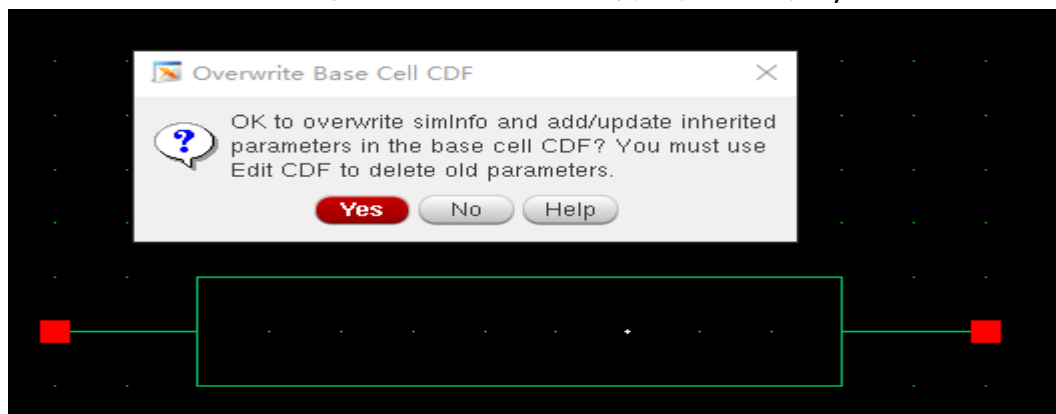
弹出 Cellview from cellview 窗口, From View Name 栏缺省为 schematic。点 “OK” 后出现下图窗口:



在 Symbol L Editing 窗口得到 inv1x 单元的初始 symbol view 如下图：



若是先前曾删除 inv1x 单元 Symbol 重做实验，则软件会发现先前遗留的信息，这时出现下图提示信息以防错误覆盖，并仅产生一个 Symbol 外型：

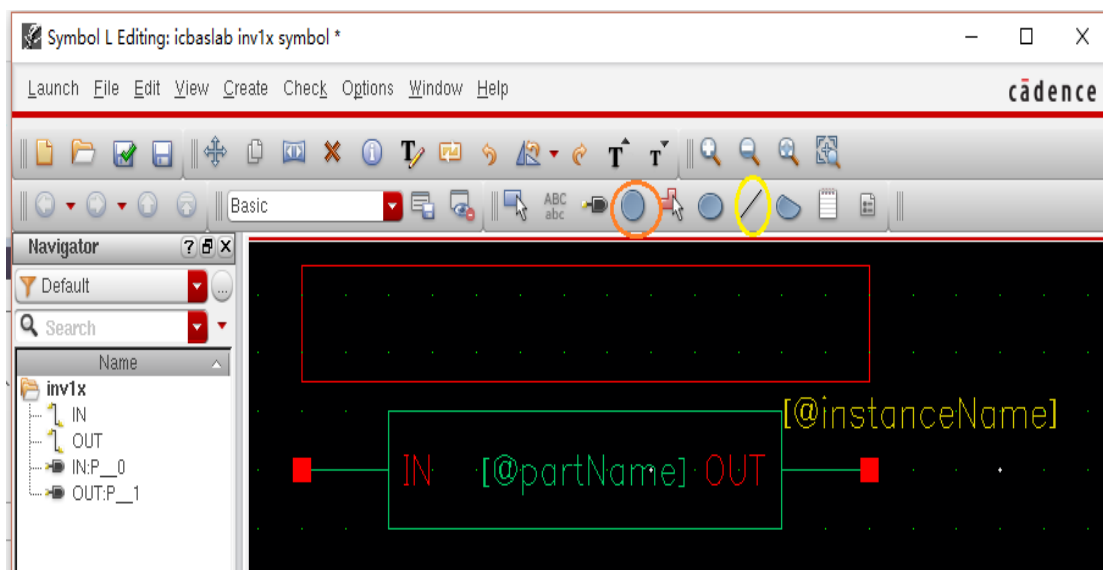


“**Yes**”确认后，**F**（适中）键，将出现正常的初始 Symbol View。

将初始长方 symbol 形状改成反相器标准符号：

先用 **M** 键将外围红色长方形选择框分段（上线和下线）移走，以免干扰其内部图形的选线。如下图，要特别注意：外围红色长方形选择框的上、下红线移动后不要紧临，若距离很近则还原不了选择框。现在，器件（单元 Cell）的 symbol 绿色外形框已无其它隐形对象遮挡（即不在其它对象范围内），可用 **Delete** 键删除掉绿色外形框。



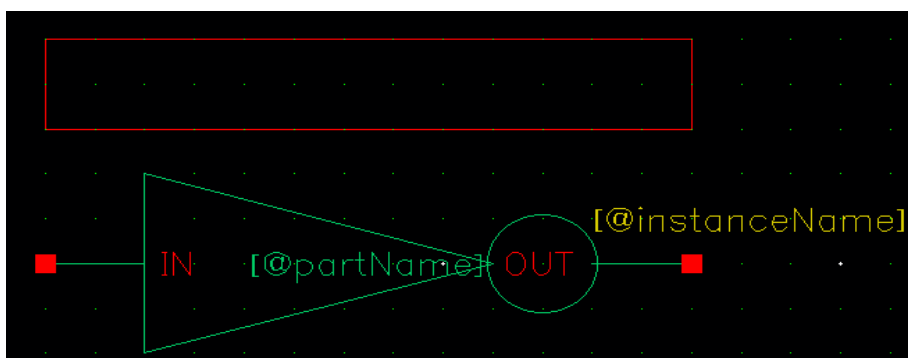


上图中用椭圆标出了后续步骤所需要使用的画圆和连线画图工具。

参考下图画反相器的符号外形：

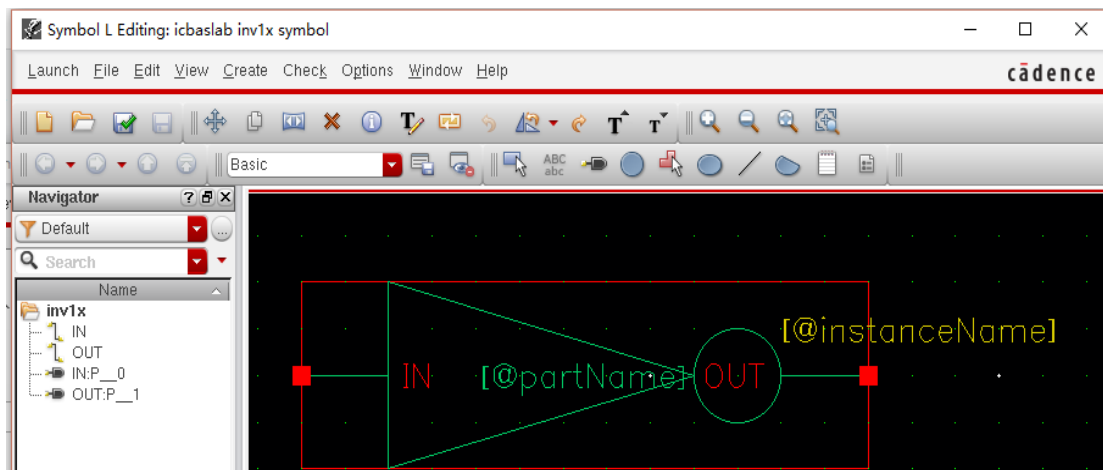
选“Create Line”图标工具连线，点击起始点和折转点，双击结束放置连线；

选“Create Circle”画圆工具，点击待放圆心位置，放开鼠标并移动，双击，放置圆。



用 **M** 键可移动端口 PIN、内部线段，器件名 `@instanceName` 和端口名 `@portName` 位置。

最后将原先移开的外框上下两段，**M** 键移动到合适位置，得到 symbol 如下：





“Check and Save” 检查并保存 inv1x 的 symbol。

关闭 inv1x 单元的 Symbol L Editing 符号编辑窗口和 Schematic L Editing 电路图编辑窗口。

复制其它几个反相器的 symbol:

在 Library Manager 窗口中, 选中 inv1x 的 symbol 视图, 右键 Copy, 从 inv1x 的 symbol 拷贝为 **inv2x** 的 symbol;

同样操作拷贝为 **inv3x** 和 **inv4x** 的 symbol。

#### G. 创建 4 级反相器链的测试电路 INVchain 单元

在 Library Manager 窗口, 选 icbaslab 库, “File” → “New” → “Cell View” 创建 **INVchain** 单元 schematic。

反相器链 **INVchain** 单元 Schematic 仿真测试电路图如下, 最后一级反相器 inv4x 输出接仿真用的  $C_L = 200\text{f F}$  电容负载, 各单元选择参照表 2.2。

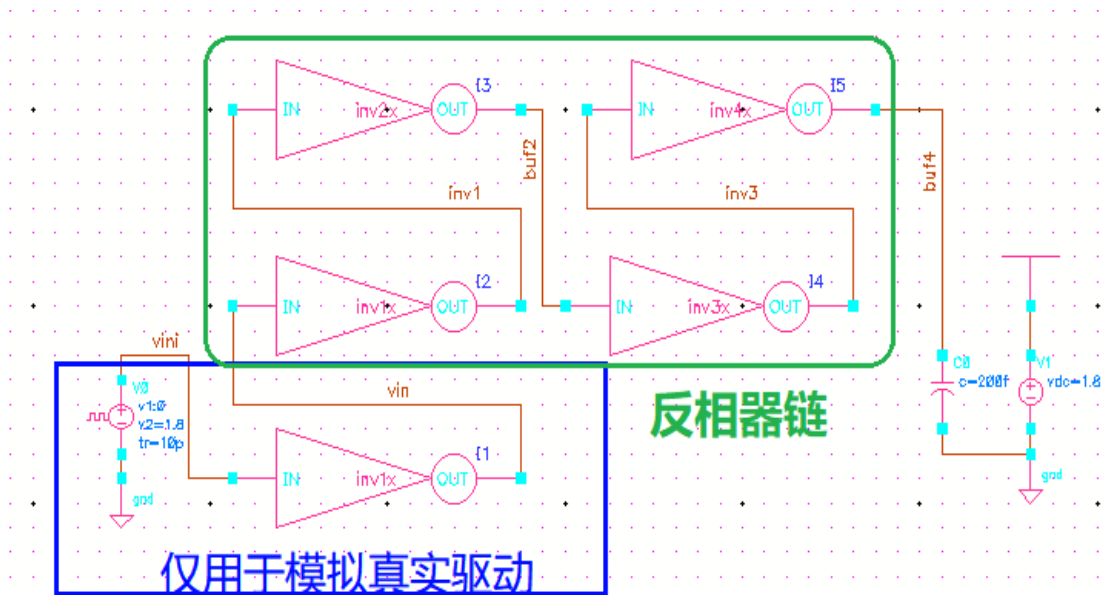


图 2.2 4 级反相器链 INVchain 仿真电路

上图中左下方 (即第一个) inv1x 是个虚拟单元, 仅用于模拟真实驱动, 并不属于反相器链电路, 目的是给反相器链电路提供最小驱动电流的输入激励信号 (属于最为保守的设计)。实际工程中信号源的驱动能力一般会更大。在数字电路芯片设计的逻辑综合时, 可根据实际情况在设置 `set_drive` (参数 0 表示强驱动), 并设置 `set_clock_transition`; 对应于模拟电路设计仿真阶段虚拟单元的驱动能力 (边沿时间)。

若电路仿真时直接使用理想库中的信号源激励, 则是假设电流驱动足够强。

本实验为方便检查和对照, 对器件进行排序:

“Edit” → “Renumber Instances”, 在 Sequence Instance by 栏选 “Y+X+”, 因软件中此处有 bug, 可能你的器件序号与上图不同。

实际电路设计时，一般并不需要对器件进行排序。

表 2.2 反相器链 *INVchain* 电路中的单元选择

器件标号	单元名	library	值	备注
I1	inv1x	icbaslab	--	因理想 Vdc 信号源有无穷大驱动能力，不符合实际情况，故用一个最小反相器作为假设的模拟输入驱动，该模拟驱动反相器的输入线网名为 vini，输出线网名为 vin
I2	inv1x	icbaslab	--	反相器链第一级，输入线网 vin，输出线网名为 Inv1
I3	inv2x	icbaslab	--	反相器链第二级为缓冲器，输出线网名为 buf2
I4	inv3x	icbaslab	--	反相器链第三级，输出线网名为 inv3
I5	Inv4x	icbaslab	--	反相器链第四级为缓冲器，输出线网名为 buf4
C0	cap	analogLib	<b>200 f</b>	理想器件库，假设（已知）的负载模型
V0	vpulse	analogLib	1G 方波	脉冲信号源，输入，设置见表后说明
V1	vdc	analogLib	<b>1.8 V</b>	DC voltage
	vdd	analogLib	--	全局变量 vdd! 电源
	gnd	analogLib	--	全局变量 gnd! 地

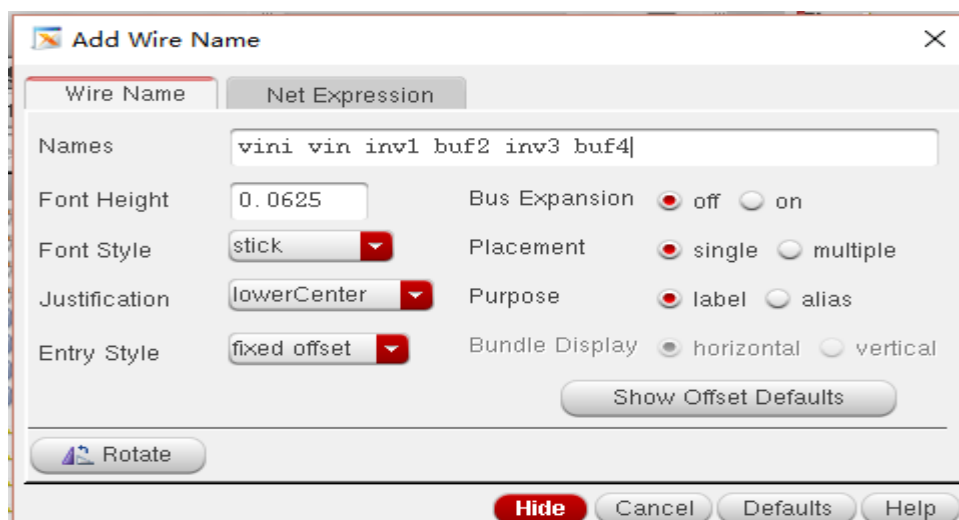
设置脉冲电压源 vpulse（时间周期 1ns 即频率 1GHz 方波），CDF Parameter 中段 Value 如下：

Voltage 1	0 v	off
Voltage 2	1.8 v	off
Period	1n s	off
Delay time		off
Rise time	10p s	off
Fall time	10p s	off
Pulse width	490p s	off

Value 为空表示其值 = 0。



为便于查看仿真波形，多个线网可成批命名



点击“Hide”后分别在相应线网上点击，依次放置线网名。

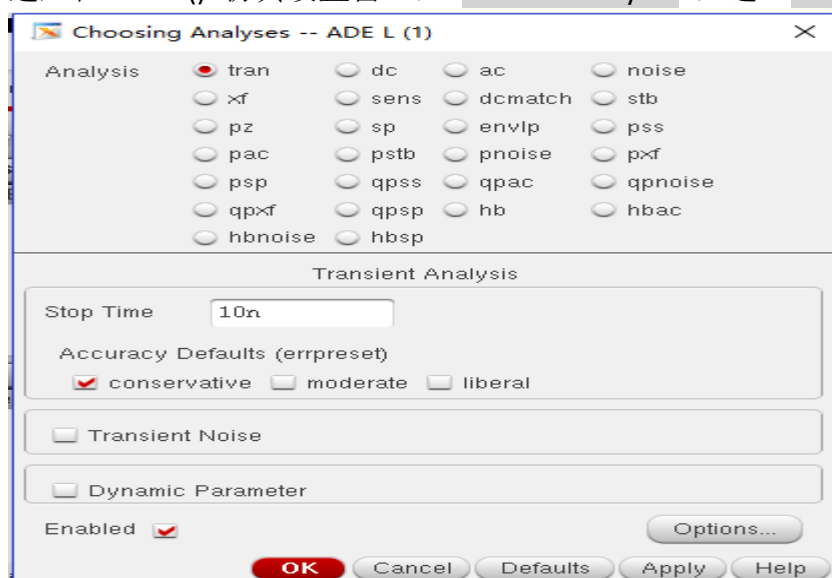
电路设计编辑完成后，“Check and Save”保存。

#### H. 瞬态 tran 波形仿真

瞬态仿真类似于示波器功能。优点是直观，可以发现电路节点的非正常问题。若要仿真验证电路能否正常工作，采用瞬态仿真是最基本步骤。瞬态仿真方法的缺点是对 MOS 器件较多且仿真计算较多（例如振荡器或高频）的电路，需要的仿真计算时间较长；对于较大计算量的仿真工作，例如射频 PLL 锁相环设计，可设置多台服务器并行工作。

“Launch” → “ADE L”，

进入在 ADE L() 仿真设置窗口，“Choose Analyses”，选“tran”。



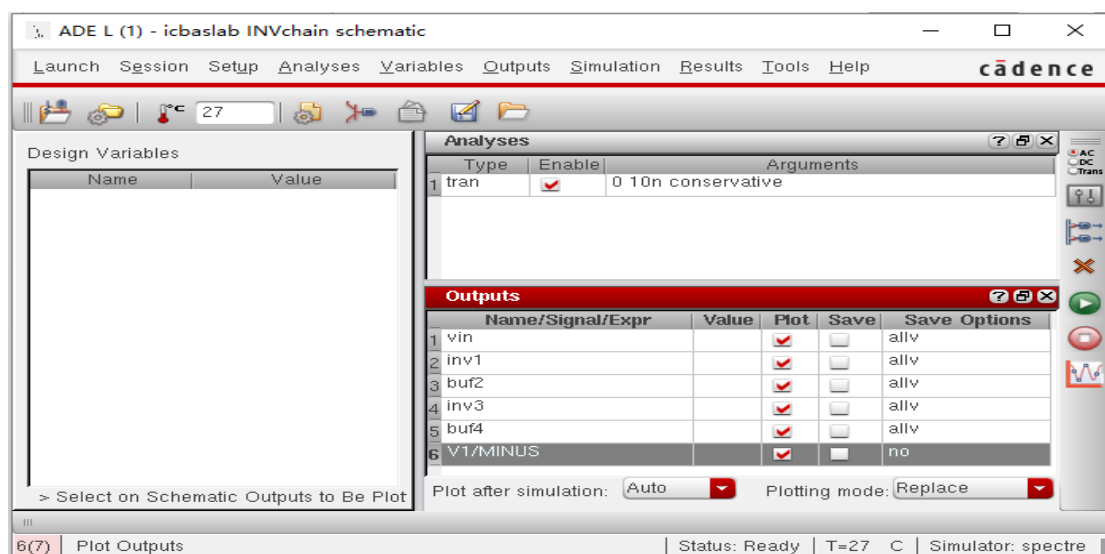
设置 Stop Time = 10n s，仿真 10 个周期（输入 1G 方波）。

电路中有负载电容（至少有寄生电容），tran 仿真达到最后稳态可能需要多个周期的波形稳定时间（虽可直接设置初始状态，但可能会掩盖一些问题）。

通常，模拟电路仿真精度设为 **moderate**（适中）；  
 数字电路瞬态仿真精度设为 **liberal**（低）；  
 射频或高速模拟电路仿真精度设为 **conservative**（高精度，间隔点时间小，耗时）。本实验因需要测量陡峭（高频）边沿，故选 **conservative**（高精度）。

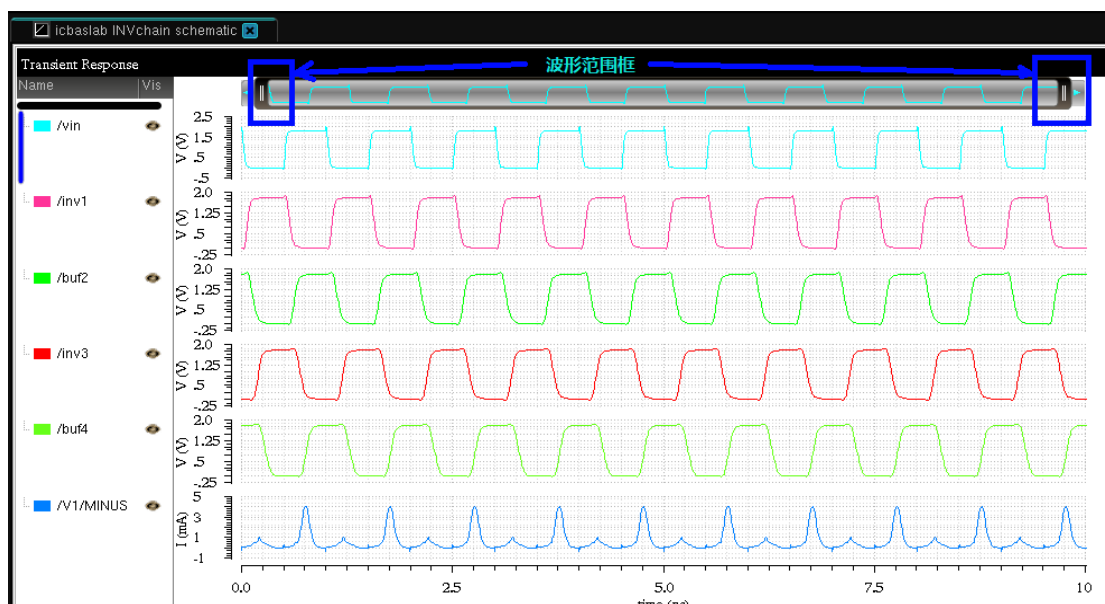
在 ADE L() 仿真设置窗口 “Setup Outputs” → “From Schematic”，电路图中选择命名的 vin、inv1、buf2、inv3 和 buf4 线网电压，以及 1.8V 电源负端口（不是 gnd）的电流（流进，波形显示为正值）。

为避免以后误选其它端口或线网，“OK” 关闭 Setting Outputs – ADE L() 面板。  
 INVchain 的 ADE L() 仿真设置窗口如下图：



保存仿真设置状态：“Session” → “Save State...”。

ADE L() 仿真设置窗口 “Netlist and Run” 进行仿真，分开波形如下：



4 级反相器链 INVchain 仿真波形图

从波形上看出，输出上升即负载电容充电时需要较大的电源功耗电流，而输出下降即负载电容放电时电源功耗电流约为 0（输出下降沿的很小电流是由前级较小尺寸反相器的上升沿形成的）。

若有不显示波形数值的情况，将上图上方的左右波形范围框缩小试一试。

实际电路系统中的反相器链，不仅要求输出上下沿基本对称，而且还要求时钟脉冲上升或下降时间（20~80%幅度）一般不超过 10%时钟周期；数字电路中时钟具有合适的边沿速率，以便减小时钟抖动，使得关键路径的 setup 时间有合适的 SLACK（闲余）。

关于数字电路中的上升沿和下降沿，有不同范围的定义。你可能在三极管电路教科书中看到是 10%~90%（老教科书中例题电路的电源电压较高，三极管导通电压为 0.6V），也可能在一些文献中看到 30%~70%；实际上，上升沿和下降沿的定义与工艺和电源电压有关，“沿”的意义是高低电平转换状态时间，应根据（阈值/电源电压）确定比值。

若是模拟电路，反相器上升沿和下降沿对应的是放大状态。

#### I. （选做）测量 INVchain 中反相器链单元的上升、下降和延迟时间：

在 Virtuoso(R) Visualization & Analysis XL 波形窗口中，移动范围条框（参见下面仿真图右上角）到仿真波形的后段，扩大横向显示。

为何要读取仿真时段后期数据？原因是由于有负载电容，可能需要多个时间周期信号后才能达到稳定值或波形。

合并所有波形，

在波形边沿 20%处标记水平横线：“Marker” → “Create Marker”，

设置“Horizontal”的“Y Position” = 0.36，得到 20%处电平时刻；

再在波形边沿 80%处放置标记线：“Y Position” = 1.44，得到 80%处电平时刻，测量上升沿与下降沿时间段；为避免多个数值相互影响显示，可闭眼隐藏不需要的波形。

在波形边沿 50%处放置标记线，“Y Position” = 0.9，得到路径传播延时。

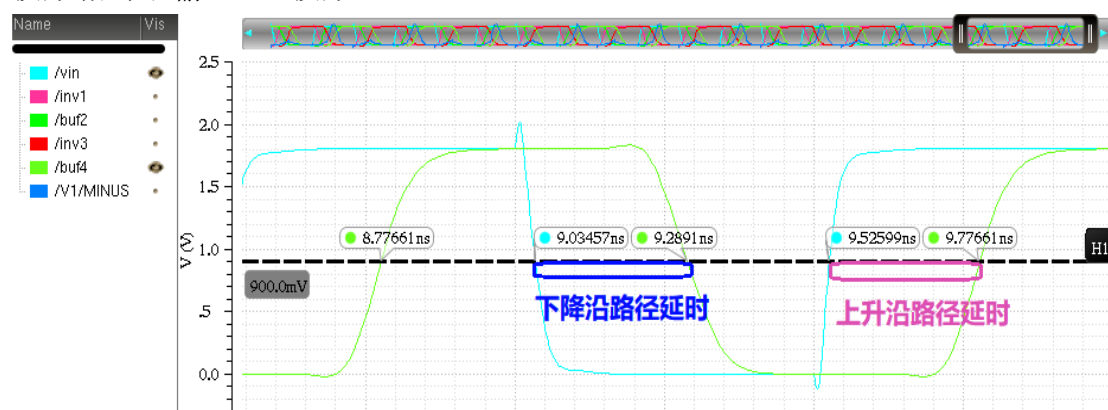
若需删除一条标记线，则在标记线上鼠标右键，“Delete”键。

下面通过数值比较，了解反相器链中各级反相器的上升、下降时间和路径延时。

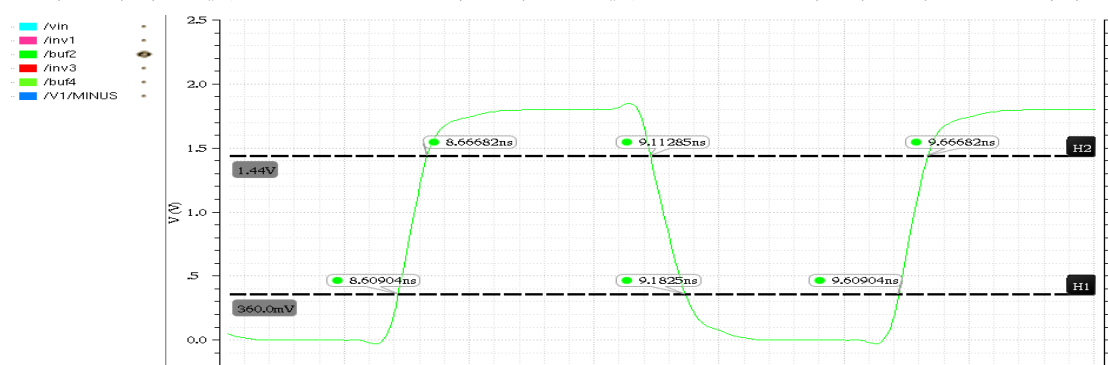
表 2.3：填表，求 INVchain 边沿时间和延时（注：--为不做）。

反相器链 INVchain 模块中单元	Inv1x	Inv2x	Inv3x	Inv4x
输出信号（线网名）	inv1	buf2	inv3	buf4
Tr=20~80%上升时间(ps)				
Tf=80~20%下降时间(ps)				
边沿速率=(Tr + Tf)/2	--	--	--	
50%处路径（传播）延时	--		--	

路径(传播)延时: 取上升沿路径延时和下降沿路径延时的最大值, 如下图中 **buf4** 波形相对于输入 **vin** 波形。



上图仅显示了 **vin** 和 **buf4** 信号波形。可设置左侧闭眼使一些无关信号波形消失, 例如, 测量 **buf2** 上升沿和下降沿时间 (合并波形, 除 **buf2** 外闭眼; 标记第二条水平横线后, 鼠标放在第一条标记横线上, 显示原先第一条标记线数值):



从反相器链 **INVchain** 仿真结果可知, 虽然各级反相器宽度相差多倍, 然而各级反相器的上升时间、下降时间、路径传播延时的差别并不大。这是由于级联反相器链电路中, 尽管反相器 MOS 宽度逐级变大, 使驱动能力增大, 但寄生电容也是等比例增大, 且反相器串联输出电阻等比例逐级变小, 总效果是抵消了增大 MOS 驱动电流对于反相器波形变化时间的作用, 使得各级反相器的时间常数 (电阻\*电容) 近似相同, 后级反相器由于寄生电容变大只是充放电稍有变慢。

**INVchain** 的峰值电流多大?

最大瞬态功耗 = 峰值电流\*电源电压;

电路功耗=平均电流功耗\*电源电压, 不能按峰值电流计算。

与热效应相关的最大电流限制一般是指一段时间内的平均电流, 而不是短暂的瞬态电流。

K. 测量平均电流:

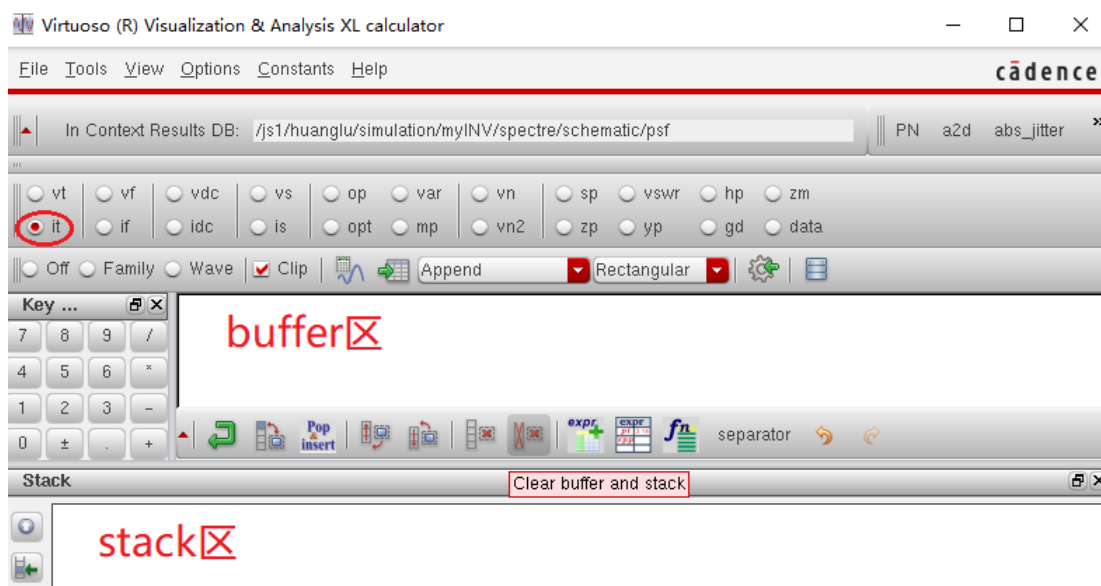
在波形图窗口, 设置左侧闭眼使一些无关信号消失, 仅显示 1.8V 电源负极端口电流 (流入为正) 和 **inv4x** 输出电压 **buf4** 信号, 明显看到只有在输出上升沿才有较大电流。

如何计算平均电流？

在波形窗口：“Tools” → “Calculator”

将计算器窗口中的 Buffer 区和 Stack 区的历史内容删除：

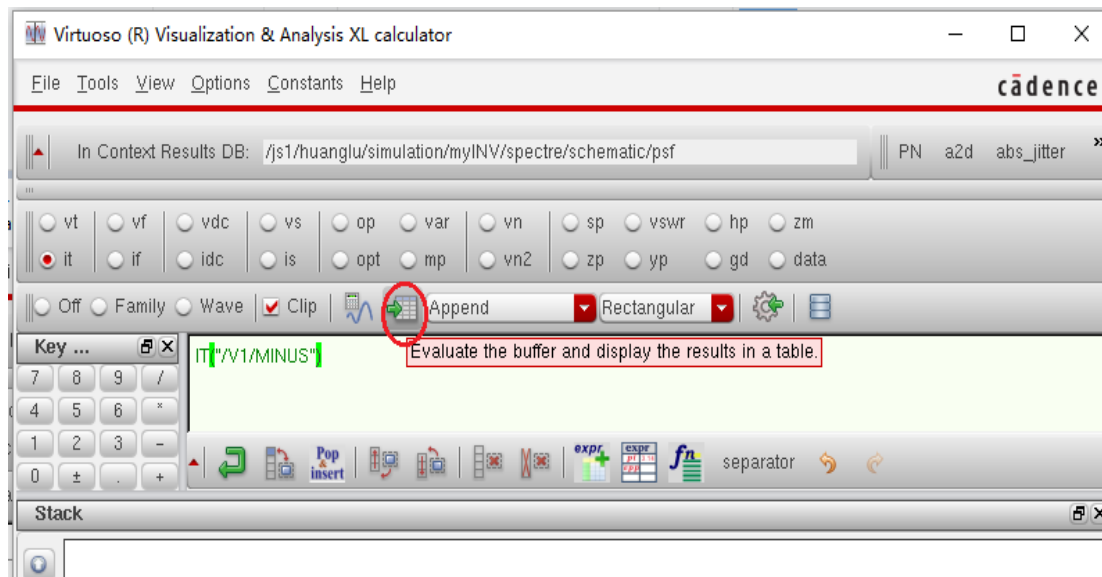
“Clear buffer and stack”



因是测瞬态电流，故 it 被选中（上图左偏上位置）。

在弹出的电路图窗口中，选 1.8V 电源的负端口，则 计算器窗口如下图，容易理解 buffer 区字符的意义：IT 表示瞬态电流。

随后的实验需要使用下图中圈注的 Evaluate the buffer ..图标，但现在不要点击。

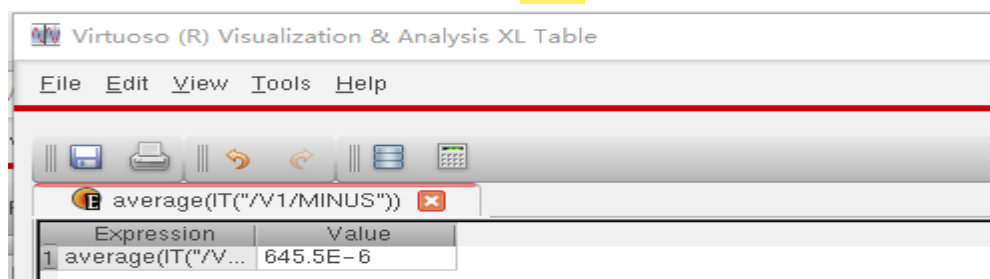


在 Virtuoso (R) Visualization & Analysis XL calculator 窗口底部 Function Panel 面板中，选 “average” 函数。





现在点击 “Evaluate the buffer and display the results in a table” 工具图标，进行计算器窗口 **buffer** 面板中的公式计算。



关闭 INVchain 单元电路图、仿真设置与波形窗口。

仅保留 Library Manager 窗口和更上层的 CIW (Virtuoso) 窗口，关闭其它所有打开的 schematic 电路窗口、ADE L () 仿真设置窗口 (保存 state)、波形图、结果数据等相关窗口。

是否有更简单、更低功耗的反相器链电路？

后续实验证明：虽有更简单、更低功耗的反相器链电路，但是性能会下降。

**选做**以下电路方案一 ~ 电路方案四实验。

实验说明：基于反相器不同的组合，形成多种不同级数和驱动的反相器链，然后根据仿真波形给出一些性能分析。

这个实验的目的是直观了解性能与代价的折中概念，理解功耗、面积与性能之间的关系。

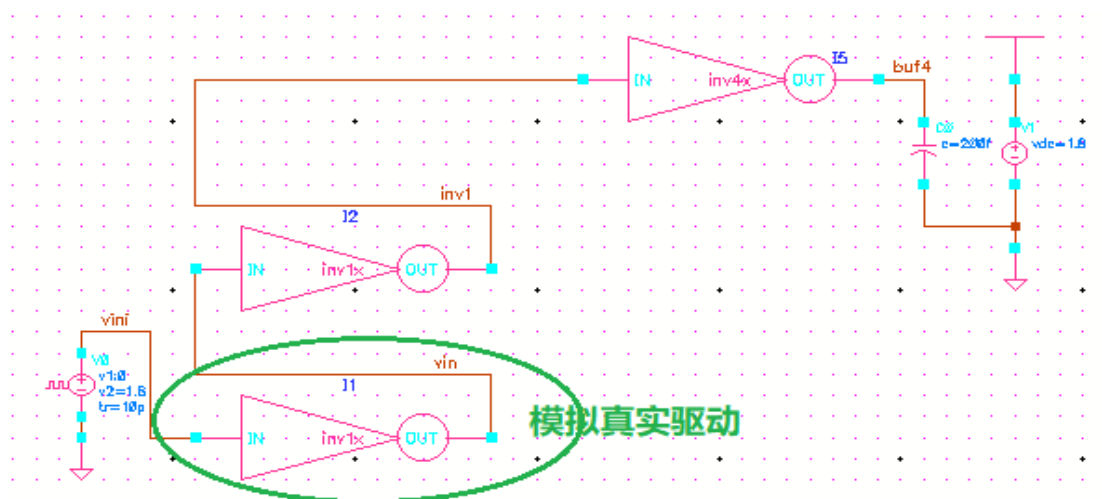
(1) 电路方案一：2 级反相器链 INVchain2-1

2 级反相器链 INVchain2-1 电路图如下：

电路图建议：

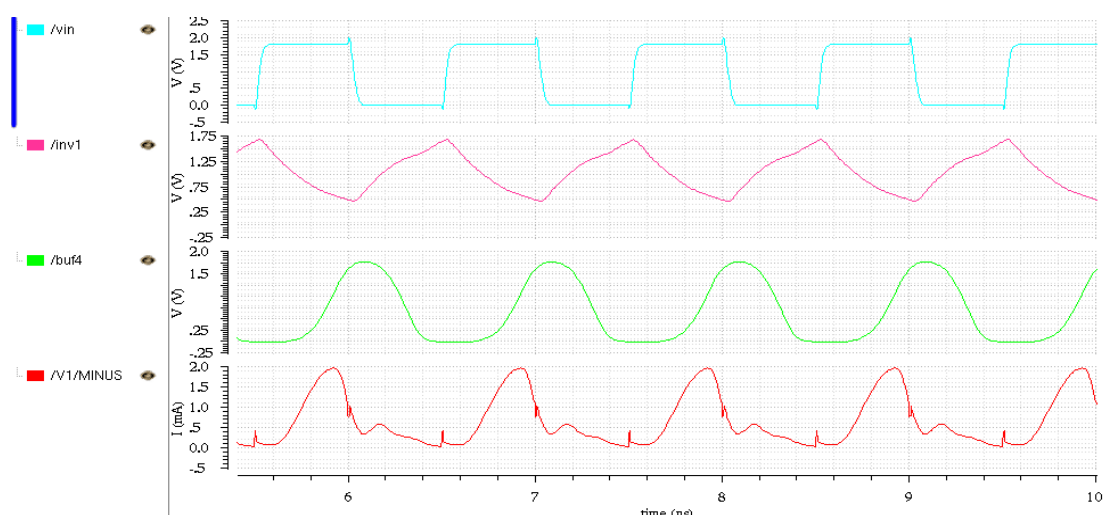
从 Library Manager 窗口 INVchain 单元, Copy 后再修改电路, 可以简便一些。





电路图窗口 “Launch” -> “ADE L” 进入 ADE L() 仿真设置窗口后, “Session” -> “Load State” 选 Cell 为 INVchain 的 state1 加载。

仿真:



2 级反相器链 INVchain2-1 仿真图

与 4 级反相器链相比, 2 级反相器链 INVchain2-1 的路径延时增大, 而且占空比不是 50%; 另一个问题是 buf4 边沿时间超过允许极限 (本实验是按一般情况要求, 时钟的单边沿不超过 10% 时钟周期。然而, 在实用中此要求与具体系统有关。时钟边沿不确定性是引起 jitter 抖动的重要因素, 须保证关键路径 setup 有合适的 slack 余量)。

从波形上看出, 问题原因是 2 级反相器链 INVchain2-1 第一级 Inv1x (不是模拟真实驱动的那个单元) 驱动能力不够, 造成了 buf4 输出波形边沿很慢。

记录 INVchain2-1 的峰值电流, 以便与后续实验电路比较。

在 ADE L() 仿真设置窗口, “Session” -> “Save State...” 保存 INVchain2-1 单元的仿真设置。

## (2) 电路方案二：2 级反相器链 INVchain2-2

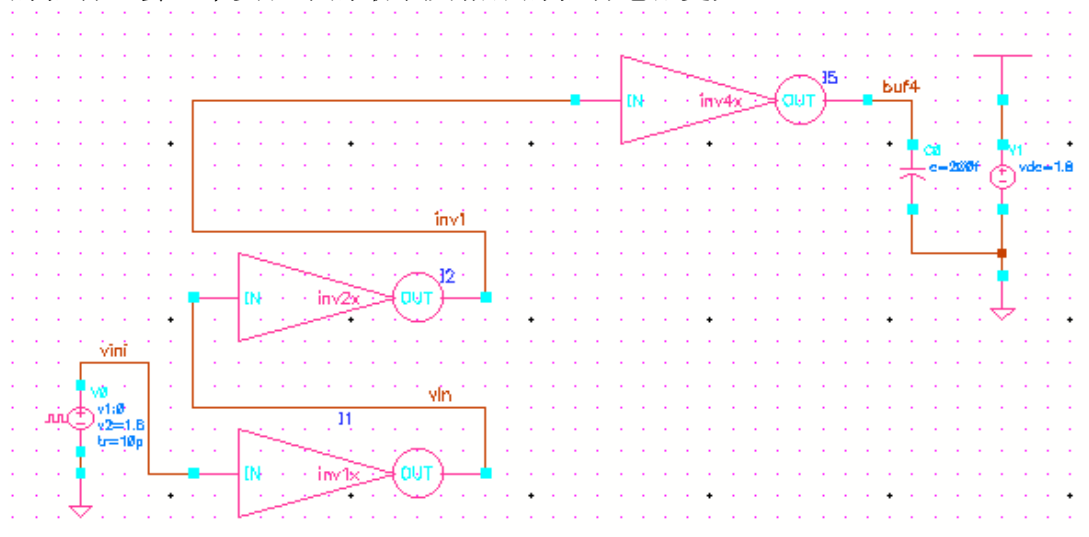
建议从 INVchain2-1 拷贝。

加大 2 级反相器链 INVchain2-1 中第一级反相器的驱动能力：

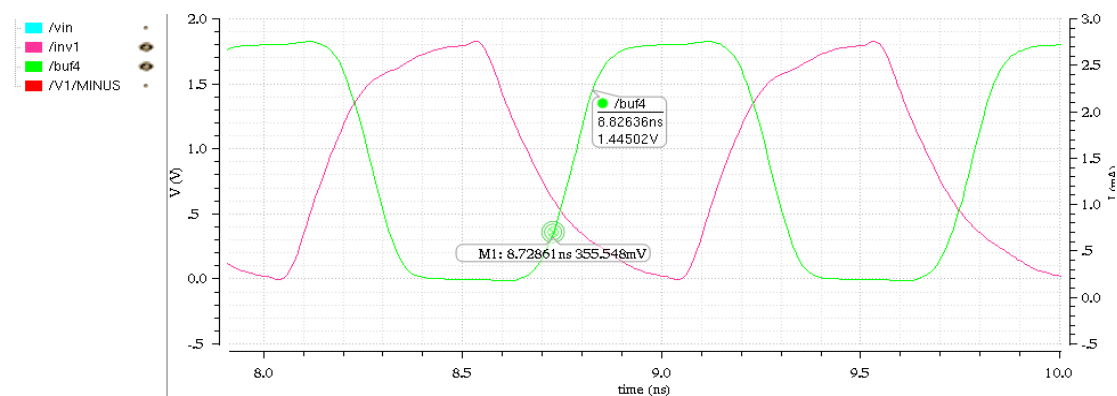
将 INVchain2-1 反相器链中的 inv1x 换成 inv2x 单元（用 **Q** 键），输出线网名仍然是 inv1（这样就不用重新连线和仿真线网名），保存。

现在的 2 级反相器链 INVchain2-2 电路是 inv2x 级联 inv4x。

下图中 inv1x 的作用仍然是模拟真实驱动的输入信号（注意：一般实际电路的驱动，会比本实验中的最小反相器的驱动电流更大一些）。



类似前述步骤获得仿真设置 state，NVchain2-2 仿真结果如下：



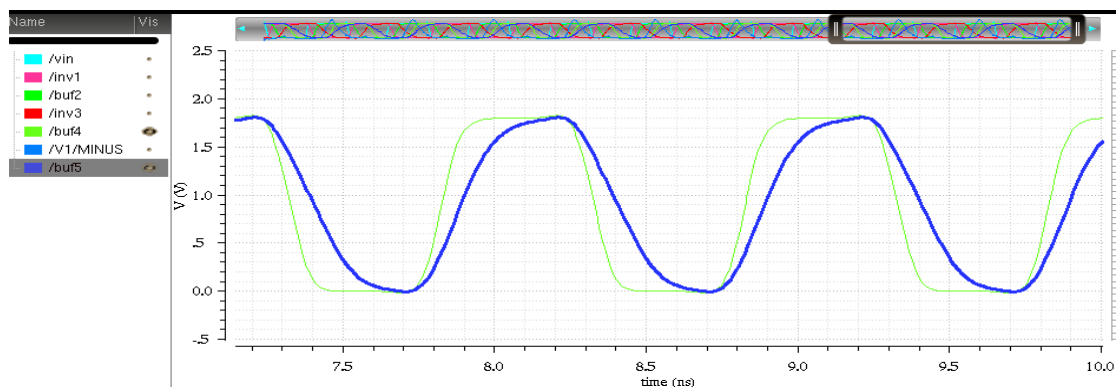
INVchain2-2 电路的峰值电流是多大？

INVchain2-2 输出 buf4 信号波形与 4 级反相器链 INVchain 的输出相比，**边沿时间**增大，该时钟驱动电路的输出边沿时间不合格，或勉强可用，即数字系统速度可能会变差。但若系统的时钟频率稍降低一些，使得单边沿时间不超过 **10%** 时钟周期，该时钟驱动电路的输出一般情况下可用。

常识：对于数字系统，**setup** 时间是指在时钟有效沿之前，数据输入信号必须保持稳定的最短时间；**hold time** 是指在时钟有效沿之后，数据输入信号必须保持稳定的最短时间。







很明显，虽然 2 个输出驱动一致，但由于负载不同，导致时钟到达时间不一致，形成了数字系统中的时钟偏斜 clock skew。

结论：为减小 clock skew，应尽量使时钟树负载平衡。

## 2. 设计 2 输入与非门 mynand

与非门是最基本的组合逻辑单元电路。本实验设计一个与非门，当设计实用与非门时，可通过放大/减小 MOS 宽度来增强/减少负载驱动（电流）能力。顺便提及，一些逻辑综合工具给出的电路面积是按最小与非门数量计算的。

### A. 2 输入与非门单元电路设计

在 icbaslab 库中新建 mynand 单元。

表 2.4

器件标号	单元名	Length	Total Width	Multiplier /Fingers	说明
NM0	n18	180n	1u	1/1	本实验不是采用驱动能力最弱的最小与非门
NM1	n18	180n	1u	1/1	
PM0	p18	180n	1.6u	1/2	PMOS 的 Fingers=2，将在实验四“后端设计”理解版图特点
PM1	p18	180n	1.6u	1/2	

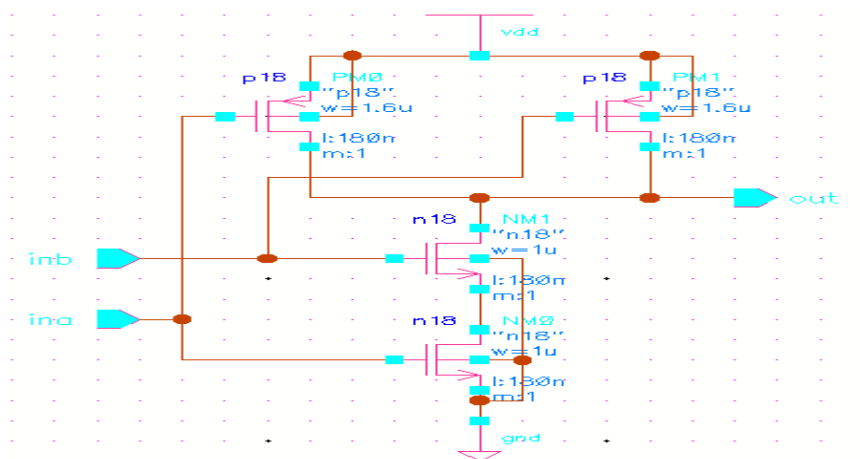
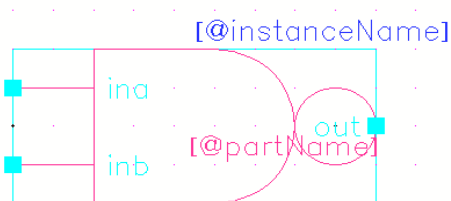


图 2.3 mynand 电路图

生成 symbol: “Create” → “Cellview” → “From cellview”,  
得到 symbol 初始图如下 (若无文字, 则 **F** 键):

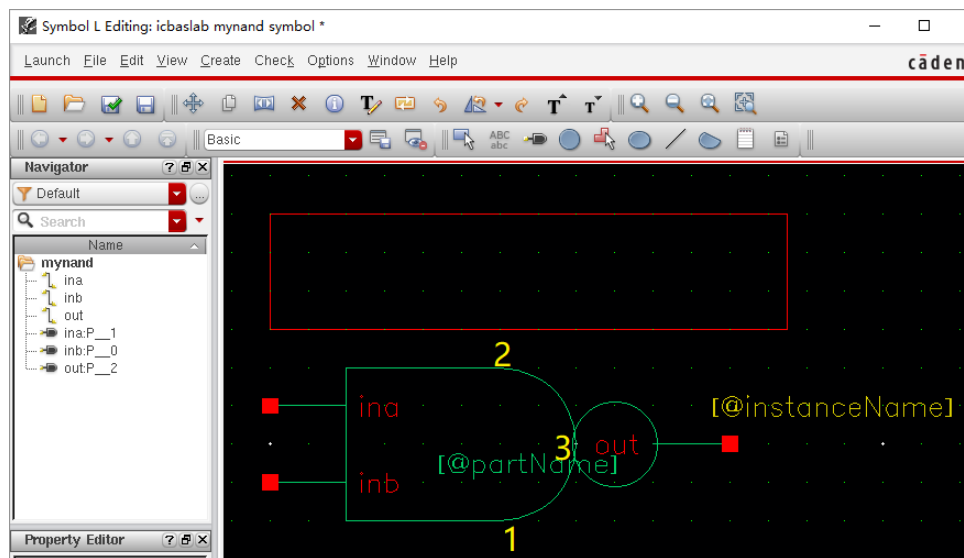


将初始 symbol 改成 2 与非门标准符号形式:



方法如下:

使用“Create Arc”工具图标, 按下图 1、2、3 步骤点击左键画图得到半圆弧。方法是单击选点, 双击放置; 画圆 (反相符号), 移动 out 到合适位置。



**M** 移回红色外框, 并使其边框合适。

画好 symbol 后 “Check and Save”, 关闭该 Symbol L Editing 窗口。

## B. 2 输入与非门 myNAND 的功能验证仿真

可以采用先前方法, 在 schematic 中对 myNAND 电路的输入端口, 加 analogLib 库中理想单元信号源, 然后进行仿真。也可用以下的另一种激励与电源加载方法:

直接在 ADE 仿真时给输入 pin 加载激励, 然后进行瞬态仿真。

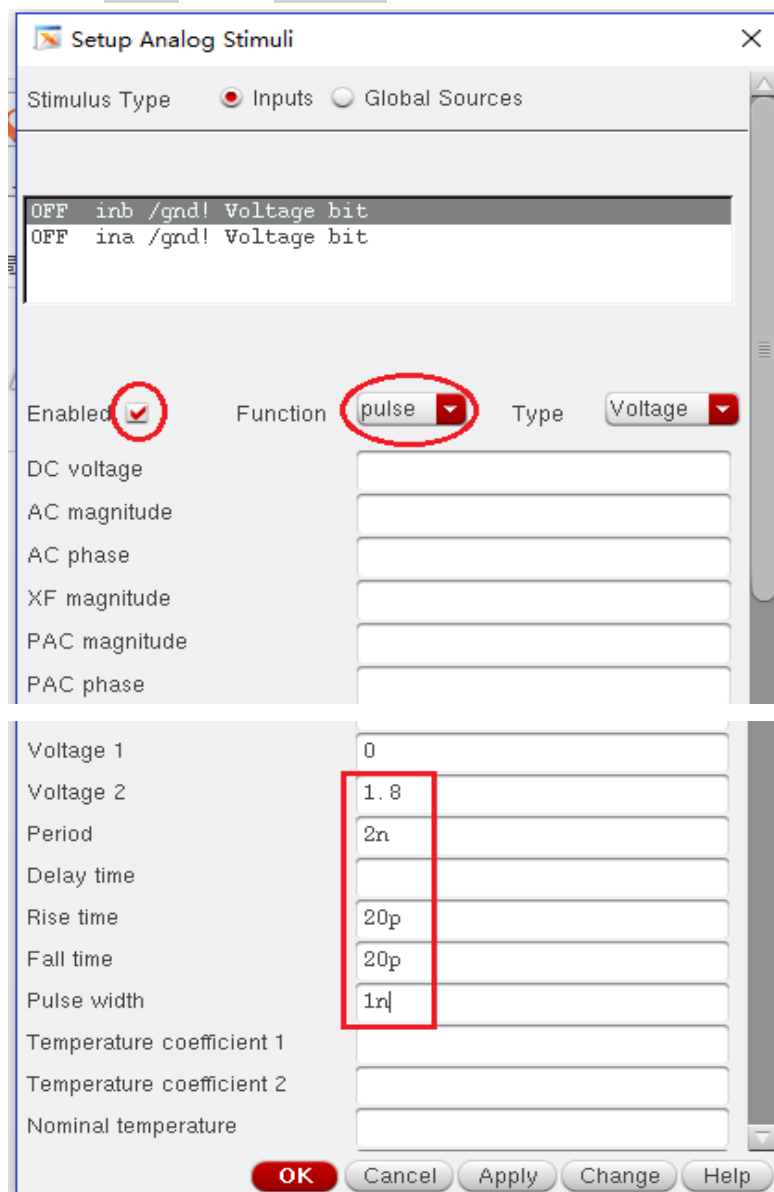
该方法优点是无需另画单元测试电路, 缺点是输入激励与电路分离, 不直观。

仿真前直接给输入信号加载激励：

进入 ADE L ( ) 仿真设置窗口；

下图表示正在对 inb 激励信号进行设置（灰色栏）pulse 电源，

“Setup” → “Stimuli...” 设置 Inputs 端口的 inb 激励信号：



“OK”后，Setup Analog Stimuli 窗口上部显示的 inb 项相应信息将在再次打开时改变（如后述）。

如法炮制，设置输入 ina 的激励信号：

Function 类型 “pulse”，“Enabled” 有效，

Period = 4n，

Pulse width = 2n，

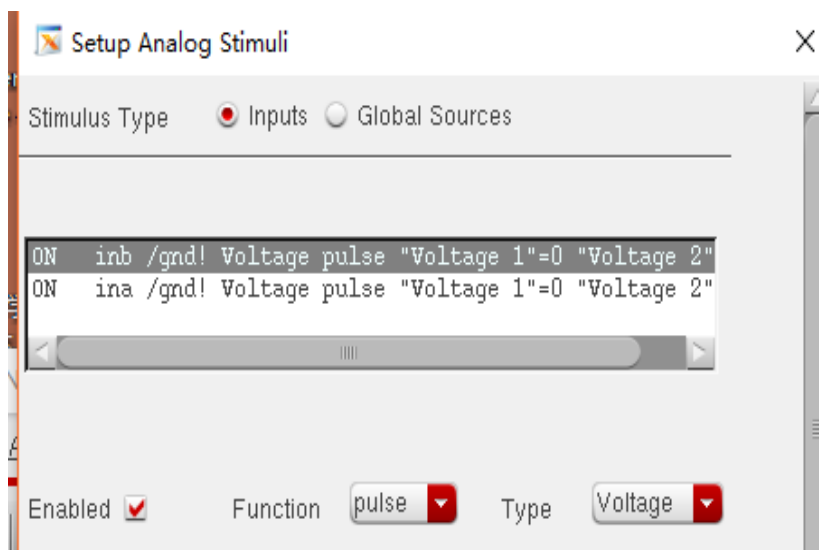
Voltage 电压、Rise time 上升时间和 Fall time 下降时间均与 inb 设置相同。

还需要设置 vdd 电压：“Setup” → “Stimuli...”，

选 Stimulus Type 为 “Global Sources” 按钮有效，

“Enabled”选中有效，  
Function 选“dc”，  
DC voltage = 1.8。

设置 mynand 输入和电源后，检查 ADE L ( ) 仿真设置窗口“Setup”的“Stimuli...”，应如下图：



在 mynand 单元的 ADE L ( ) 仿真设置窗口：

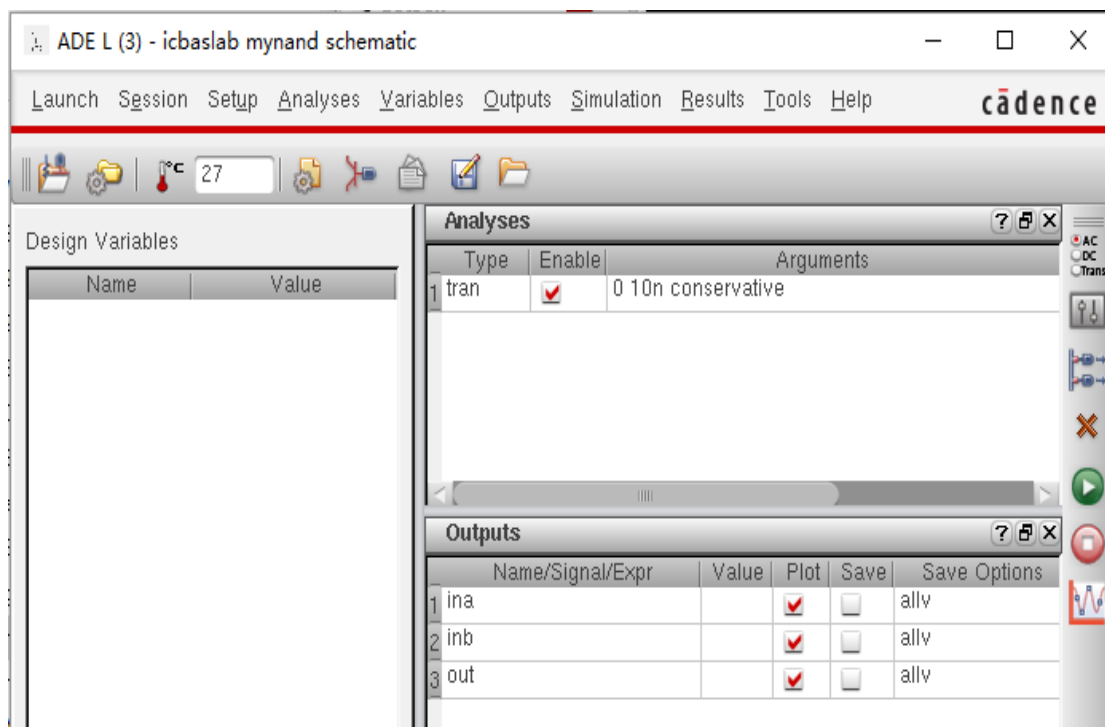
设置仿真：“Choose Analyses”选瞬态分析“tran”，Stop Time = 10n，  
可采用任何仿真精度。若查看陡峭边沿细节，则是高频信号，采用高仿真精度“conservative”。

设置输出（波形）：“Setup Outputs”，点击“From Schematic”后在电路图窗口中点击 ina、inb、out 相连的线网。

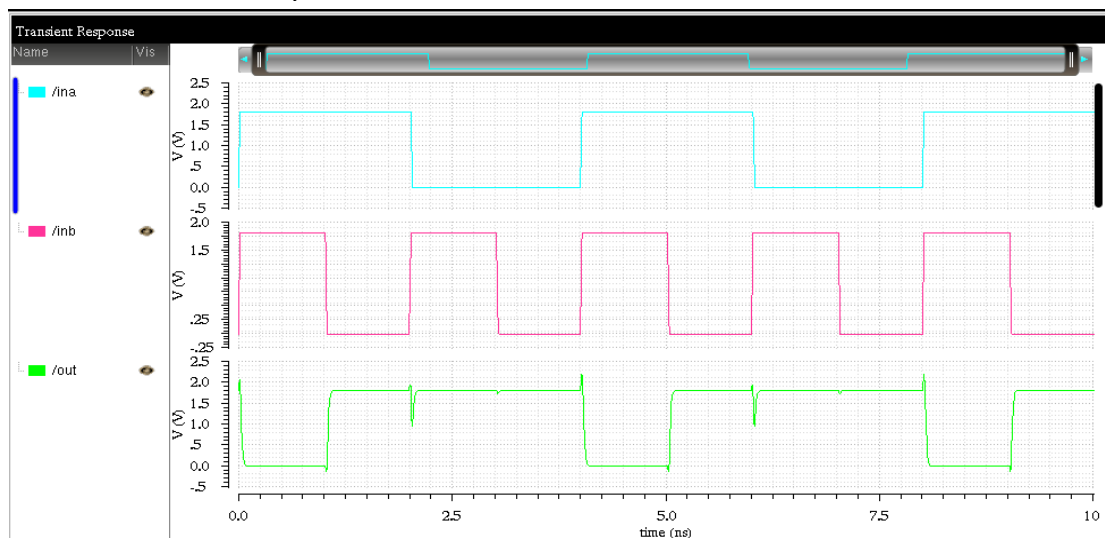
“OK”关闭 Setting Outputs 面板，以防后续无意中又在电路图窗口选中器件。



现在 ADE L ()仿真设置窗口如下图：



2 输入与非门 mynand 仿真波形应如下图：



当两个输入信号同时变化时，输出有毛刺，与理论预期相符。

保存仿真设置状态，关闭与 mynand 相关的各个窗口。

### 3. 设计一款 D flipflop 触发器 myDFF

要求设计一款时钟上升沿触发的 D 触发器：即在 CK 上升沿，Q 输出锁定输入 D 电平，CK 下降沿波形不变。

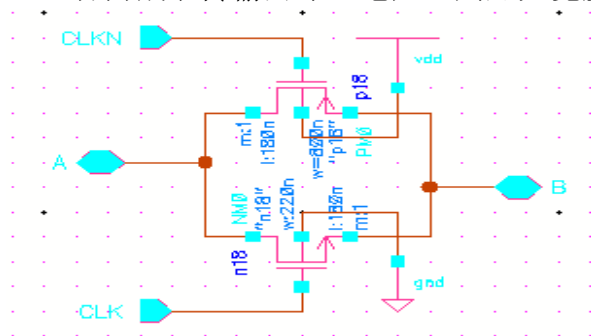
设 myDFF 输出 Q 端口驱动 20 fF 负载，反相输出 QN 端口驱动 100 fF 负载。

(1) 先在 icbaslab 库中新建一个传输门 myTG:

器件标号	单元名	Length	Total Width	library
NM0	n18	180n	<b>220n</b>	Smic18mmrf
PM0	p18	180n	<b>800nm</b>	Smic18mmrf

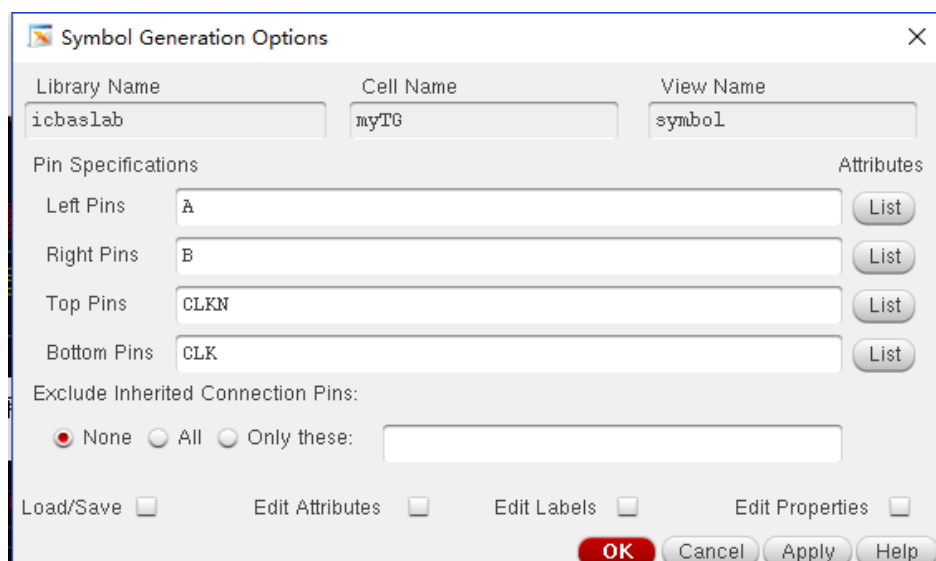
CLK、CKLN 为输入 PIN，A、B 数据端口为 inputOutput 双向 PIN。

传输门 N 管和 P 管导通电阻应近似相等。  
若需减小传输门导通电阻，则加大宽度。

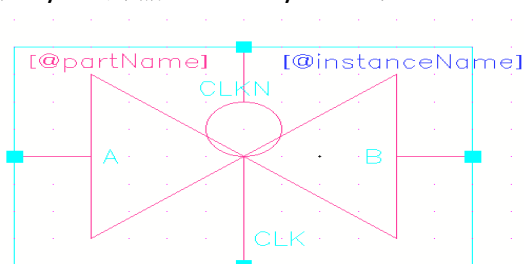


提示：**R** 键可以旋转器件的方向。

创建 myTG 传输门单元的符号 Symbol:



将 myTG 传输门单元 symbol 改为下图标准形式:



## (2) 设计 D 触发器 myDFF

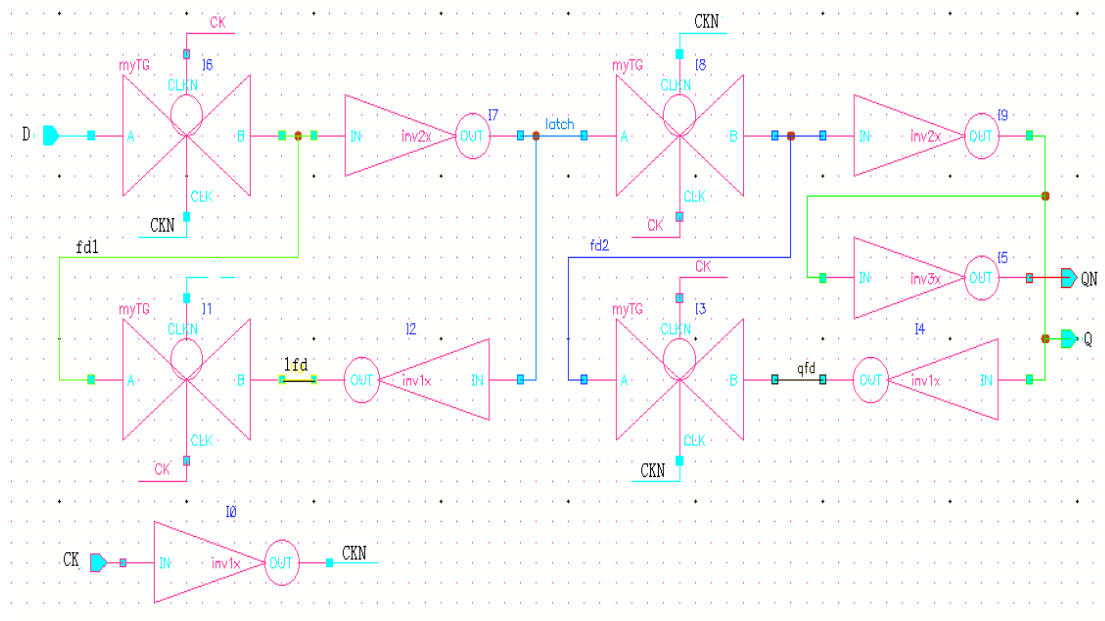


图 2.4 D 触发器 myDFF 电路图

注意 4 个 myTG 开关上的 CK 和 CKN，相邻 myTG 开关是分别通断工作的。

2 输入 PIN 分别为数据 D 和时钟 CK，2 输出 PIN 为 Q 和 QN。

所有线网名可用图标工具“**Create Wire Name**”分批键入。放置线网时注意要将小交点正确放置在线网上，同名线网信号在电路中是相连的。

线网放置与连接详述如下:

时钟线网 CK 与反相信号线网 CKN，放置在 4 个 myTG 传输门控制端；

左边电路（上图左半部分实为锁存器 LATCH）输出线网名为 *latch*：

左边电路的上下 2 个 myTG 传输门之间的连接线网名为 **fd1**;

左边电路输出 latch 信号经反相器 inv1x 反馈输出的线网名为 **lfd**;

右边电路（上图右半部分是另一个锁存器 LATCH）输出接 Q，Q 经 inv3x 的输出为 QN；

右边电路的上下 2 个 myTG 传输门之间的连接线网名为 **fd2**;

右边电路输出 Q 经反相器 inv1x 反馈输出线网名为 **qfd**。

myDFF 中的信号前馈通路反相器为 inv2x，驱动较轻负载 Q，而 inv3x 驱动较重负载 QN；2 个 LATCH 内部的反馈通路采用驱动能力较弱的 inv1x；

2 个 inv1x 反相器起到弱驱动正反馈作用，用于锁定静态输出电平。

注意：DFF 有多种电路结构，本实验仅采用上图电路结构进行仿真。

实验 D 触发器电路的工作原理：

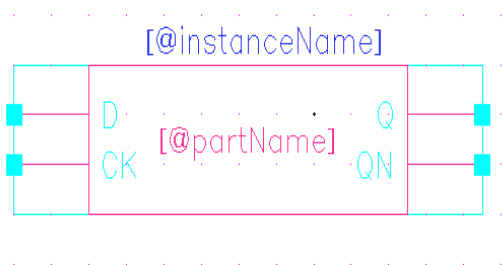
时钟信号为高电平时，左上 myTG 开关断开，左下开关导通，第一级（或称前级）LATCH 处在数据锁存不变状态；右边电路是第二级（后级）LATCH，但后级 LATCH 中的 myTG 开关状态与前级 LATCH 中的 myTG 开关状态相反，此时后级 LATCH 处于数据直通状态；

时钟信号为低电平时，左上 myTG 开关导通，左下开关断开，前级 LATCH 处在数据直通状态；后级 LATCH 处于数据锁存（不变）状态；

因此，触发器数据输出规律是：myDFF 在时钟 CK 上升沿触发（输出改变），下降沿不变。

生成 myDFF 的 symbol：

“Create”→“Cellviews”，



创建 myDFF 单元的测试电路 myDFFtest 单元：

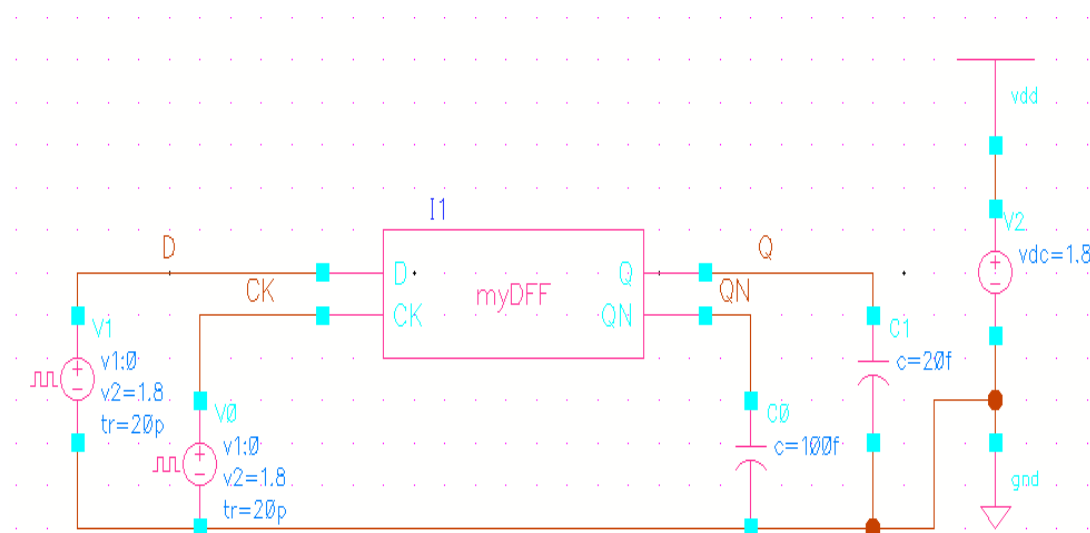


图 2.5 测试电路 myDFFtest

myDFFtest 输入 D 端口线网名为 D，CK 端口线网名为 CK，输出线网名为 Q 和 QN。myDFFtest 中的线网名可以与 myDFF 单元的端口名不相同。

电路图中必须在电源 vdd 和地 gnd 之间加电压源才能仿真。

脉冲 **vpulse** 信号源 **V1**，为 **myDFF** 数据输入端口 **D** 提供信号：

PAC phase		off
Voltage 1	0 V	off
Voltage 2	1.8 V	off
Period	3n s	off
Delay time		off
Rise time	20p s	off
Fall time	20p s	off
Pulse width	2n s	off
Temperature coefficient 1		off

时钟 **CK** 激励 **V0** 也是 **vpulse** 脉冲信号源：

PAC phase		off
Voltage 1	0 V	off
Voltage 2	1.8 V	off
Period	2n s	off
Delay time		off
Rise time	20p s	off
Fall time	20p s	off
Pulse width	1n s	off
Temperature coefficient 1		off

注意：这里仿真采用的输入数据 **D** 信号与时钟 **CK** 边沿时间起始点相同，2 个脉冲信号源（加载 **D** 和 **CK**）的 **Delay time** 栏皆为空白，即为 0。

## B. 仿真测试

进行瞬态 **tran** 仿真，“**Stop Time**” = **20n**，高精度或中精度仿真均可。

设置显示输出信号：

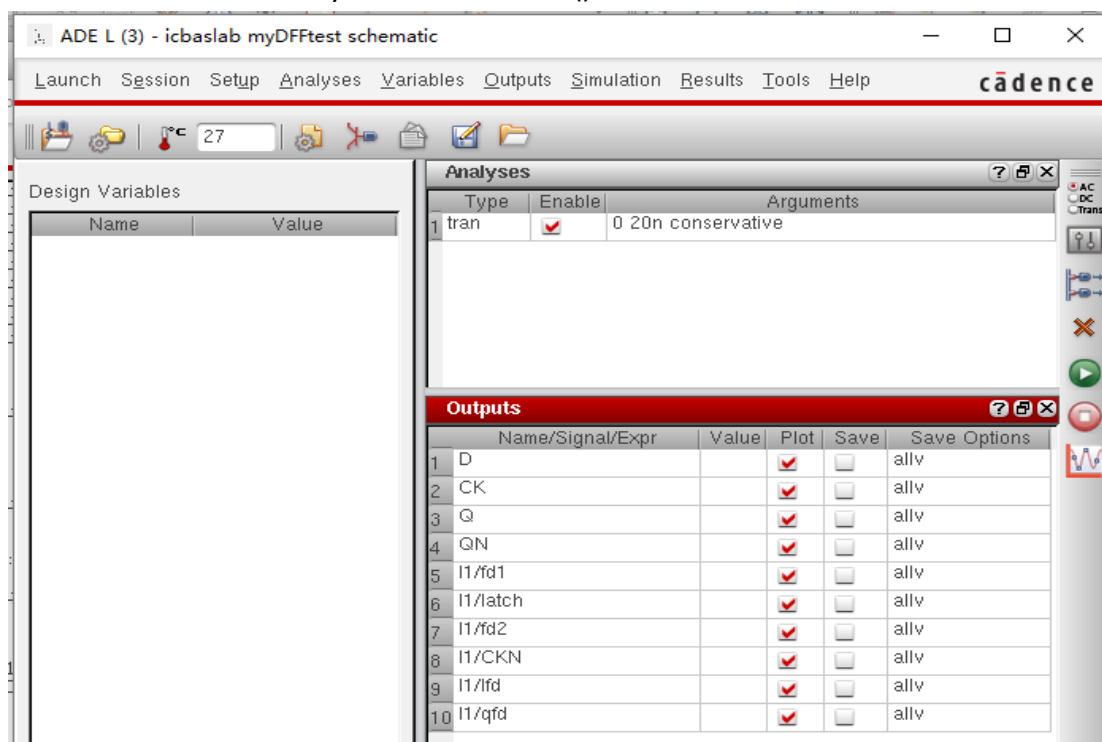
至少包括有顶层电路 **myDFFtest** 模块中所有用“**Create Wire Name**”标注的信号：**D**、**CK**、**Q**、**QN**。

若需进入下一层 **myDFF** 模块选择显示输出信号，则鼠标放在该模块区域，**E** 键后点击该子电路模块，可选择“**edit**”或“**read**”，选择输出信号时均可。

进入下层该子电路模块的内部电路。

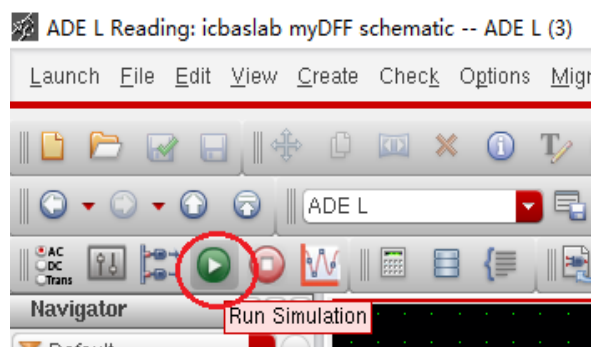
若点选 myDFF 时发现出现了不需要显示输出的端口电流或电压,可在 Setting Outputs 窗口 Table Of Output 栏选中相应信号后,在窗口左下处点“Delete”删除;实际上保留这些端口电流或电压也无妨,可以在波形窗口中将相关信号“闭眼”不进行显示。若要返回上一层电路,用 **Ctrl + E** 键。

触发器测试模块 myDFFtest 的 ADE L() 仿真设置窗口如下图:

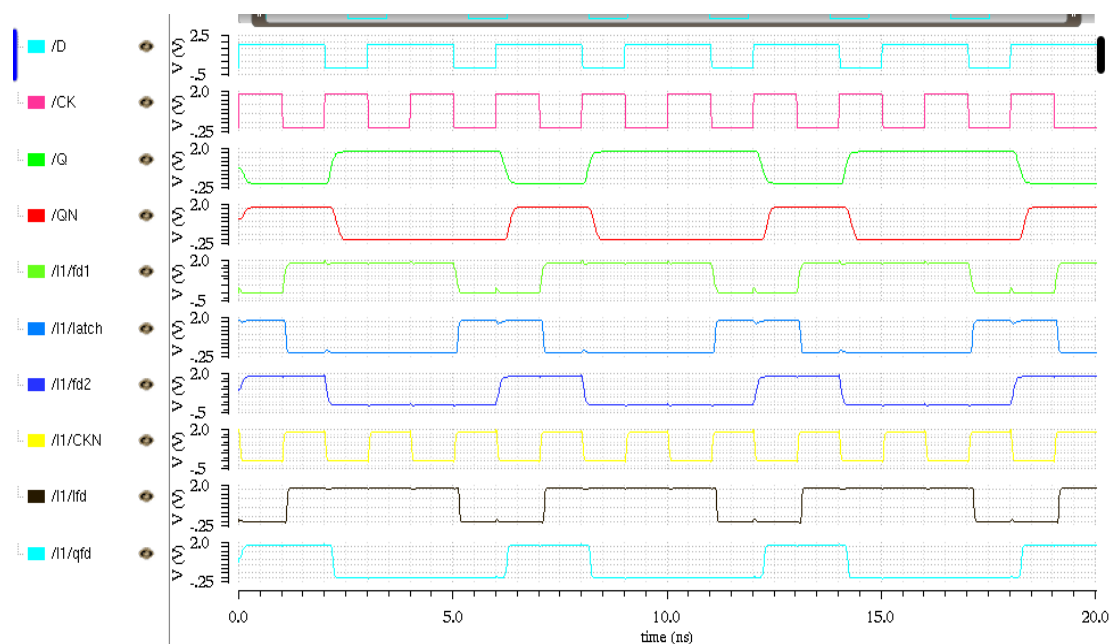


myDFFtest 的仿真设置窗口图

可直接在子模块的 ADE L 关联电路窗口运行仿真:



点击“Run Simulation”工具图标。



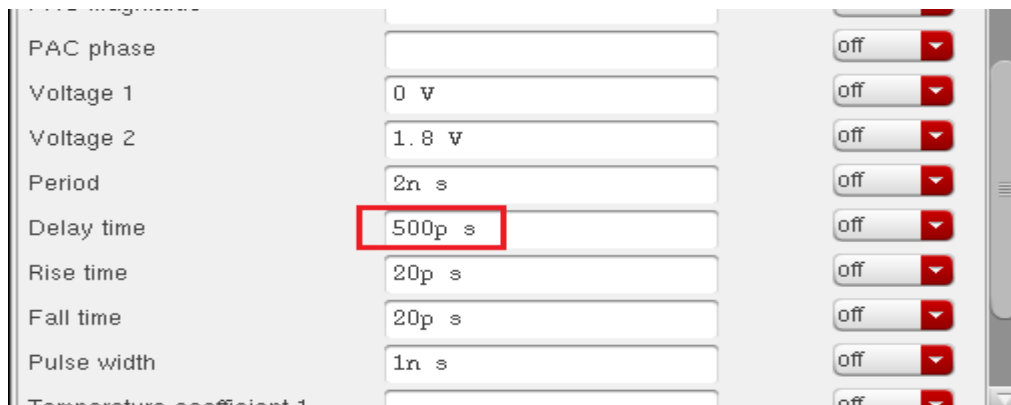
问题：myDFF 输出波形正确吗？

实验设计所要求的触发器数据输出规律应是：myDFF 在时钟 CK 上升沿触发，Q 输出锁定输入 D 电平，在 CK 下降沿输出波形不变。

仿真结果明显不符合上述规律。

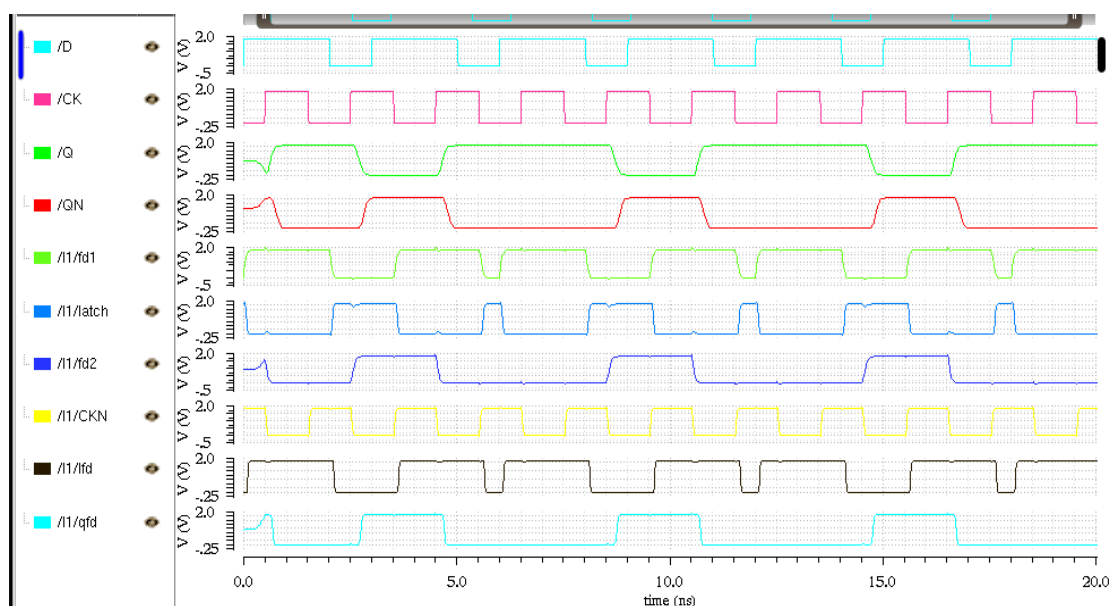
#### D、正确的时序仿真

在 myDFFtest 关联电路图窗口，将时钟激励源 V0 脉冲方波延迟 500ps:



电路图窗口 “Check and Save”。

重新仿真图如下：



上图波形显示：在 CK 上升沿，Q 输出锁定输入 D 电平；  
在 CK 下降沿，波形不变。

波形表明 myDFF 逻辑功能正确，符合本实验对于 D 触发器的功能设计。

仿真结果证明：触发器 myDFF 的 D 输入必须超前 CK 时钟一段 setup 时间。

因此，只有正确地设置时钟激励，才能对时序电路进行仿真。

本实验证明了数字电路中信号时序的重要性。

结束实验：

ADE L () 仿真设置窗口保存仿真设置状态：“Session” → “Save state”。

准备好实验报告所需要的截图和数据后，退出系统。

## ● 实验报告要求

用截图方式给出所完成实验的电路图和仿真图，包括以下部分：

1. 标有 MOS 尺寸的 inv4x 电路图，以及 VM 仿真图；
2. 填表 2.3；
3. INVchain-2（电路方案五）单元的电路图，以及瞬态仿真波形；  
应如何减小 clock skew？
4. myDFF 单元的电路图，以及正确时序的瞬态仿真波形；D 输入与 CK 时钟触发时间有何要求？
5. 对于完成的选做实验，要有电路图和仿真波形贴图。

完成实验教师或助教的其它要求。



## ● 附录

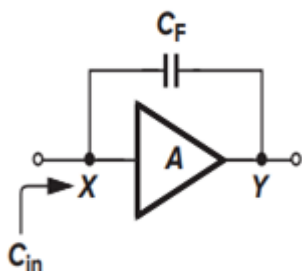
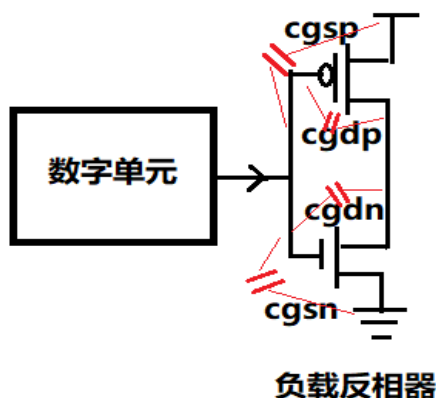
### 关于数字电路（反相器）的密勒效应

得益于逻辑综合和在此基础上发展起来的高阶综合技术，数字集成电路设计得到极大发展，使得数字 IC 前端设计变成硬件描述语言 HDL 或 SystemC 等高级语言的“软件”编程。

逻辑综合后通过优化置换成为预先设计的特定工艺器件库中的标准单元或宏单元，形成芯片电路。标准单元库包含组合逻辑、时序逻辑、功能单元和特殊类型单元，以及加法器、存储器等宏单元。标准库单元和宏单元的时序逻辑需要提供上升时间、下降时间、延迟时间、驱动能力等参数，这些参数通过模拟电路的瞬态仿真方法获得，这是逻辑综合算法从代码到芯片电路的基础。由于数字逻辑电路没有静态工作点，电路状态翻转过程中 MOS 工作区有所改变，因此难以进行手工精确计算，只能粗略估算（手工设计总是以简单和近似为特点）得到近似设计数值，然后通过仿真调整数字单元相关 MOS 的宽长参数。

数字单元负载大多可等效为反相器，负载反相器 MOS 管栅源电容  $c_{gs} = c_{gsn} + c_{gsp}$ ，栅漏电容  $c_{gd} = c_{gdn} + c_{gdp}$ （下标 n 和 p 分别表示 NMOS 和 PMOS 管）； $c_{gs}$  包括 MOS 寄生电容和外部电容(例如连线电容)，因  $c_{gd}$  具有与该漏极负载电路放大倍数相关的密勒效应，对高速电路或时钟陡峭边沿影响较大。

由于数字电路的放大倍数在信号转换过程中变化很大，导致 MOS 管工作在截止、饱和、线性区之间转换，无法精确地手工计算反相器的放大倍数，密勒效应只能粗估。简单做法是总体上将反相器平均增益  $A = \text{输出变化} / \text{输入变化} = -1$ 。



∴ 密勒效应输入阻抗

$$Z_1 = \frac{Z_F}{1 - A} = \frac{\frac{1}{C_{gd}s}}{1 - (-1)} = \frac{1}{2C_{gd}s}$$

∴ 等效为输入端电容  $C_{in} = 2C_{gd}$

根据模拟 IC 电路设计理论,  $c_{gd}$  等效到反相器输入端的密勒电容为  $2c_{gd}$ 。因此前图数字单元的负载电容  $C_{tol} = c_{gs} + 2c_{gd} = c_{gsn} + c_{gsp} + 2c_{gdn} + 2c_{gdp}$

增益低则密勒效应小, 而密勒电容小则有利于传输高频信号。顺便指出, 射频 MOS 管的  $c_{gd}$  应比普通 MOS 管的容值小, 是为了使射频电路信号通路上输入管的等效输入电容较小, 形成较高的极点频率。