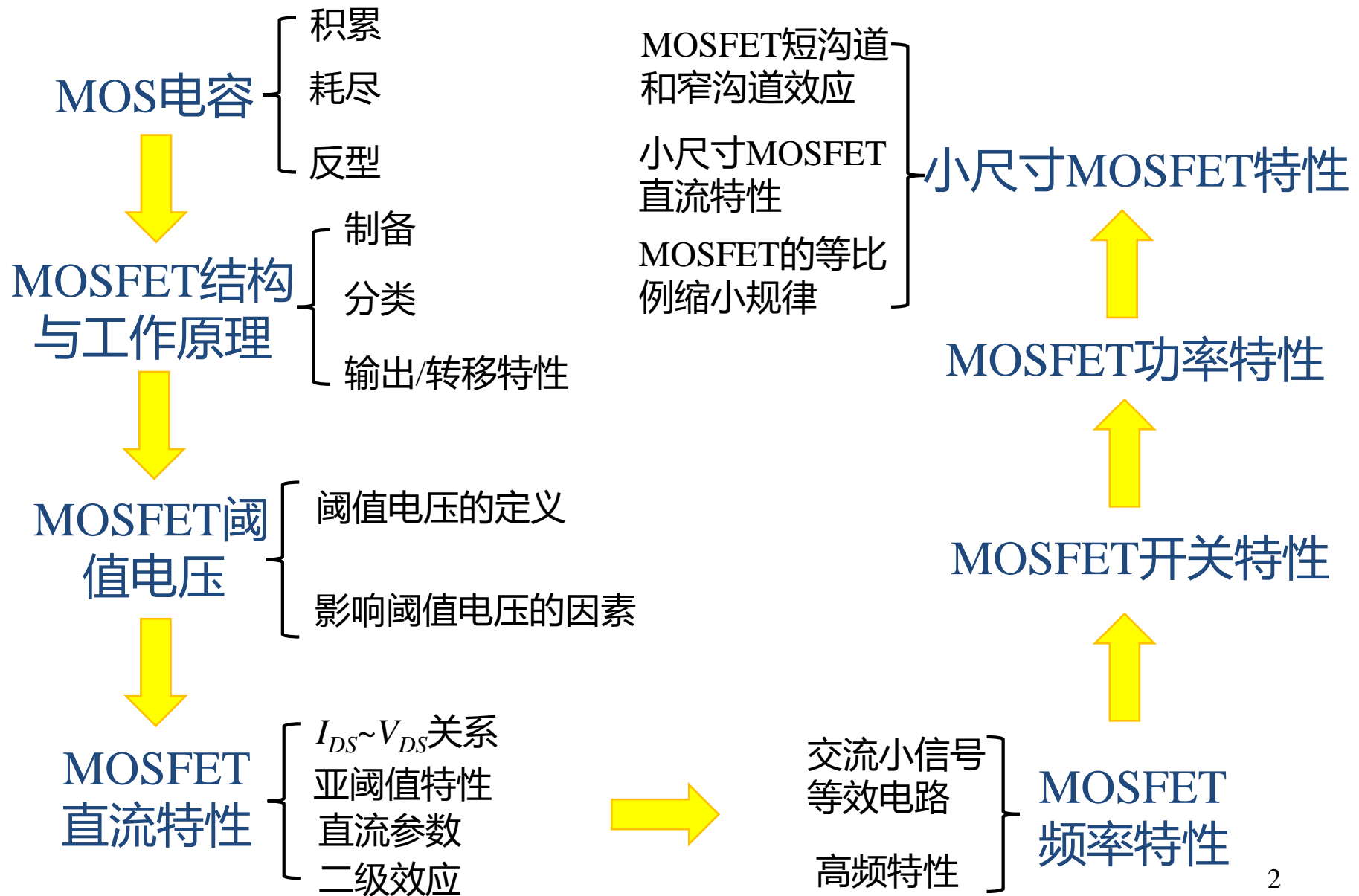


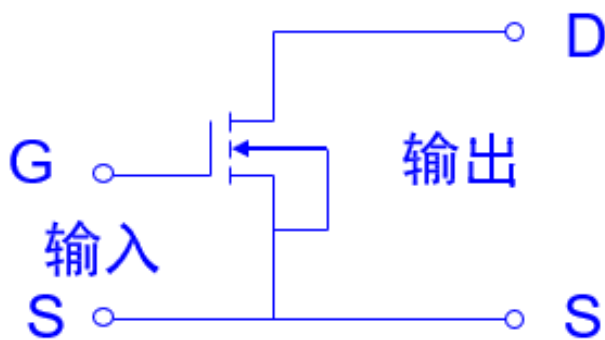
第五章 金属-氧化物-半导体场效应晶体管 (MOSFET)

- §5.1 MOSFET的结构和工作原理
- §5.2 MOSFET的阈值电压
- §5.3 MOSFET的直流特性
- §5.4 MOSFET的频率特性
- §5.5 MOSFET的开关特性
- §5.6 MOSFET的功率特性
- §5.7 小尺寸MOSFET
- §5.8 MOSFET的最新研究进展

MOSFET基本知识体系框架

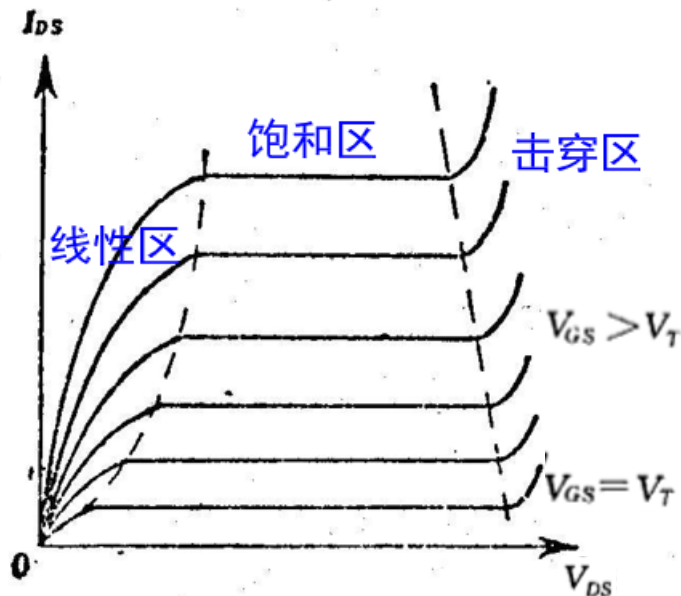


MOSFET输出和转移特性

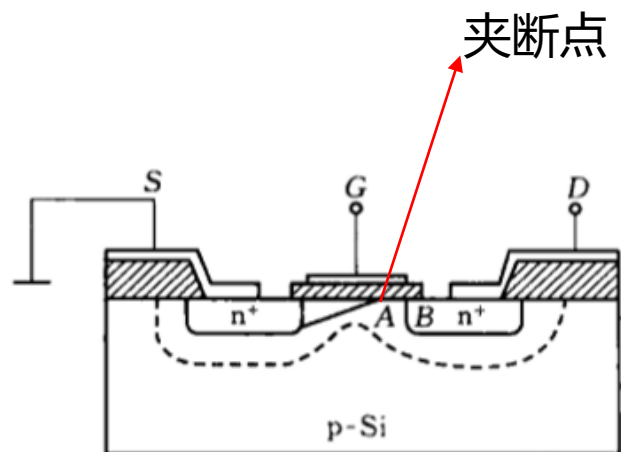
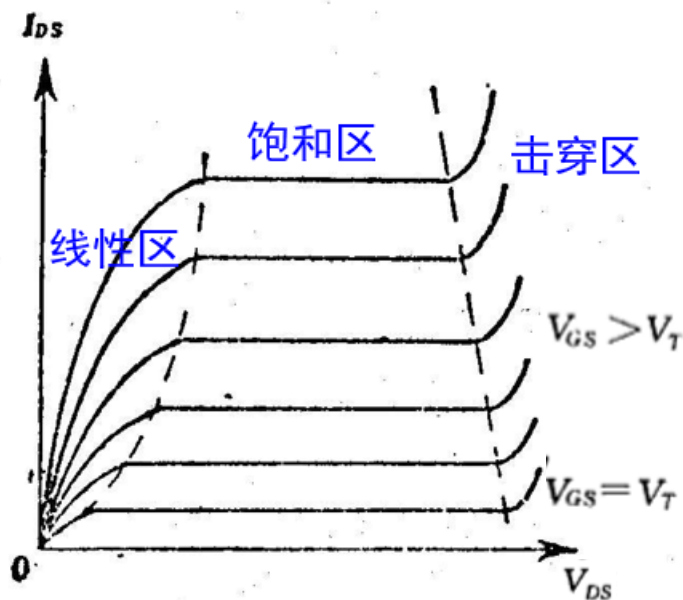


右图是NMOS增强型晶体管的**输出曲线** (I_{ds} - V_{ds} 曲线), 输出曲线分为三部分: 线性区、饱和区、击穿区。

以 V_{gs} 为参量, I_{ds} - V_{ds} 为输出特性曲线, 默认源和衬底接地, 所有电压都是相对于源而言。



MOSFET输出和转移特性

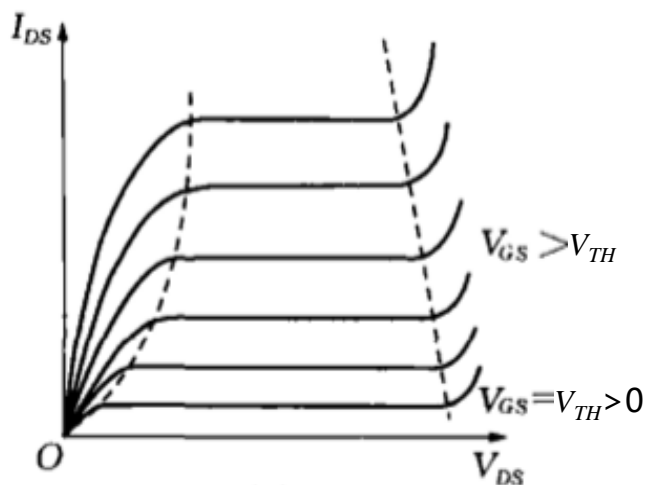


(1) 线性区：当 $V_{gs} > V_T$ 且源漏电压 V_{ds} 相对于栅压 V_{gs} 较小时，在源漏之间存在一个连续的N型沟道， V_{ds} 的存在使近源端的沟道厚度比近漏端的沟道厚度要大，但总的来说反型层导电沟道比氧化层厚度小得多，此时沟道区呈现电阻特性。

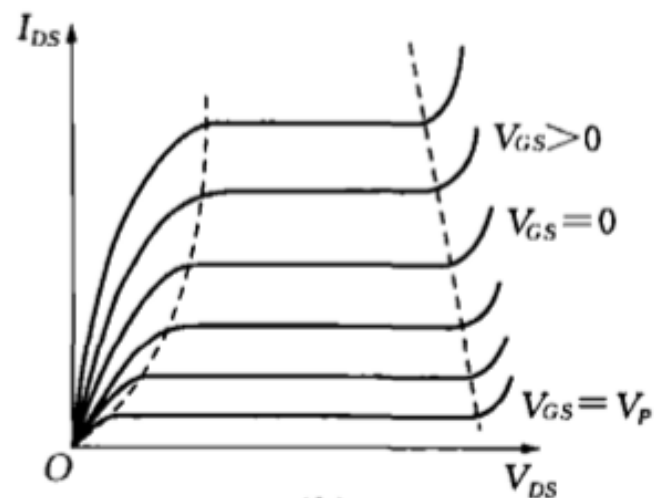
(2) 饱和区： V_{ds} 增大到 $V_{gs} - V_T$ 时近漏端导电沟道出现夹断点，随着 V_{ds} 继续增大，夹断点向源端移动，增加的电压落在漏端耗尽区，但总的导电沟道长度变化不大，因此电流进入饱和区。

(3) 击穿区：当 V_{ds} 增大到超过漏端pn结的击穿电压后，电流通过导电沟道及击穿的漏端耗尽区流入源端，所以电流急剧增大，进入击穿区。

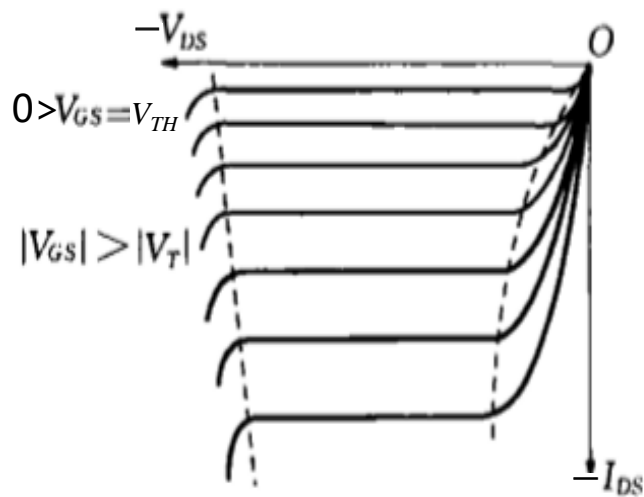
MOSFET输出和转移特性



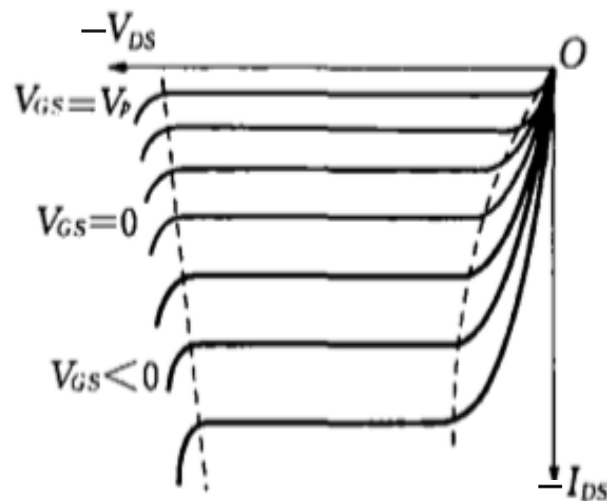
NMOS增强型
(V_{TH} : 开启电压, 或阈值电压)



NMOS耗尽型
(V_P : 关断电压, 或截止电压)

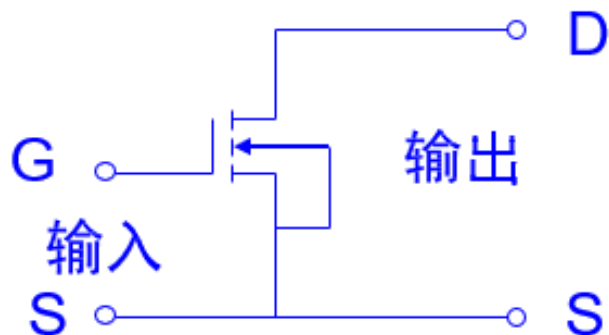


PMOS增强型

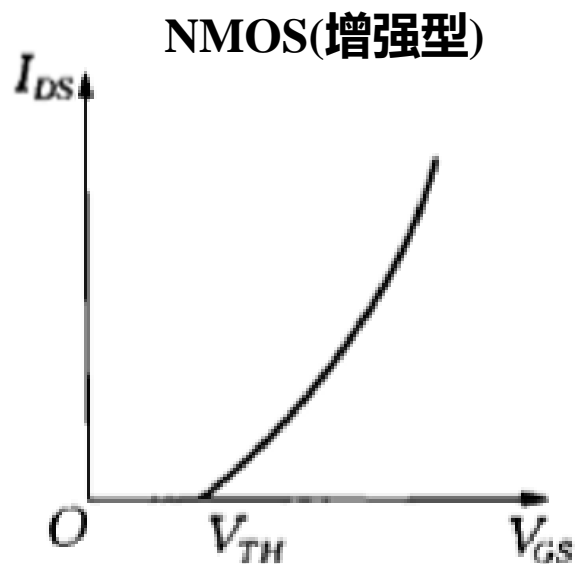


PMOS耗尽型

MOSFET输出和转移特性



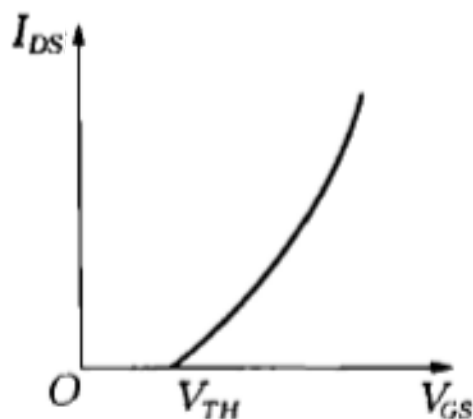
以 V_{gs} 为输入， I_{ds} 为输出结果，它们之间有一个跨越，所以 $I_{ds}-V_{gs}$ 曲线称为**转移曲线**



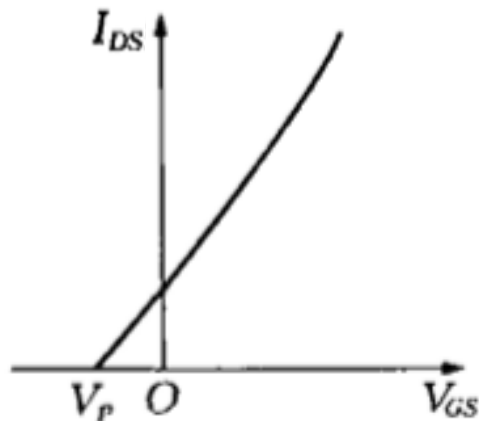
(1) **亚阈值区**：0~ V_T 之间电流并不为0，只是相对于开启后的电流显得很小。

(2) 转移曲线：当晶体管工作在饱和区时，工作电流为 I_{ds} ，不同的 V_{gs} 会引起不同的 I_{ds} 。

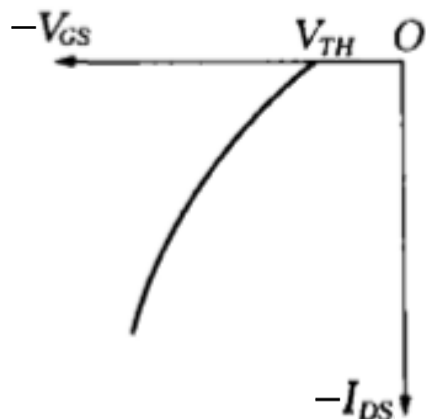
MOSFET输出和转移特性



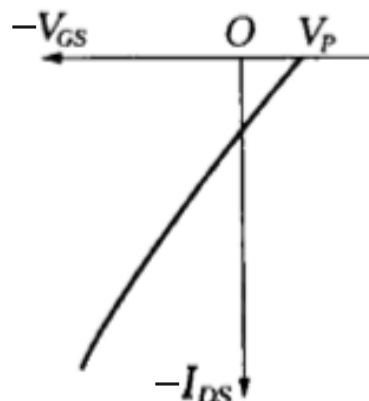
NMOS增强型
(V_{TH} : 开启电压)



NMOS耗尽型
(V_P : 关断电压, 或截止电压)



PMOS增强型



PMOS耗尽型

V_{TH} 和 V_P 统称为阈值电压 (V_T)

思考:

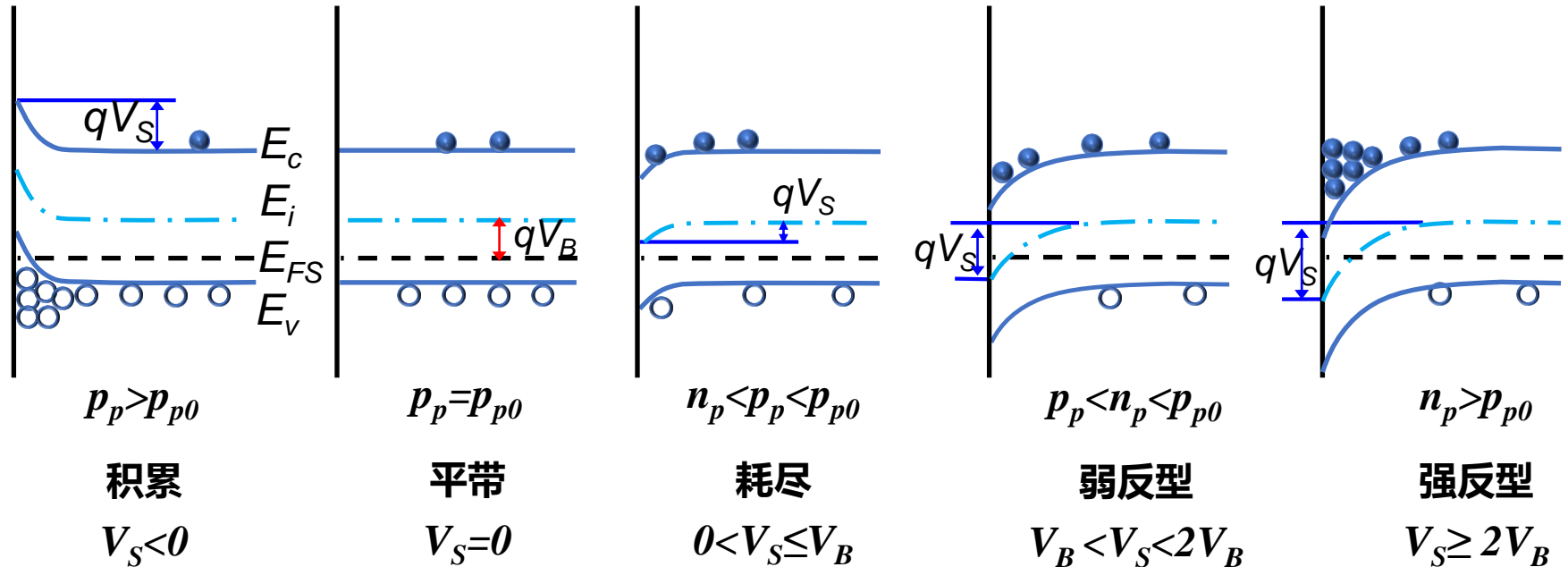
如何通过 I - V
曲线判断不
同类型的
MOSFET?

第五章 金属-氧化物-半导体场效应晶体管 (MOSFET)

- §5.1 MOSFET的结构和工作原理
- §5.2 MOSFET的阈值电压
- §5.3 MOSFET的直流特性
- §5.4 MOSFET的频率特性
- §5.5 MOSFET的开关特性
- §5.6 MOSFET的功率特性
- §5.7 小尺寸MOSFET
- §5.8 MOSFET的最新研究进展

MOSFET的阈值电压

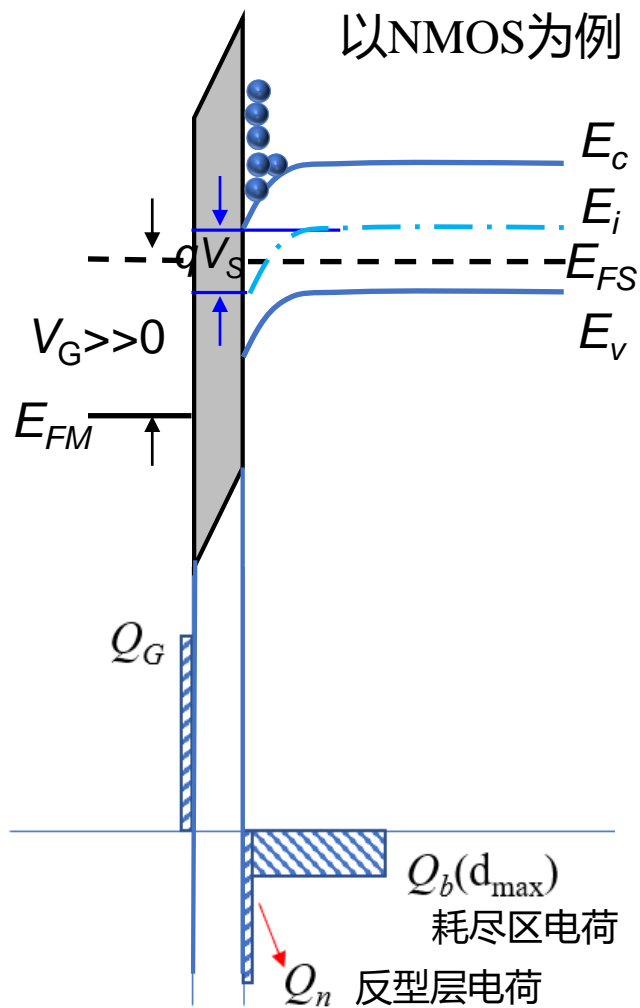
半导体表面状态:



MOS电容在不同栅压下半导体表面有不同的表现，那么阈值电压 $V_T = ?$

MOSFET的阈值电压

理想状态下的阈值电压： ◆ 阈值电压(V_T)：使半导体表面强反型时所需加的栅压 V_{GS} 。



◆ 不考虑金属半导体功函数差 ϕ_{ms} 、Si/SiO₂界面电荷 Q_{ss} 、氧化层移动电荷 Q_{ox} 时， V_T 分为两部分：

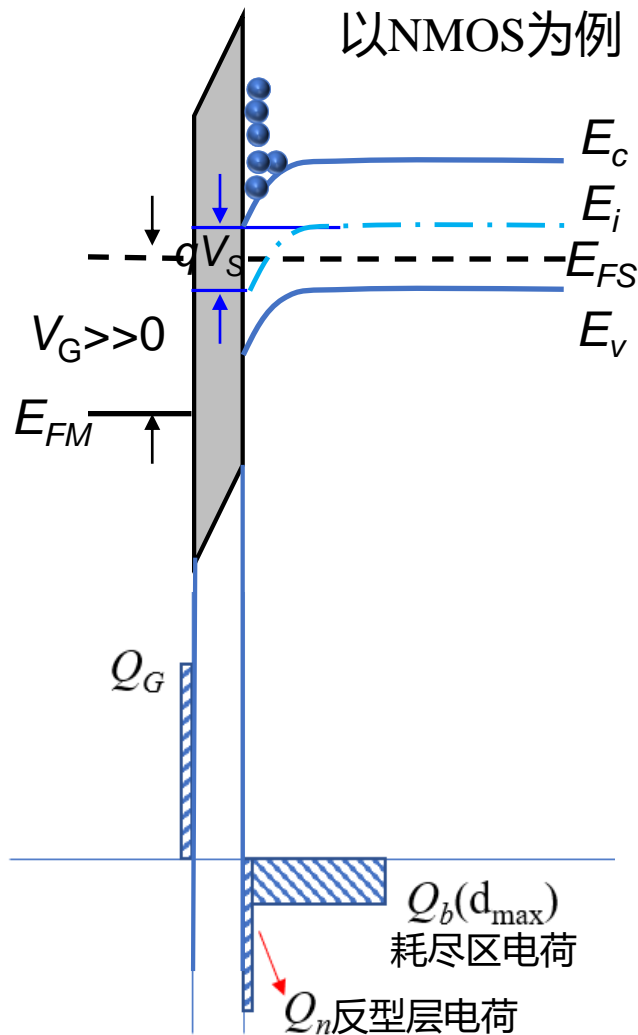
- ① 落在半导体表面产生强反型时所需的表面势 $2V_{Bi}$ ；
- ② 落在氧化层上的压降 $\frac{Q_B(d_{max})}{C_{ox}}$ ，其中 d_{max} 为耗尽区最大宽度($d_{max} = x_{dm}$)， $Q_B(d_{max})$ 为耗尽区电荷数(这里不考虑极性，即为正值)， C_{ox} 为氧化层电容。

◆ 为什么落在氧化层上的压降是 $\frac{Q_B(d_{max})}{C_{ox}}$ ？

MOSFET的阈值电压

理想状态下的阈值电压：

以NMOS为例



从平行板电容器角度理解，知道电容两侧的面电荷密度就可以计算出氧化硅上的压降。氧化硅右侧负电荷由耗尽层负电荷与反型层电子组成，由于反型层厚度相对于耗尽层来说非常小，所以计算时可以忽略反型层电子提供的面电荷密度。耗尽层提供的面电荷密度为

$$Q_B(d_{max}) = qN_A d_{max} = qN_A \sqrt{\frac{2\epsilon_{rs}\epsilon_0(2V_B)}{qN_A}}$$

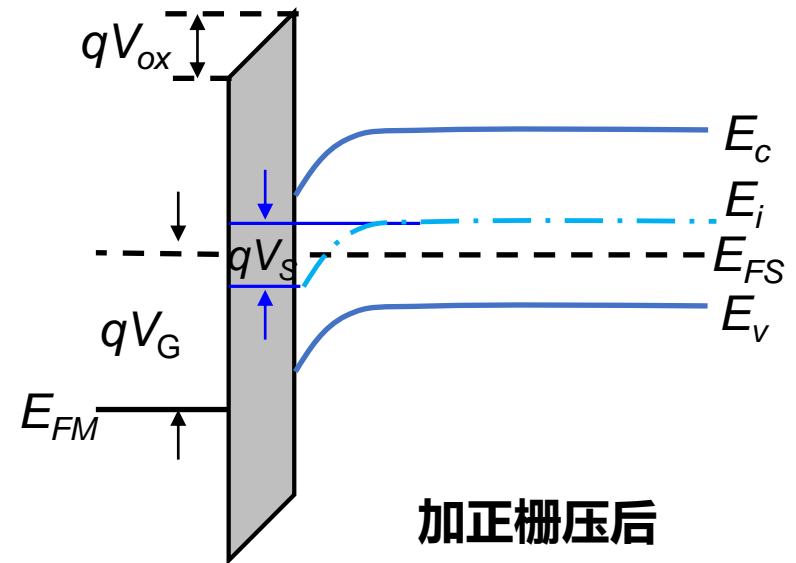
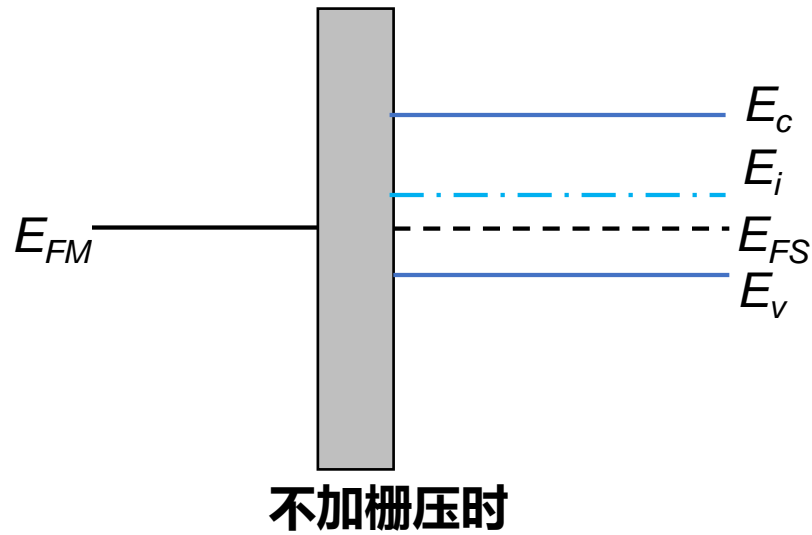
$$V_{ox} = \frac{Q_B(d_{max})}{C_{ox}}$$

$$V_T = 2V_B + \frac{Q_B(d_{max})}{C_{ox}} \quad V_B = \frac{k_0 T}{q} \ln\left(\frac{N_A}{n_i}\right)$$

$$V_T = \frac{2k_0 T}{q} \ln\left(\frac{N_A}{n_i}\right) + \frac{1}{C_{ox}} [4N_A \epsilon_{rs} \epsilon_0 k_0 T \ln\left(\frac{N_A}{n_i}\right)]^{\frac{1}{2}}$$

MOSFET的阈值电压

理想状态下的阈值电压能带图：

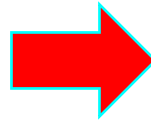


$$V_T = 2V_B + \frac{Q_B(d_{max})}{C_{ox}}$$

MOSFET的阈值电压

MOS电容理想条件假设:

1. 金属与半导体间功函数差 $q\phi_{ms}=0$
2. 在绝缘层内没有任何电荷, $Q_{ox}=0$, 且绝缘层完全不导电
3. 绝缘体与半导体界面处不存在界面态, $Q_{ss}=0$

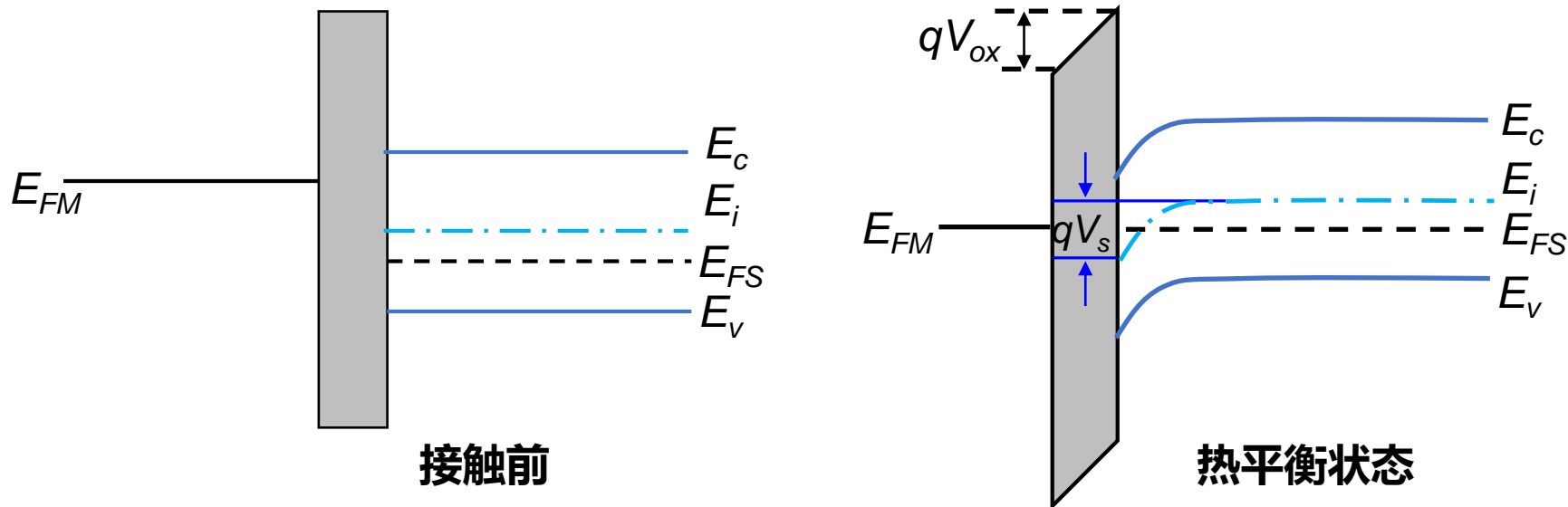


MOSFET阈值电压:

- ① 考虑金属与半导体间功函数差, $q\phi_{ms}\neq 0$
- ② 在绝缘层内有移动电荷, $Q_{ox}\neq 0$
- ③ 绝缘体与半导体界面处存在固定正电荷, $Q_{ss}\neq 0$

MOSFET的阈值电压

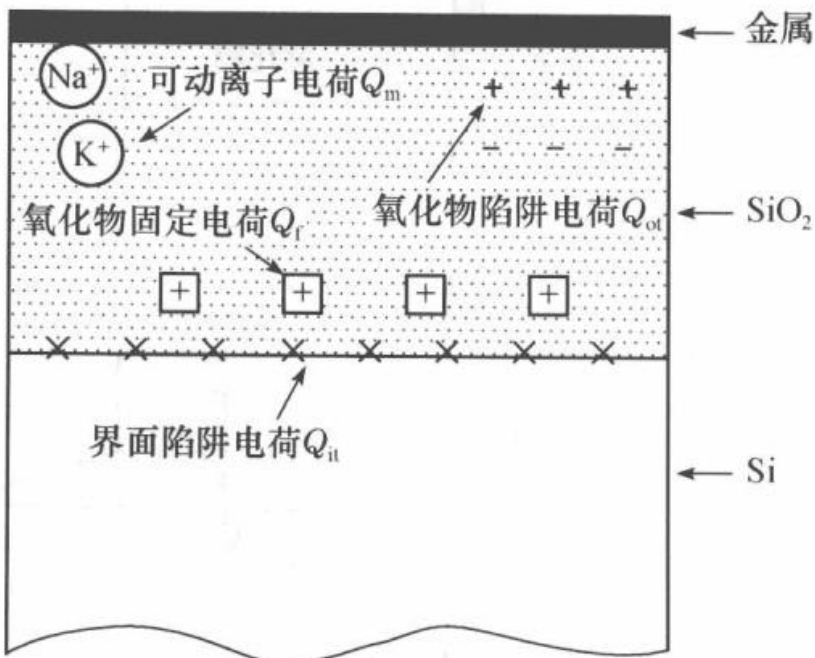
仅考虑功函数差时的能带图：



- ◆ 若 $W_{Fm} < W_{Fs}$, $q\phi_{ms} = W_{Fm} - W_{Fs} < 0$, 电子从金属流向半导体, 产生一个从金属指向半导体的电场, 半导体能带向下弯曲, **弯曲趋势与强反型趋势一致**, 相当于栅压 V_{GS} 减少 $|\phi_{ms}|$ 即可强反型
- ◆ 若想将硅表面能带拉平, 需加一个负栅压 $V_{GS} = \phi_{ms}$, 此时氧化硅能带也拉平
- ◆ 热平衡时, 金属与半导体 E_F 重合, 即 $W_{Fm} - W_{Fs} = qV_{ox} + qV_s$

MOSFET的阈值电压

硅-二氧化硅中的电荷、缺陷态：



可动离子电荷：生长过程中引入的一些Na、K、H等正离子杂质，会随着偏压变化而在氧化物内来回移动。可通过加Si₃N₄、Al₂O₃等保护膜来防止氧化层的可动离子污染。

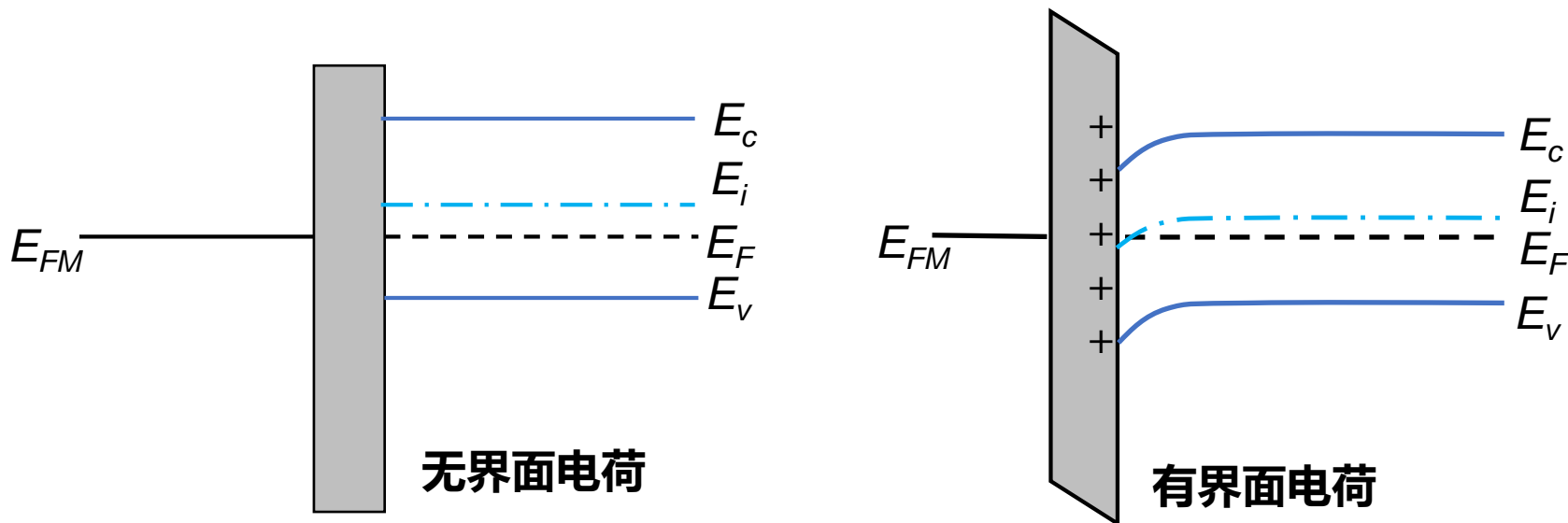
氧化物陷阱电荷：与SiO₂中的缺陷有关，可由辐射引起，例如：x/伽玛/电子射线。在非辐射环境中一般不予考虑。

固定电荷：主要来源于Si离子，离Si-SiO₂界面非常近，通常是正电荷，其密度与生长条件有关。

界面态/界面陷阱电荷：半导体禁带中的一些缺陷能级，与金-半接触界面态类似。可在短时间内与半导体交换电荷，根据与体内费米能级相对位置的不同可分为受主型（接受电子，带负电荷）和施主型（失去电子，带正电荷）。随所加栅压的不同，其所带电荷的数量及极性会发生变化。

MOSFET的阈值电压

仅考虑界面处正电荷时的能带图：

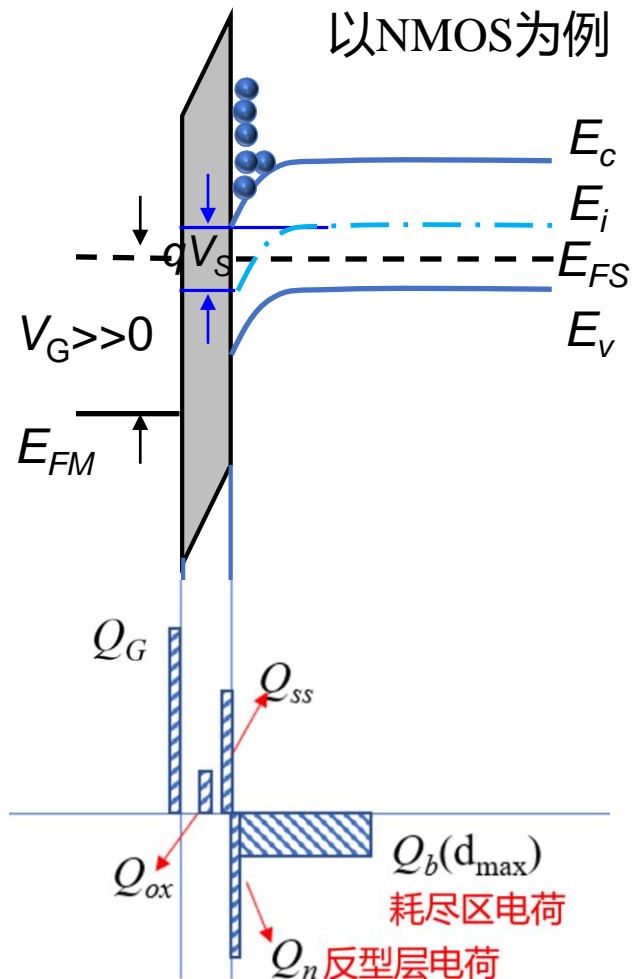


- ◆若Si-SiO₂界面处存在正电荷 Q_{ss} ，则产生由金属指向半导体的电场，半导体表面能带向下弯曲。
- ◆若想将硅表面能带拉平，则需加一个能够完全中和掉界面处正电荷的负栅压 $V_{GS} = -\frac{Q_{ss}}{C_{ox}}$ ，形成由半导体指向金属的外电场。
- ◆注意：此时氧化硅的能带并没有拉平。

氧化硅内部可移动正电荷 Q_{ox} 的影响与 Q_{ss} 类似

MOSFET的阈值电压

实际状态下的阈值电压：



考虑 $q\phi_{ms}$ 、 Q_{ss} 、 Q_{ox} 时，阈值电压则多出一项：平带电压 V_{FB} ，用来抵消金属与半导体的功函数差、界面电荷和移动电荷的影响。

$$V_T = 2V_B + \frac{Q_B(d_{max})}{C_{ox}} + V_{FB}$$

$$V_{FB} = \phi_{ms} - \frac{Q_{ss}}{C_{ox}} - \frac{1}{C_{ox}} \int_0^{t_{ox}} \frac{x}{t_{ox}} \rho(x) dx$$

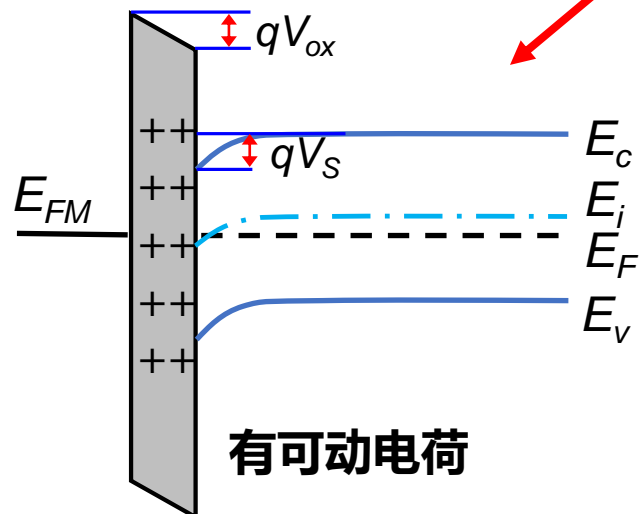
$$V_T = \frac{2k_0T}{q} \ln\left(\frac{N_A}{n_i}\right) + \frac{1}{C_{ox}} \left[4N_A \epsilon_{rs} \epsilon_0 k_0 T \ln\left(\frac{N_A}{n_i}\right) \right]^{\frac{1}{2}} + \phi_{ms} - \frac{Q_{ss}}{C_{ox}} - \frac{1}{C_{ox}} \int_0^{t_{ox}} \frac{x}{t_{ox}} \rho(x) dx$$

Q_{ss} 是Si-SiO₂界面固定正电荷
 Q_{ox} 是SiO₂内可移动电荷

MOSFET的阈值电压

$$V_{FB} = \phi_{ms} - \frac{Q_{ss}}{C_{ox}} - \frac{1}{C_{ox}} \int_0^{t_{ox}} \frac{x}{t_{ox}} \rho(x) dx$$

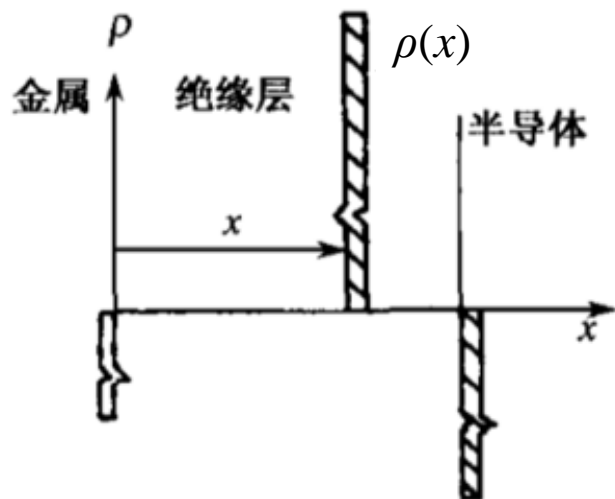
◆ 这一项代表存在氧化层内可动电荷时， V_{FB} 需要的补偿



◆ 以绝缘层半导体界面为分界线，这些带正电的可动电荷会造成两个方向相反的电势差，分别为 V_{ox} 和 V_s 。默认金属半导体功函数差为0，那么从金属到半导体的总电势差将为0，即 V_{ox} 和 V_s 绝对值相等。已知绝缘层内的电荷分布，由泊松方程计算 V_{ox} 更为简便

◆ 实际情况下，设在 x 处的移动电荷密度为 $\rho(x)$ ，类似于空间电荷区的计算，对路径积分可得 $V_{ox} = -\frac{1}{\epsilon_{ox}} \int_0^{t_{ox}} x \rho(x) dx$ ，从而 $V_s = \frac{1}{\epsilon_{ox}} \int_0^{t_{ox}} x \rho(x) dx$ ，

V_{FB} 需要补偿 $-\frac{1}{C_{ox}} \int_0^{t_{ox}} \frac{x \rho(x) dx}{t_{ox}}$ 以拉平表面。



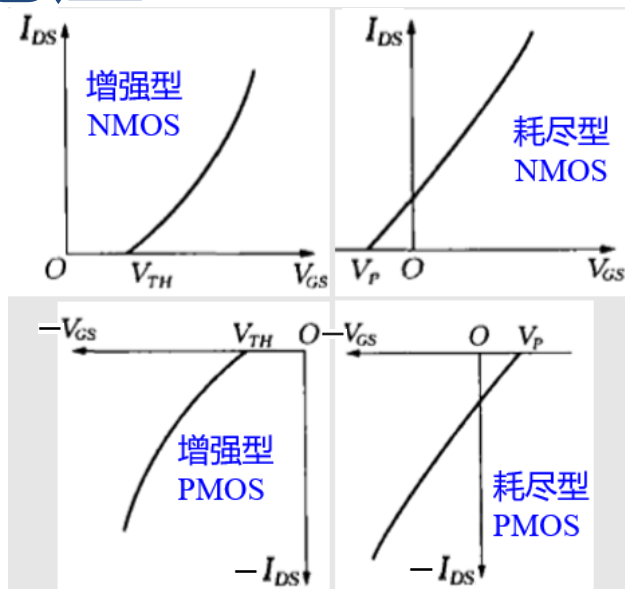
MOSFET的阈值电压

$$V_T = 2V_B + \frac{Q_B(d_{max})}{C_{ox}} + V_{FB} \quad V_{FB} = \phi_{ms} - \frac{Q_{ss}}{C_{ox}} - \frac{1}{C_{ox}} \int_0^{t_{ox}} \frac{x}{t_{ox}} \rho(x) dx$$

P型半导体: $2V_B = \frac{2k_0T}{q} \ln\left(\frac{N_A}{n_i}\right)$ $Q_B(d_{max}) = qN_A d_{max}$

NMOS: $V_{Tn} = \phi_{ms} - \frac{Q_{ss}}{C_{ox}} + \frac{qN_A d_{max}}{C_{ox}} + \frac{2k_0T}{q} \ln\left(\frac{N_A}{n_i}\right)$

PMOS: $V_{Tp} = \phi_{ms} - \frac{Q_{ss}}{C_{ox}} - \frac{qN_D d_{max}}{C_{ox}} - \frac{2k_0T}{q} \ln\left(\frac{N_D}{n_i}\right)$



上面两个公式是常用阈值电压公式，由于绝缘层内可移动电荷能够控制到较小量级，所以一般忽略这一项，对上面两个公式分析，可以得到：

- ① 无论是NMOS还是PMOS，阈值电压组成部分中的 ϕ_{ms} 都可以是正数，第二项由界面正电荷引入的分量两者都是一样的，主要使阈值电压向负压方向移动，第三项、第四项形式一样，符号相反。
- ② 对于NMOS而言，第一、三、四项都是正数，而第二项是负数，在实际工艺中如果对Si-SiO₂界面处理不当，会导致 $V_{Tn} < 0$ ，那么制备出的NMOS器件很容易成为耗尽型，增强型器件需要严格控制 Q_{ss} ，故较难制备。
- ③ 对于PMOS而言，只有第一项可能是正数，所以PMOS的阈值电压很容易就是负数，易制备出增强型器件，耗尽型器件较难制备。

MOSFET的阈值电压

影响 V_T 的因素：

1. 功函数差 $q\phi_{ms}$ 的影响
2. 衬底杂质浓度 N_B 的影响
3. 固定表面电荷 Q_{ss} 的影响
4. 离子注入调整 V_T
5. MOS栅电极材料
6. 衬底偏置效应（衬偏效应）

MOSFET的阈值电压

1. 功函数差 $q\phi_{ms}$ 的影响: $V_{Tn} = \boxed{\phi_{ms}} - \frac{Q_{ss}}{C_{ox}} + \frac{qN_A d_{max}}{C_{ox}} + \frac{2k_0 T}{q} \ln\left(\frac{N_A}{n_i}\right)$

| 金属 | $W_m(\text{eV})$ |
|-------------|------------------|
| Mg | 3.35 |
| Al | 4.1 |
| Ni | 4.55 |
| Cu | 4.7 |
| Au | 5.0 |
| Ag | 5.1 |
| Pt | 5.7 |
| n^+ -poly | 4.05 |
| p^+ -poly | 5.15 |

n^+/p^+ 指其费米能级已经到了导带底附近或者已经成为了简并半导体

| | n-Si | | | p-Si | | |
|-----------------------|-----------|-----------|-----------|-----------|-----------|-----------|
| $N_D(\text{cm}^{-3})$ | 10^{14} | 10^{15} | 10^{16} | | | |
| $N_A(\text{cm}^{-3})$ | | | | 10^{14} | 10^{15} | 10^{16} |
| $W_s(\text{eV})$ | 4.32 | 4.26 | 4.20 | 4.82 | 4.88 | 4.94 |

选用不同的金属电极，可以通过金属与半导体的功函数差调整阈值电压，同时也可以选用多晶硅电极，通过调控多晶硅的掺杂浓度来进行调控，调控范围可以在1.1eV能量范围内。

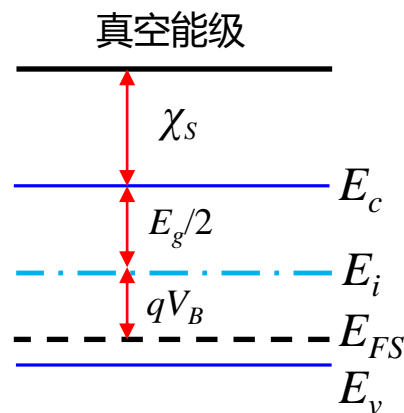
半导体功函数 $W_s = \chi_s + \frac{E_g}{2} \pm qV_B$

P型衬底

$$W_s = \chi_s + \frac{E_g}{2} + k_0 T \ln\left(\frac{N_A}{n_i}\right)$$

N型衬底

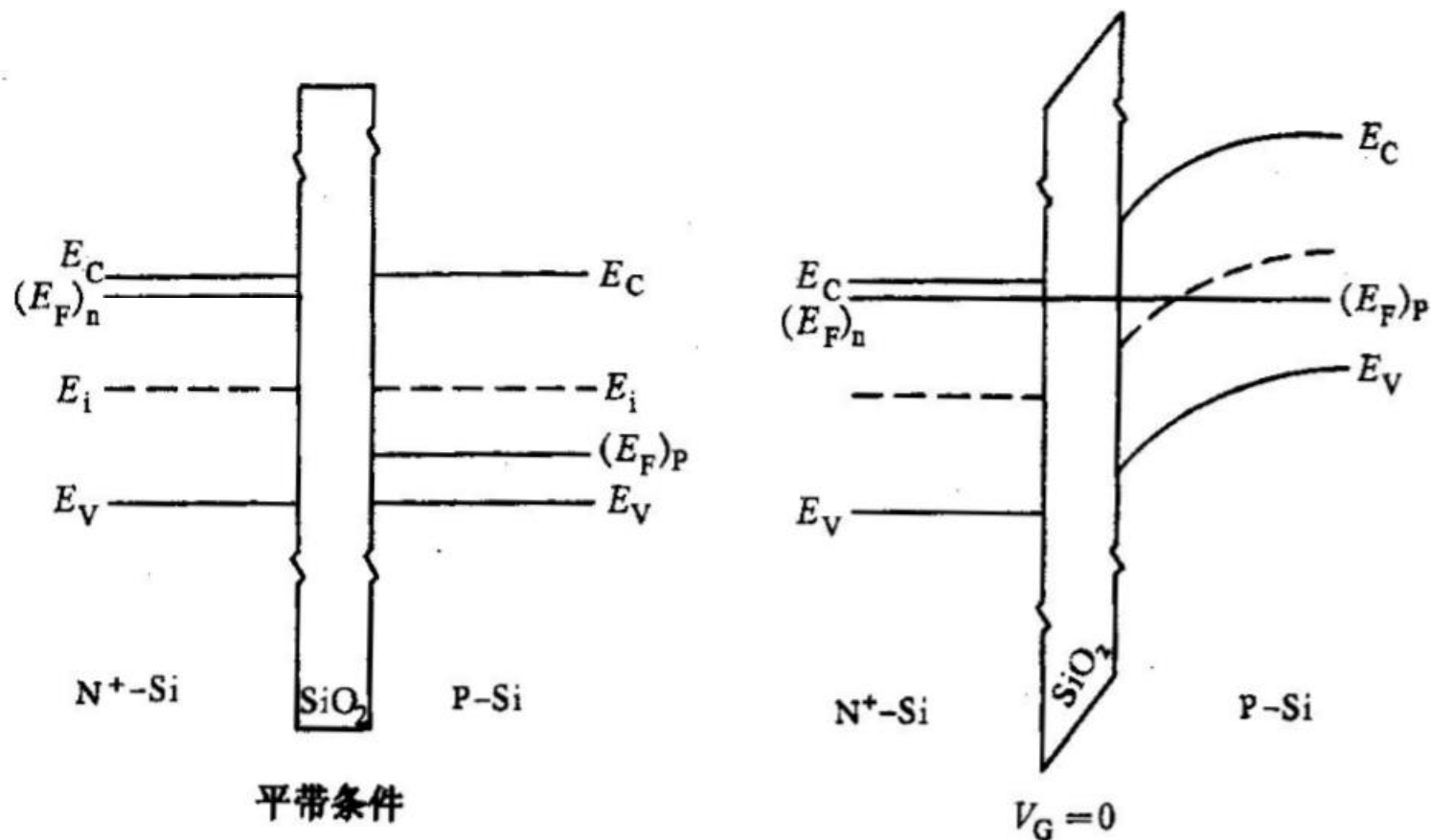
$$W_s = \chi_s + \frac{E_g}{2} - k_0 T \ln\left(\frac{N_D}{n_i}\right)$$



MOSFET的阈值电压

1. 功函数差 $q\phi_{ms}$ 的影响:

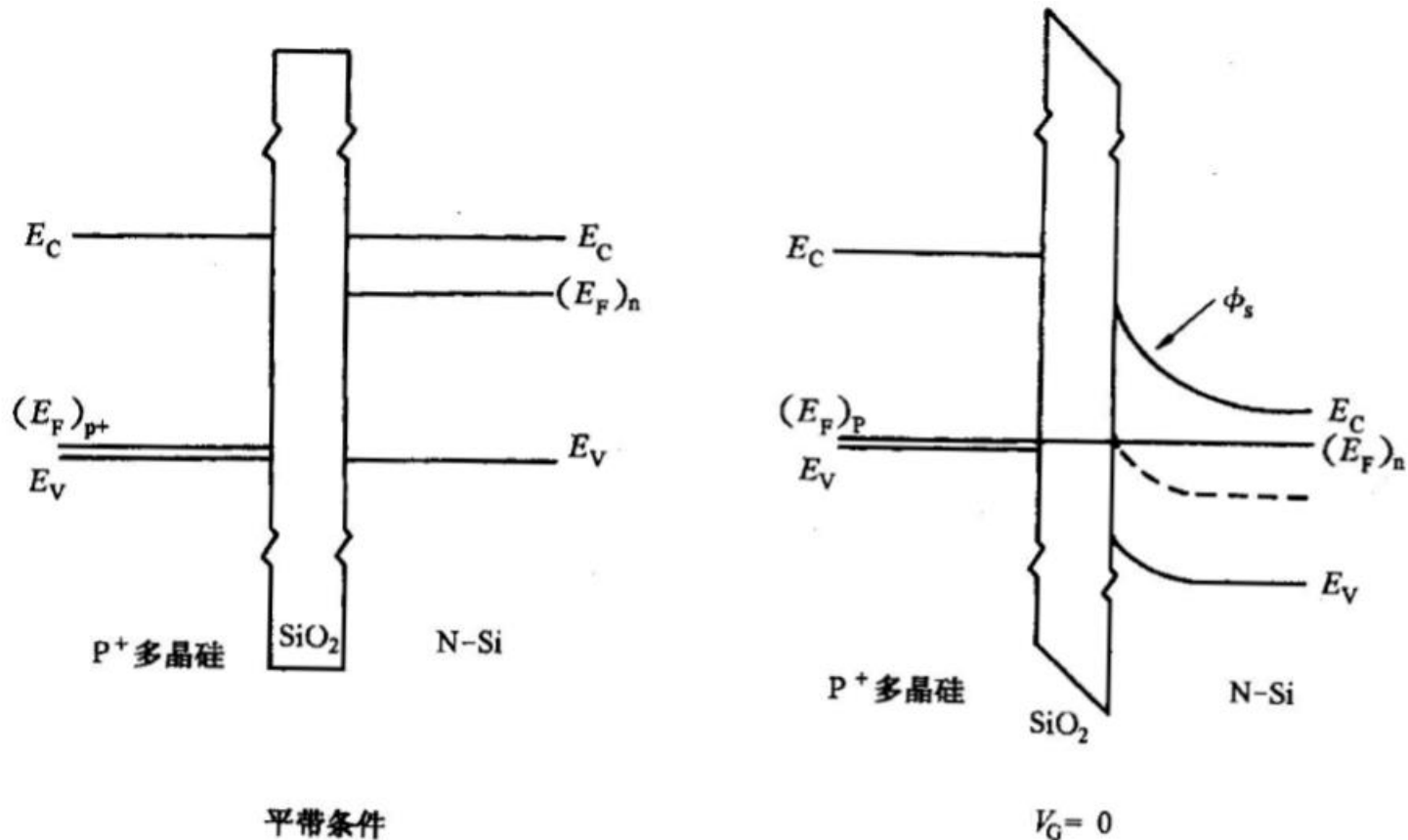
N^+ 多晶硅电极功函数小于P-Si衬底，电子从多晶硅栅极流向P-Si，P-Si表面电子浓度上升，形成一个从左向右的电场，P-Si表面能带向下弯曲



MOSFET的阈值电压

1. 功函数差 $q\phi_{ms}$ 的影响:

P^+ 多晶硅功函数大于N-Si, 电子从N-Si流向 P^+ 多晶硅, 形成一个从右向左的电场, N-Si表面能带向上弯曲



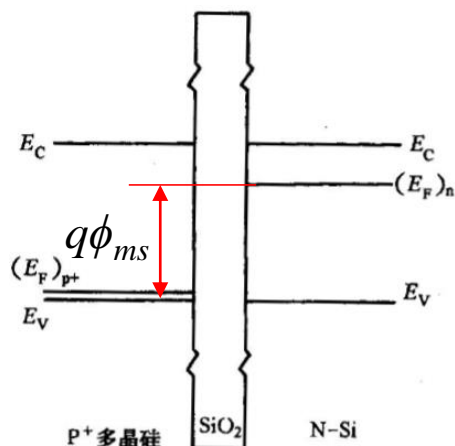
P^+ 多晶硅栅极PMOS能带图

MOSFET的阈值电压

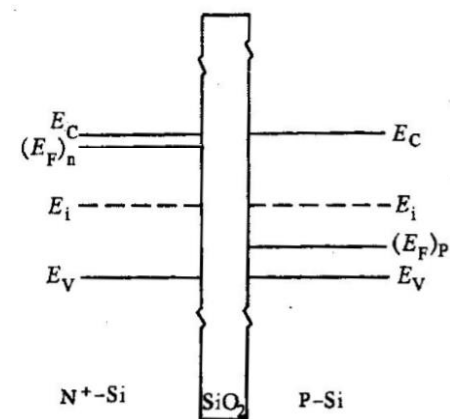
2. 衬底杂质浓度 N_B 的影响:

$$V_{Tn} = \phi_{ms} - \frac{Q_{ss}}{C_{ox}} + \frac{qN_A d_{max}}{C_{ox}} + \frac{2k_0 T}{q} \ln\left(\frac{N_A}{n_i}\right)$$

$$V_{Tp} = \phi_{ms} - \frac{Q_{ss}}{C_{ox}} - \frac{qN_D d_{max}}{C_{ox}} - \frac{2k_0 T}{q} \ln\left(\frac{N_D}{n_i}\right)$$



$$\phi_{ms} = (W_{Fm} - W_{Fs})/q$$



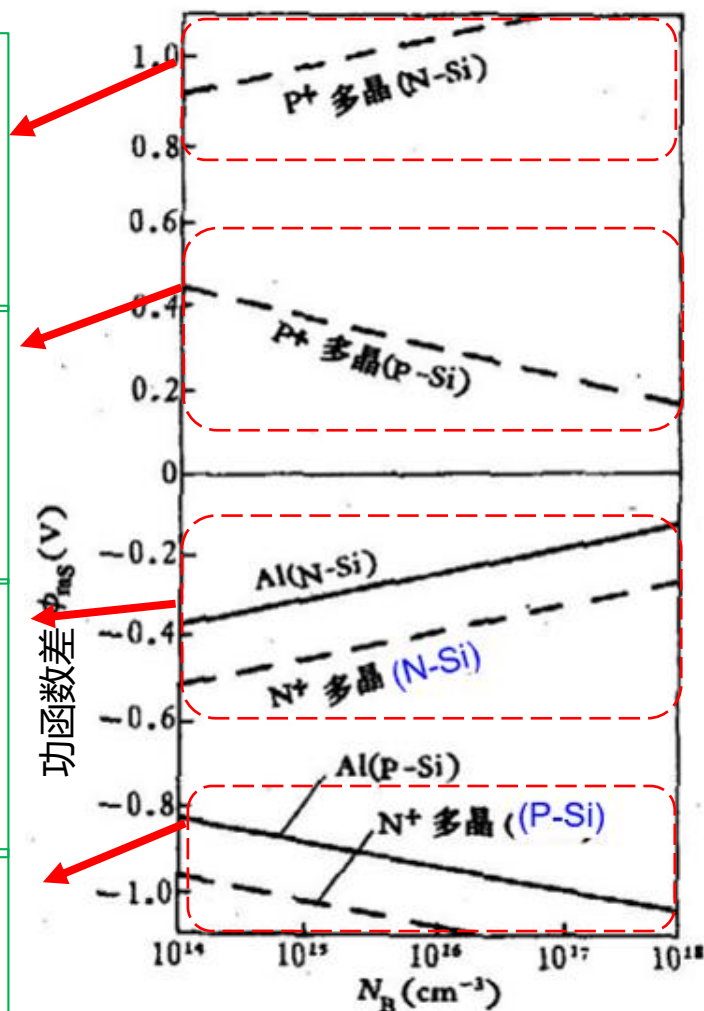
平带条件

PMOS器件, N型Si衬底, p^+ 多晶硅栅极, $\phi_{ms} > 0$, N型衬底浓度越大, 功函数差向正方向移动

NMOS器件, P型Si衬底, p^+ 多晶硅栅极, $\phi_{ms} > 0$, P型衬底浓度越大, 功函数差向负方向移动

PMOS器件, N型Si衬底, n^+ 多晶硅栅极, $\phi_{ms} < 0$, N型衬底浓度越大, 功函数差向正方向移动。

NMOS器件, P型Si衬底, n^+ 多晶硅栅极, $\phi_{ms} < 0$, P型衬底浓度越大, 功函数差向负方向移动。



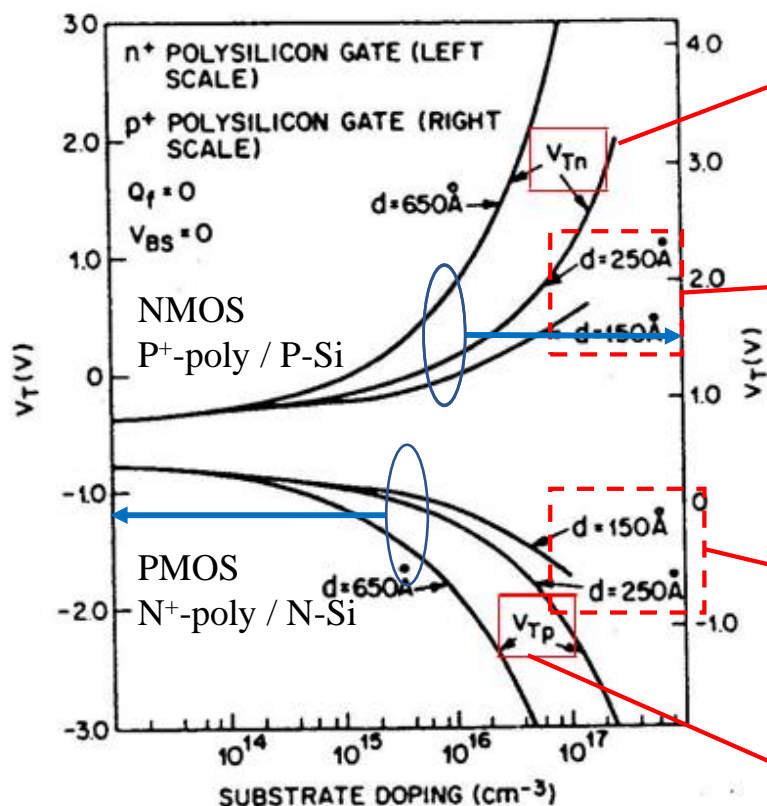
衬底掺杂浓度 24

MOSFET的阈值电压

2. 衬底杂质浓度 N_B 的影响:

| | | |
|------|---|--|
| NMOS | $V_{Tn} = \phi_{ms} - \frac{Q_{ss}}{C_{ox}} + \frac{qN_A d_{max}}{C_{ox}} + \frac{2k_0 T}{q} \ln\left(\frac{N_A}{n_i}\right)$ | $\rightarrow \Phi_{ms} + 2V_B = (W_{FM} - \chi - \frac{E_g}{2}) + V_B$ |
| PMOS | $V_{Tp} = \phi_{ms} - \frac{Q_{ss}}{C_{ox}} - \frac{qN_D d_{max}}{C_{ox}} - \frac{2k_0 T}{q} \ln\left(\frac{N_D}{n_i}\right)$ | $\rightarrow \Phi_{ms} - 2V_B = (W_{FM} - \chi - \frac{E_g}{2}) - V_B$ |

$$V_B = \frac{k_0 T}{q} \ln\left(\frac{N_B}{n_i}\right) \rightarrow N_B \text{ (} N_A, N_D \text{) 增加两个数量级, } V_B \text{ 增加 } 0.12\text{V}$$



N_B 上升, V_B 上升, V_{Tn} 向正电压方向移动

在相同衬底浓度下, 耗尽区电荷 Q_B 一定时, 绝缘层厚度 d 越大, $C_{ox} = \epsilon/d$ 越小, 绝缘体上压降越大, 因此 V_{Tn} 向正电压方向移动

在相同衬底浓度下, 耗尽区电荷 Q_B 一定时, 绝缘层厚度 d 越大, 落在绝缘体上的压降越大, 因此 V_{Tp} 向负电压方向移动

N_B 上升, V_B 上升, V_{Tp} 向负电压方向移动

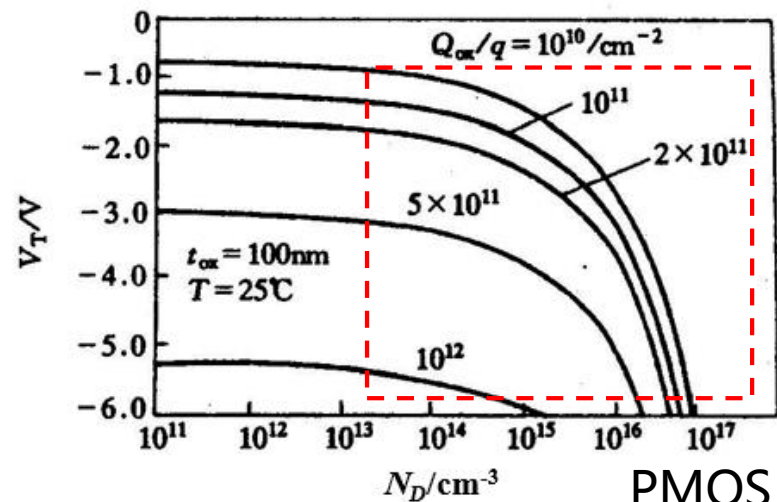
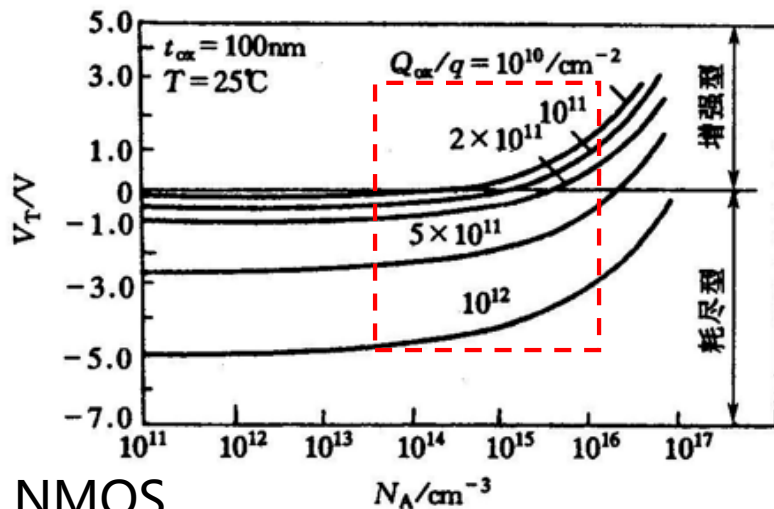
MOSFET的阈值电压

3. 界面固定电荷 Q_{ss} 的影响: $V_{FB} = \phi_{ms} - \frac{Q_{ss}}{C_{ox}} - \frac{1}{C_{ox}} \int_0^{t_{ox}} \frac{x}{t_{ox}} \rho(x) dx$

$$V_{Tn} = \phi_{ms} - \frac{Q_{ss}}{C_{ox}} + \frac{qN_A d_{max}}{C_{ox}} + \frac{2k_0 T}{q} \ln\left(\frac{N_A}{n_i}\right)$$

$$V_{Tp} = \phi_{ms} - \frac{Q_{ss}}{C_{ox}} - \frac{qN_D d_{max}}{C_{ox}} - \frac{2k_0 T}{q} \ln\left(\frac{N_D}{n_i}\right)$$

Si-SiO₂界面固定正电荷对阈值电压的贡献始终是向方向移动。

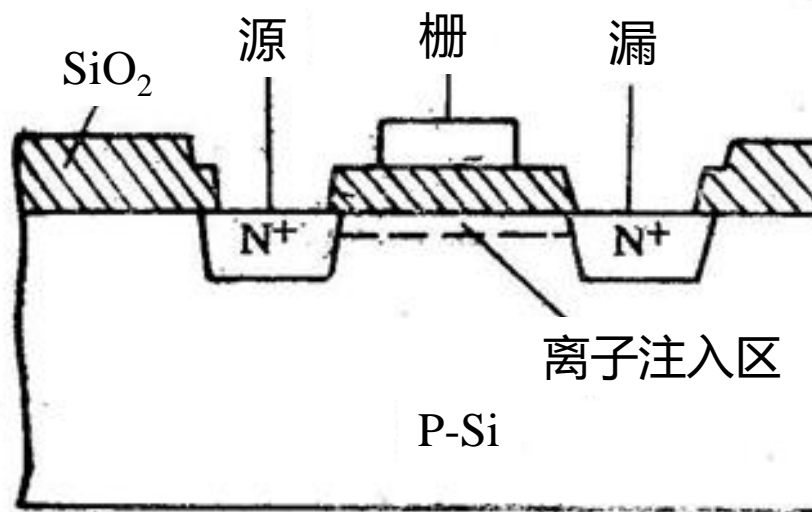


- ◆ 氧化层可移动电荷与界面固定电荷的作用都是使阈值电压向负方向移动
- ◆ 图中 Q_{ox} 为移动电荷和固定电荷之和, 当 $Q_{ox}/q \sim 10^{11}\text{cm}^{-2}$ 时, 对阈值电压影响较小
- ◆ 实际工艺中可以将移动电荷密度控制得比较低, 同样需要将 Q_{ss}/q 也控制在 10^{11}cm^{-2} 以下, 从而保证其它调整阈值电压的方法切实有效

MOSFET的阈值电压

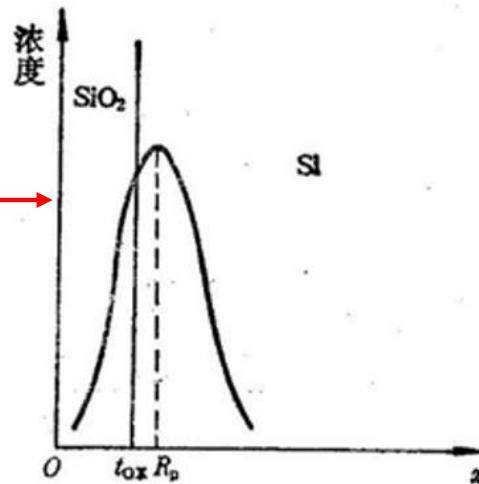
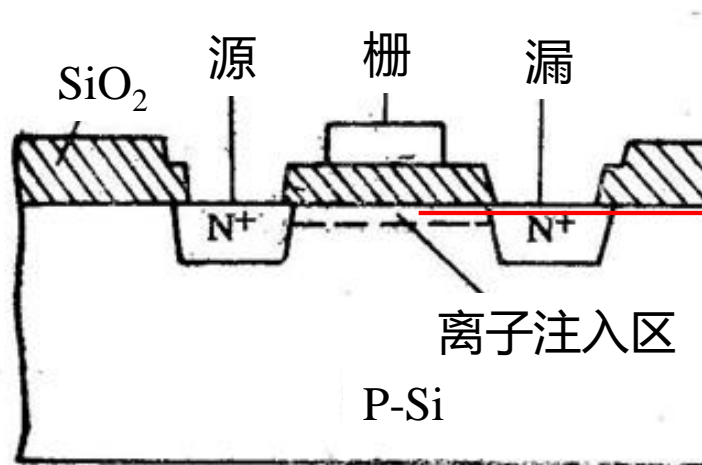
4. 离子注入调整 V_T :
$$V_{Tn} = \phi_{ms} - \frac{Q_{ss}}{C_{ox}} + \frac{qN_A d_{max}}{C_{ox}} + \frac{2k_0 T}{q} \ln\left(\frac{N_A}{n_i}\right)$$

- ◆ 在实际生产制造过程中，为了保证器件的性能，衬底掺杂浓度无法大范围调整，此时需要采用其它方法来调节阈值电压。
- ◆ 离子注入技术：将离子源产生的离子经加速后打进材料从而调节材料杂质浓度的技术。
- ◆ 在沟道区利用离子注入技术注入一层厚度趋向于零的杂质，由于其厚度薄到可以忽略不计，因此对表面势没有影响，对耗尽区宽度也没有影响。



MOSFET的阈值电压

4. 离子注入调整 V_T :
$$V_{Tn} = \phi_{ms} - \frac{Q_{ss}}{C_{ox}} + \boxed{\frac{qN_A d_{max}}{C_{ox}}} + \frac{2k_0 T}{q} \ln\left(\frac{N_A}{n_i}\right)$$



- ◆ 离子注入后杂质浓度在纵向上大体为**高斯分布**。
- ◆ R_p 是杂质浓度最大的深度。
 $R_p \ll d_{max}$ 。
- ◆ t_{ox} 是二氧化硅的厚度。

此时
$$Q_B^{total}(d_{max}) = \int_0^{d_{max}} q[N_A + N'_A(x)] dx = Q_B(d_{max}) + \Delta Q_B(d_{max})$$

$$\Delta Q_B(d_{max}) = \int_0^{d_{max}} q N'_A(x) dx = q N_{Im} \quad N_{Im}: \text{注入离子面密度}$$

$$\Delta V_T = \frac{\Delta Q_B}{C_{ox}} \approx \frac{q N_{Im}}{C_{ox}}$$

MOSFET的阈值电压

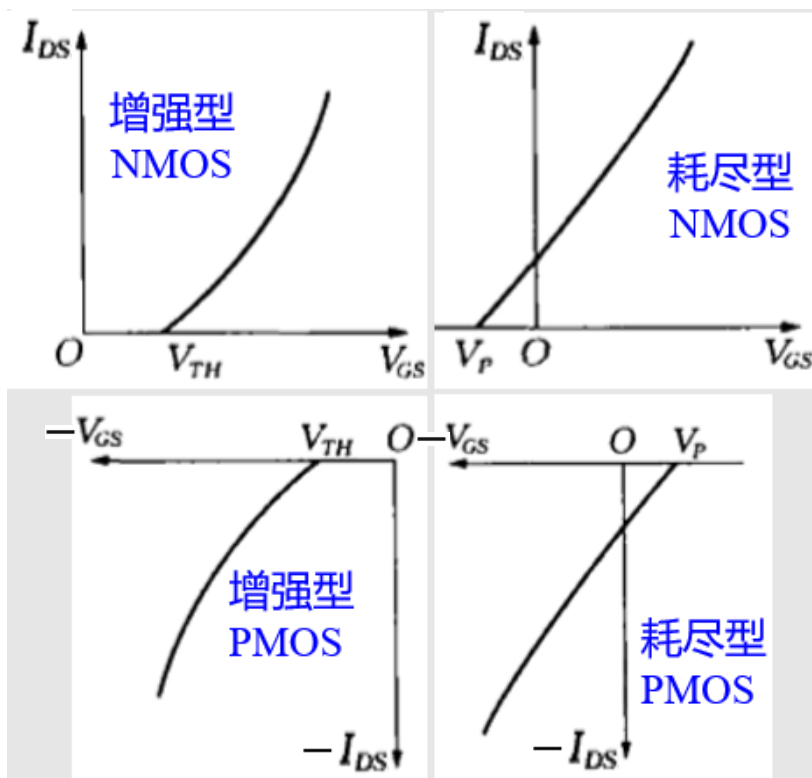
4. 离子注入调整 V_T :
$$V_{Tn} = \phi_{ms} - \frac{Q_{ss}}{C_{ox}} + \frac{qN_A d_{max}}{C_{ox}} + \frac{2k_0 T}{q} \ln\left(\frac{N_A}{n_i}\right)$$

举例：对MOSFET沟道表面注入硼（B）

$$\Delta V_T = \frac{\Delta Q_B}{C_{ox}} \approx \frac{qN_{Im}}{C_{ox}}$$

硼是受主杂质，提供空穴，故 N_{IM} 为正， $\Delta V_T > 0$ 。

- ① 对于NMOS，衬底是P型，注入B，相当于使其表面杂质浓度 N_A 上升，更难反型， V_{Tn} 向正电压方向移动；
- ② 对于PMOS，衬底是N型，注入B会补偿其表面部分施主杂质， N_D 下降，器件更容易反型， V_{Tp} 也是向着正电压方向移动。



MOSFET的阈值电压

5. 栅电极材料:

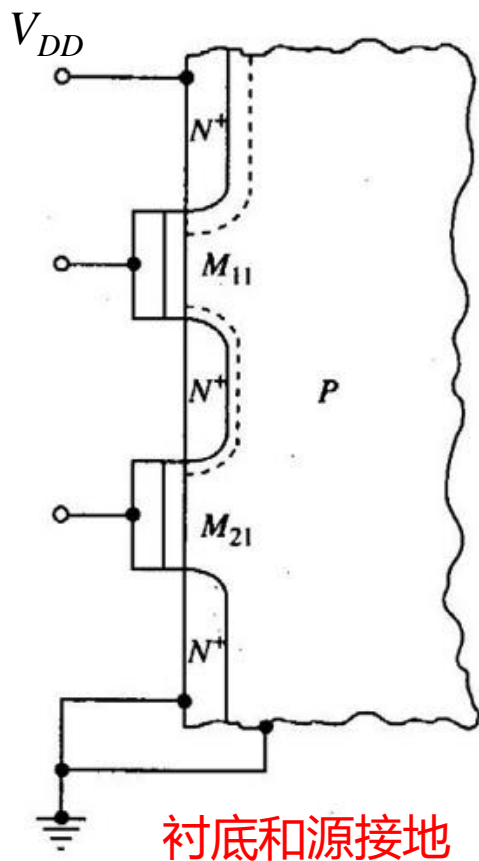
Al栅PMOS → n⁺-poly PMOS → n⁺-poly NMOS → n⁺-poly CMOS(buried channel PMOS) → dual-poly CMOS → poly-SiGe gate electrode → metal gate

- ① Al与硅会有共晶反应，两种材料各自熔点都高，但是两者接触在一起，在500多度时两者就会发生互溶，因此后期淘汰了；
- ② 后来改用n⁺多晶硅PMOS，但是PMOS的载流子迁移率较慢，因此改换为n⁺多晶硅NMOS，后来出现CMOS之后，PMOS采用了埋沟技术(buried channel)来提高空穴的迁移率；
- ③ 但是都使用n⁺多晶硅作为栅电极，NMOS与PMOS的阈值电压不对称，所以后期采用n⁺多晶硅作为NMOS栅电极，p⁺多晶硅作为PMOS栅电极，使两者的阈值电压对称(dual poly)；
- ④ 由于硼在氧化硅中的溶解度要高于在硅中的，所以使用p⁺多晶硅电极时，无法使其掺杂浓度很高（浓度太高时，在后期退火工艺中硼会向氧化硅扩散，严重时会扩散到N型衬底中），所以后期采用多晶锑硅，硼在锑硅中的溶解度高，不会向下扩散；
- ⑤ 但是多晶硅材料无论怎样掺杂，其电阻率依旧比金属高，所以最后还是采用金属栅极。

MOSFET的阈值电压

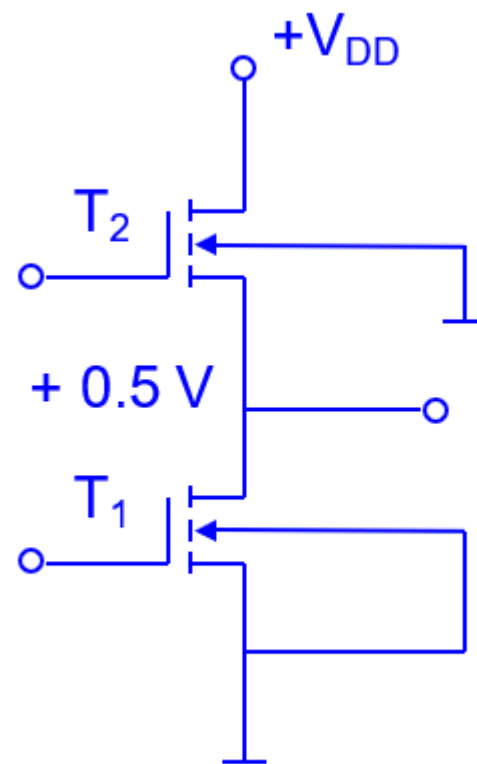
6. 衬底偏置效应(衬偏效应):

(1) 衬偏效应的来源



左图是两个NMOS器件串联, 假设 V_{DD} 为1V, 则中间 N^+ 区电势为0.5V,

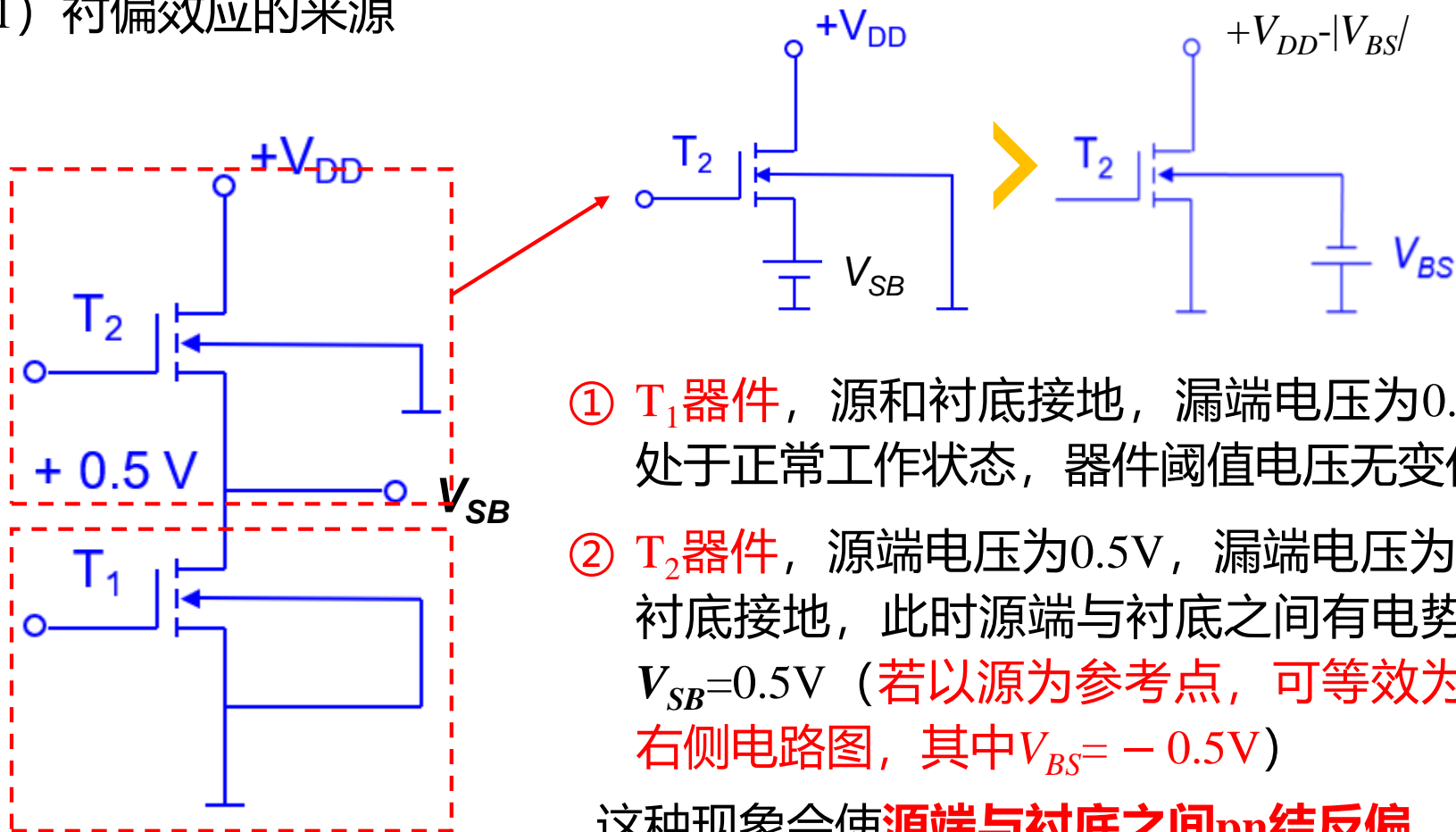
简化电路图如右图



MOSFET的阈值电压

6. 衬底偏置效应(衬偏效应):

(1) 衬偏效应的来源



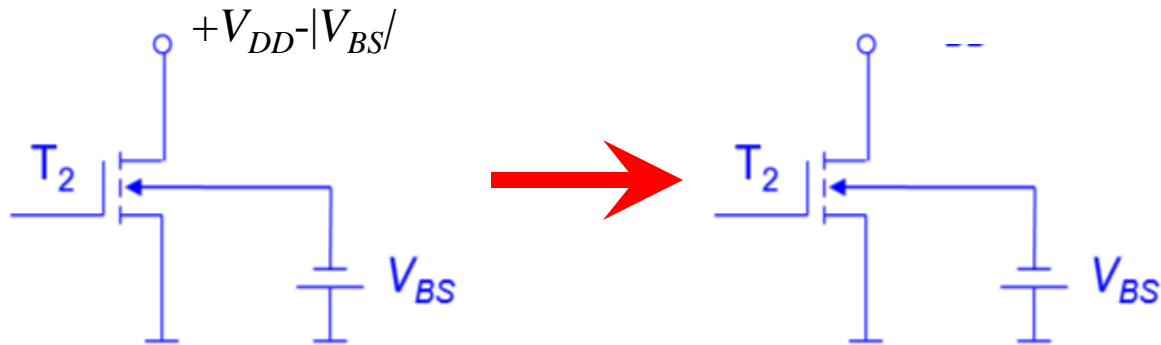
- ① T_1 器件, 源和衬底接地, 漏端电压为 $0.5V$, 处于正常工作状态, 器件阈值电压无变化
- ② T_2 器件, 源端电压为 $0.5V$, 漏端电压为 $1V$, 衬底接地, 此时源端与衬底之间有电势差 $V_{SB}=0.5V$ (若以源为参考点, 可等效为最右侧电路图, 其中 $V_{BS} = -0.5V$)

这种现象会使**源端与衬底之间pn结反偏**, 与理想情况有偏差, 多出的 V_{BS} 会对阈值电压产生影响, 即**衬底偏置效应**

MOSFET的阈值电压

6. 衬底偏置效应(衬偏效应):

(1) 衬偏效应的来源



讨论衬底偏置效应时，为了方便，与分析MOS电容时一样忽略源漏电压的影响。

分析就简化为：源漏电势相同时，在衬底施加负偏压 V_{BS} 造成的栅极阈值电压变化

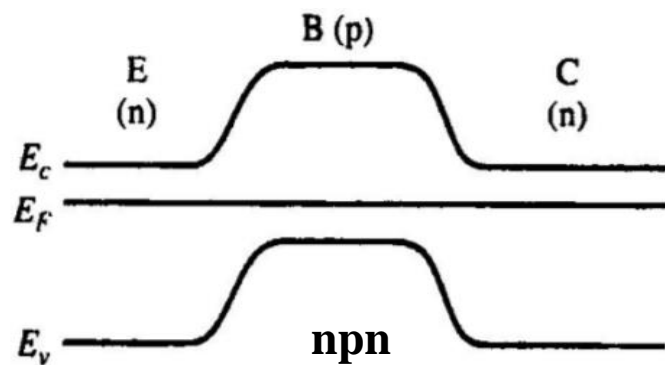
MOSFET的阈值电压

6. 衬底偏置效应(衬偏效应):

(2) MOSFET的 V_T

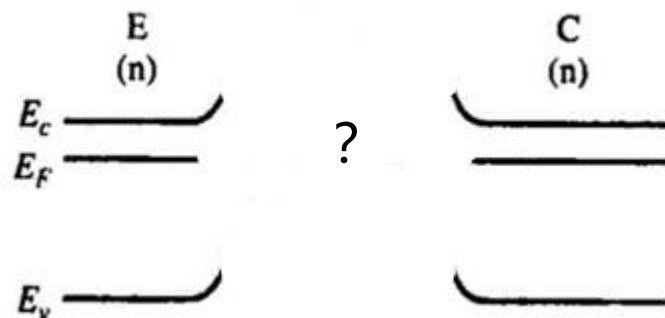
首先, 从单一维度思考MOSFET的能带形貌变化

无衬偏时

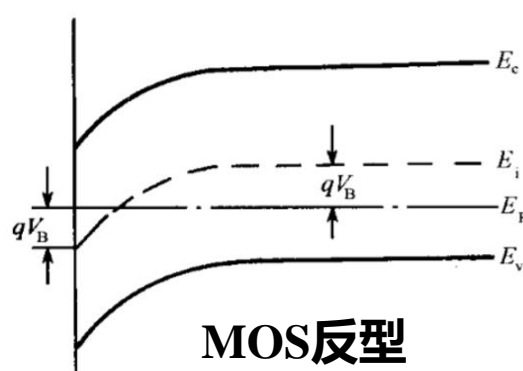
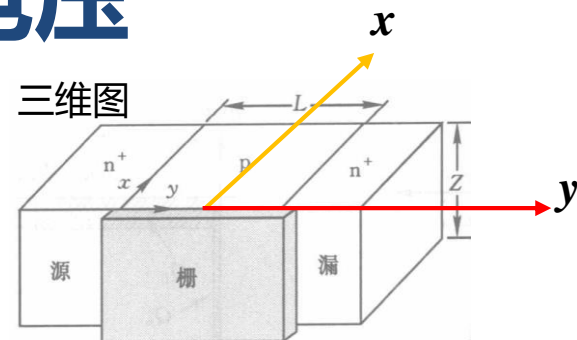


$x=0$, y 方向
nnp能带图,
无偏置时,
处于热平衡
状态, 费米
能级未出现
分裂

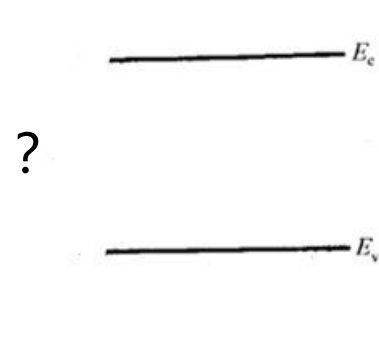
有衬偏时



衬底有偏置
时, npn结的
能带图形貌
会产生什么
变化?



$y=0$, x 方向
半导体表面
产生强反型
时半导体能
带图



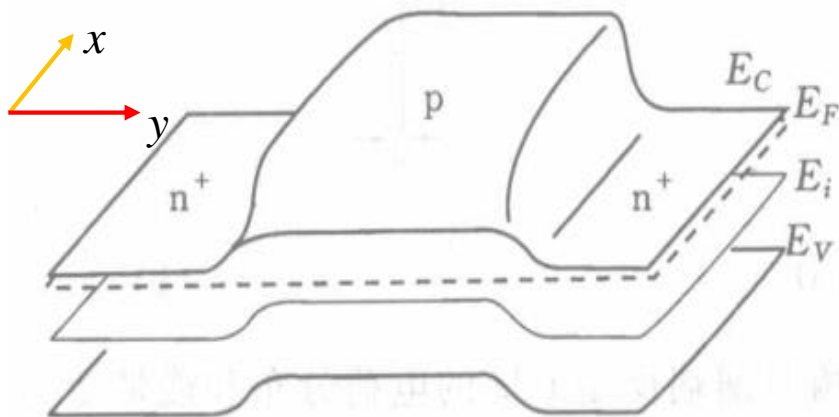
有衬偏时,
MOS电容的表
面能带形貌会
怎么改变?

MOSFET的阈值电压

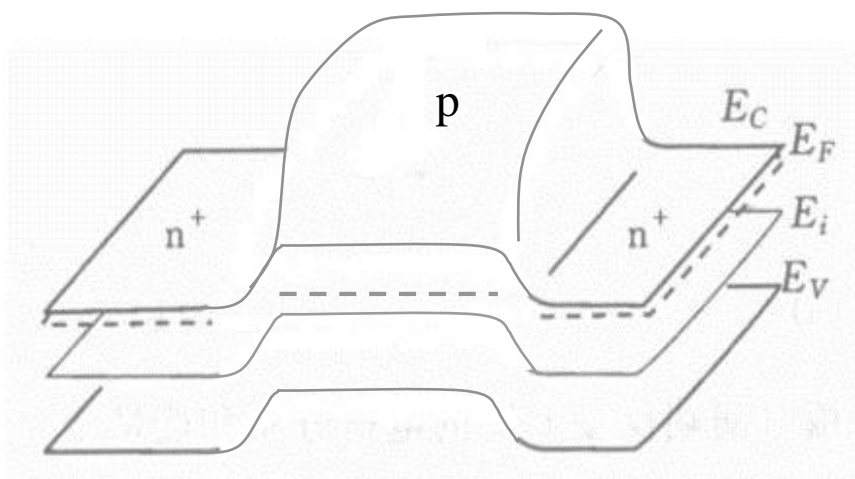
6. 衬底偏置效应(衬偏效应):

(2) MOSFET的 V_T

无衬偏时, 强反型状态三维能带图



有衬偏时, 强反型状态三维能带图



接着, 结合 x 和 y 两个方向的能带图, 我们可以大致画出三维能带图, 以定性理解能带的变化

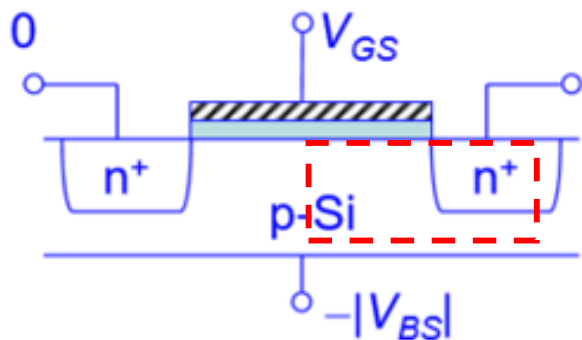
- ◆ 为了让MOSFET的沟道“打通”, p 型衬底的能带必须足够弯曲才能使表面出现反型
- ◆ 存在衬偏效应时, 由于衬底施加了负偏压, p 型衬底的能带形貌必然会整体向上“鼓起”。若要达到同样的反型效果, 在 x 方向的能带弯曲必须更强

MOSFET的阈值电压

6. 衬底偏置效应(衬偏效应):

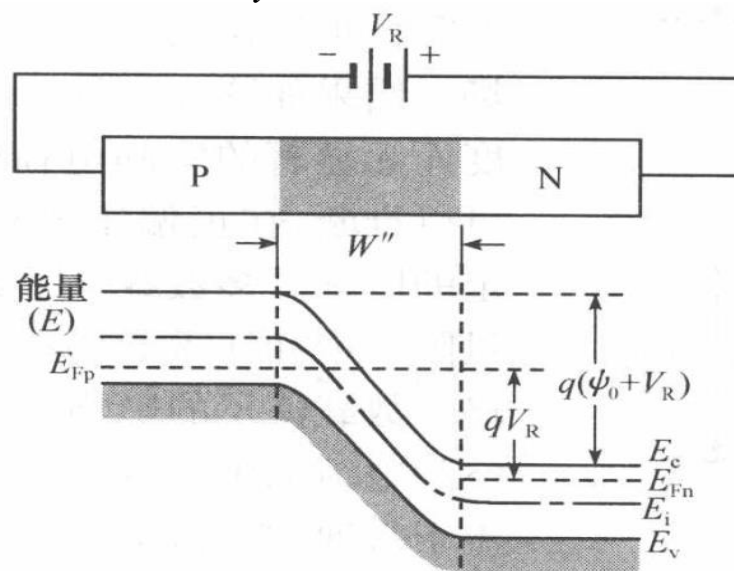
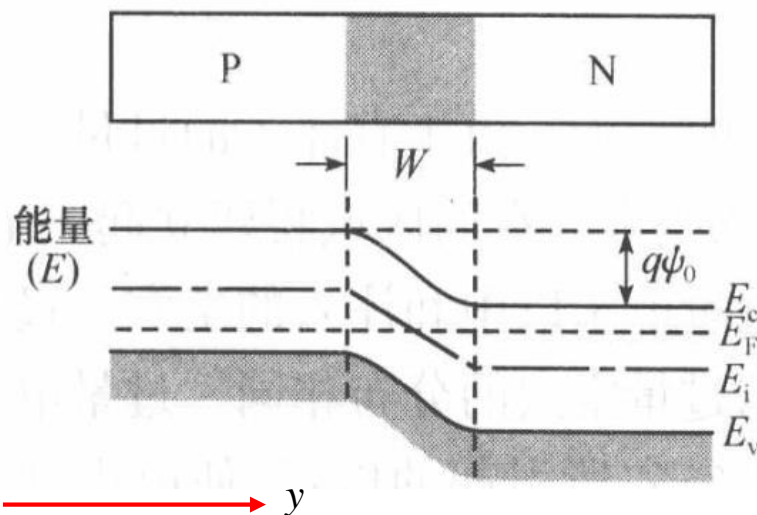
(2) MOSFET的 V_T

由于npn结构能带图对称，这里我们分析其中一半，即源和衬底的那一半



① 无衬偏效应时，平带状态下的能带图，p型衬底处于热平衡，**费米能级一致**（ E_{fn} 与 E_{fp} 重合于 E_F ）。

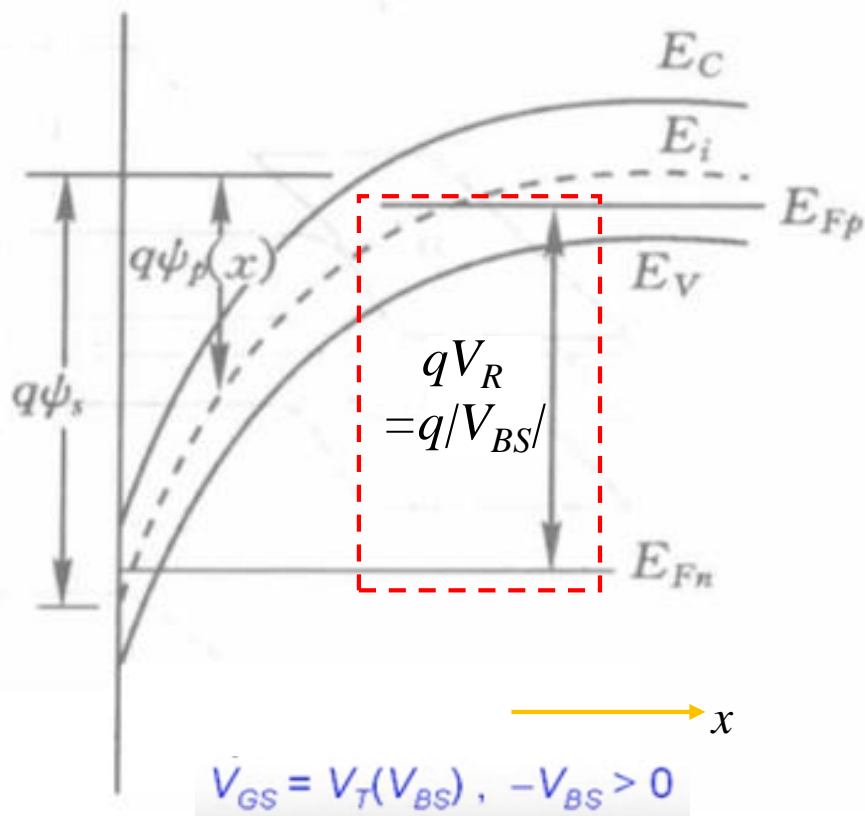
② 存在衬偏效应时，根据简化电路图分析，我们可以看作在pn结施加了**负偏压**，p型衬底内 E_{fp} 此时高于 E_{fn} ，差值为 $qV_R = q|V_{BS}|$ 。



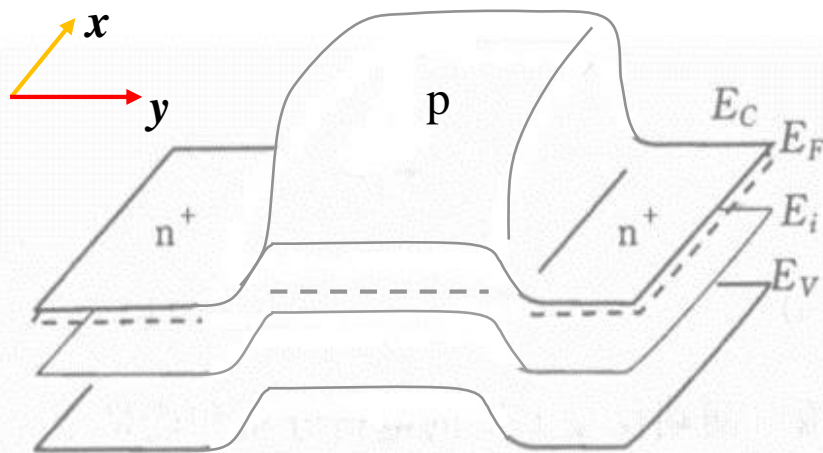
MOSFET的阈值电压

6. 衬底偏置效应(衬偏效应):

(2) MOSFET的 V_T



有衬偏时, 强反型状态三维能带图



① 考虑耗尽区内部的各向同性, x 和 y 方向的能级都将出现费米能级分裂, y 方向(pn结)的分析也使用于 x 方向(半导体表面), 仍然满足 E_{fp} 高于 E_{fn} , 且差值为 qV_R , 也就是说MOS电容的半导体表面能带弯曲加剧。

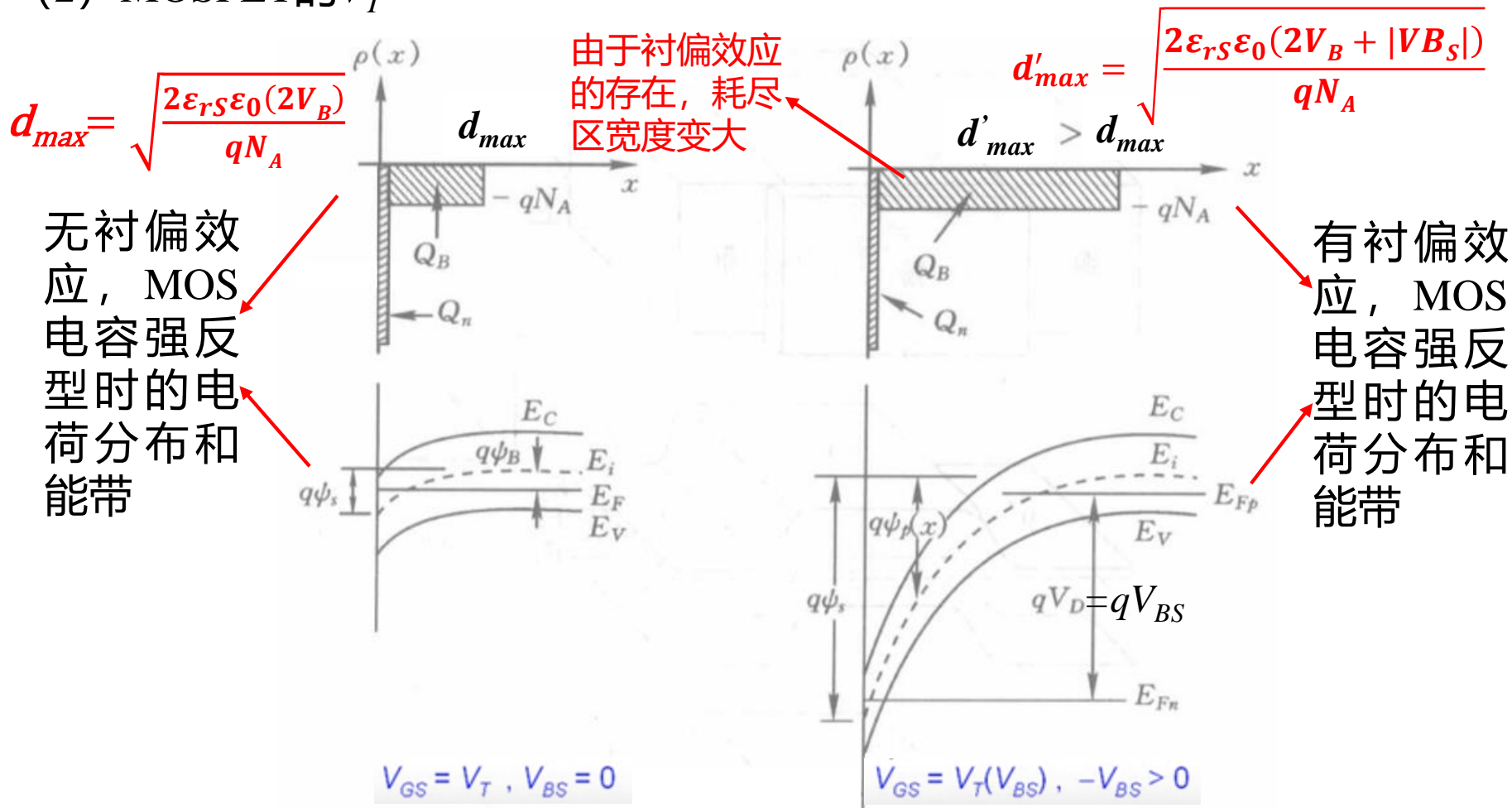
② 相比于没有衬偏、没有费米能级分裂的情况, 衬偏条件下表面反型时的表面势需补偿差值 V_R , 即

$$V_s = 2V_B + V_R = 2V_B + |V_{BS}|.$$

MOSFET的阈值电压

6. 衬底偏置效应(衬偏效应):

(2) MOSFET的 V_T



衬偏效应最直观的影响就是增加了耗尽区的宽度, 注意这里的耗尽区宽度仍然指的是MOS电容结构中半导体表面的耗尽区宽度 (x 方向)

MOSFET的阈值电压

6. 衬底偏置效应(衬偏效应):

(3) $V_T(V_{BS})$

$$V_{BS}=0 \text{ 时 } V_{FB} = \phi_{ms} - \frac{Q_{ss}}{C_{ox}} - \frac{1}{C_{ox}} \int_0^{t_{ox}} \frac{x}{t_{ox}} \rho(x) dx \quad d_{max} = \sqrt{\frac{2\epsilon_{rs}\epsilon_0(2V_B)}{qN_A}}$$

$$V_T = 2V_B + \frac{Q_B(d_{max})}{C_{ox}} + V_{FB} \quad \text{一般忽略移动电荷的影响}$$

$$V_T = \phi_{ms} - \frac{Q_{ss}}{C_{ox}} + \frac{qN_A d_{max}}{C_{ox}} + 2V_B$$

$$V_{BS} \neq 0 \text{ 时 } V_s = 2V_B + |V_{BS}| \quad d_{max}(V_{BS}) = \sqrt{\frac{2\epsilon_{rs}\epsilon_0(V_s)}{qN_A}} = \sqrt{\frac{2\epsilon_{rs}\epsilon_0(2V_B + |V_{BS}|)}{qN_A}}$$

$$V_{Tn}(V_{BS}) \equiv V_{GS}(V_{BS}) = \phi_{ms} - \frac{Q_{ss}}{C_{ox}} + \frac{qN_A d_{max}(V_{BS})}{C_{ox}} + \boxed{(2V_B + |V_{BS}|) - |V_{BS}|}$$

为什么不是 $2V_B + |V_{BS}|$?

MOSFET的阈值电压

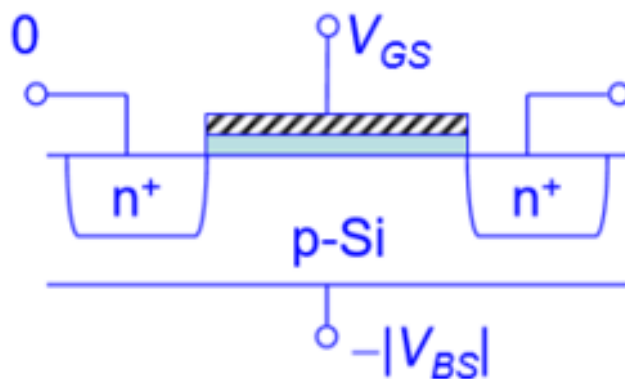
6. 衬底偏置效应(衬偏效应):

(3) $V_T(V_{BS})$

$$V_{Tn}(V_{BS}) \equiv V_{GS}(V_{BS}) = \phi_{ms} - \frac{Q_{ss}}{C_{ox}} + \frac{qN_A d_{max}(V_{BS})}{C_{ox}} + (2V_B + |V_{BS}|) - |V_{BS}|$$

① **阈值电压**是指使半导体表面发生强反型时的栅压 V_{GS} ，在学习MOS电容时我们选取了衬底体内电势作为参考点，考虑实际应用时，应该**选取源为参考点**。

② 讨论衬偏效应时，我们**选取源为参考点**，即 $V_{source} = 0$ ，表面势为表面与衬底体内电势差 $V_s = 2V_B + |V_{BS}|$ ，而衬底与源电势差为 $V_{BS} < 0$ ，累加可得表面相对于源的电势差，即 $V_s + V_{BS} = 2V_B + |V_{BS}| - |V_{BS}|$ 。



MOSFET的阈值电压

6. 衬底偏置效应(衬偏效应):

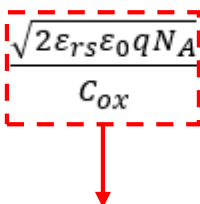
(3) $V_T(V_{BS})$

$$V_{Tn}(V_{BS}) \equiv V_{GS}(V_{BS}) = \phi_{ms} - \frac{Q_{ss}}{C_{ox}} + \frac{qN_A d_{max}(V_{BS})}{C_{ox}} + 2V_B$$

$$d_{max}(V_{BS}) = \sqrt{\frac{2\varepsilon_{rs}\varepsilon_0(V_S)}{qN_A}} = \sqrt{\frac{2\varepsilon_{rs}\varepsilon_0(2V_B + |V_{BS}|)}{qN_A}}$$

$$\Delta V_{Tn} = V_{Tn}(V_{BS}) - V_{Tn}(V_{BS} = 0) = \frac{\sqrt{2\varepsilon_{rs}\varepsilon_0 q N_A}}{C_{ox}} (\sqrt{2V_B + |V_{BS}|} - \sqrt{2V_B})$$

$$\Delta V_{Tp} = V_{Tp}(V_{BS}) - V_{Tp}(V_{BS} = 0) = -\frac{\sqrt{2\varepsilon_{rs}\varepsilon_0 q N_D}}{C_{ox}} (\sqrt{2V_B + |V_{BS}|} - \sqrt{2V_B})$$

$$\Delta V_{Tn} = \frac{\sqrt{2\varepsilon_{rs}\varepsilon_0 q N_A}}{C_{ox}} (\sqrt{2V_B + |V_{BS}|} - \sqrt{2V_B})$$


$$\gamma = \frac{\sqrt{2\varepsilon_{rs}\varepsilon_0 q N_A}}{C_{ox}}$$

一般将 γ 称为衬偏系数

$$V_{Tn} = \phi_{ms} - \frac{Q_{ss}}{C_{ox}} + \frac{qN_A d_{max}}{C_{ox}} + \frac{2k_0 T}{q} \ln\left(\frac{N_A}{n_i}\right)$$

$$V_{Tp} = \phi_{ms} - \frac{Q_{ss}}{C_{ox}} - \frac{qN_D d_{max}}{C_{ox}} - \frac{2k_0 T}{q} \ln\left(\frac{N_D}{n_i}\right)$$

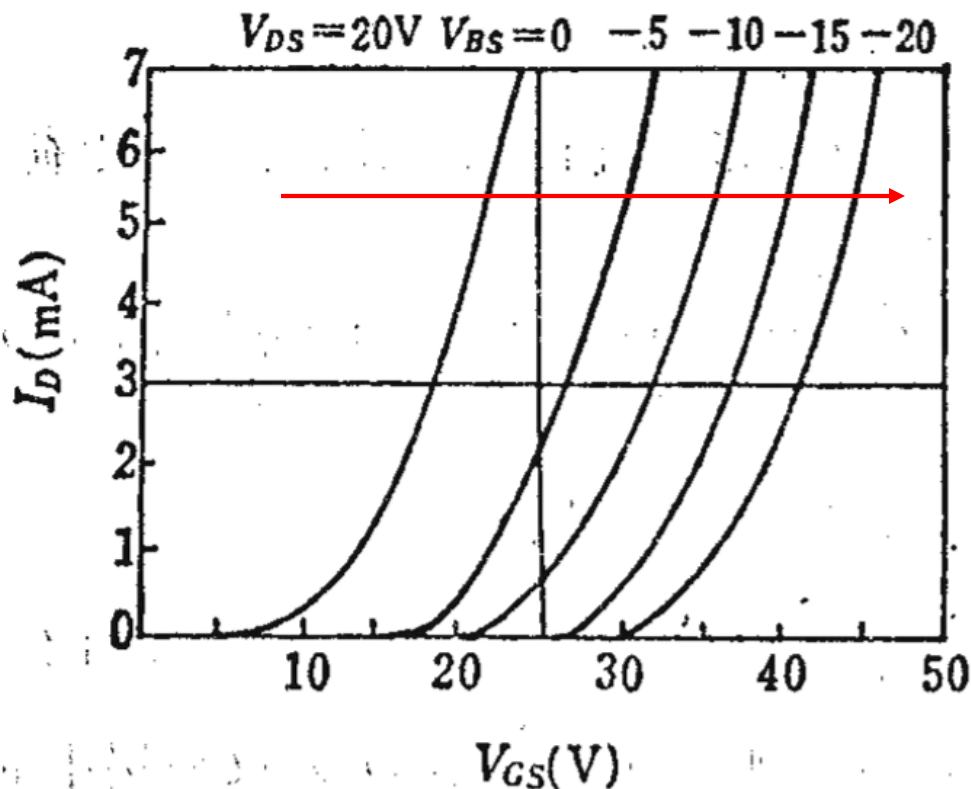
MOSFET的阈值电压

6. 衬底偏置效应(衬偏效应):

(3) $V_T(V_{BS})$

$$\Delta V_{Tn} = \frac{\sqrt{2\varepsilon_{rs}\varepsilon_0 q N_A}}{C_{ox}} (\sqrt{2V_B + |V_{BS}|} - \sqrt{2V_B})$$

衬偏效应下的转移特性



衬偏电压增大,
阈值电压增加

思考:
为什么分析该效应
时 V_{BS} 总是小于0?