

5.2 你考虑通过降低 V_{DD} 来试图节省一个静态 CMOS 门的功耗, 你也将按比例降低 V_i 来保持性能。问动态功耗将增加还是减少? 静态功耗将增加还是减少?

动态功耗将减少: P_{sw} 依赖于 V_{DD}^2 , V_{DD} 减少, 动态功耗减少。

静态功耗将增加: 降低阈值电压(V_t)导致亚阈值泄漏电流(I_{sub})呈指数级增加, 静态功耗增加。

5.4 确定图 5.34 所示信号的活动因子。时钟速率为 1 GHz。

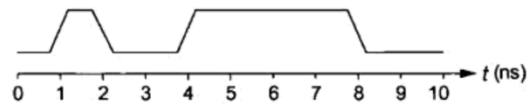


图 5.34 习题 5.4 中的信号

信号在 10 个周期内进行 4 次转换, 从 0 至 1 跳变 2 次

活动因子为 $(1/2) (4/10) = 0.2$

5.10 设计一个 65 nm 工艺电源门控电路的顶部开关。假设 pMOS 管的导通电阻约为 $2.5 \text{ k}\Omega \cdot \mu\text{m}$ 。采用电源门控的这一模块的导通电流为 100 mA。问这个顶部开关管必须多宽才能使所引起的延时增加小于 2%?

延时增加 2% 相应于在 V_{DD} 上的压降约为 2% ($2\% \cdot 1\text{V} = 20 \text{ mV}$)

因此, 有效电阻必须为 $R_{\text{switch}} = 20 \text{ mV} / 100 \text{ mA} = 0.2 \Omega$

需要宽度 $W = 2.5 \text{ k}\Omega \cdot \mu\text{m} / 0.2 \Omega = 12.5 \mu\text{m}$