

第一次习题课

刘春林

内容：第二、第四（第二部分）、第七章作业

2.2

2.2 若晶体管能很好地符合肖克利模型，证明流过两个串联晶体管的电流等于流过具有两倍长度的单个晶体管的电流。特别是当图 2.32 中的晶体管处在它们的线性区即 $V_{DS} < V_{DD} - V_t$, $V_{DD} > V_t$ 时，证明 $I_{DS1} = I_{DS2}$ (这在饱和区也成立)。提示：将串联晶体管的电流表示成与 V_1 的关系并求解 V_1 。

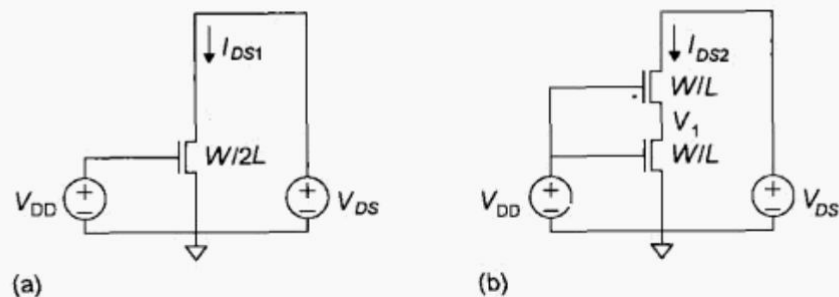


图 2.32 串联晶体管中的电流

思路：求解图中 V_1 处的电压。按线性区计算：

$$I_{DS1} = 0.5\beta(V_{DD} - V_t - V_{DS}/2)V_{DS}$$

$$I_{DS2} = \beta(V_{DD} - V_t - V_1/2)V_1 = \beta((V_{DD} - V_1) - V_t - (V_{DS} - V_1)/2)(V_{DS} - V_1)$$

求得 V_1 :

$$V_1 = (V_{DD} - V_t) - \sqrt{(V_{DD} - V_t)^2 - (V_{DD} - V_t - V_{DS}/2)V_{DS}}$$

带入到 I_{DS2} 的式子可以得到其是等于 I_{DS1} 的.

2.4

2.4 一个 90 nm 长晶体管的栅氧厚度为 16Å，它每微米宽度的栅电容是多少？

$$C_{permicron} = \epsilon L / t_{ox} = 3.9 \times 8.85 \times 10^{-14} F/cm \times 90 \times 10^{-7} cm / (16 \times 10^{-4} um) = 1.94 fF/um$$

课本P57 2.14 ϵ 用的是 SiO_2 的值。

2.10

- 2.10 一个 nMOS 管的阈值电压为 0.4 V，电源电压 $V_{DD} = 1.2$ V。一个电路设计者打算评估一下为使晶体管更快而使 V_t 减少 100 mV 的提议。
- 如果晶体管是理想的，饱和电流将增加多少倍 ($V_{gs} = V_{ds} = V_{DD}$ 时)？
 - $V_{gs} = 0$ 时室温下的亚阈值泄漏电流将增加多少倍？假设 $n = 1.4$ 。
 - 120 °C 时的亚阈值泄漏电流将增加多少倍？假设阈值电压与温度无关。

a)

饱和区, $I_{DS} = \beta V_{GT}^2/2, \therefore (1.2 - 0.3)^2/(1.2 - 0.4)^2 = 1.26$

b)

课本P68 2.42式, $\therefore e^{-0.3/(1.4 \times 0.026)} / e^{-0.4/(1.4 \times 0.026)} = 15.6$

c)

$v_t = kT/q = 34mV$, 同样带入上面b)的式子, $\therefore e^{-0.3/(1.4 \times 0.034)} / e^{-0.4/(1.4 \times 0.034)} = 8.2$

$$I_{ds} = I_{ds0} e^{\frac{V_{gs} - V_{t0} + \eta V_{ds} - k\gamma V_{sb}}{nv_T}} \left(1 - e^{\frac{-V_{ds}}{v_T}} \right)$$

$$I_{ds0} = \beta v_T^2 e^{1.8}$$

2.16

2.16 2.5.1 节用图解法确定了一个静态 CMOS 反相器的传输特性。试推导出该传输函数的 B 和 D 区域中 V_{out} 与 V_{in} 关系的解析式。假设 $|V_{tp}| = V_{tn}$ 及 $\beta_p = \beta_n$ 。

B区, nmos饱和区, pmos线性区:

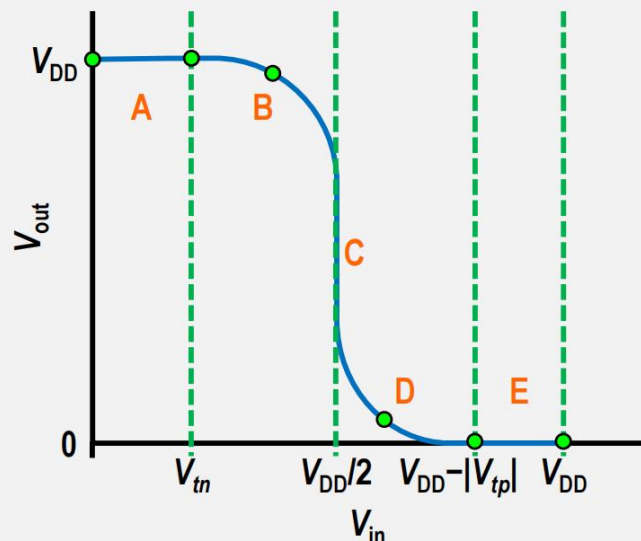
$$\beta(V_{in} - V_t)^2/2 = \beta((V_{in} - V_{DD}) - (V_{out} - V_{DD}/2) + V_t)(V_{out} - V_{DD})$$

$$V_{out} = V_{in} + V_t + \sqrt{(V_{in} + V_t)^2 - (V_{in} - V_t)^2 + V_{DD}(V_{DD} - 2V_{in} - 2V_t)}$$

B区, pmos饱和区, nmos线性区:

$$\beta(V_{in} - V_{DD} + V_t)^2/2 = \beta(V_{in} - V_t - V_{out}/2)V_{out}$$

$$V_{out} = V_{in} - V_t - \sqrt{(V_{in} - V_t)^2 - (V_{DD} - V_{in} - V_t)^2}$$



根据实际情况排除另外一个根

2.20

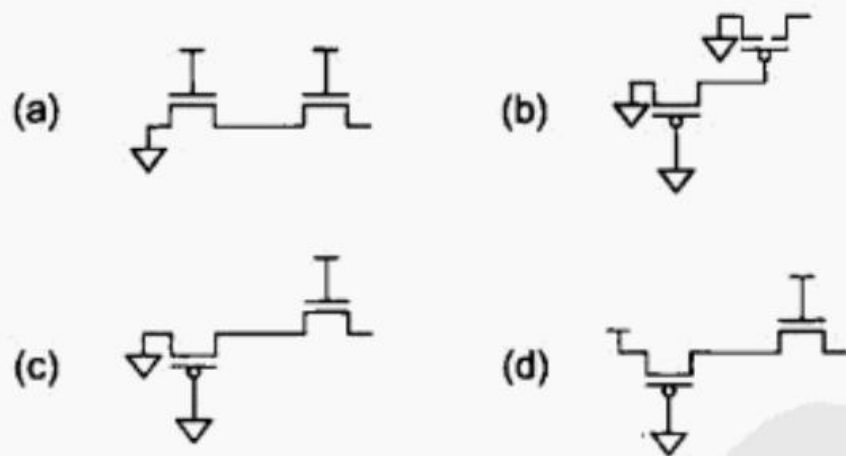


图 2.35 传输管电路

nmos能传输强0, pmos能传输强1. a) $V_{out} = 0$

b) $V_{out} = 2|V_{tp}|$

c) $V_{out} = |V_{tp}|$

d) $V_{out} = V_{DD} - V_{tn}$

要以动态的思维去看：
nmos能传强0， pmos能传强1.

pmos源漏栅电压同时为0在物理上能存在，但是实际数字电路几乎不可能出现，因为一旦被拉高一次就永远回不去0.

4.10

4.10 考虑图 4.39 中两种方式设计的两输入与门。定性判断哪种设计将更快些。计算出达到这一延时的路径努力、延时以及 x 和 y 的输入电容，以此来支持你的判断。

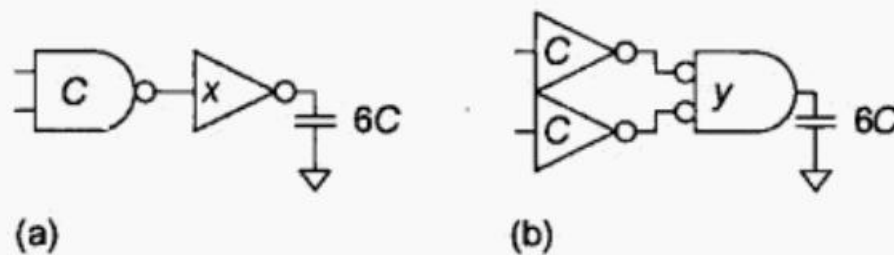


图 4.39 两输入与门

先定性分析：(a) 比 (b) 快，因为 NAND 相较于 NOR，寄生延时相同但逻辑努力更小。

(a)

$$H = 6, B = 1, P = 1 + 2 = 3, G = (4/3) \times 1 = 4/3$$

$$F = GBH = 8, f = \sqrt{F} \approx 2.8, D = 2f + P = 8.6, x \approx 6C/f = 2.14C$$

(b)

$$H = 6, B = 1, P = 1 + 2 = 3, G = (5/3) \times 1 = 5/3$$

$$F = GBH = 10, f = \sqrt{F} \approx 3.2, D = 2f + P = 9.3, x \approx 6C \cdot \frac{5/3}{f} = 3.16C$$

4.12 采用 64 位寄存器，重新设计 4.5.3 节例子中 32 字寄存器堆的译码器。给出最快译码器的设计并估算出译码器的延时及达到这一延时的晶体管宽度。

2.12

$$H = \frac{64 \times 3}{10} = 19.2, B = \frac{32}{2} = 16$$

先忽视逻辑努力, $G \approx 1$:

$$F = GBH = 19.2 \times 16 = 307.2, \text{取 } \rho = 4, N = \log_4 F = 4.13$$

考虑N=4:

NAND3 + INV + NAND2 + INV 结构 (比如) , 则:

$$G = \frac{5}{3} \times 1 \times \frac{4}{3} \times 1 = \frac{20}{9}, F = \frac{20}{9} \times 16 \times 19.2 = 682.67,$$

$$f = F^{1/4} = 5.11, D = 4f + P = 27.44$$

考虑N=5:

INV + NAND3 + INV + NAND2 + INV 结构 (比如, 设计不固定) , 则:

$$G = 1 \times \frac{5}{3} \times 1 \times \frac{4}{3} \times 1 = \frac{20}{9}, F = \frac{20}{9} \times 16 \times 19.2 = 682.67,$$

$$f = F^{1/5} = 3.69, D = 5f + P = 26.45$$

对比, 采用N=5。则各级对应电容 (按上面顺序, 这个设计不固定) :

$$\text{INV } \frac{2.3 \times 1}{3.69} = 0.625,$$

$$\text{NAND3 } \frac{5.1 \times \frac{5}{3}}{3.69} = 2.3,$$

$$\text{INV } \frac{18.8 \times 1}{3.69} = 5.1,$$

$$\text{NAND2 } \frac{52 \times \frac{4}{3}}{3.69} = 18.8,$$

$$\text{INV } \frac{192 \times 1}{3.69} = 52.$$

4.24

- 4.24 一个输出焊盘上包括一个尺寸逐级加大的反相器链用来驱动(相对)很大的片外电容。如果这个反相器链中第一个反相器的输入电容为 20 fF 而片外负载为 10 pF, 应当用多少个反相器驱动这个负载才能达到最小的延时? 估算出这个延时并用 FO4 反相器延时表示。

$$F = \frac{10pF}{20fF} = 500, N = \log_4 F \approx 4.5$$

这里选择N=4, 因为N=5会让输出反相。

$$D = 4F^{1/4} + 4 \approx 22.9 \approx 4.58d_{FO4}$$

7.2 某电路正在高电压下进行加速寿命试验。如果测量得到的失效时间在 2 V 下为 20 小时、1.8 V 下为 160 小时及 1.6 V 下为 1250 小时，试预测能达到 10 年寿命期时的最高工作电压。

7.2

使用对数函数 $y = \ln(t) = aU + b$,三个点: $(U=2,y=\ln(20))$, $(U=1.8,y=\ln(160))$, $(U=1.6,y=\ln(1250))$
根据拟合结果得: $y = \ln(t) = -10.36U + 23.72$,
将 $10\text{years} \approx 87600\text{h}$, $\ln(87600) = 11.38$,带入:
估算得 $U \approx 1.19\text{V}$.

有同学使用 $t = ae^{bU} + c$ 形式去拟合,跟上面的对数拟合区别就是 c 取不取恒0的问题,理论上没有问题,但是根据7.7图我个人还是倾向于 c 取恒0,因为7.7图的寿命 t 并未作任何偏差。

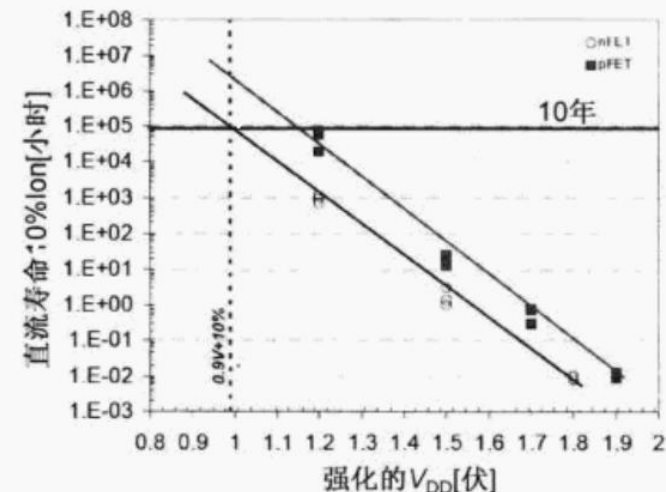
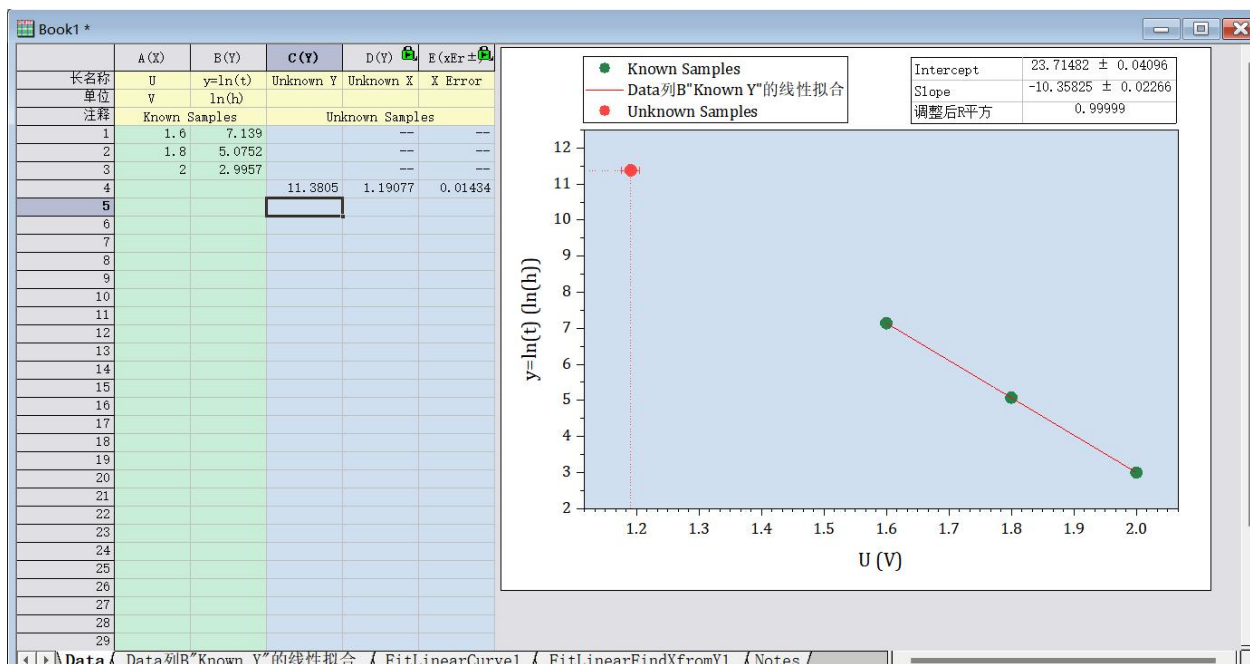


图 7.7 IBM 32 nm 工艺栅氧的加速寿命试验 (© IEEE 2008)

7.6

7.6 一个芯片含 100 个 11 级的环形振荡器。每个反相器的平均延时为 10 ps, 标准差为 1 ps, 因此环形振荡器平均运行在 4.54 GHz。该芯片的工作频率定义为芯片上所有振荡器中最慢的频率。

(a) 求该芯片的期望工作频率。

(b) 求参数成品率达到 97.7% 时最大的目标工作频率。

11级环形振荡器需计算22个反相器延时,

\therefore 平均延时 $E(delay) = 22 \times 10 = 220ps$, 标准差 $\sigma(delay) = \sqrt{22} = 4.7ps$.

根据表7.9:

$$N = 100, E(M) = 2.5, \sigma(M) = 0.43$$

$$\therefore E(maxdelay) = 220 + 2.5 \times 4.7 = 231.8ps, \sigma(maxdelay) = 0.43 \times 4.7 = 2.0ps.$$

a)

期望工作频率:

$$\frac{1}{E(maxdelay)} = \frac{1}{231.8ps} = 4.31Ghz.$$

b)

查看表7.8:

$$\text{取 } x=2, \text{ 可以使成品率达到 } 0.9772, \therefore \text{ 最大目标工作频率 } = \frac{1}{231.8+2 \times 2.0} = 235.8Ghz.$$