



中国科学技术大学

University of Science and Technology of China

数字集成电路设计

第六章 互连线

白雪飞

中国科学技术大学微电子学院

- 引言
- 互连线建模
- 互连线的影响
- 互连线工程
- 互连线与逻辑努力



引言

■ 互连线 (Interconnect)

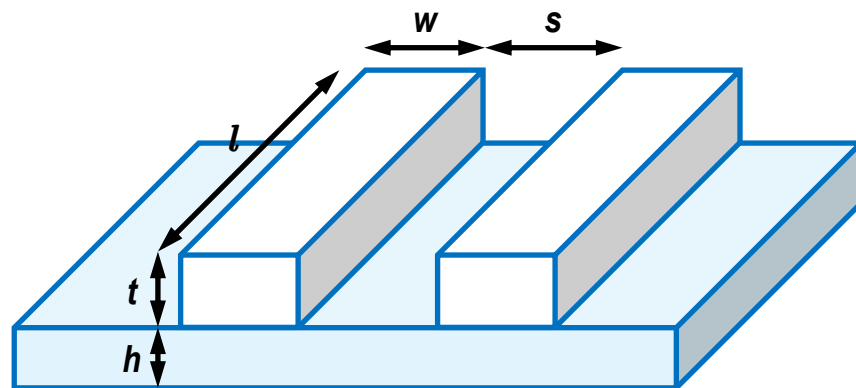
- 将晶体管连接在一起的导线(Wire)
- 集成电路有多层导线，晶体管位于导线以下
- 导线在版图或棒图中体现出尺寸大小

■ 导线对性能的影响

- 导线与晶体管同样重要
- 速度：现代工艺中，许多信号路径中导线的RC延时超过门延时
- 功耗：导线是翻转功耗的重要来源
- 噪声：导线翻转时通过电容耦合影响相邻导线

■ 几何尺寸参数

- 宽度 w , 长度 l , 厚度 t
- 与相邻导线的间距 s
- 与下层导电层之间电介质高度 h
- 节距(Pitch) $w+s$
- 高宽比(Aspect Ratio, AR) t/w

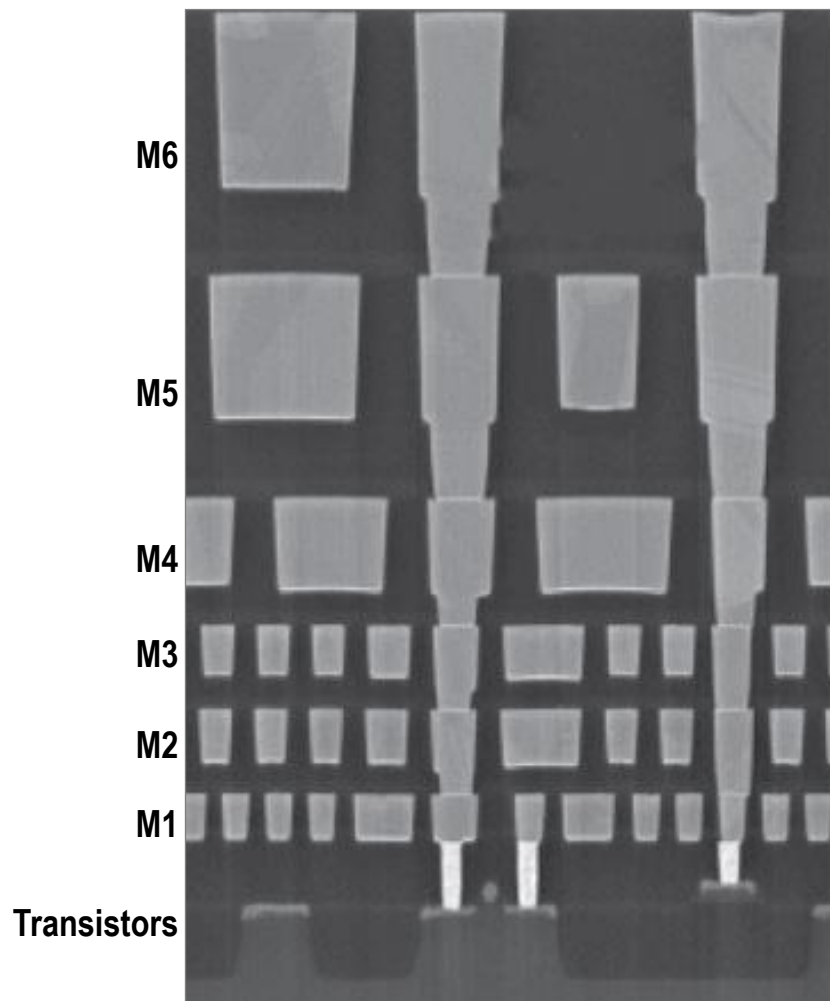


互连线的几何尺寸

■ 金属叠层

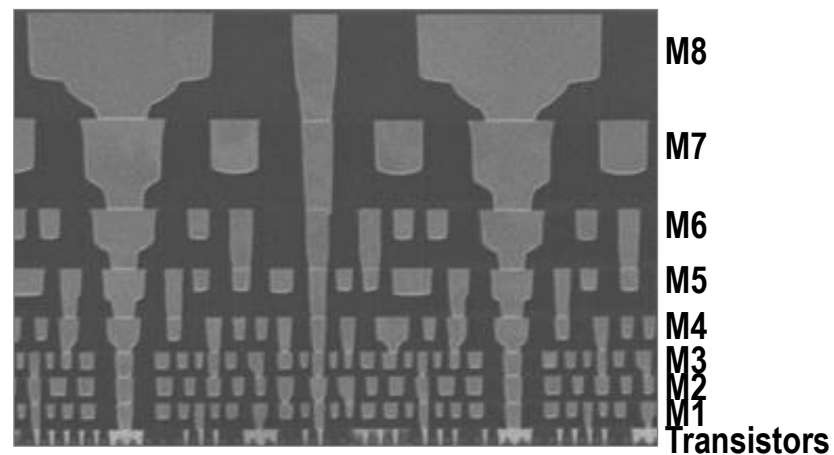
- 早期工艺: 1~3层金属, $AR \ll 1$
- 现代工艺: 6~10+层金属, $AR \approx 2$
- 金属1具有最小的厚度和节距, 提供单元内部的密集布线
- 中间各层金属厚度和节距逐层增加或相等, 提供电阻较低的互连线
- 顶层金属厚度和节距最大, 具有最低的电阻, 用于分布电源和地

金属叠层举例

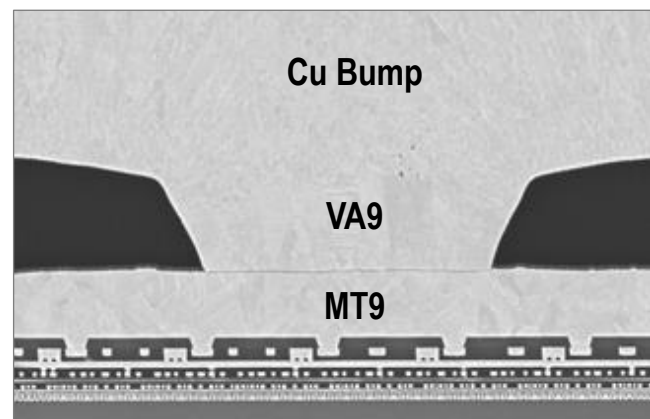


Intel 90-nm工艺金属叠层

1 μm

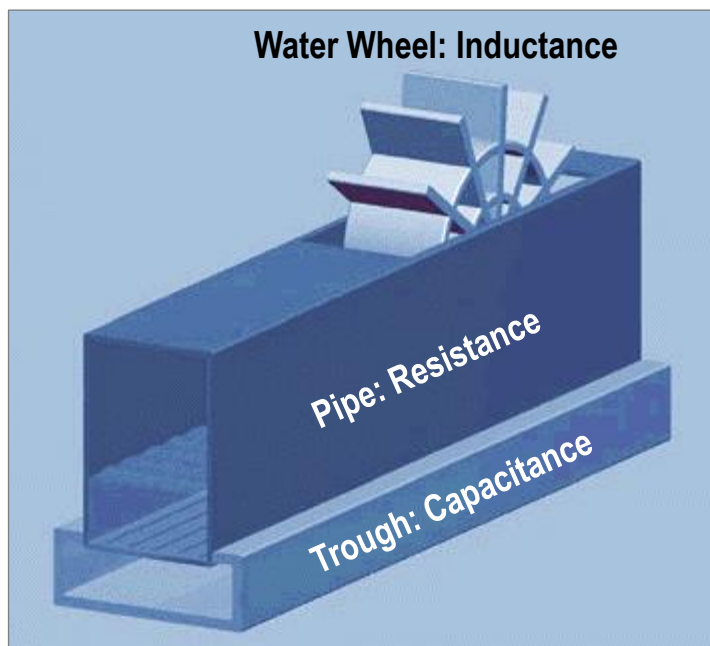


Intel 45-nm工艺金属叠层 (M1-M8)

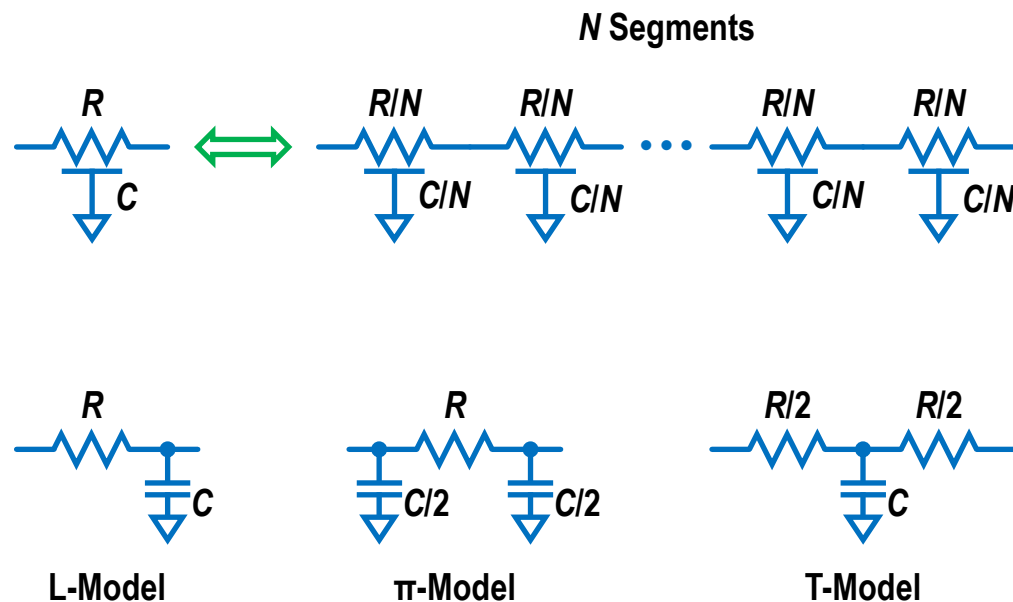


Intel 45-nm工艺金属叠层 (M9 & IO Bump)

互连线建模



管道类比导线



分布RC电路的集总近似

三段 π 模型可以得到精确至3%的仿真结果

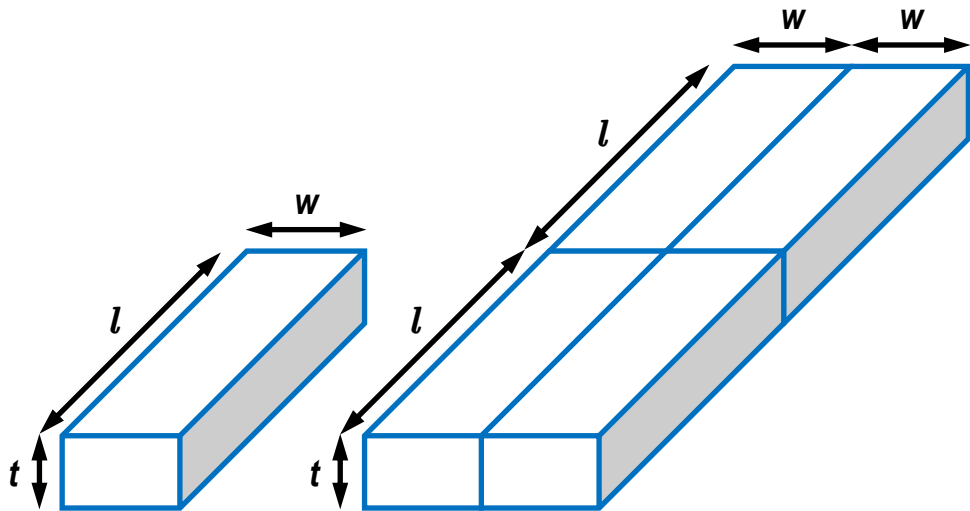
■ 电阻的计算

- 均匀平板导电材料的电阻为

$$R = \frac{\rho}{t} \frac{l}{w} = R_{\square} \frac{l}{w}$$

- 电阻率 ρ
- 薄层电阻 (Sheet Resistance)

$$R_{\square} = \rho/t; \text{ unit: } \Omega/\square$$



具有相同电阻的导体

■ 金属的选择

- 直至180-nm工艺节点，大部分导线材料为铝
- 现代工艺中导线材料一般使用铜
- 导线金属薄膜电阻率比纯金属体电阻率较高一些
- 导线电阻随温度变化很大，正常工作范围内铜和铝电阻温度系数约为0.4%/°C

■ 铜导线

- 铜扩散阻挡层具有更高的电阻率
- 抛光工艺引起铜导线凹陷变薄

$$R = \frac{\rho}{(t - t_{\text{dish}} - t_{\text{barrier}})} \frac{l}{(w - 2t_{\text{barrier}})}$$

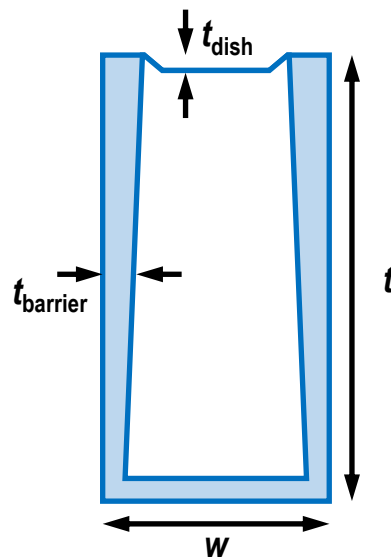
- **例：**计算65-nm工艺厚0.22 μm 的铜线薄层电阻。
如果导线宽0.125 μm ，长1 mm，求出其总电阻。
忽略阻挡层和凹陷效应。

- **解：**薄层电阻为

$$R_{\square} = \frac{2.2 \times 10^{-8} \Omega \cdot \text{m}}{0.22 \times 10^{-6} \text{ m}} = 0.10 \Omega/\square$$

总电阻为

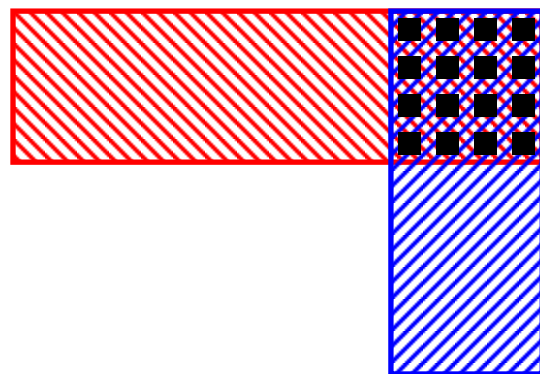
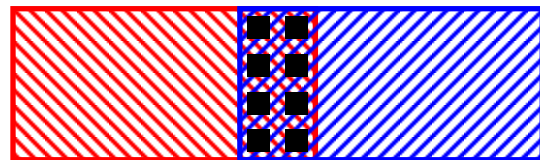
$$R = (0.10 \Omega/\square) \frac{1000 \mu\text{m}}{0.125 \mu\text{m}} = 800 \Omega$$



铜的阻挡层和凹陷效应

■ 半导体材料

- 半导体材料的电阻率受掺杂浓度影响很大
- 半导体材料的薄层电阻与工艺高度相关
- 多晶硅和扩散层在硅化后的薄层电阻小于 $10\ \Omega/\square$
- 多晶硅和扩散层未经硅化时薄层电阻达几百 Ω/\square
- 阱的掺杂浓度很低，薄层电阻更高
- 高电阻通常采用阱或未硅化的多晶硅制造



■ 接触和通孔

- 电阻与接触/通孔尺寸及其接触的材料有关
- 电阻典型值为 $2\sim 20\ \Omega$
- 应使用多个接触/通孔形成低阻连接

采用多个通孔实现低阻连接

■ 衬底上方孤立导线的电容

- 导线底面对地的平板电容

$$C = \frac{\varepsilon_{\text{ox}}}{h} wl$$

- 边缘电场产生的边缘电容

- 需要使用数值场求解器或近似方法计算

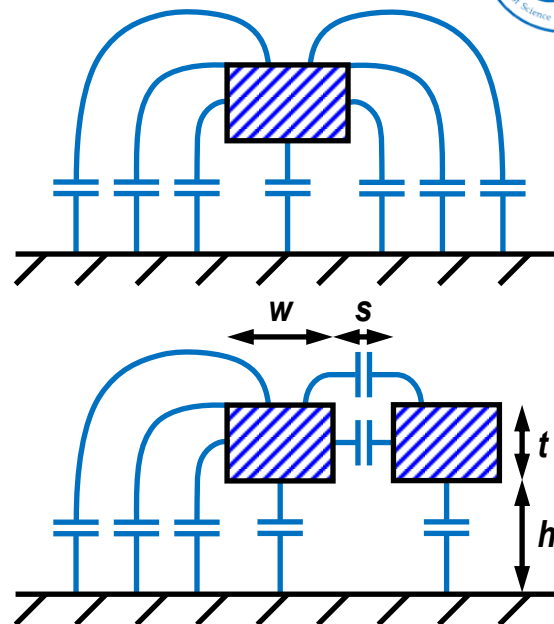
■ 多层电容模型

- 考虑同层、上层和下层的相邻导体

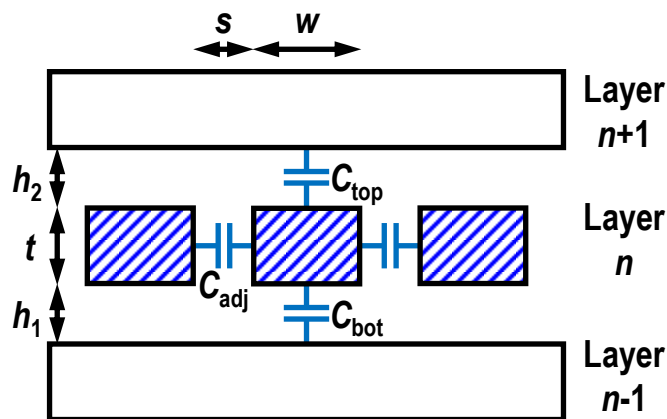
$$C_{\text{total}} = C_{\text{top}} + C_{\text{bot}} + 2C_{\text{adj}}$$

$$\approx \varepsilon_0 l \left[2k_{\text{vert}} \frac{w}{h} + 2k_{\text{horiz}} \frac{t}{s} \right] + C_{\text{fringe}}$$

- 上限估计：假设同层相邻导体具有最小间距，上层和下层都为整体的接地平面
- 下限估计：假设除衬底外没有任何其他导体



边缘电场对电容的影响



多层电容模型

电容的近似计算方法

■ 近似计算

$$C = \varepsilon_{\text{ox}} l \left[\frac{w - \frac{t}{2}}{h} + \frac{2\pi}{\ln \left(1 + \frac{2h}{t} + \sqrt{\frac{2h}{t} \left(\frac{2h}{t} + 2 \right)} \right)} \right]$$

- 当 $AR < 2$ 和 $t \approx h$ 时，精度误差在10%以内

■ 经验公式

$$C = \varepsilon_{\text{ox}} l \left[\frac{w}{h} + 0.77 + 1.06 \left(\frac{w}{h} \right)^{0.25} + 1.06 \left(\frac{t}{h} \right)^{0.5} \right]$$

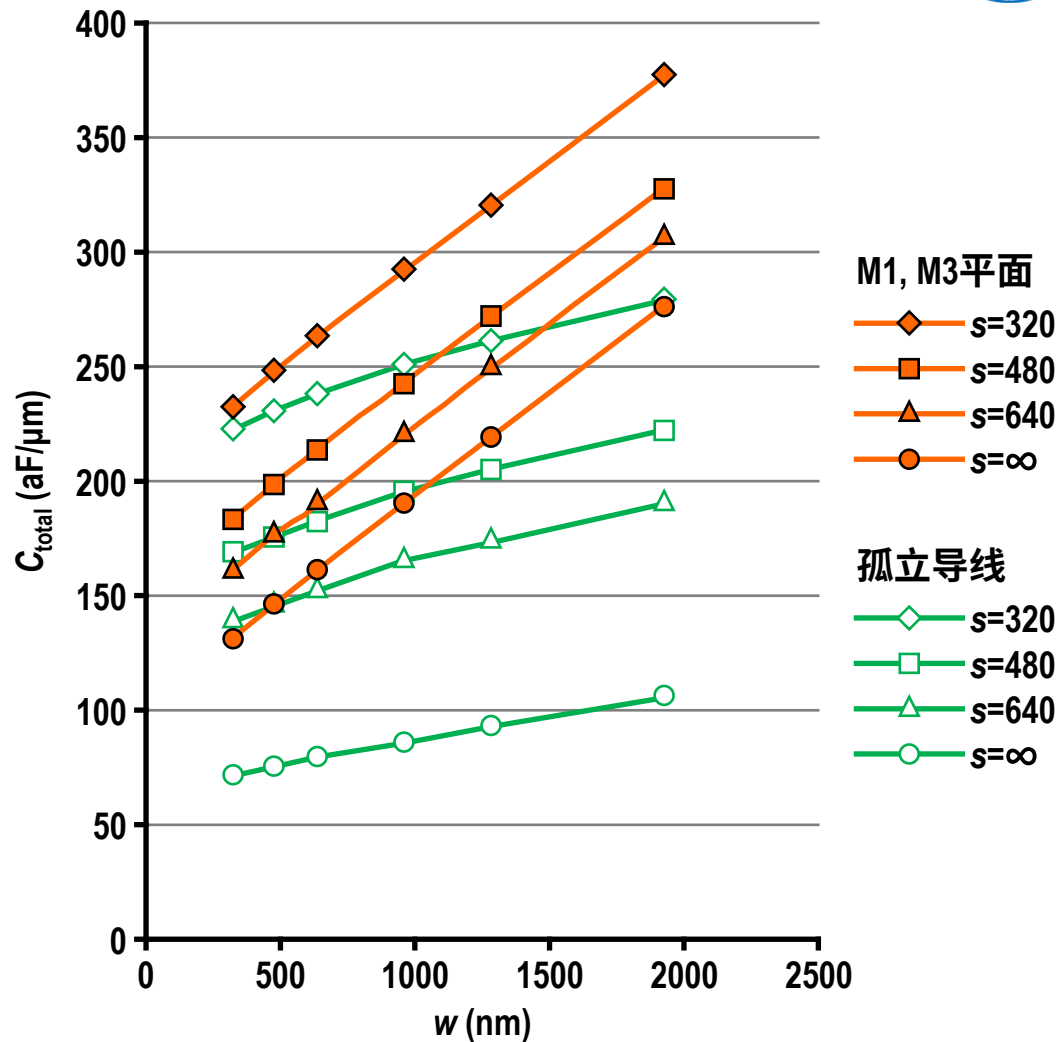
- 当 $AR < 3.3$ 时，精度误差达6%，计算效率较高

导线电阻和电容的典型数据



22°C时纯金属的体电阻率

金属	电阻率 ($\mu\Omega\cdot\text{cm}$)
银 (Ag)	1.6
铜 (Cu)	1.7
金 (Au)	2.2
铝 (Al)	2.8
钨 (W)	5.3
钼 (Mo)	5.3
钛 (Ti)	43.0



M2导线电容与宽度及间距的关系

■ 电感

- 考虑长度为 l ，宽度为 w ，位于接地平面上方高度 h 处的导体
- 当 $w < h$ 且厚度可以忽略不计时，其电感近似为

$$L = l \frac{\mu_0}{2\pi} \ln \left(\frac{8h}{w} + \frac{w}{4h} \right)$$

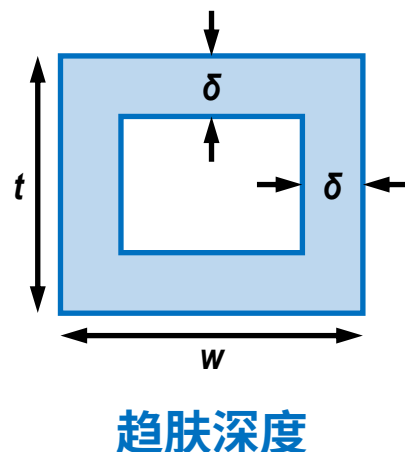
- 真空磁导率 $\mu_0 = 4\pi \times 10^{-7} \text{ H/m}$
- 典型片上电感值在 $0.15 \sim 1.5 \text{ pH}/\mu\text{m}$ 范围内

■ 趋肤效应 (Skin Effect)

- 在高频情况下，电流趋向于在导体表面附近流动
- 由信号边沿速率可得所需关注的最大频率及趋肤深度

$$\omega = \frac{2\pi}{8.65 t_{rf}}; \quad \delta = \sqrt{\frac{2\rho}{\omega\mu}}$$

- CMOS电路中很少需要考虑趋肤效应



互连线的影响

■ 互连线对延时的影响

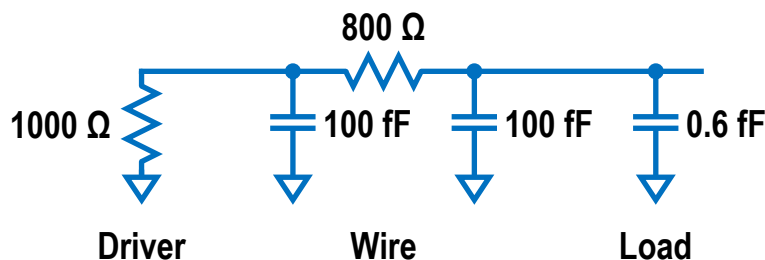
- 连线电容增加门的负载
- 长连线具有很大的电阻，影响分布RC延时或飞行时间(Flight Time)
- 对于 π 模型，无论采用多少段，其Elmore延时都是 $RC/2$

■ **例：**一个10倍单位尺寸的反相器驱动1 mm长连线末端的2倍反相器。若连线电容为 $0.2 \text{ fF}/\mu\text{m}$ ，单位尺寸NMOS管的 $R=10 \text{ k}\Omega$ ， $C=0.1 \text{ fF}$ 。忽略扩散电容。试估算其Elmore传播延时。

■ **解：**驱动器电阻为 $1 \text{ k}\Omega$ ，连线电容为 200 fF ，接收器输入电容为 0.6 fF 。

该系统单段 π 模型等效电路如下图所示，Elmore延时为

$$t_{pd} = (1000 \Omega)(100 \text{ fF}) + (1000 \Omega + 800 \Omega)(100 \text{ fF} + 0.6 \text{ fF}) = 281 \text{ ps}$$



单段 π 模型等效电路

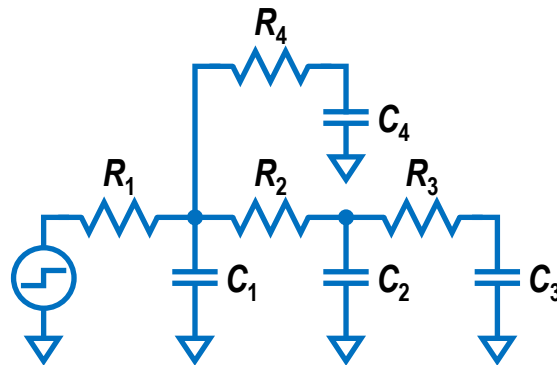
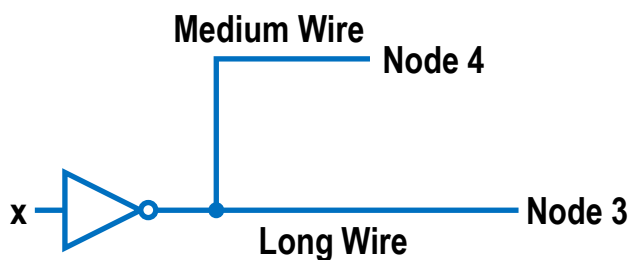
■ 连线电阻和电容对延时的影响

- 连线电阻和电容都随连线长度而增长，所以连线延时随长度以平方关系增长
- 扩散导线具有很高的电阻和电容，不能用于互连线
- 多晶硅导线具有较高的电阻，仅用于单元内部短距离连线

■ **例：**一个门驱动连至两个终端的导线，等效电路如下图。连至节点3的长导线表示为一对 π 段，连至节点4的导线用单段表示。求从输入至各接收器的Elmore延时。

■ **解：** $T_{D_3} = R_1 C_1 + (R_1 + R_2) C_2 + (R_1 + R_2 + R_3) C_3 + R_1 C_4$

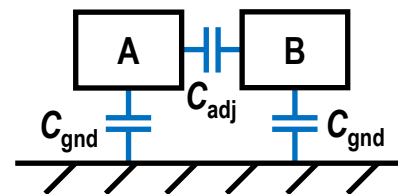
$$T_{D_4} = R_1 C_1 + R_1 (C_2 + C_3) + (R_1 + R_4) C_4$$



RC树结构互连线模型

■ 串扰

- 电容不能瞬时改变其两端的电压
- 导线A翻转时将通过电容耦合使与之相邻的导线B和它一起翻转
- 若B也同时翻转，串扰将增加或减少B的翻转延时
- 若B此时不翻转，串扰将在B上引起噪声



与相邻导线间的电容
及对地电容

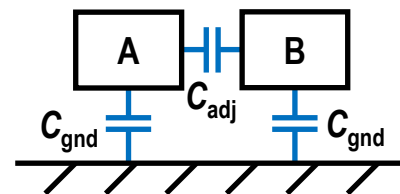
■ 串扰的影响程度

- 串扰的影响取决于 C_{adj} 与总电容之比
- 对于较短的导线和较大的负载，负载电容占支配地位，串扰的影响较小
- 反之，串扰对长导线的影响非常大

串扰对延时的影响

串扰延时

- 假设上层和下层导体不发生翻转，它们可以建模为接地平面，即 $C_{\text{gnd}} = C_{\text{top}} + C_{\text{bot}}$
- 有效 C_{adj} 取决于相邻导线的翻转行为



与相邻导线间的电容
及对地电容

延时的估算

- 计算传播延时，假设 $\text{MCF} = 2$
- 计算污染延时，假设 $\text{MCF} = 0$
- 只有相邻导线的翻转窗口重叠时才考虑它们的翻转

等效电容与翻转方向的关系

B	ΔV	$C_{\text{eff(A)}}$	密勒耦合因子(MCF)
不翻转	V_{DD}	$C_{\text{gnd}} + C_{\text{adj}}$	1
与A翻转方向相同	0	C_{gnd}	0
与A翻转方向不同	$2V_{\text{DD}}$	$C_{\text{gnd}} + 2C_{\text{adj}}$	2

串扰对噪声的影响



■ 串扰噪声

- 若导线A翻转而B保持不变，将在B上引起噪声使其发生部分翻转
- A称为入侵方(Aggressor)或干扰方(Perpetrator)
- B称为受扰方(Victim)

■ 若受扰方浮空，建模为电容分压电路

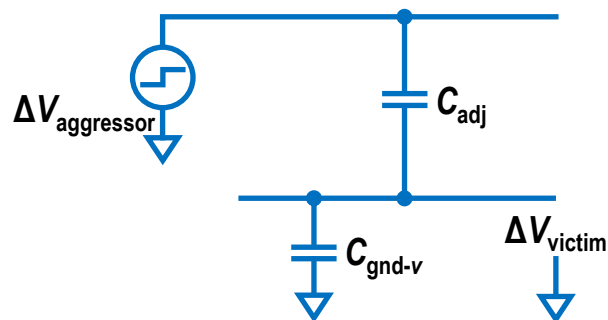
$$\Delta V_{\text{victim}} = \frac{C_{\text{adj}}}{C_{\text{gnd-v}} + C_{\text{adj}}} \Delta V_{\text{aggressor}}$$

■ 若受扰方被有源驱动，驱动器建模为电阻

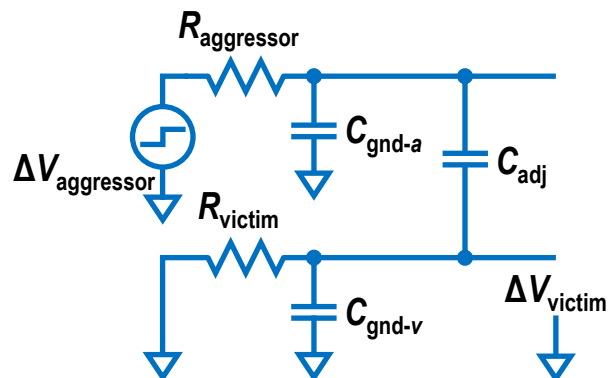
$$\Delta V_{\text{victim}} = \frac{C_{\text{adj}}}{C_{\text{gnd-v}} + C_{\text{adj}}} \frac{1}{1+k} \Delta V_{\text{aggressor}}$$

■ 其中

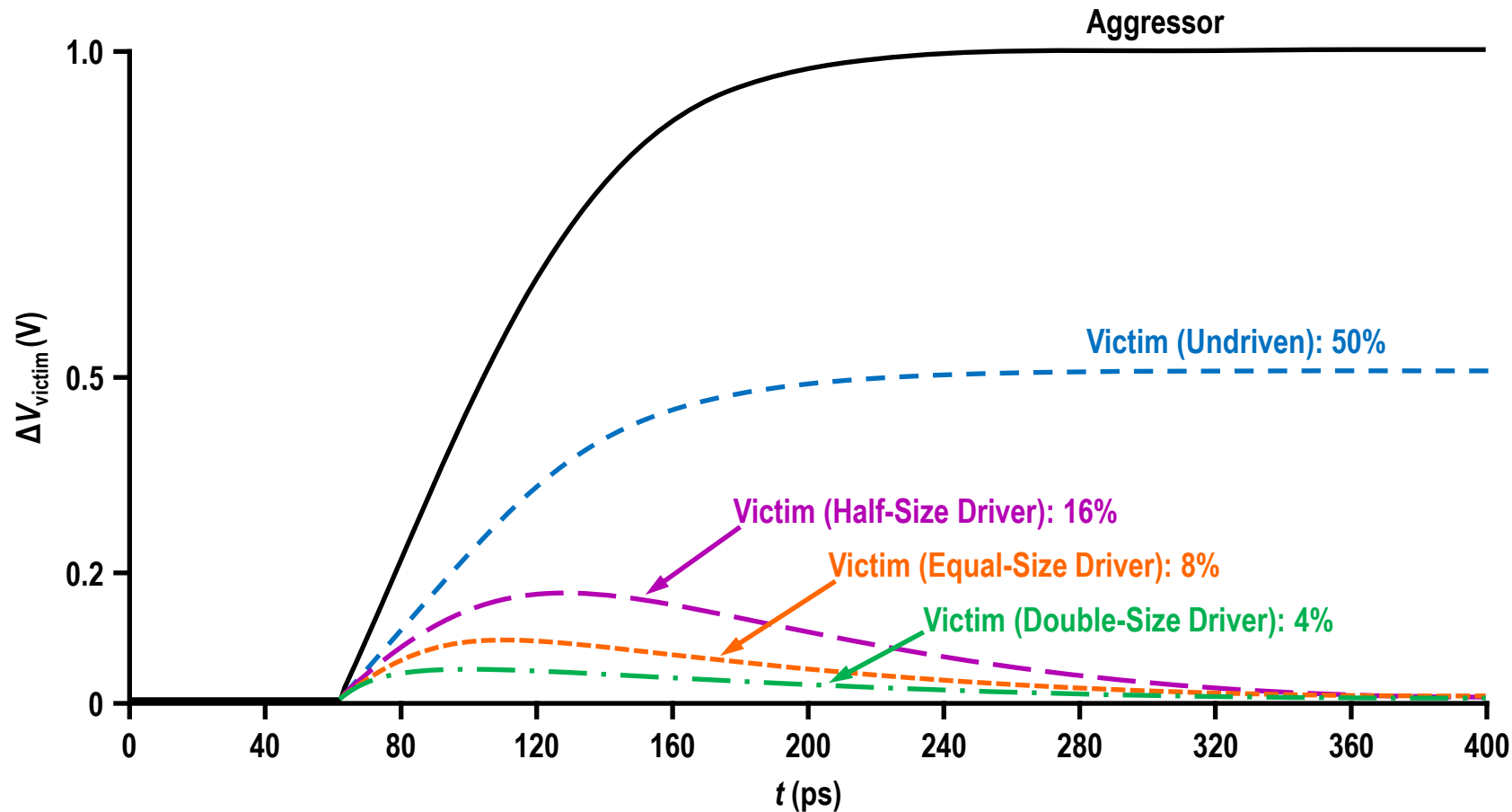
$$k = \frac{\tau_{\text{aggressor}}}{\tau_{\text{victim}}} = \frac{R_{\text{aggressor}} (C_{\text{gnd-a}} + C_{\text{adj}})}{R_{\text{victim}} (C_{\text{gnd-v}} + C_{\text{adj}})}$$



耦合至浮空的受扰方



耦合至被驱动的受扰方



耦合噪声仿真波形

受扰方晶体管处于线性区；干扰方晶体管处于饱和区，沟道电阻较大

干扰方由单位反相器驱动，且 $C_{\text{adj}} = C_{\text{gnd}}$

■ Elmore延时模型

- 简单的闭合形式表达，互连线延时的上限
- 电路冲激响应的一阶矩，精度较低

■ 渐近波形估计 (Asymptotic Waveform Evaluation, AWE)

- 采用矩匹配方法估算互连线延时
- 精度比Elmore延时模型高，运行时间比电路仿真快

■ Arnoldi算法

- 间接矩匹配算法估算互连线延时
- 精度比AWE更高，数值结果比AWE更稳健

互连线工程

宽度、间距和层次

■ 互连线设计自由度

- 宽度、间距、层次、屏蔽
- 在延时、带宽、能耗、噪声之间综合考虑选择上述自由度

■ 宽度和间距

- 非关键路径使用最小节距以达到最高的密度和带宽
- 当负载主要由导线电容决定时，可增加导线间距
- 当延时主要由门电容及导线电阻决定时，可增加导线宽度

■ 层次

- 导线的厚度与所使用的金属层有关
- 低层导线较薄并被优化以达到密集的布线节距
- 中层导线稍厚以具有较低的电阻及较大的载流能力
- 高层导线更厚以提供低阻的电源网格及快速的全局互连

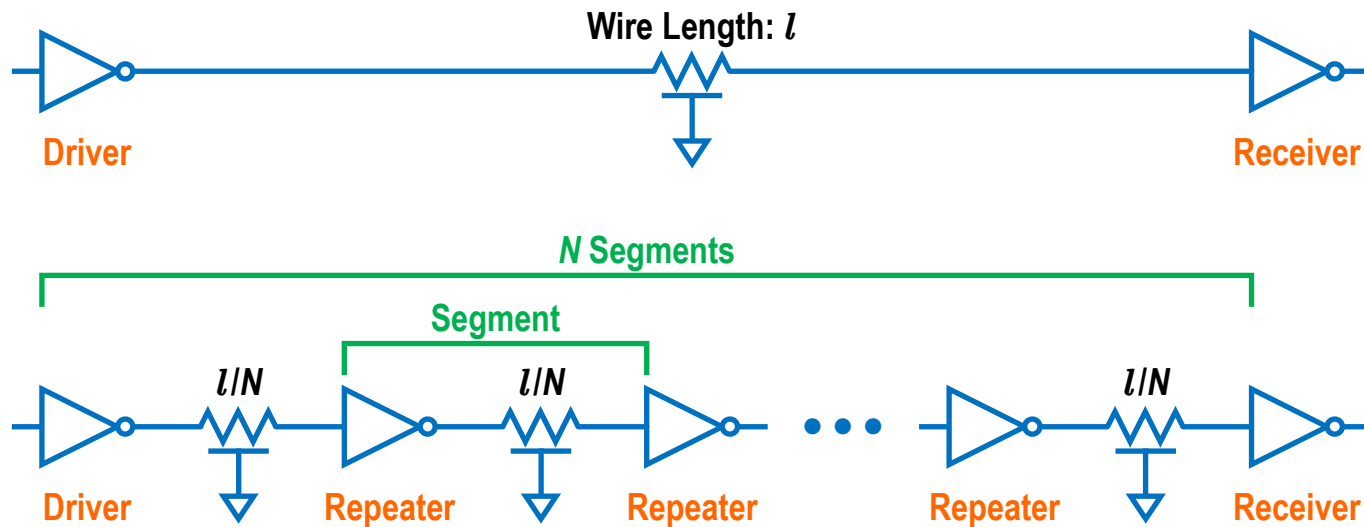
中继器 (Repeater)

■ 导线的延时

- 导线的电阻和电容都随长度而增长，导线的RC延时随长度平方而增长

■ 中继器

- 将长导线划分成 N 段并插入反相器或缓冲器来有效驱动导线
- 若段数正比于导线总长度，则总延时只按线性关系随总长度增长



不包含和包含中继器的导线

■ 中继器间距选择

■ 单位反相器电阻 R ，栅电容 C ，扩散电容 Cp_{inv}

■ 单位长度导线电阻 R_w ，电容 C_w

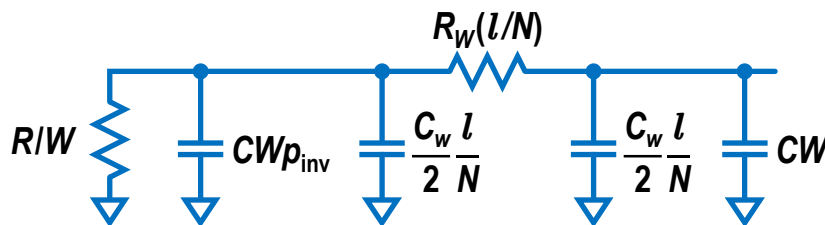
■ 若插入 W 倍单位尺寸的中继器，则导线的Elmore延时为

$$t_{pd} = N \left[\frac{R}{W} \left(C_w \frac{l}{N} + CW(1 + p_{\text{inv}}) \right) + R_w \frac{l}{N} \left(\frac{C_w}{2} \frac{l}{N} + CW \right) \right]$$

■ 将上式对 N 求导并令其为零，可得每段导线最优长度为

$$\frac{l}{N} = \sqrt{\frac{2RC(1 + p_{\text{inv}})}{R_w C_w}} \approx 0.77 \sqrt{\frac{\text{FO4}}{R_w C_w}}$$

■ 其中，扇出4的反相器延时 $\text{FO4}=5RC$ ，采用折叠式晶体管时 $p_{\text{inv}} \approx 0.5$



插入中继器后每段导线的等效电路

■ 导线延时

- 将 t_{pd} 对 W 求导并令其为零，可得反相中继器中NMOS管宽度应为

$$W = \sqrt{\frac{RC_w}{R_w C}}$$

- 则插入中继器的导线每单位长度延时为

$$\frac{t_{pd}}{l} = \left(2 + \sqrt{2(1 + p_{inv})}\right) \sqrt{RCR_w C_w} \approx 1.67 \sqrt{FO4 R_w C_w}$$

■ 导线能耗

- 传送一位信息所需每单位长度导线能耗为

$$\frac{E}{l} = \left(C_w + \frac{NWC(1 + p_{inv})}{l}\right) V_{DD}^2 = \left(1 + \sqrt{\frac{1 + p_{inv}}{2}}\right) C_w V_{DD}^2 \approx 1.87 C_w V_{DD}^2$$

- 为达到最小延时所选取的中继器尺寸将使导线能耗增加约87%
- 在EDP取最小值处，中继器尺寸仅为最小延时尺寸的0.6倍，导线延时比最小延时增加14%，能耗仅比未插入中继器的导线增加30%

■ 反相中继器

- 需保证中继器数量为偶数，或修改接收逻辑使其能接受反相位信号

■ 缓冲中继器

- 使用一对反相器作为中继器来避免信号极性问题
- 前级反相器尺寸 W_1 较小，后级反相器尺寸 $W_2=kW_1$ ，当 $p_{\text{inv}}=0.5$ 时 $k \approx 2.25$
- 中继器距离、单位长度延时、晶体管宽度、单位长度每位信息能耗分别为

$$\frac{l}{N} = \sqrt{\frac{2RC\left(k + \frac{1}{k} + 2p_{\text{inv}}\right)}{R_w C_w}} \approx 1.22 \sqrt{\frac{\text{FO4}}{R_w C_w}}$$

$$\frac{t_{pd}}{l} = \left(2\sqrt{\frac{1}{k}} + \sqrt{2\left(k + \frac{1}{k} + 2p_{\text{inv}}\right)}\right) \sqrt{RCR_w C_w} \approx 1.81 \sqrt{\text{FO4}} \sqrt{R_w C_w}$$

$$W_1 = \sqrt{\frac{RC_w}{kR_w C}} = \frac{W}{\sqrt{k}}, \quad W_2 = kW_1 = \sqrt{\frac{kRC_w}{R_w C}} = W\sqrt{k}$$

$$\frac{E}{l} = \left(1 + \frac{(1+k)(1+p_{\text{inv}})}{\sqrt{2(k^2+1+2kp_{\text{inv}})}}\right) C_w V_{\text{DD}}^2 \approx 2.20 C_w V_{\text{DD}}^2$$

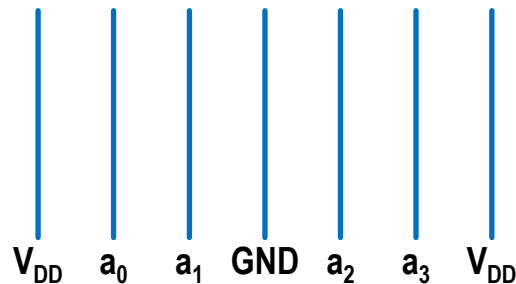
■ 串扰影响

- 电容串扰正比于耦合电容与总电容之比
- 现代工艺中，耦合电容占总电容 $2/3 \sim 3/4$
- 串扰可能产生大量噪声以及延时偏差

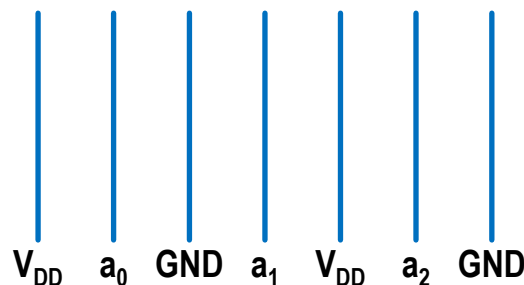
■ 串扰控制方法

- 增大与相邻导线的间距
- 屏蔽导线
- 确保相邻导线在不同时间翻转
- 抵消串扰
 - 交错排列中继器
 - 电荷补偿技术
 - 双绞线差分信号传输

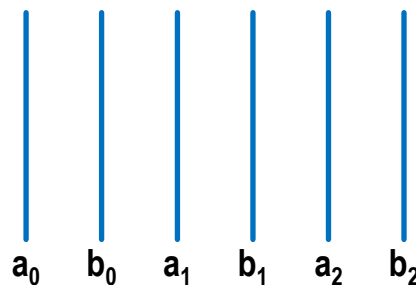
One Side



Both Side

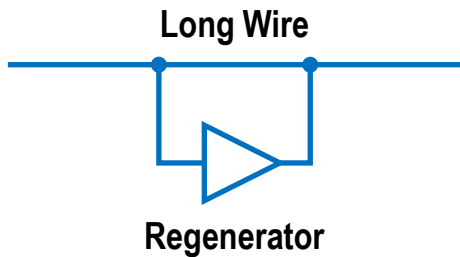


Interleaved

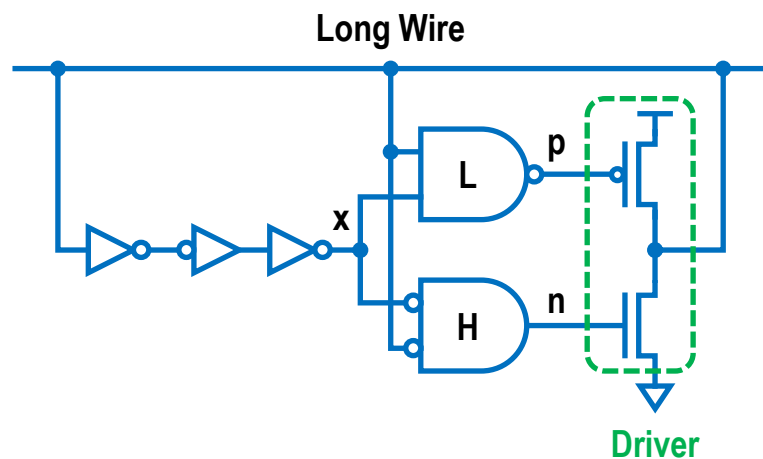


导线屏蔽的排布方式

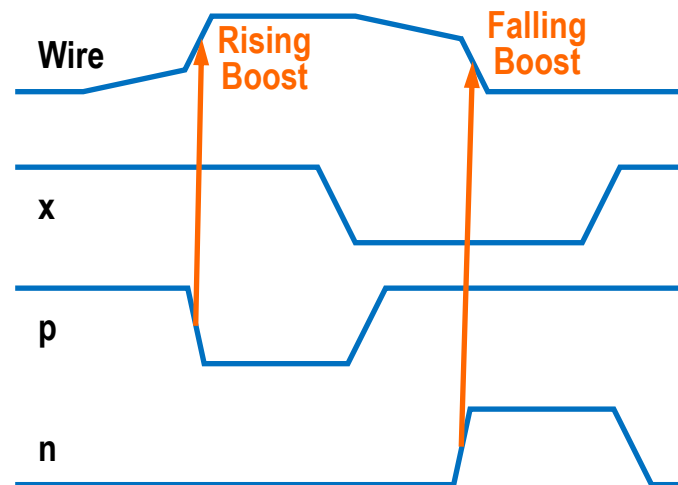
再生器 (Regenerator)



再生器与导线并联



再生器原理图



再生器波形图

互连线与逻辑努力

考虑互连线的逻辑努力方法

■ 若互连线很短 ($C_{\text{wire}} \ll C_{\text{gate}}$)

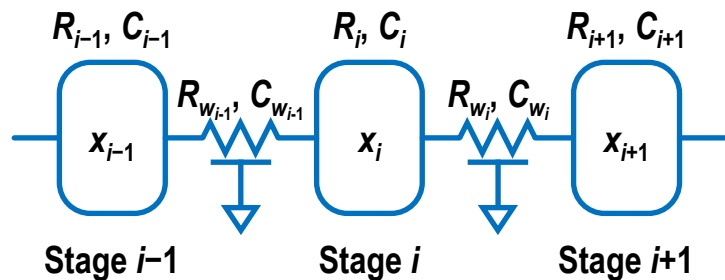
- 导线电容可忽略不计或包括在寄生电容中
- 最优的每级努力略大于4，路径应采用较少的级数，较大的门尺寸

■ 若互连线很长 ($C_{\text{wire}} \gg C_{\text{gate}}$)

- 导线末端的门可以忽略不计
- 路径可划分为两部分
 - 第一部分驱动导线，忽略接收器负载
 - 第二部分从导线接收其输入

■ 中等长度互连线 ($C_{\text{wire}} \approx C_{\text{gate}}$)

- 导线引入的分支努力与负载尺寸有关
- 可通过路径延时与门的尺寸及导线电容的关系式推导最优尺寸



$$C_i (R_{i-1} + R_{w,i-1}) = R_i (C_{i+1} + C_{w,i})$$

包含导线的路径及最优尺寸关系

考虑互连线的逻辑努力方法举例



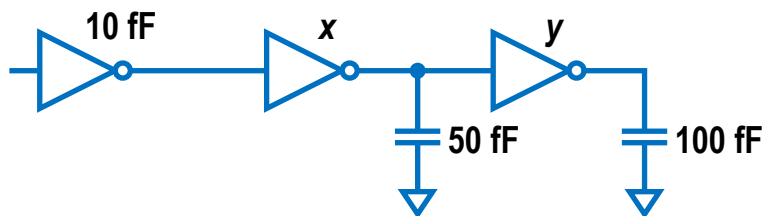
- **例：**如图路径包含一段建模为集总电容的中等长度导线。写出以 x 和 y 表达的路径延时表达式。 x 和 y 反相器应多大才能使路径延时最小？此时每级单级努力是多少？
- **解：**由逻辑努力延时模型，可得路径延时为

$$d = \frac{x}{10} + \frac{y + 50}{x} + \frac{100}{y} + P$$

上式分别对 x 和 y 求导并令导数为零，可得下式并求解。

$$\begin{cases} \frac{1}{10} - \frac{y + 50}{x^2} = 0 & \Rightarrow x^2 = 10y + 500 \\ \frac{1}{x} - \frac{100}{y^2} = 0 & \Rightarrow y^2 = 100x \end{cases} \Rightarrow \begin{cases} x = 33 \text{ fF} \\ y = 57 \text{ fF} \end{cases}$$

每级单级努力分别为： $(33/10)=3.3$, $(57+50)/33=3.2$, $(100/57)=1.8$ 。



包含中等长度导线的路径

本章结束