

《模拟集成电路设计实验》指导

中科大微电子学院 黄 鲁 编写

实验 4、版图设计与物理验证基本方法

● 实验目的

- * 学习使用 Cadence IC616 Virtuoso 版图设计工具，利用 PCELL（参数化 CELL）进行全定制版图设计的基本方法；
- * 学习使用 Mentor 公司 Calibre 软件工具进行 DRC 和 LVS 验证。

● 实验说明

版图设计与物理验证统称为 IC 后端设计。

版图设计实验，仅是利用 PCELL 单元互联学习版图编辑的连线方法，对于数字电路 mynand 版图设计，并未遵循标准单元版图的设计准则；

物理验证实验，仅包括后端设计的主要部分：DRC 和 LVS。

术语解释：

DRC: Design Rule Check 设计规则检查；

LVS: Layout Versus Schematic 版图与电路图对比；

PEX: Parasitic Extraction 寄生参数提取，俗称提参；

后仿：网表加入版图寄生电阻和电容提取参数后的仿真。

使用 IC616 Virtuoso 的 Layout Editor 进行版图设计，初学者使用意义明确、无需记忆的菜单进行版图编辑操作，职业人员需要掌握快捷键的使用。版图设计以及物理验证中，很多步骤具有多种菜单形式选择或打开方式，具体的菜单形式与先前步骤有关，本实验指导仅是其中一种情况。

Mentor 公司 Calibre 软件的操作界面分为图形模式(GUI: graphical user interface) Calibre Interactive 与命令行模式(Command Line)。GUI 模式可以单独启动，也可集成在 Virtuoso 软件设计平台中，操作界面相同。

对于规模较小的版图，应用 GUI 很方便，直观的图像化接口便于初学者使用；

Calibre 命令行模式的特点是能够快速输入控制命令并快速执行；

本实验 DRC 和 LVS 采用 Virtuoso 集成平台 Calibre Interactive。

DRC 和 LVS 是所有芯片后端设计所必须进行的物理验证工作，对于 GHz 以上频率的微波射频和高频电路设计，还需要进行寄生参数提取和后仿。

实验前需要拷贝~huanglu/.cdsinit 初始化文件，目的是加载 calibre 格式软件，否则将不能在 Cadence Virtuoso 版图编辑窗口看到 calibre 菜单。

● 实验内容

一、实验准备

登录实验服务器：

拷贝初始化文件 `cp ~huanglu/.cdsinit ~/.`

拷贝层文件 `cp ~huanglu/techfile.tf ~/anacmos/smic180oa/smic18mmrf/.`

（注意上式拷贝工艺文件 techfile.tf 后有个空格）

建立存放验证文件的子目录：

设计规则检查 DRC 子目录：`mkdir drc`

版图与原理图对比 LVS 子目录：`mkdir lvs`

进入 lvs 子目录：`cd lvs`

拷贝空器件网表文件，它是 subckt 子电路[一些 PCELL 单元]端口定义网表，注意以下是一条命令：

```
cp /soft2/eda/tech/smic180/techfile/SMIC18MIX/calibre/lvs\
/SmicSPM10RR12R_cal018_mixRF_sali_plmtx_1833.lvs_V1.25\
/SmicSPM10RR12R_cal018_mixRF_sali_plmtx_1833.lvs_V1.25\
/empty_subckt.sp . （最后是个点）
```

上面的\表示续行，不是键入字符。

为了方便后续实验中的规则文件加载，拷贝 lvs 规则文件到 lvs 目录下：

```
cp /soft2/eda/tech/smic180/techfile/SMIC18MIX/calibre/lvs\
/SmicSPM10RR12R_cal018_mixRF_sali_plmtx_1833.lvs_V1.25\
/SmicSPM10RR12R_cal018_mixRF_sali_plmtx_1833.lvs_V1.25\
/SmicSPM10RR12R_cal018_mixRF_sali_plmtx_1833.lvs . （最后是个点）
```

返回到 你的账号/anacmos 目录：`cd ~/anacmos`

需要指出，DRC 工艺文件可能需要长期地不断完善，因此一般不能将 DRC 版图设计规则文件拷到自己目录下进行设计规则检查，以避免工艺文件已被修改而你仍在旧规则。

虽然 LVS 规则一般不会改变，但在实际工程设计中也是直接指定 EDA 系统中的文件，不鼓励采用先拷贝到自己目录后再引用的方法，本实验拷贝文件的目的是为了在后续实验中不需要填写很长的路径。

设置 Mentor 物理验证环境 `setdt calibre`
运行 `virtuoso &`

二、实验步骤

实验一：2 输入与非门 myNAND2 版图设计

说明：本实验不是规范的标准单元库版图设计。数字电路中各个标准单元版图的纵向高度被规定是一致的，仅可改变单元版图的横向宽度；而在本实验中版图外框自动生成，可以改变其大小。

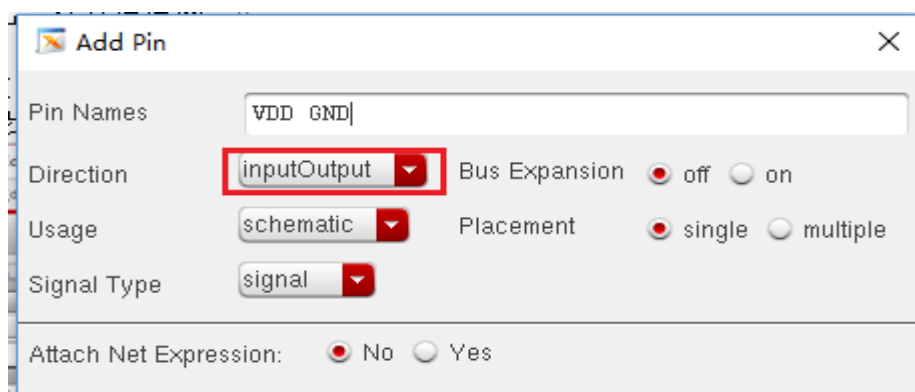
数字电路中多个 PMOS 衬底 N 阱可以合并，能够减少与衬底 N 阱相关的 DRC 违规。

创建 myNAND2 单元电路图。

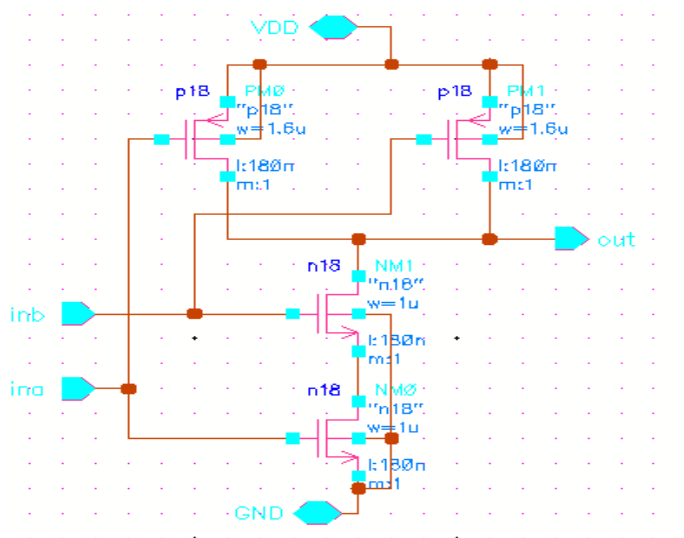
在 Library Manager 窗口，将 icbaslab 库 mynand 单元的 schematic 视图右键“Copy”为 myNAND2 单元 schematic 视图；

打开 myNAND2 单元的 schematic 视图，删除 vdd 电源和 gnd 地单元，用输入输出双向管脚 *VDD* 和 *GND* 代替。

用双向管脚 PIN 替代 vdd 电源和 gnd 地单元，是为了后续进行 LVS。



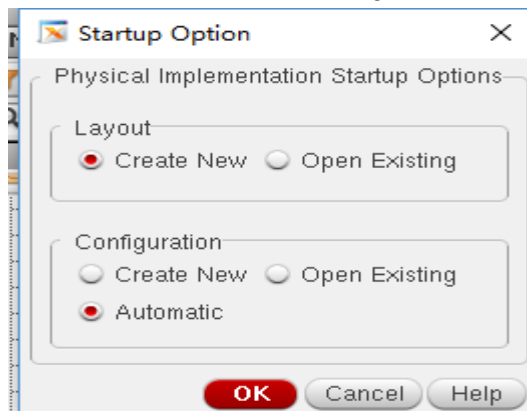
修改后的电路图如下：



“Check and Save”。

导入生成版图

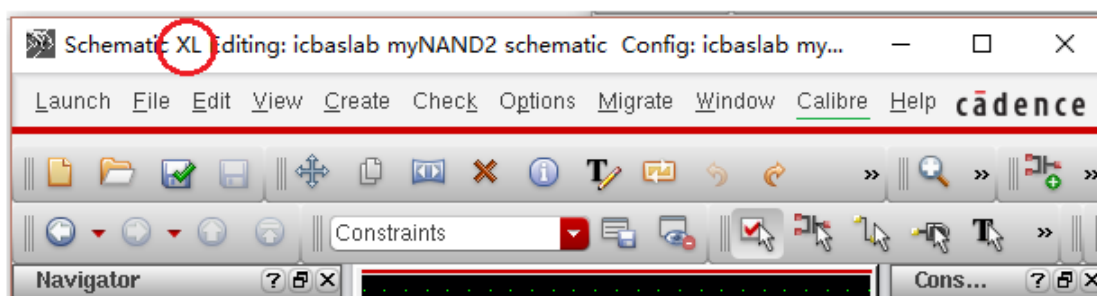
在 Schematic L Editing 窗口中，“Launch” -> “Layout XL”。



选“Create New”建立单元版图。

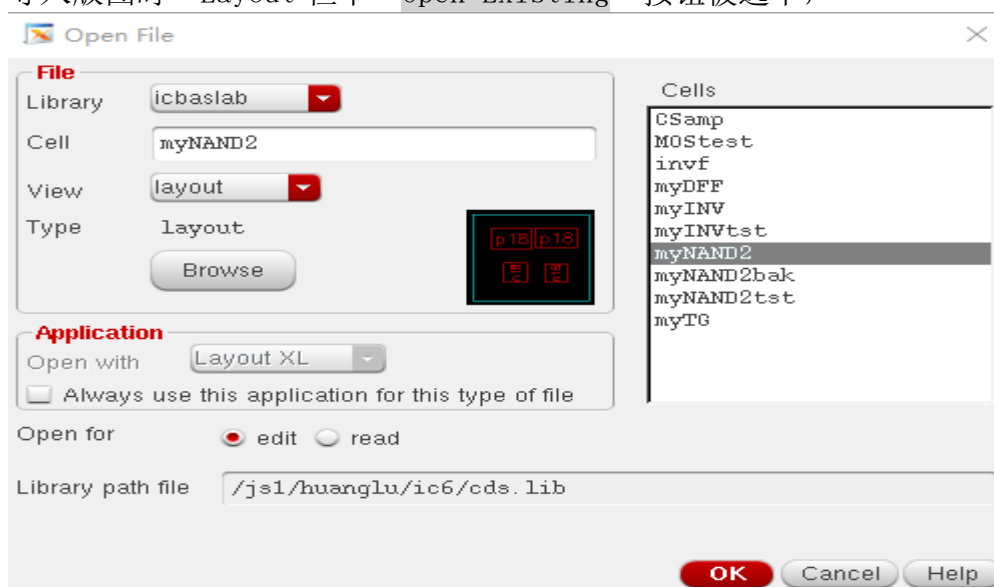
弹出 New File 窗口，OK 在 icbaslab 库 myNAND2 单元建立 layout 视图。

原先的 Schematic L Editing 窗口自动换成了 Schematic XL Editing 关联原理图编辑窗口，在菜单栏的稍右位置应有 Calibre 菜单项，如下图：

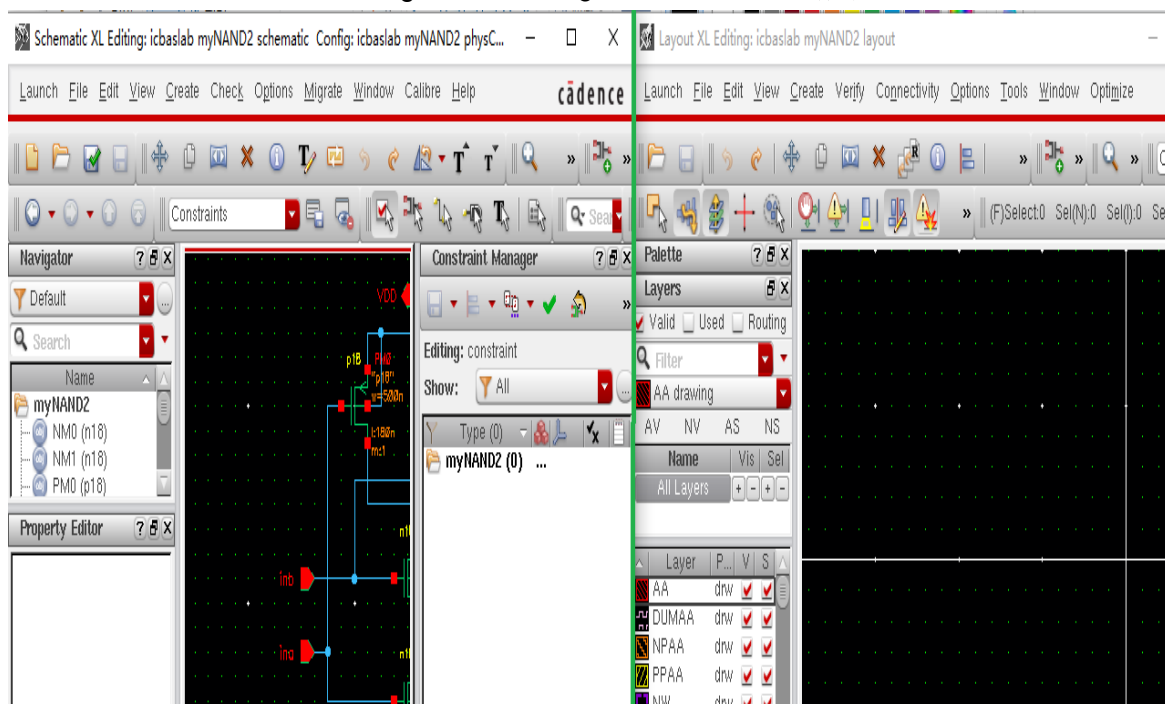


本实验后部分做物理验证，上图表明 Calibre 已集成进 virtuoso 平台。

若先前已建立版图，则在“Launch” -> “Layout XL”后只需重新打开编辑，导入版图时“Layout”栏中“Open Existing”按钮被选中，



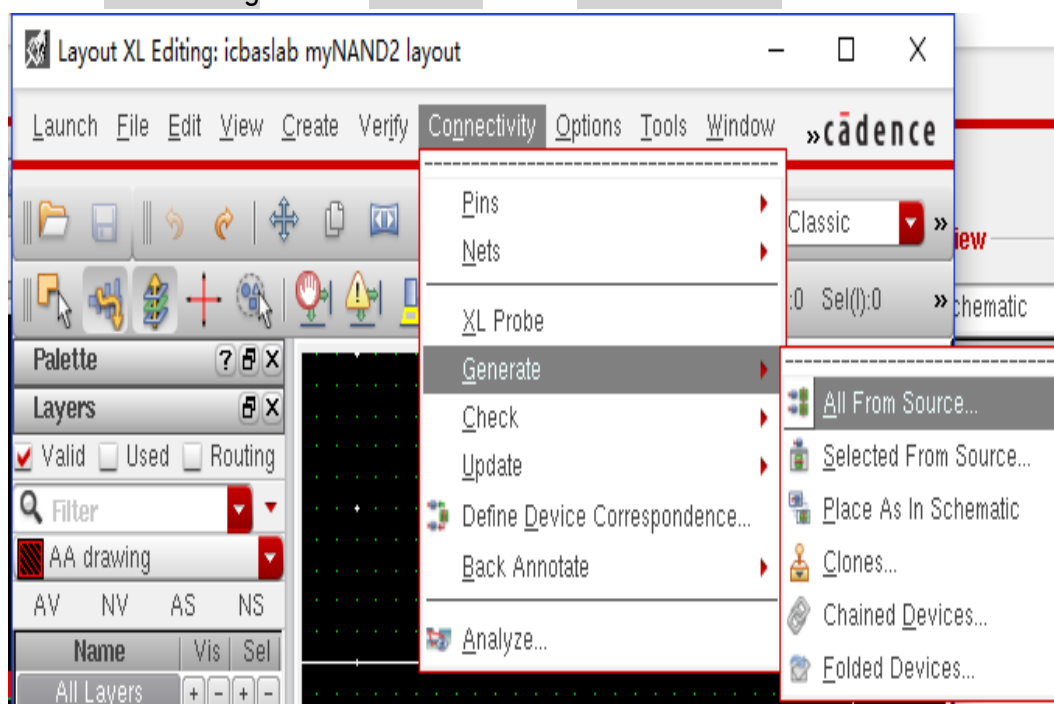
在新建版图时，弹出 Layout XL Editing（下图右半侧）版图编辑窗口：

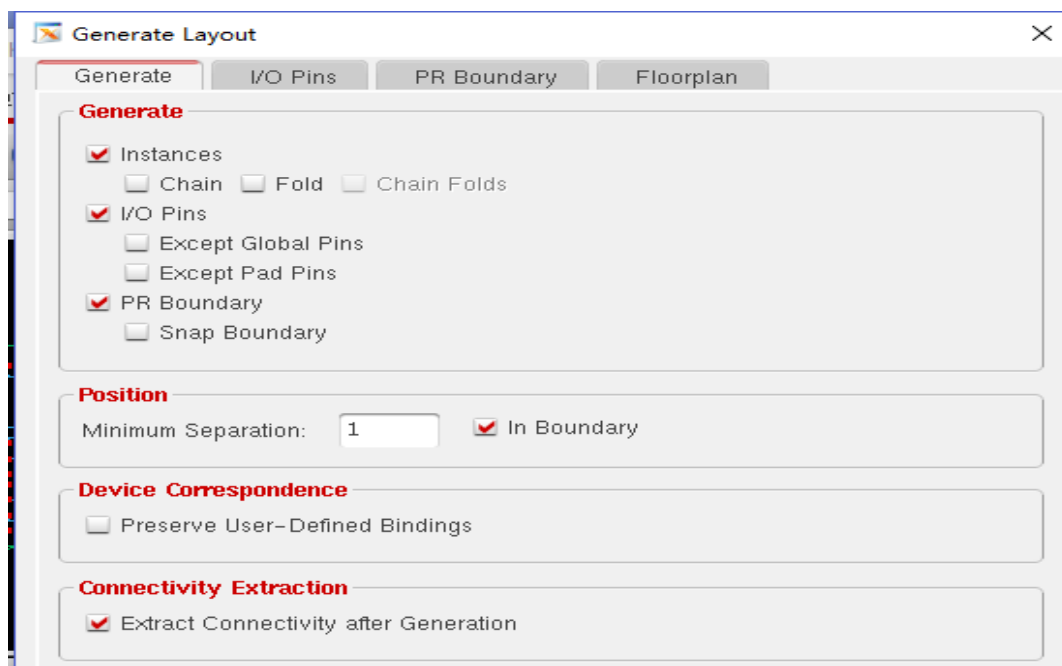


将原理图中器件加载到版图中：

在 Layout XL Editing 版图窗口，

“Connectivity” -> “Generate” -> “All From Source”





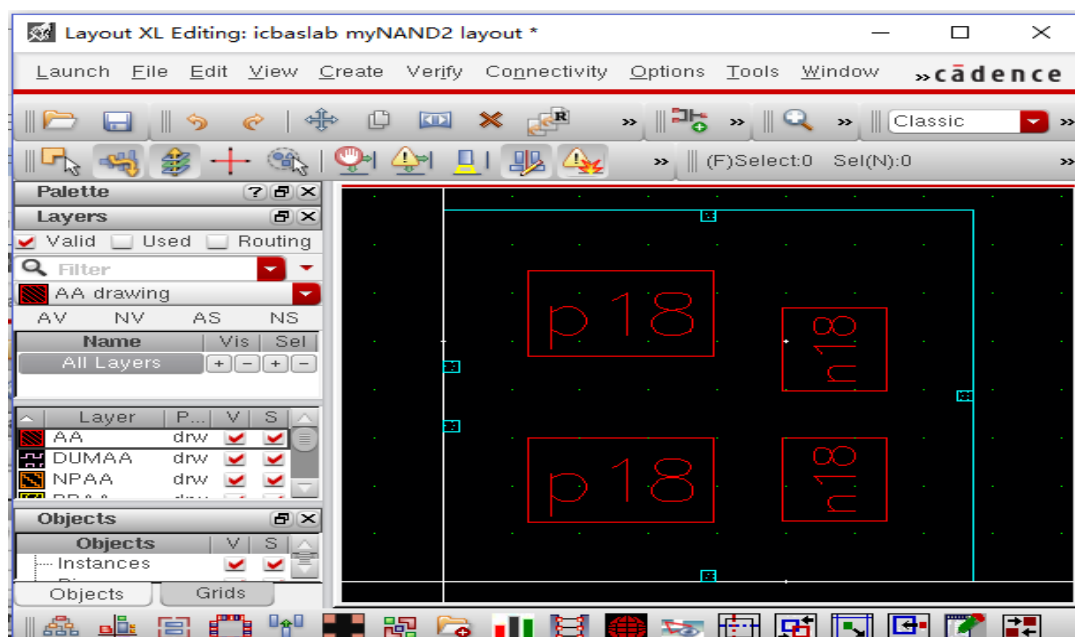
“In Boundary”有效，myNAND2 的器件单元包括管脚 PAD 放置在版图边界（P&R Boundry 布局布线）框中或附近；

若没选“In Boundary”，则器件在版图 P&R Boundry 框外，需要逐个将器件移进 P&R Boundry 边界框中。Boundry 大小和位置均可改变。

OK。

版图设计和物理验证中的初始界面都是由前次实验或缺省设置确定。因此，你的版图窗口中器件摆放位置、P&R Boundry 边界框、器件物理层显示、以及版图左侧各个浮窗（Patette、Layers、Objects 等）与实验指导可能不完全相同。

类似如下版图：



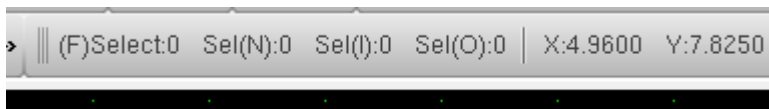
不用关心器件的摆放位置和方向，后续将进行调整。

Layout XL Editing 版图编辑窗口和自动升级的 Schematic XL Editing 关联电路图编辑窗口中的单元是联动的。当需要在 Layout XL Editing 版图窗口和 Schematic XL Editing 电路图窗口之间切换操作时：

点击版图 Layout XL Editing 窗口区域，则激活版图操作；

点击关联电路图 Schematic XL Editing 窗口区域，则激活电路编辑。

版图编辑时，养成经常 ESC 的良好习惯；若 (F)Select 不为 0，则有器件正在被选中，警惕此时的操作。



了解版图中 MOS 摆放位置和端口管脚 PIN：

Q 键后，逐个点击版图窗口中的 MOS 器件，Name 为 PM0、PM1、NM0、NM1 管，它们分别与 Schematic 电路图编辑窗口中 MOS 器件的 Instance Name 相对应，后续版图设计时可能需要对 MOS 位置进行调整；

逐个点击版图外框（P&R Boundaries）旁边的 PIN（输入、输出、电源与地），了解 Pin Name 属性。

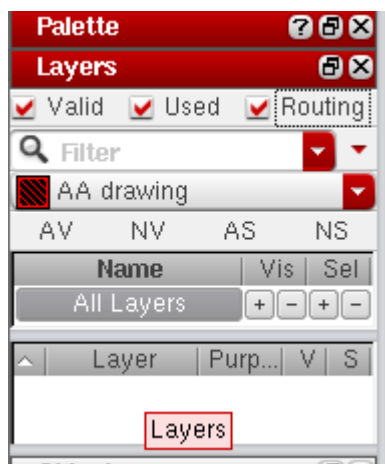
端口 PIN（包括电源和地）在 M1 层，为了后续验证，端口 PIN 需加 Label；芯片内部器件（单元）端口称为 PIN，芯片电路外联端口称为 PAD。

Palette 调色板以及 LSW 层选择窗口：

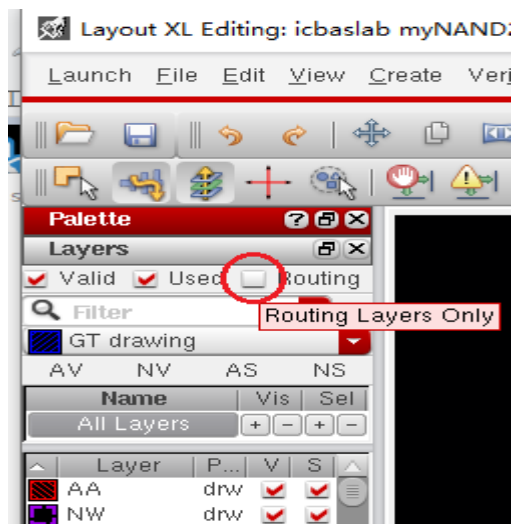
Palette 调色板下方的 Layers 窗口，是 LSW（Layer Select Windows）层选择窗口，其作用是设置和显示进行操作或关注的物理层。

Layout XL Editing 版图窗口左侧可以显示单独（没有与其它浮窗堆叠在一起）的 Layers 浮动窗口；无论堆叠或是单独显示，后文均简称之为浮窗。

若 Layers 窗口如下图在 Layers 区域没有内容，

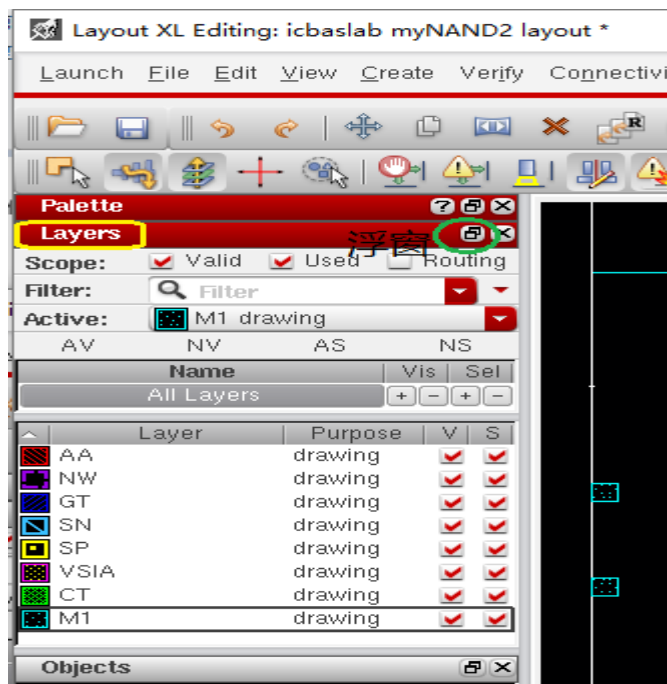


则使 Routing Layers Only 无效，Layers 区域应出现 AA、GT 等层的 V 可见和 S 可选信息：



若仍无 Layers 浮窗，则在版图窗口 “Window” -> “Toolbar” -> “Show All”，使所有工具栏有效，然后 “Window” -> “Workspace” -> “Classic” 或 “Basic”。

LSW 层选择窗口即 Layers 栏面板如下(若点击下图圆圈则有单独窗口显示浮窗)：



查看器件内部版图各层：Shift + F 键。(设先前曾点过 LSW 的 AV)。

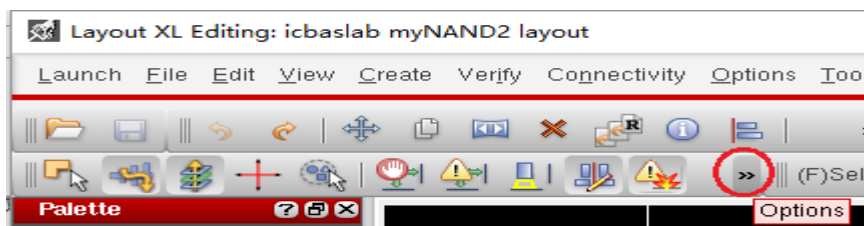
不显示器件内部版图各层：

版图窗口中，“Options” -> “Display...”，

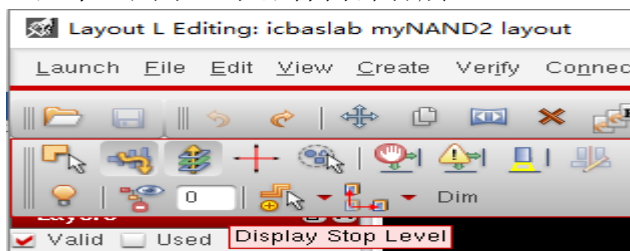
Display Options 窗口底部，设置 Display Levels 的 Stop 为 0。

Display Levels > 0 表示显示器件内部版图层，并非编辑操作使用的层数。

也可在图标工具栏中先点击 Options 图标展开选项：



在 Display Stop Level（鼠标放置在图标工具上则显示其名称）格中，若设置 0，回车，则不显示器件内部各层。



关于 LSW 层选择窗口：

Layer 面板中每栏对应一个版图设计物理层，栏的右侧“V”选中表示可见，“S”选中表示可选；所有 V 和 S 为乒乓（选与不选）方式。

若 Layers 浮窗标题栏下 Used 按钮选中（有效），则 LSW 中仅显示版图窗口中已有器件所使用的物理层。

以下是 MOS 使用的物理层名称与意义：

AA: 有源（器件）区，即非场氧区；有源区可以理解为掺杂区，构成 MOS 和三极管、二极管。。。等器件；

CT: 包括 contact 接触孔（M1 连接 POLY、AA、SN、SP、NW），以及金属 $M_1 - M_{i+1}$ 层的过孔 via；

NW: N 阱区，P 管衬底；

注意：数字单元的 PMOS 衬底 NW 可以连在一起。若 NW 不连接，则各个 NW 之间需有较大间距，造成不必要的面积浪费，且 DRC 时反而较麻烦；模拟电路 PMOS 的 NW 不连。

GT: poly 多晶区（栅）；

SN: N+ 注入区，NMOS 源极与漏极；

SP: P+ 注入区，PMOS 源极与漏极；

VSIA: 器件版图的外框；

M1: 金属 1 层；所有与衬底（包括 NW）、SN 和 SP 注入区、POLY 的连接 CT，皆是通过 M1 层；另外，单元接口 PIN 的 label 也放置在该层。

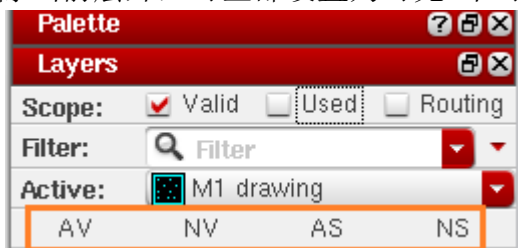
若仅 Valid 有效，且 Used 无效，则 LSW 中有很多层。其中：

M2、M3。。。M6，分别表示金属 2 层、金属 3 层。。。、金属 6 层；表明该工艺有 6 层金属；

数字电路布线时一般规则是 M1、M3、M5 走横线，M2、M4、M6 走纵线；模拟电路版图设计无此要求。

有些层不是用于形成器件，而是用于 LVS 验证或其它目的。

除当前层外，可全部设置为可见/不可见，或可选/不可选：



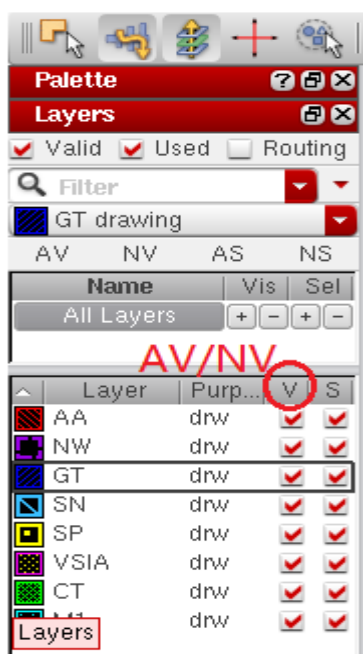
“AV”表示全部可见，“NV”表示全部不可见（当前层除外）；

“AS”表示全部可选，“NS”表示全部不可选。

芯片流片时，foundry 代工厂根据各层（其中一些为 MASK 掩模）面积的与、或、非、异或等逻辑操作，通过微电子工艺形成真正需要的器件。

了解 MOS 器件的版图组成：

LSW 中，选 Layers 标题栏下 Used 选项为有效（点击成有勾号）。



当前层是放置连线或对象的 active 层。

上图中，点选 layer 列表中某个最左边的彩色方块，该层即成为当前层，方块颜色就是版图中该层连线的颜色。

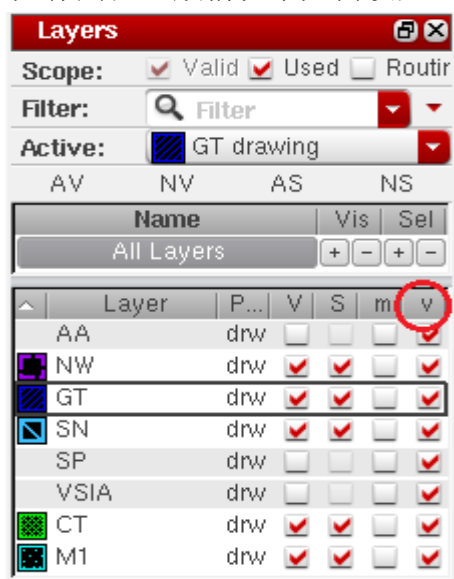
LSW 面板从 AA 层开始，依次从上向下对每个版图层的右侧 V 选择格连续点击 2 次（当前层右侧的 V 项恒有效），能看出 NMOS 与 PMOS 版图结构的区别吗？

PMOS 版图 GT 个数=2，是由于在 schematic 中设计 PMOS 的 Fingers =2；

VSIA 在版图上可能看不见，但鼠标放置在其位置上时会显示器件外框。

若将 LSW（即 Layers）面板右拉，或可看见还有 2 列选项，其中小写 v 缺

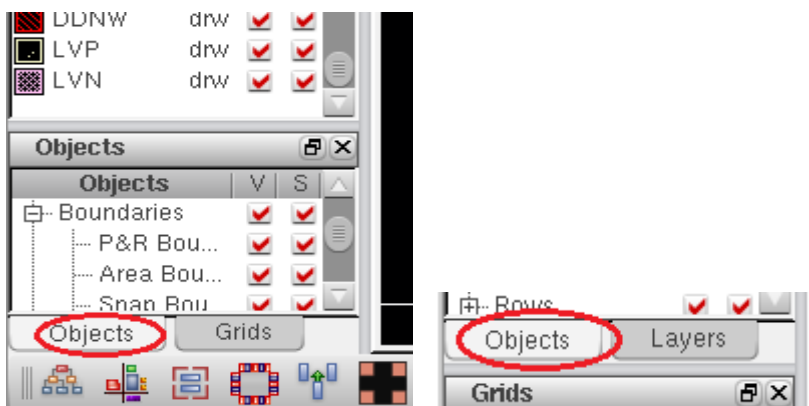
省设置均是选中；若无效（没有勾号），则该层名的字体为红色，表示即使 V 有效也无作用；一般情况下无需设置 m 和 v 两项。




修改版图布局布线边界 P&R Boundary 外框，调整器件布局：

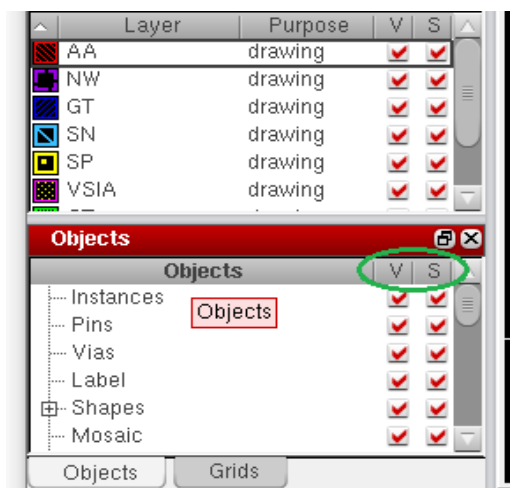
版图中十字线右上方框是 P&R Boundary 布局布线边界。可能初始布局的器件没有完全包括在边界之内，可通过移动器件、或扩大 P&R Boundary 外框使器件全部放置其中。

在版图窗口左侧，找到 Objects 面板，基于先前的设置，它可能与 Grids 面板并列在一起，也可能与 Layers 面板在一起：



点击 Objects，显示各个对象。点浮窗图标 ，弹出单独显示的浮窗；在单独显示的浮窗中点浮窗图标，则又与版图窗口合并。

在 Objects 对象窗口中，可点选 Objects 标题栏中的 V 或 S，全部设置 Objects 对象为可见（V）或可选（S）勾号有效，再次点击则是设置为无效。

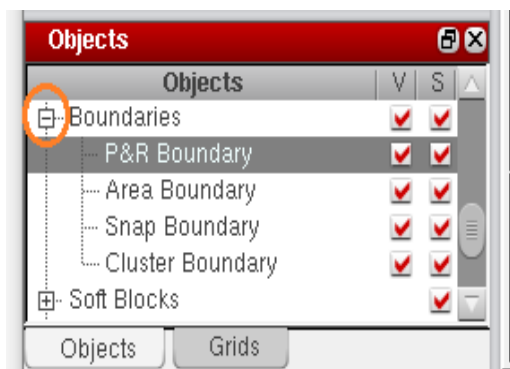


新设计版图一般设为全部可见且可选。

对于已完成设计检查的版图，Objects 对象可设为不可见或不可选，以防误操作。

改变 P&R Boundary 版图布局布线边界：

点击 **Objects** 面板右侧的向下滚动箭头，现出 Boundaries 栏，展开其子项。P&R Boundary 栏 **V**（可见）选中时，版图窗口中有可见的布局布线边界外框；若 **V** 没被选中（无效）则布局布线边界外框消失，但仍有十字线原点。



在 Objects 面板中设置 P&R Boundary 为可见 **V** 和可选 **S**，然后在版图窗口中，**S** 键（菜单 **Edit** -> **Stretch**），移动（不按）鼠标至需要改变的 P&R Boundary 某条边上，当此边（注意不是整个外框）出现黄色虚线段时，点击一下此边，移动（不按）鼠标到合适位置，点击放下此边，**ESC**；

使各个端口 PIN 都在 P&R Boundaries 框之内。

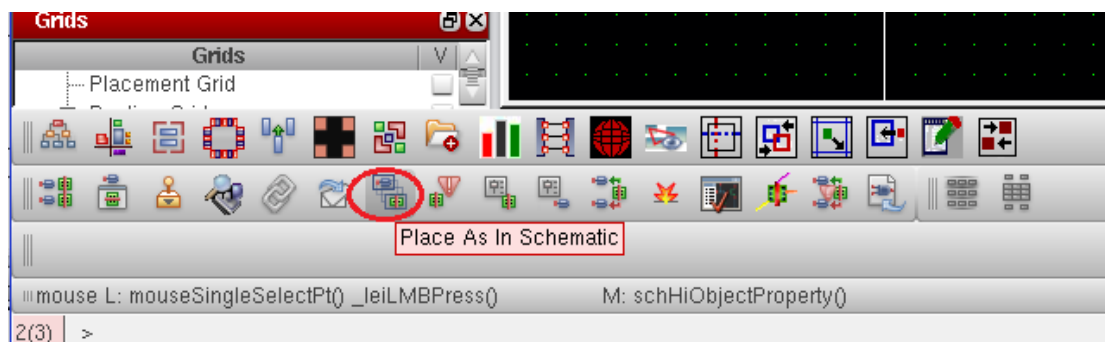
若要 Layout 图形适中，用 **F** 键，或菜单 “**View**” -> “**Zoom to Fit All**”。

若器件很多（非本例情况），尤其有大面积器件时，**F** 后有可能在屏幕上看不到版图面积很小的器件。

若要放大部分版图区域：按下鼠标右键，从关注区域的左上角开始拖动，至关注区域的右下角，然后放开鼠标右键。

可试一下工具图标，重新放置器件：

点击版图窗口底部的“Place As In Schematic”图标，如下图：



尚未连线之前进行此步骤虽无不良影响，但 MOS 位置可能有变动。

查看关联网线或端口：

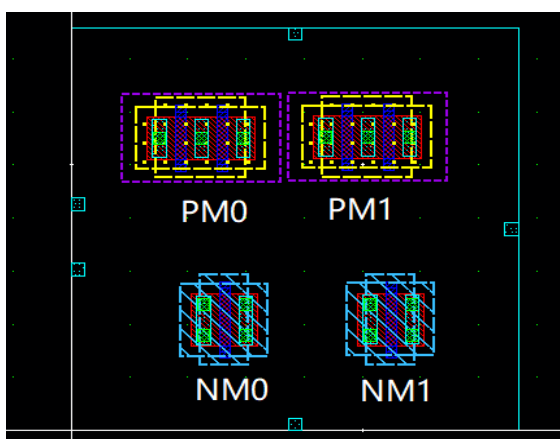
在 Schematic XL Editing 关联电路图窗口中，点击某线网，则在 Layout 窗口版图图中显示彩色高亮的连线指示飞线。

在关联电路图窗口或版图窗口的空白处点击一下，关联原理图和版图编辑窗口中显示的高亮线均消失。

调整布局：

优化的版图设计可使得连线寄生 R 和 C 较小，有利于实现高速电路，或是为了减小版图面积。本实验仅是学习版图编辑操作，不关注版图编辑的细节。

在 Layout XL Editing 版图窗口，**M** 键（或菜单“Edit” -> “Move”），将各管参照下图摆放（可 **Q** 键选器件查看 Name 属性：PM0、PM1、NM0、NM1），MOS 是 PCELL 单元，**M** 整体移动器件版图。




上图中 MOS 标注字符（PM0、PM1、NM0、NM1）仅是实验指导的文字注明，与 schematic 图中 MOS 的 Instance Name 对应一致，以便说明后续的实验操作步骤。

因只能水平或垂直方向移动单元版图，故器件移动中途可能需要在某些位置上过渡摆放一下，移动过程中 2 个器件版图即使重叠也无妨。

版图软件不太合理的规定：器件版图仅与上下左右四方向的附近器件有飞线指示，斜对角的 2 个器件之间即使它们有电路线网也无版图连接的指示飞线。

后文中给出的一些版图截图，可参考 LSW 设置了解所显示的层；版图层显示不会影响设计结果。

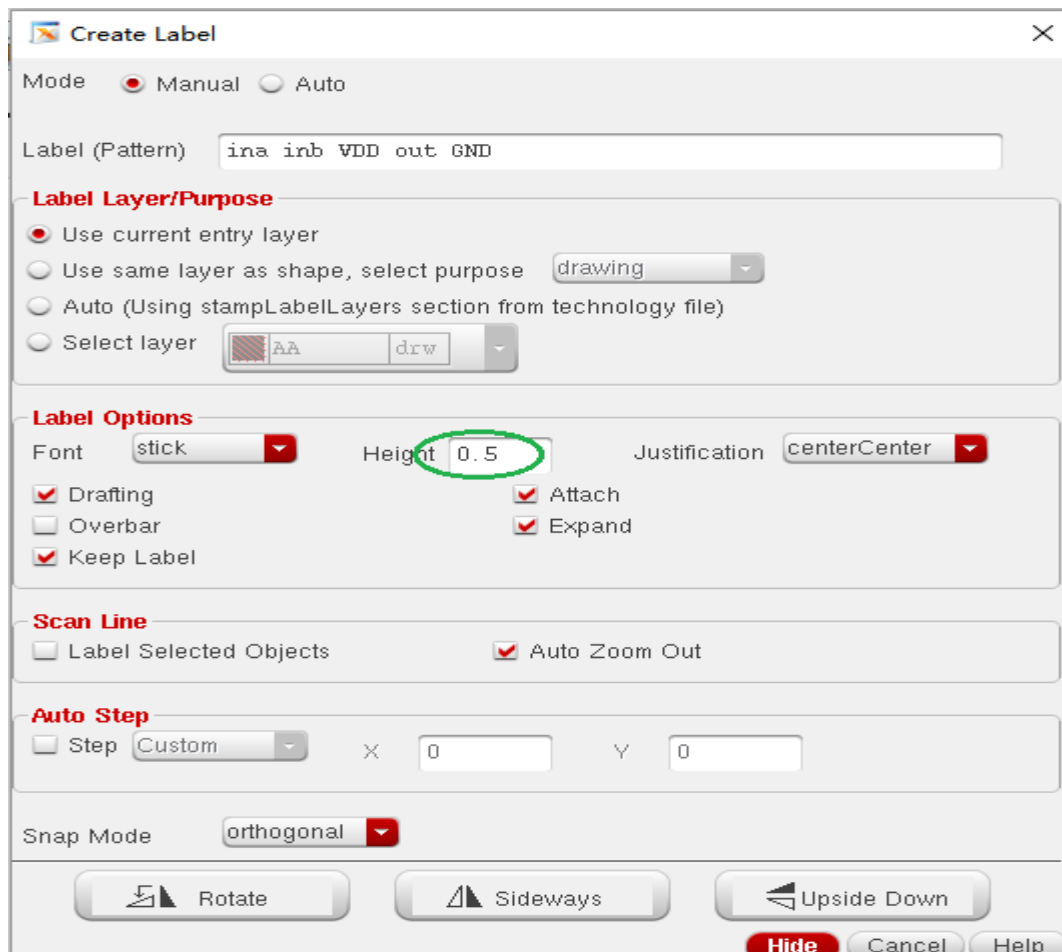
版图操作时，应注意先前操作是否已结束。若版图窗口中光标带有十字星尾巴，表明尚处在某种操作之中；如不需要继续这种操作，**ESC**；或许需在版图窗口先点一下鼠标，**ESC** 才能退出当前操作。由于 EDA 系统软件许可受动态分配的限制、或因网络不畅和服务资源原因，可能需多次 **ESC** 后 EDA 系统才有响应。

若要反悔任何编辑操作，用 Undo 工具 。

器件端口 PIN 须加 Label 标注：

使 M1 层为当前层。

“Create” -> “Label”，在 Create Label 窗口中，键入全部 pin 名，建议 Label (Pattern) 栏中键入的 PIN 名与原理图 PIN 位置的时钟方向顺序一致，实际上也是与版图一致，以便在版图中先后摆放。



Height 设置是为了在版图窗口中端口 PIN 名称字体大小较为合适，不重要。

“Hide” 后将各 Label 名称分别安放在相应的 M1 方块 pin 上，**ESC** 退出。

注意：每个 Label 中间的小方块标志点一定要落在相应 pin 的 M1 方块上，2

个输入 ina 和 inb 的 PIN 位置不要弄混，否则在 LVS 时需要处理。

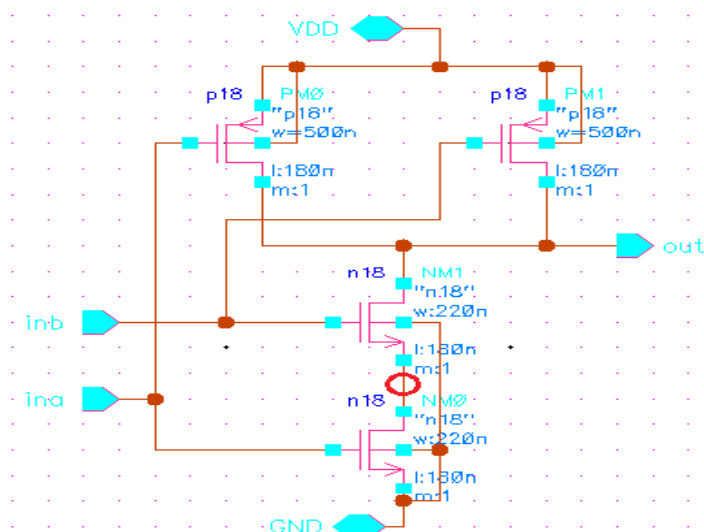
所有输入和输出、电源 VDD 和地 GND 的端口 PIN 在 M1 层，可以移动。

版图连线：

芯片中最高两层金属尤其是顶层金属的厚度较大，用于需要低电阻的地和电源网格、以及电感器件，所采用工艺的最高两层金属是 M6 和 M5；中间金属层（M3 和 M4）一般用于器件单元端口之间连线；MIM 电容（2 个近距离水平金属层）或 MOM 垂直电容是由中间或最高金属层组成，本实验工艺 MIM 电容是由 M5、MIM 和 M6 层组成；M1 和 M2 用于器件单元内部的连线；器件端口 PIN（M1 层）经一个或多个过孔 CT 连接到较高金属层；GT 是连接 POLY 栅。

若为优化数字电路版图连线（一般并非必要），可以安排 MOS 版图方向。

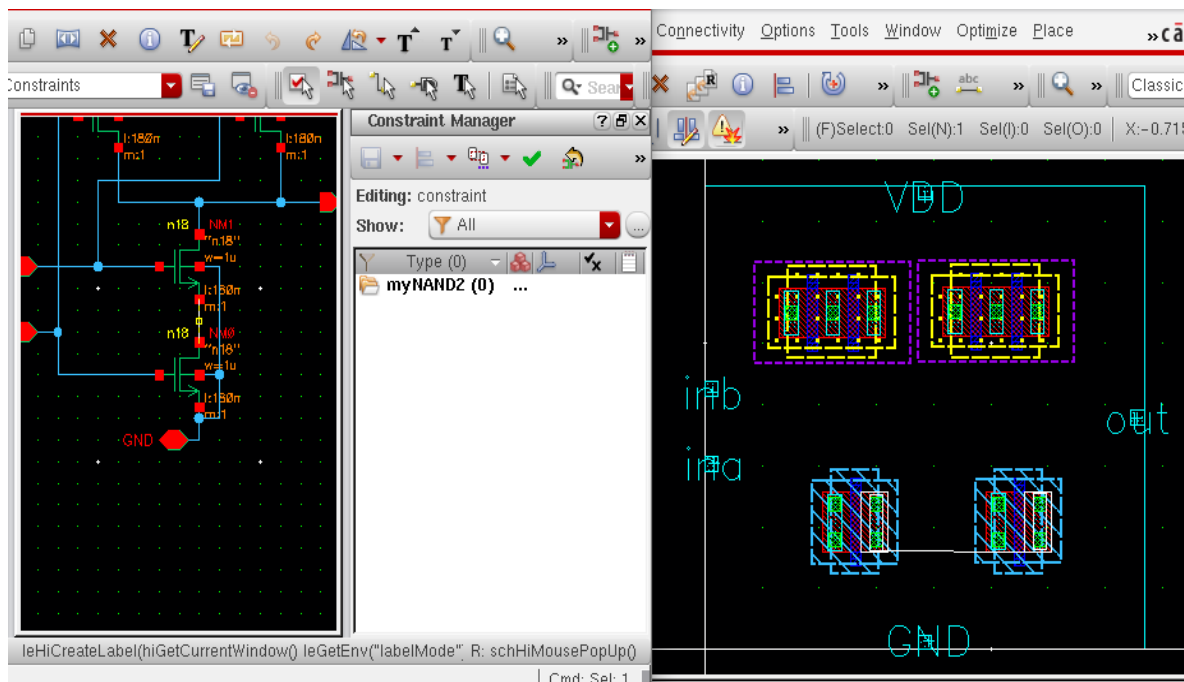
为了便于明确以下操作，再次给出 myNAND2 电路图以供参考：



在 Schematic 窗口中，点击 NM0 与 NM1 之间的连线（上图标记小圆圈处），则在版图窗口中相应端口之间有飞线提示，若已画版图则是高亮连线。

若版图中 NM0 与 NM1 之间有直通飞线，跳到后文“版图连线：仅对当前层 (!)”继续实验；

若如下图，NM0 和 NM1 连线都在 MOS 管右边，意味着不能用 M1 直线连接；虽可用多段曲线或 M2 跨越进行连线，但可能不太满意，你可以如下修改：



改换 NM1 管版图的左右方向：选中上图右下角 NMOS 管（NM1），然后可按下图所标 1、2 步骤（也可用“Edit”→“Rotate”菜单），



注意：由于 MOS 版图本身是左右对称的，因此步骤 2 后版图不变，这时若继续点击左右反转图标工具，则恢复原状态；但也可能由于点击了其它版图位置，导致错误地将电路中其它器件的版图翻转。因此，为避免错误，建议你使用上图所标“2”左边的旋转 90° 图标工具，左旋或右旋均可，连续旋转 2 次，该方法好处是能够查看 MOS 器件版图位置的旋转摆放过程。

在 Schematic 窗口中点击 NM0 与 NM1 之间的连线，确认版图中 NM1 与 NM0 之间的飞线是否直通相连。

版图连线：仅对当前层（!）。

用 **P** 键放置自动线宽的连线，或 **R** 键放置画出的长方块。

快捷键 **P** 对应菜单是“Create”→“Wiring”→“Wire”，

快捷键 **R** 对应菜单是“Create”→“Shape”→“Rectangle”。

P 键放置线宽与初始连线位置或状态有关；另外，**P** 键放置线段时可点击暂停形成拐点 L 形状连线，但是不建议采用连续 2 个拐点形成平行线段。因为同一次 **P** 键放置的所有线段形成一个对象，只能整体移动，不利于修改 DRC 违例。

模拟电路版图设计完成 MOS 内部连线、MOS 之间端口连线、电源和地连线，对于连线顺序无所谓。标准的数字电路设计版图是采用标准单元库，逻辑综合后的单元电路（包括 MOS）一般是只有端口位置的黑盒子，外部布局布线包括 CLOCK 时钟树、电源与地网格由 EDA 工具依据脚本命令自动生成。

GT 连接栅极：

同一个 MOS 的多指栅极用 GT 连接，电路图上栅极相连的 2 个近邻 MOS（例如 NMO 和 PMO）在版图上也用 GT 连接，若器件远离则经 CT 接触孔用 M1 连接。

版图设计若有几何规则违例，DRC 会有报告。为了减少后续 DRC 的操作，使上下位置 MOS 管栅的左右边界尽可能对齐。

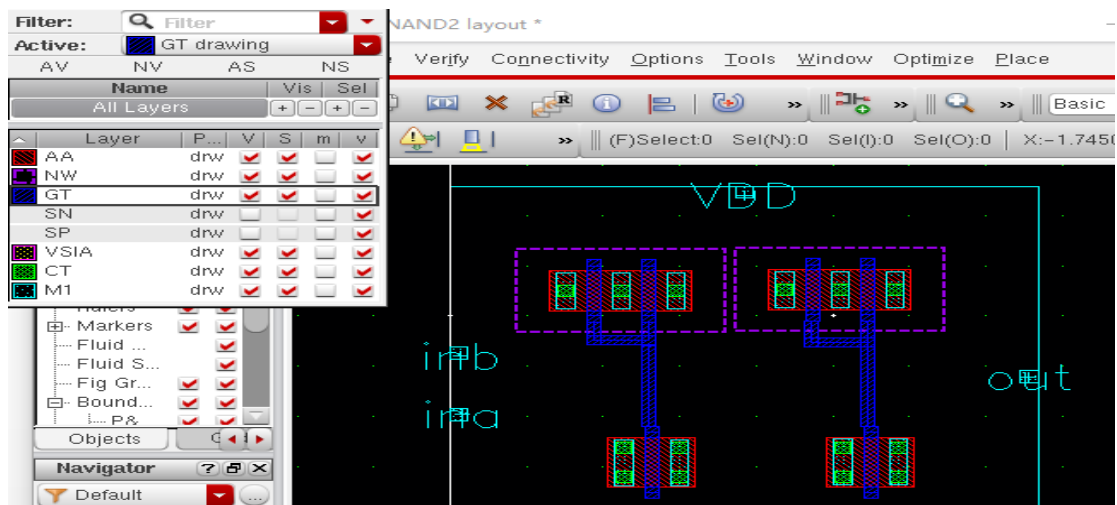
用 M 移动，使 2 个 PMOS 水平位置基本一致、2 个 NMOS 水平位置基本一致。

使 GT 为 LSW 当前层，P 键，按飞线指示连接栅极。规则是：

起点处点击，转角处点击，终点处点击；若需在非终点处结束连线，则双击放置连线。

先分别连接 PMO 和 PM1 管 2 个 PMOS 自身的 2 fingers 栅极；注意为便于后续 DRC，每次 P 键放置 L 型连线和直线，不要一次 P 键放置有 2 个拐点的线段。

再连接与 PMO 输入配对的 NMO 栅极，连接与 PM1 输入配对的 NM1 栅极。



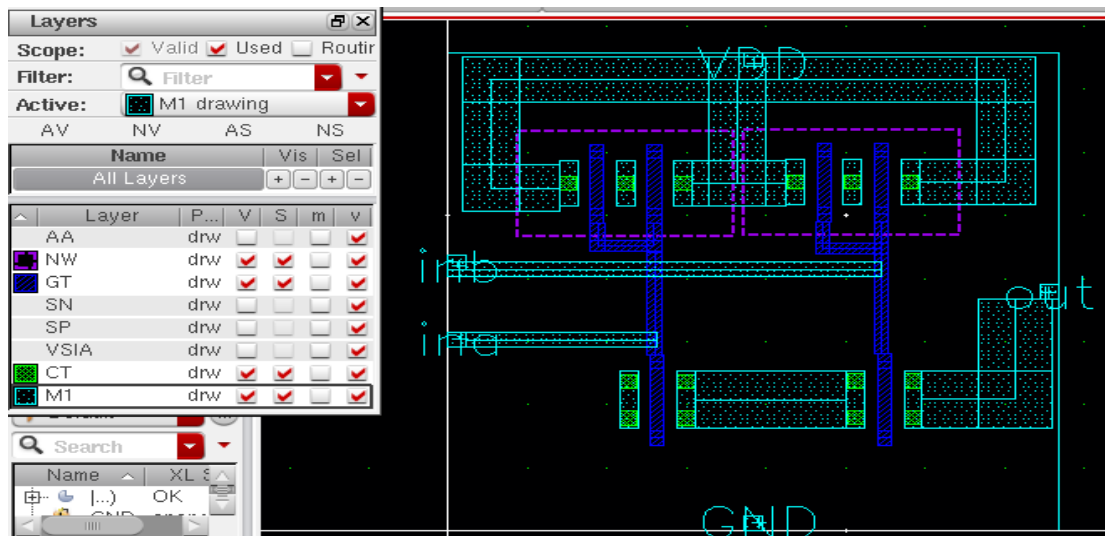
M1 层用于器件内部 D 或 S 极连线、输入和输出端口、电源和地的各个 PIN：

使 M1 层为当前层，既可用 P 自动线宽连线，也可用 R 放置较大的长方形。

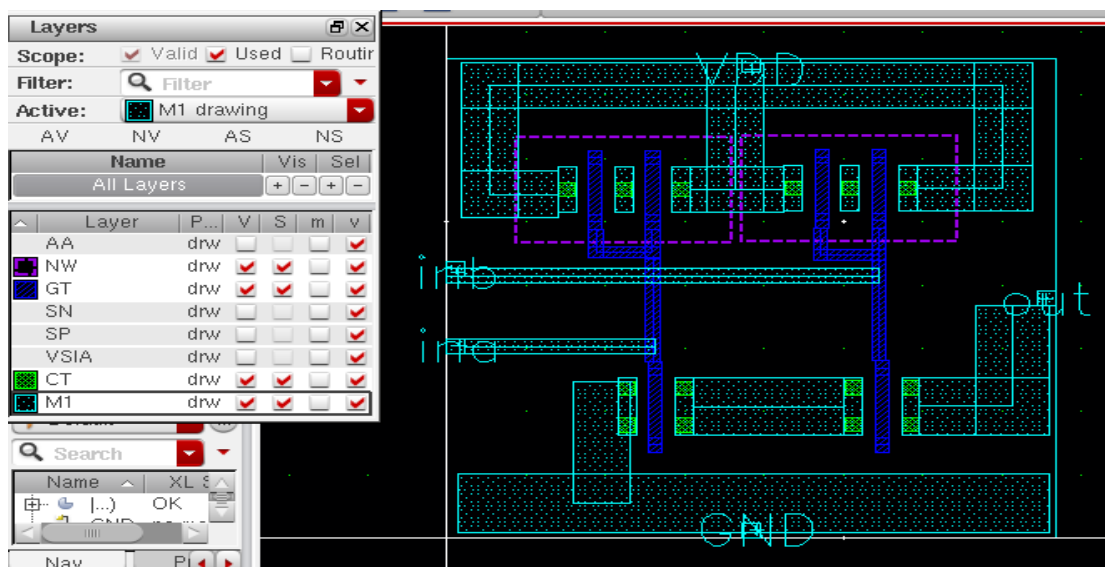
P 键，点击 PIN 端口 inb 方块，显示相应飞线，拖动 M1 连线至 NM1 管与 PM1 管的 GT 栅连线，看到 M1 和 GT 两层已搭上即可，双击放置 M1 连线；

类似处理 ina 方块。

NM1 的 D 极到 out 输出 PIN 方块、NM0 和 NM1 之间连线、PM0 和 PM1 的 S 极（覆盖 VDD）也用 *P* 键放置连接线，版图连接可以有覆盖区域（不需要刻意地进行边界对齐）。



R 键，从左上拖至右下，如下图左下，放置 2 个 M1 层垂直长方块，连接 NM0 的 S 极到 GND 地（PIN）。



在电路图窗口点击线网，检查版图窗口是否有飞线，有飞线表示连线有遗漏。若不完成连线，在 LVS 后会发现错误，修改版图后必须重做 DRC，浪费时间。

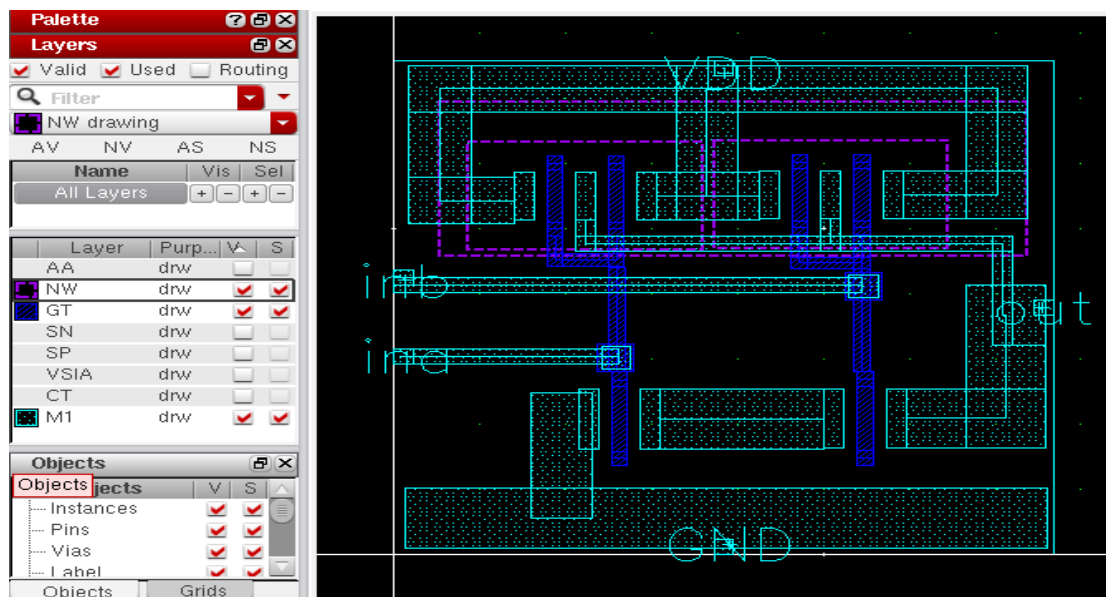
点击电路窗口中的 out 线网（不是 pin），完成版图中的相应连线。

数字单位电路 PMOS 衬底（N Well）接电源 VDD：

将数字逻辑单元中的 PMOS 管 N 阱连在一起，不仅是为了减小版图面积，而且数字电路合并 NW 后可以消除一些 DRC 违例（若是两个独立的 NW，它们之间须有较大的间距）。注意：仅数字电路单元可以合并 N 阱。

LSW 中，选 NW 为当前层。

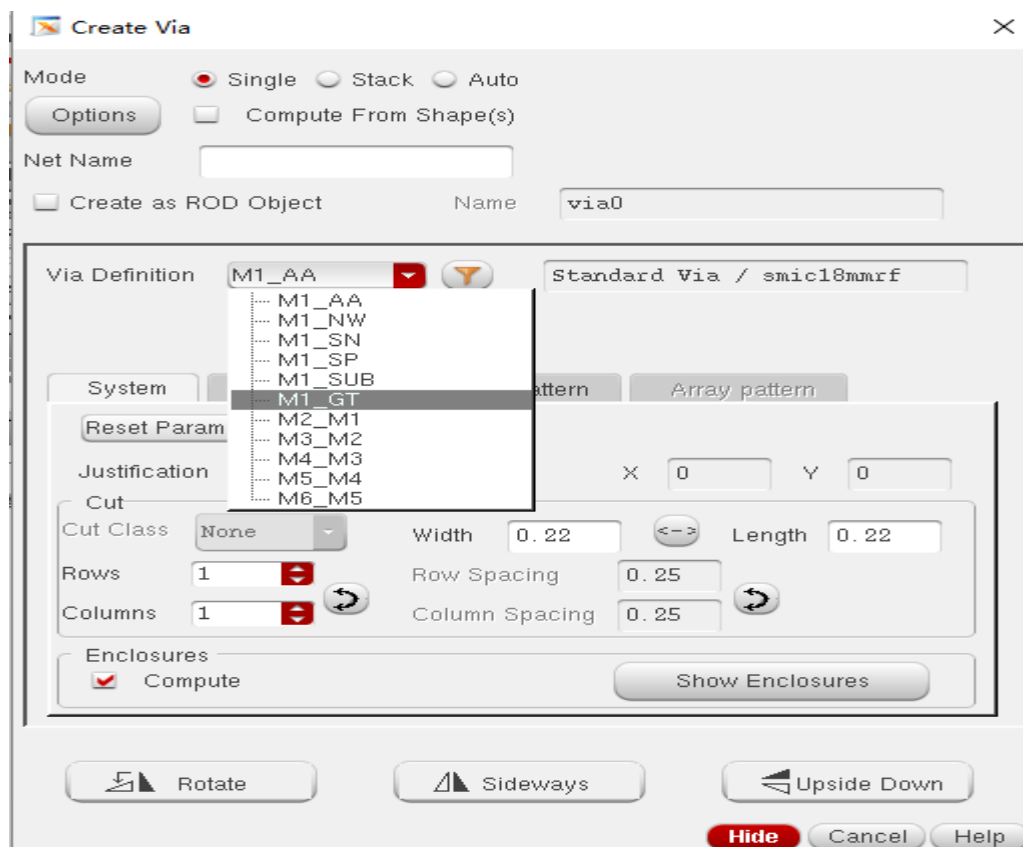
用 **R** 键画个较大的长方形，套住原先 2 个 PMOS 管的 NW 区（很明显这个方法不能减小版图面积，而是为了减少 DRC 违例）：



端口 ina PIN、inb PIN 的 M1 连线，电学上应连接到对应 MOS 的 GT (POLY 栅)，需采用 M1_GT 过孔 via：

选 CT 为当前层，

快捷键 **O** 键（即菜单 “Create” -> “Via...”），如下图：



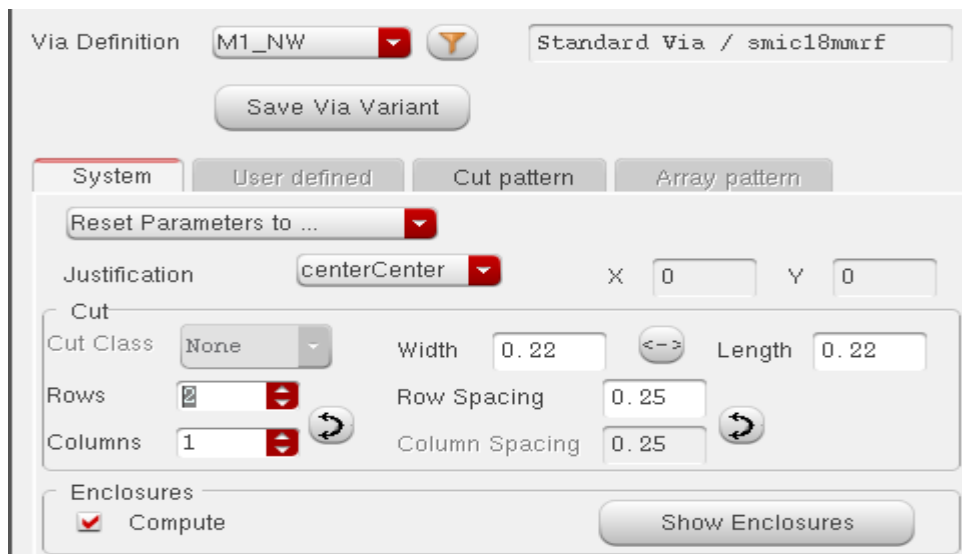
Via Definition 选 M1_GT 过孔；
 点击上图（Create Via 窗口）下方的“Hide”，
 参考前页版图位置，在 ina、inb 输入 PIN 的 M1 连线与对应 MOS 的 POLY 重叠处，放置 M1_GT 过孔。

ESC 退出放置过孔操作。

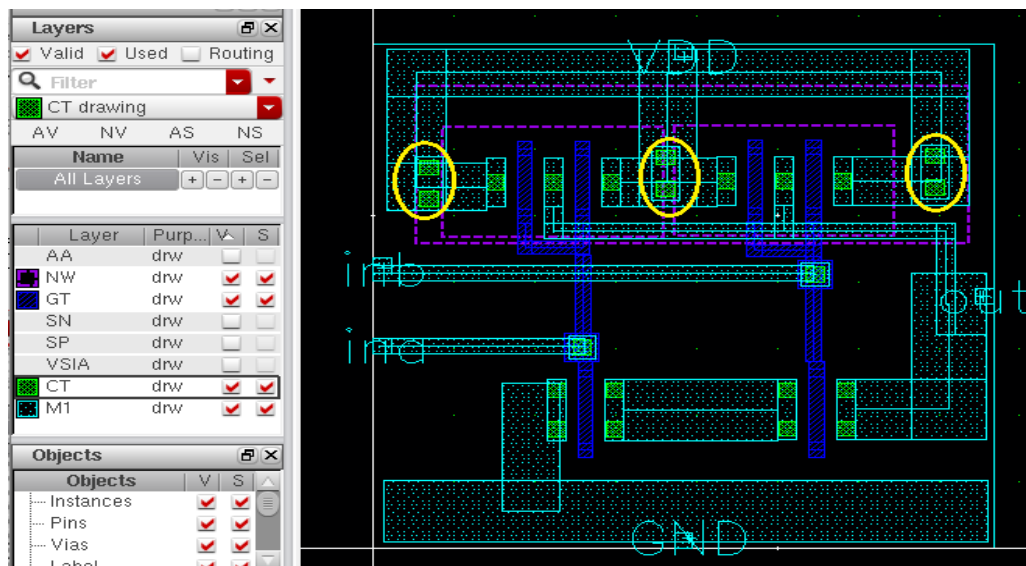
连接电源 VDD:

用 M1_NW 过孔将 N Well（PMOS 衬底）连接到 M1 电源 VDD PIN:

置 CT 为当前层（虽可设为其它层，并不影响放置过孔，但是过孔是采用其它当前层颜色），**O** 键，在弹出的 Create Via 窗口中，选“M1_NW” Via 阵列，



实际产品设计中，为了消除闩锁效应，可在 PMOS 周边 N Well 上多加一些连通电源 VDD 的过孔 M1_NW；但在版图中添加东东可能会引起 DRC 违例，例如下图就可能会有违例：



连接地：

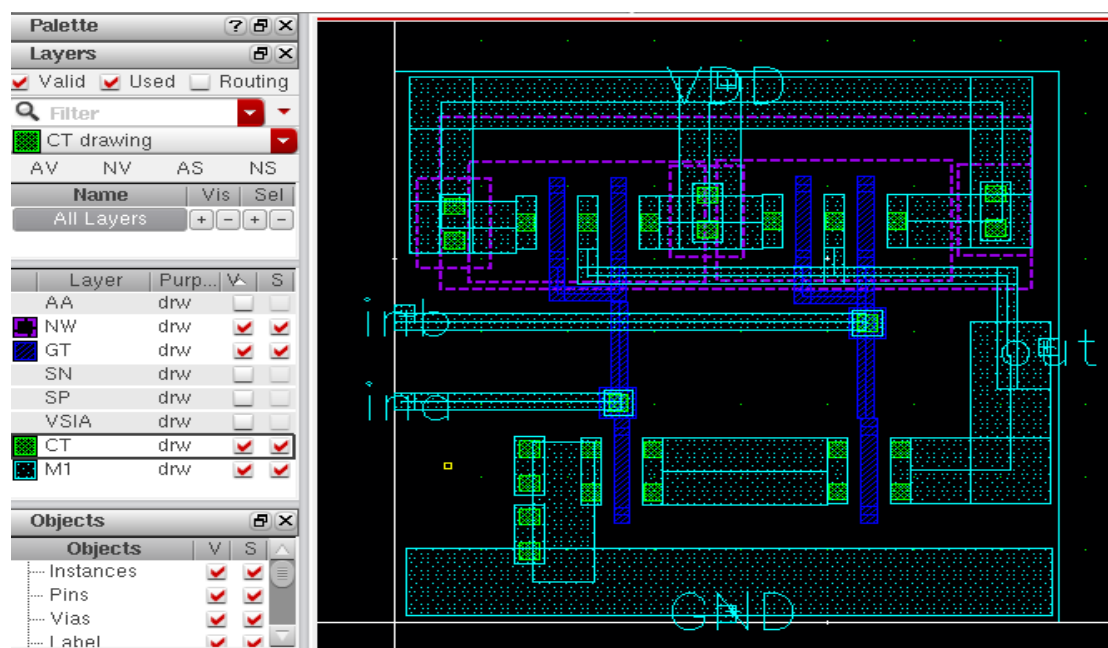
NMOS 衬底接地 GND。

芯片是 p 衬底，从 M1 连接孔必须经过 p⁺，即 SP 层。

0 键选择 “M1_SUB” via。

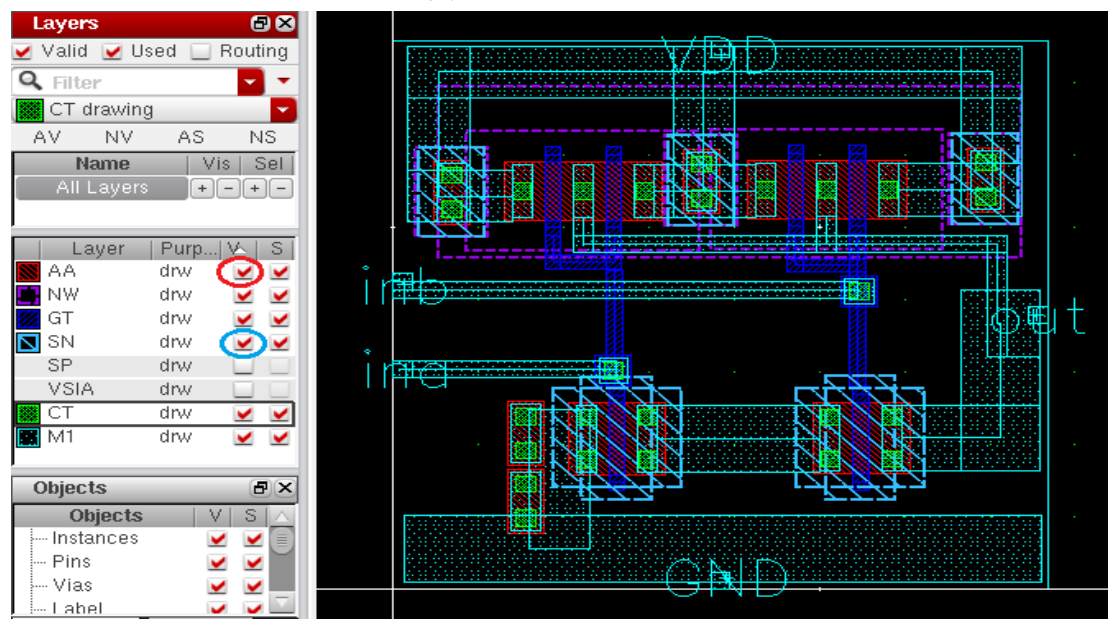
普通 NMOS 周边衬底可多加接地 M1_SUB 过孔，消除闩锁效应。

现在版图类似下图（假设你没有使用 M2 层，且如下图左侧设置 LSW）：

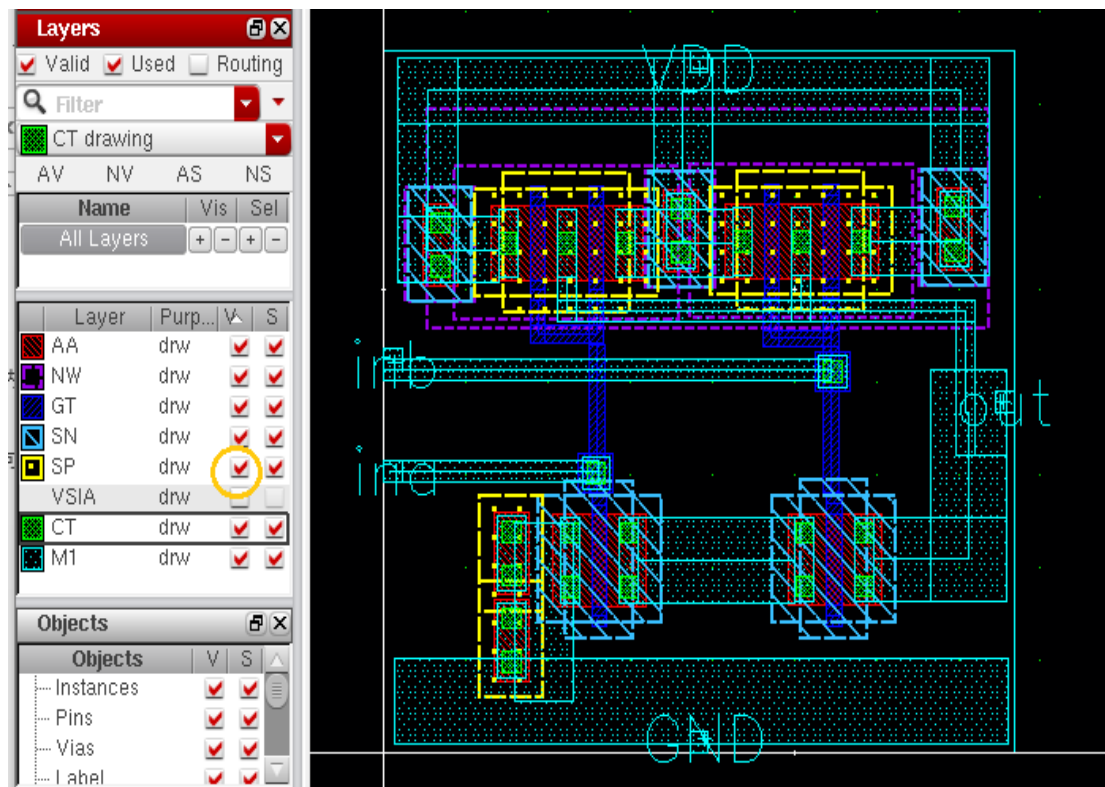


在 Layout XL Editing 版图窗口，“File” -> “Save”，或直接点击 “Save” 图标。
以上实验指导的版图示例可能会产生几个 DRC 违例。

了解 MOS 版图，如下图左侧设置 LSW：



增加显示 SP 层的版图：



实际工作中，模拟电路或射频电路版图设计时应注意：

若电流较大，用 P 键放置自动宽度连线有可能会因线宽较小而不合适。

检查是否有 M1 无法连接情况（即不同线网 M1 层绕不开）。若有，则用 M2 层进行桥接过渡：使 Layers 面板的 Used 无效，仅 Valid 有效；选 M2 为当前层，用 P 添加 M2 层的连线，参考后文用 M1_M2 过孔连接 M1 与 M2 层。

当不需要采用新层时则设置 Layers 面板的 used 有效，减小 LSW 显示层数。

不同层之间连接时，均需要使用 Via 过孔（相邻金属层之间，或金属 1 与衬底、POLY、N 阱等接触孔）。

版图设计实验时可能有连线遗漏。虽然在后续 LVS 时会被发现，但补上连线后需要再次进行 DRC，较为麻烦和费时。为避免发生连线遗漏，在电路图中点击线网，查看对应版图设计是否已完成。

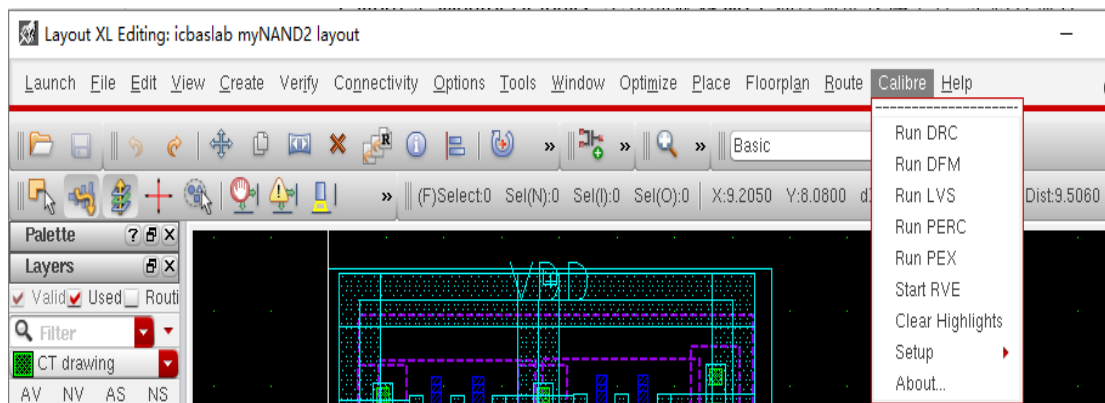
2. Calibre 物理验证: DRC

Calibre 是 Mentor Graphics 公司的业界 No.1 物理验证软件工具, 是芯片流片时 foundry 代工 厂指定的物理验证软件, 可集成在 virtuoso 平台, 也可单独使用。

工艺层密度不够将导致 DRC 违例。实际工程中, 是待整个芯片电路所有子电路模块版图完成拼接后, 一并由芯片版图总拼工程师进行密度处理, 因此本实验不处理密度违例, 增加密度处理后还需再次进行整体芯片 DRC。

附录对几个常见 DRC 违例如何修改进行了说明, 建议在进行 DRC 之前浏览一下, 若发现类似违例, 可以参考修改建议进行处理。

将 Layout XL Editing 版图编辑窗口的右边沿扩大, 直到看见 Calibre 菜单, 其中有物理验证所需要的各种工具如下图所示:



A、DRC 验证

在版图窗口,

点击 “Calibre” -> “Run DRC”, 弹出 Calibre Interactive -nmDRC 窗口。

Caliber Interactive -nmDRC 窗口界面分为标题栏、菜单栏 (File, Transcript, Setup), 工具选项栏 (Caliber Interactive 左侧的 Rules、Inputs、...)。

弹出 Load Runset File 窗口, Cancel (因第一次 DRC 尚无 Runset File, 后续退出时保存); 以后再次 DRC 时可直接加载先前保存的 Runset File 恢复各种设置。

实验采用的 smic180 工艺 DRC Rule 文件在以下目录中:

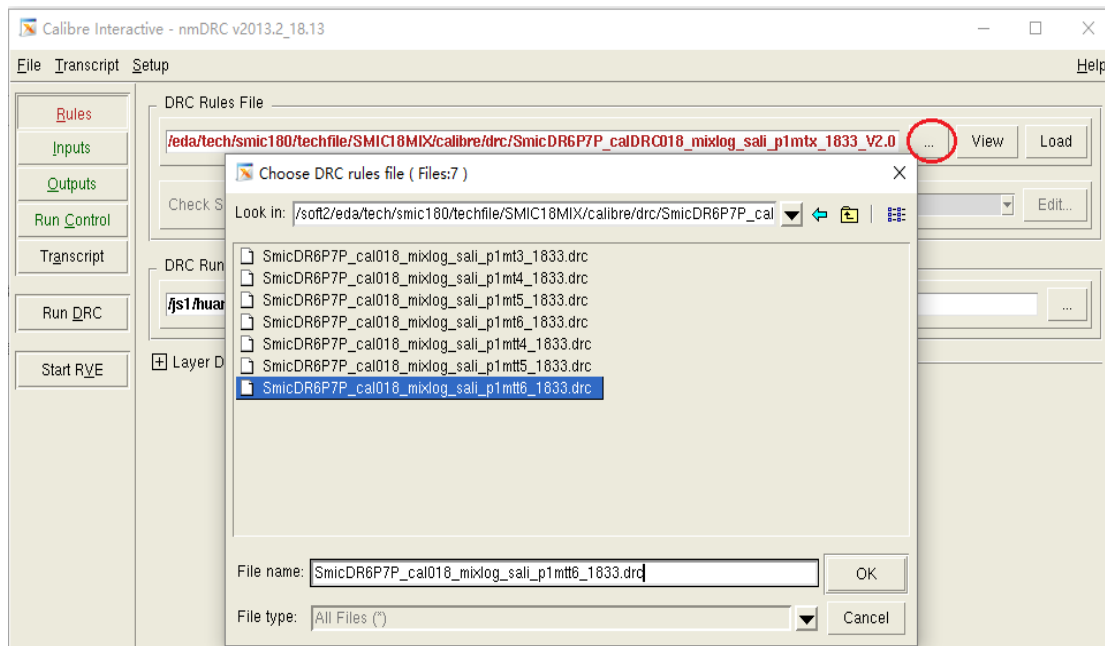
```
/soft2/eda/tech/smic180/techfile/SMIC18MIX/calibre/drc\  
/SmicDR6P7P_calDRC018_mixlog_sali_plmtx_1833_V2.0  
[这里\为续行, 不是任何字符]
```

在 Calibre Interactive -nmDRC 窗口,

点击左上侧 “Rules” 工具标签 (红色表示需要设置, 完成设置后变为绿色);

在 DRC Rules File 栏键入以上路径，或直接采用拷贝粘贴（鼠标中键）路径名的简便方法。

点击 DRC Rules File 栏的右边“...”（下图中用圆圈标记），选 drc 子目录，

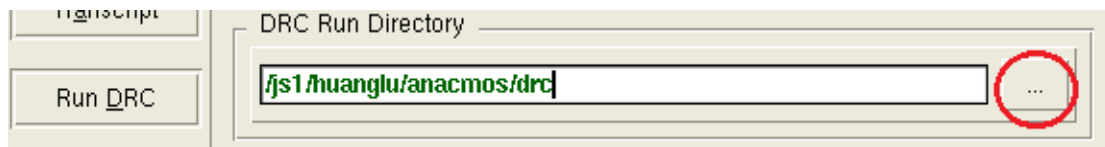


在弹出的 Choose DRC rules file 窗口，点选 DRC 工艺文件：

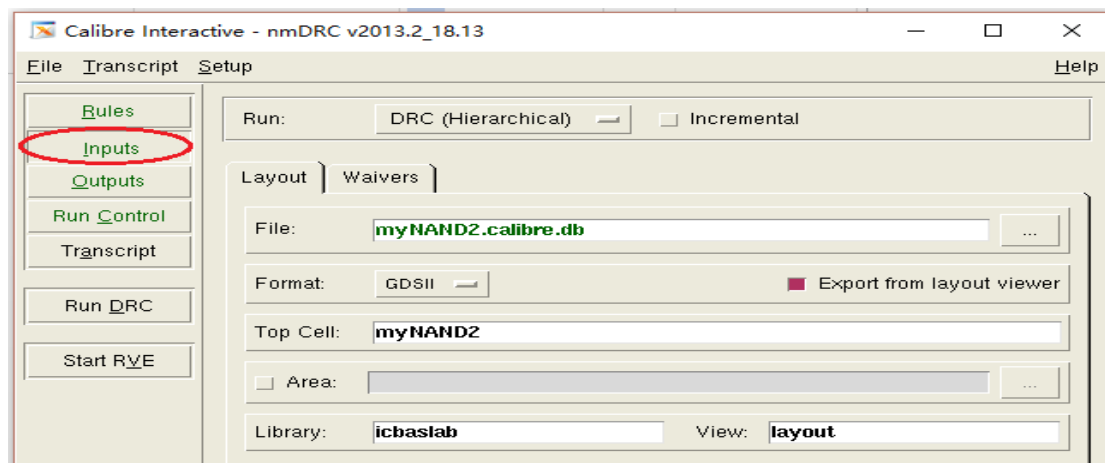
SmicDR6P7P_cal018_mixlog_sali_p1mtt6_1833.drc。

“OK”后，Calibre Interactive -nmDRC 窗口左上侧的 Rules 工具标签呈绿色，表示设计规则加载完成（但不保证一定是对的）。

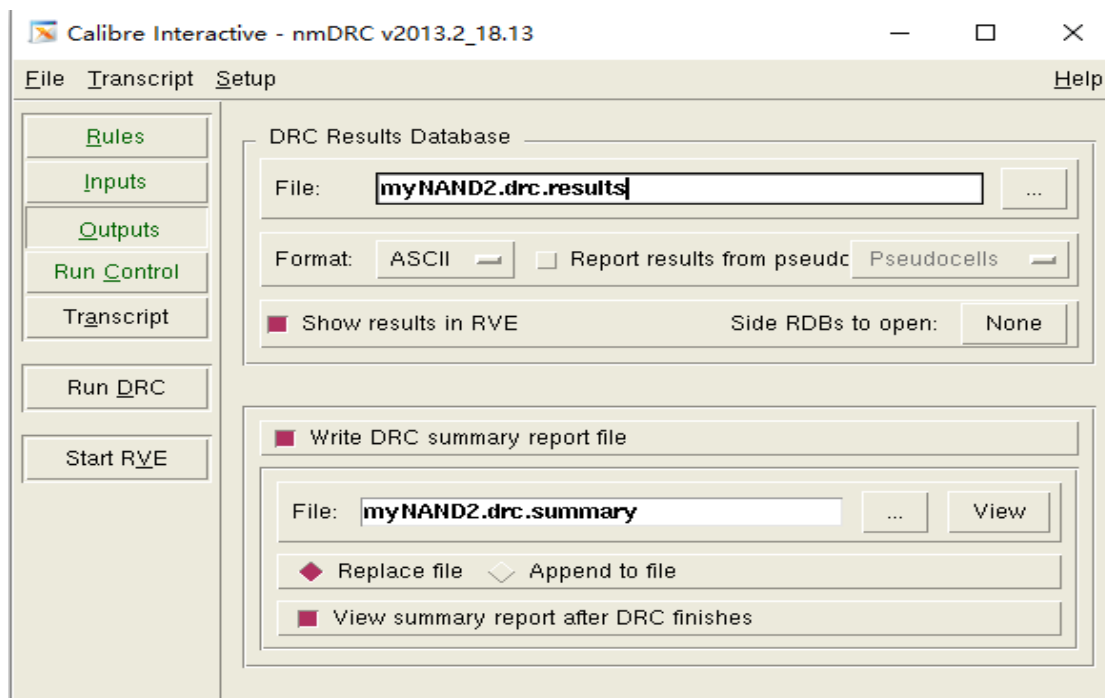
DRC Run Directory 用来保存 DRC 输出结果，点击该栏右侧“...”，双击选中 drc 子目录，应该是 /你的账号/anacmos/drc。



检查 Inputs 设置应如下图：



设置 Outputs 工具选项：



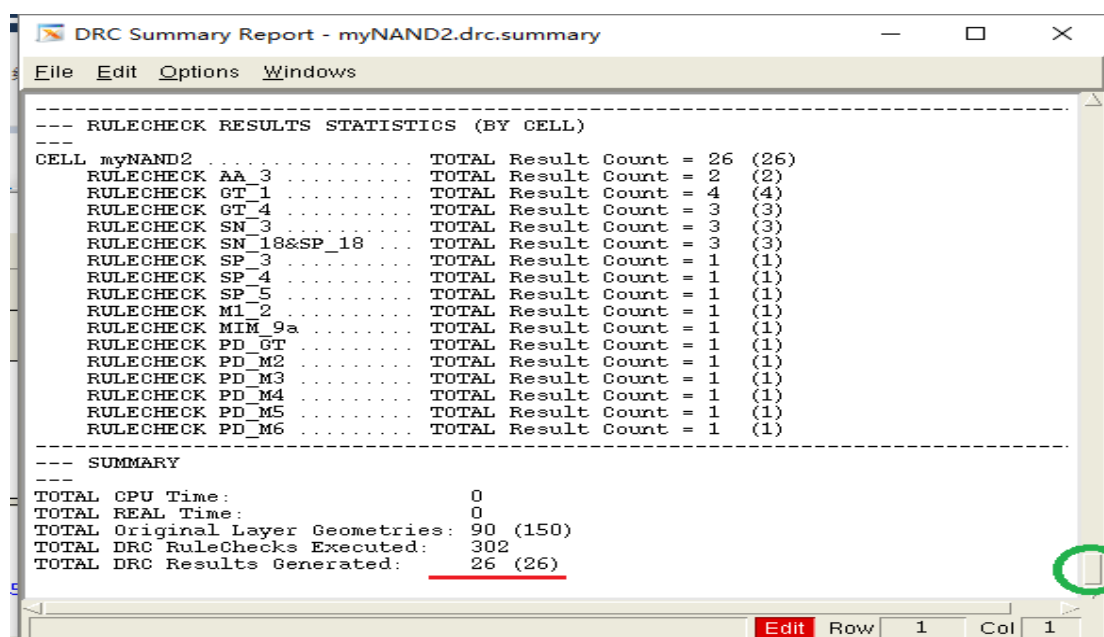
Show results in RVE 有效，表明 DRC 结束后将自动弹出 RVE 窗口报告 DRC 错误；RVE 为 Results Viewing Environment 首字母。

运行 DRC：

在 Calibre Interactive - nmDRC 窗口，点击左侧的“Run DRC”。

生成 DRC Summary Report 窗口和用于查错的 Calibre RVE 窗口。

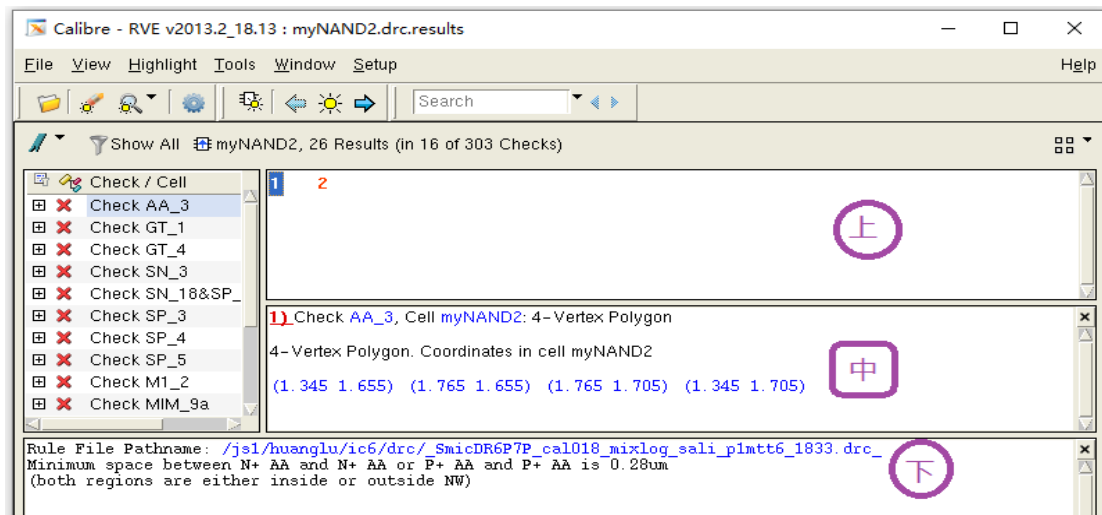
DRC Summary Report 窗口类似下图。



版图中器件和连线的放置位置导致违例，你的 DRC Summary Report 错误报告内容与上图应有所不同。

- 实验报告中要求给出初始版图设计和第一次 DRC 的 Calibre RVE 截屏，以及违例修改后版图截图和 DRC 的 Calibre RVE 截屏；若因课时限制，允许有部分 DRC 违例未被消除。

Calibre RVE: myNAND2.drc.results 窗口类似下图，违例信息与版图设计有关。



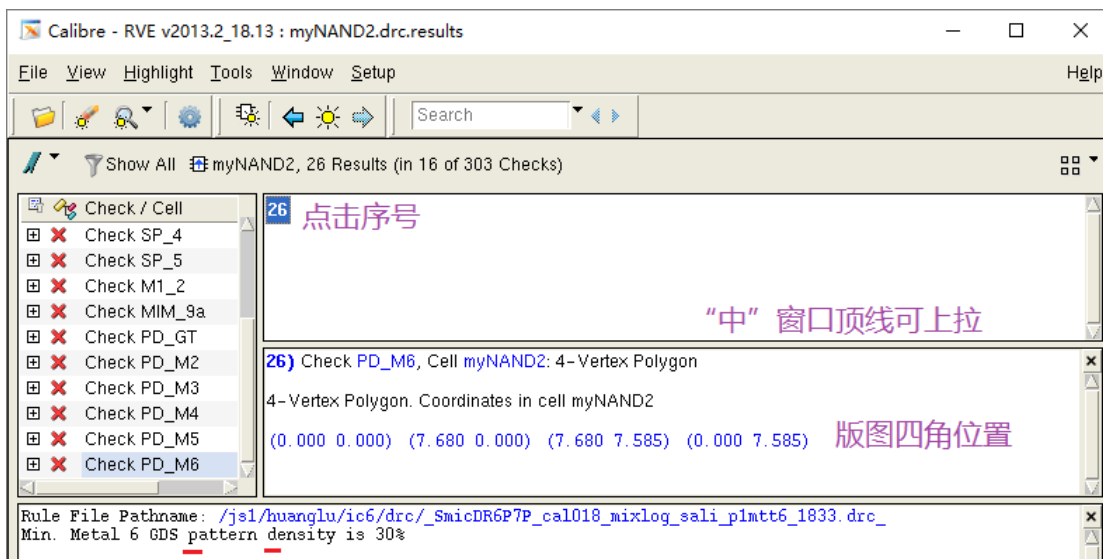
上图中，左侧 Check/Cell 栏，红色“X”表示有 Check 规则错误；若为绿色✓则表示该项无错误；Check/Cell 表示违例是按 DRC 规则排列。

标注为“上”窗口，给出违例序号 N [N=1, 2。。。]，双击序号立即在版图窗口中定位该错误的局部放大显示版图；

标注为“中”窗口，给出对应于上面 DRC 选中违例的版图位置；

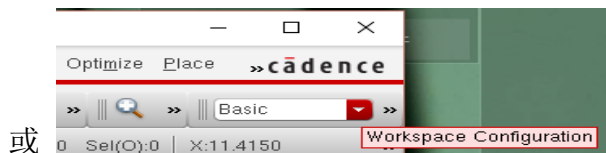
标注为“下”窗口，违例规则提示，是必须遵守的规则。

例：Check PD_M6 表示 M6 的密度（PD: Pattern Density）检查：



若采用另一种违例查找方式，“View”->“Tree Option”->“Group By”->“Cell/ Check”，则违例按单元排列。

可能由于先前某种原因使 Layout XL Editing 版图窗口中没有出现 LSW（层选择窗口）面板，可试一试用 **F11** 键恢复 LSW；



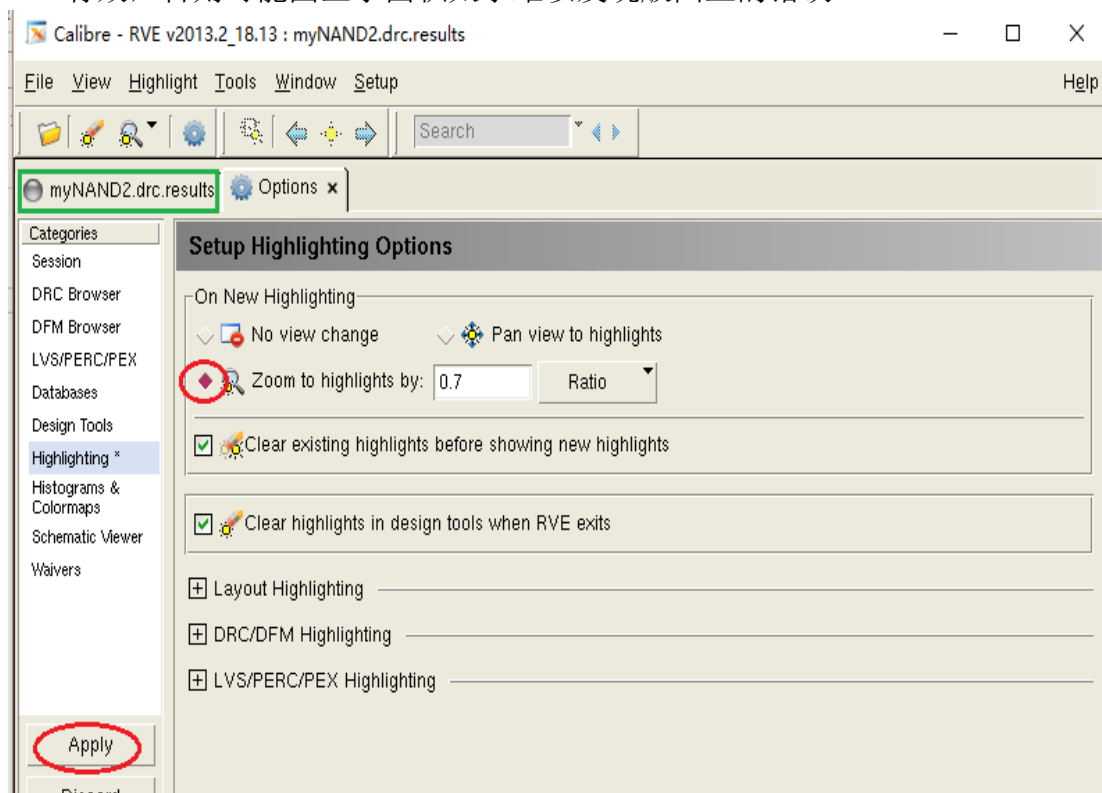
若仍然没有 LSW，则点菜单“Window”->“Toolbars”->“Show All”，然后“Window”->“Workspaces”->“Classic”或“Basic”。

修正除密度之外的 DRC 违例。修改过程中可能会产生新的违例，因此最后需要重新进行 DRC 验证。

关于查看版图违例处的设置，一般按缺省即可。

若需要重新设置：

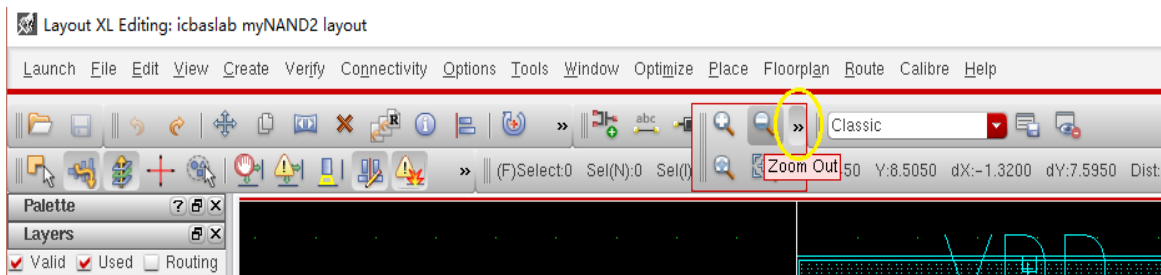
在 Calibre - RVE 窗口“Setup”->“Options”，使“Zoom to highlights by”有效，否则可能因显示面积太小难以发现版图上的错误。



“Apply”。

点击上图左上的长方框标注，恢复 myNAND2_drc.drc.results 窗口。

若希望看到违例处周围的更多版图，可在 Layout XL Editing 窗口 Zoom,，



Zoom Out 缩小版图，而 Zoom In 放大版图，将所关注位置的版图调整到合适大小，以便整体了解违例错误位置，修改错误。

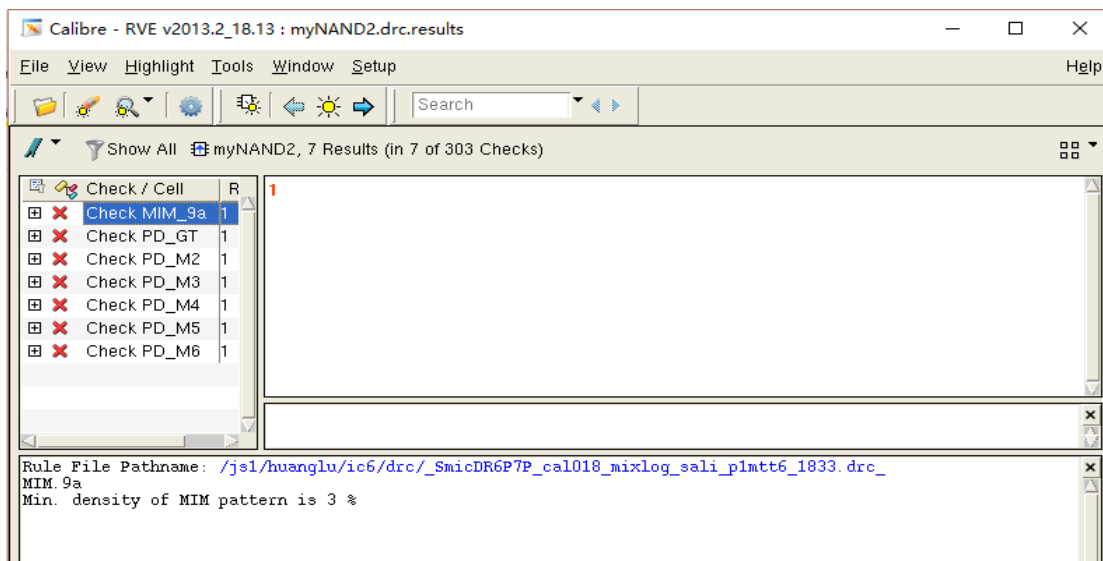
如用 F 键，只能查看整体版图，需要重新在 Calibre RVE: myNAND2.drc.results 窗口双击违例序号。

改正违例（PD 密度违例除外）：

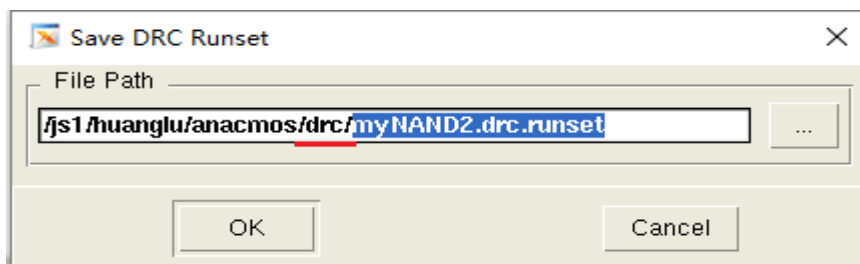
在 Calibre RVE 窗口，双击某个错误序号，按违例提示修改版图并保存。

重新检查 DRC 改正结果：

在 Calibre Interactive -nmDRC 窗口，“Run DRC”，要求 DRC Summary Report 报告中仅剩密度违例，即不修改 PD 和 MIM 电容密度违例。



在 Calibre Interactive-nmDRC 窗口，“File” -> “Save Runset As”，如下：



忽略 Calibre Interactive-nmDRC 窗口下方的 VCC 警告信息。由于实验电路并没有用到 VCC，因此这是个虚警。随着工艺进步软件需不断地改进，有时

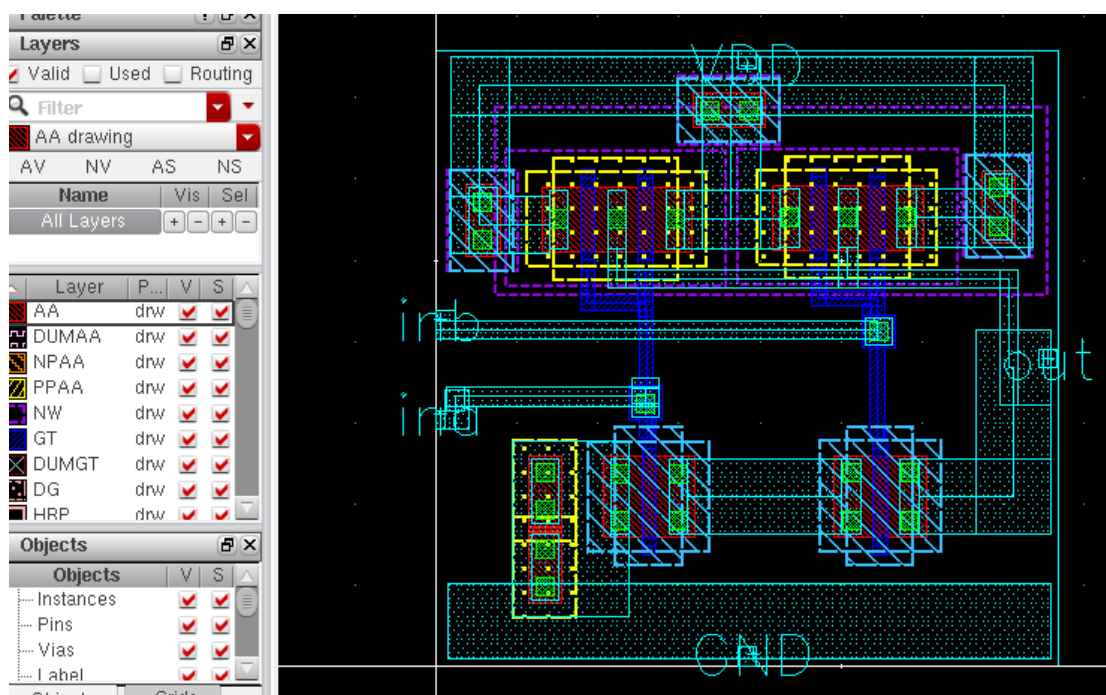
新版本软件会留下历史遗迹。

对每个警告信息都要确认是否为错误，不能想当然地认为是虚警。

Runset 保存 DRC 规则和输入文件设置，以后重新进行 DRC 时可自动提示加载，或在 Calibre Interactive -nmDRC 窗口 “File” -> “Load Runset”。

保留 Schematic XL Editing、Layout XL Editing、Calibre Interactive -nmDRC 窗口，后续步骤还要再次使用。

myNAND2 最终版图可能类似下图：



除非需要留待实验老师进行现场检查，可以关闭与 DRC 结果报告相关的窗口，即关闭 DRC Summary Report, Calibre - RVE 窗口。

3、LVS 版图与原理图对照检查

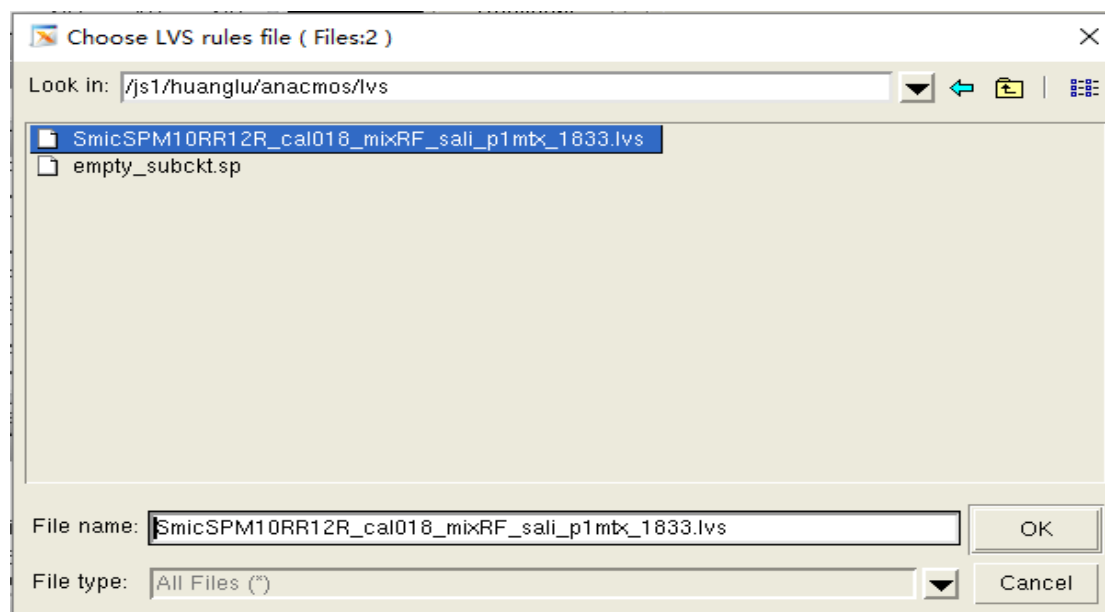
在 Layout XL Editing 窗口，“Calibre” -> “Run LVS”，弹出 Load Runset File 窗口，尚未设置选项，故“Cancel”。

设置 Rules 工具选项：

点击 LVS Rules File 栏 “...” 按钮，

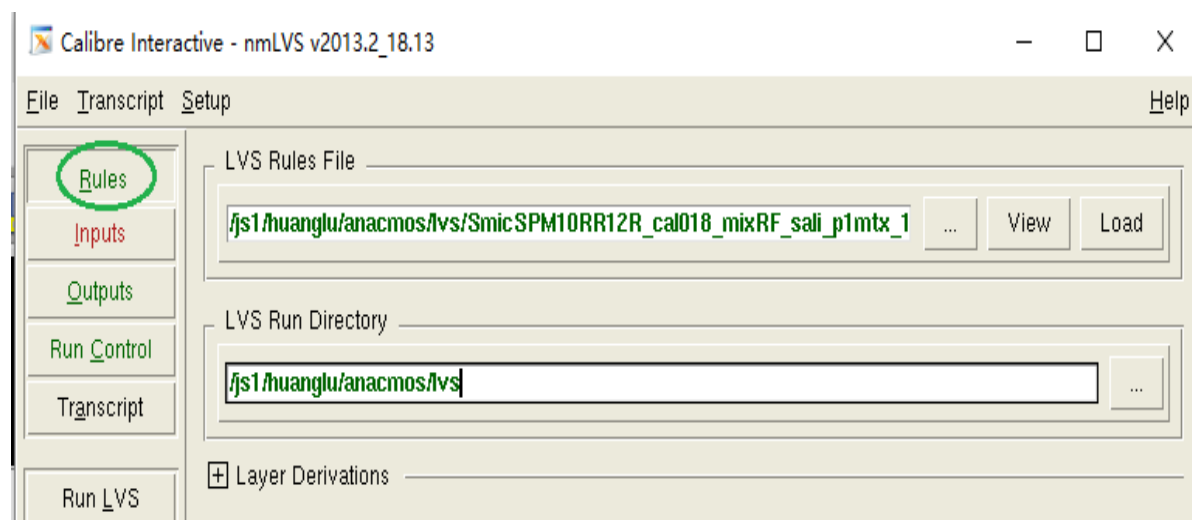
在弹出的 Choose LVS rules File 窗口中，选 lvs 目录双击，

选 SmicSPM10RR12R_cal018_mixRF_sali_plmtx_1833.lvs



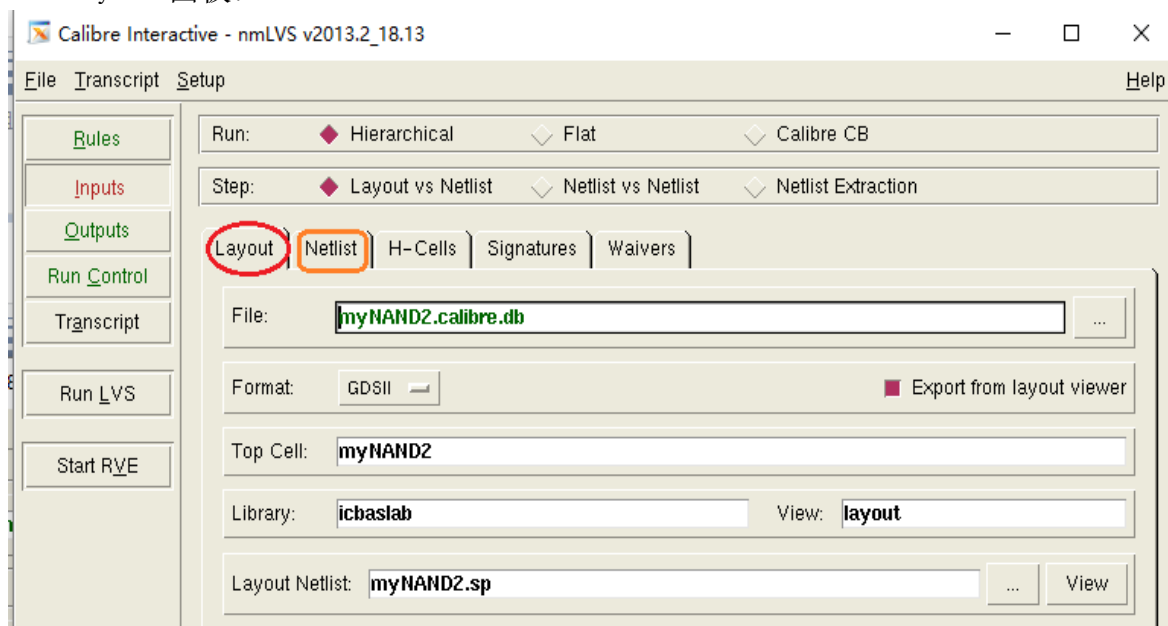
LVS Run Directory 栏中的路径为用来保存 LVS 输出结果，点击该栏右侧的“...”，选择 lvs 子目录。

Rules 变绿，表明 LVS 规则文件路径和格式正确。Calibre Interactive-nmLVS 窗口应如下图：



设置 Inputs 工具选项

● Layout 面板:



“Export from layout viewer” 有效;

窗口底部 Layout Netlist 是进行版图提取电路后的网表名 myNAND2. sp。

● Netlist 面板:

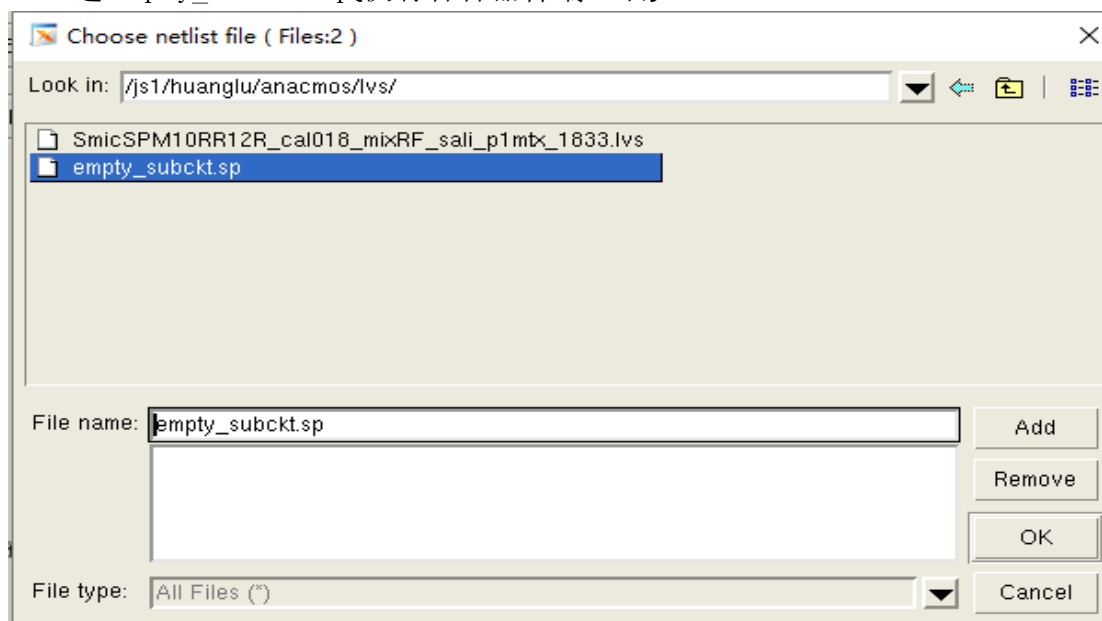
点击 Netlist 面板,

选 “Export from schematic viewer” 有效;

Files 栏加入 lvs 目录中先前准备好的 empty_subckt.sp 网表文件。

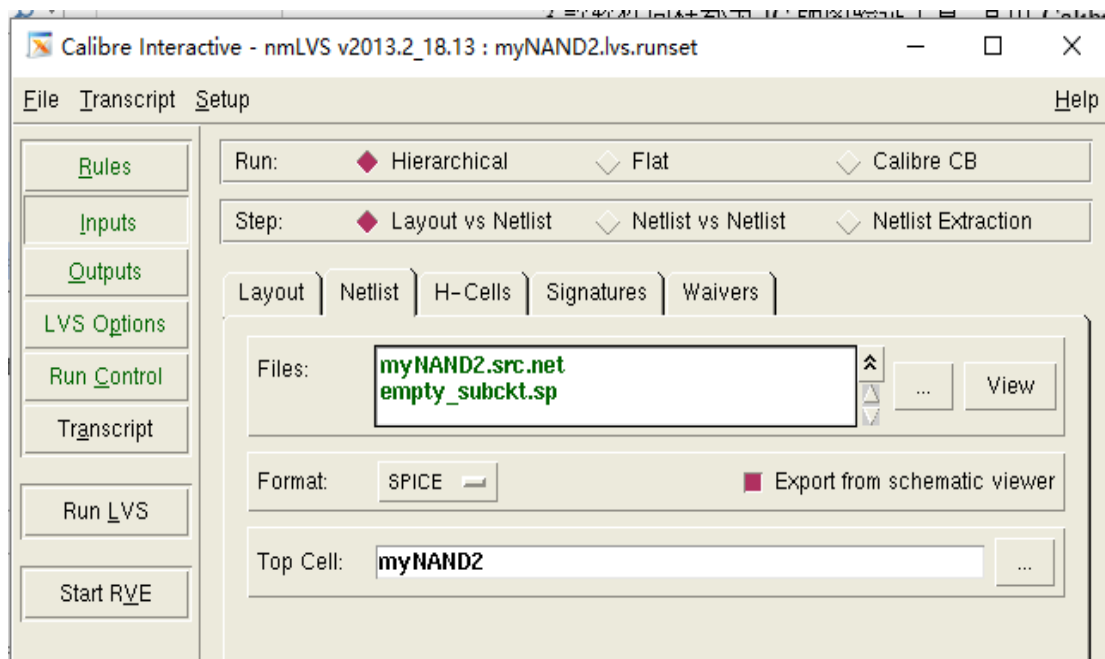
点 Files 栏右侧的 “...” 按钮,

选 empty_subckt.sp[仅有各种器件端口名]。



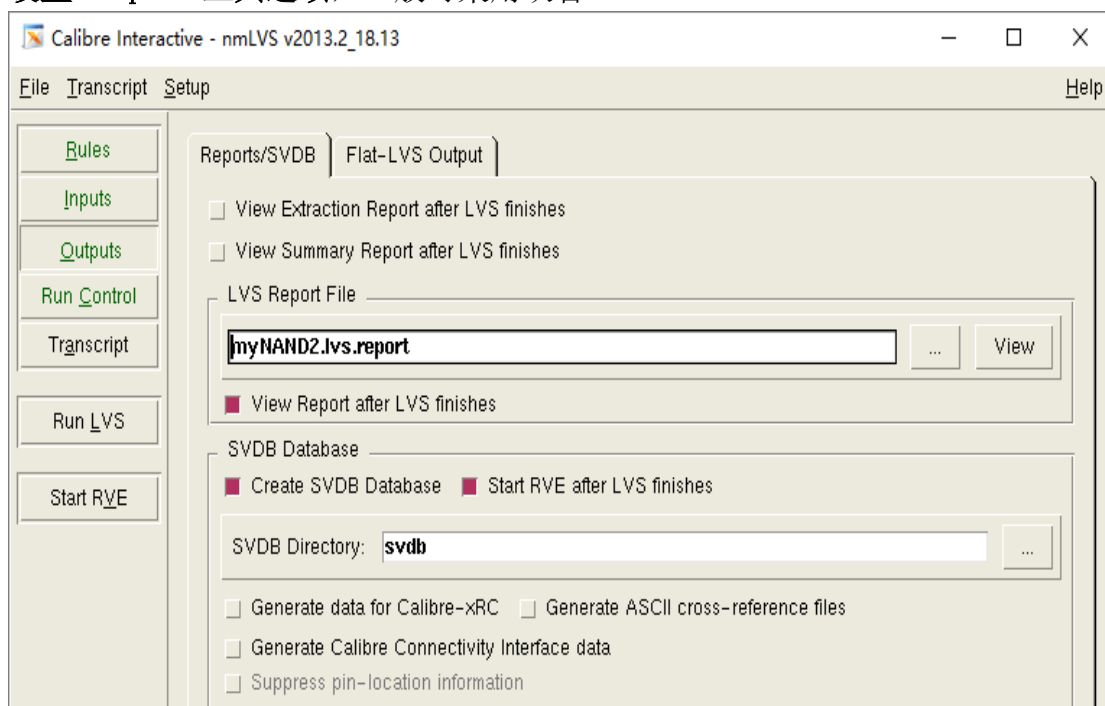
“Add”, “OK”。

Calibre Interactive - nmLVS 窗口 Netlist 面板应如下：



左侧 Inputs 字符变为绿色，表示文件填写完成，格式正确但不保证内容正确。

设置 Outputs 工具选项，一般可采用缺省。

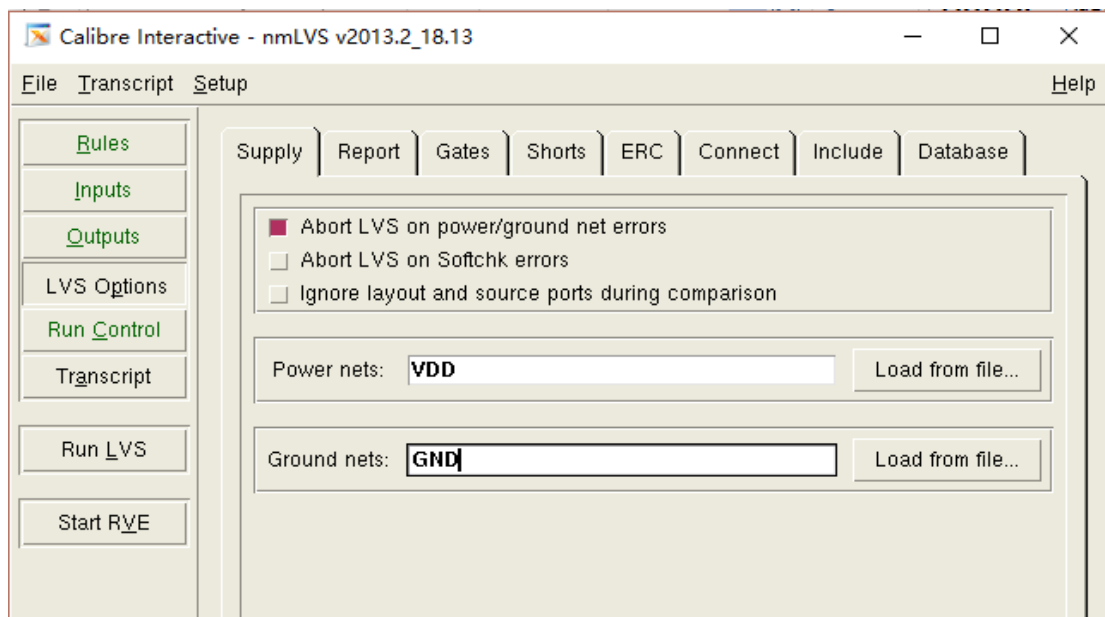


对电源和地进行处理，需要设置 LVS Option 工具选项：

在 Calibre Interactive - nmLVS 窗口，“Setup”，设置“LVS Options”有效。

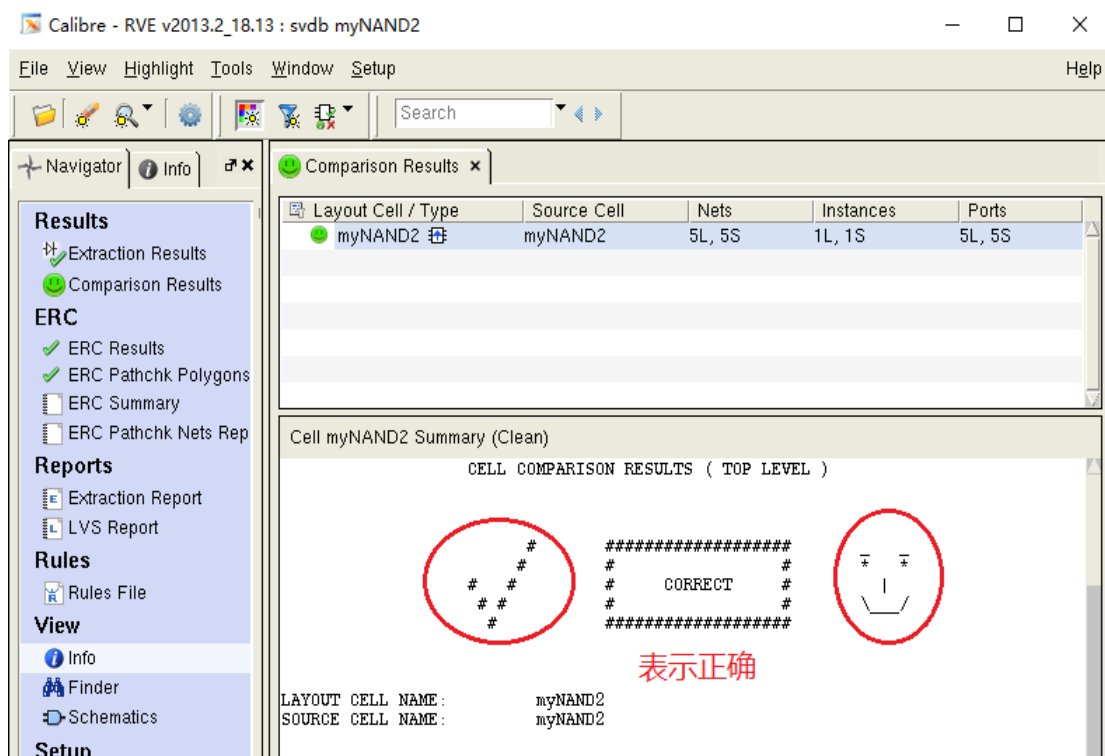
设置 LVS Options 工具选项:

在 Supply 面板中, Power nets (电源线网) 栏中, 键入 *VDD*,
Ground nets (地线网) 栏中, 键入 *GND*。

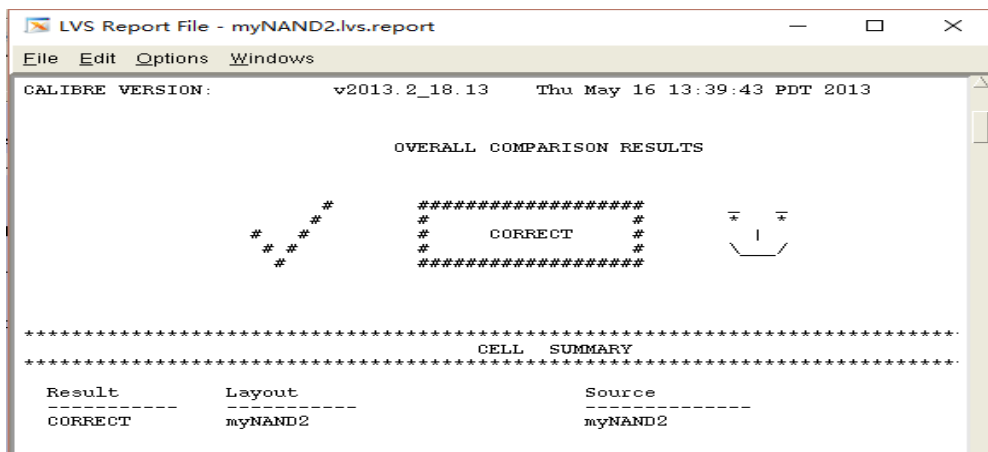
**Run LVS**

点击 Calibre Interactive -nmLVS 窗口左侧的 Run LVS 后, 希望能够出现如下图 Calibre - RVE, 有个笑脸和对 (勾) 号;

若 LVS 不正确, 则出现 X 图案, 字符为 INCORRECT, 无笑脸。



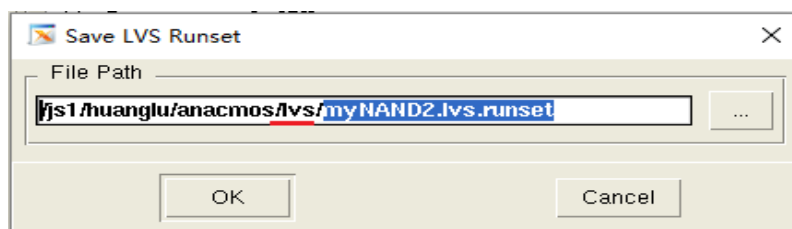
正确的 LVS Report File 应如下图（有一些统计信息）：



若 LVS 不正确，则有右图：# # # # # INCORRECT # # # # #，表明版图有错误。

保存 myNAND2.lvs.runset：

Calibre Interactive - nmLVS 窗口，"File" -> "Save Runset As ..."，



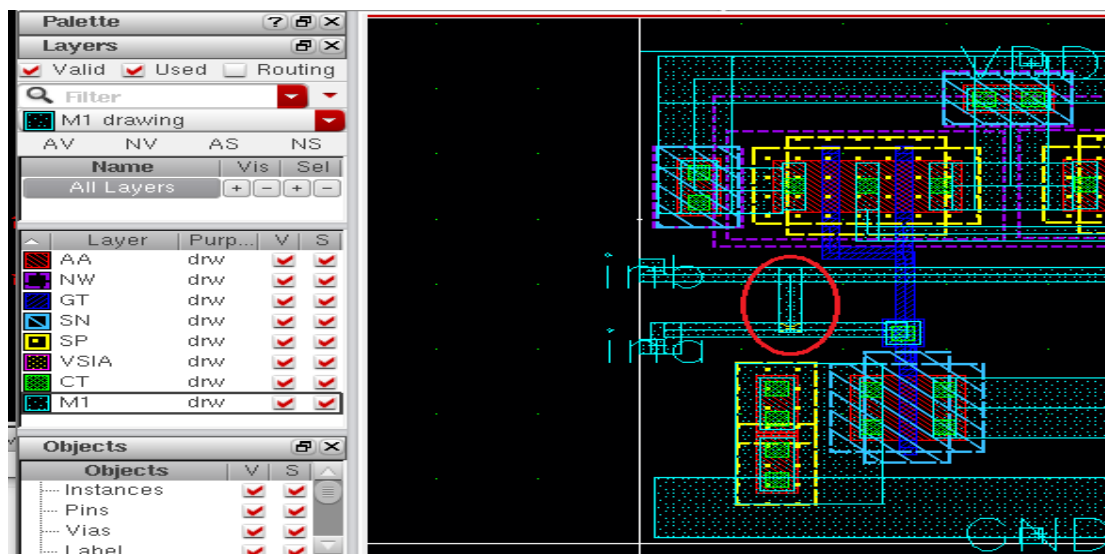
以后再做 LVS 时直接加载使用 myNAND2.lvs.runset 进行设置。

选做：LVS 版图错误修改

以下 3 个 LVS 错误例是为改错而特意制造的。

1) 短路错误例：

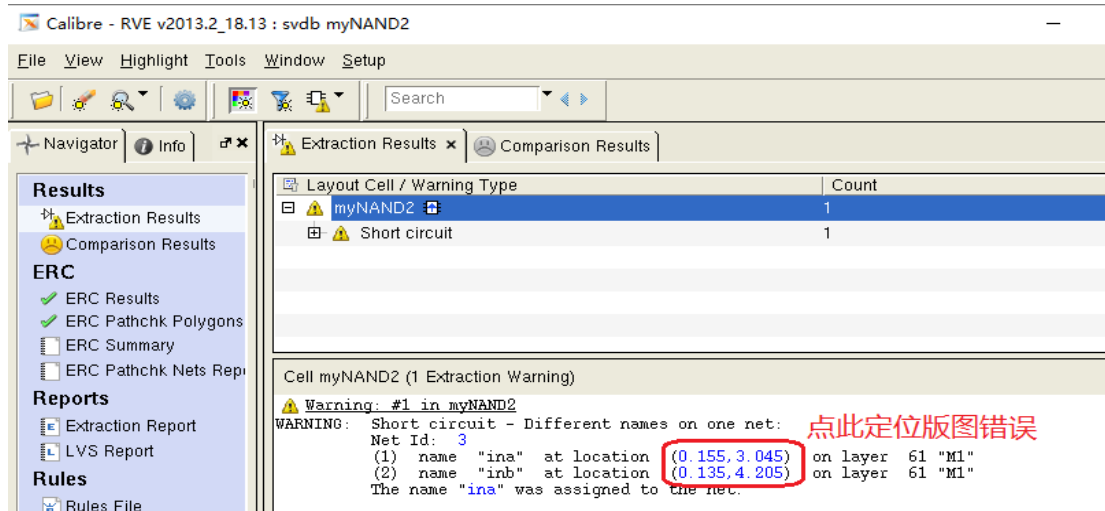
将 ina 和 inb 两条输入线用 M1 连接，R 键放置长条，如下图：



版图窗口 “File” -> “Save”。

“Calibre” -> “Run LVS”，

在 Load Runset File 窗口中选先前保存的 myNAND2.lvs.runset 文件，Run LVS 后在 Calibre RVE 窗口的 Extraction Results 面板中有短路警告和错误位置：



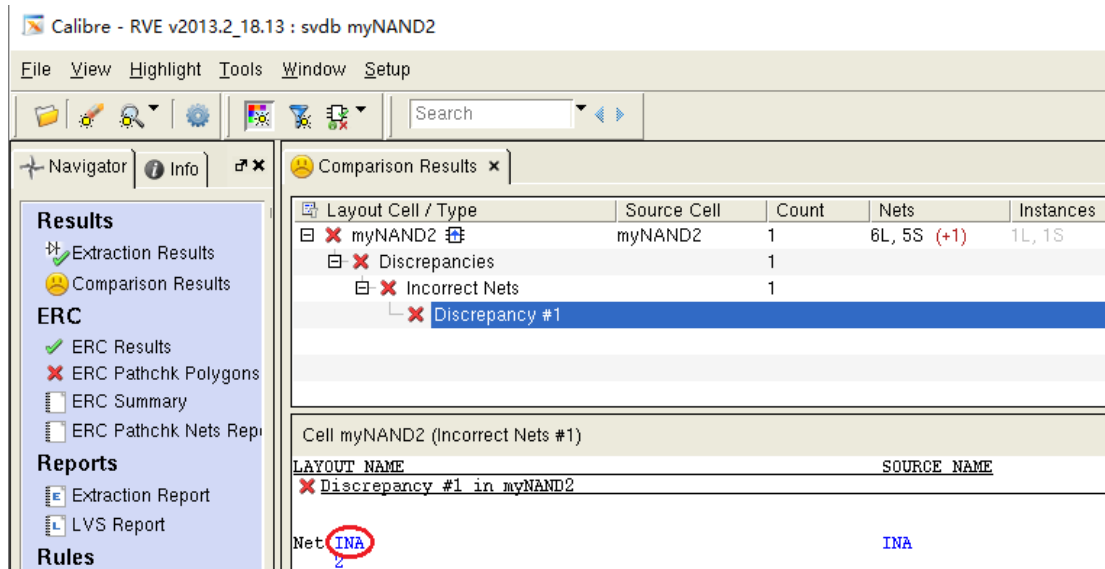
“Highlight” -> “Zoom to Highlight”，点错误处坐标。
删除短路连线。

2) 断路错误例：

删除 ina 端口到 MOS 栅极的连线；

Calibre Interactive 窗口 Run LVS。

Cabobre -RVE 报告 discrepancy（不符合）版图上的 net 线网 INA：



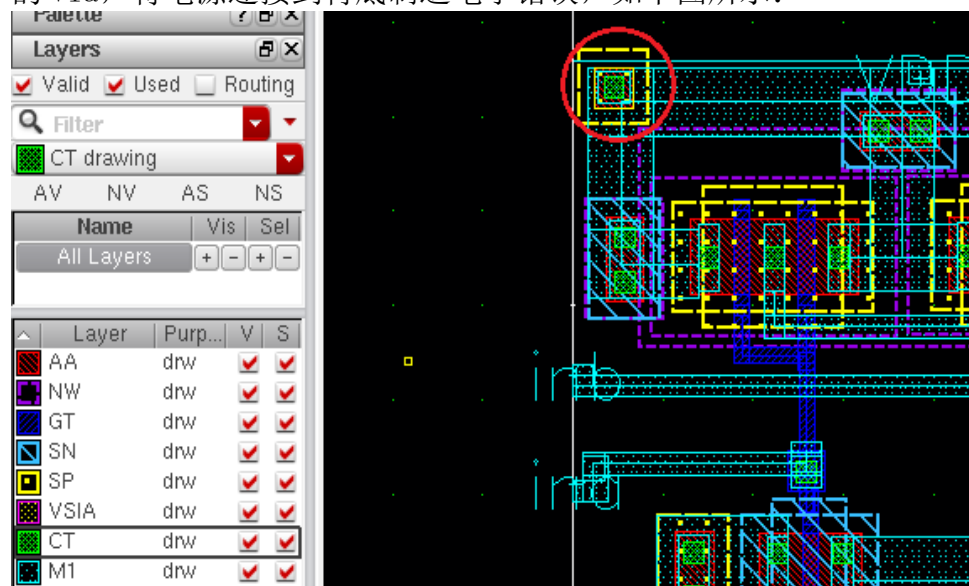
“Highlight” -> “Zoom to Highlight”，点 LAYOUT NAME 之下的 INA，定位版图上的出错位置。

F 键使版图适中，或 Shift + Z 缩小，看清错误位置的附近器件；

P 或 R 键放置 M1 连线，根据飞线指示，使 INA 正确连接。

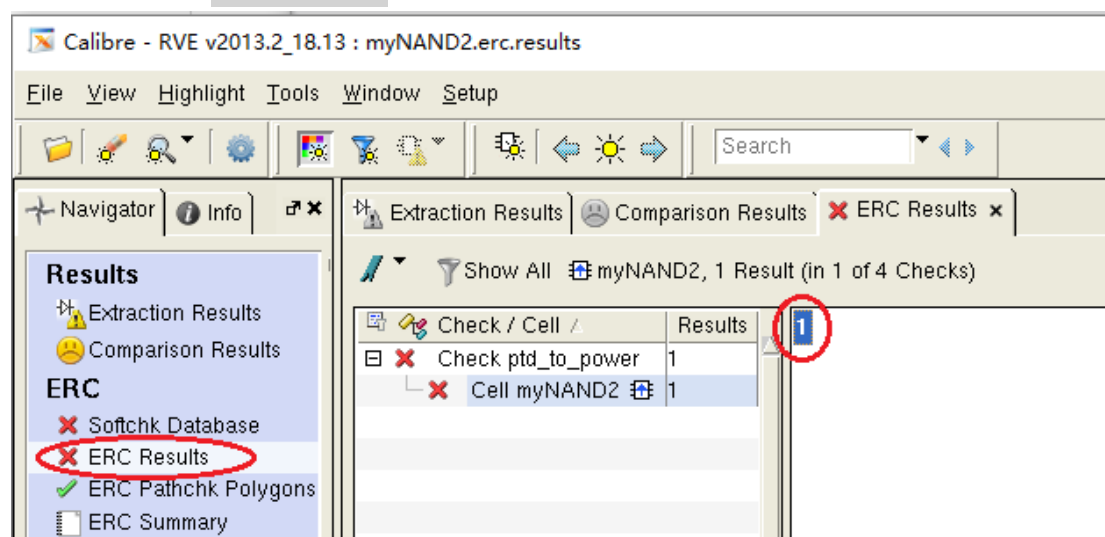
3) 电源或地连接错误例:

使 CT 为当前层, **0** 键 (即菜单 “Create” -> “Via”) 添加一个 M1_SUB 类型的 Via, 将电源连接到衬底制造电学错误, 如下图所示:



Calibre Interactive 窗口 Run LVS 后, 报告 ERC (电学规则检查) 错误。

下图点击 ERC Results, 然后点击错误序号 “1”, 定位版图上的错误。



在版图上删掉这个错误放置的 Via 器件, 保存版图后 Run LVS;
Calibre RVE 或 LVS Report File 应有 CORRECT 和笑脸。

对版图进行任何修改后都应重做 DRC:

在版图窗口, “Calibre” -> “Run DRC”, 加载先前保存的 myNAND2.drc.runset 设置文件后, Calibre Interactive 窗口 “Run DRC”。

实验二、差动放大器 amp2 版图设计（选做）

设计 amp2 核心电路版图。所谓核心电路是指不包括模拟电路版图外围的地和电源隔离环，且仅使用第一金属层 M1 和第二金属层 M2。

首先拷贝 amp 为 **amp2** 单元；

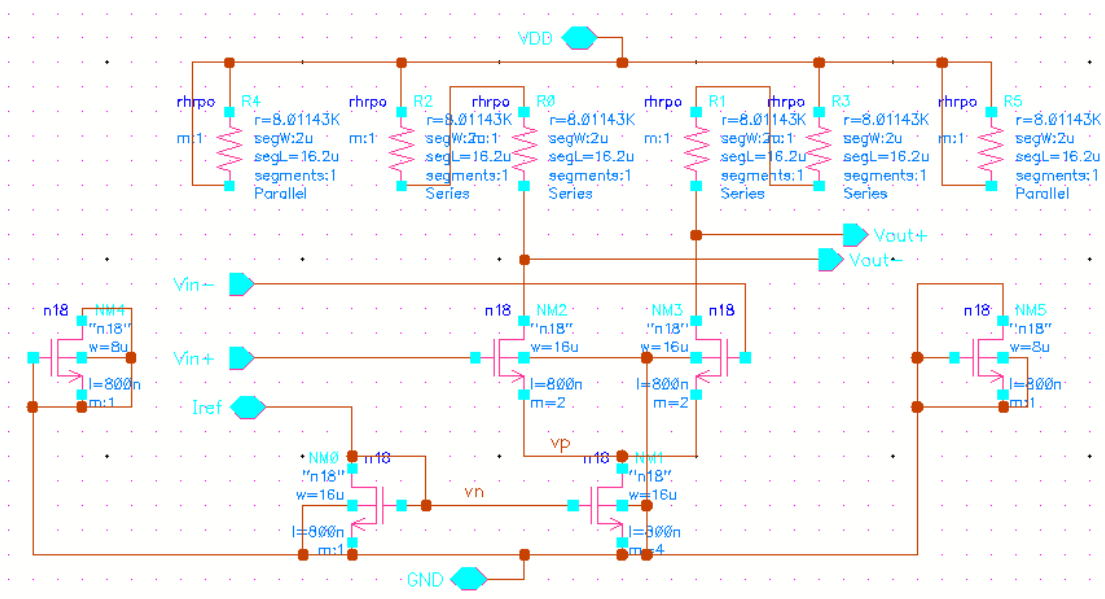
修改 R0 和 R1 电阻的 Segment Length=16.2u，添加 R2 和 R3，分别与 R0 和 R1 串联，R0+R2 和 R1+R3 与原先 amp 输出端上拉电阻的阻值相同；

拷贝添加 R4 和 R5，用作上拉电阻的 Dummy 器件。

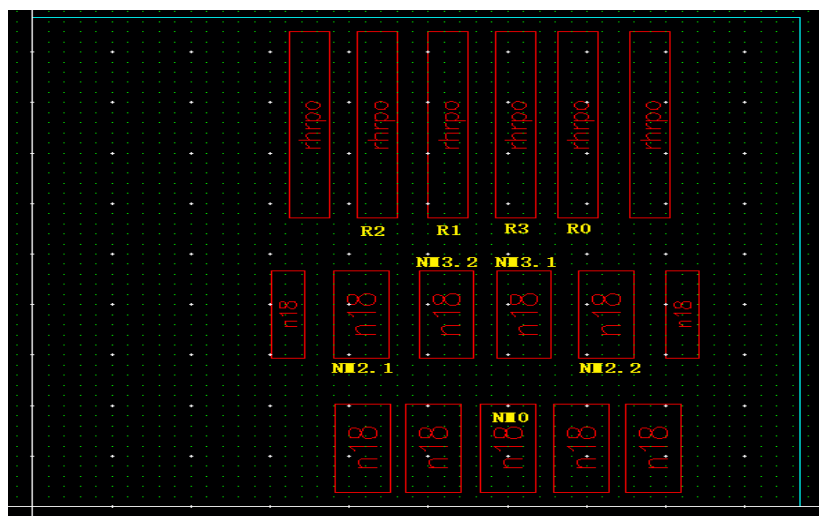
增加输入管的哑元（Dummy）保护器件：

添加 2 个 NMOS 的 Dummy 管，Dummy 管 Fingers=1，Multiplier=1。

amp2 电路图如下：



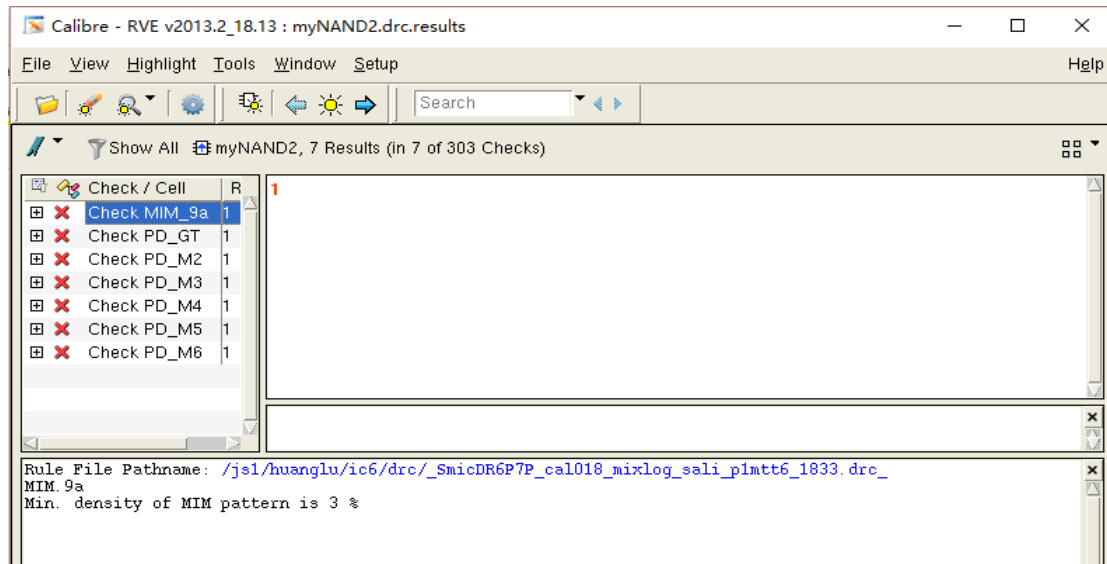
建议：不要求差动器件位置严格对称，差动支路连线的长度、宽度、金属层、过孔也无需基本相同。可尝试采用分割对称质心法，布局输入管、上拉电阻、以及电流镜。实际上，对于小尺寸器件，分割对称质心法的效果并不一定更好。



参照实验一步骤，完成 amp2 的版图设计、以及 DRC 和 LVS 验证。

● 实验报告要求

- (1) 给出初始和最终版图设计的截屏；电路版图面积是多少？
- (2) 将第一次 DRC 后的 Calibre RVE 窗口和修改违例后[可以有违例未消除]的 Calibre RVE 截屏，如下图：



- (3) 给出 LVS 物理验证报告结果的截屏。

附录：预备知识

(1) Calibre、Dracula 和 Assura 的区别：

3 款软件都为 IC 版图验证工具，其中 Calibre 属于 Mentor 公司，Dracula 和 Assura 属于 Cadence 公司。

Calibre 验证引进了 Hierarchy 理念。假设一个单元被调用了上千次，若这个单元本身有一个错误，则 Hierarchy 就只有一个单元错误；而当 Flat 时会有上千个错误。若采用 Dracula 软件进行验证，你会看到有上千个错误。

缩写词：

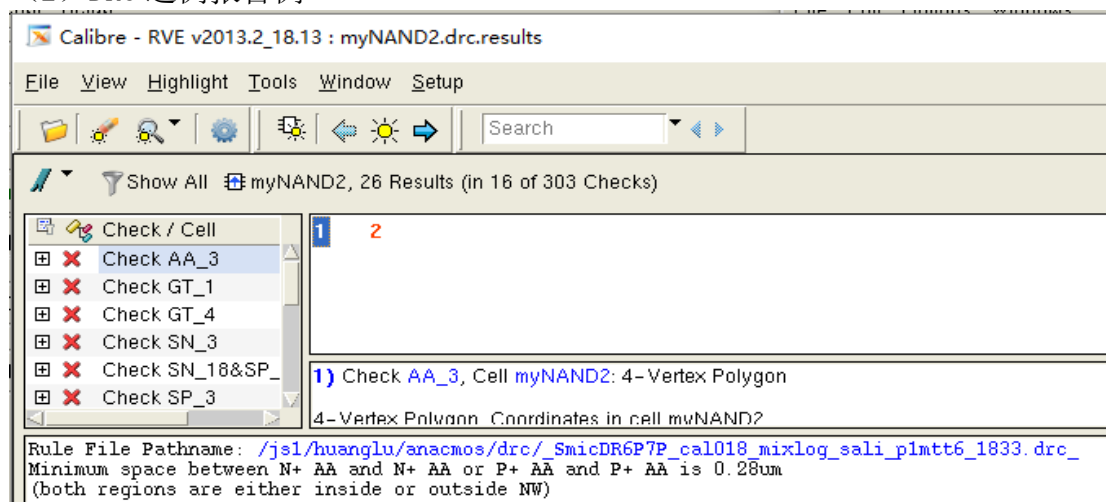
SVRF---Standard Verification Rule Format（标准的检查文件）

RVE---Results Viewing Environment（显示结果用的环境窗口）

SVDB---Standard Verification Database (LVS results)

ERC---Electrical Rule Checking（电学规则检查）

(2) DRC 违例报告例



Run DRC 后得到 Calibre-RVE 报告窗口，上图 myNAND2 单元的违例报告表明有 26 个 DRC 违例，属于 303 检查规则中违反了 16 条。

上图底部窗口显示 DRC 规则文件的物理路径，以及当前违例的规则。

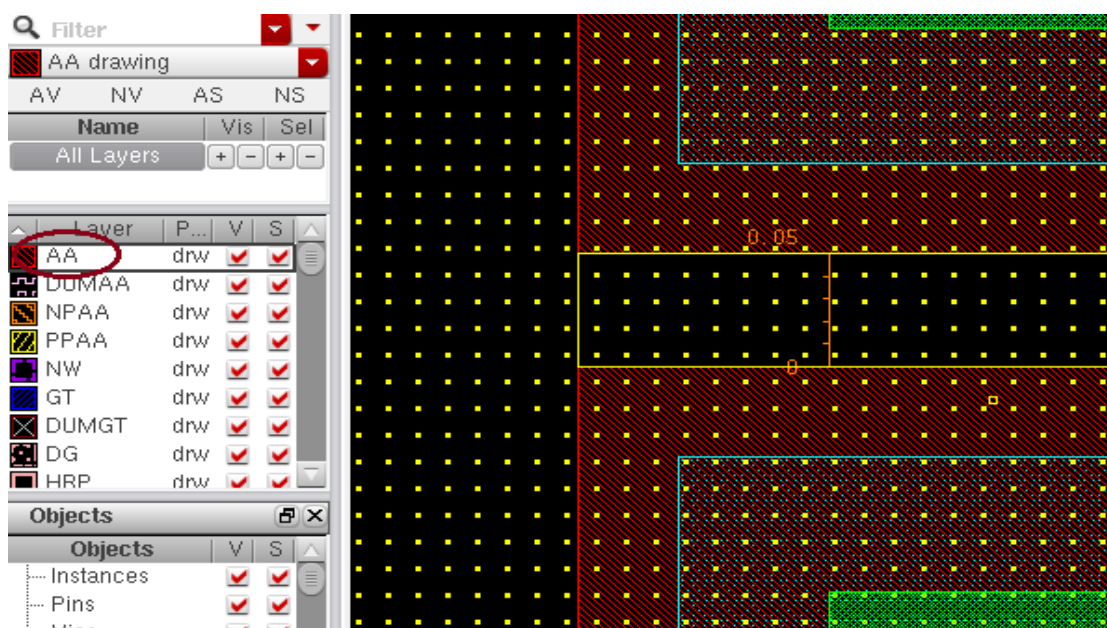
经常有进行一个违例修改可能消除多个违例的情况，但也有可能会增加其它违例；每当修改版图消除一类违例，保存版图后就重做一次 Run DRC；在重做 DRC 之前，版图上先前显示的黄色违例指示线可能仍旧存在。

部分常见违例解释与消除方法：

Check AA_3 规则：

*Minimum space between N+ AA and N+ AA or P+ AA and P+ AA is 0.28um (both regions are either inside or outside NW)。

双击违例序号，得到违例处的版图，例如：

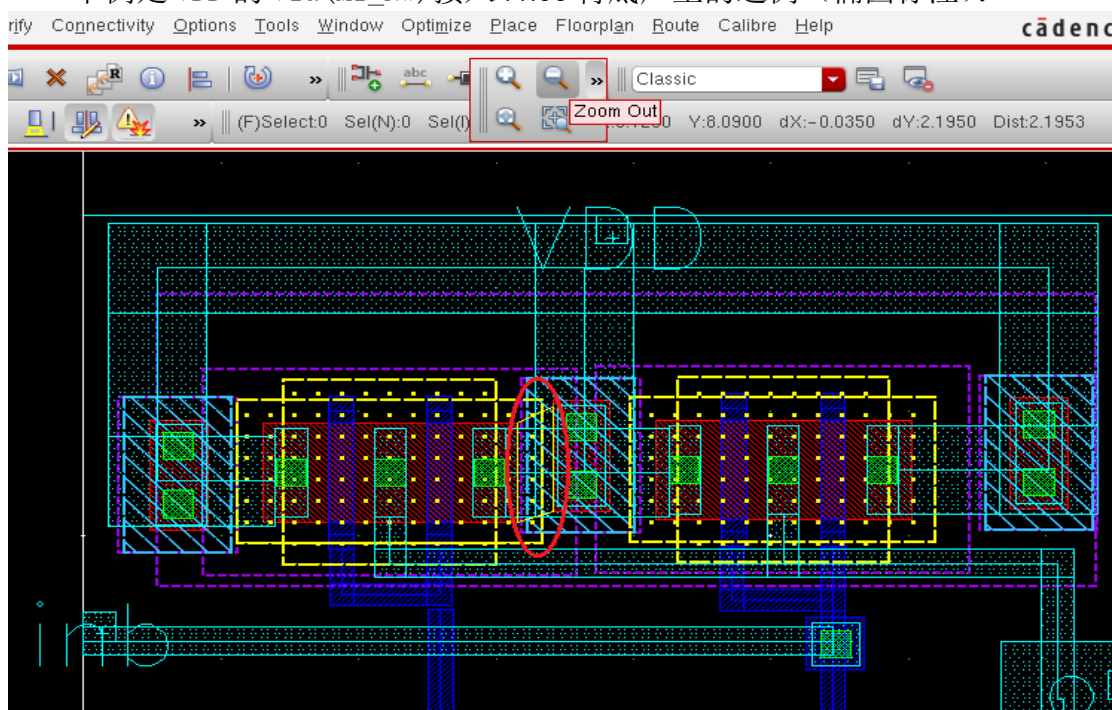


这个 AA 层违例（高亮黄线指示违例处），是由于间距小于 AA_3 规则的 0.28um 要求（图中 0.05 是为了说明违规，用 K 键加上的标尺）。

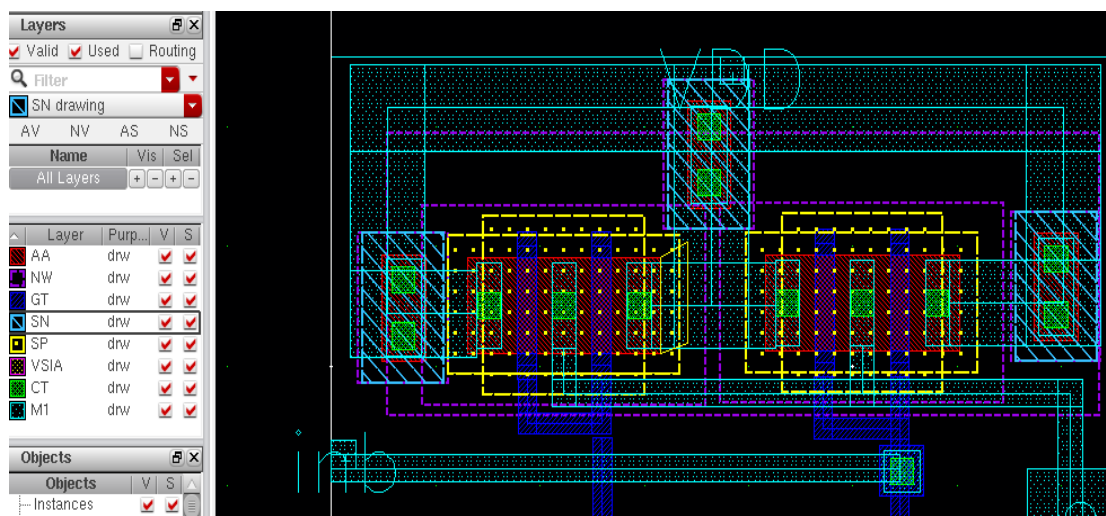
有两种处理方法 AA 有源区，一是拉大或移动 2 个 AA 区之间的距离，因需要移动版图，容易导致其它违例；

二是在电学规则允许前提下合并 2 个 AA 区，插入 AA 长方块进行填充；不仅方法简单，而且不需要移动任何版图，不会引起新的违例。根据违例处的高亮指示，对比版图颜色与左侧 LSW 某层颜色，将 LSW 相同颜色层（本例是 AA）设置为当前层进行修改。

下例是 VDD 的 Via(M1_NW)接入 PMOS 衬底产生的违例（椭圆标注）：



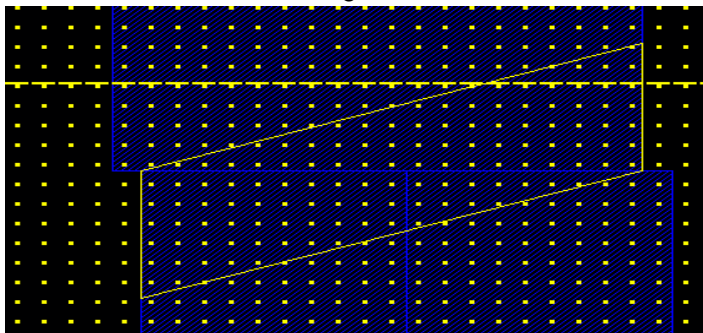
将 VDD 接 PMOS 衬底的 Via (M1_NW) 移开一些:



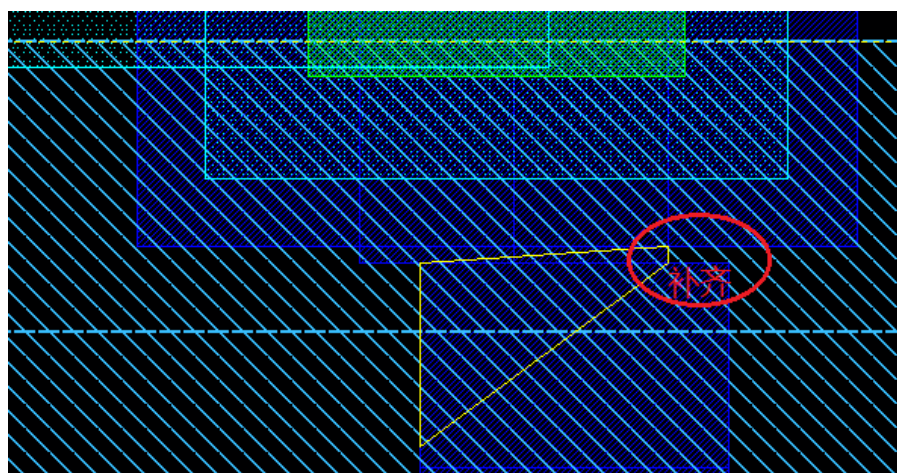
保存版图后 Run DRC; 若修改正确, 则报告的违例个数减少。

Check GT_1 规则: 一种栅层连线违例。

*Minimum width of a GT region for interconnects is 0.18um, 即栅宽不小于 0.18um。



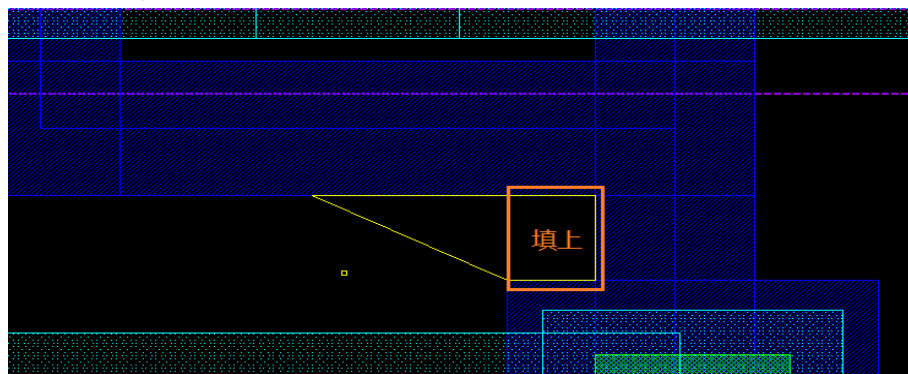
对于上图违例, 需要将上下 2 个 GT (栅) 线段对齐, 消除两线段连接处宽度不到 0.18um 的违例。



对于上图违例, 设置正确的当前层, 用 R 键长方形补齐, 可以有覆盖。

Check GT_4 规则:

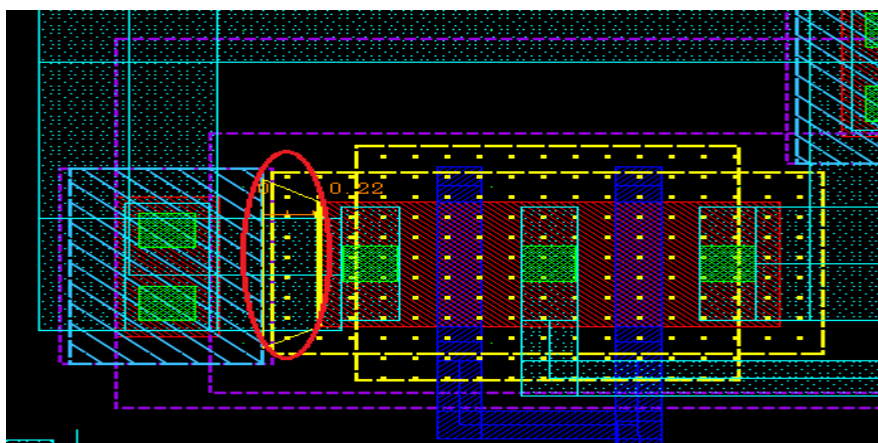
* Minimum space between two GT regions on field oxide area is 0.25um,
即 2 个 GT 间隔不小于 0.25um。



用 R 键补个长方块即可。

Check SN_3 规则:

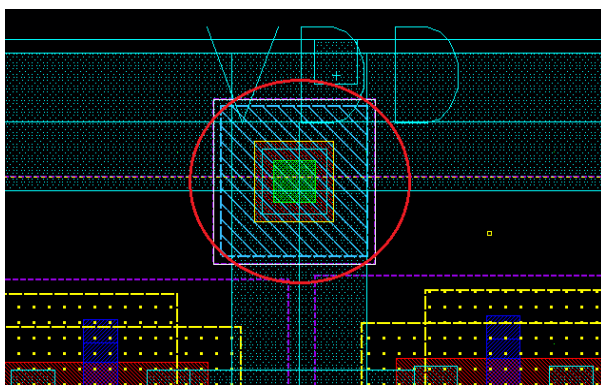
* Minimum space between a SN region and a P+ AA is 0.26um,
即 SN (N 扩散) 区与 PMOS 的 AA 有源区距离不小于 0.26 um。



M 键，选 VIA (M1_NW) 左移，拉大与 PMOS 距离。

Check AA_11 规则:

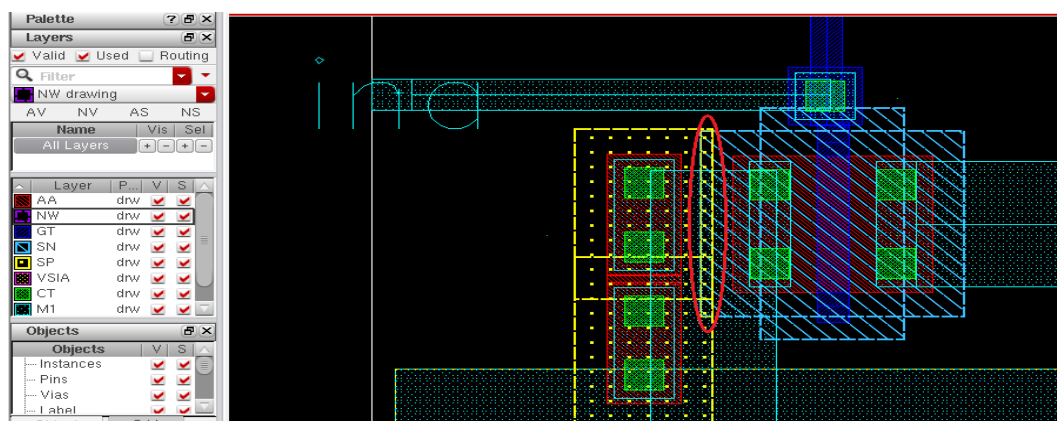
* Minimum area of a stand-alone AA region is 0.20um, 即独立 AA 面积有下限。



用 Q 键将 VIA(M1_NW)属性设置为 Columns=2, 增大 AA 面积, 消除此违例。

Check SN_18&SP_18 规则:

*SN is not allowed to overlap with SP, 即 SN (N+) 与 SP (P+) 有重叠。

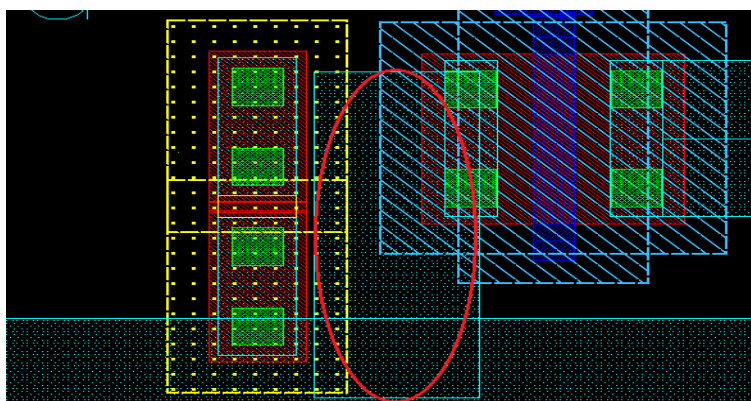


用 M 键移动用于接地的 VIA (M1_SUB), 拉开它们与右边 NMOS 的距离。

注意: 若 2 个垂直摆放的 VIA (M1_SUB) 之间有间隔, 一般需要填实, 即在 AA 层用 R 长方形将 2 个 VIA (M1_SUB) 连接起来。

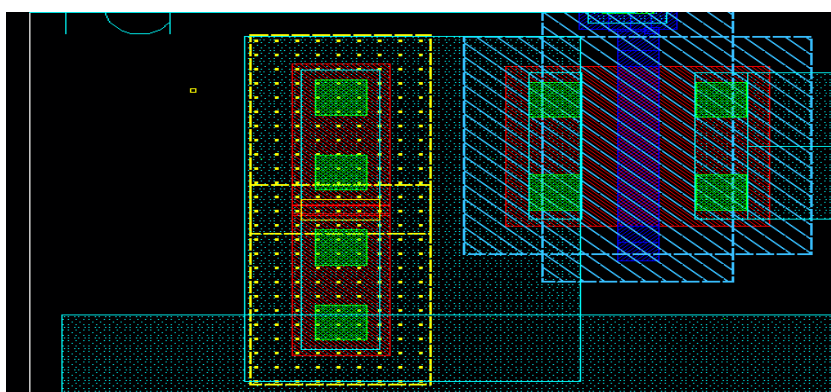
Check M1_2 规则:

*Minimum space between two M1 regions is 0.23um, 即 2 条 M1 线之间需要留空 0.23um。

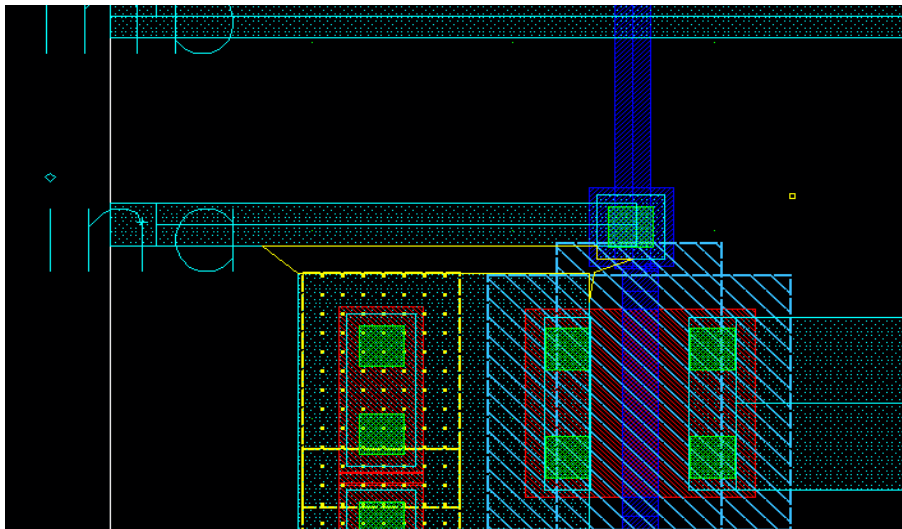


此违例的实际错误是椭圆标记的 M1 长方形没有连接上 VIA (M1_SUB) 的 M1。

在 M1 当前层, 用 S 键拉长上图中椭圆标记的 M1 长方形边沿, 连上或覆盖 VIA (M1_SUB) 和 NMOS 的 S 极, 如下图。

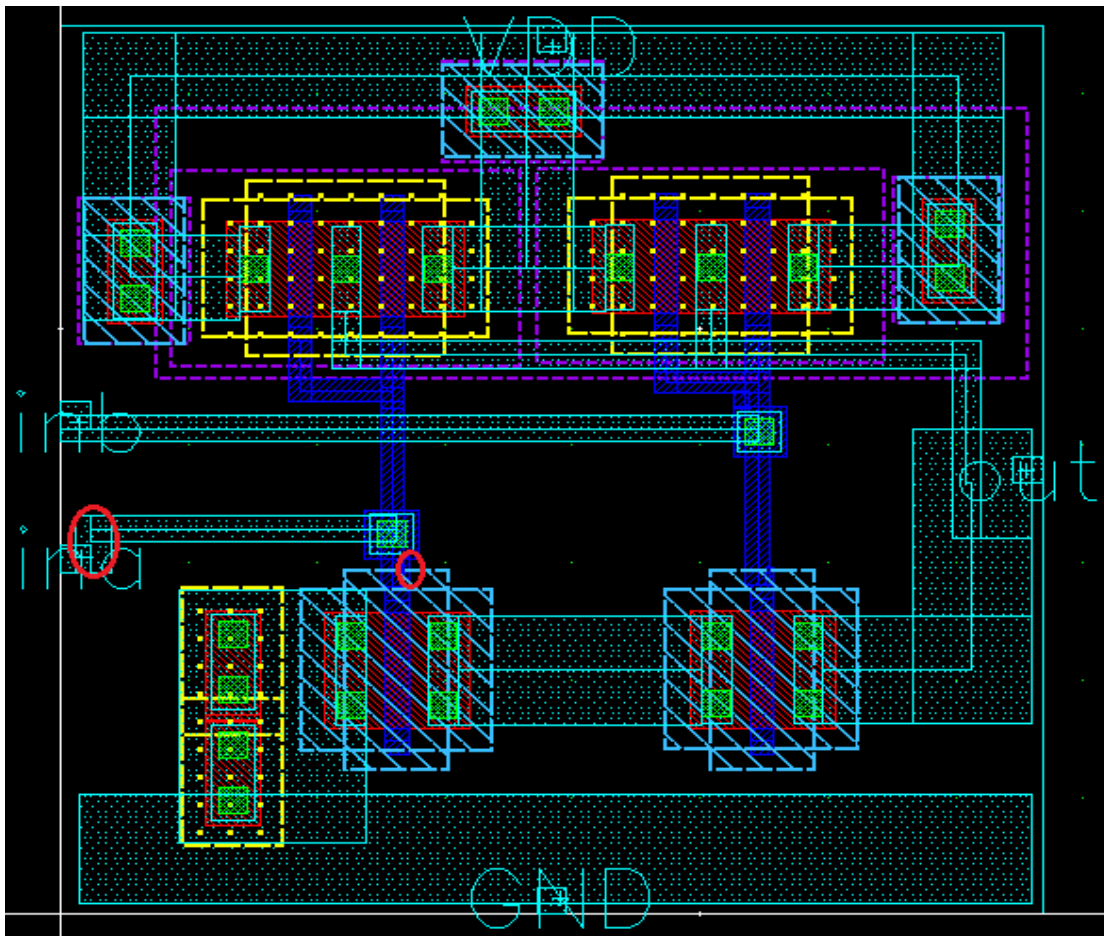


如下 M1_2 违例：



需向上移动 ina PIN 相关的 M1 线段，并使相连的 M1_GT Via 接触孔上移。

下例中，ina PIN 处 M1 线段向上进行了移动，需要补画一个 M1 层长方形，使 ina PIN 与 M1 长线段相连；Via (M1_GT) 接触孔处若有移动，可能也需补 M1 连线。



最后版图仅剩各层密度不符合 DRC 规则。