

第五章 金属-氧化物-半导体场效应晶体管 (MOSFET)

§5.1 MOSFET的结构和工作原理

§5.2 MOSFET的阈值电压

§5.3 MOSFET的直流特性

§5.4 MOSFET的频率特性

§5.5 MOSFET的开关特性

§5.6 MOSFET的功率特性

§5.7 小尺寸MOSFET特性

§5.8 MOSFET的最新研究进展

MOSFET基本知识体系框架



§5.7 小尺寸MOSFET特性

§5.7.1 MOSFET短沟道效应(SCE) 与窄沟道效应(NWE)

1. 阈值电压“卷曲” (V_T roll-off)
2. 窄沟道效应 (NWE)
3. 漏致势垒降低 (DIBL)
4. 亚阈值特性退化
5. 热载流子效应
6. 速度饱和效应 (小尺寸MOSFET的直流特性)

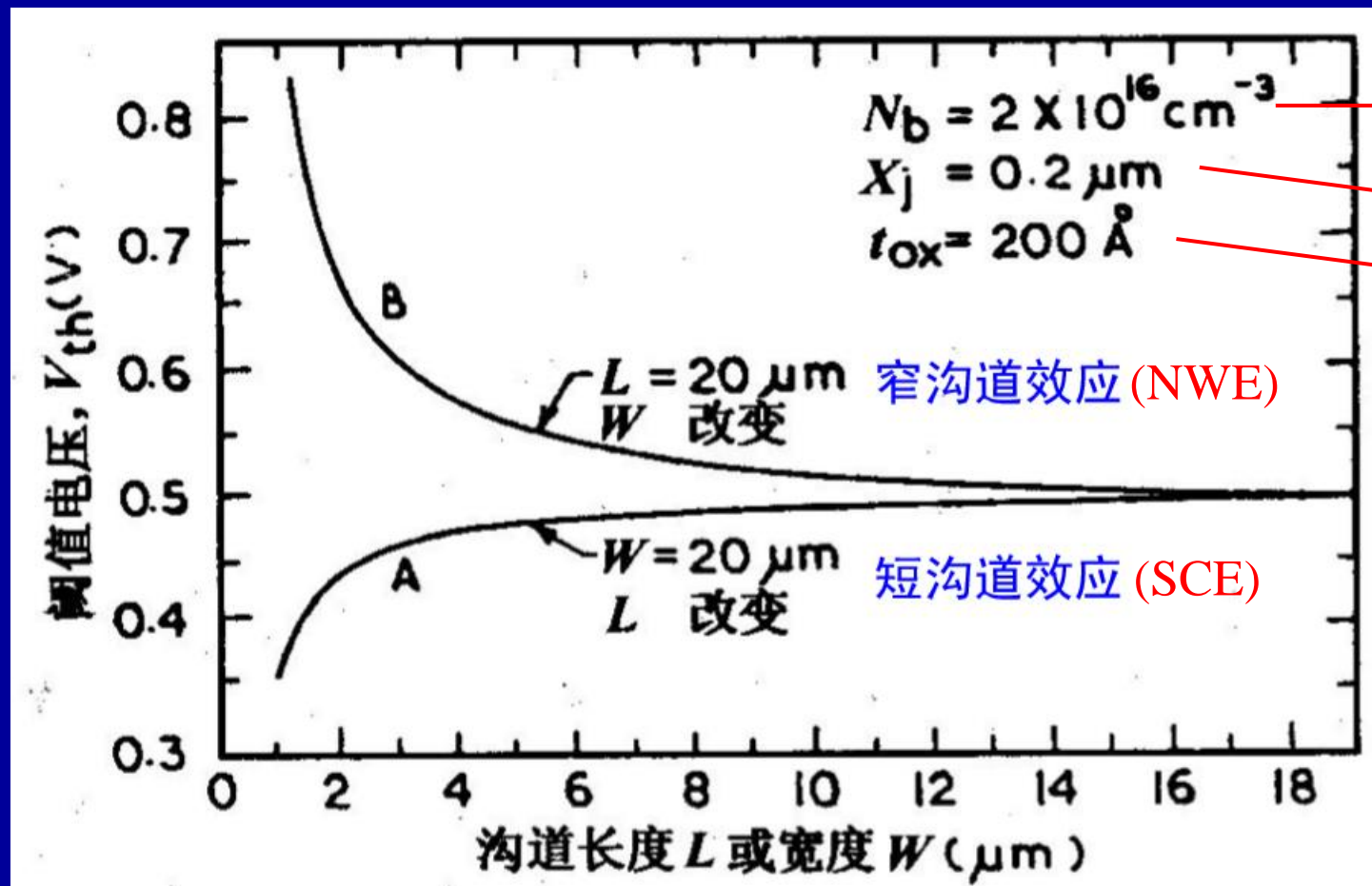
§5.7.1 MOSFET短沟道效应与窄沟道效应

1. 亚阈值电压“卷曲” (V_T roll-off)

(1) 现象

$$V_{Tn} = \phi_{ms} - \frac{Q_{ss}}{C_{ox}} + \frac{qN_A d_{max}}{C_{ox}} + \frac{2k_0 T}{q} \ln\left(\frac{N_A}{n_i}\right)$$

没有与长度相关的参量



衬底浓度

结深(源漏深度)

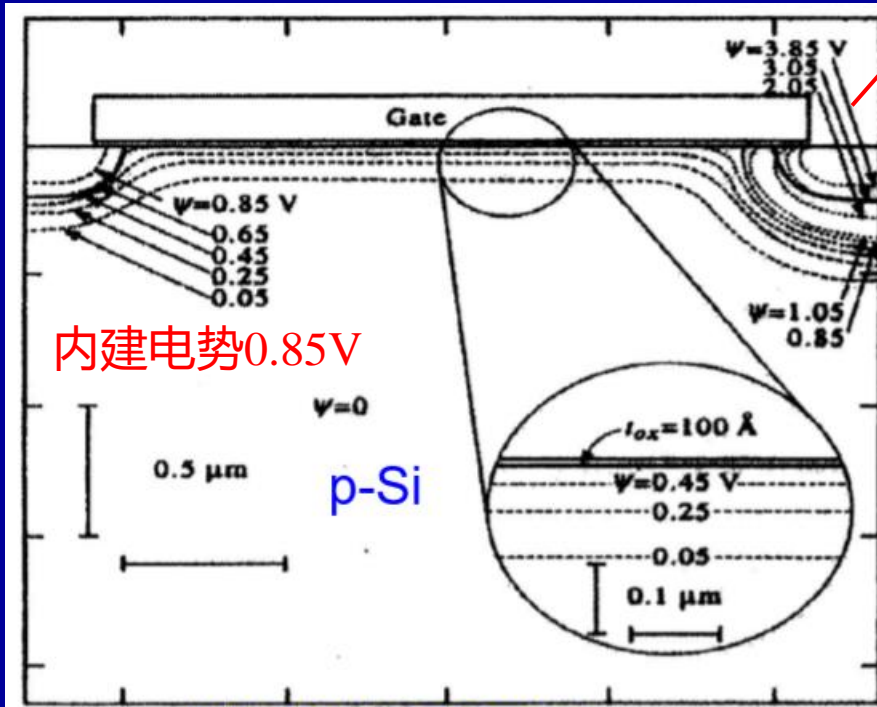
氧化层厚度

随着沟道长度减小, 阈值电压减小 (V_T roll-off)

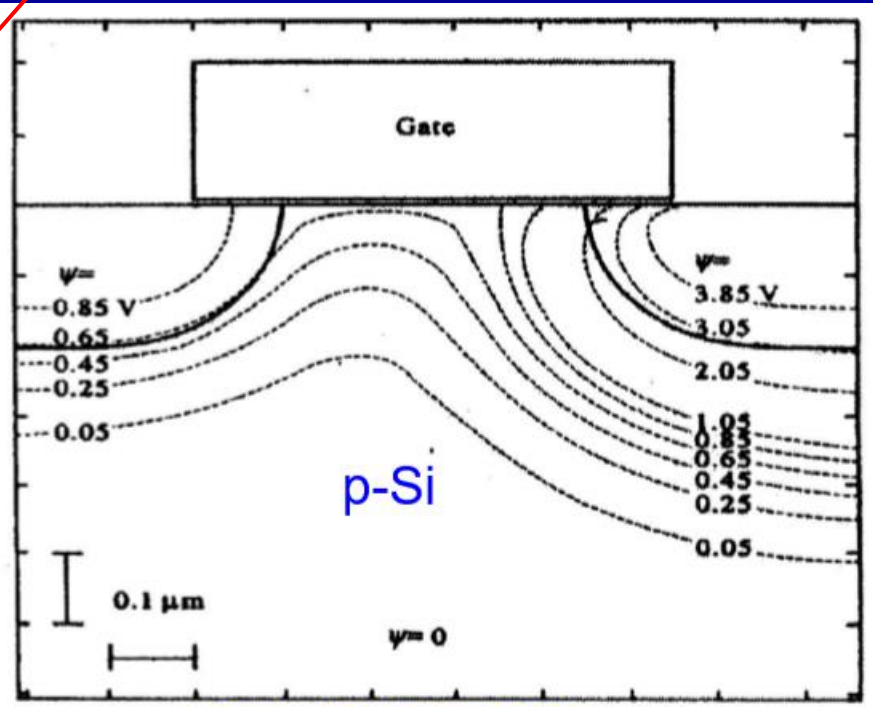
§5.7.1 MOSFET短沟道效应与窄沟道效应

1. 亚阈值电压 “卷曲” (V_T roll-off)

漏端加上一个3V电压后的电势分布



长沟道 MOSFET



短沟道 MOSFET

$$\frac{\partial^2 \phi(x, y)}{\partial x^2} + \frac{\partial^2 \phi(x, y)}{\partial y^2} = -\frac{\rho(x, y)}{\epsilon_s}$$

$$\text{GCA} \quad \frac{\partial^2 \phi(x,y)}{\partial y^2} = 0$$

$$\frac{\partial^2 \phi(x, y)}{\partial x^2} + \frac{\partial^2 \phi(x, y)}{\partial y^2} = -\frac{\rho(x, y)}{\epsilon_s}$$

$$\frac{\partial^2 \phi(x,y)}{\partial y^2} > 0$$

§5.7.1 MOSFET短沟道效应与窄沟道效应

1. 亚阈值电压“卷曲” (V_T roll-off)

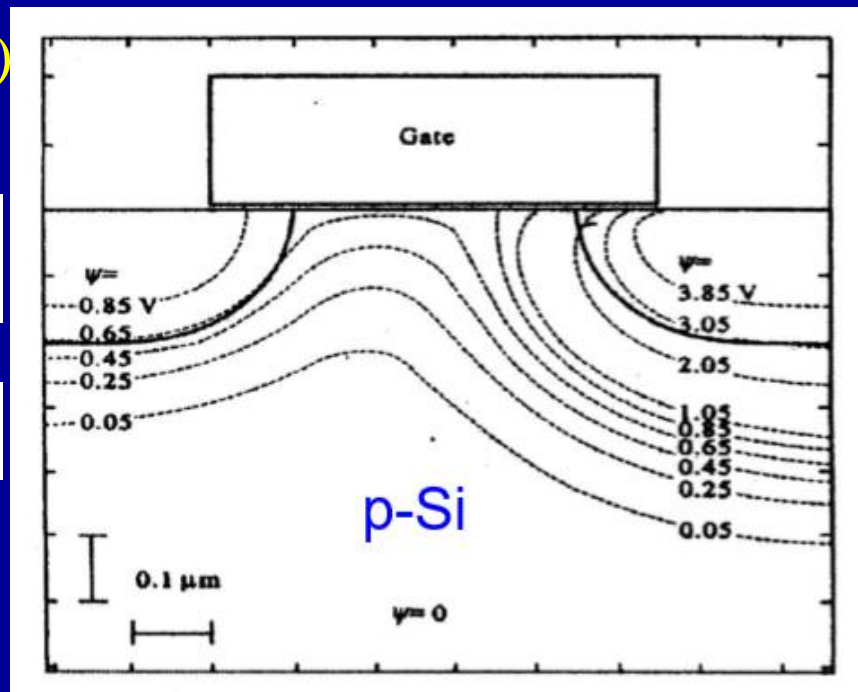
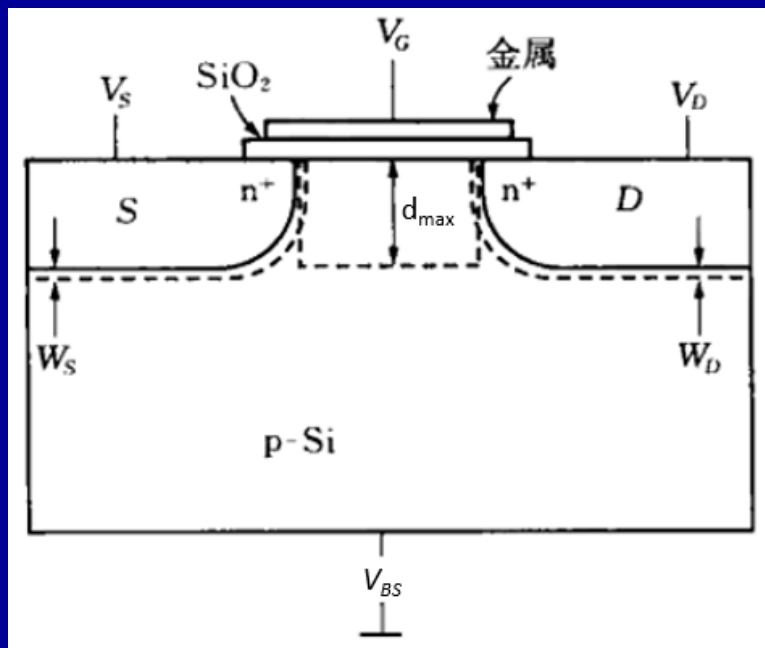
(2) 原因

$$\frac{\partial^2 \phi(x,y)}{\partial x^2} = -\frac{\rho(x,y)}{\epsilon_s} - \frac{\partial^2 \phi(x,y)}{\partial y^2} \equiv -\frac{\rho_{eff}(x,y)}{\epsilon_s}$$

V_T 减小

$$N_{Aeff} < N_A$$

(3) 电荷分享模型 (Poon-Yau模型)



- ◆ 除了由栅压引起的沟道中的耗尽区之外，源漏与衬底之间还有内建空间电荷区；
- ◆ 当沟道长度足够大时，我们可以忽略源漏区域耗尽层宽度与沟道下方耗尽层的重合区域大小，认为沟道区域的耗尽层宽度全部来自栅压。

§5.7.1 MOSFET短沟道效应与窄沟道效应

1. 亚阈值电压 “卷曲” (V_T roll-off)

(3) 电荷分享模型

当沟道长度变短之后，就不能忽略源漏区的耗尽区宽度，计算阈值电压时的耗尽区面积就不再是矩形而变成了梯形，即 Q_B 要变小；

不考虑短沟道效应时的阈值电压公式:

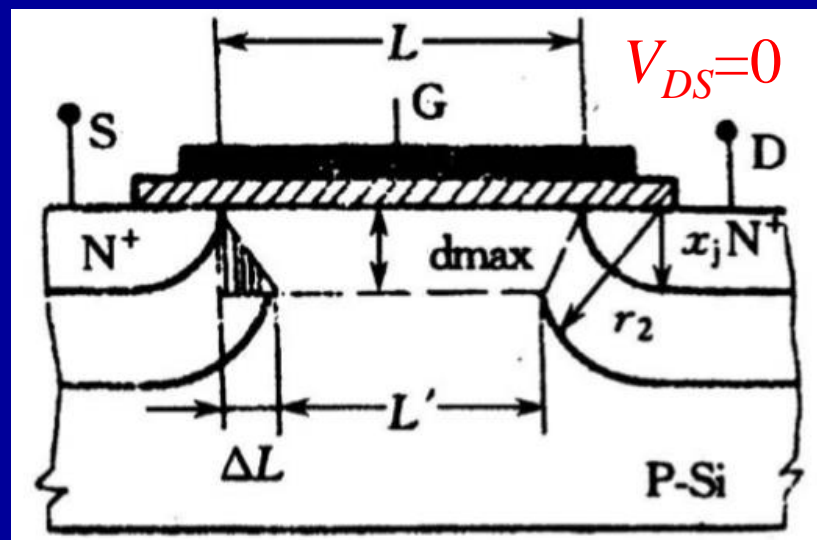
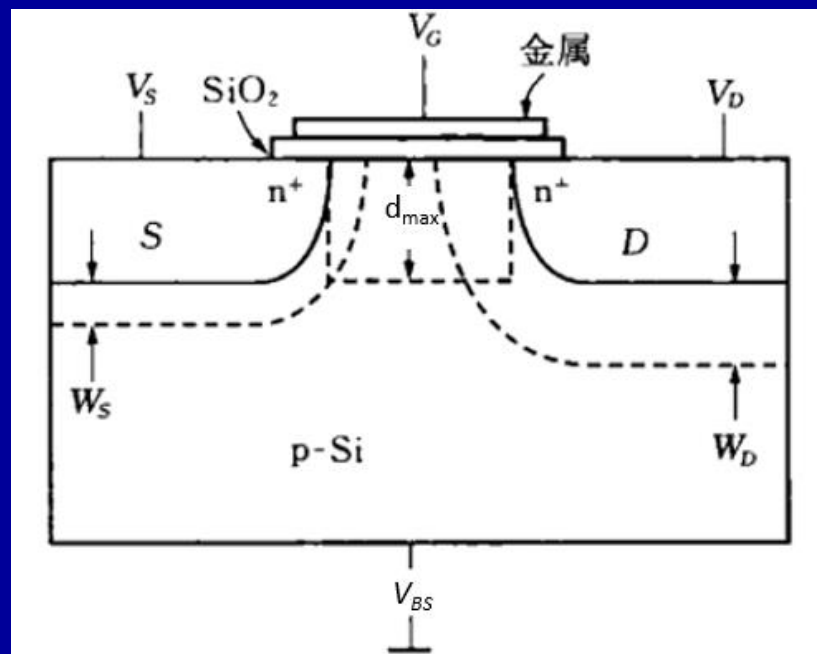
$$V_T = V_{FB} + 2V_B + \frac{Q_B}{C_{ox}} \quad \gamma = \frac{\sqrt{2\varepsilon_{rs}\varepsilon_0 q N_A}}{C_{ox}}$$

$$V_T = V_{FB} + 2V_B + \gamma\sqrt{2V_B + |V_{BS}|}$$

考虑短沟道效应时的阈值电压公式:

$$V_{T'} = V_{FB} + 2V_B + \frac{Q_B'}{C_{ox}}$$

$$V_{T'} = V_{FB} + 2V_B + \frac{Q_B'}{Q_B} \gamma \sqrt{2V_B + |V_{BS}|}$$



§5.7.1 MOSFET短沟道效应与窄沟道效应

1. 亚阈值电压“卷曲” (V_T roll-off)

(3) 电荷分享模型

计算 $\frac{Q_B'}{Q_B}$ (电荷分享因子 F) $V_{DS}=0$

$$\frac{Q_B'}{Q_B} = 1 - \frac{2 \times d_{max} \frac{\Delta L}{2}}{d_{max} L} = 1 - \frac{\Delta L}{L}$$

$$\Delta L = \sqrt{(r_2^2 - d_{max}^2)} - x_j$$

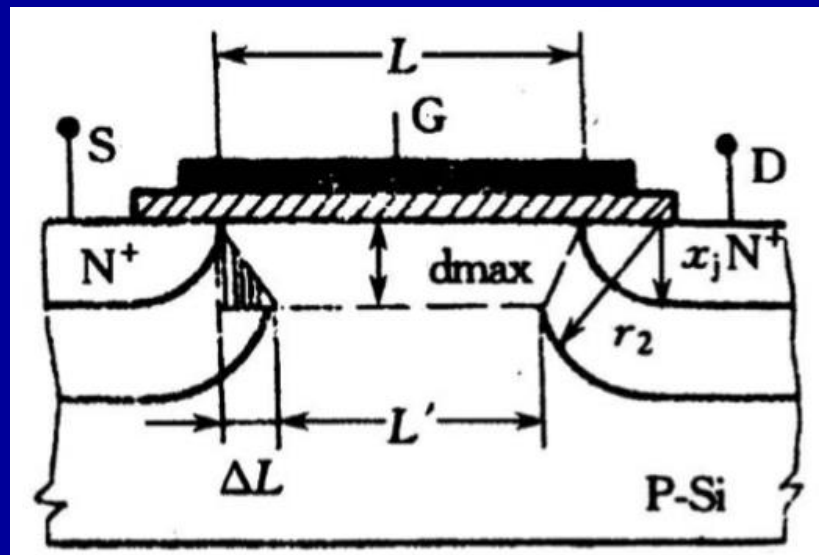
$$\Delta L \approx \sqrt{[(x_j + d_{max})^2 - d_{max}^2]} - x_j$$

$$\Delta L = x_j \left[\left(1 + \frac{2d_{max}}{x_j} \right)^{\frac{1}{2}} - 1 \right]$$

$$\frac{Q_B'}{Q_B} = 1 - \frac{x_j}{L} \left[\left(1 + \frac{2d_{max}}{x_j} \right)^{\frac{1}{2}} - 1 \right]$$

$$V_T' = V_{FB} + 2V_B + \frac{Q_B'}{Q_B} \gamma \sqrt{2V_B + |V_{BS}|}$$

$$V_T' = V_{FB} + 2V_B + \gamma \sqrt{2V_B + |V_{BS}|} \left\{ 1 - \frac{x_j}{L} \left[\left(1 + \frac{2d_{max}}{x_j} \right)^{\frac{1}{2}} - 1 \right] \right\}$$



r_2 : 漏源耗尽区半径; x_j : 漏源区半径; 假设反型电子浓度与源漏相同, 则沟道下方耗尽区宽度与漏源结区耗尽层宽度相同, 所以有 $x_j + d_{max} \approx r_2$

§5.7.1 MOSFET短沟道效应与窄沟道效应

1. 亚阈值电压“卷曲” (V_T roll-off)

(3) 电荷分享模型 $V_{DS}=0$

$$F = \frac{Q_B'}{Q_B} = 1 - \frac{x_j}{L} \left[\left(1 + \frac{2d_{max}}{x_j} \right)^{\frac{1}{2}} - 1 \right]$$

$$F = \frac{Q_B'}{Q_B} \approx 1 - \frac{d_{max}}{L} \quad \frac{d_{max}}{x_j} \text{较小时}$$

$$F = \frac{Q_B'}{Q_B} \equiv 1 - \alpha \frac{d_{max}}{L} \quad \frac{d_{max}}{x_j} \text{较大时}$$

保持两者形式一致，引入经验参数 $\alpha < 1$

$$V_T' = V_{FB} + 2V_B + \gamma \sqrt{2V_B + |V_{BS}|} \left\{ 1 - \frac{x_j}{L} \left[\left(1 + \frac{2d_{max}}{x_j} \right)^{\frac{1}{2}} - 1 \right] \right\}$$

$$V_T = V_{FB} + 2V_B + \gamma \sqrt{2V_B + |V_{BS}|}$$

$$\Delta V_T = |V_T' - V_T| = \gamma \sqrt{2V_B + |V_{BS}|} \frac{x_j}{L} \left[\left(1 + \frac{2d_{max}}{x_j} \right)^{\frac{1}{2}} - 1 \right]$$

$$d_{max} = \sqrt{\frac{2\varepsilon_{rs}\varepsilon_0(2V_B + |V_{BS}|)}{qN_A}}$$

$$\Delta V_T = \alpha \frac{d_{max}}{L} \gamma \sqrt{2V_B + |V_{BS}|} = 2\alpha \frac{\varepsilon_s}{\varepsilon_{ox}} \frac{t_{ox}}{L} (2V_B + |V_{BS}|)$$

$$\gamma = \frac{\sqrt{2\varepsilon_{rs}\varepsilon_0 q N_A}}{C_{ox}}$$

F 小，则 V_T' 小，则 ΔV_T 大

§5.7.1 MOSFET短沟道效应与窄沟道效应

1. 亚阈值电压“卷曲” (V_T roll-off)

(3) 电荷分享模型 $V_{DS}=0$ 讨论不同参数对阈值电压的影响

$$\Delta V_T = \alpha \frac{d_{max}}{L} \gamma \sqrt{2V_B + |V_{BS}|} = 2\alpha \frac{\epsilon_s}{\epsilon_{ox}} \frac{t_{ox}}{L} (2V_B + |V_{BS}|)$$

◆ L 减小, F 减小, ΔV_T 增大

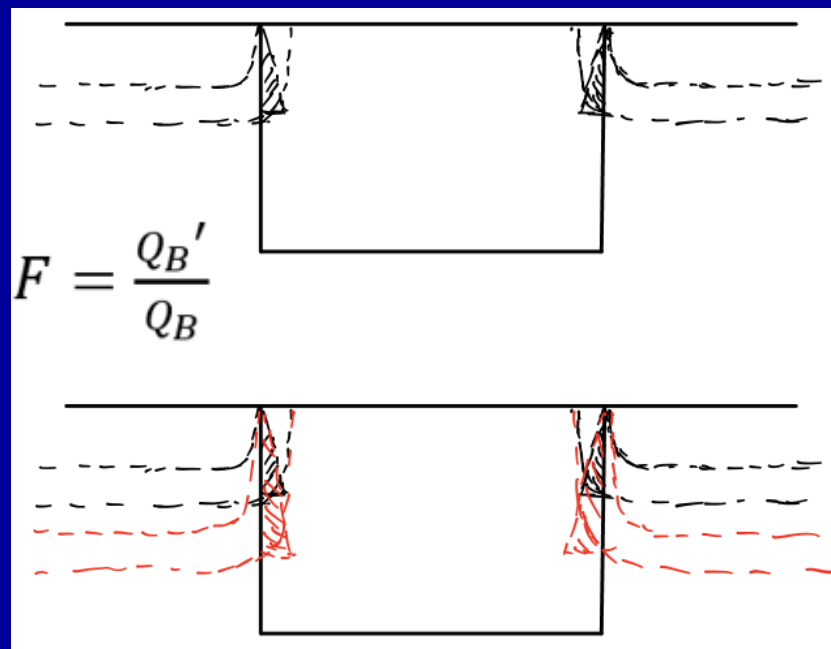
$$F = \frac{Q_B'}{Q_B} \equiv 1 - \alpha \frac{d_{max}}{L}$$

◆ t_{ox} 减小, ΔV_T 减小

◆ N_A 减小, d_{max} 增加, F 减小, ΔV_T 增大

◆ x_j 减小, ΔV_T 减小

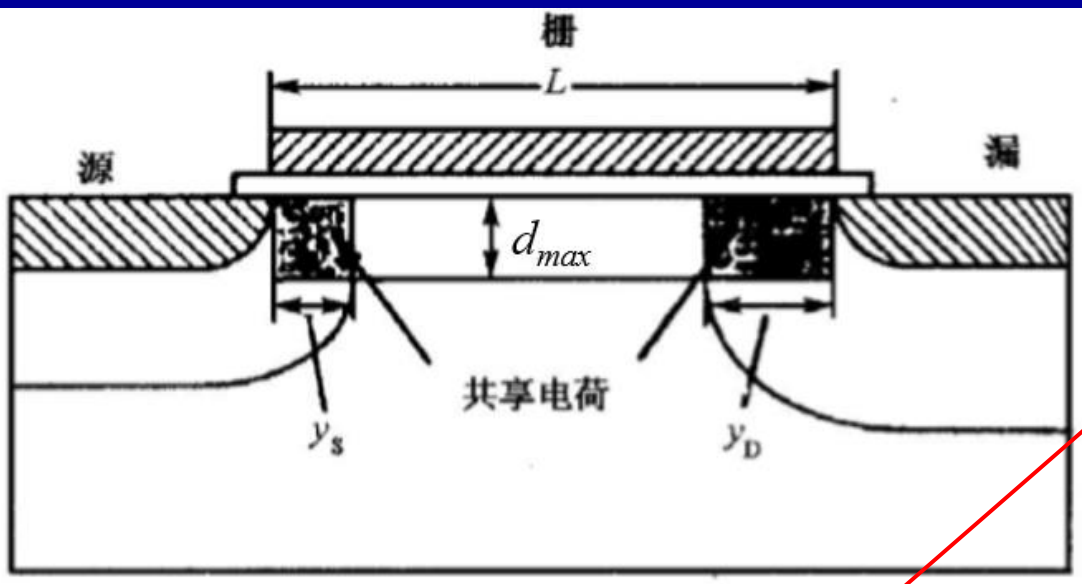
矩形代表反型时沟道下方耗尽区宽度, 小三角形代表漏源结区耗尽区与其重合部分, 从右图可以看出随着结深的增加, 三角形面积增大, 即 F 减小, 则 ΔV_T 增大。



§5.7.1 MOSFET短沟道效应与窄沟道效应

1. 亚阈值电压“卷曲” (V_T roll-off)

(3) 电荷分享模型 $V_{DS} > 0$



y_s : 源区电荷分享区域宽度
 y_D : 漏区电荷分享区域宽度

两个小三角面积: $\frac{y_s + y_D}{2} d_{max}$

反型时耗尽区面积: $L d_{max}$

$$F = \frac{Q'_B}{Q_B} \equiv 1 - \alpha \frac{1}{L} \frac{y_s + y_D}{2}$$

$$\Delta V_T = \frac{\alpha(y_s + y_D) \sqrt{q \epsilon_s N_A (V_B + \frac{1}{2} |V_{BS}|)}}{L C_{ox}}$$

同样的抑制短沟道效应的措施:

- 1° 源漏结深下降
- 2° 衬底浓度上升
- 3° 氧化层厚度下降
- 4° 衬偏效应下降
- 5° 漏源电压下降

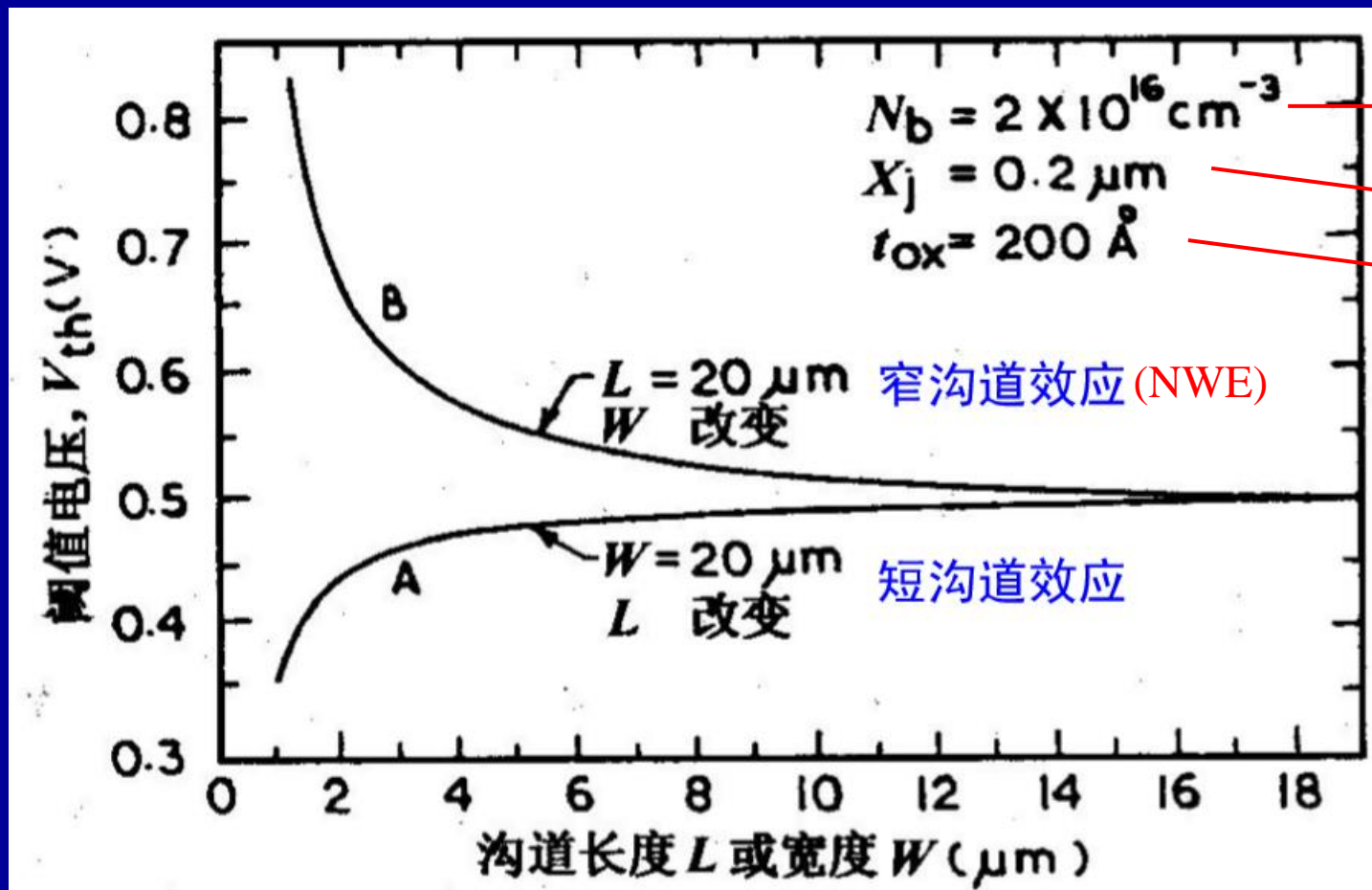
§5.7.1 MOSFET短沟道效应与窄沟道效应

2. 窄沟道效应 (NWE)

(1) 现象

$$V_{Tn} = \phi_{ms} - \frac{Q_{ss}}{C_{ox}} + \frac{qN_A d_{max}}{C_{ox}} + \frac{2k_0 T}{q} \ln\left(\frac{N_A}{n_i}\right)$$

没有与宽度相关的参量



衬底浓度

结深(源漏深度)

氧化层厚度

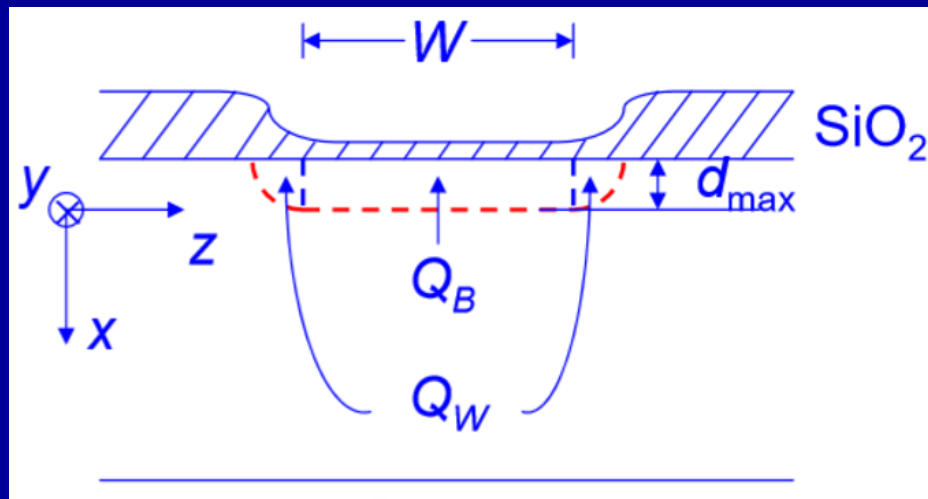
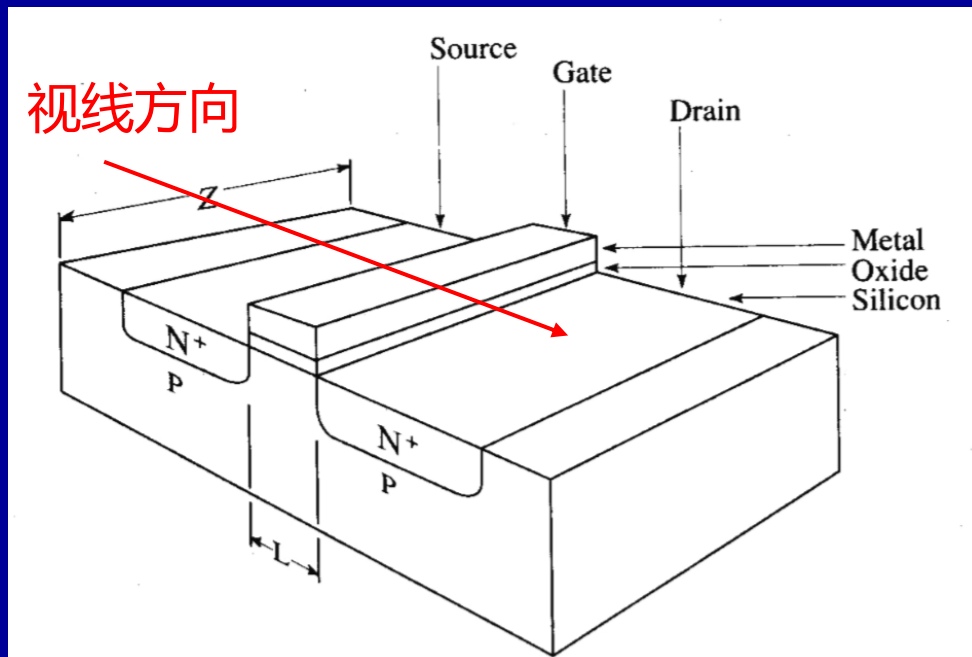
随着沟道宽度变窄, 阈值电压上升

§5.7.1 MOSFET短沟道效应与窄沟道效应

2. 窄沟道效应 (NWE)

(2) 原因

器件与器件之间会用氧化硅隔离，除了在源漏的两端隔离，在栅宽方向也会使用二氧化硅隔离，早期隔离工艺中二氧化硅就长在硅衬底表面，如下图。

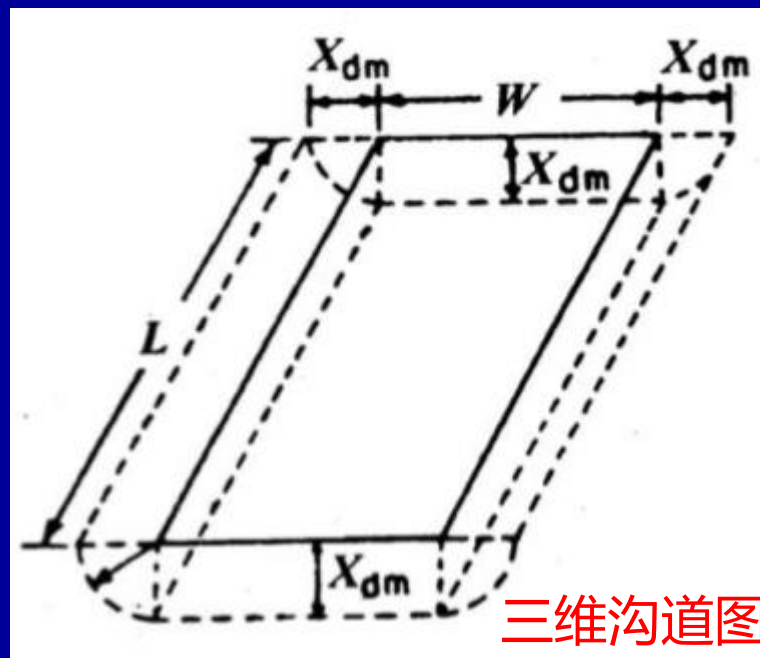
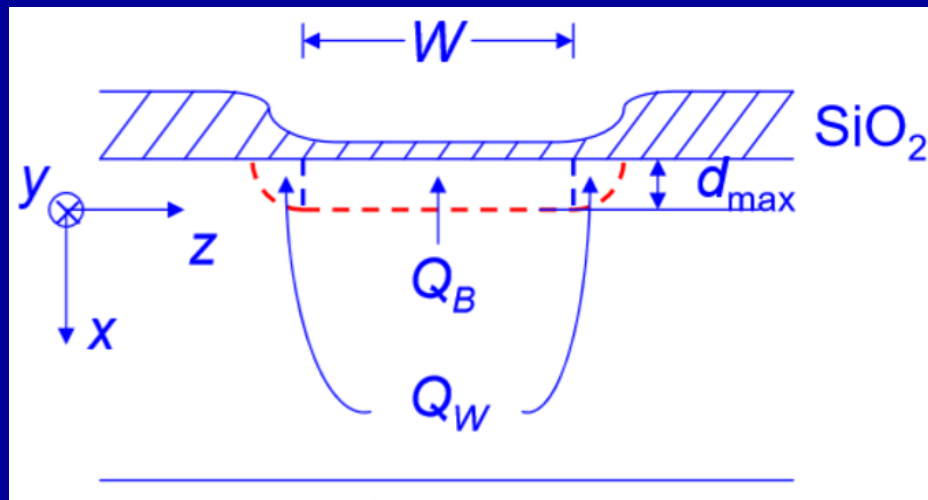


左图中二氧化硅在沟道处较薄，两侧较厚，这样形状的二氧化硅在形成沟道时，其耗尽区形状不是矩形，在矩形两侧还有两个“1/4圆”大小的耗尽区。

§5.7.1 MOSFET短沟道效应与窄沟道效应

2. 窄沟道效应 (NWE)

(2) 原因



三维沟道图

$$V_{T,宽沟} = V_{FB} + 2V_B + \gamma \sqrt{2V_B + |V_{BS}|}$$

$$\gamma = \frac{\sqrt{2\epsilon_{rs}\epsilon_0 q N_A}}{C_{ox}}$$

$$V_{T,窄沟} = V_{FB} + 2V_B + \gamma \sqrt{2V_B + |V_{BS}|} + \frac{Q_W}{C_{ox}}$$

在宽沟阈值电压的基础上，加上多出来的耗尽区宽度所需的电压

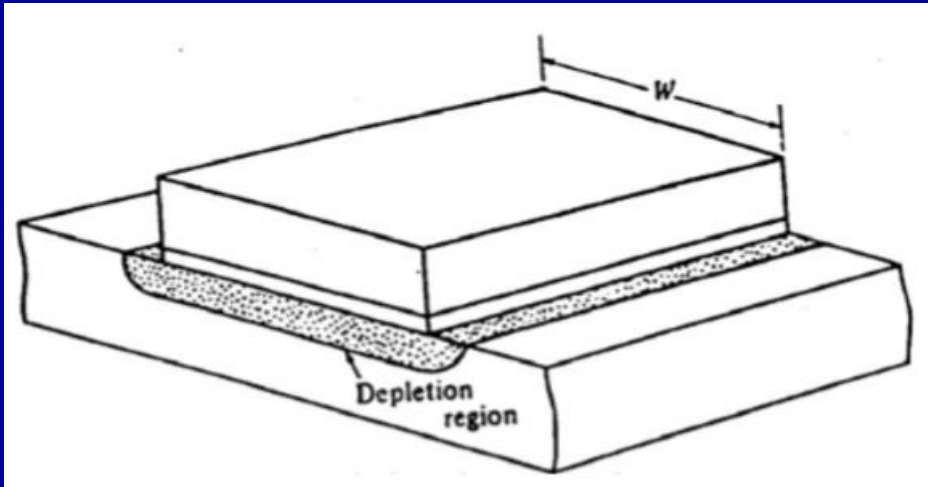
$$\frac{Q_W}{Q_B} = \frac{\frac{1}{2}\pi d_{max}^2}{W d_{max}} = \frac{\pi}{2} \frac{d_{max}}{W}$$

→ W 足够大时 Q_W 可以忽略

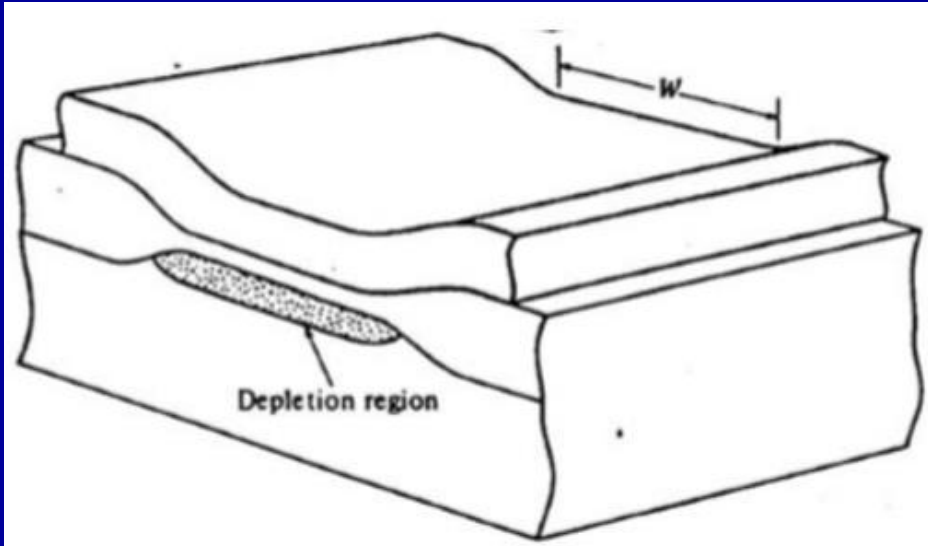
§5.7.1 MOSFET短沟道效应与窄沟道效应

2. 窄沟道效应 (NWE)

(3) 三种氧化物隔离结构的NWE



早期工艺，器件隔离氧化层在硅衬底之上，窄沟道效应明显（图中隔离氧化层未画出）。

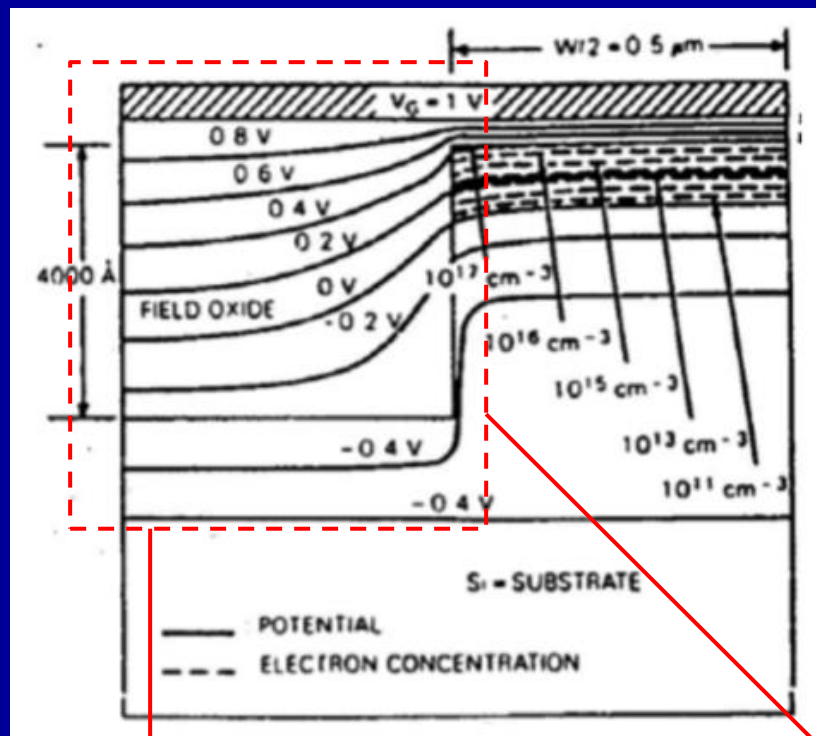


后期人们发现窄沟道效应后，采用**LOCOS** (Local Oxidation of Silicon) 工艺，使二氧化硅向下延展一部分，减小一部分多出来的耗尽区，以此来抑制**部分**窄沟道效应。

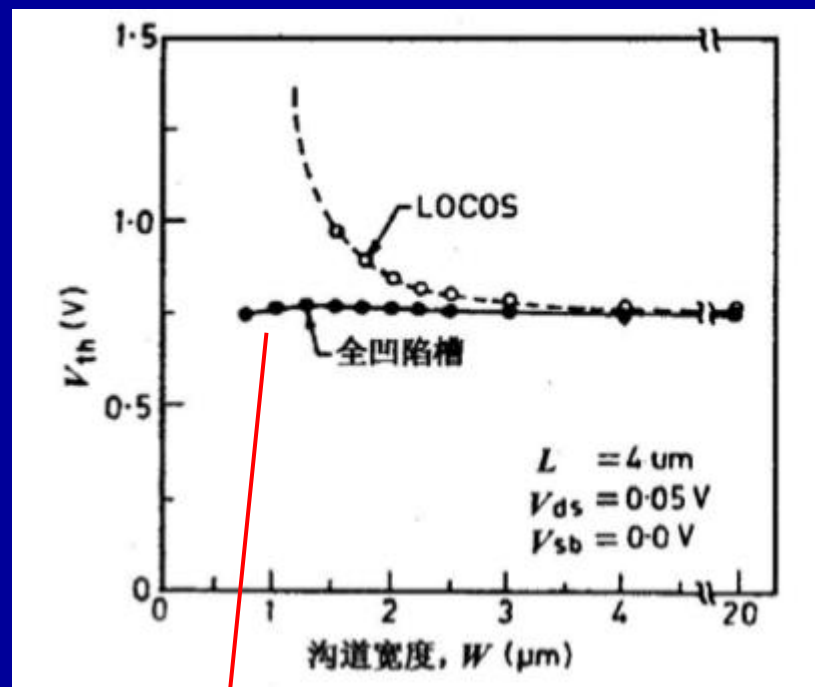
§5.7.1 MOSFET短沟道效应与窄沟道效应

2. 窄沟道效应 (NWE)

(3) 三种氧化物隔离结构的NWE



STI (shallow trench isolation) 工艺，先向下垂直刻蚀出一定深度的凹槽，然后利用CVD技术长出氧化层隔离器件。



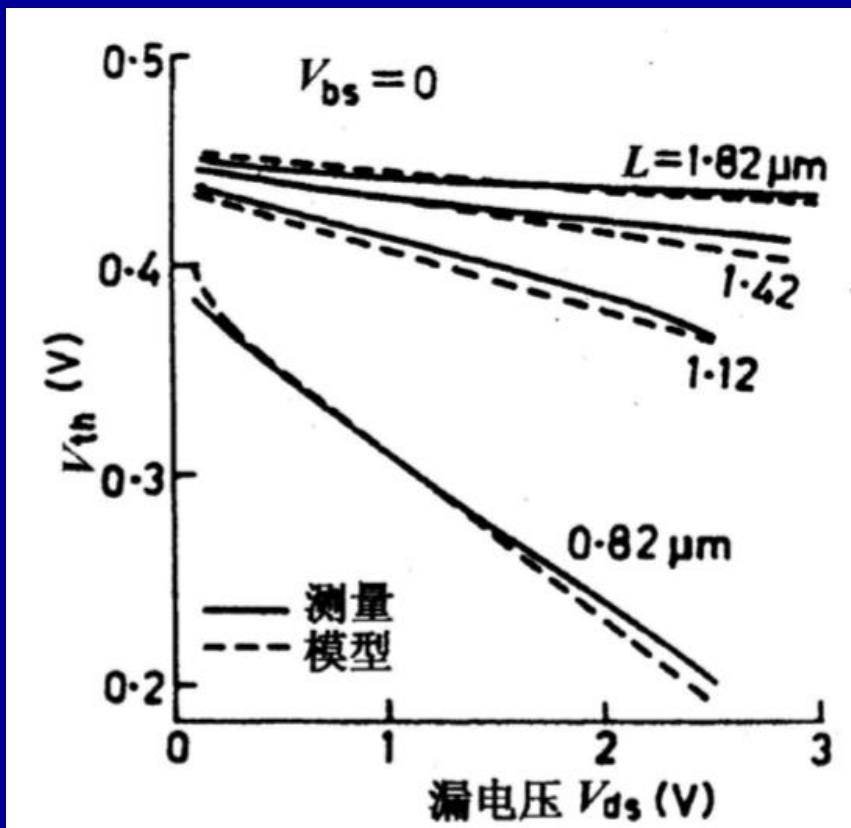
反窄沟道效应：当沟道宽度小到一定程度后，阈值电压甚至出现了下降的趋势。

从图中可以看到同一水平面在氧化层中的电势高于沟道中的电势，有一个向右的电场，可以在一定程度上起到辅助形成反型层的作用，所以阈值电压会有下降趋势。

§5.7.1 MOSFET短沟道效应与窄沟道效应

3. 漏致势垒降低 (Drain Induced Barrier Lowering, DIBL)

(1) **现象**: 随着器件尺寸的缩小, 沟道长度缩短, 当漏电压上升时, 沟道下面的耗尽层厚度不再是常数, 而是从源到漏逐渐增大, 所以耗尽层中部分电荷实际上会受漏端电压影响, 由电荷分享易知, 共享电荷越多, 阈值电压越低, 这称为**漏致势垒降低效应**。



另一种解释: 正像它的名字一样, 当施加在漏上的电压增大时, 沟道中的电势会增大, 对于电子而言, 电势越高, 电势能越低, 也就是**沟道势垒**越低, 电子越容易通过沟道, 导致源漏电流增加, 这种现象称为漏致势垒降低。

随着漏电压增加, **短沟道器件阈值电压下降明显**, 长沟道器件基本不变。

$$V_T(V_{DS}) = V_T(0) - \sigma V_{DS}$$

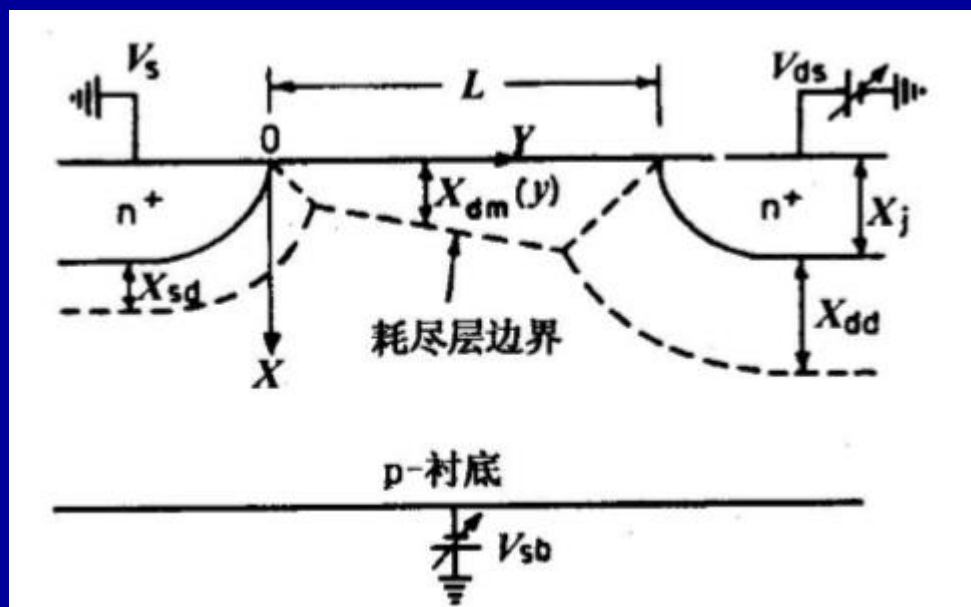
↓
DIBL因子

§5.7.1 MOSFET短沟道效应与窄沟道效应

3. 漏致势垒降低 (DIBL)

(2) 原因

电荷分享角度理解



$$F = \frac{Q'_B}{Q_B} \equiv 1 - \alpha \frac{1}{L} \frac{y_S + y_D}{2}$$

$$y_S = \sqrt{\frac{2\epsilon_s}{qN_A} (V_{bi} + |V_{BS}|)}$$
$$y_D = \sqrt{\frac{2\epsilon_s}{qN_A} (V_{bi} + V_{DS} + |V_{BS}|)}$$

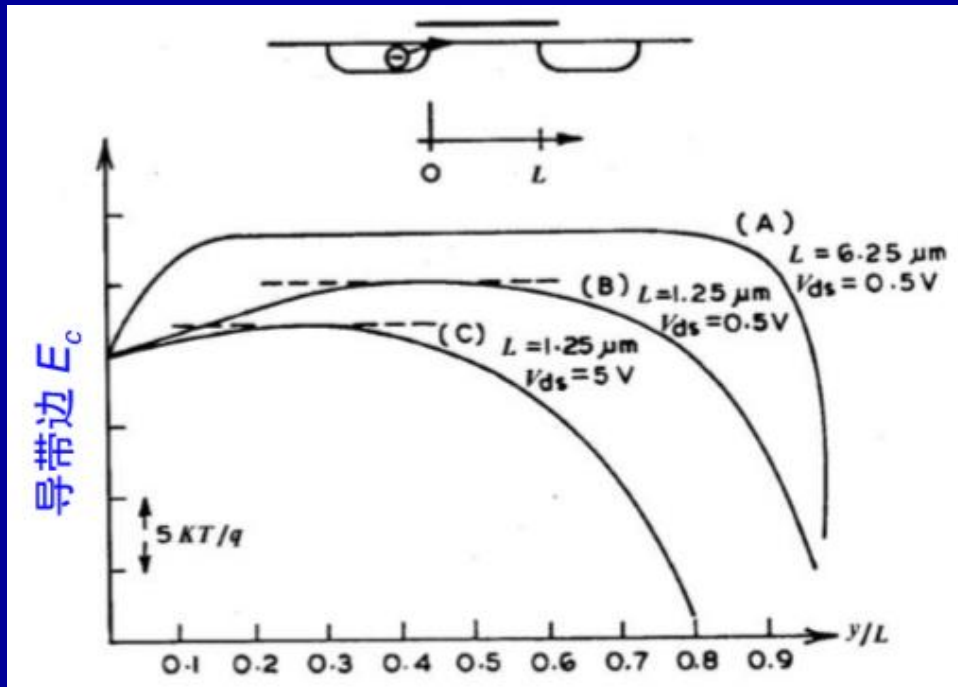
$$\Delta V_T = \frac{\alpha(y_S + y_D) \sqrt{q\epsilon_s N_A (V_B + \frac{1}{2}|V_{BS}|)}}{LC_{ox}}$$

§5.7.1 MOSFET短沟道效应与窄沟道效应

3. 漏致势垒降低 (DIBL)

(2) 原因

能带角度理解



随着沟道长度的缩短，在 V_{DS} 的影响下，沟道区的导带会向下弯曲，沟道越短，弯曲越显著，直观的体现就是 I_{DS} 会增加。

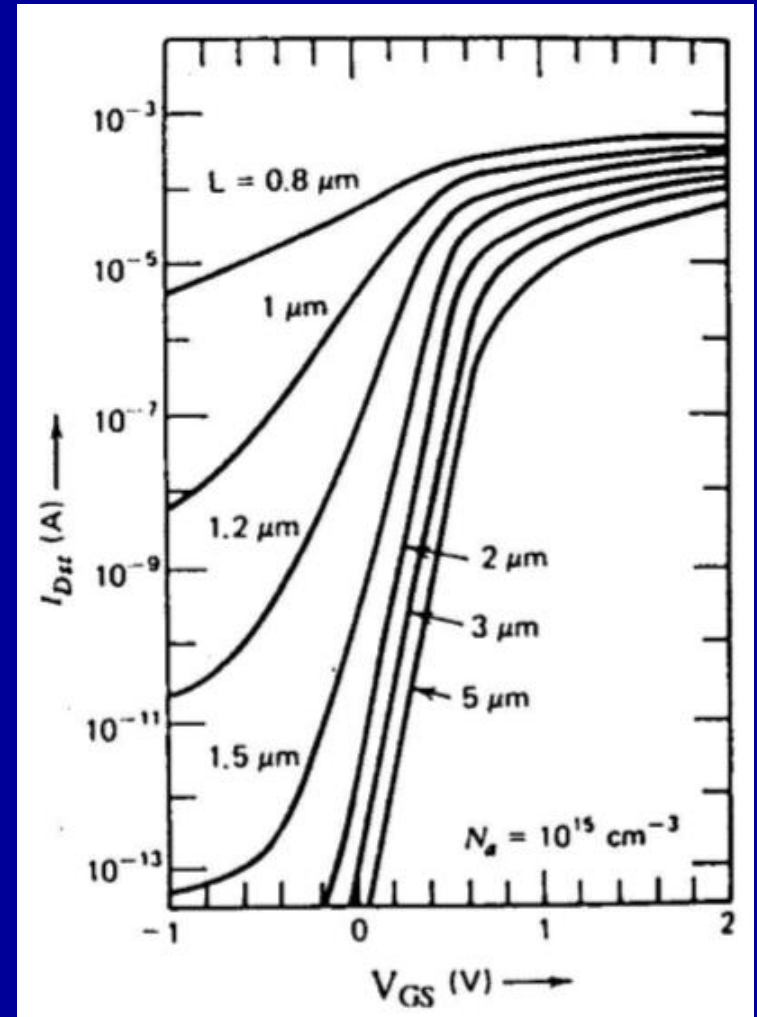
§5.7.1 MOSFET短沟道效应与窄沟道效应

4. 短沟道MOSFET的亚阈值特性

(1) 现象

长沟道	短沟道
$I_{DSst} \propto 1/L$	$I_{DSst} > 1/L$
I_{DSst} 与 V_{DS} 无关	$V_{DS} \uparrow \quad I_{DSst} \uparrow$
S 与 L 无关	$L \downarrow \quad S \uparrow$

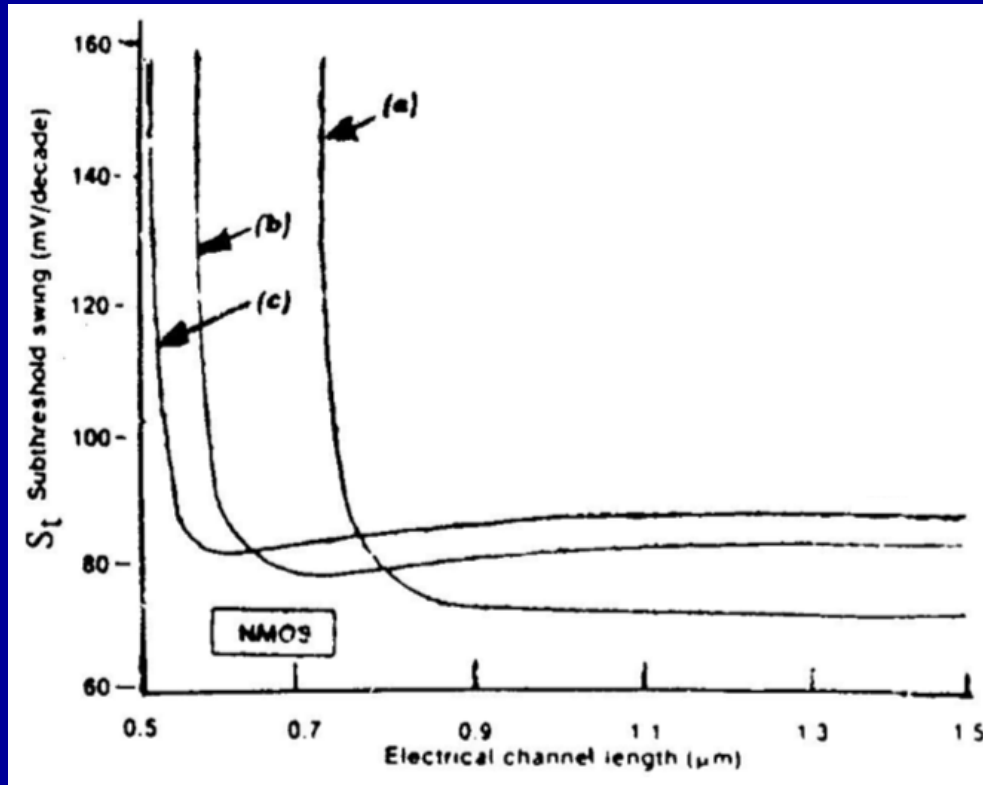
随着沟道缩短，亚阈值区的亚阈值电流增加，说明器件漏电增加；同时亚阈值摆幅也急剧增大；此时器件开关特性变差。



§5.7.1 MOSFET短沟道效应与窄沟道效应

4. 短沟道MOSFET的亚阈值特性

(1) 现象



随着沟道变短，无论衬底浓度是多少，亚阈值摆幅最终都会上升，并且上升幅度非常大。

图中曲线浓度高低如何判断？

三条曲线表示不同的衬底浓度

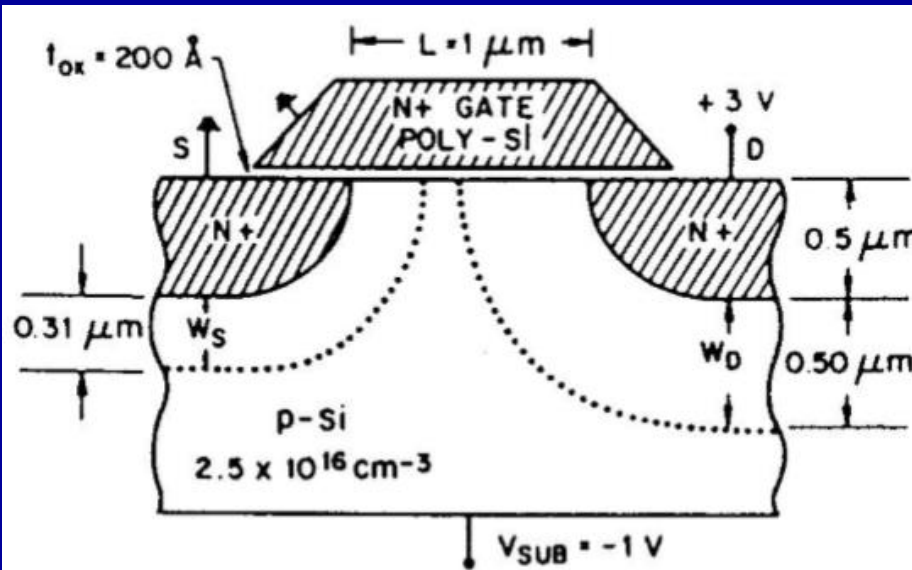
§5.7.1 MOSFET短沟道效应与窄沟道效应

4. 短沟道MOSFET的亚阈值特性

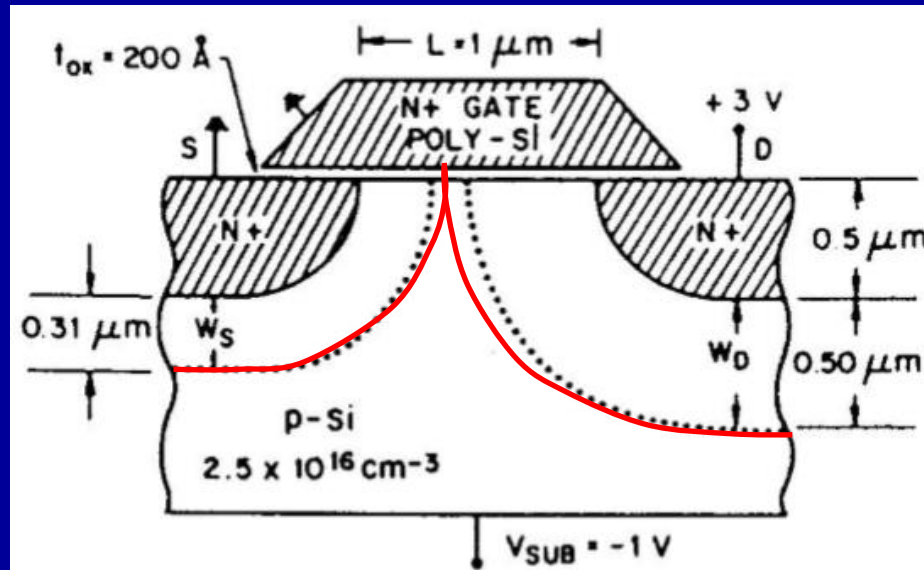
(2) 原因 亚表面穿通 (Sub-surface punch-through)

$$I_{DSst,短沟} = I_{DSst(扩散)} + I_{PT}$$

在MOS管开启以前，源漏之间的漏电流应该很小，但是短沟道情况下却很大，原因是存在穿通电流 I_{PT} 。



均匀掺杂衬底



均匀掺杂衬底

衬底均匀掺杂时，随着沟道变短，在漏电压增加时，沟道区域源漏耗尽区接触在了一起，出现穿通电流。

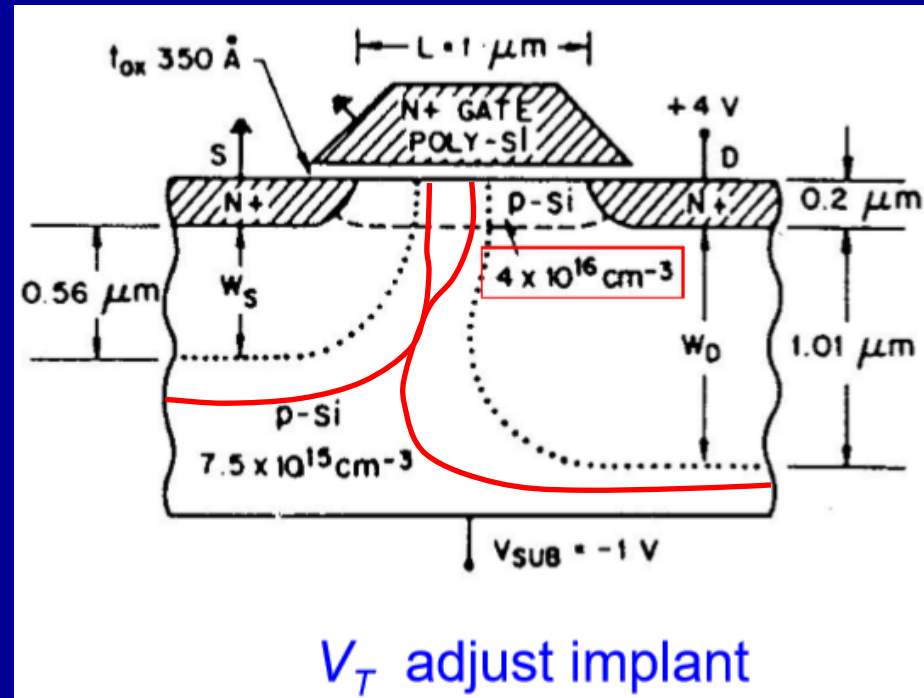
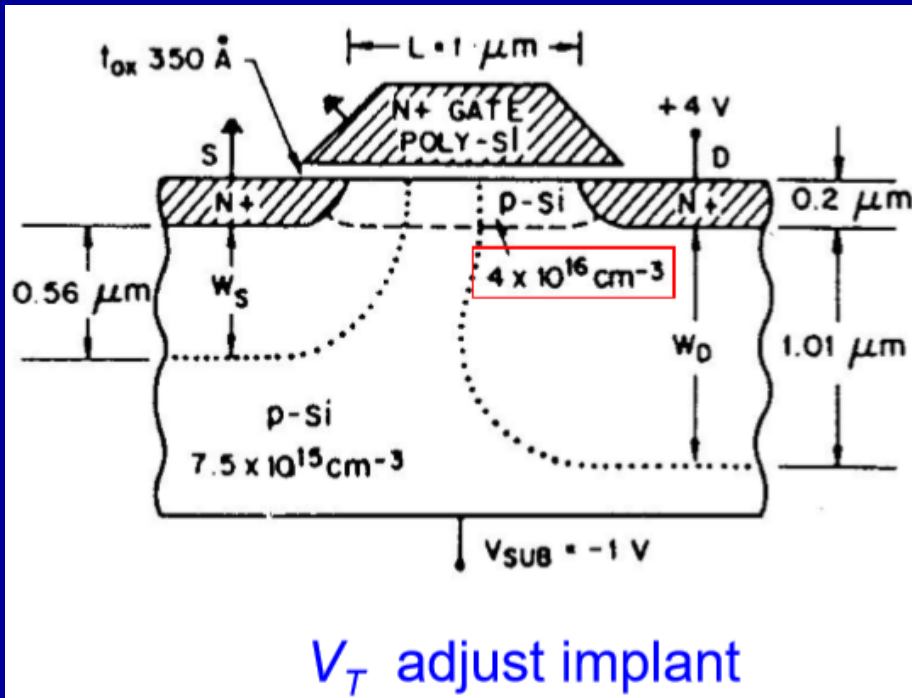
§5.7.1 MOSFET短沟道效应与窄沟道效应

4. 短沟道MOSFET的亚阈值特性

(2) 原因 亚表面穿通 (Sub-surface punch-through)

$$I_{DSst,短沟} = I_{DSst(扩散)} + I_{PT}$$

在MOS管开启以前，源漏之间的漏电流应该很小，但是短沟道情况下却很大，原因是存在穿通电流 I_{PT} 。



采用离子注入调节阈值电压时，随着沟道变短，在漏电压增加时，在衬底区耗尽区先接触在一起，出现穿通电流。

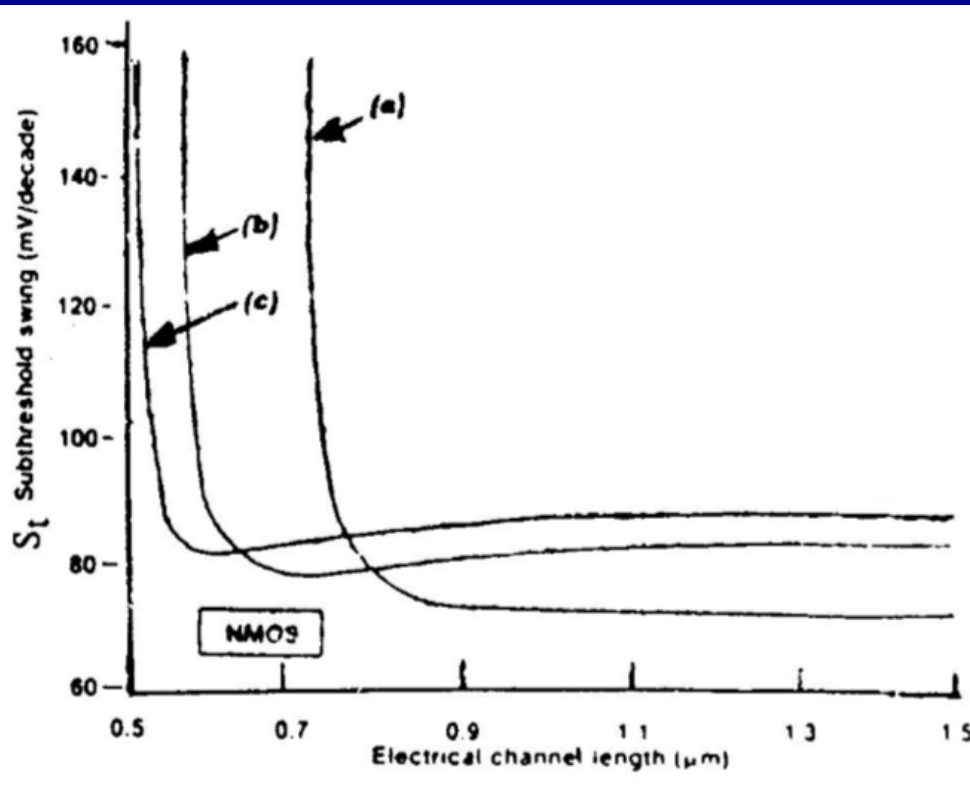
§5.7.1 MOSFET短沟道效应与窄沟道效应

4. 短沟道MOSFET的亚阈值特性

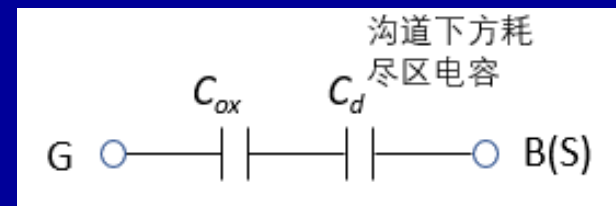
图中曲线浓度如何判断？

① 从**拐点**出发，衬底浓度低，容易穿通，亚阈值摆幅上升拐点出现早，所以浓度大小是 $a < b < c$ 。

② 从**亚阈值摆幅大小**出发，亚阈值摆幅指 I_{DS} 变化一个数量级时栅压的变化量；用另一种说法就是栅压的变化能对沟道电流起多大作用，栅压落在半导体上的多，则自然对沟道电流影响大，亚阈值摆幅就小。栅压在半导体上的分量可以从电容角度来考虑，衬底浓度越小，耗尽区宽度越大， C_d 就越小，所以分压就越大，亚阈值摆幅就越小，即 $a < b < c$ 。



三条曲线表示不同的衬底浓度



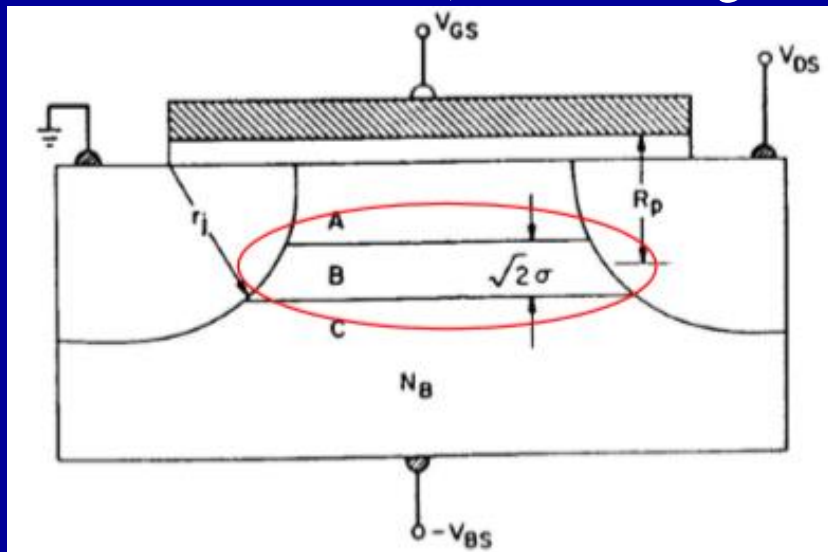
§5.7.1 MOSFET短沟道效应与窄沟道效应

4. 短沟道MOSFET的亚阈值特性

(3) 抑制亚表面穿通的措施

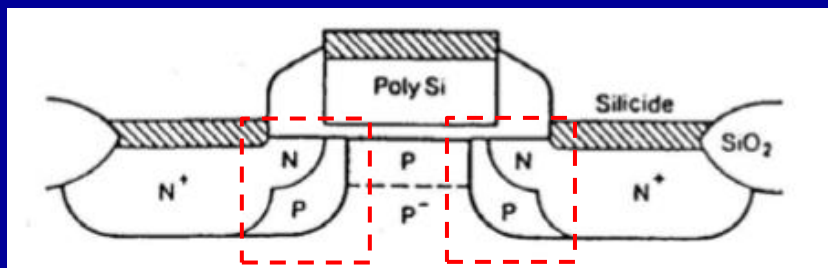
1° 选择合适的衬底浓度

2° 抗穿通离子注入 (Punch-through stopper implant, PTI)



以NMOS为例，在沟道下一定深度的位置注入一层**高浓度**的受主杂质(P型)，抑制体内的穿通；若是深度控制不当，太浅会导致阈值电压上升，太深会导致抑制效果不够明显。

3° 晕注入 (Halo implant)



在源漏两侧靠衬底一端注入一层**较高浓度**的受主杂质(P型)，抑制整体的耗尽区宽度；若浓度太高，在相同漏电压下源漏耗尽区宽度会下降较多，电场强度上升，器件抗击穿能力会下降。

§5.7.1 MOSFET短沟道效应与窄沟道效应

5. 热载流子效应

(1) 定义

当电子在大于 10^4V/cm 的电场下运动时，它从电场获得的能量大于散射过程中与晶格原子碰撞损失的能量，因而电子的温度将会超过晶格温度，这样的电子就称为**热电子**。

- ◆ 热电子有足够的能量克服Si-SiO₂势垒，注入SiO₂栅介质；进入SiO₂的电子有两种走向：一是**被散射回沟道**，或者是**进入栅极形成栅电流**；二是**陷在氧化层内**，引起附加的界面态。
- ◆ 沟道电子从源端运动到漏端的过程中，**碰撞电离产生空穴**，形成**衬底电流**。

上述影响无论是哪一种，当影响足够大时都会使**电路工作受阻**，严重时**失效**。

§5.7.1 MOSFET短沟道效应与窄沟道效应

5. 热载流子效应

(2) 热载流子效应抑制

短沟道时沟道中最大电场强度公式(近似)

$$E_{ymax} = \frac{(V_{DS} - V_{DSsat})}{0.22 t_{ox}^{\frac{1}{3}} x_j^{\frac{1}{3}}}$$

降低 E_{ymax} 的措施:

- ① 增加氧化层 t_{ox} 厚度, 增加漏源结深 x_j ;
- ② 降低 V_{DS} ;
- ③ 采用新型漏结构。

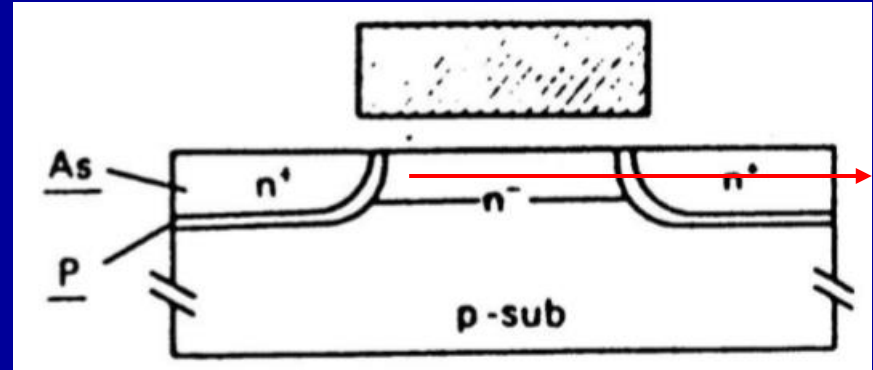
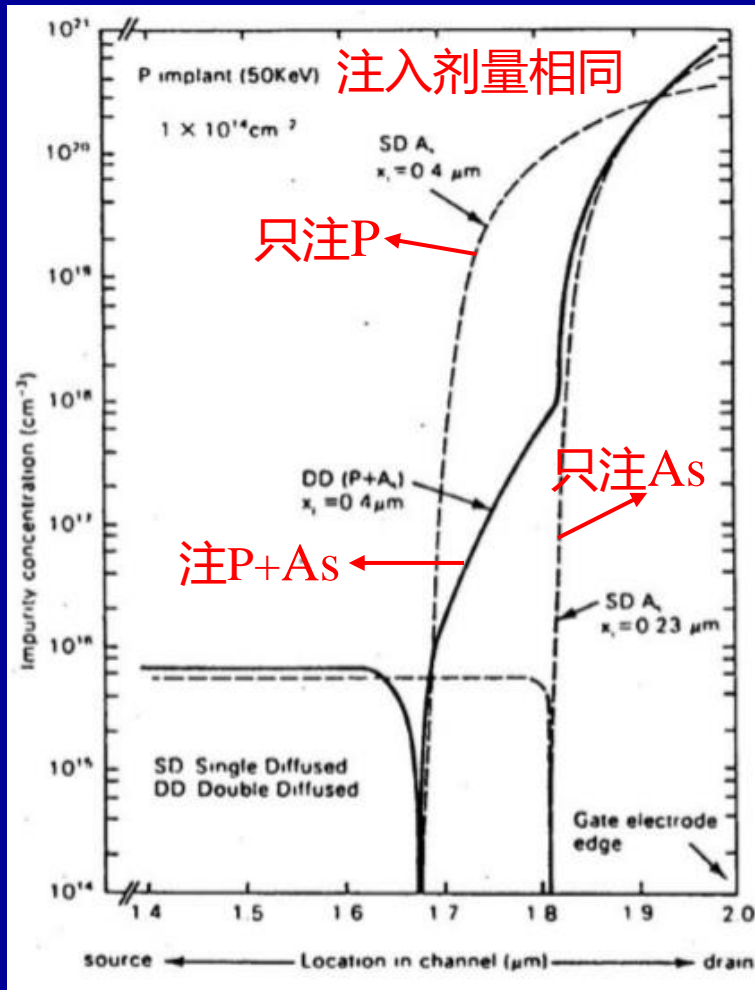
前两种方式在实际工作中很难改变, 因此一般采用第三种。

§5.7.1 MOSFET短沟道效应与窄沟道效应

5. 热载流子效应

(3) 新型漏结构

1° 双扩散漏 (DDD)



磷(P)扩散比砷(As)快

左图即为红线区域离子浓度分布图

离子注入后有退火激活工艺，离子会发生扩散：

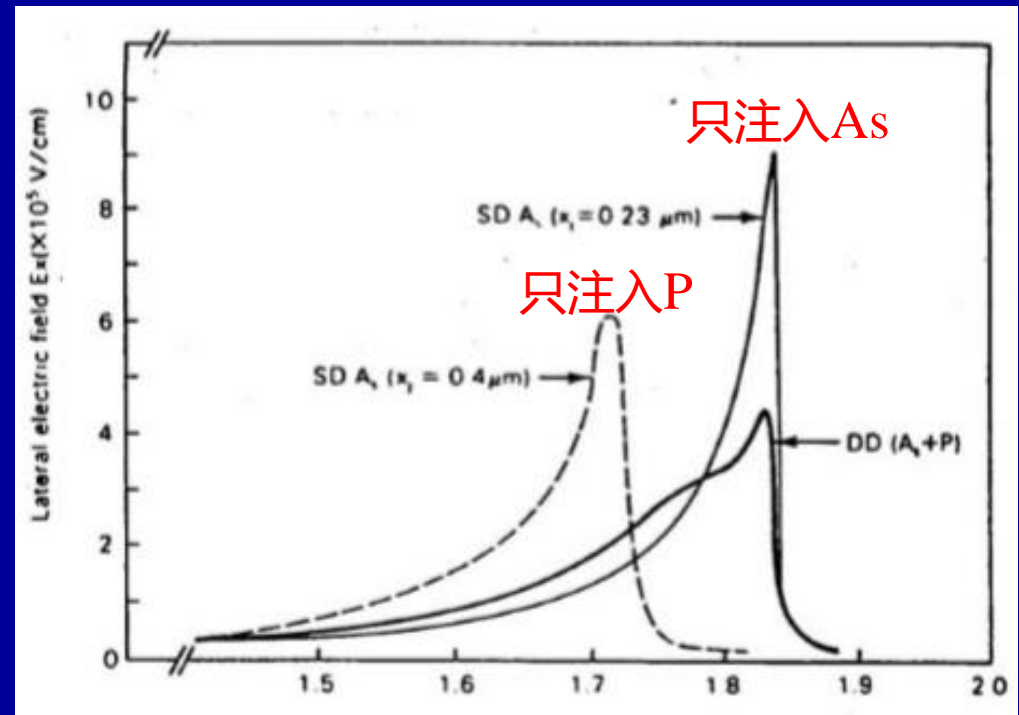
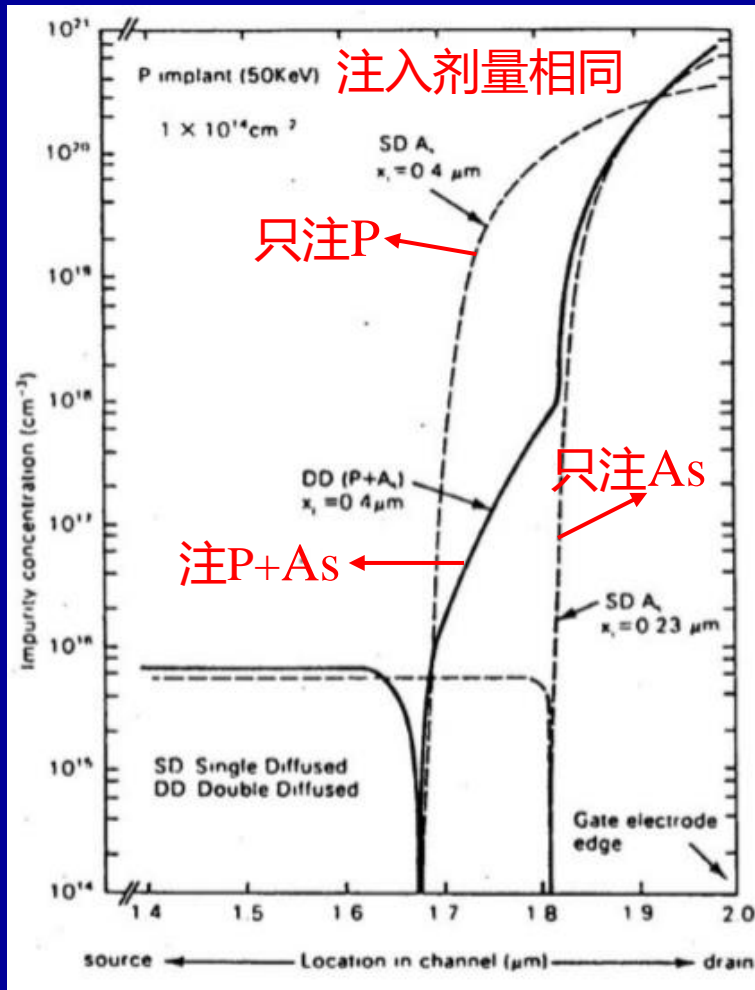
- ◆ 只注入P，结深 $0.4\mu\text{m}$ ；
- ◆ 只注入As，结深 $0.23\mu\text{m}$ ；
- ◆ 注入P和As，最大结深 $0.4\mu\text{m}$ （此处主要是P），但是浓度最大处在 $0.23\mu\text{m}$ （此处P和AS）。

§5.7.1 MOSFET短沟道效应与窄沟道效应

5. 热载流子效应

(3) 热载流子效应抑制

1° 双扩散漏 (DDD)



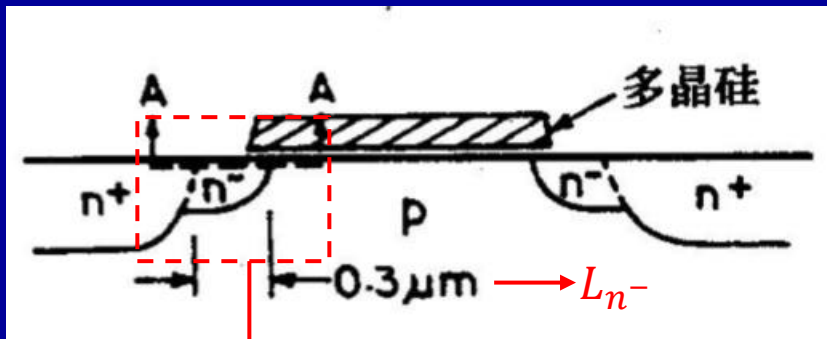
只注入As时电场强度峰值最大，注入P时略有降低，双注入时，峰值电场最小。（三者面积一样大，表面处于同一电压大小下）

§5.7.1 MOSFET短沟道效应与窄沟道效应

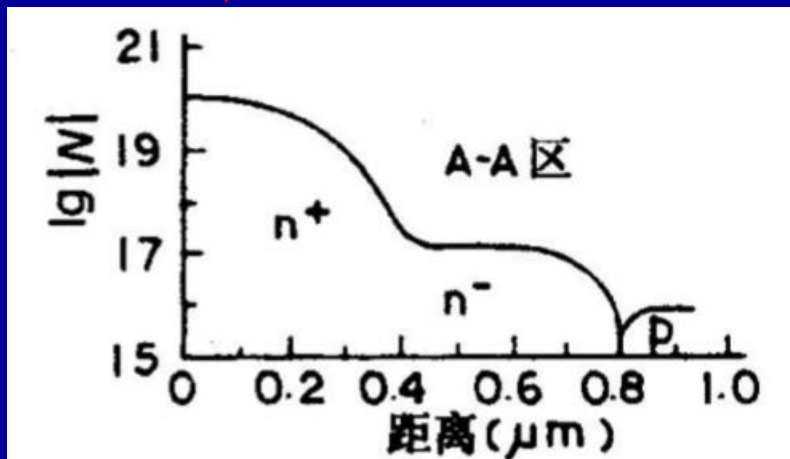
5. 热载流子效应

(3) 热载流子效应抑制

2° 轻掺杂漏结构(LDD)



重掺杂n⁺区旁边有一
轻掺杂n⁻区



红框区域离子浓度分布

§5.7.1 MOSFET短沟道效应与窄沟道效应

5. 热载流子效应

(3) 热载流子效应抑制

2° 轻掺杂漏结构 (LDD)

LDD掺杂结构峰值电场小于常规结构

普通结构峰值电场大小:

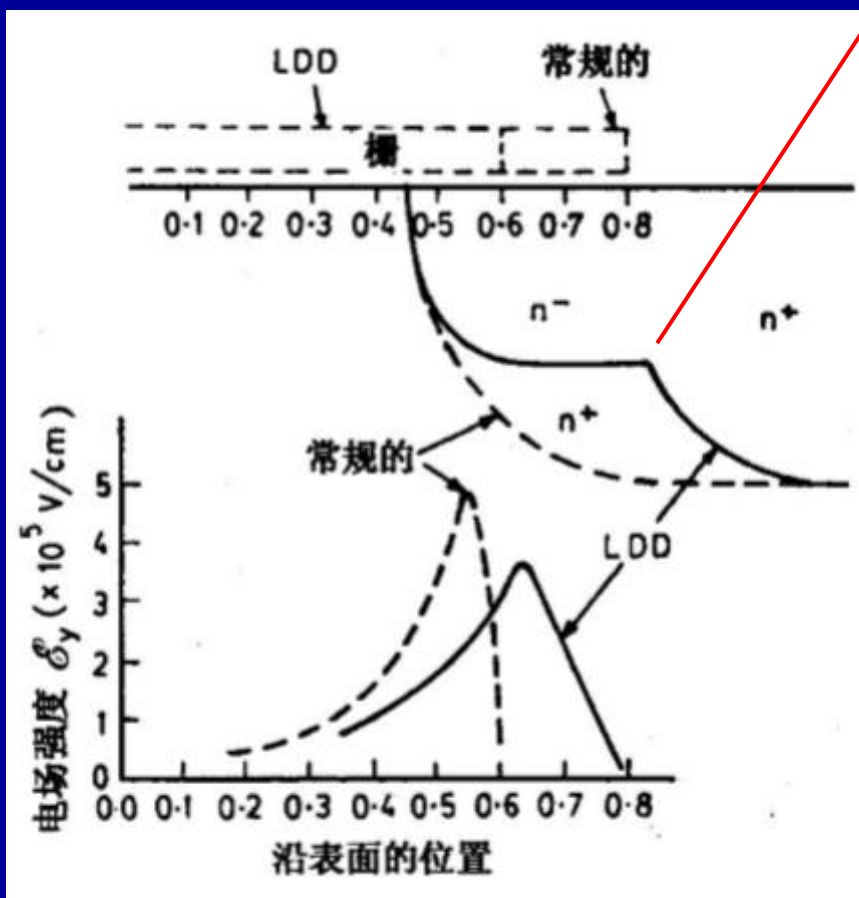
$$E_{ymax} = \frac{(V_{DS} - V_{DSsat})}{0.22t_{ox}^{\frac{1}{3}}x_j^{\frac{1}{3}}}$$

LDD峰值电场大小:

$$E_{ymax} \approx \frac{(V_{DS} - V_{DSsat} - E_{ymax}L_{n-})}{0.22t_{ox}^{\frac{1}{3}}x_j^{\frac{1}{3}}}$$

$$E_{ymax} \approx \frac{(V_{DS} - V_{DSsat})}{0.22t_{ox}^{\frac{1}{3}}x_j^{\frac{1}{3}} + L_{n-}}$$

L_{n-} : 轻掺杂区域宽度



§5.7.2 小尺寸MOSFET的直流特性

载流子速度饱和效应

低电场下，载流子的漂移速度为 μE ；在电场 E 逐渐增强时，载流子的动能也会逐渐增大，当载流子的能量超过光学声子的能量时，就会向晶格中释放光学声子，载流子的速度也会有所丢失。可见由于光学声子的作用，载流子的动能和漂移速度都不可能超过某个特定的数值，载流子的这个有限的漂移速度称为**饱和漂移速度**。

$$v(E_y) = \begin{cases} \mu_{eff} \frac{E_y}{1 + \frac{E_y}{E_{sat}}} & E_y < E_{sat} \\ v_{sat} \equiv \frac{\mu_{eff} E_{sat}}{2} & E_y \geq E_{sat} \end{cases}$$

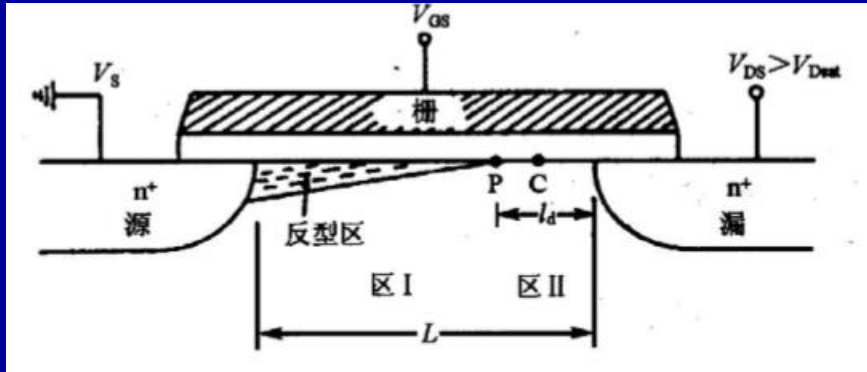
考虑**迁移率不是一个常数时**，MOSFET的输出特性和简单模型推导出来的不一样，必须**对迁移率修正**(速度未饱和时)。

$$I_{DS} = \frac{\mu_{eff}}{1 + \frac{V_{DS}}{LE_{sat}}} C_{ox} \frac{W}{L} [(V_{GS} - V_T)V_{DS} - \frac{1}{2}V_{DS}^2]$$

短沟道情况下速度饱和效应容易出现，那么短沟道情况下器件的饱和电压、饱和电流是多少？

§5.7.2 小尺寸MOSFET的直流特性

短沟道MOSFET饱和区特性



I—速度未饱和区；II—速度饱和区

I'_{DSSat} 短沟道MOSFET饱和电流

V'_{DSSat} 短沟道MOSFET饱和电压

当短沟道器件处于速度饱和时，由电流连续可知速度饱和区的电流和速度未饱和区的电流相等。

速度饱和点P处的电流同时可用下面两个式子表示：

区I (速度未饱和区) 电流
$$I'_{DSSat} = \frac{\mu_{eff}}{1 + \frac{V_{DSSat}}{LE_{sat}}} C_{ox} \frac{W}{L} [(V_{GS} - V_T)V_{DSSat}' - \frac{1}{2}V_{DSSat}'^2]$$

区II (速度饱和区) 电流
$$I'_{DSSat} = Q_n(P)Wv_{sat} = Wv_{sat}C_{ox}(V_{GS} - V_T - V'_{DSSat})$$

$$v_{sat} \equiv \frac{\mu_{eff}E_{sat}}{2}$$

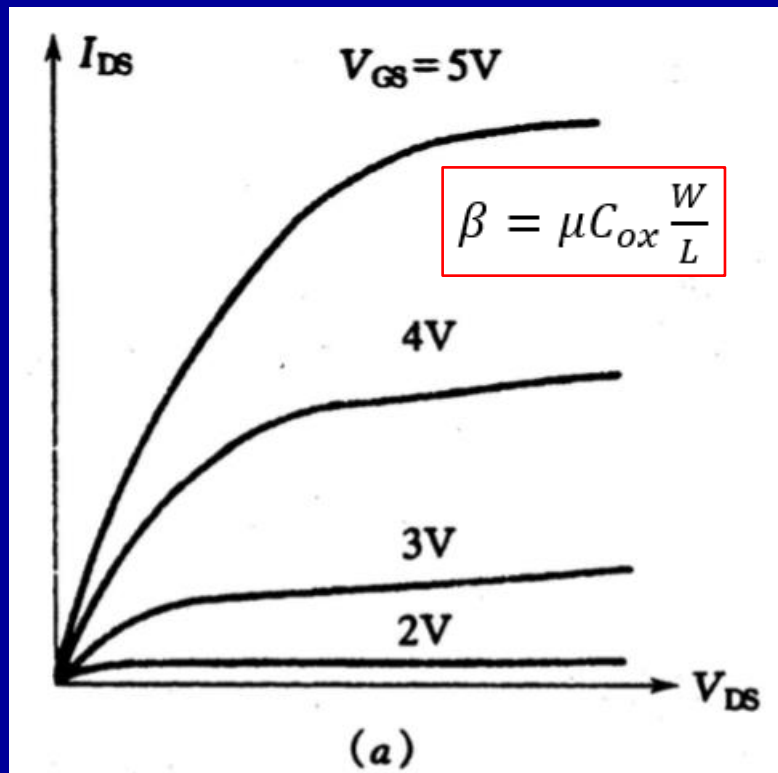
解上述方程
$$V'_{DSSat} = \frac{LE_{sat}(V_{GS} - V_T)}{LE_{sat} + (V_{GS} - V_T)}$$
 代入区II
$$I'_{DSSat} = v_{sat}C_{ox}W \frac{(V_{GS} - V_T)^2}{LE_{sat} + (V_{GS} - V_T)}$$

§5.7.2 小尺寸MOSFET的直流特性

长沟道、短沟道MOSFET输出特性对比

$$I_{DS} = \beta \left[(V_{GS} - V_T)V_{DS} - \frac{1}{2}V_{DS}^2 \right]$$

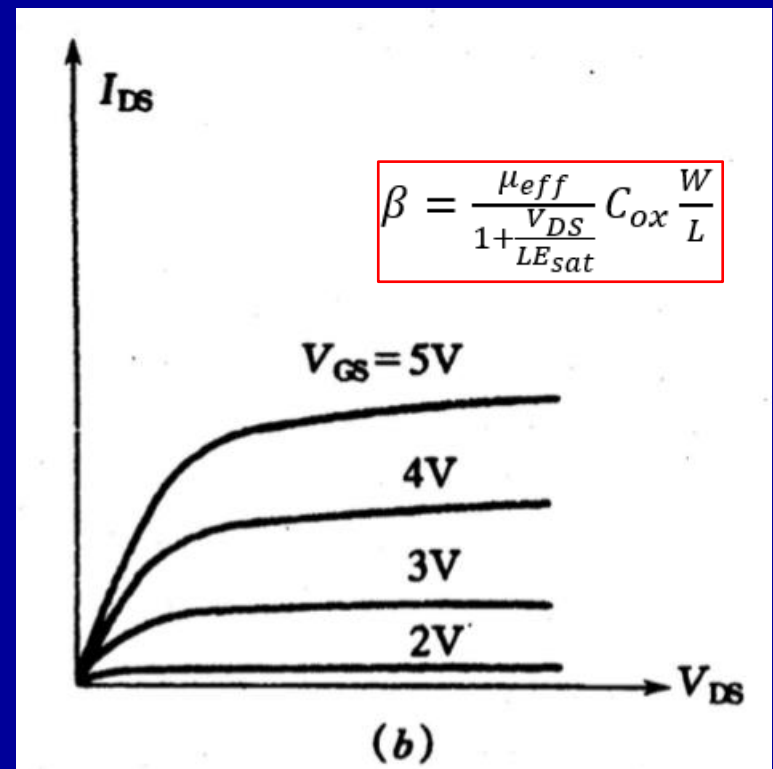
$$I_{DSSat} = \frac{1}{2}\beta(V_{GS} - V_T)^2 = \frac{1}{2}\beta V_{DSSat}^2$$



长沟道MOSFET

$$I_{DS}' = \beta \left[(V_{GS} - V_T)V_{DS} - \frac{1}{2}V_{DS}^2 \right]$$

$$I_{DSSat}' = v_{sat}C_{ox}W \frac{(V_{GS}-V_T)^2}{LE_{sat}+(V_{GS}-V_T)}$$



短沟道MOSFET

§5.7.2 小尺寸MOSFET的直流特性

长沟道、短沟道MOSFET直流特性小结

长沟道

短沟道

线性区

$$I_{DS} = \beta \left[(V_{GS} - V_T)V_{DS} - \frac{1}{2}V_{DS}^2 \right]$$

$$\beta = \mu C_{ox} \frac{W}{L}$$

$$I_{DS}' = \beta \left[(V_{GS} - V_T)V_{DS} - \frac{1}{2}V_{DS}^2 \right]$$

$$\beta = \frac{\mu_{eff}}{1 + \frac{V_{DS}}{LE_{sat}}} C_{ox} \frac{W}{L}$$

I_{DS} 饱和条件

$$Q_n(L) = 0$$

$$V_{DSsat} = V_{GS} - V_T$$

$$v_n = v_{sat}$$

$$V_{DSsat}' = \frac{LE_{sat}(V_{GS} - V_T)}{LE_{sat} + (V_{GS} - V_T)}$$

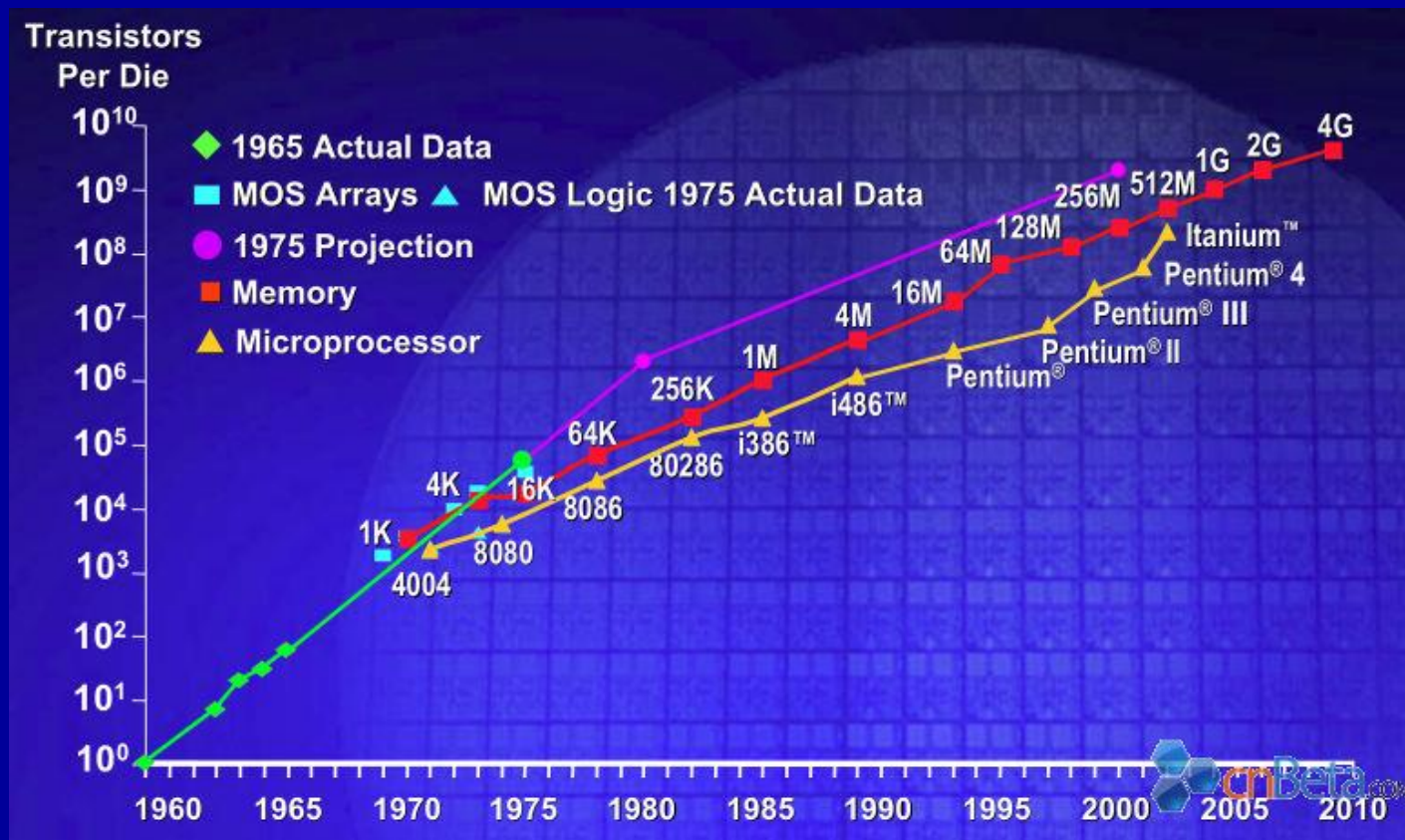
饱和区

$$I_{DSsat} = \frac{1}{2}\beta(V_{GS} - V_T)^2 = \frac{1}{2}\beta V_{DSsat}^2$$

$$I_{DSsat}' = v_{sat} C_{ox} W \frac{(V_{GS} - V_T)^2}{LE_{sat} + (V_{GS} - V_T)}$$

§5.7.3 MOSFET按比例缩小规律

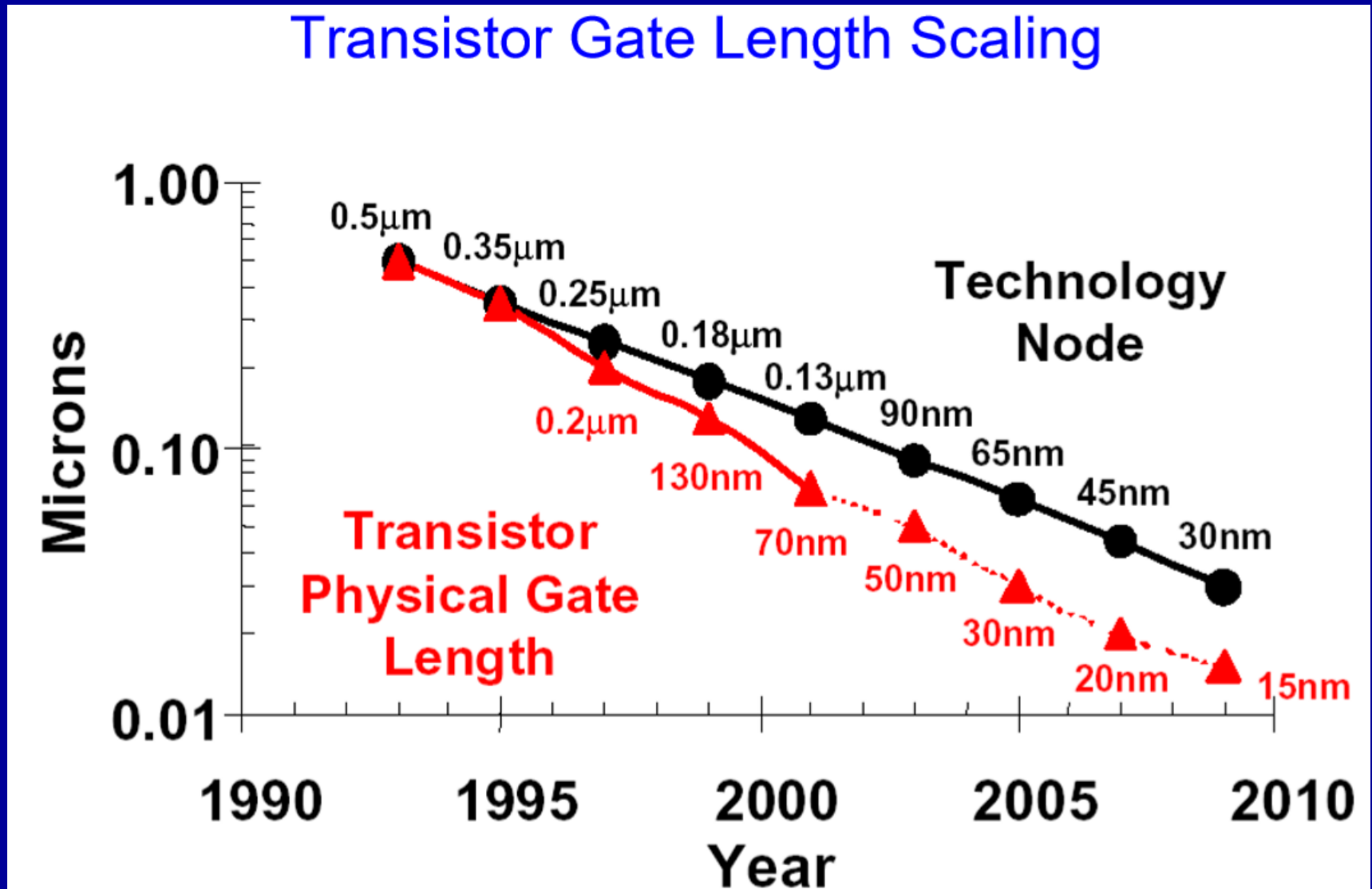
1. 按比例缩小规律概述



硅基半导体技术发展的Moore定律(等比例缩小定理): IC芯片集成度每3年提高4倍, 器件特征尺寸缩小1.4倍; 每一美元能买到的芯片性能每1.5年翻两倍以上。提高性价比是微电子发展的动力。

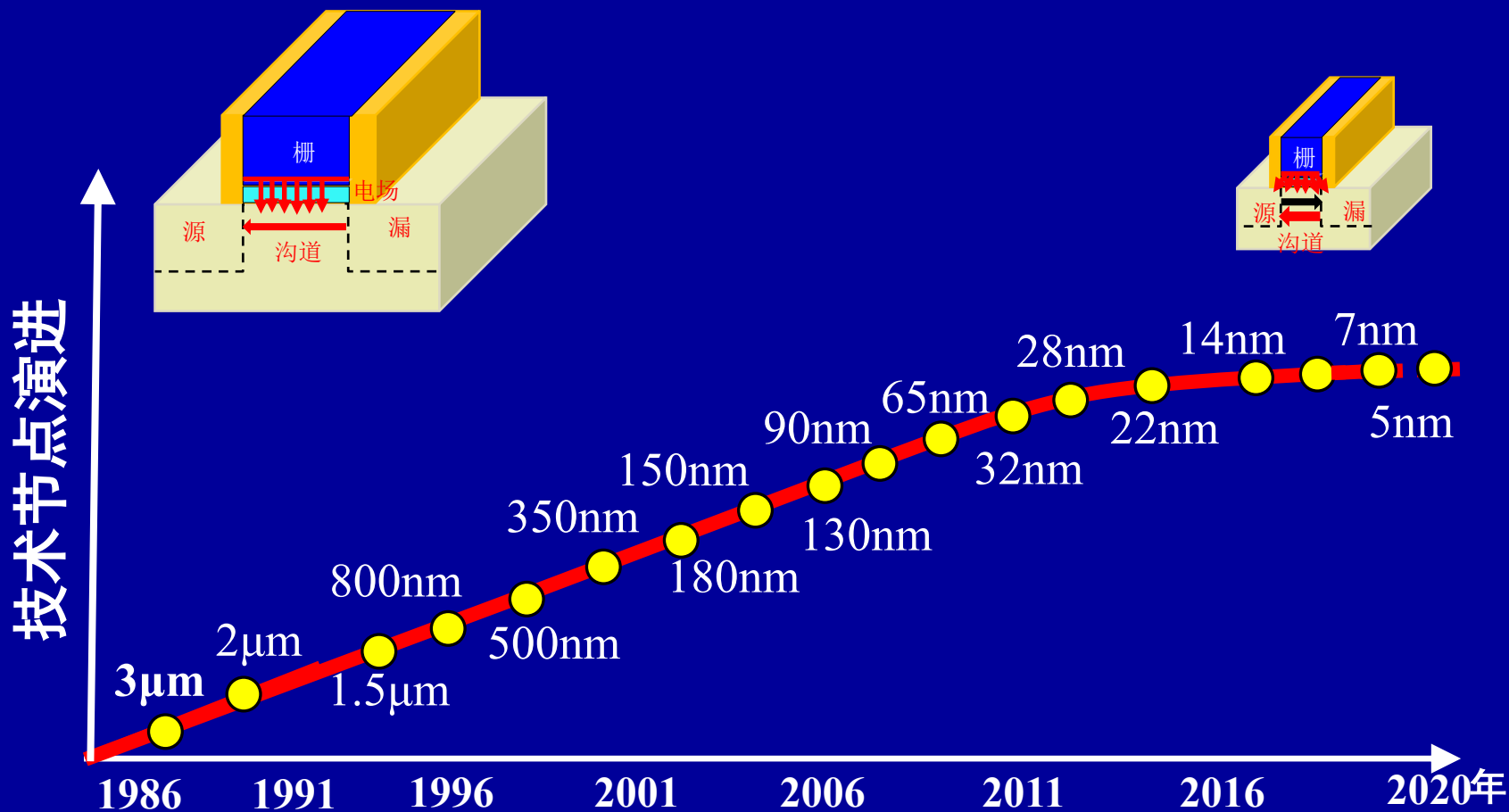
§5.7.3 MOSFET按比例缩小规律

1. 按比例缩小规律概述



§5.7.3 MOSFET按比例缩小规律

1. 按比例缩小规律概述



§5.7.3 MOSFET按比例缩小规律

1. 按比例缩小规律概述

(1) 为什么要缩小?

速度上升, 功耗下降, 集成度上升, 功能上升, 性价比上升

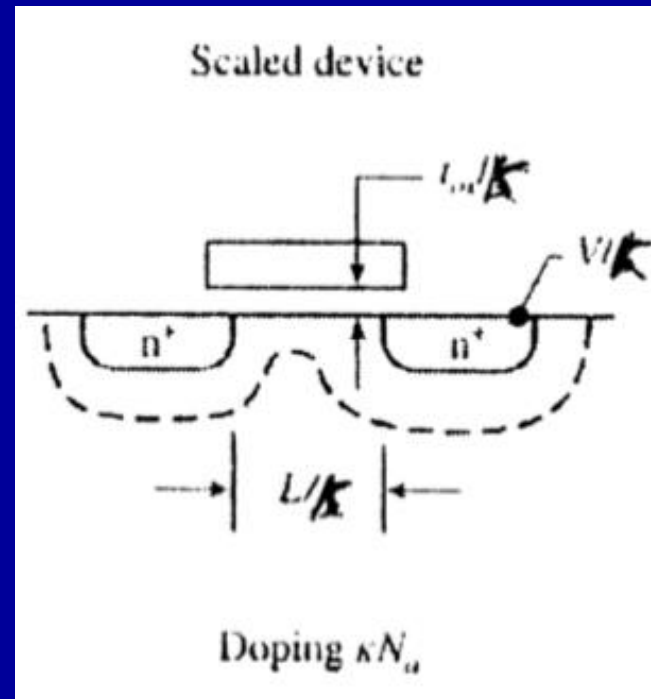
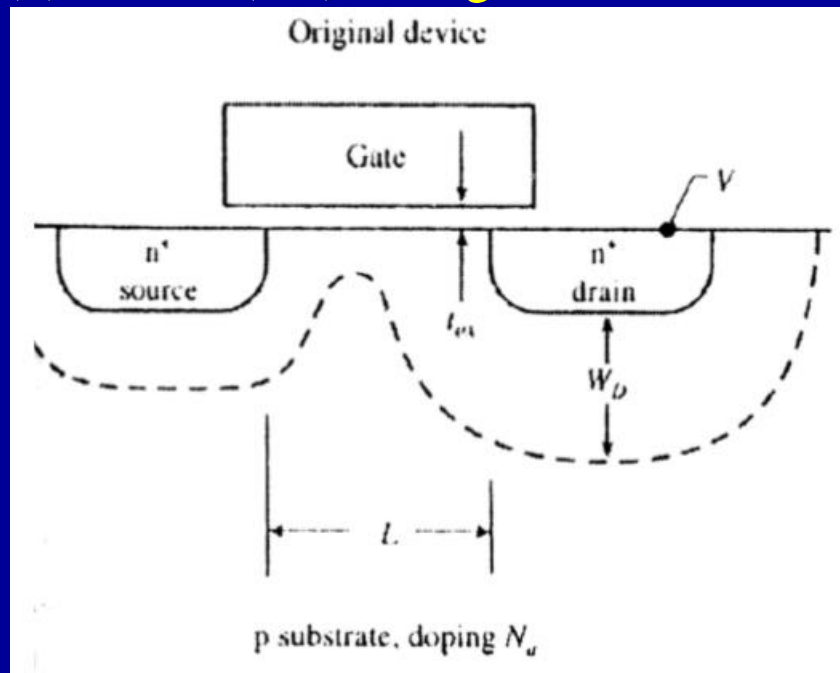
(2) 怎样缩小?

按照一定的规则: ①恒电场; ②恒电压; ③准恒电压; ④亚阈值scaling

§5.7.3 MOSFET按比例缩小规律

2. MOSFET的scaling规则

(1) 恒电场(CE)scaling



- ① 尺寸缩小到1/k;
 - ② 电压缩小到1/k;
- 电场不变

$$W = \sqrt{\frac{2\epsilon_{rs}\epsilon_0 V}{qN_A}}$$

耗尽区缩小为1/k, 则需要将衬底浓度上升k倍

§5.7.3 MOSFET按比例缩小规律

2. MOSFET的scaling规则

(1) 恒电场(CE)scaling

尺寸缩小到 $1/k$; 电压缩小到 $1/k$;

$$x' = \frac{x}{k} \quad y' = \frac{y}{k}$$

$$\phi'(x', y') = \frac{\phi(x, y)}{k}$$

① 电场

$$E'_x(x', y') = -\frac{\partial \phi'(x', y')}{\partial x'} = -\frac{\frac{\phi(x, y)}{k}}{\frac{x}{k}} = -\frac{\phi(x, y)}{x} = E_x(x, y)$$

同理

$$E'_y(x', y') = E_y(x, y)$$

② 验证泊松方程

$$\frac{\partial^2 \phi(x, y)}{\partial x^2} + \frac{\partial^2 \phi(x, y)}{\partial y^2} = -\frac{\rho(x, y)}{\epsilon_s}$$

$$\frac{\partial^2 \phi'(x', y')}{\partial x'^2} + \frac{\partial^2 \phi'(x', y')}{\partial y'^2} = -\frac{\rho'(x', y')}{\epsilon_s}$$

$$\rho'(x', y') = k\rho(x, y)$$

$$N'_A = kN_A$$

§5.7.3 MOSFET按比例缩小规律

2. MOSFET的scaling规则

(1) 恒电场(CE)scaling

③ 耗尽区

$$W_D = \left[\frac{2\epsilon_s(V_D + V_{DS})}{qN_A} \right]^{\frac{1}{2}}$$

$$W_D' = \left[\frac{2\epsilon_s(V_D' + V_{DS}')}{qN_A'} \right]^{\frac{1}{2}}$$

一般 $V_D \neq kV_D'$, 但当 $V_D' \ll V_{DS}'$ 时, 则 $W_D = kW_D'$

④ 电容

$$t'_{ox} = \frac{t_{ox}}{k}$$

$$C'_{ox} = kC_{ox}$$

$$C_G = WLC_{ox}$$

$$C'_G = W'L'C'_{ox}$$

$$C'_G = \frac{C_G}{k}$$

⑤ 假设 V_T 也可以是 $1/k$

$$I_{DS} = C_{ox}\mu_n \frac{W}{L} \left[(V_{GS} - V_T)V_{DS} - \frac{1}{2}V_{DS}^2 \right]$$

$$I_{DS}' = C_{ox}'\mu_n \frac{W'}{L'} \left[\frac{(V_{GS} - V_T)V_{DS}}{k^2} - \frac{1}{2} \frac{V_{DS}^2}{k^2} \right]$$

$$I_{DS}' = \frac{I_{DS}}{k}$$

§5.7.3 MOSFET按比例缩小规律

2. MOSFET的scaling规则

(1) 恒电场(CE)scaling

⑥ 电流密度

$$\frac{I'}{A'} = \frac{\frac{I}{k}}{\frac{A}{k^2}} = k \frac{I}{A}$$

变为原来的 k 倍, 单位面积发热量上升

⑦ 沟道电阻

$$R' = \frac{V'}{I'} = \frac{\frac{V}{k}}{\frac{I}{k}} = R$$

同理

$$g'_m = g_m$$

$$g'_D = g_D$$

⑧ RC延迟时间

$$\tau = RC_G$$

$$\tau' = R'C'_G = \frac{RC_G}{k} = \frac{\tau}{k}$$

⑨ 功耗

$$P = IV$$

$$P' = I'V' = \frac{IV}{k^2} = \frac{P}{k^2}$$

⑩ 功耗密度

$$\frac{P'}{A'} = \frac{\frac{P}{k^2}}{\frac{A}{k^2}} = \frac{P}{A}$$

⑪ 电路密度

$$CD = \frac{1}{A}$$

$$CD' = \frac{1}{A'} = k^2 CD$$

§5.7.3 MOSFET按比例缩小规律

2. MOSFET的scaling规则

(1) 恒电场(CE)scaling

Constant Electrical-Field Scaling Rule

Requirement		
Device dimensions	$L' = L/k$	Channel length
	$W' = W/k$	Channel width
	$t_{ox}' = t_{ox}/k$	Oxide thickness
	$x_j' = x_j/k$	S/D depth
Device doping	$N_A' = kN_A$	
Applied voltage	$V_A' = V_A/k$	
Results (device parameters)		
Electrical field	$E'(x', y') = E(x, y)$	
Electric potential	$\phi'(x', y') = \phi(x, y)/k$	
Drain depletion width	$W_D' = W_D/k$	
Gate capacitance	$C_G' = C_G/k$	

§5.7.3 MOSFET按比例缩小规律

2. MOSFET的scaling规则

(1) 恒电场(CE)scaling

Constant Electrical-Field Scaling Rule

Drain current	$I' = I/k$	Not valid for subthreshold region
Current density	$(I'/A') = k(I/A)$	
Channel resistance	$R' = R$	
Results (circuit performance)		
Circuit delay time(RC)	$\tau' = \tau/k$	
Power IV	$P' = P/k^2$	
Power density P/A	$P'/A' = P/A$	
Circuit density CD	$CD' = k^2 CD$	
Assumption		
Threshold voltage	$V_T' = V_T/k$	Not valid
Build-in voltage	$V_{bi}' \ll V_{DD}'$	Not valid

§5.7.3 MOSFET按比例缩小规律

2. MOSFET的scaling规则

(2) 恒电压(CV)scaling

目的：①为了应用和标准化， V_{DD} 不能连续scaling；②阈值电压 V_T 和内建电势 V_D scaling困难。

做法：①尺寸缩小到原来的 $1/k$ ；②电压不变。

↓
电场变为原来的 k 倍

问题：①高电场造成迁移率下降；②热载流子效应；.....

所以不能采用恒电压规则。

§5.7.3 MOSFET按比例缩小规律

2. MOSFET的scaling规则

(3) 准恒电压(QCV)scaling — Generalized scaling

做法：①尺寸缩小到原来的 $1/k$ ；②电场增加到 v 倍(通常 $1 \leq v \leq k$)；

↓
恒电场时 $v=1$ ，恒电压时 $v=k$

$$\phi'(x', y') = \frac{v}{k} \phi(x, y)$$

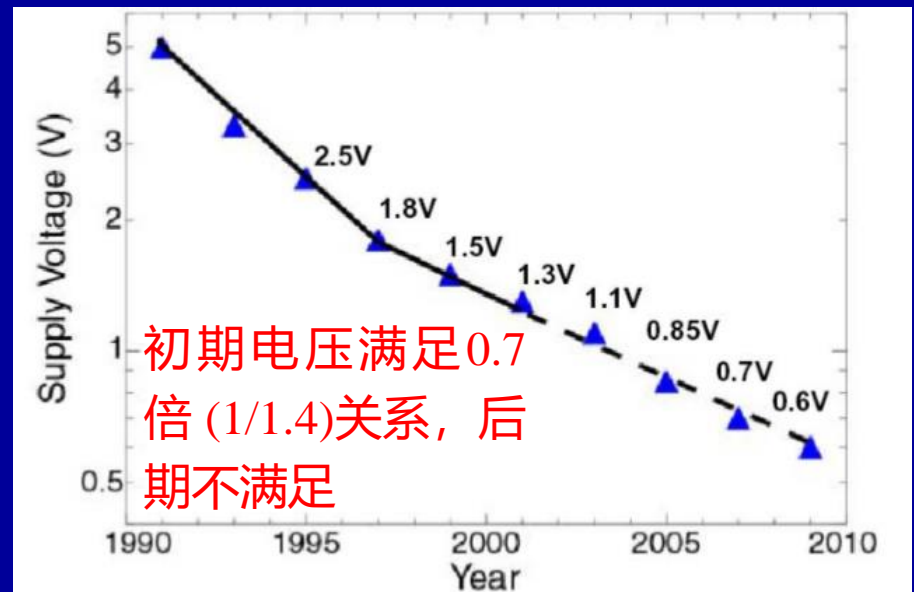
此时：

$$N'_A = vkN_A$$

.....

功耗密度

$$\frac{P'}{A'} = \frac{\frac{v^3}{k^2} P}{\frac{A}{k^2}} = v^3 \frac{P}{A}$$



§5.7.3 MOSFET按比例缩小规律

2. MOSFET的scaling规则

(3) 准恒电压(QCV)scaling — Generalized scaling

Generalized Scaling Rule ($1 \leq v \leq k$)

Requirement		
Device dimensions	$L' = L/k$	Channel length
	$W' = W/k$	Channel width
	$t_{ox}' = t_{ox}/k$	Oxide thickness
	$x_j' = x_j/k$	S/D depth
Device doping	$N_A' = vkN_A$	
Applied voltage	$V_A' = (v/k)V_A$	
Results (device parameters)		
Electrical field	$E'(x',y') = vE(x,y)$	
Electric potential	$\phi'(x',y') = (v/k)\phi(x,y)$	
Drain depletion width	$W_D' = W_D/k$	
Gate capacitance	$C_G' = C_G/k$	

§5.7.3 MOSFET按比例缩小规律

2. MOSFET的scaling规则

(3) 准恒电压(QCV)scaling — Generalized scaling

Generalized Scaling Rule ($1 \leq \nu \leq k$)

Drain current	$I' = (\nu^2/k)I$	Not valid for subthreshold region
Current density	$(I'/A') = \nu^2 k (I/A)$	
Channel resistance	$R' = R/\nu$	
Results (circuit performance)		
Circuit delay time(RC)	$\tau' = \tau/(\nu k)$	
Power IV	$P' = (\nu^3/k^2)P$	
Power density P/A	$P'/A' = \nu^3 (P/A)$	Heavy burden
Circuit density CD	$CD' = k^2 CD$	
Assumption		
Threshold voltage	$V_T' = (\nu/k)V_T$	Not valid
Build-in voltage	$V_{bi}' \ll V_{DD}'$	Not valid

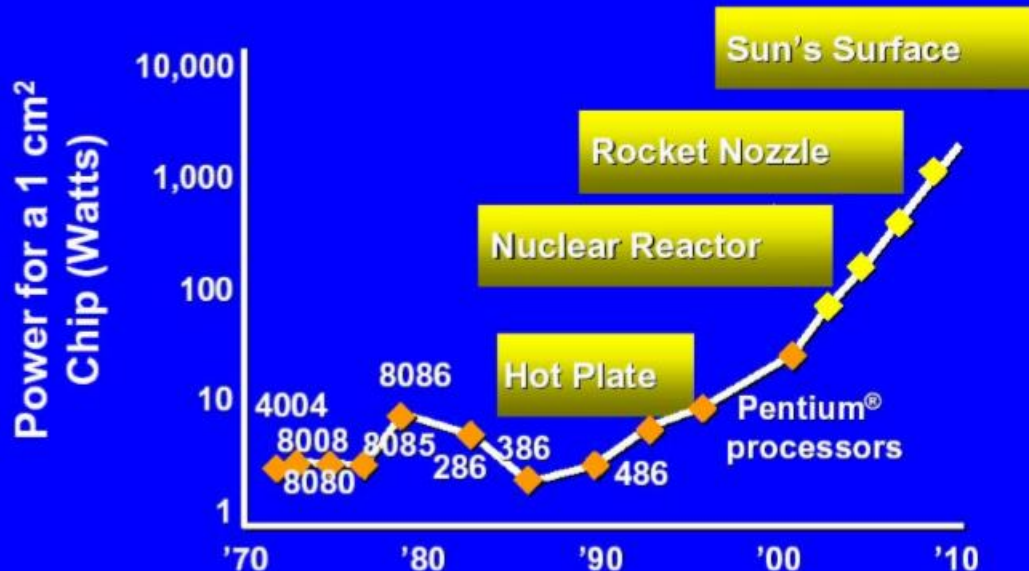
§5.7.3 MOSFET按比例缩小规律

2. MOSFET的scaling规则

(3) 准恒电压(QCV)scaling — Generalized scaling

Power Dissipation Problem

Power Extrapolation



芯片单位面积功耗越来越大，甚至接近了核反应堆。

§5.7.3 MOSFET按比例缩小规律

2. MOSFET的scaling规则

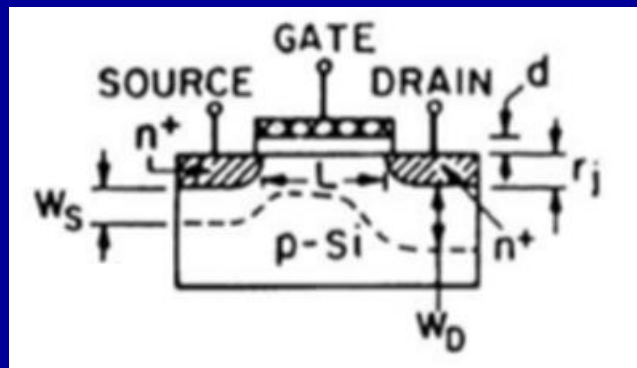
(4) 亚阈值scaling(Subthreshold scaling)

- ◆ 芯片单位面积功耗越来越大，但事实上芯片的功耗有很大一部分来自漏电，即亚阈特性较差。
- ◆ Subthreshold scaling：用亚阈特性(不变差)作为准则来scaling器件；
- ◆ 长沟道MOSFET： I_{DSst} 基本上与 V_{DS} 无关；
- ◆ 短沟道MOSFET： I_{DSst} 与 V_{DS} 有关；
- ◆ 经验准则—当 V_{DS} 增加0.5V， I_{DSst} 的增加 $\left\{ \begin{array}{l} <10\% : \text{长沟道} \\ >10\% : \text{短沟道} \end{array} \right.$

我们希望得到长沟道器件

经验公式(判断设计的器件属于长沟道还是短沟道)：

$$L_{min} = A[x_j t_{ox} (W_S + W_D)^{\frac{1}{2}}]^{\frac{1}{3}}$$



§5.7.3 MOSFET按比例缩小规律

2. MOSFET的scaling规则

(4) 亚阈值scaling(Subthreshold scaling)

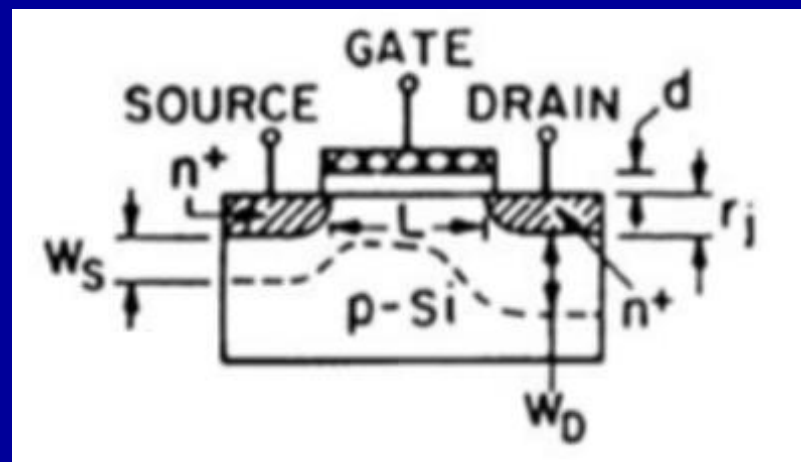
经验公式(判断设计的器件属于长沟道还是短沟道):

$$L_{min} = A[x_j t_{ox} (W_S + W_D)^{\frac{1}{2}}]^{\frac{1}{3}}$$

$A: (0.4)^{\frac{1}{3}} \text{\AA}$ x_j : 结深 $[\mu m]$

t_{ox} : 氧化层厚度 $[\text{\AA}]$

$W_{S/D}$: 源/漏耗尽区宽度 $[\mu m]$



- ◆ 当计算出来的 L_{min} 小于实际设计的 L 时, 器件属于长沟道;
- ◆ 当计算出来的 L_{min} 大于实际设计的 L 时, 器件属于短沟道。

因此我们希望 L_{min} 尽可能小, 这样设计的器件才属于长沟道器件。

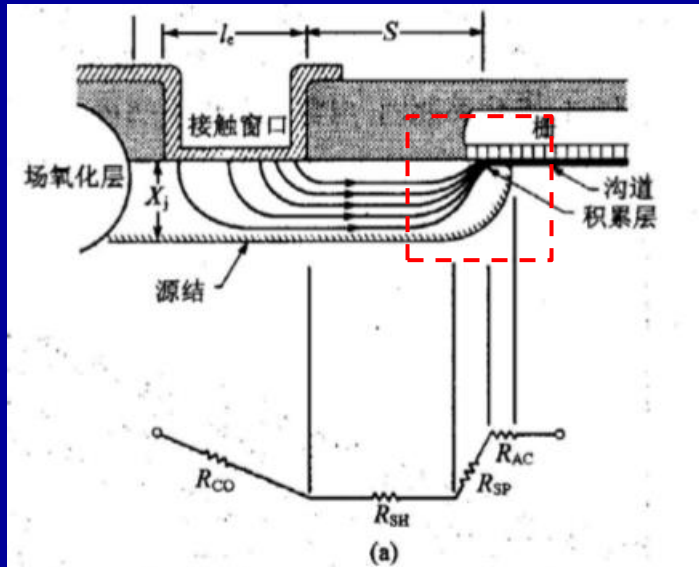
§5.7.3 MOSFET按比例缩小规律

3. Scaling的限制及对策(新结构)

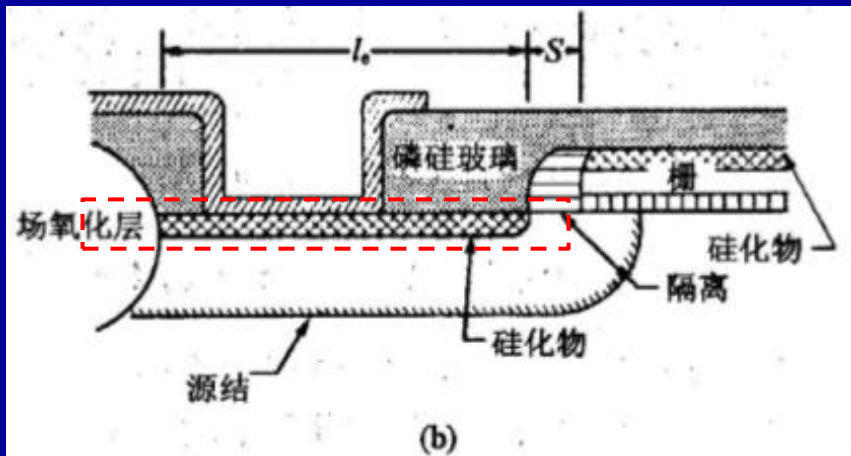
(1) x_j

怎样得到尽量小的 L_{min} 呢?

x_j 减小; t_{ox} 下降; W_S 和 W_D 下降



电流流经沟道后在红框区进入源区, 经过一定距离后流入金属, 流出器件; x_j 减小, 电流在红框区发生“拥挤”, 电阻变大, g_D (线性区)下降, g_m (饱和区)下降。

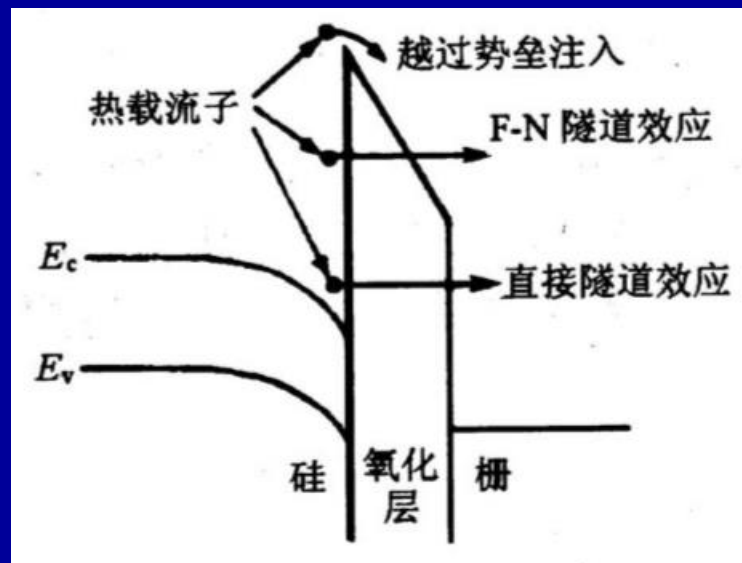
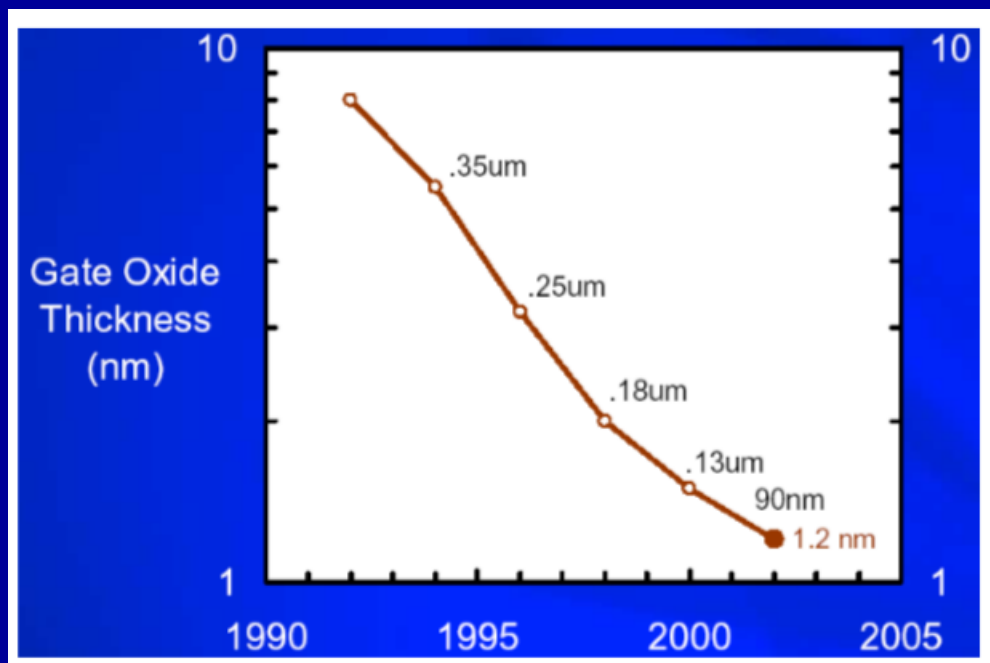


引入自对准金属硅化物技术, 电流流入源区后直接进入金属硅化物流出器件, 减小器件电阻。

§5.7.3 MOSFET按比例缩小规律

3. Scaling的限制及对策(新结构)

(2) t_{ox}

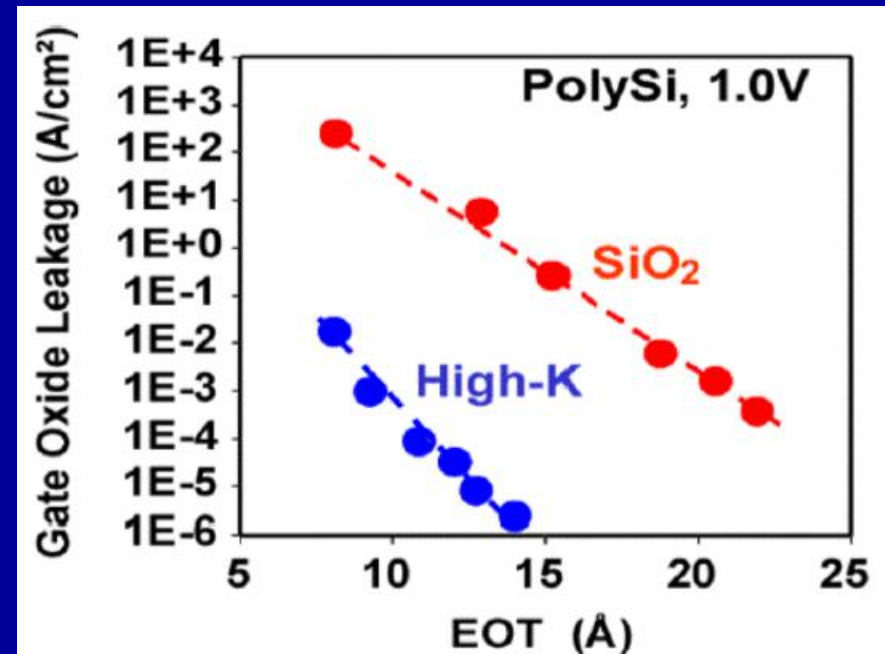
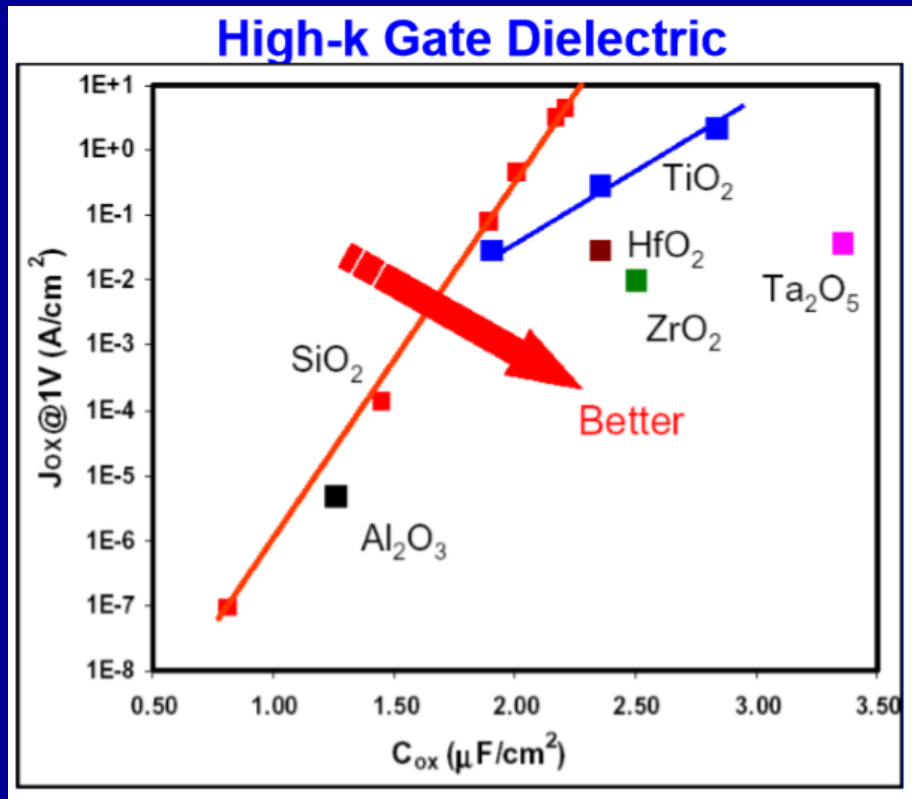


当氧化层薄到一定程度后，热载流子会大量穿过氧化层，从而出现栅极漏电；这就需要一个更厚的氧化层来阻止栅极漏电，但是又不影响器件性能；实际上 t_{ox} 下降相当于 C_{ox} 上升，那么我们能不能找一种物理厚度上升，但是电容密度却相差无几的材料呢？

§5.7.3 MOSFET按比例缩小规律

3. Scaling的限制及对策(新结构)

(2) t_{ox}



$$EOT = \frac{\epsilon_{SiO_2}}{\epsilon_{high-k}} t_{high-k}$$

EOT (Effective Oxide Thickness): 有效氧化层厚度 (将high-k材料的物理厚度换算成氧化硅的厚度)。

同等电容密度下, high-k材料的物理厚度更大, 漏电更小。

§5.7.3 MOSFET按比例缩小规律

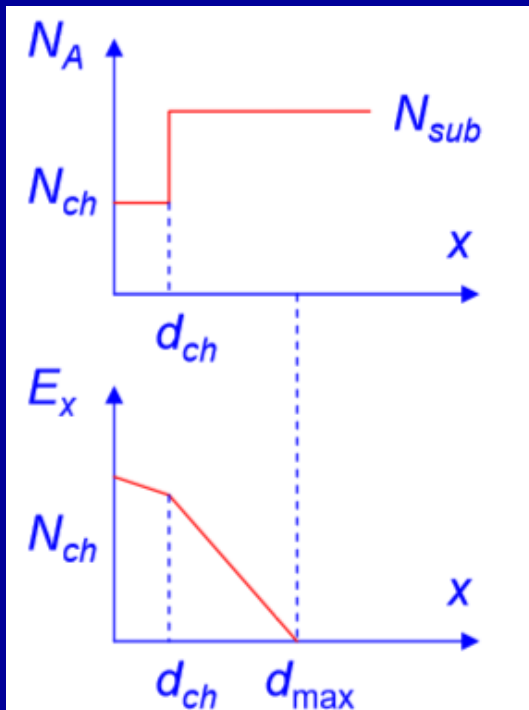
3. Scaling的限制及对策(新结构)

(3) W_S 、 W_D

① N_{ch} (沟道处衬底浓度) 和 V_T 的 scaling

W_S 和 W_D 下降, 则需要半导体衬底浓度上升, 以NMOS为例, 即 N_A 上升;
同时希望阈值电压 V_T 下降 (或者至少不上升), 则需要 N_A 下降, 两者矛盾;

解决方法: Non-uniform doping (Retrograded well doping)



为了同时满足上述两个条件, 采用不均匀掺杂, 使半导体靠近氧化层区域 (沟道处) 的衬底浓度低, 其它区域的浓度高, 这样既保证了低的阈值电压, 又使 W_S 和 W_D 下降了, 计算 V_T 时, 采用近似 $V_s = 2V_{B,ch}$, 则有:

$$V_T = V_{FB} + \frac{2k_0T}{q} \ln \left(\frac{N_{ch}}{n_i} \right) + \frac{1}{C_{ox}} q N_{sub} \left[\frac{2\epsilon_s \frac{2k_0T}{q} \ln \left(\frac{N_{ch}}{n_i} \right)}{q N_{sub}} \right]^{\frac{1}{2}}$$

§5.7.3 MOSFET按比例缩小规律

3. Scaling的限制及对策(新结构)

(3) W_S 、 W_D

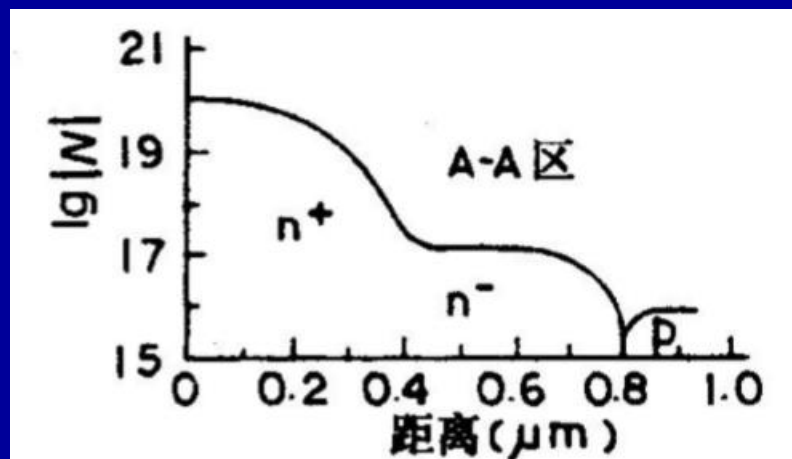
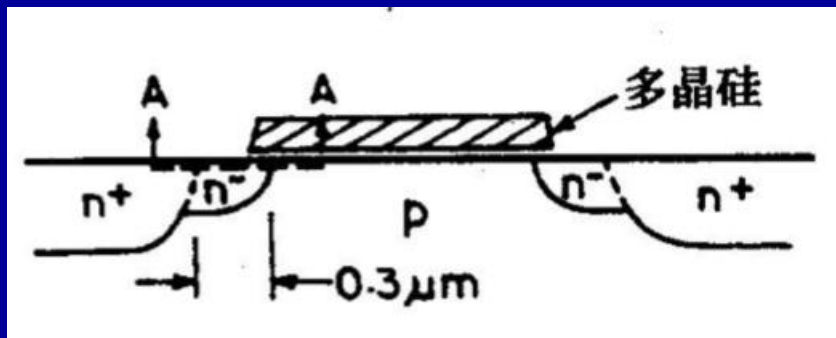
② $E_{y\max}$

衬底浓度升高，会导致漏结区电场强度上升；

漏结击穿 $\sim 0.6\text{MV/cm}$ ；

电场在达到漏结击穿的电场强度之前，会先达到漏端热载流子效应要求，即 $\leq 0.2\text{MV/cm}$ ；

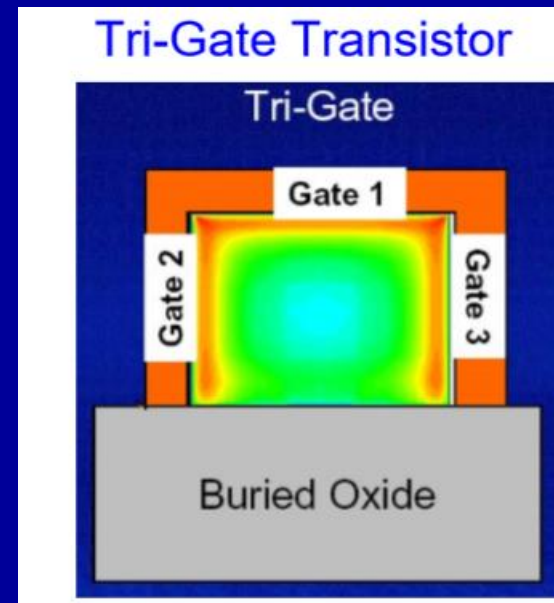
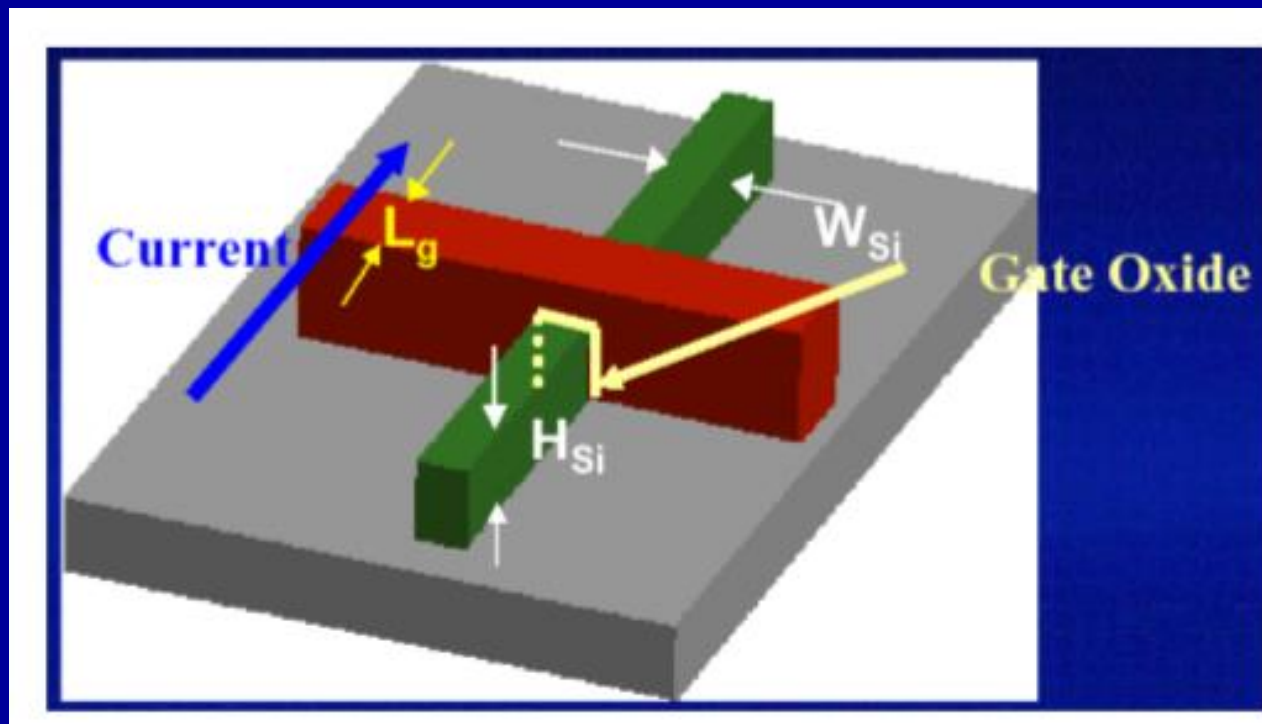
Scaling措施：LDD结构。



§5.7.3 MOSFET按比例缩小规律

3. Scaling的限制及对策(新结构)

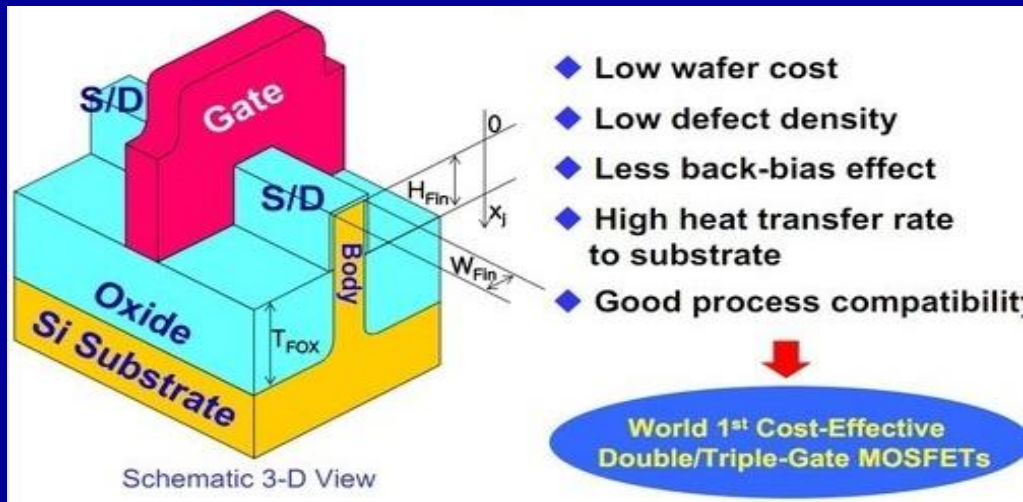
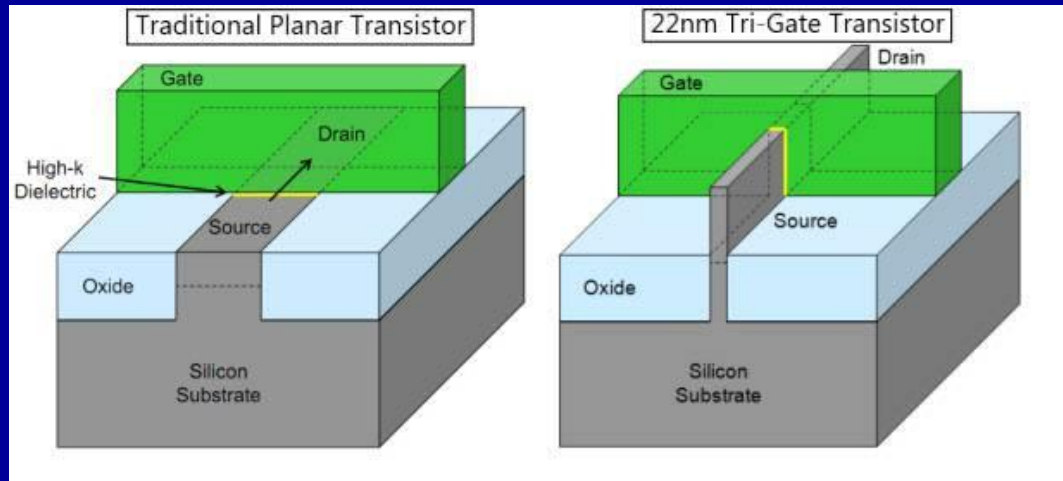
(4) 现状与未来



沟道由二维变成三维，FinFET

开启时，导电沟道从一个平面变成三个平面，电流密度更大；
关断时，三面加压，耗尽更充分，关得更死。

三维立体晶体管—FinFET

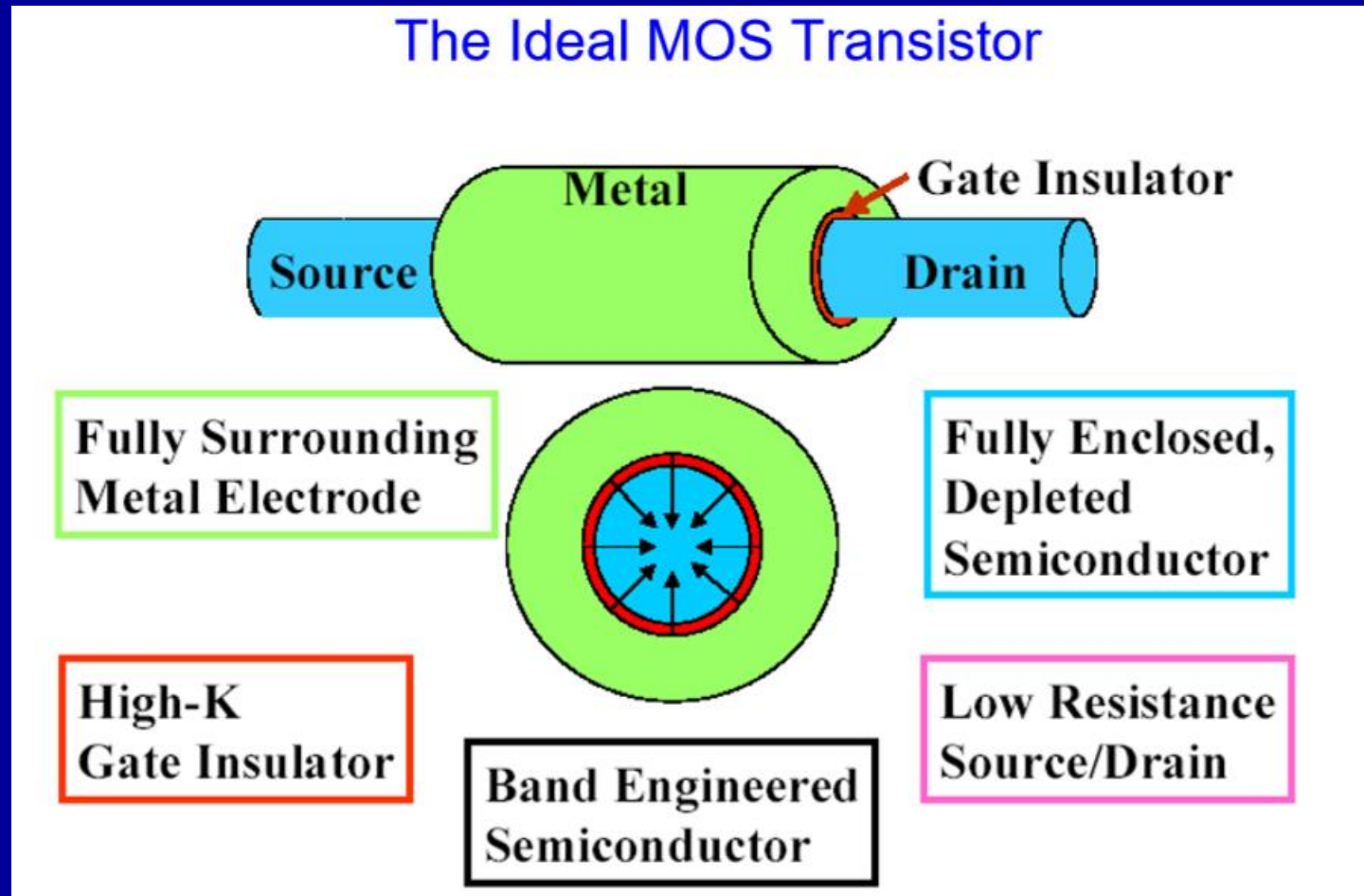


胡正明 (Chenming Hu) 加州大学伯克利分校 (UC Berkeley)

§5.7.3 MOSFET按比例缩小规律

3. Scaling的限制及对策(新结构)

(4) 现状与未来



MOSFET基本知识体系框架



第五章重点概念

第一节：MOS结构基本理论，半导体表面出现平带、积累、耗尽反型的情况；MOSFET的基本结构，制备、分类与工作原理；

第二节：MOSFET阈值电压的定义及计算，影响阈值电压的因素，功函数差，衬底浓度，界面固定电荷，离子注入调整，衬偏效应；

第三节：MOSFET直流伏安特性，弱反型(亚阈值)区的伏安特性，亚阈值摆幅；直流参数，包括饱和源漏电流，截止漏电流，导通电阻等，低频小信号参数；MOSFET的击穿特性，源漏击穿和栅击穿；MOSFET的二级效应，非常数表面迁移率，体电荷变化效应，非零漏电导，Gate-Induced Drain Leakage；

第四节：MOSFET频率特性，低频等效电路，高频等效电路，跨导截止频率，截止频率，提高MOSFET频率特性的方法；

第五章重点概念

第五节：MOSFET开关特性，电阻型负载MOS倒相器，增强型-增强型MOS倒相器(E-E MOS)，增强型-耗尽型MOS倒相器(E-D MOS)，互补MOS倒相器(CMOS)；

第六节：MOSFET功率特性，4种功率MOSFET结构及优缺点；

第七节：小尺寸MOSFET特性，短沟道效应，包括阈值电压的卷曲，漏致势垒降低，亚阈特性退化，速度饱和效应，热载流子效应；窄沟道效应，小尺寸MOSFET直流特性，MOSFET的按比例缩小原则，包括恒电场(CE) scaling, 恒电压(CV) scaling, 准恒电压(QCV) scaling, 亚阈值scaling (Subthreshold scaling), scaling的限制及对策。

第五章思考题

- ◆ MOS电容在不同电压下其半导体表面有哪几种状态?
- ◆ MOS电容中半导体表面强反型后, 为什么耗尽层宽度会达到一个极大值?
- ◆ MOSFET的实际阈值电压由几部分构成?
- ◆ 有哪些因素可以影响MOSFET的阈值电压?
- ◆ 为什么MOSFET栅电极最开始使用的是金属铝, 后期换为多晶硅, 最后又换成了金属电极?
- ◆ MOSFET衬底不接地会有什么影响?
- ◆ MOSFET漏极电压会影响氧化层上的压降吗? 反型电子呢?
- ◆ 解释缓变沟道近似的实质意义?
- ◆ 氧化层和半导体界面处的固定电荷会影响亚阈值摆幅吗?
- ◆ 为什么亚阈值摆幅越小越好? 有那些方法可以减小亚阈值摆幅?
- ◆ MOSFET的击穿有哪些种类, 发生在哪里?
- ◆ 试想一下提高MOSFET击穿电压的方法有什么?
- ◆ MOSFET沟道中的载流子迁移率是常数吗? 如果不是会受到什么因素的影响? 带来什么结果?

第五章思考题

- ◆ 体电荷模型与简单模型的区别在哪里？
- ◆ MOSFET的跨导截止频率与截止频率的定义是什么？提高MOSFET的频率特性可以通过哪些方式？
- ◆ CMOS反相器为什么功耗相比于其他类型的倒相器要小的多？它的主要功耗来自哪里？
- ◆ 功率MOSFET有什么优缺点？
- ◆ 当MOSFET尺寸缩小后会有哪些不利影响出现？
- ◆ MOSFET的短沟道效应有哪些？
- ◆ 为什么MOSFET短沟道阈值电压下降，而窄沟道阈值电压上升？
- ◆ 热电子会带来哪些不利影响？怎样抑制热电子效应？
- ◆ 为什么短沟道MOSFET的亚阈值特性会比较差？怎样解决？
- ◆ 短沟道MOSFET的直流热性与长沟道MOSFET的直流特性一样吗？电流饱和条件是什么？
- ◆ MOSFET的按比例缩小原则有哪几种？
- ◆ 如果按照亚阈值scaling规则，有什么方法让我们得到长沟道MOSFET？