

## 《模拟集成电路设计实验》指导

中科大微电子学院 黄 鲁 编写

### 实验 5、运算放大器前端设计

——实验参考

#### ● 实验目的:

- \* 设计一款准实用 CMOS 运放电路;
- \* 培养学生能够运用理论知识进行设计、使用 EDA 工具进行仿真的能力;
- \* 掌握合适的电路性能仿真方法;
- \* 将模拟 CMOS 集成电路设计课程学习的主要理论知识, 通过仿真实验融汇贯通, 深刻理解运放性能参数设计指标的物理意义。

#### ● 实验内容:

采用 smic 0.18um CMOS 混合工艺, 设计一个差动输入、单端输出的开环运放电路。

1. 实验前参考给定的电路架构, 进行工作点和器件参数的初步设计;
2. 进行开环运放电路 Schematic 编辑;
3. 进行开环运放电路的瞬态仿真, 调整器件参数, 完成 tt 工艺角下的开环运放直流工作点设计;
4. 完成开环运放电路的功耗、直流增益、单位增益带宽、相位裕度等设计指标的仿真验证。

#### (1) 开环运放单元的设计指标:

电源电压  $V_{DD}$ : 1.8V;  
直流增益  $A_o$ :  $> 90\text{dB}$ ;  
单位增益带宽  $f_u$ :  $\sim 80\text{MHz}$ , 允许  $72\text{MHz} < f_u < 120\text{MHz}$  ;  
负载电容  $C_L$ : 2 pF;  
输入电容  $C_{in}$ :  $< 0.2\text{pF}$ ;  
相位裕度  $PM$ :  $\sim 60^\circ$  , 不低于  $45^\circ$  ;  
转换速率  $SR$ :  $> 25\text{V}/\mu\text{s}$ ;  
输出摆幅范围:  $>$  输出直流电平  $V_{oCM} \pm 0.3V$  ;  
输出直流电平  $V_{oCM}$ :  $\sim 1V$ ;  
输入电压范围:  $\sim (0.7 - 1.3)V$ , 小信号直流电平;  
功耗:  $< 1\text{mW}$ ;

外部提供偏置: 电压源  $V_b$ : 用于 Cascode 隔离管偏置;  
电流源  $I_{ref}$ : 30~50uA 电流源, 自主选定。

根据设计指标，本实验规定采用图 5.1 所示的运算放大器（OP）结构。

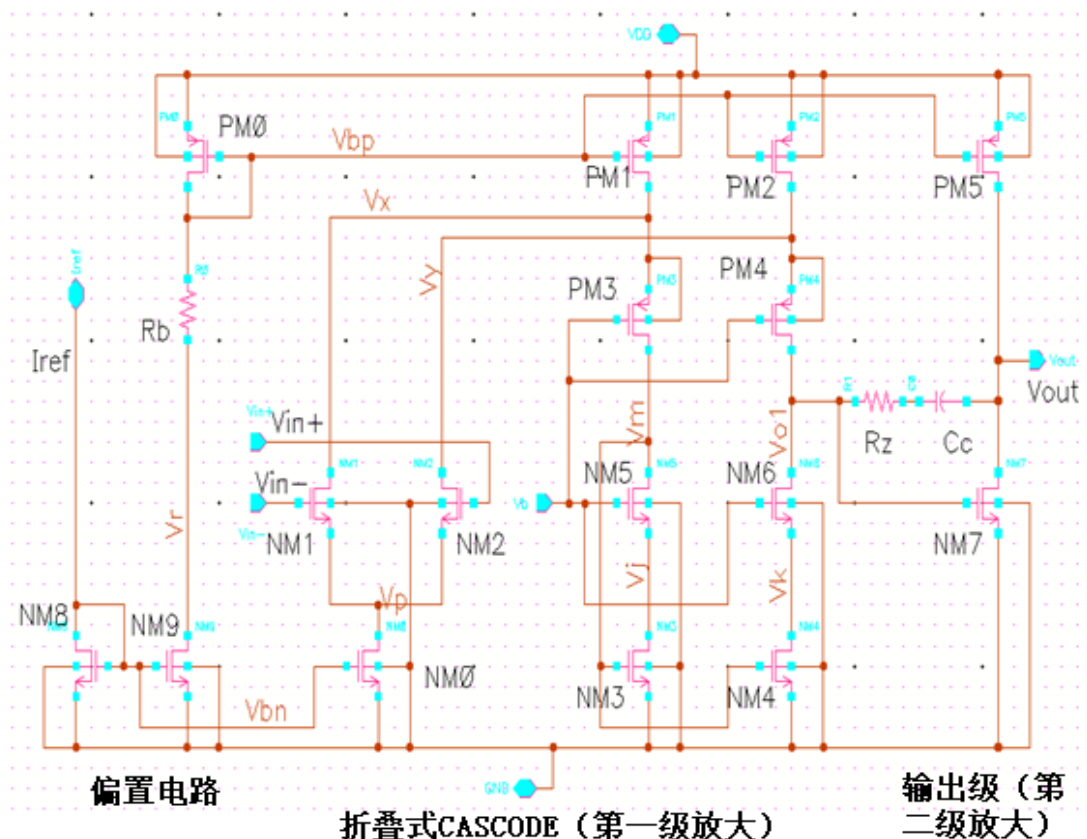


图 5.1 开环运放电路（OP 单元）结构

图中 VDD、GND、Iref 是双向（InoutOutput）Pin。

若仅前端仿真而不进行后端设计与验证，VDD 和 GND 双向管脚可用 analogLib 理想模拟单元库中的 vdd 和 gnd 代替。

输出级是电流源负载，故输出直流电位  $V_{OCM}$  无需精确，使输出级 MOS 工作在饱和区即可。tt 工艺角下输出直流电平近似为 1V，可使在其它工艺角时输出级 MOS 大概率工作在正常饱和区。

注意：输出级无内部共模反馈 CMFB 电路。虽然开环运放的仿真结果给出一个输出直流值，但该值与 PVT（工艺、电压、温度）有关，实际流片的芯片工作时的输出电压与仿真结果可能有较大不同。

设计指标中的  $V_{OCM}$  电平仅是典型 PVT 条件下开环运放的低频输出，构成反馈应用电路后才能确定直流输出电平。

偏置  $V_b$ ：因  $V_{o1}$  变化不大，故 CASCODE 上下隔离管共用一个偏置电压  $V_b$ 。

对于一般的全差动 CASCODE 运放电路，通常采用 2 个偏置电压，分别设置 CASCODE 放大级中的上隔离管 PM3 与 PM4 和下隔离管 NM5 与 NM6 的偏置电压；有利于增大输入和输出信号范围，且设计与优化过程更加方便。

模拟电路设计与仿真要点：

手工计算直流工作点，便于粗略分析电路结构与节点直流电压，而与频率有关的诸多参数只能依靠各种相关的仿真。运放电路设计首先应保证稳定性（即构成负反馈时不能振荡）；若电路有其它问题，多半是由于工作点设置不合理，导致大幅度信号时信号失真而引起。

对于先进工艺，虽然手算结果不太准确，仿真结果与手工计算值可能相差较大（相差百分之几十是正常情况）；与盲目地修改参数的乱试方法相比较，初始阶段进行手算将会大大提高设计效率。通过手算结果可以初步判断电路结构选择或设计是否正确，并获得一些性能参数与器件尺寸的调整要点，便于通过仿真进行改进。盲目乱试方法不仅耽误更多的设计与仿真时间，而且不易发现工作区偏置不合适等出错隐患。

tran 瞬态仿真如同示波器，便于直观发现电路存在的问题；在计算服务器时间和内存允许情况下，电路性能尽量采用瞬态仿真验证。

## （2）电路结构

推荐  $L = 0.8\mu\text{m}$ 。

连线之前调整 MOS 位置，使 Instance Name 与图 5.1 一致。

为了方便仿真时查看波形，对一些信号标注名称：

参考图 5.1，用 “Create Wire Name” 添加线网名。

电路原理说明：

该电路是差分输入、单端输出的高增益运放电路。由两级放大电路组成，第一级高增益放大电路为折叠式 CASCODE 放大器，其输出支路为双转单电流镜负载，Vm 和 Vo1 线网（节点）具有确定的输出直流电平；第 2 级为单支路的电流源负载放大电路，只有在采用电阻构成负反馈电路时才能确定与 PVT（工艺、电压、温度）无关的输出工作点。该结构放大器电路仅能用于单端输出的应用电路，无法用于全差动电路。

时间常数最大的主极点在第一级输出端（Vo1 线网），因此密勒频率补偿电容  $C_c$  加在第一级和第二级的输出端之间，补偿主极点，增大次极点，密勒补偿的电容较小。与  $C_c$  串联的电阻  $R_z$  用于改变零点相位方向，使之成为正相移的“好”零点，起到近似抵消传递函数中次极点的作用。

若无  $R_z$  而仅用  $C_c$  进行频率补偿的话，则有一个负相移的“坏”零点；其相移作用与极点一样，且增大了高频增益，对于电路稳定性而言，若是“坏”零点则比多一个极点更差。

实用芯片电路中，内部偏置偏压电路产生  $V_b$ 。为了减少实验设计工作量，这里直接给出偏置电压值。

## ● 实验参考步骤:

在“icbaslab”库新建开环运放电路 OP 单元，如图 5.1 画好电路结构，MOS 器件参数参考后续说明进行计算，用 Q 属性进行修改。

电路中 MOS 设计思路：

只要获得 MOS 漏极直流电流工作点，就可根据合理设计的过驱动电压，确定 MOS 管的 W/L。

## ● 开环运放 OP 电路的前端设计流程提示：

设计运放首先要保证开环（基本）放大器电路的稳定性，后续才能构成负反馈应用电路。如不构成负反馈应用电路，则无需考虑稳定性，因为开环电路是不会振荡的。但是，对于频率极高的微波射频电路，由于 MOS 寄生电容、电源和地线电感可能形成反馈，即使开环电路也需要考虑稳定性。

先确定补偿电容  $C_c$ ；开环运放中  $C_c$  的目的是为了用 OP 组成负反馈应用电路时，电路是稳定的；**电路稳定性是指闭环时不发生振荡而不是指增益基本不变。**

手工设计步骤：

- 1、根据转换速率、补偿电容和负载电容获得输出支路电流；
- 2、确定第一级放大器（折叠式 CASCODE 放大电路）的支路直流电流；
- 3、确定合理的 MOS 过驱动电压  $V_{OD}$ ，计算除输入管之外的其它所有 MOS 管 W/L，并得到电路节点电压；确定 CASCODE 隔离管偏置  $V_b$ ；
- 4、输入管 W/L 需要满足输入共模电平变化范围的设计指标要求，还要满足高频增益（单位增益带宽）的要求；
- 5、尾电流源偏置即  $V_{bn}$  电平应符合输入信号变化范围。

以下约定：下标 n 表示 NMOS，p 表示 PMOS，例如 n7 表示 NM7 管；  
无下标则表示 NMOS 和 PMOS 均可。

若与频率关联，则下标 p 表示极点，如  $\omega_p$  或  $f_p$ ，并非指 PMOS。

根据公式：

$$\text{MOS饱和区: } I_D = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 = \frac{1}{2} \mu C_{ox} \frac{W}{L} V_{OD}^2$$

$$\text{即在MOS饱和区: } |V_{GS}| = \sqrt{\frac{2I_D}{\mu C_{ox} \frac{W}{L}}} + |V_{TH}| = V_{OD} + |V_{TH}|$$

由支路直流  $I_D$  和合理设计的过驱动电压  $V_{OD} = V_{GS} - V_{TH}$ ，计算 MOS 管的 W/L。

本实验设计没有给出噪声指标，故无需考虑输入管跨导对噪声的影响。

任何模拟电路设计需要符合接口（输入和输出）电压范围和驱动（输出转换速率），确保信号基本上不失真地通过（频率带宽合适）。频带可用负反馈结构增大，但电路带宽过大则噪声也增大，不利于微弱信号的放大；带宽过小则发生信号失真；所谓失真是指信号的频谱分量发生了改变，与整体衰减和延迟是两码事。

以下从包括补偿电容的大摆幅输出级电流需求开始设计 OP 开环运放。

### ● 设计节点的工作点电压

从负反馈应用电路稳定性考虑，两级放大器内部须加频率补偿  $C_c$  电容，将主极点推向频率原点，补偿电容限定了转换速率。

当满足放大器输出支路的上拉 PM5 和下拉 NM7 管具有足够大的电流驱动能力条件时，输出转换速率应与负载电容无关。

采用零点近似抵消第 2 极点的方法确定补偿支路的  $R_z$  和电容  $C_c$

在第一级放大器输出端（CASCODE）支路的各 MOS 管寄生电容可忽略前提下（ $\ll$  补偿电容  $C_c$ ），

$$\text{OP 单元第2极点 } \omega_{p2} \approx \frac{g_{m7}}{C_L}, \quad (\text{不需要计算其数值})$$

$$\text{左半平面零点项 } 1 + \frac{s}{\omega_z}, \text{ 这里 } \omega_z \approx \frac{1}{C_c(R_z - 1/g_{m7})},$$

$$R_z \geq 1/g_{m7} \quad \text{成为正相移的 } s \text{ 左半平面“好”零点。}$$

用“好”零点  $\omega_z$  近似抵消第二极点  $\omega_{p2}$ ，

$$\text{假设取补偿电阻 } R_z = \frac{3}{g_{m7}},$$

则计算得到  $C_c = ?$

$R_z$  和  $C_c$  可取其它数值，满足“好”零点和 SR（转换速率）要求即可。

$C_c$  越大，则相位裕度越大（即主极点频率更小，增益交点 GX 更加推向频率原点）；但是，为了满足大信号跳变的输出转换速率（或称为压摆率）指标要求， $C_c$  越大则 SR 所导致的功耗（尾电流源  $I_{ss}$ ）也越大，所以  $C_c$  取值需折中考虑。

B、进行信号通路上的 MOS 工作点估算、分配支路电流。

模拟或射频电路中信号支路（电流）和节点（电压）具有明确的（恒定或周期）直流工作点，这是与数字单元电路最大的不同之处。

MOS 工作点指栅源直流电压  $V_{GS}$  或漏极直流电流  $I_D$ ，两者实际上是一回事，通过 MOS 的 IV 公式联系起来，只需确定其一。

信号交变时，瞬态工作点是波形均值。

设计电路时，MOS 工作点须先进行人工进行分析，根据电路结构特点确定，工作点设计不当将会使后续设计工作无效。信号通路中 MOS 工作点的设计原则一般是尽量使信号变化范围较大；若瞬态分析仿真波形中若出现不应有的振荡或失真（尤其是高频大幅度），经常是由于电路中 MOS 工作点设置不当引起的。

信号通路上 MOS 设计的基本原则：

要保证信号通路上 MOS 管在信号变化时总是工作在饱和区，节点上有大幅度信号时要注意这一点。

顺便指出，模拟电路一般是对信号进行放大和滤波，因此也有称为信号调理；而在数字电路中，都是称为信号处理。

如何理解电路的输入电压范围？

输入电压范围越大，越易于与前级电路连接。因此采用了具有较大输入信号电压范围优点的折叠式 CASCODE 作为第一级放大，CASCODE 结构输出阻抗大具有高增益的优点，且由于其输入管的密勒效应小而适合高速信号处理。

开环运放电路所允许的输入信号幅度与运放增益有关，而增益与频率有关，因此可分析低频（0 频）和高频两种极限情况，其它频率的增益和输入幅度介于其中；闭环电路增益约为  $1/\beta$ ，前提是环路增益  $\gg 1$  的非高频情况。

低频时开环运放低频增益很大，因此输入信号幅度很小，这时的输入电压范围是指小幅度变化信号的直流电平可变范围；按  $V_{in}$  共模电平  $V_{inCM} = 1V$  设计输入管，因此本实验要求的最小  $V_{inCMmin} = \sim 0.7V$ ，最大  $V_{inCMmax} = \sim 1.3V$ ；若  $V_{in}$  超过最大或最小范围则更好。

单位增益带宽一定是高频情况，此时增益为 1，例如电压跟随器，此情况下的输入电压范围是输入激励信号的幅度可变范围。因要求输入电压范围为  $\sim (0.7 - 1.3V)$ ，故当采用单位增益频率仿真验证设计指标时，若开环运放 OP 的直流输入电平（即共模）为 1V，则考察输入信号幅度=0.3V 的输出状态是否正常。

0.18um 工艺 MOS 管过驱动电压  $V_{OD}$  一般不应小于 0.1V，多为 0.2~0.3V， $V_{OD} = V_{GS} - V_{TH}$  是饱和区工作 MOS 的  $V_{DS}$  最小值。信号通路上 MOS 管须  $|V_{DS}| > V_{OD}$  或  $|V_{DS}| > V_{dsat}$ （饱和电压），以保证 MOS 工作在饱和区。 $V_{DS}$  小于  $V_{dsat}$  时 MOS 输出电阻  $r_o$  明显减小，理论计算时采用  $|V_{DS}| \geq V_{OD}$ 。

CASCODE 隔离管偏置  $V_b$  的设置：

根据实验一，已知无衬偏时  $V_{THn} = 0.42V$ ， $|V_{THp}| = 0.43V$ ，P 管和 N 管阈值电压数值很接近，第一级放大器的 CASCODE 支路 PMOS 和 NMOS 结构上下对称，

且  $V_{o1}$  变化较小，因此可将 CASCODE 上下隔离管的偏置电压设置成同一个  $V_b = V_{dd}/2 = 0.9V$ 。由于 NMOS 管有衬偏效应，NM5 和 NM6 阈值电压  $V_{THn} = 0.5V$ ，因此也可将  $V_b$  设置得稍高一点，例如  $0.9V \sim 0.93V$ 。

以下分析电路结构，合理地设计不同支路节点位置上 MOS 管的过驱动电压  $V_{OD}$ ，得到各个 MOS 管的初始 W/L， $V_{OD}$  是 MOS 饱和区  $V_{DS}$  的最小值。

#### 从放大器后级向前级推算工作点电平：

手工计算除输入级之外的各个支路 MOS 管 W/L，关键是要合理地确定 MOS 过驱动电压  $V_{OD} = V_{GS} - V_{TH}$ 。

输出级电流大，假设 NM7 过驱动电压  $V_{ODn7}$  为  $0.25V$ 。

OP 单元输出支路的上拉负载管是 PM5 电流源，因此开环电路的输出直流电平与工艺角或温度等有关，即开环输出电平不能确定；设计在 tt 工艺角下（概率最大），输出级 MOS 管工作在饱和区，使  $V_{out}$  直流输出电位约为  $1V$ 。

由于是电流镜结构，输出级上拉管 PM5 的过驱动电压与 PM0 电流镜相同；

第二级放大器上拉管 PM5 漏极电流与输入管 NM7 漏极电流相同，调试第一级放大器的 CASCODE 电流镜 M3~M6 管尺寸，使直流输出电压  $V_{o1}$  控制 NM7 漏极电流与 PM5 漏极电流基本一致。判别准则是：采用低频正弦激励的瞬态仿真一段时间后时，开环运放 OP 输出直流电压基本不变， $V_{outCM} \approx 1V$ 。

第一级放大器（折叠式 CASCODE）差转单后接输出级放大器，在设计直流电平  $V_m = V_{o1}$  时，不仅受到 NM7 的输入电位  $V_{GSn7}$  ( $=V_{OD7} + V_{THn7}$ ) 约束，而且还需要满足  $V_{GSn3} = V_m < V_j + V_{THn3}$ 。

静态工作点：  $V_{o1} = V_{GSn7} = V_{THn7} + V_{ODn7} = 0.42 + 0.25 = 0.67V$ ；

输入平衡（直流）时：  $V_{o1} = V_m = V_{GSn3} = V_{THn3} + V_{ODn3}$

$V_{THn7} = V_{THn3} = 0.42V$ ，  $V_{ODn3} = V_{ODn7} = 0.25V$ ，

故  $V_{DSn3}$  最小值  $= V_{ODn3} = 0.25V$

已知 CASCODE 隔离管偏置电压  $V_b = V_{GSn5} + V_{DSn3} = 0.9V$

即  $V_{GSn5}$  最大值  $= V_b - V_{DSn3}$  最小值  $= 0.9 - 0.25 = 0.65V$

NM5 源极约有  $0.3V$  衬偏电压， $V_{THn5} \approx 0.5V$ ：

$V_{ODn5} = V_{GSn5} - V_{THn5} = 0.65 - 0.5 = 0.15V = V_{ODn6}$

本实验电路在工艺阈值和性能指标条件下仅需一个偏置  $V_b$ 。但是，第一级折叠式 CASCODE 放大器输出支路的上下隔离级 MOS 管共用一个偏置电压  $V_b$  的电路结构有个缺点，就是电流源 PM1 和 PM2、NM3 和 NM4 工作在饱和区-线性区边缘，可能会造成高频信号幅度较大时的信号失真。这是由于 MOS 寄生电容的作用，使

得 CASCODE 隔离管 PM3 和 PM4、NM5 和 NM6 的隔离作用在高频时减小，导致该支路的高频输出信号串入  $V_x$  和  $V_y$ 、以及  $V_j$  和  $V_k$  节点，使得 PM1 和 PM2、NM3 和 NM4 的漏源电压  $V_{DS}$  减小，使电流源 MOS 管可能会瞬间进入线性区。

对于变化小信号，CASCODE 支路中  $V_{o1}$  和  $V_m$  变化方向相反， $V_{o1}$  比  $V_m$  信号幅度大。NM5 和 NM6 电流是从上方 PM1 和 PM2 流入，因此可以通过减小  $V_{GSn5}$  和  $V_{GSn6}$ ，即增大其宽度  $W_{n5}$  和  $W_{n6}$  的方法，间接使得 NM3 和 NM4 的  $V_{DSn3,4}$  增大，解决 NM3 和 NM4 容易进入线性区的问题。

CASCODE 支路 MOS 管电压直流工作点预估依据：

$$V_j = V_k = V_{DSn3,4} = V_b - V_{gsn5} = V_b - (V_{THn5} + V_{ODn5}) = 0.9 - (0.5 + 0.15) = 0.25V$$

勉强满足  $V_{DSn3,4} \geq V_{ODn3,4} = 0.25V$ ，NM3 和 NM4 工作在饱和区边缘。

可如前述，采用增大 NM5 和 NM6 宽度的方法，减小隔离管 NM5 和 NM6 的栅源电压  $V_{GS5,6}$ ；因此对于 CASCODE 的 NMOS 管电流镜负载电路， $V_b=0.9V$  合适。

虽然  $V_{GDn6} = V_b - V_{o1} = 0.9 - 0.67 = 0.23V < V_{THn6} (= 0.5V)$ ，但应注意  $V_{o1}$  向下变化范围最多只有  $0.5 - 0.23 = 0.27V$ ，否则 NM6 将进入线性区而发生失真。

以下验算第一级放大器 CASCODE 支路的 PMOS 电路工作点。

已知 PMOS 的阈值电压  $V_{THp}=0.43V$ ，设全部 PMOS 管的过驱动电压  $V_{ODp} = 0.2V$ 。

计算 CASCODE 支路上的静态工作点  $V_x$  和  $V_y$ ，即计算 PM1 和 PM2 的漏极电位：

$$V_x = V_y = V_b + |V_{GSp3}| = V_b + |V_{THp} + V_{ODp}| = 0.9 + |0.43 + 0.2| = 1.53V$$

PM1 和 PM2 漏源电压：

$$V_{DSp1,2} = V_{DD} - V_x = 1.8 - 1.53 = 0.27V > V_{ODp} = 0.2V$$

表明 PMOS 管过驱动电压  $V_{ODp}$  设置合理。

设计输入电流镜偏置电位  $V_{bp}$  和  $V_{bn}$ ：

PM0 与 PM1、PM2、PM5 分别组成 3 个电流镜，栅极电位  $V_{bp}$  相同，

$$V_{bp} = V_{DD} - V_{GSp0} = V_{DD} - |V_{THp} + V_{ODp}| = 1.8 - |0.43 + 0.2| = 1.17V$$

PM1 和 PM2 的漏极电位  $V_x$  和  $V_y = 1.53V$ ，高于其栅极电位  $V_{bp} = 1.17V$ ，因此需检查 PM1 和 PM2 的栅漏电压，判断是否在饱和区：

$$\begin{aligned} |V_{GDp1}| &= |V_{GDp2}| = |V_{GSp1} - V_{DSp1}| \\ &= |(V_{DD} - V_{bp}) - (V_{DD} - V_x)| = |V_x - V_{bp}| = |1.53 - 1.17| = 0.36V \\ &< \text{PMOS 阈值电压 } |V_{THp}| = 0.43V \end{aligned}$$

X 和 Y 节点电压允许变化  $0.43 - 0.36V = 70mV$ 。

因此对于 CASCODE 的 PMOS 管电路，电流镜偏置  $V_{bp}$  和 CASCODE 隔离管偏置电压  $V_b$  可以满足低频差动输入信号幅度不大的情况。

输入电流镜偏置电位  $V_{bn}$  的设计：

$$V_{bn} - V_{THn0} < \text{尾电流源 NM0 漏级电平 } V_{DS0} = V_p,$$



输入共模  $V_{inCM} = V_{GSn1} + V_p = V_{THn1} + V_{ODn1} + V_p$

设  $V_{ODn1} = V_{ODn2} = 0.1V$ ，则

$$V_p = V_{inCM} - V_{GSn1} = V_{inCM} - (V_{THn1} + V_{ODn1}) = 1 - (0.5 + 0.1) = 0.4V$$

输入电压范围为  $\sim (0.7V \sim 1.3V)$ ，因此  $V_{inCM}$  范围有上下  $0.3V$  变化范围， $V_p > V_{ODn0}$  需预留  $0.3V$  变化范围：

理论上最小设计  $V_{p,min} = V_{ODn0} = 0.4 - 0.3 = 0.1V$ 。

由于  $0.18\mu m$  工艺的 NM0 尾电流源  $V_{DS}$  较小时  $r_{o0}$  变小，影响共模抑制；因此在允许输入信号的下限可稍微提高时，提高 NM0 尾电流源的下限漏极电位  $V_p$ 。

于是，实际设计  $V_{p,min} = V_{ODn0} = 0.14V$ ，即稍稍修改  $V_{inCM}$  不低于  $0.74V$ ，

$$V_{bn} = V_{THn0} + V_{p,min} = 0.42 + 0.14 = 0.56V$$

若输入直流电压  $< 0.7V$ ，尾电流源进入线性区，输出波形会有失真。

不妨设计电流镜 NM8 和 NM9 与输入级的尾电流源 NM0 的宽长比相同，则 NM8 和 NM9 的过驱动电压也是  $0.14V$ 。

电流镜 NM8 和 NM9 提供偏置电压  $V_{bn}$ ，并通过 PM0 和  $R_b$  提供  $V_{bp}$ 。实用电路系统中应尽量减小偏置支路的电流损耗。

在尾电流  $I_{SS}$  确定情况下，输入管 NM1 或 NM2 的栅源电压  $V_{GSn1}$  越小，则输入管的宽长比需要越大，这时会增大运放低频增益，且有利于减小  $1/f$  噪声；但由于增大了输入电容，不利于通过高频信号，而且开环运放的差动输入电压幅度变化范围减小。

根据上述对于 OP 电路的节点分析，以及 MOS 管过驱动电压的设计，OP 电路节点的直流电位设计数值罗列在表 5.1。

表 5.1 电路节点的直流电位设计

| 线网名  | 计算公式   | 解 释                               | 计算值<br>(V) | 仿真值<br>(V) |
|------|--|-----------------------------------|------------|------------|
| Vin+ | 1V   | 输入共模                              | 1          | 1          |
| Vin- | 1V   | 输入共模                              | 1          | 1          |
| Vb   | 0.9V   | CASCODE 隔离管偏置                     | 0.9        | 0.9        |
| Vbn  | $= V_{GSn0} = V_{THn} + V_{ODn0}$                          | 输入级尾电流源栅压                         | 0.56       |            |
| Vr   | $V_{DD} - (V_{bp} - R_b \cdot I_{n9})$<br>NM9 饱和           | 电流镜 M9 漏极电压，<br>用于计算 $R_b$        | $> 0.14$   |            |
| Vp   | $> 0.14V$ 。<br>$= V_{DSn0} = V_{in} - V_{THn1} - V_{ODn1}$ | $V_p$ 下限= NM0 饱和区<br>边缘 $= 0.14V$ | $> 0.14$   |            |
| Vbp  | $V_{DD} - V_{GSp0} = V_{DD} - V_{THp} + V_{ODp}$           | PM1、PM2、PM5 偏置                    | 1.17       |            |
| Vx   | $V_b +  V_{GSp3} $<br>$= V_b +  V_{THp} + V_{ODp} $        | CASCODE 支路中 PM1<br>漏极电位           | 1.53       |            |
| Vy   | $V_b +  V_{GSp4} $<br>$= V_b +  V_{THp} + V_{ODp} $        | CASCODE 支路中 PM2<br>漏极电位           | 1.53       |            |
| Vo1  | $= V_{GSn7} = V_{THn7} + V_{ODn7}$                         | CASCODE 输出，输出级                    | 0.67       |            |

|      |                                    |                          |      |  |
|------|------------------------------------|--------------------------|------|--|
|      |                                    | NM7 栅压                   |      |  |
| Vm   | $= V_{GSn3} = V_{THn3} + V_{ODn3}$ | CASCODE 中与 Vo1 镜像，直流电位相同 | 0.67 |  |
| Vj   | $= V_{DSn3} = V_b - V_{gsn5}$      | CASCODE 支路 NM5 隔离管源极节点   | 0.25 |  |
| Vk   | $= V_{DSn4} = V_b - V_{gsn6}$      | CASCODE 支路 NM6 隔离管源极节点   | 0.25 |  |
| Vout | 与 1V 误差不超过 0.4V*                   | 输出尽量接近理想值                | 1    |  |

说明：（1）因输出级为电流源，故开环运放 OP 仿真的直流输出与理想值的偏差可以较大。当组成电阻负反馈放大器应用电路时，根据差动输入端虚短原理，使得由外部输入信号确定输出直流电位；在开环设计时，最好使其 tt 工艺角仿真（概率最大）接近理想值；

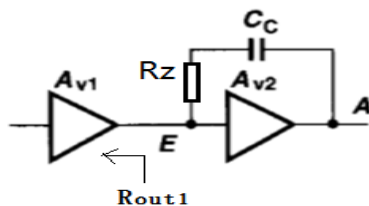
（2）表 5.1 中最右侧的仿真值一列，可用于进行记录仿真结果，各个仿真数值与设计值存在一定的偏差是正常现象。

开环运放的低频增益越大越好。负反馈应用电路的闭环增益近似由反馈支路确定的前提是在该频率下的环路增益很大（ $LG \gg 1$ ）；低频增益影响闭环输入虚短和闭环增益的精度。

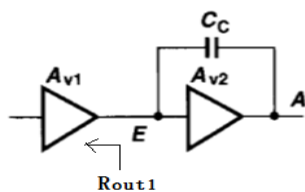
显然，依据过驱动电压设计  $W/L$ ，没有涉及高频（与电容有关）。为满足运放的幅频特性，减少修改并仿真的尝试次数，可利用高频近似电路，手工计算满足单位增益带宽条件的输入管  $W/L$  近似值；若大于用过驱动电压方法得到的  $W/L$ ，则用高频电路近似计算方法得到的  $W/L$  替换之。此方法优点是考虑了单位增益带宽，实际上是补偿电容  $C_c$  对高频增益的影响。

高频增益计算原理如下述。

OP 简化为下图所示的 2 级放大结构：



设  $R_z$  小于  $C_c$  的高频容抗，则上图近似成为下图：



$$\text{第一级增益 } A_{v1}(s) \approx g_{m1} \left( R_{out1} \parallel \frac{1}{A_{v2} s C_c} \right)$$

$g_{m1}$  为输入管跨导， $R_{out1}$  很大；

$$\text{高频总增益 } A_{v,tot}(s) = A_{v1}(s) \times A_{v2}(s) \approx g_{m1} \frac{1}{A_{v2}(s) \times sC_c} A_{v2}(s) = \frac{g_{m1}}{sC_c}$$

已知单位增益频率  $f_u = 80 \text{ MHz}$ ，此频率时总增益  $A_{v,tot}(f_u) = 1$ 。

$$\mu_n C_{ox} = 3.246 \times 10^{-4} \frac{A}{V^2}$$

$$g_{m1} = \sqrt{2\mu_n C_{ox} \left(\frac{W}{L}\right)_{n1} I_{n1}} = A_{v,tot}(f_u) \times \omega_u C_c = 2\pi f_u C_c$$

$$\text{输入管 } \left(\frac{W}{L}\right)_{n1} = \frac{(2\pi f_u \times C_c)^2}{2\mu_n C_{ox} I_{n1}} \approx \frac{(2\pi \times 80 \times 10^6 \times C_c)^2}{2 \times 3.246 \times 10^{-4} \times I_{n1}} = ?$$

上图结构过于简化，由于忽略了反馈支路中的  $R_z$ ，导致计算公式不太准确。

### ● 设计放大器支路电流

根据理论分析可知，第一级折叠式 CASCODE 放大电路的 4 条支路（差动输入级 2 支路和 cascode 镜像电流源即 NMOS 下拉 2 支路）电流应相等。

设第一级折叠式 CASCODE 放大电路和运放输出级的转换速率 SR（压摆率）分别为  $SR_1$  和  $SR_2$ ，合理情况下二者应相等，即  $SR_1 = SR_2 = \text{电路总 SR}$ ，其物理意义是电路信号通路中每级放大输出的大信号带宽相等。

$$\text{第一级放大器（折叠式 CASCODE）输出 } SR_1 = \frac{dV_{o1}}{dt} = \frac{I_{Cc,\max}}{C_c} \approx \frac{I_{n0}}{C_c}$$

$I_{n0}$  是实验电路中输入尾电流源电流，常写为  $I_{SS}$ 。

$$\text{输出级放大器 } SR_2 = \frac{dV_{out}}{dt} \approx \frac{I_{p5}}{C_c + C_L}$$

$I_{p5}$  是输出级 PM5 电流源电流。

$$\therefore I_{p5} = \frac{C_c + C_L}{C_c} I_{n0} = \frac{C_c + C_L}{C_c} I_{SS}$$

验证转换速率  $SR > 25V/\mu s$ ：

设计时可稍微高一点，不妨设  $SR = 30V/\mu s$ ，  
得到 NM0 尾电流源：

$$I_{n0} \approx C_c \times SR > 10^{-12} \times \frac{30}{10^{-6}} = 30\mu A$$

公式推导时忽略了实际电路中的寄生电容，MOS 寄生电容会减小高频增益，

因此增大输入级的尾电流源  $I_{ss}$  即  $I_{n0}$  和输出级  $I_{p5}$  电流源。例如设：

$$I_{n0} = 40\mu A, \text{ 计算 } I_{p5} = ?$$

提高电流导致功耗增大，但有利于提高电路增益和转换速率，并降低输入管噪声。由于难以利用寄生电容进行较精准计算，本实验采用多预算一些功率裕量的方法进行设计。

输出级放大管 NM7 管漏极直流电流等于上拉电流源 PM5 的漏极直流电流：

$$I_{N7} = I_{P5}。$$

第一级折叠式 Cascode 放大器中 4 条支路电流相等，即：

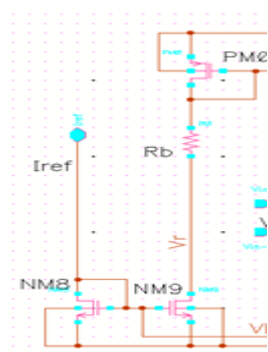
$$\text{每个输入管电流} = I_{n0} / 2 = \text{每条 CASCODE 下拉支路电流} = 20 \mu A \\ (\text{可设计为其它合适的值})$$

因此，信号路径上（不包括偏置）电流

$$= \text{输出级支路电流} + \text{第一级放大器（尾电流源+Cascode 支路）电流} \\ = I_{p5} + 4 * 20 \mu A = ?$$

### ● 设计电流镜偏置支路

$I_{ref}$  引入的电流镜：



取 NM8、NM9 和 NM0 的 W/L 相同，

则  $I_{ref} = \text{NM9 漏极电流 } I_{n9} = \text{NM0 尾电流源 } I_{n0} = 40 \text{ 微安}。$

因此，偏置支路的电流 =  $I_{ref} + \text{NM9 漏极电流} = 40 + 40 \mu A = 80 \text{ 微安}；$

电路总电流 = 信号路径上电流 + 偏置电流 = ?

根据功耗指标，可用的总电流 =  $1\text{mW}/1.8\text{V} = 556 \text{ 微安}。$

电路总电流一般应满足功耗设计要求。但在实际芯片电路设计时，为保证电路其它重要的设计指标，只要电路能正常工作，则可牺牲一些功耗。

多余功耗可用于后续电路指标的调整。例如增益不够时可通过增加第一级放大器（输入差动对 + CASCODE 支路）电流的方法解决，增大输入管电流实际是为了增大  $g_{m1}$ ，或在有低噪声指标要求时增大输入级电流。

电流镜支路中  $R_b$  的作用是承担一些电压，使输入尾电流源的镜像效果较好：

$$R_b = (V_{bp} - V_r) / I_{n9}, V_r \text{ 可取为 } V_{bn}。$$

### ● 设计信号通道上的 MOS 管 W/L

根据表 5.1 中给出了 MOS 管的过驱动电压  $V_{od}$ ，计算各支路每个 MOS 管的 W/L。对于 180nm 工艺，W 的设计精度近似到 0.05 微米即可。

由实验一得到 smic18mmrf 工艺参数，留意工艺“跨导”的数量级：

$L=0.8\mu\text{m}$ 时的工艺“跨导”：

$$\text{NMOS管: } \mu_n C_{ox} = 3.246 \times 10^{-4}, V_{THn} = 0.418V$$

$$\text{PMOS管: } \mu_p C_{ox} = 0.67 \times 10^{-4}, V_{THp} = 0.430V$$

$$\text{按照公式 计算 } \frac{W}{L} = \frac{2I_D}{\mu C_{ox} V_{od}^2}, \text{ 即 } W = \frac{2I_D}{\mu C_{ox} V_{od}^2} L$$

将设计的 MOS 管电流和 W/L 填入表 5.2。

表 5.2 MOS 设计（所有参数值用自己设计值替代）， $L =$

| MOS | $I_D$<br>( $\mu\text{A}$ ) | $V_{OD}$<br>(V)   | W<br>( $\mu\text{m}$ ) | 说 明  |
|-----|----------------------------|-------------------|------------------------|--|
| PM0 | 40                         | $V_{ODp} = 0.2$   |                        | PMOS 电流镜；与 NM9 电流相同  |
| PM1 | 40                         | $V_{ODp} = 0.2$   |                        | 与 PM0 是电流镜   |
| PM2 | 40                         | $V_{ODp} = 0.2$   |                        | 与 PM0 是电流镜   |
| PM3 | 20                         | $V_{ODp} = 0.2$   |                        | CASCODE 上拉电路的隔离管   |
| PM4 | 20                         | $V_{ODp} = 0.2$   |                        | CASCODE 上拉电路的隔离管   |
| PM5 |                            | $V_{ODp} = 0.2$   |                        | 与 PM0 是电流镜，不单独调整尺寸，Multiplier = 3                          |
| NM0 | 40                         | $V_{ODn0} = 0.14$ |                        | 与 NM8 是电流镜，VOD 较小使输入电压的动态范围增大                              |
| NM1 | 20                         | $V_{ODn1} = 0.1$  |                        | 输入共模 0.7~1.3V  |
| NM2 | 20                         | $V_{ODn2} = 0.1$  |                        | 正输入端（与输出同相）  |
| NM3 | 20                         | $V_{ODn3} = 0.25$ |                        | $V_{GSn3} = V_m = V_{o1} = 0.67V$ ,<br>$V_{THn3} = 0.418V$ |
| NM4 | 20                         | $V_{ODn4} = 0.25$ |                        | 与 NM3 镜像   |
| NM5 | 20                         | $V_{ODn5} = 0.15$ |                        | CASCODE 下拉电路的隔离管   |
| NM6 | 20                         | $V_{ODn6} = 0.15$ |                        | CASCODE 下拉电路的隔离管   |
| NM7 |                            | $V_{ODn7} = 0.25$ |                        | $R_z > 1/g_{m7}$ ，若后续调整 NM7 尺寸，<br>则需关联调整 $R_z$            |
| NM8 | 40                         | $V_{ODn8} = 0.14$ |                        | NMOS 电流镜输入   |
| NM9 | 40                         | $V_{ODn9} = 0.14$ |                        | 与 NM8 形成电流镜  |

### ● 设计无源器件

先前已经获得补偿支路的  $C_c$ ；

补偿支路的电阻  $R_z > 1/g_{mn7}$  即可获得正相位零点。  
偏置电路的电阻  $R_b = (V_{bp} - V_r) / I_{n9} = (V_{bp} - V_{bn}) / I_{ref}$

表 5.3 无源器件设计

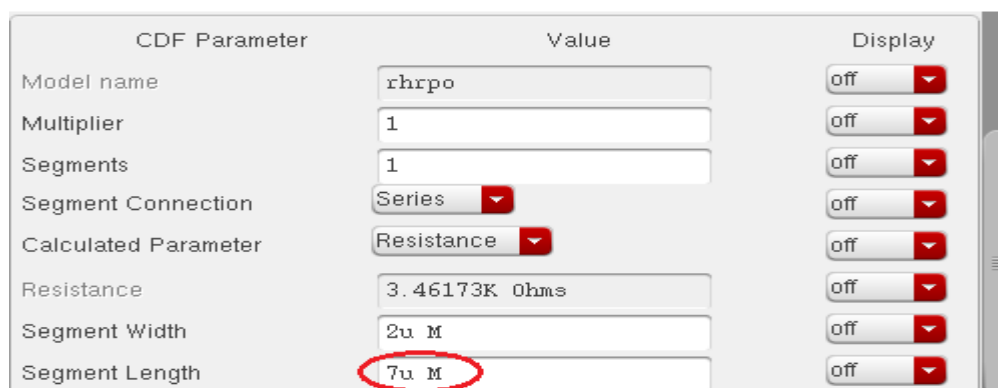
| 器件 | 参数值 | 单元名称  | 计算依据   | 说明                               |
|----|-----|-------|--|----------------------------------|
| Rz |     | rhrpo | $R_z > 1/g_{mn7} = ?$<br>$g_{mn7} = \sqrt{2\mu_n C_{ox} \left(\frac{W}{L}\right)_{n7} I_{Dn7}}$        | 频率补偿移相电阻，当 NM7 宽长比有较大改变时要相应改变 Rz |
| Rb |     | rhrpo | $R_b = (V_{bp} - V_{bn}) / I_{Ref}$  | 大阻值方块电阻 rhrpo                    |
| CC |     | mim   | $\omega_z \approx \frac{1}{C_c(R_z - 1/g_{mn7})}$<br>$\approx \omega_{p2} \approx \frac{g_{mn7}}{C_L}$ | 频率补偿电容                           |

采用方块电阻大、温度系数小、与其它器件隔离、易于使用的 rhrpo 电阻，主要目的是节省芯片面积，也将采用此电阻设计闭环应用电路。

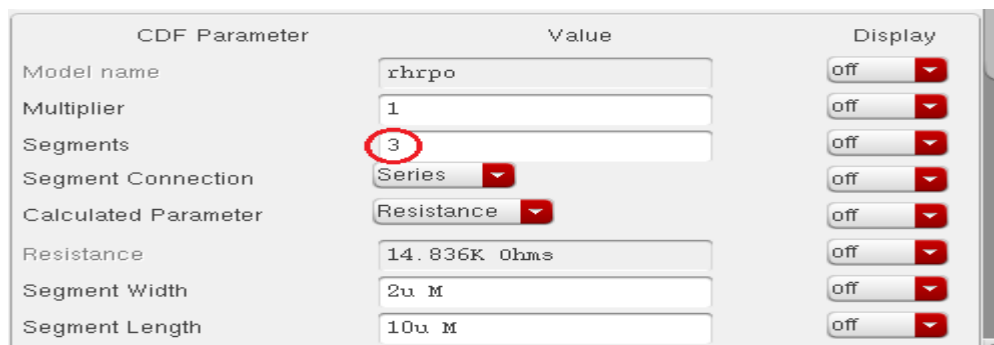
后续实验中依据仿真修改 MOS 时要注意：

频率补偿支路移相电阻 Rz 与 NM7 跨导有关；若当 NM7 宽度修改较大时（例如超过 40%），可能需要联动修改 Rz；始终保证频率补偿使用的密勒电容支路是左半平面零点（正相移的好零点）。

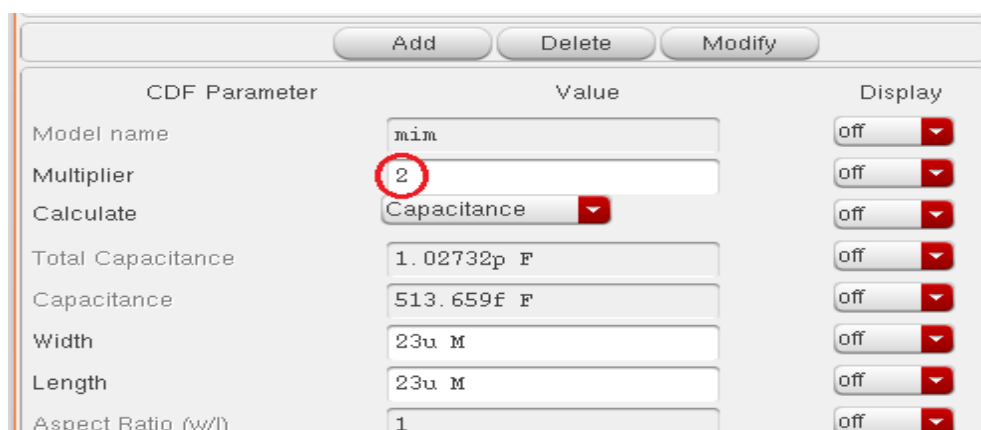
由于工艺规定单段电阻长度不能超过 100um，若电阻值较大则需要多段 Segments 串联拼接，小电阻只有 1 段；下图表示 Segment Length 与调整 Resistance 数值相对应，按照你的电阻设计值进行调整。



若是较大电阻，形状不要成为长扁担，设置 Segments > 1 成为扑克牌形状：



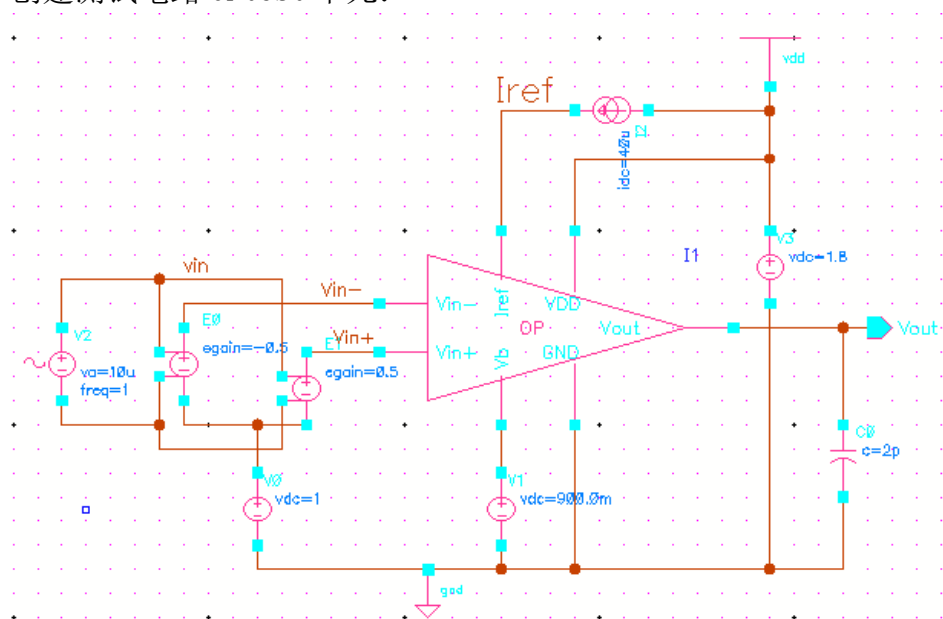
单个 MIM 电容边长不能超过 30um，较大电容需要多个并联拼接，如下例：



## ● 仿真工作点

建立 OP 单元的 Symbol1，最好为三角形，为节省时间也可采用缺省的长方形。

### A. 创建测试电路 OPtest 单元：



V0 为直流电源 vdc，DC Voltage =1 (V)，是输入共模电压；

V1 为直流电源 vdc，DC Voltage = 900m (V)，接 OP 中的偏置 Vb；V1 可以

设置为其它合理电压值。

V2 为正弦波激励源 vsin,

Amplitude = **10u** (V), Frequency = **1**

AC magnitude 专用于 AC 仿真的正弦激励幅度;

Amplitude 和 Frequency 用于瞬态仿真, 瞬态与 AC 仿真激励是无关的。

E0 为电压控制电压源 vcvs, Voltage gain = - 0.5, 接 Vin-;

E1 为电压控制电压源 vcvs, Voltage gain = 0.5, 接 Vin+;

E0 和 E1 将输入 vin 交变信号 (V2 正弦波激励) 换成反相差动输入信号;

V3 是 1.8V 直流电压源。

可使用 analogLib 库中其它形式的理想激励单元。

设置直流电流源 idc 的 DC current, 注意电流方向是流进 OP 的 Iref 端口;

电容 cap 为 2p (F)。

“Create Wire Name”进行 vin、Vin+、Vin- 和 Iref 线网名标注。

若未标注, 则 Virtuoso 软件自动分配无含意的 “net 序号” 线网名, 序号与连线次序有关。

每个器件单元 symbol 有个平常不可见的外框, 只有当鼠标放在上面时才显示外框的黄色虚线。若 2 个单元外框重叠, 则 Check and Save 时会给出警告信息。

#### B. DC 仿真检查直流工作点

进入 ADE L ( ) 仿真设置窗口, “Choose Analyses” 选瞬态仿真 “dc”;

Save DC Operating Point 选中有效;

Temperature 温度扫描: 0 ~ 100。

“Setup Outputs” 工具图标设置显示输出:

弹出 Setting Outputs 窗口, 点 “From Schematic”,

在 ADE L Editing 关联电路窗口, 选择 vin、Vin+、Vin-、OUT、Iref 线网电压;

点选 OP 模块, **E** 键进入下一层电路 OP 模块, 选线网 (已选线网为彩色);

因 OP 有个 GND 端口, 因而此步骤也将 GND 端口电流选中进行波形显示;

显示多余信号无妨; 若希望删除某些信号不仿真显示, 则在 Setting Outputs 和仿真设置窗口皆可 Delete。

检查是否已选上 GND 端口作为波形显示信号。若无, 则选中 GND 端口, 才能仿真后获得总电流。

在 ADE L() 仿真设置窗口检查一下, Outputs 栏信号应皆为 Plot 选中。

可直接在 OP 关联电路窗口点击 “Run Simulation” 图表工具仿真,

或在 ADE L ( ) 仿真设置窗口, 点 “Netlist and Run” 图标工具仿真。

也可 **Ctrl+E** 返回上层电路 OPtest 电路窗口, 同样点 “Run Simulation” 仿真;

最好是在底层单元 schematic 关联电路窗口运行仿真, 这样在 ADE L ( ) 仿



真设置窗口 “Results” 查看器件 DC Operating Points 状态时选择器件比较方便，其结果与在顶层电路单元进行仿真完全一致，都是按照 ADE L 仿真设置进行。

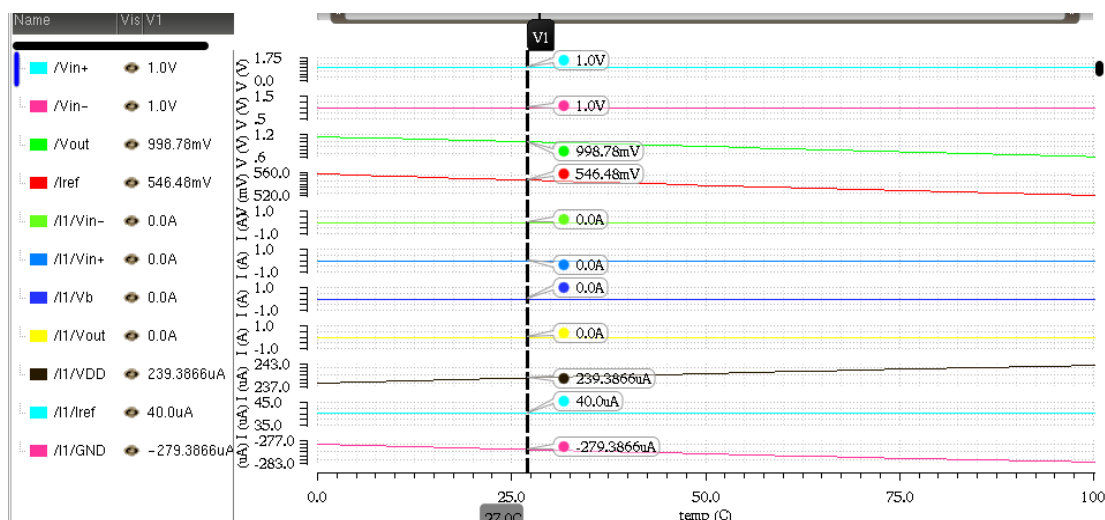
分开信号波形，注意部分信号量纲是 I (A) 电流。若在电路图上选中端口则有圆圈，波形窗口显示端口电流。

OPtest 顶层电路选中的 Iref 线网，显示其节点的波形输出电压，它与 OP 子电路中 Vbn 是同一个线网电压；而波形信号 /I1/Iref 是端口电流，在点 OP 模块进入内部电路前模块全部端口被选中。

获得室温下的节点电压或端口电流：

波形窗口中 “Marker” → “Create Marker...” → Vertical 面板中 X Position = 27。

部分信号如下图，移动窗口右侧的上下位置杆，显示其它信号波形：



读取波形窗口左侧信号对应的节点电压数值，与表 5.1 设计值比较；

检查 GND 电路总电流；

因有多个电源，注意 VDD 端口并不是总电流。

编辑含有子电路的规则：

若需要进入下一级单元 OP 进行修改电路，鼠标左键选定该单元，E 键进入选定单元内部电路，注意需要以 Open for 选 “edit” 有效方式打开。

若要从下层单元电路返回上一层电路，则 Ctrl + E。为避免可能的误操作，返回上层电路之前，用 ESC 取消先前操作。

验证功耗指标：

功耗 = GND 地电流 \* 电源电压 = ?

工作点仿真数值一般会与计算值接近，仅 Vout 数值可能偏差较大。

对于开环运放电路，只要 TT 工艺角下的 Vout 不使输出级 MOS 管 PM5 和 NM7 处于线性区，一般可以不进行调整。

运放电路要保证 MOS 管工作在饱和区。DC 仿真后在 ADE L () 仿真设置窗口，“Results” → “Print” → “DC Operating Points”，在电路图中选 MOS 管，则 Results

display Window 中的工作点数据应为 region =2 饱和和工作区域，注意查看输出级 PM5 和 NM7 的工作区，若  $V_{out}$  接近 1V 则无需查看。

仅依靠查看 region 可能对 MOS 处于饱和区边缘浑然不知，可用手算验证 PM5 和 NM7 管的工作区：

若输出电压  $V_{out}$  较小，需检查 NM7 是否满足饱和：

$$V_{GDn7} = V_{GSn7} - V_{DSn7} = V_{o1} - V_{out} < V_{THn7}$$

若输出电压  $V_{out}$  高于  $V_{bp}$ ，需检查 PM5 能否满足饱和：

$$V_{GDP5} = V_{out} - V_{bp} < |V_{THp}|$$

若希望  $V_{out}$  更接近 1V，可以调整 NM7 管宽度，NM7 与其它支路电流无关。

不要调整 PM5 管宽度，原因是由于 PM5 与 PM0 是电流镜，PM5 上电流与 PM1 和 PM2 都有关联，因而不便调整。

若使  $V_{out}$  电压升高，相当于使 NM7 的阻值增大，故应减小宽度  $W_{N7}$ ；

若使  $V_{out}$  电压降低，则增大 NM7 宽度。

凡是改变了电路参数，皆要在保存后才能仿真。

### C. 验证运放电路 OP 的低频小信号增益和单位增益带宽

若低频和高频特性皆正确，则整个频段模拟电路基本不会有问题。

先进行瞬态仿真，检查电路是否在正常的工作点，即输入适当的频率和幅度正弦波时，节点波形正常不削波；显然对于低频和高频的瞬态仿真，激励设置有不同特点要求。

然后进行 AC 仿真，获得电压传递函数波形，标注低频小信号增益和单位增益带宽。

以下解释 OPtest 单元瞬态仿真时正弦信号激励源 V2 的设置：

对照运放电路的设计指标，

输出摆幅 >  $V_{ocm}$  (约 1V)  $\pm 0.3V$ ，即输出范围应超过 0.7~1.3V

直流增益  $A_o$ :  $> 90dB = 10^{90/20} \approx 31623$

设 OP 差动输入为 10uV 幅度正弦波。若增益正确，输出信号幅度应大于 0.316V；此输入幅度设置可同时验证输出范围的设计指标。

要求设计的单位增益带宽  $f_u$  约为 80MHz。

假设电路近似为一阶系统，则  $f_u = A_o * f_{3db}$ ,  $f_{3db} = 80MHz / 32000 = 2500 Hz$ ，激励信号源设置为  $1Hz \ll f_{3db}$ ，相当于直流。

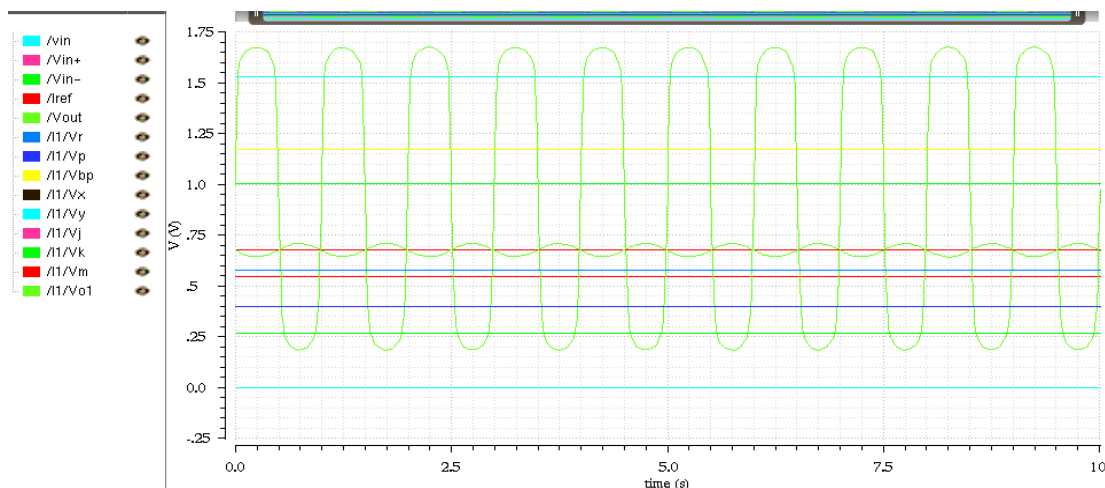
进行 OPtest 单元低频小幅度信号瞬态仿真：

在 ADE L ( ) 仿真设置窗口，“Choose Analyses”设置瞬态仿真“tran”。

Stop Time = 10 (s) 即 10 个波形时间；

Accuracy 精度高于“moderate”。

ADE L ( ) 仿真设置窗口，屏蔽掉（不选）先前的 dc 仿真。



输入信号 Amplitude 为 10uV、频率为 1Hz 时的 OPtest 瞬态仿真波形

输出线网 **Vout** 正弦波上下峰均有削波失真，输出电压数值接近轨到轨（电源和地），输出级 MOS 进入线性区，表明输出信号已超出放大器线性输出范围，即低频增益比设计指标更大（好）；若要获得不失真的放大波形，输入幅度应更小一点。

设计指标为：输出摆幅范围 > 输出直流电平  $V_{OCM} \pm 0.3V$

从 **Vout** 波形上看，符合设计指标。

分开波形，一些信号波形上可能出现高频波动分量，只要幅度微小则无妨。

需要注意瞬态仿真波形，在正弦稳态工作时，模拟电路的**非电流源**负载支路上的节点电压，不能有缓慢上升或下降的斜坡，即不能有低频（直流）电压上升或下降漂移。然而，对于无 **CMFB** 的电流源负载放大器（**OP** 开环运放电路）的输出电压，由于电容充放电电流的稍有不同，输出电压可以有缓慢变化（电容充电）；但是，当采用电阻构成负反馈电路时应该没有输出电压缓慢变化的现象。

在 **tran** 瞬态仿真时，也可查看 MOS 管的工作区状态。但是，MOS 管工作区域 **region** 是根据**初始**时刻状态和变量设置计算得到的，即使 **region = 2**，也不能保证波形变化时总是在饱和区。因此较大幅度变化信号的瞬态仿真时要特别注意，若发现波形失真，一般原因是进入了线性区，可判断为工作点设置不合适。

节点上有大幅度信号时，瞬态仿真应注意 MOS 管的饱和区要求：

$$V_{DS} > \text{过驱动电压 } V_{OD} = |V_{GS}| - |V_{TH}|$$

在输出摆幅（放大倍数）对输入幅度没有产生限制的条件下：

$$\text{差模输入值 } \Delta V_{inMAX} = \sqrt{\frac{2I_{SS}}{\mu C_{ox} \left( \frac{W}{L} \right)_{1,2}}}$$

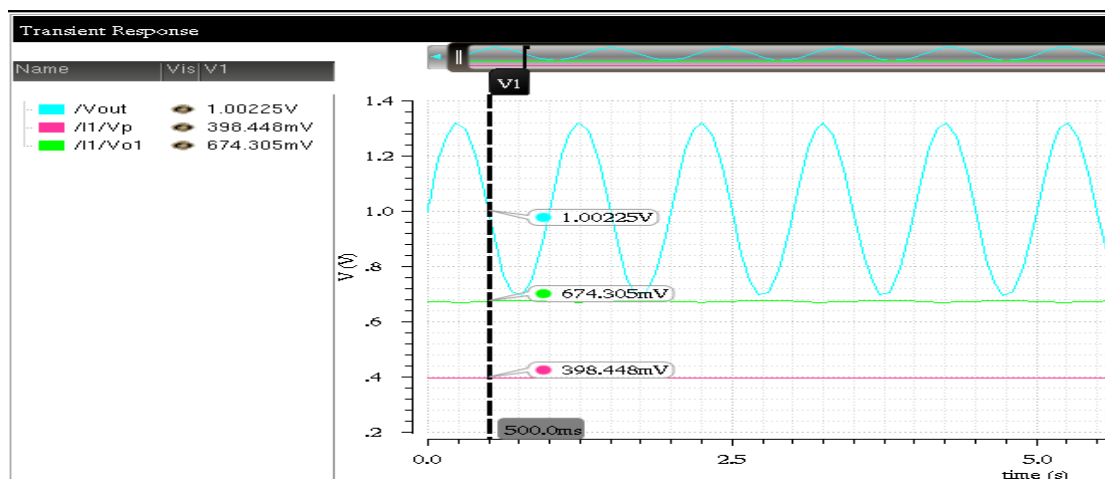
修改输入幅度，重仿 **tran** 分析，获得正常的放大波形：

在 OPtest 关联电路图窗口，修改 vsin 信号源（vin 差动激励）中瞬态仿真幅度属性，将 Amplitude 设为 **1u**（V）；

修改参数后，电路图 “Check and Save” 才能进行仿真。

为避免瞬态仿真无关波形影响显示，在 ADE L() 仿真设置窗口的右下 Outputs 栏，仅保留 Vout 输出、Vp 尾电流源漏极电压、Vo1 输出级输入信号（CASCODE 级输出）被 Plot 勾号选中，以便分析问题。

在 ADL L Editing 关联电路图窗口直接进行 “Run Simulation” 仿真，若不能，则在 ADE L() 仿真设置窗口运行 “Netlist and Run” 仿真。



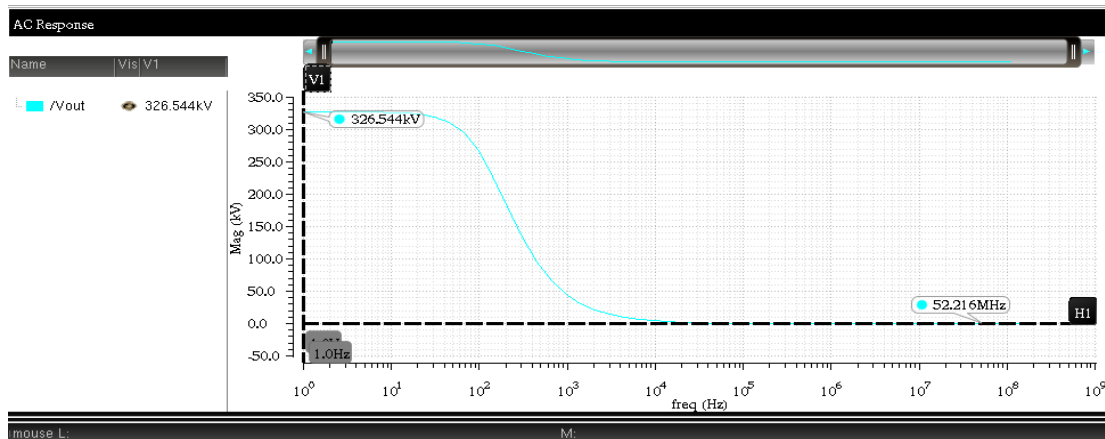
上图是输入共模电平为 1V（测试电路 OPtest 中 V0 的 DC Voltage=1V）、差动输入正弦信号的幅度为 1uV 时的瞬态仿真 Vout 波形，在 X Positin=0.5s 处标注。

若你的波形正常，则后续进行 AC 仿真，获得低频增益和单位增益带宽初值。  
设置 AC 仿真分析，

Frequency 扫描：1~200M ；

ADE L ( ) 仿真设置窗口，仅选 Vout 为显示输出，仅使 ac 分析有效。

AC 仿真后，标注低频（1 Hz）增益（X Positon=1 垂直线 V1）和单位增益带宽（Y Positon =1 水平线 H1）：



输入直流电平为 1V、AC magnitude=1V 时的 Vout 传递函数波形图

从上图 AC 仿真图中标注值可看出， $A_0=326544$ ，

满足（大于）OP 的直流增益设计指标： $A_o > 90dB=10^{90/20} \approx 31623$

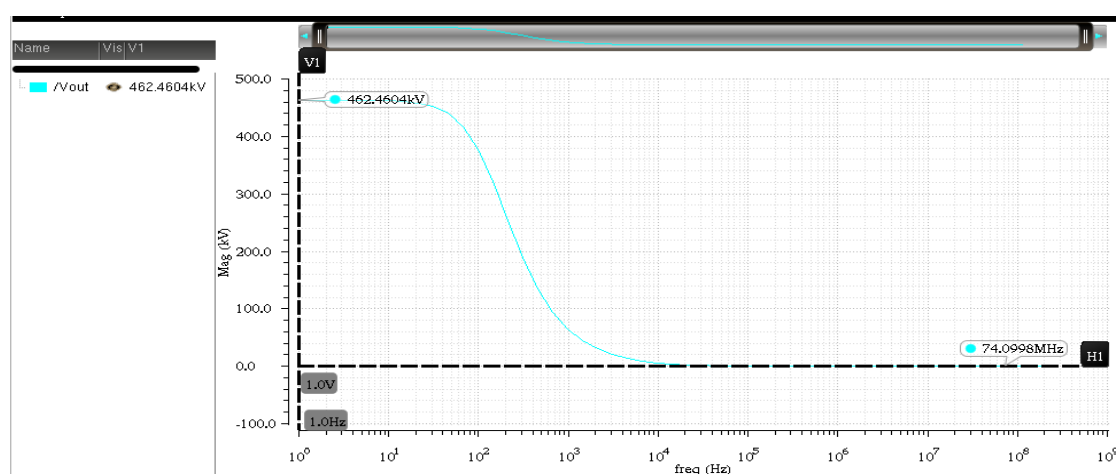
但不满足（小于）单位增益频率要求约为 80M Hz 的设计指标。

如何提高单位增益带宽？

$f_u \approx \frac{g_{m1}}{2\pi C_c}$ ，单位增益频率由  $g_{m1}$  和  $C_c$  确定

由公式可知，采用增大输入管宽度  $W_{n1,2}$  或增大尾电流的方法，能增大单位增益带宽频率  $f_u$ 。

修改电路输入管宽度  $W_{n1,2}$ ，保存后 ac 重仿。



由于噪声的缘故，带宽并不是越大越好。

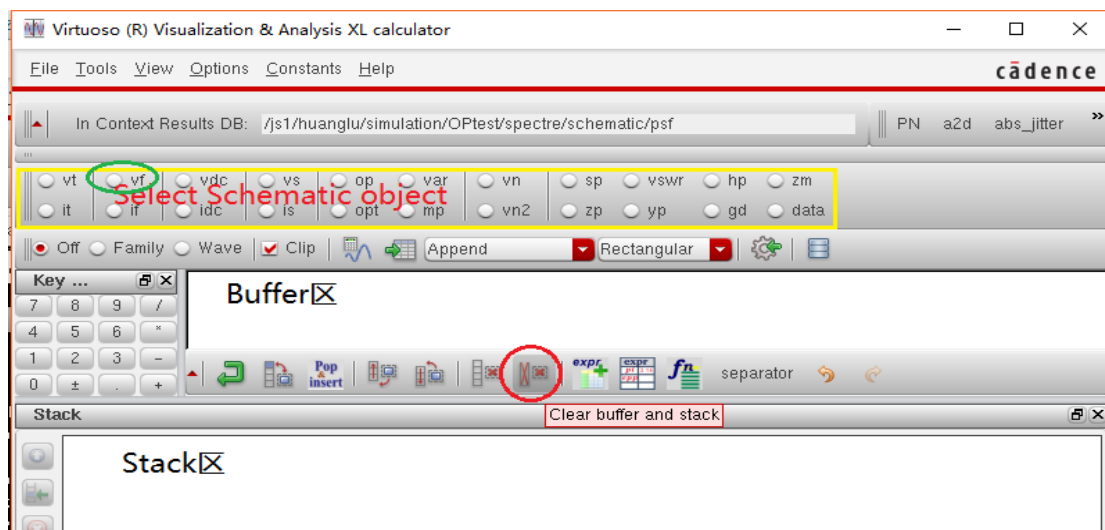
D、验证运放电路 OP 的相位裕度 PM 设计指标：

最佳值是约  $60^\circ$ ，不小于  $45^\circ$  即可。

AC 仿真后，还可以获得相位裕度 PM。

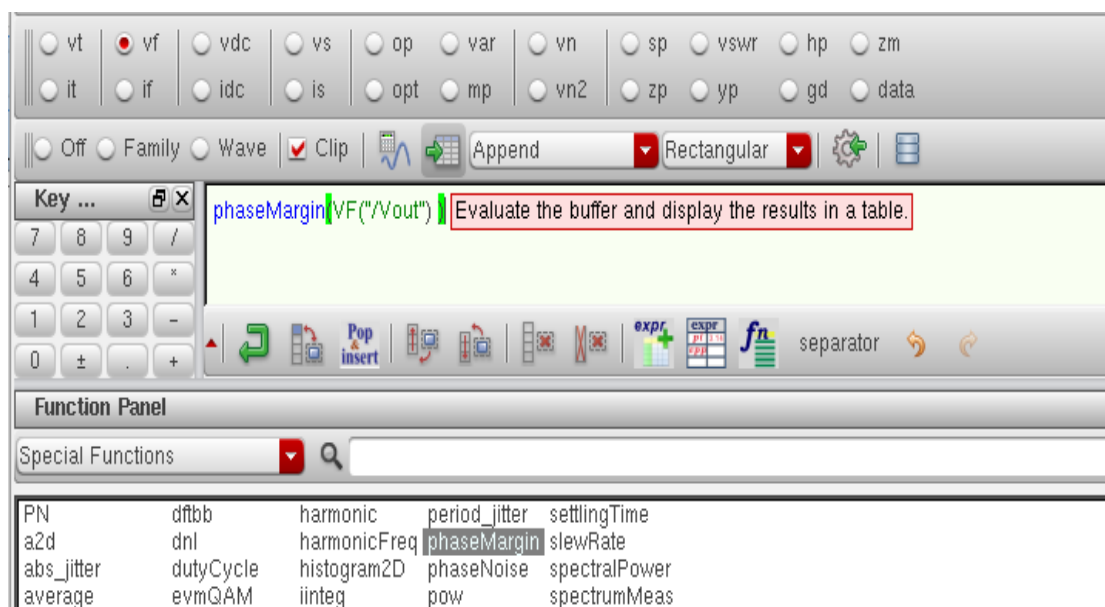
在波形显示窗口，“Tools” → “Calculator”。

弹出 Virtuoso(R) Visualization & Analysis XL Calculator 窗口（以下简称 Calculator 窗口），若 Buffer 和 Stack 区中有内容，“Clear buffer and stack”删除。



使选择电路对象工具按钮“vf”有效，在 ADE L Editing 关联电路图中选择 Vout 线网或管脚 PIN，电压幅频信号 VF(“/Vout”)出现在 Calculator 窗口 Buffer 区；也可以直接在 buffer 区键入 VF(“/Vout”)。

在左下方 Function Panel 函数表中点击“phaseMargin”函数，



“Evaluate the buffer...”图标，得到相位裕度值，

相位裕度不允许为负。

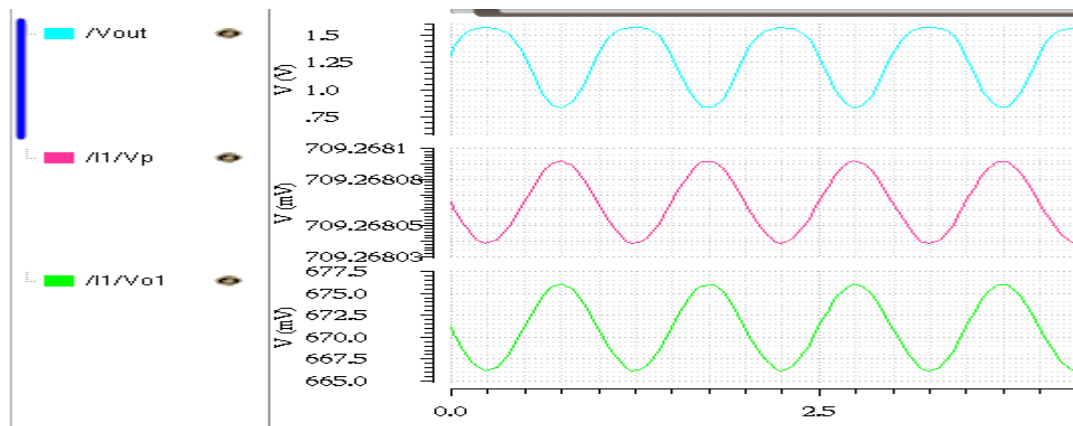
#### E、验证输入共模范围：

采用电压跟随器进行仿真，了解输入共模电平对于增益和输出失真的影响。

- 输入共模极端指标下的瞬态仿真：查看输出波形是否失真。  
输入共模 V0 的 DC Voltage 改为 1.3V，其它不变。

在 OPtest 关联电路图窗口，  
将输入  $v_{in}$  下方输入直流偏置电压  $v_{dc}$  单元（instance Name 为 V0）的 DC voltage 设为 1.3V；

ADE L ( ) 仿真设置窗口，Outputs 仅选  $V_{out}$ 、 $V_p$  和  $V_{o1}$ 。



输入直流电平= 1.3 V 的瞬态仿真  $V_{out}$  波形图

输出  $V_{out}$  正弦波顶部稍有失真，基本符合输入 1.3V 设计指标。

输入共模 V0 的 DC Voltage 改为 0.7V：

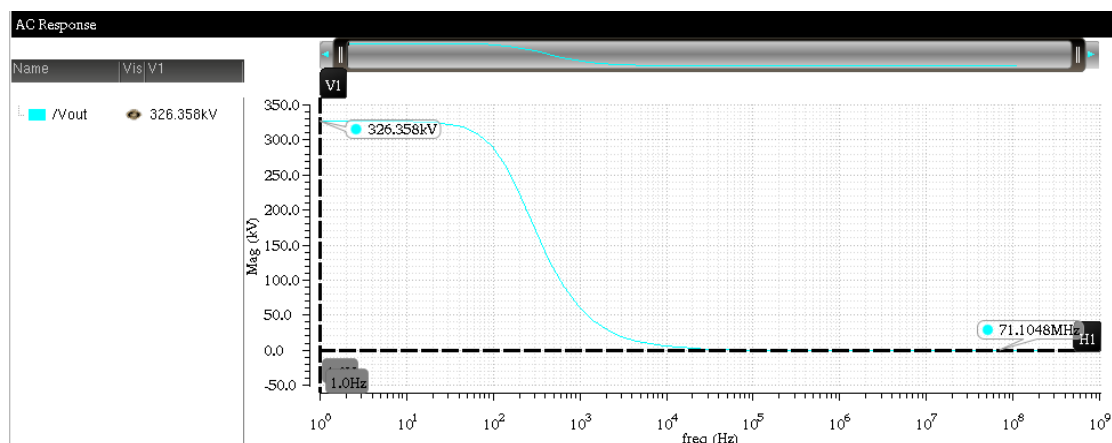
查看 tran 仿真波形，输出  $V_{out}$  正弦波底部稍有失真，先前曾有预期，基本符合输入 0.7V 设计指标；

$V_p$  数值较低，表明输入尾电流源接近线性区。

- 输入共模极端指标下的 AC 仿真：查看低频增益和单位增益带宽。

仅显示  $V_{out}$  波形。

输入直流电平 = 0.7V 情况：



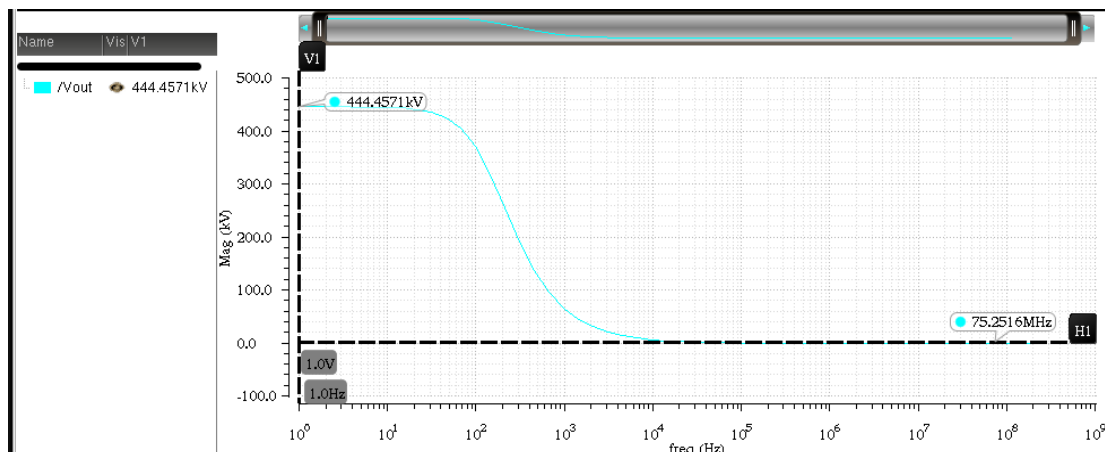
低频增益超过设计指标（90dB = 31623）。

若输入直流电平= 0.7V 时 AC 仿真得到单位增益带宽稍微达不到指标，一般不用处理；只要直流输入电平为 1V（通常情况）时，单位增益带宽符合设计指标即可。

也可用计算器计算单位增益带宽频率。



输入直流电平 = 1.3V 情况：



低频增益超过设计指标（90dB = 31623）；

仿真得到的单位增益带宽频率与设计指标（80M Hz）误差不超过 10%，认可为符合。

结论：输入直流电平范围基本达到设计指标 0.7~1.3V，下限略有不足。

对输入共模电平影响增益的直观认识（选做）：

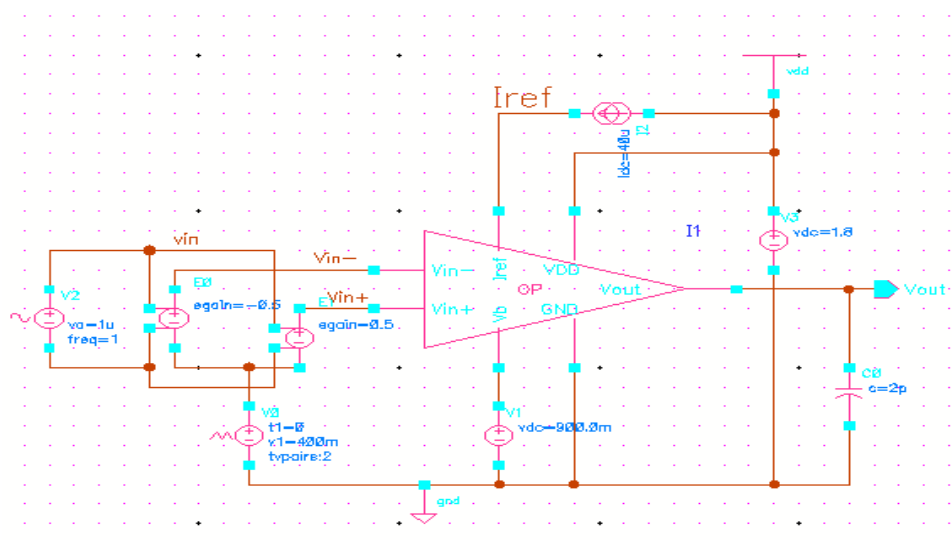
将 OPtest 单元 Copy 为 OPtestLF，表示 OP 低频测试单元。

将输入直流电源 V0 换成多线段电压源 vpwl，

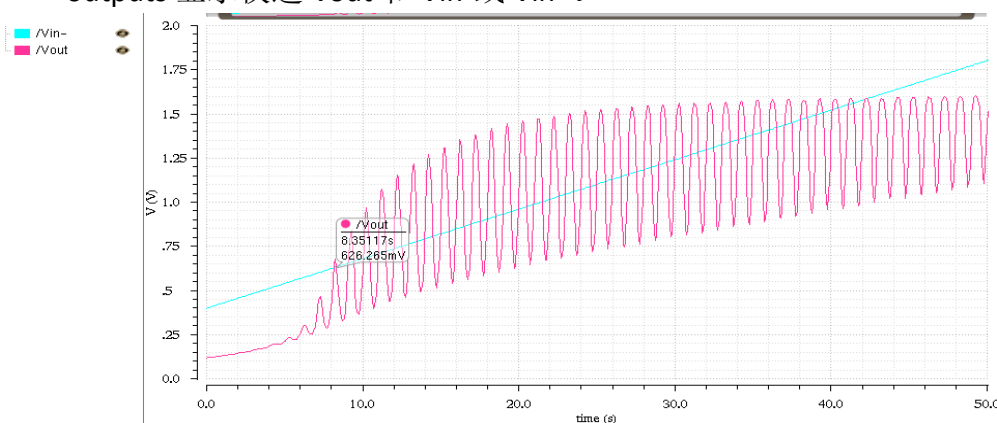
按下图设置成 50 s 时间的 0.4 ~ 1.8V 上升斜坡：

|                             |        |     |
|-----------------------------|--------|-----|
| Frequency name for 1/period |        | off |
| Number of pairs of points   | 2      | off |
| Time 1                      | 0 s    | off |
| Voltage 1                   | 400m V | off |
| Time 2                      | 50 s   | off |
| Voltage 2                   | 1.8 V  | off |
| Noise file name             |        | off |
| Number of noise/freq pairs  | 0      | off |





输入  $v_{in}$  仍为  $1\mu\text{V}$  瞬态幅度、 $1\text{Hz}$  低频正弦波信号，  
 设置瞬态“**tran**”分析，  
**Stop Time = 50** (s)，与输入直流斜坡时间一致。  
**outputs** 显示仅选  $V_{out}$  和  $V_{in-}$  或  $V_{in+}$ 。



不同输入共模电压对应的增益有较大改变。

由于电压传递函数与频率相关，运放电路正常工作所允许的输入直流电平不仅与输入信号幅度有关，而且信号频率（运放增益）有关。

验证差动输入信号非失真幅度最大范围：

理论上，差动输入幅度不超过

$$\Delta V_{in} = \max(V_{in+} - V_{in-}) = \sqrt{\frac{2I_{SS}}{\mu_n C_{ox} \left(\frac{W}{L}\right)_{n1}}} = \sqrt{\frac{2I_{n0}}{\mu_n C_{ox} \left(\frac{W}{L}\right)_{n1}}}$$

仅是对于输入级而言，与频率无关。

但是，由于运放的低频增益很大，不能验证上式给出的输入幅度；采用单位增益频率时，运放增益约为 1。

计算：设  $I_{n0} = 40\text{ uA}$ ， $(W/L)_{n1} = 50 / 0.8$ ；

已知  $\mu_n C_{ox} = 3.246 \times 10^{-4}$

$$\text{则 } \Delta V_{in} = 63 \text{ mV}$$

将 OPtest 单元 Copy 为 OPinamprange; 表示 OP 输入幅度范围。

在 OPinamprange 单元电路图窗口,

输入直流偏置电源 V0 的 DC voltage = 1 (V);

输入差动信号源 vsin 用于瞬态仿真的正弦幅度 Amplitude = amp (V) 变量, 设置用于瞬态仿真的信号频率 Frequency = 80M (Hz)。

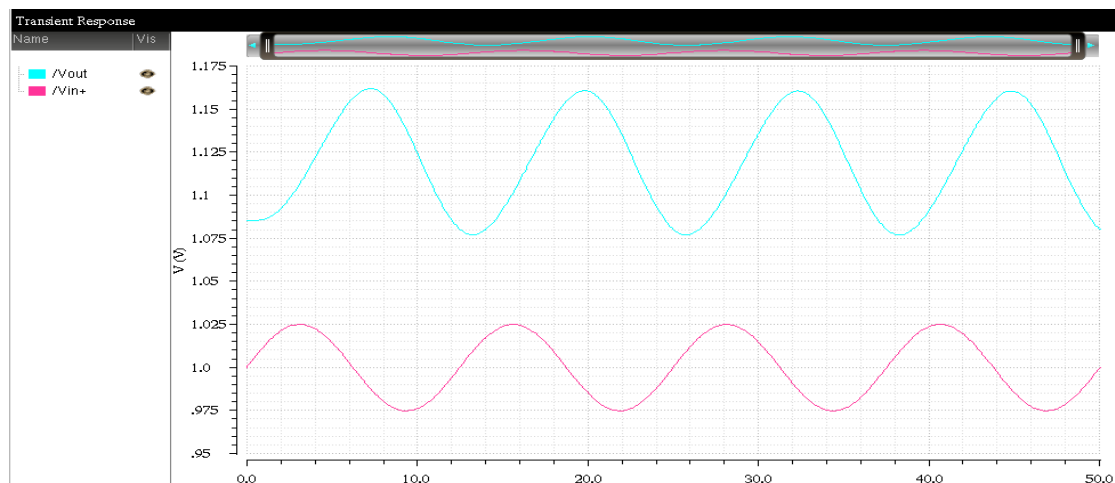
在 OPinamprange 单元 ADE L ( ) 仿真设置窗口:

设置瞬态 tran 仿真, Stop Time = 50n;

“Setup Outputs”显示输出选 Vout 和 Vin+;

“Edit Variables”将 amp 变量初值设为 50mV;

在 ADE L ( ) 仿真设置窗口运行仿真, amp =50mV 获得结果如下图:

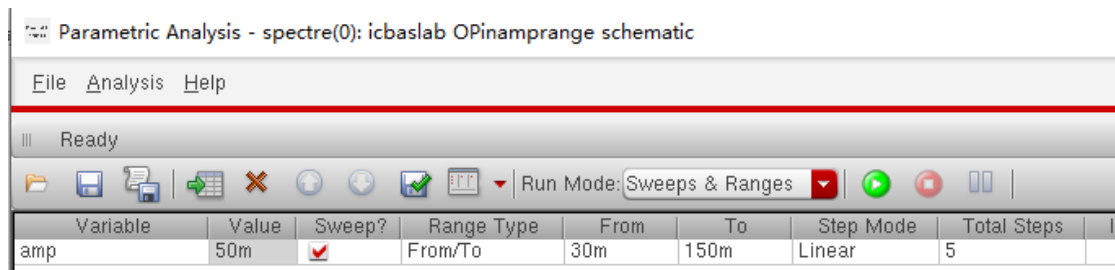


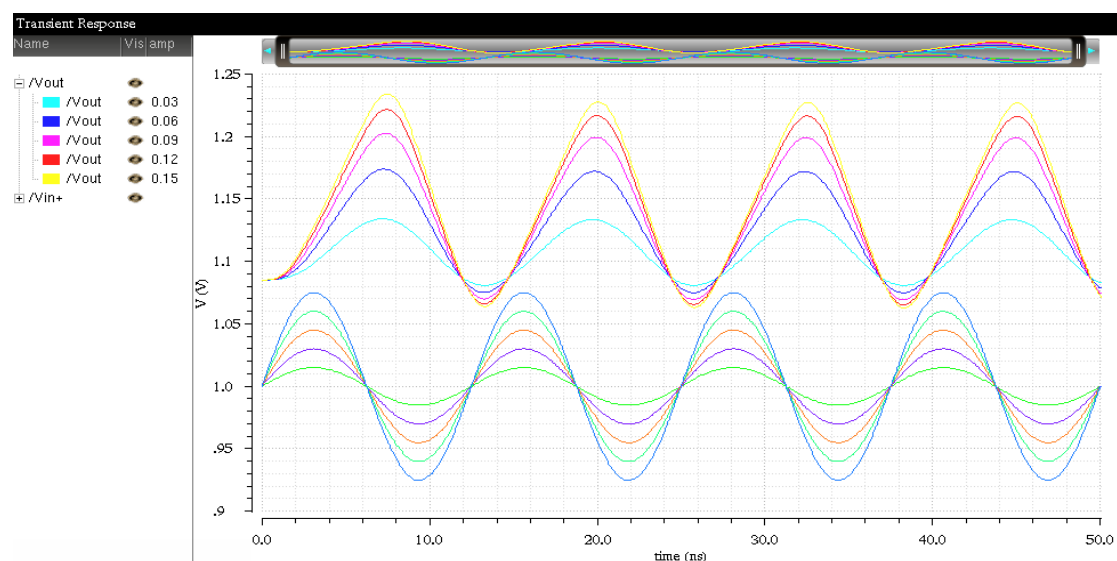
与低频时输出与输入信号基本上是同相信号明显不同, 高频信号时输出与输入之间有明显的相移。

瞬态仿真时对信号幅度 amp 参数进行扫描分析:

在 ADE L ( ) 仿真设置窗口, “Tools” → “Parametric Analysis...”

按下图参数分析窗口设置数值。





对应  $\text{amp} = 0.06\text{V}$  以上的输出波形就明显有失真（与  $\text{amp}=0.03$  波形相比增益减小，即  $V_{\text{out}}$  波形间距减小），与先前理论计算差动输入信号非失真幅度最大范围  $63\text{ mV}$  相符，注意这是开环运放的结论。

实际电路设计时，应尽量避免同时修改多个参数。对有用的中间结果要及时记录或保存电路（另取命名），否则可能将结果弄糟而反悔不了。

总体来说，通过电路性能的理论分析，找到关键参数进行修改。例如对于本实验电路，假设需要增大相位裕度并减小单位增益带宽，则简单方法是增大  $C_c$ ，但这时要注意压摆率和尾电流（与功耗成正比）是否满足设计。设计中尤其要注意付出的代价，如以牺牲功耗为代价，常常能得到电路多个性能的提升，但在低功耗应用中有限制。

通过本实验可知，设计与优化模拟集成电路参数时一定要先进行量化的理论分析和近似计算，避免乱试参数，否则不仅设计过程很耗时，而且电路性能不佳，最危险的是不知有何错误，不知问题可能出在何处。仿真和分析模拟电路时，要特别警惕任何瞬态仿真波形的不正常现象，例如失真（不对称）、低频有斜坡、高频有小幅自激等，通过仔细分析其原因，修改工作点（模拟信号放大电路一般要保证 MOS 工作在饱和区）和器件  $W/L$  参数。