



中国科学技术大学

University of Science and Technology of China

数字集成电路设计

第十四章 设计方法学与工具

白雪飞

中国科学技术大学微电子学院

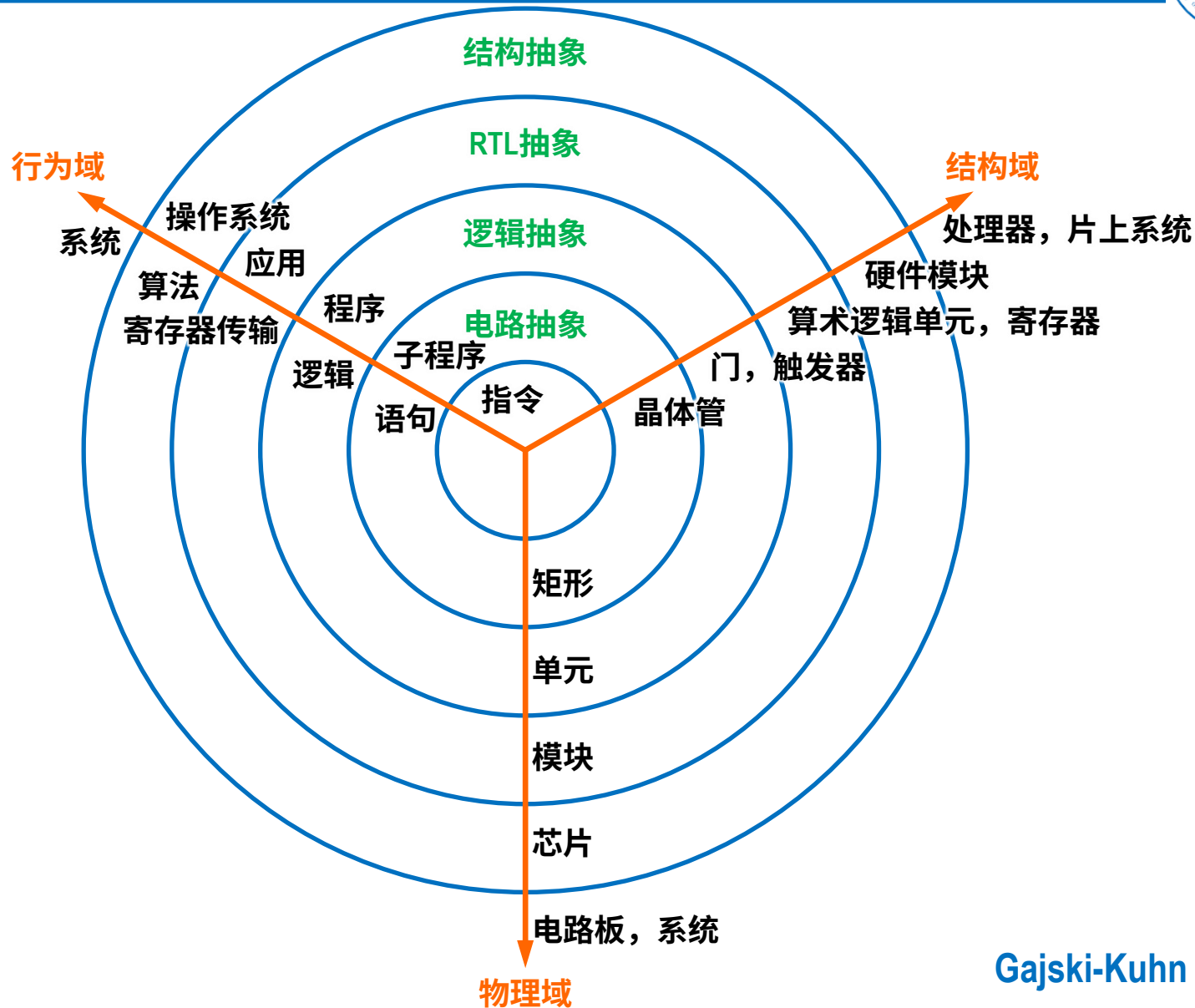
提纲



- 引言
- 结构化设计策略
- 设计方法
- 设计流程



引言



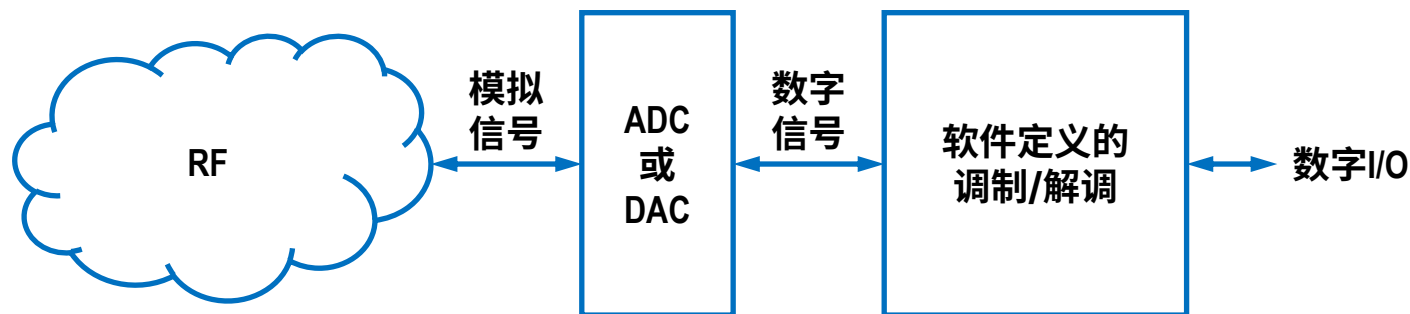
结构化设计策略

■ 系统设计指标

- 性能：速度、功耗、功能、灵活性
- 管芯尺寸 → 管芯成本
- 设计时间 → 工程费用和进度
- 验证的简便性、测试生成、可测性 → 工程费用和进度

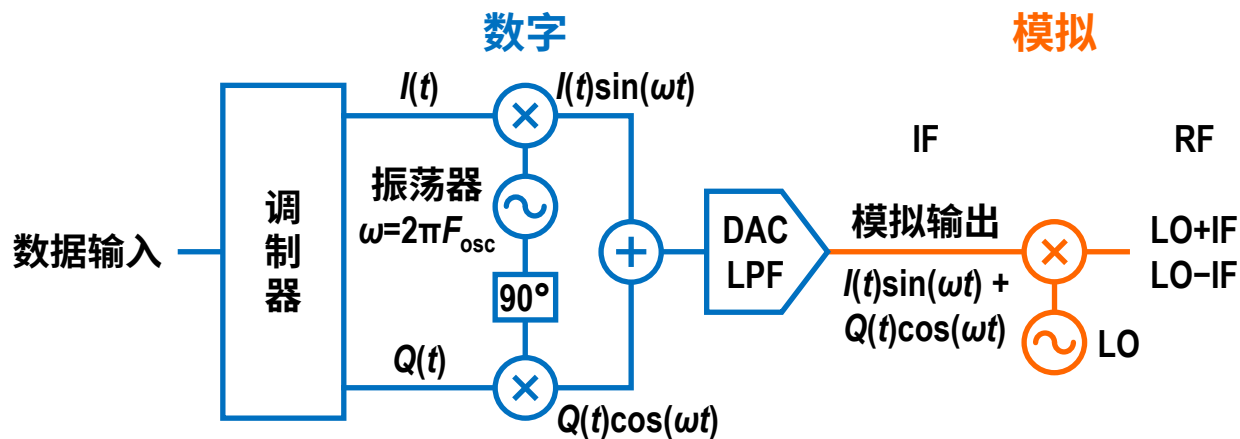
■ 简化设计步骤

- 约束：实现设计过程自动化，将大量费力的工作从设计中剥离出来
- 抽象：压缩细节，得到简单的处理对象

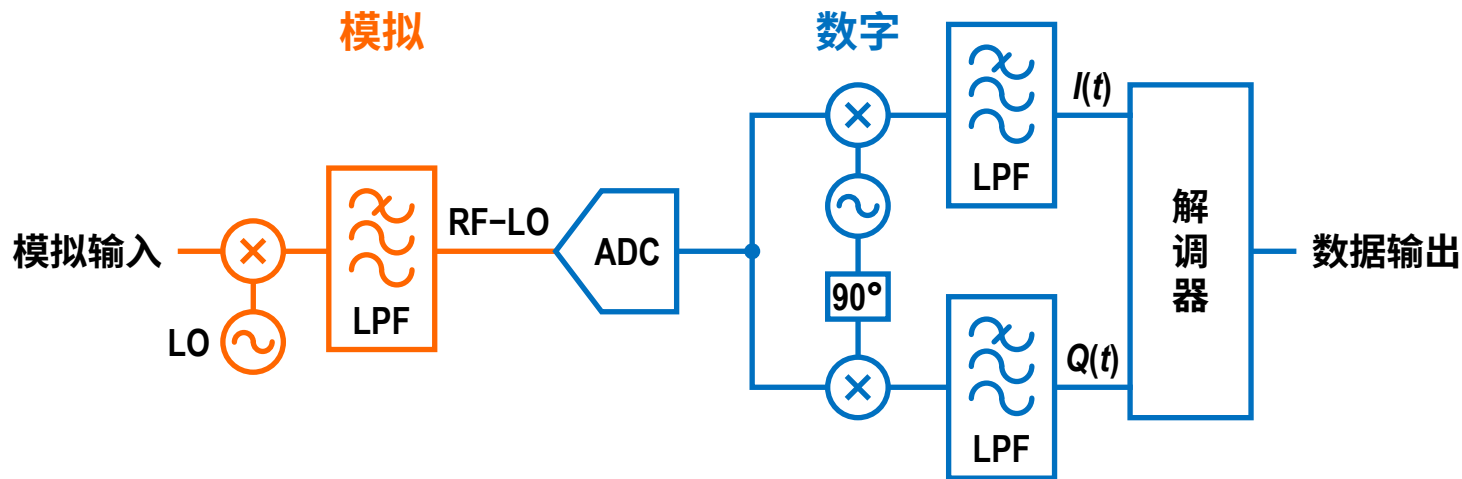


系统实例：软件无线电

软件无线电发送和接收通道



软件无线电发送通道

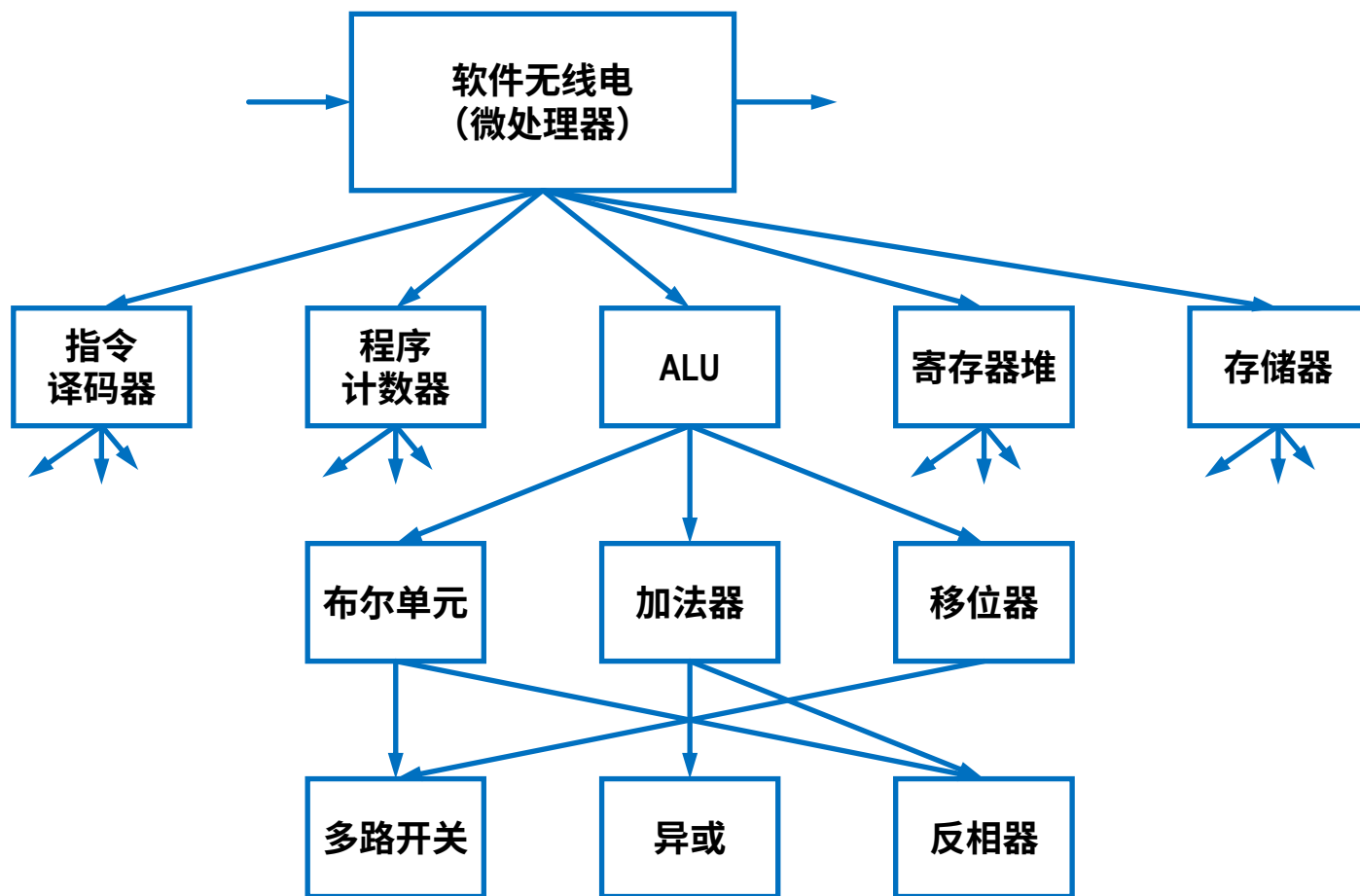


软件无线电接收通道

软件和VLSI硬件的结构设计

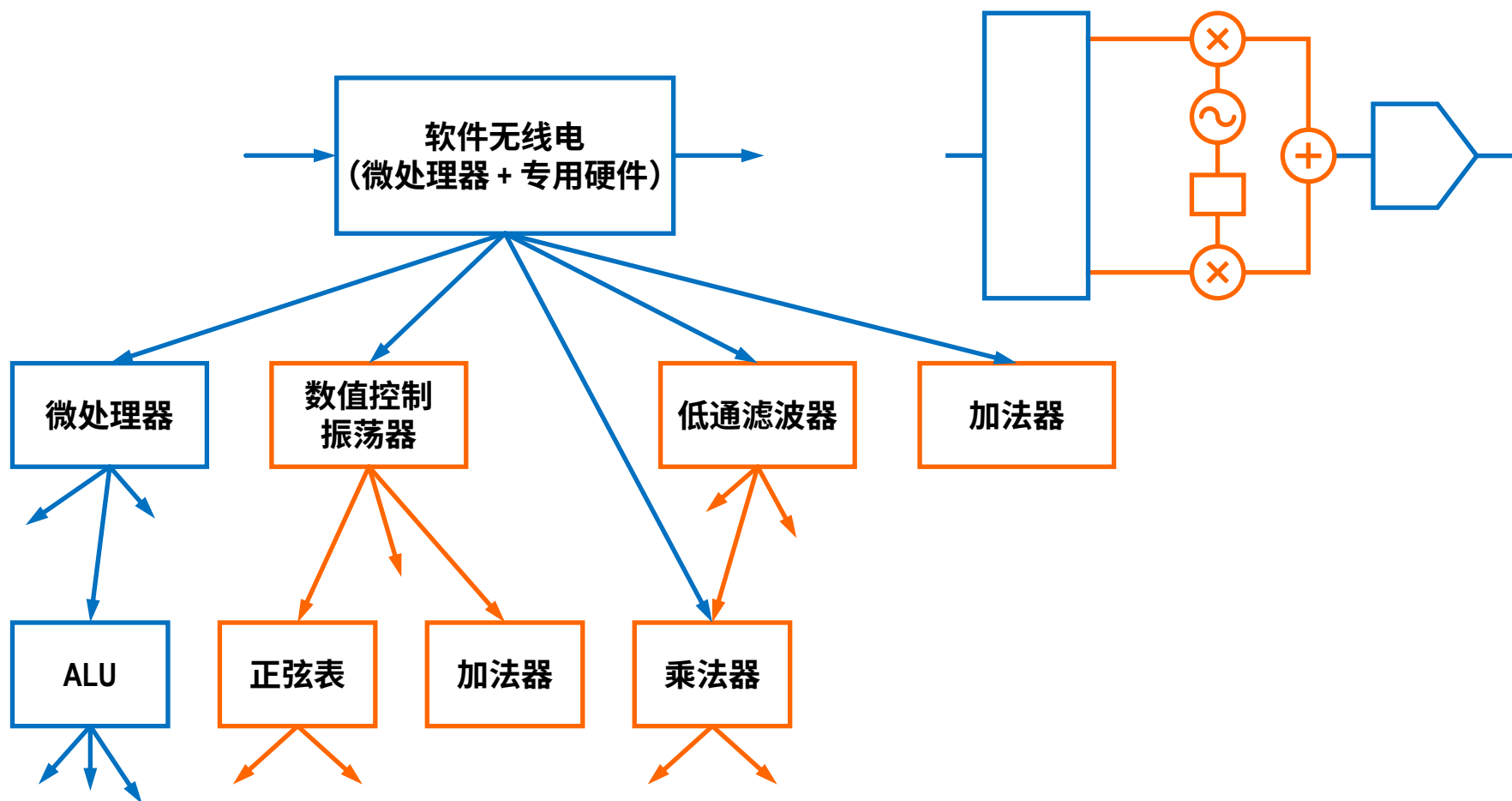
设计原理	软件	硬件
层次化 (Hierarchy)	子程序、库	模块
规整化 (Regularity)	迭代、代码共享、面向对象的过程	数据通路、模块重用、规则阵列、 门阵列、标准单元
模块化 (Modularity)	良好定义的子程序接口	良好定义的模块接口、模块时序和 数据装载、寄存的输入和输出
局域化 (Locality)	局部作用域、无全局变量	经过平面规划的局部连接

软件无线电系统层次化方案一

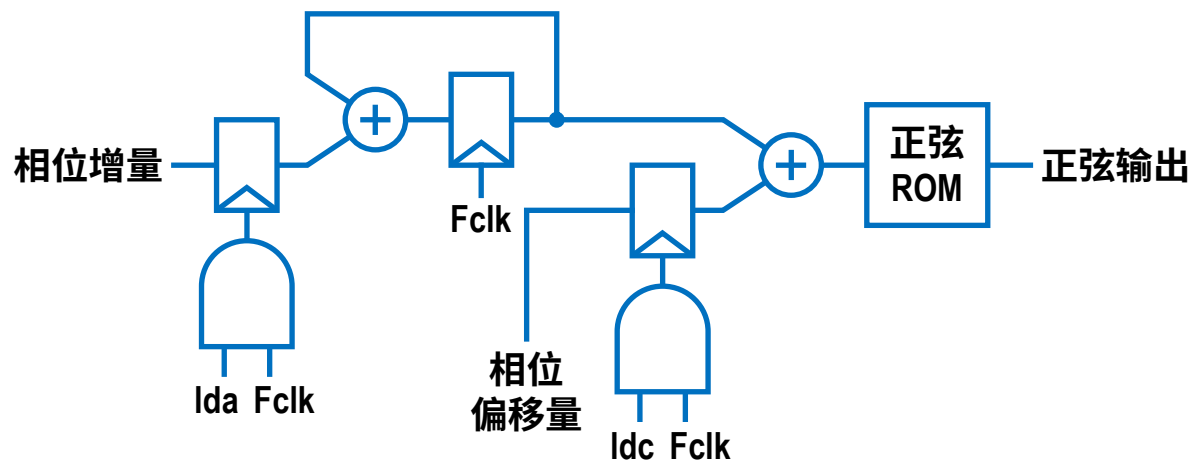


采用微处理器实现软件无线电的层次结构

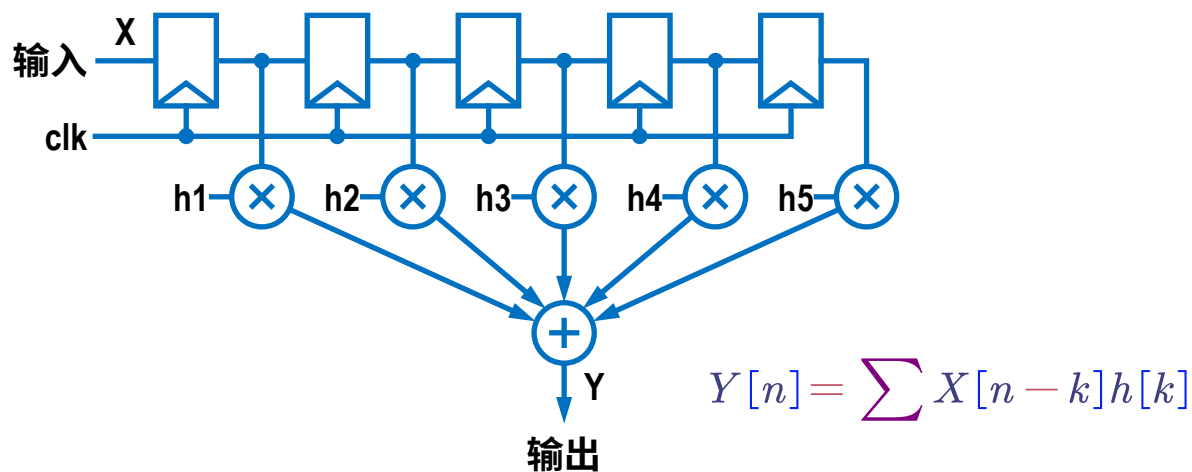
软件无线电系统层次化方案二



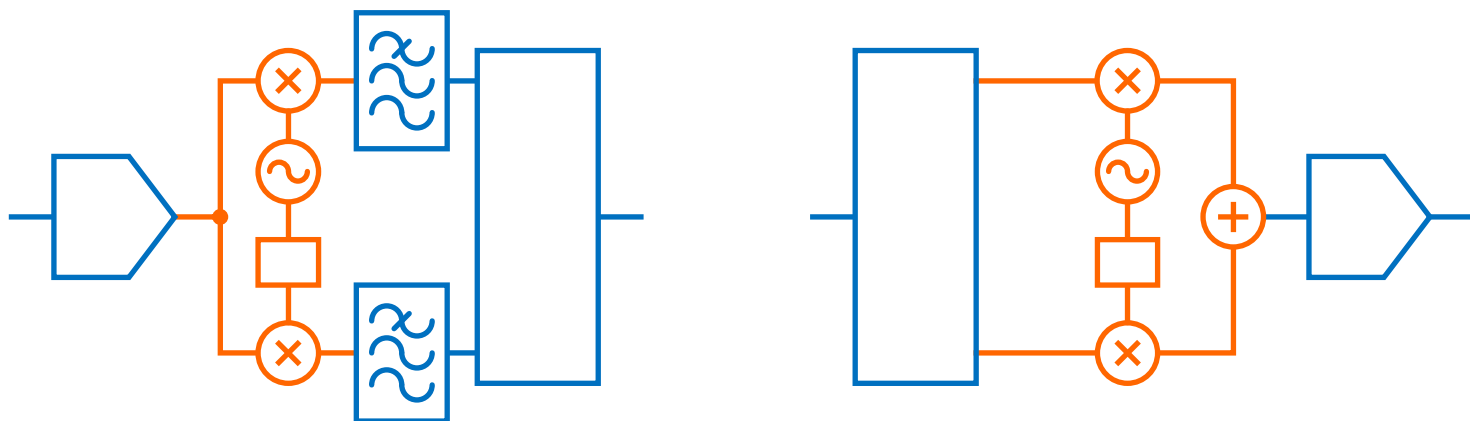
具有专用IQ上变换器硬件的发送链路层次结构



数值控制振荡器(NCO)结构

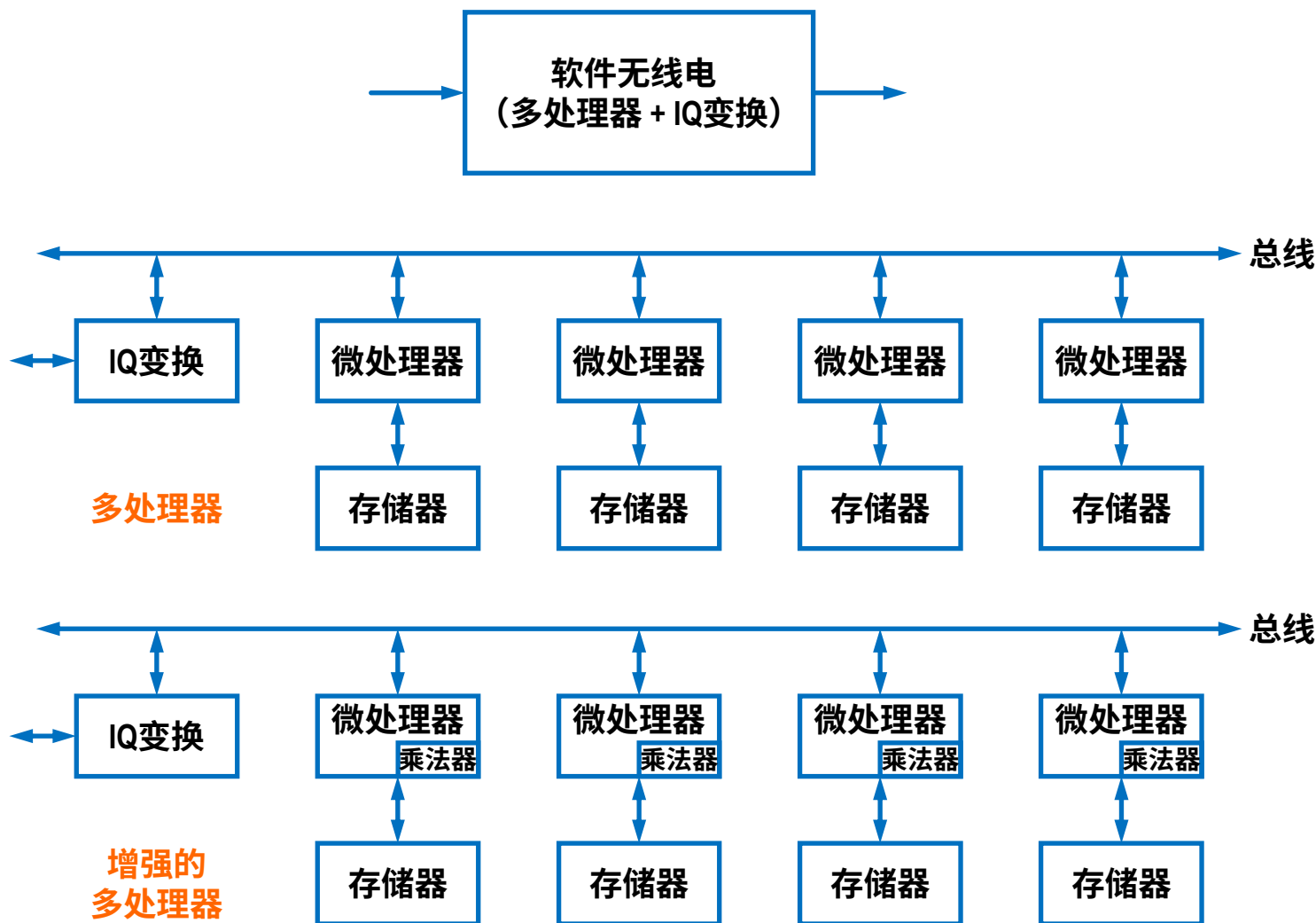


低通滤波器结构：有限冲击响应(FIR)滤波器

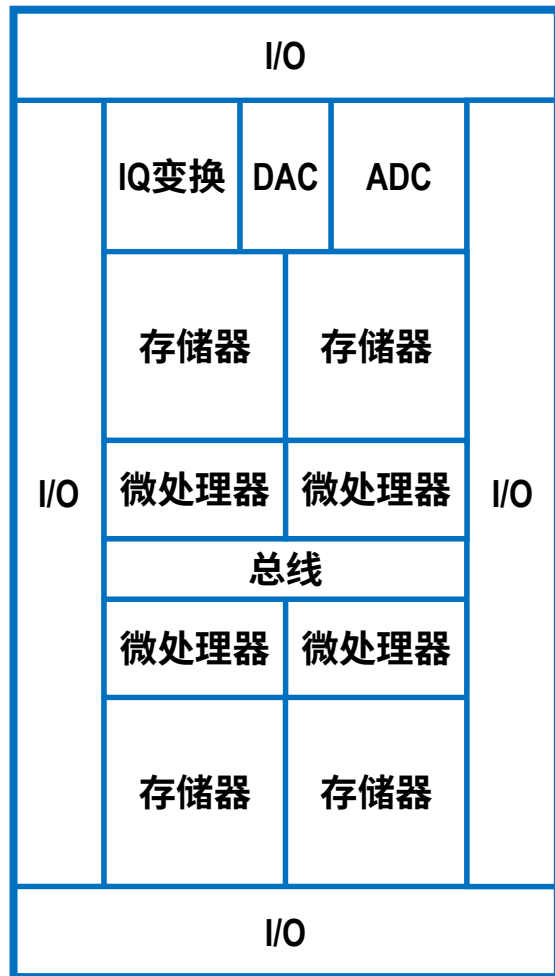
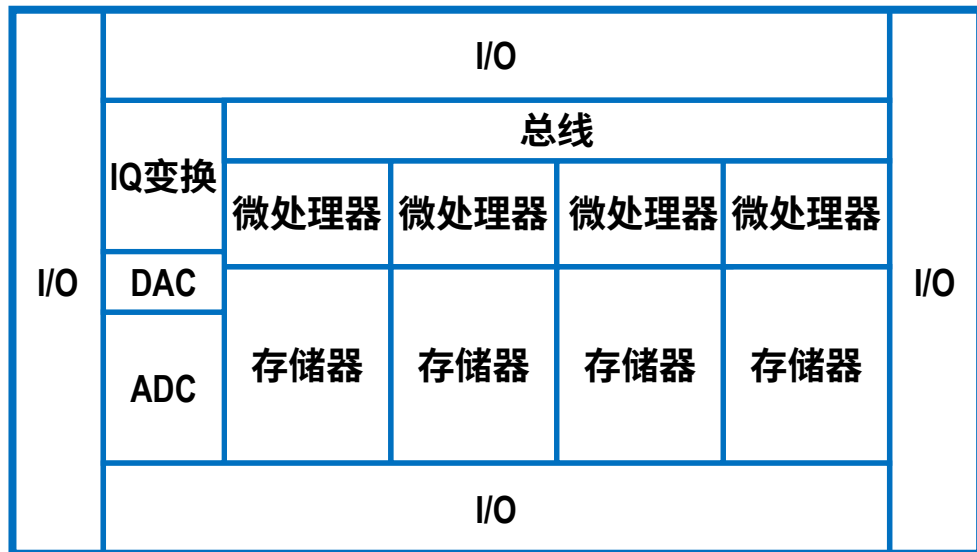


IQ上变换和下变换电路中的公共模块

软件无线电系统的多处理器结构



采用多处理器和专用IQ变换硬件实现软件无线电

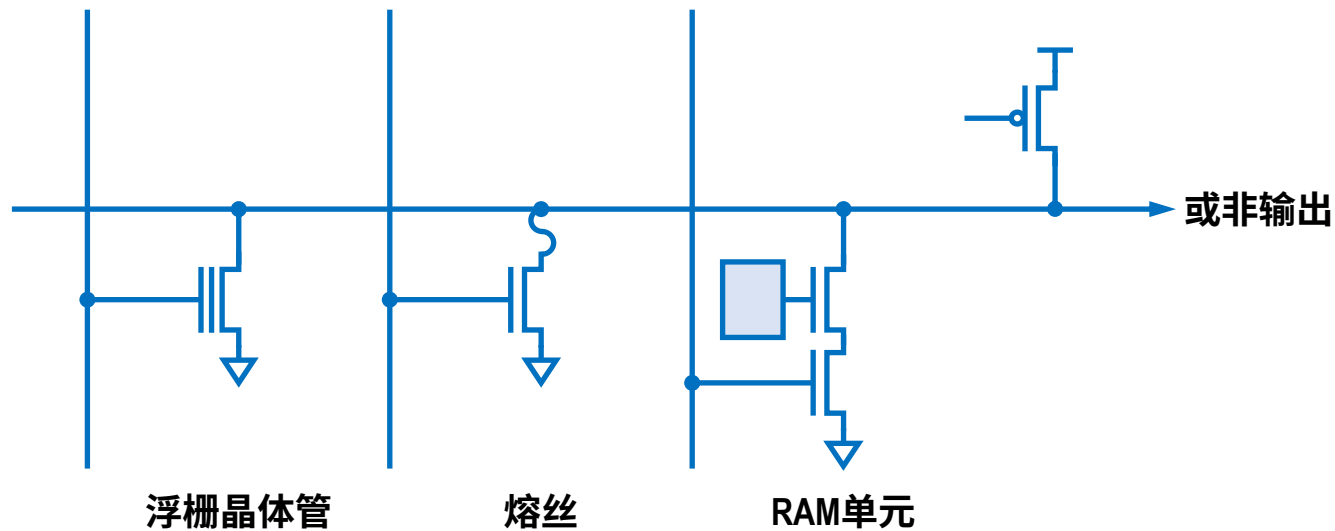


- ▲ **方案一：** 模拟模块布置在输入输出单元附近，电源线很短且电阻低，模拟信号连接到输入输出单元而不会受到数字信号干扰
- **方案二：** 总线较短，速度较快，功耗较低

设计方法

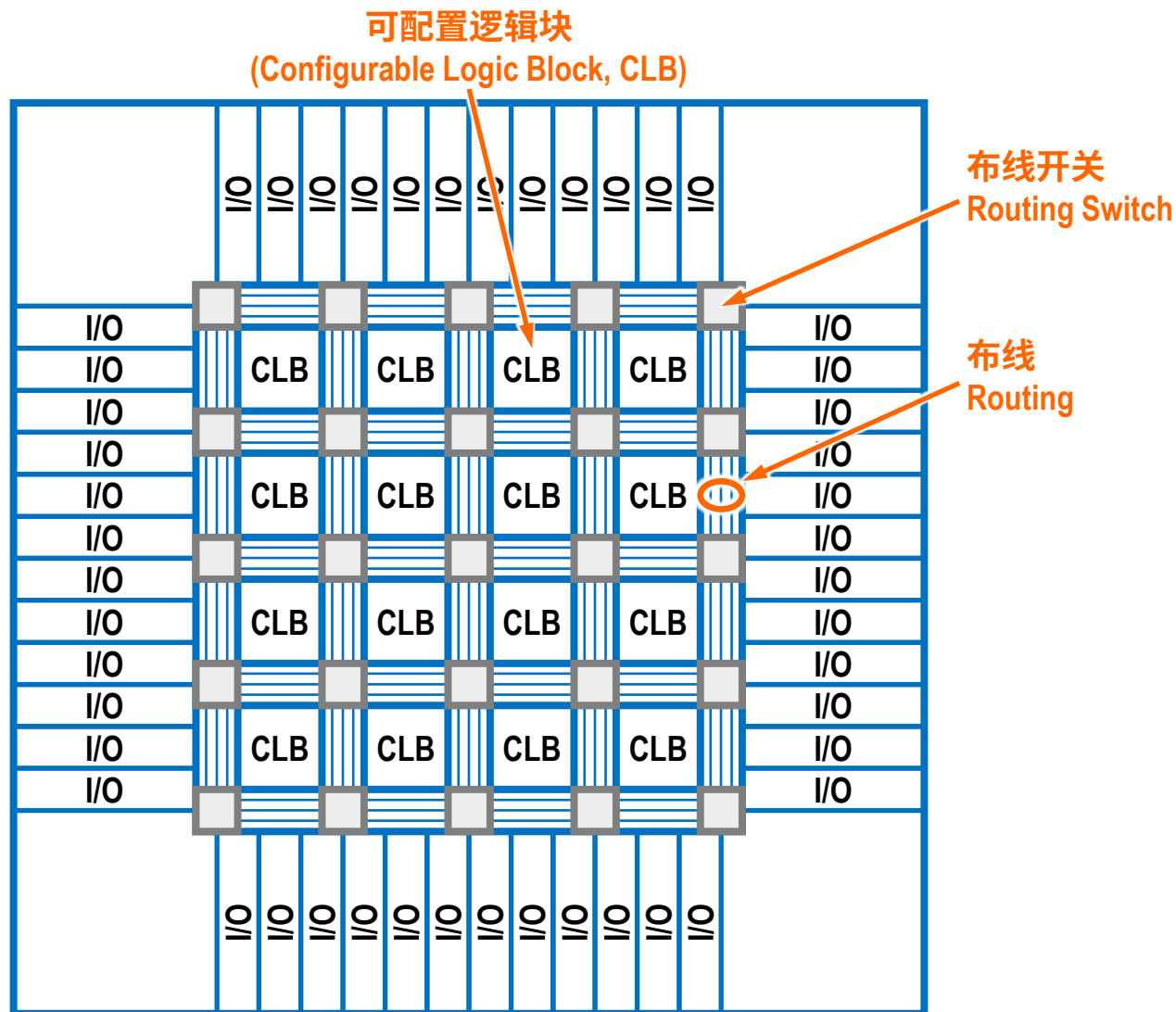
CMOS设计方法对比

设计方法	非重复性工程成本	单位成本	功耗	实现复杂度	上市时间	性能	灵活性
微处理器 数字信号处理器	低	中等	高	低	低	低	高
可编程逻辑器件 (PLD)	低	中等	中等	低	低	中等	低
现场可编程门阵列 (FPGA)	低	中等	中等	中等	低	高	高
基于单元	高	低	低	高	高	高	低
定制设计	高	低	低	高	高	非常高	低
基于平台	高	低	低	高	高	高	中等

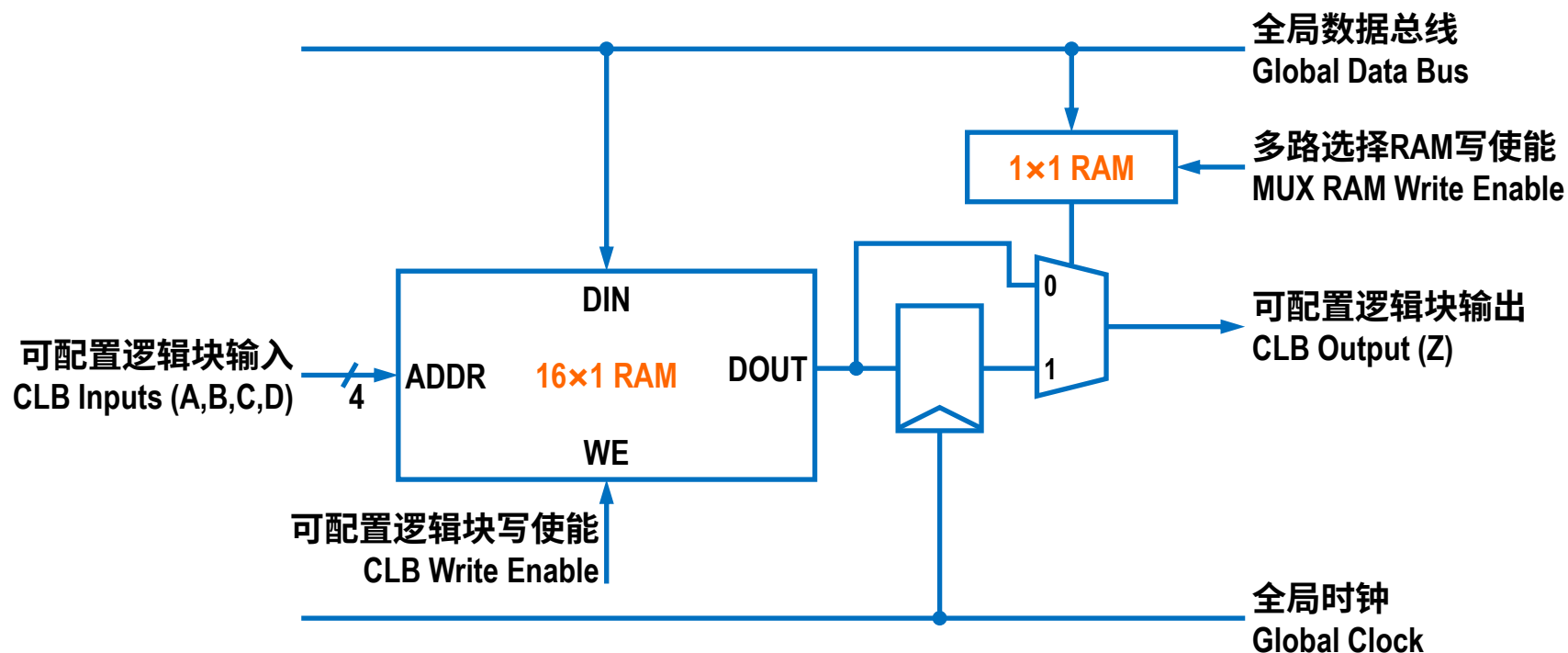


可编程逻辑阵列(PLA)的或非结构

现场可编程门阵列 (FPGA)



简化的FPGA平面规划



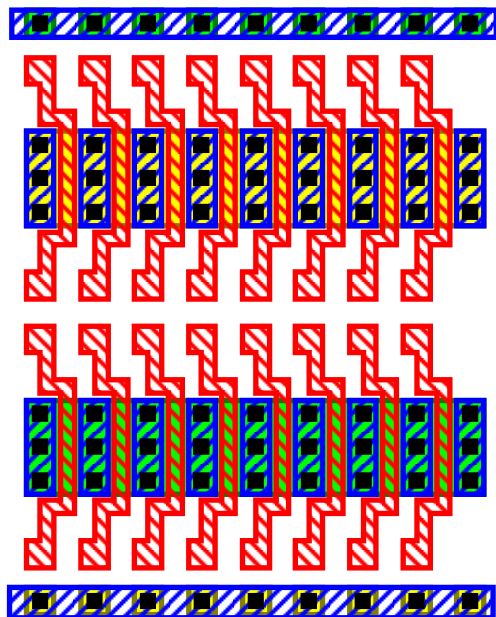
简化的FPGA逻辑单元

■ 门阵列 (Gate Array, GA)

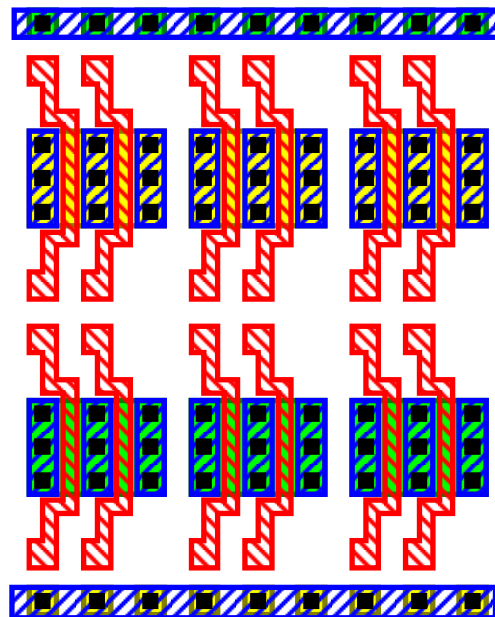
- 构造一个公共晶体管基本阵列，通过改变金属互连实现个性化
- 通常用于半定制ASIC设计

■ 门海 (Sea of Gate, SOG)

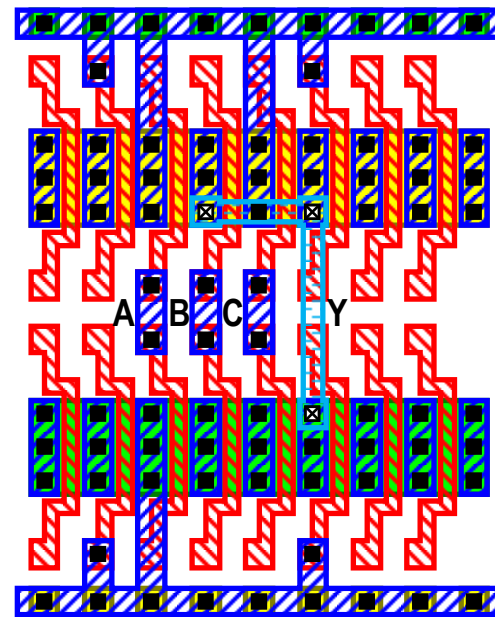
- 门阵列的特殊子类
- 可用于定制芯片，以在固定功能的原芯片上提供一个可编程区域



连续晶体管行



两对晶体管一组



NAND3

门海单元版图

电路单元类型

类 型		单 元
标准单元	反相基本门	反相器、与非门、或非门
	同相基本门	缓冲器、与门、或门
	复合门	与或门、或与门、与或非门、或与非门
	其他逻辑单元	多路开关、异或门、同或门
	三态门	三态反相器、三态缓冲器、传输门
	算术运算单元	半加器、全加器、进位产生单元、Booth编码器、压缩器
	触发器	D触发器、扫描触发器
	锁存器	透明锁存器
	时钟缓冲单元	时钟反相器、时钟缓冲器、时钟逻辑门、时钟门控单元
	特殊逻辑单元	电压钳位单元、延时缓冲单元、总线保持器
	物理单元	天线二极管、填充单元、去耦电容、阱/衬底连接单元、端帽单元
	低功耗设计单元	电压转换单元、隔离单元、电源门控单元、状态保持寄存器
输入输出单元		电源/地、数字输入/输出/三态/双向、模拟、晶振、填充、拐角等
存储器编译器		掩模ROM、寄存器堆、单口SRAM、双口SRAM
非挥发性存储器		EEPROM、Flash ROM
系统级模块		处理器、协议处理器、串行接口、总线接口等
混合信号和射频模块		POR、PLL、ADC、DAC、LDO、LNA等

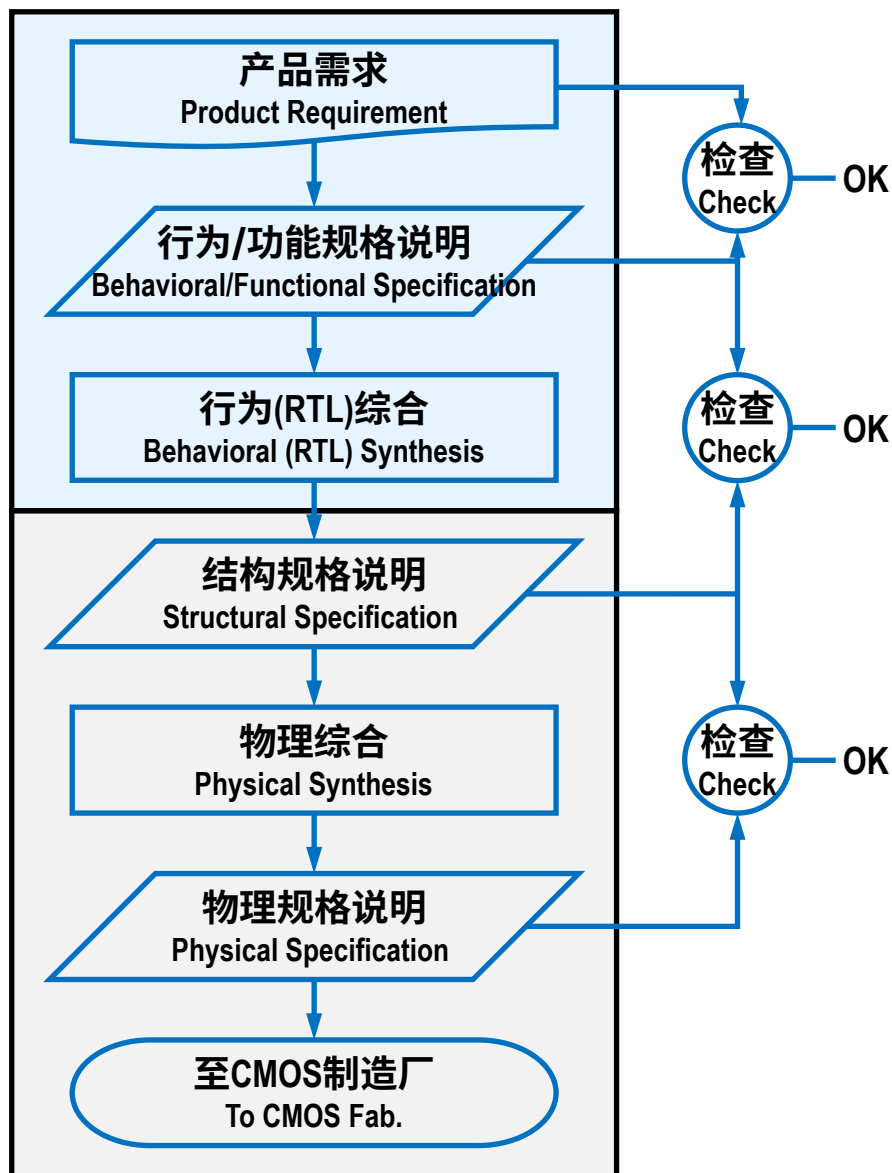
设计流程

一般化设计流程

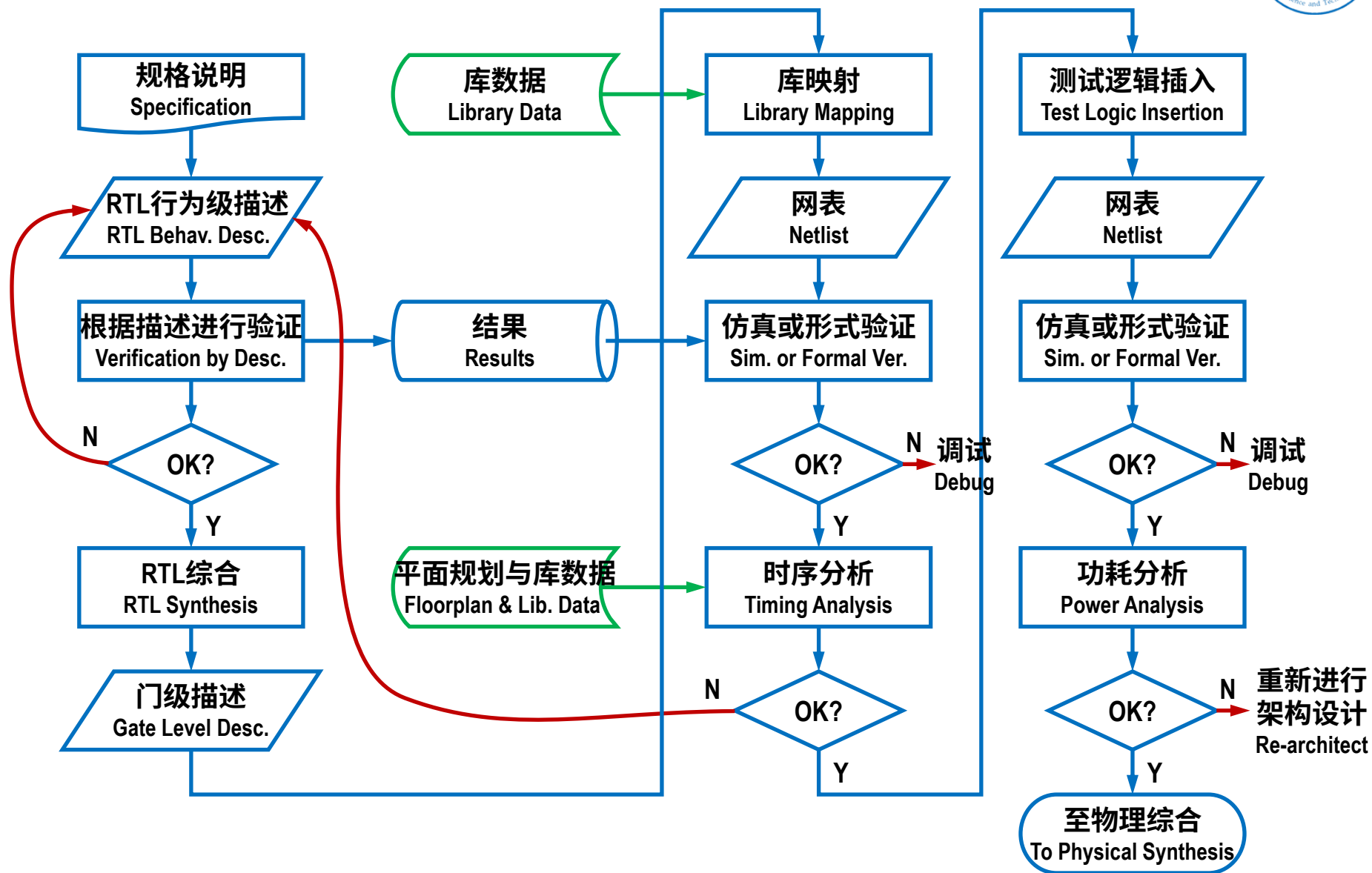


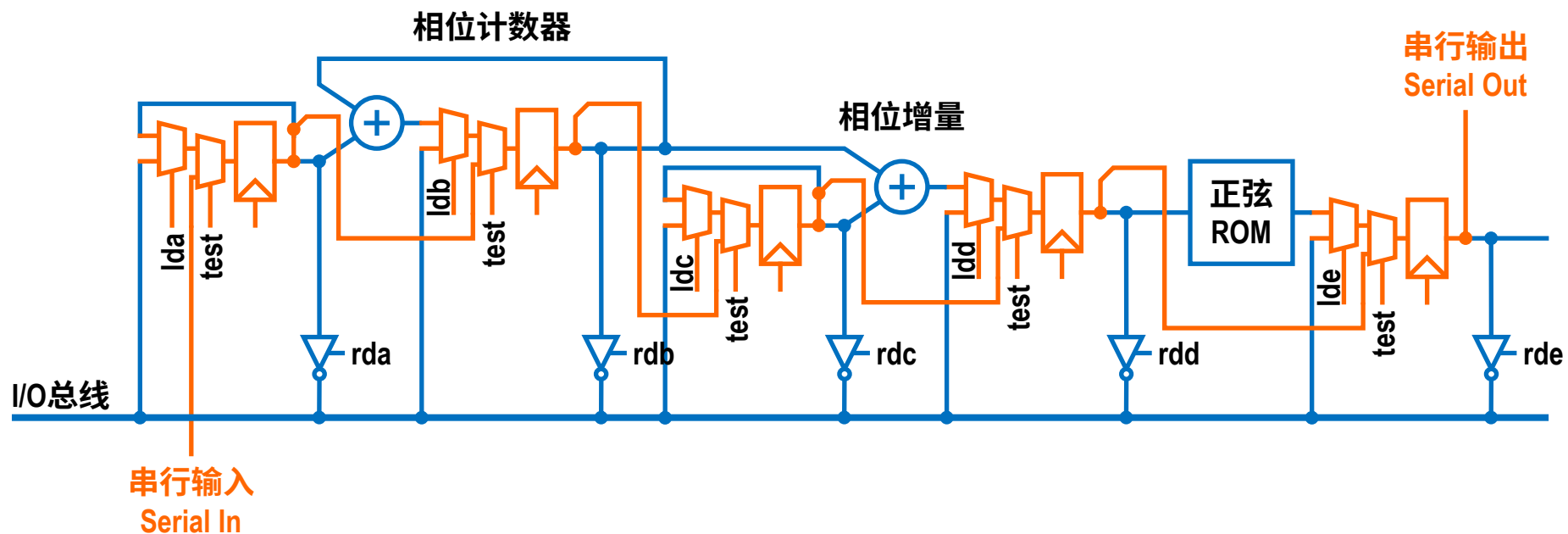
前端
Front End

后端
Back End



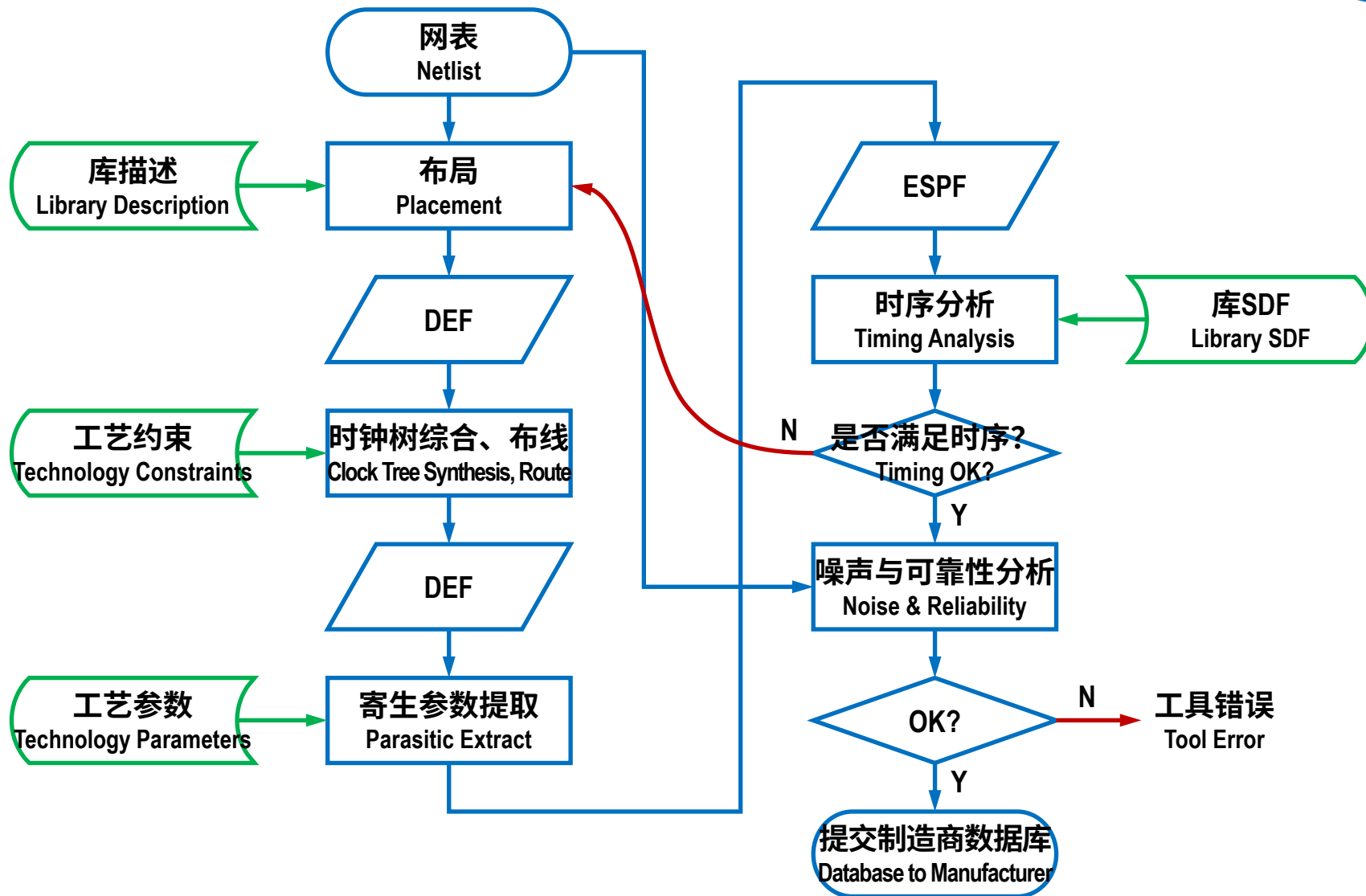
寄存器传输级(RTL)综合设计流程

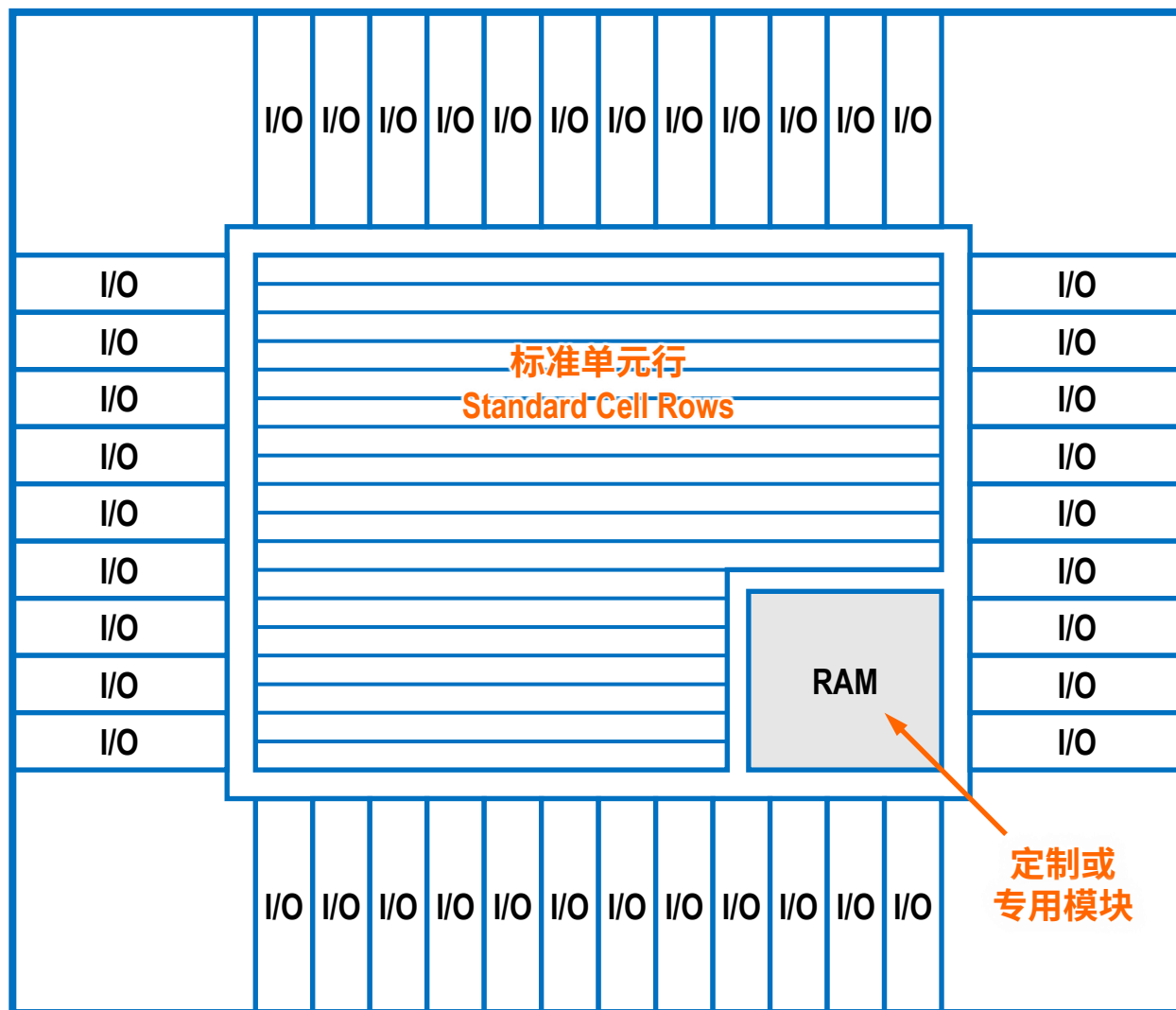




用于制造测试的扫描寄存器插入

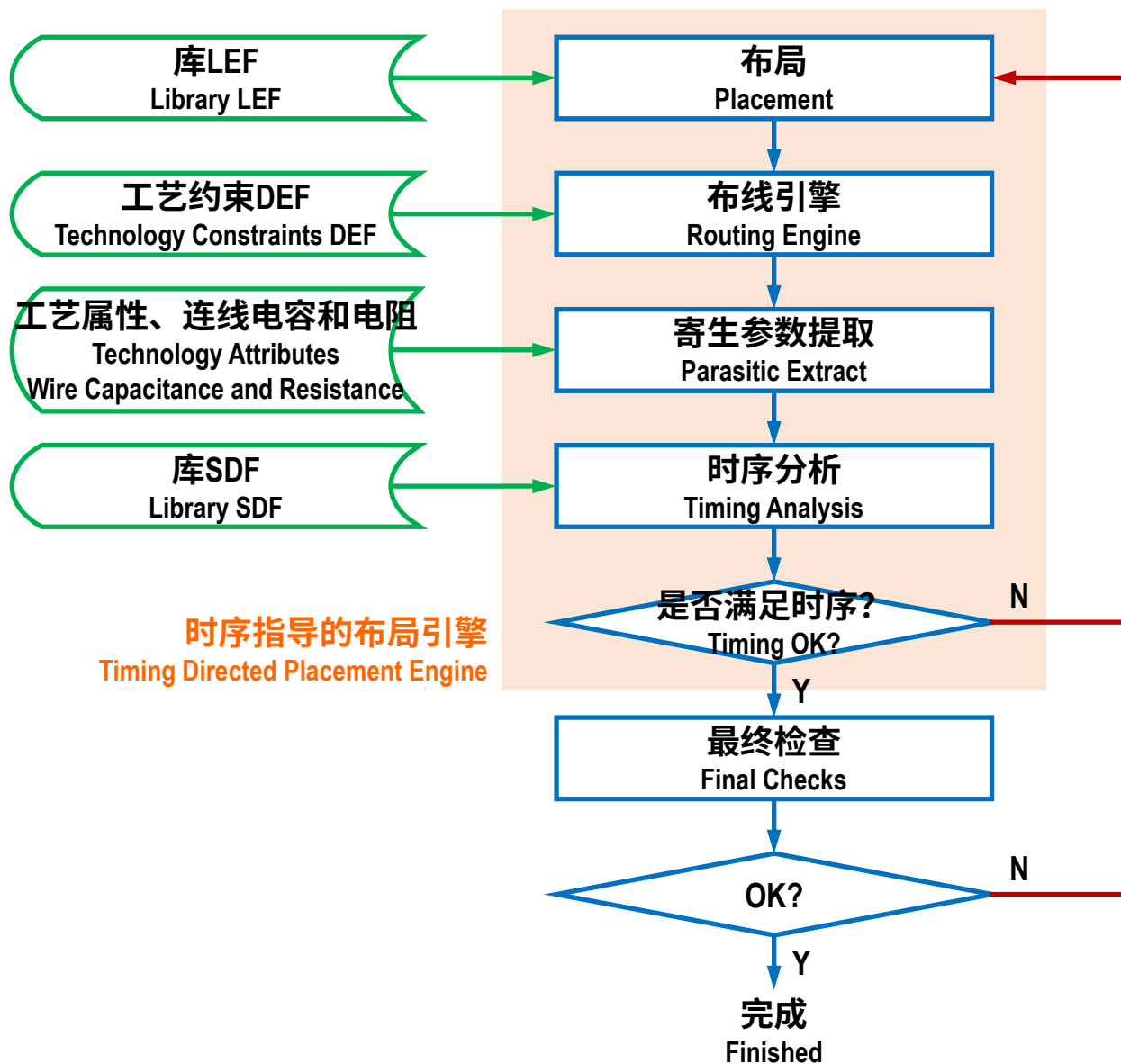
标准单元布局布线设计流程



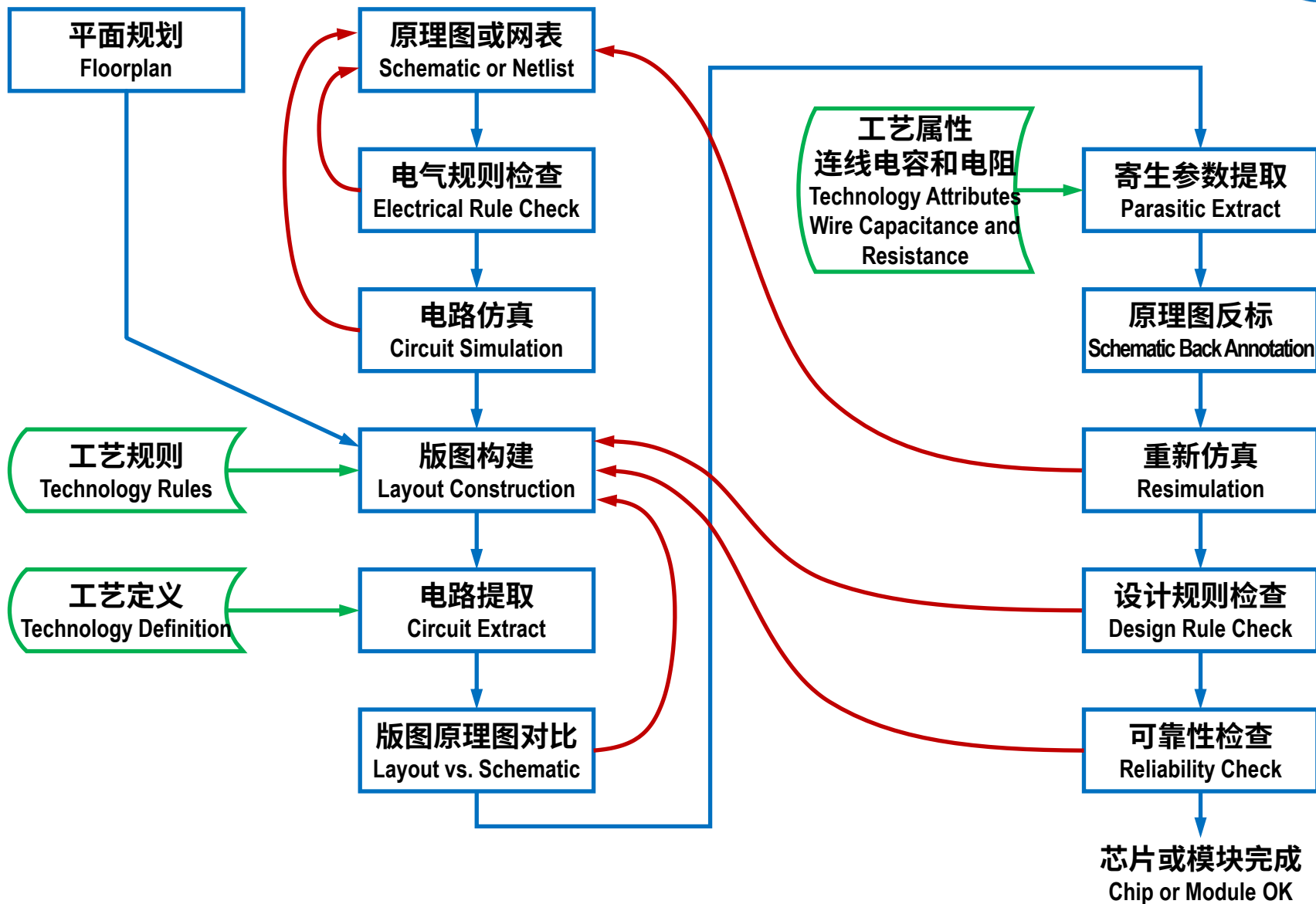


基于标准单元的芯片版图布局

时序驱动布局设计流程



混合信号或定制设计流程



部分集成电路设计工具



流程	步骤	Cadence	Synopsys	Siemens EDA (Mentor)	华大九天 (Empyrean)
全定制设计	原理图设计	Virtuoso	Custom Compiler	Tanner S-Edit	Aether
	版图设计	Virtuoso	Custom Compiler	Tanner L-Edit	Aether
	电路仿真	Spectre	PrimeSim HSPICE	Eldo / AFS	ALPS
	版图验证	Pegasus / PVS	IC Validator	Calibre	Argus
	寄生参数抽取	Quantus (QRC)	StarRC	Calibre	RCExplorer
基于标准单元的设计	代码仿真	Xcelium / Incisive	VCS	Questa Sim / ModelSim	ICExplorer-XTime (高精度时序仿真分析)
	代码检查	JasperGold	SpyGlass	Questa Lint / AutoCheck	
	逻辑综合	Genus	Design Compiler	Oasys-RTL	ICExplorer-XTop (时序功耗优化)
	布局布线	Innovus	IC Compiler / ICC II	Aprisa	
	等价性检查	Conformal	Formality	Questa SLEC	ClockExplorer (时钟质量检视与分析)
	静态时序分析	Tempus	PrimeTime	Aprisa	
	功耗分析	Joules	PrimePower	PowerPro	Skipper (版图集成与分析)
	可测性设计	Modus	TestMAX	Tessent	

本章结束