



中国科学技术大学

University of Science and Technology of China

数字集成电路设计

第三章 CMOS制造工艺

白雪飞

中国科学技术大学微电子学院



- 引言
- CMOS工艺
- CMOS工艺增强技术
- 版图设计及验证



引言

■ 设计者为什么要了解工艺

- 充分领会为什么需要设计规则
- 利用工艺知识创作优秀的设计
- 有助于查找疑难的失效原因
- 有助于提高芯片成品率

■ 行业运作模式

- 集成器件制造 (IDM)
- 无工厂半导体公司 (Fabless)
- 代工厂 (Foundry)



IBM 300-mm晶圆制造厂

■ 主要晶圆代工厂

- 台积电(TSMC)、三星(Samsung)、格芯(GlobalFoundries)、联电(UMC)、中芯国际(SMIC)
- 华虹(Huahong)、高塔半导体(Tower)、世界先进(VIS)、英特尔(IFS)、力积电(PSMC)

CMOS工艺

■ 前道工艺 (Front-End-of-Line, FEOL)

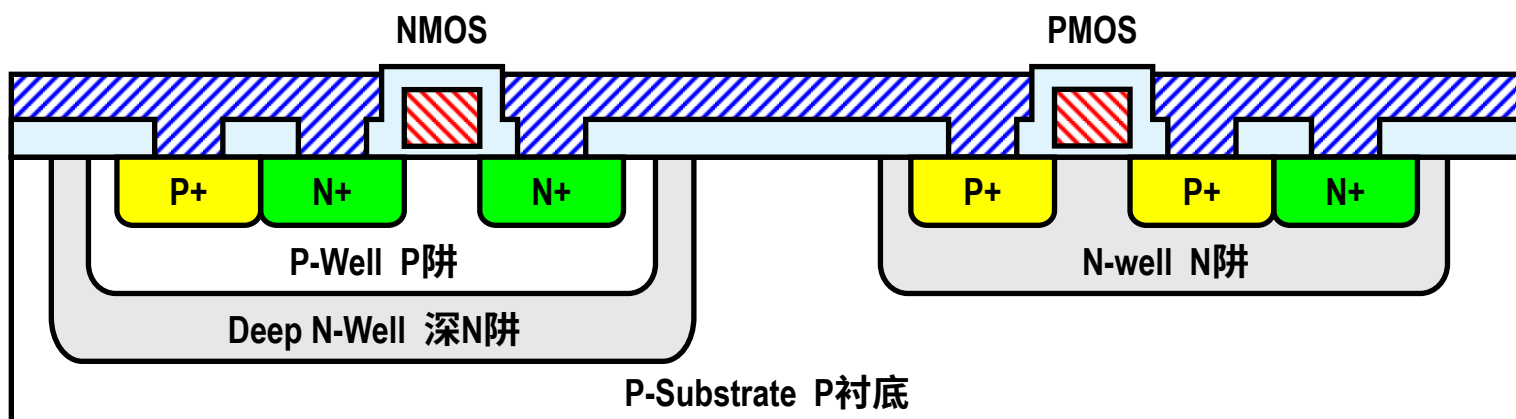
- 形成晶体管，阱、沟道、隔离、栅氧、栅、源和漏

■ 后道工艺 (Back-End-of-Line, BEOL)

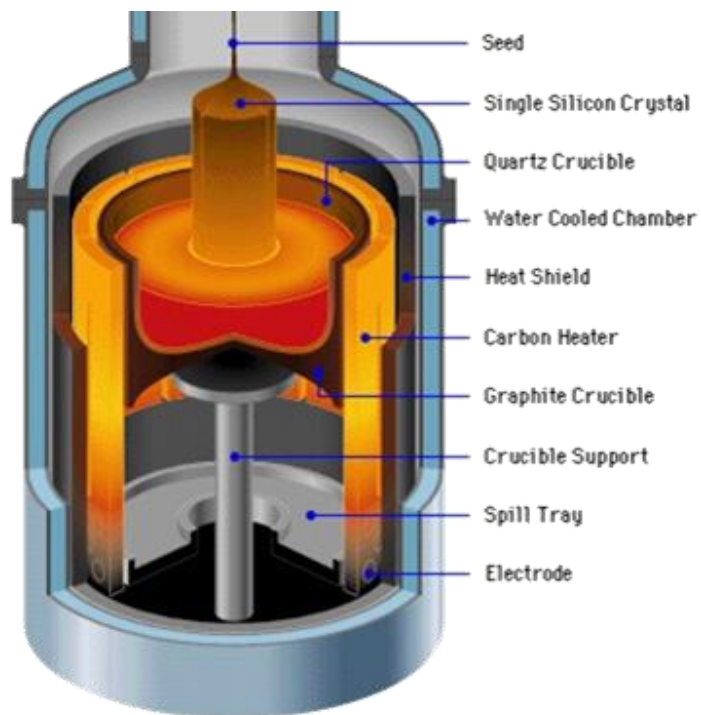
- 形成互连线，接触、金属化、钝化

■ 测量

- 对结构进行测量并把结果反馈给制造工艺
- 扫描电子显微镜(SEM)、能量色散X射线光谱分析(EDX)、透射电子显微镜(TEM)



三阱工艺反相器剖面图



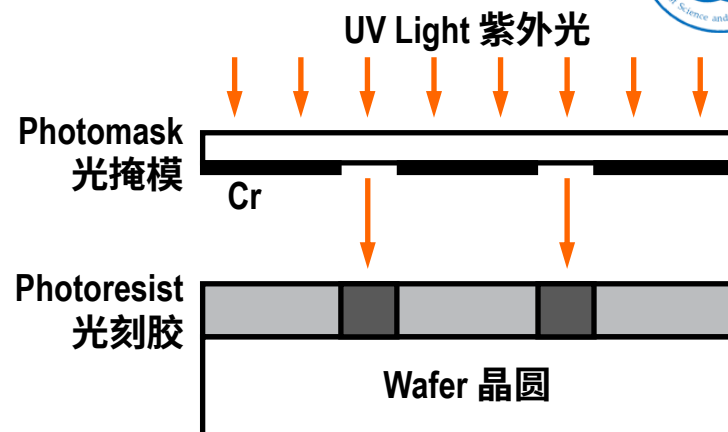
Czochralski法单晶制备系统



晶锭(Boule)和晶圆(Wafer)

■ 光刻 (Photolithography, Lithography)

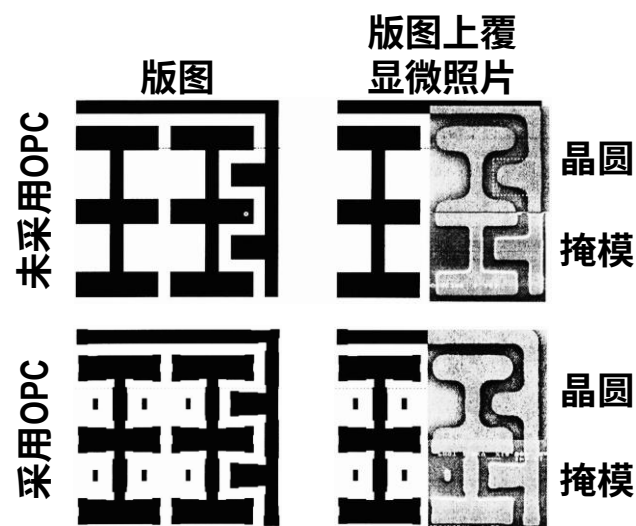
- 把图形从掩模转移到晶圆表面光刻胶上
- 涂胶、曝光、显影
- 光刻胶 (Photoresist, PR)
 - 正胶：紫外光曝光部分可溶
 - 负胶：紫外光曝光部分不可溶
- 光掩模 (Photomask, Mask, Reticle)



光刻过程示意图

■ 分辨率增强技术 (RET)

- 对曝光图案偏差预补偿以得到预期图案
- 光学邻近效应修正 (OPC)
- 相移掩模 (PSM)
- 离轴照明
- 两次曝光成像



亚波长特征图形光刻

(Proc. SPIE, 3334, 1998, 892-911)

■ 二氧化硅的特点

- 硬度高且稳定的电介质
- 非常易于处理，生长、刻蚀
- 二氧化硅和硅的界面在MOS管中具有良好的电学性质

■ 二氧化硅的应用

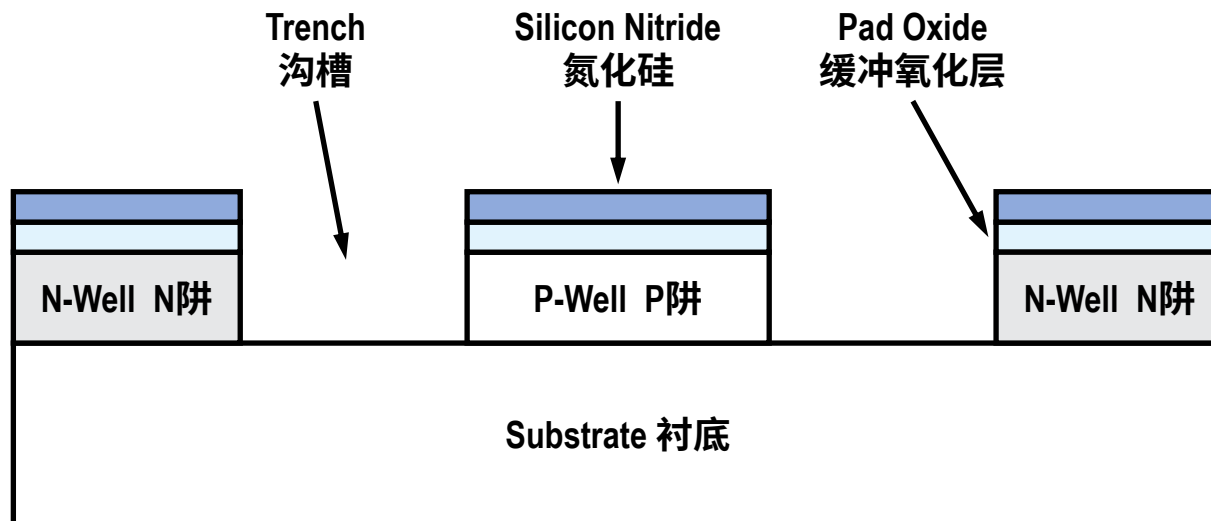
- 栅介质层、隔离、应力缓冲层、硬掩模等

■ 二氧化硅制备工艺

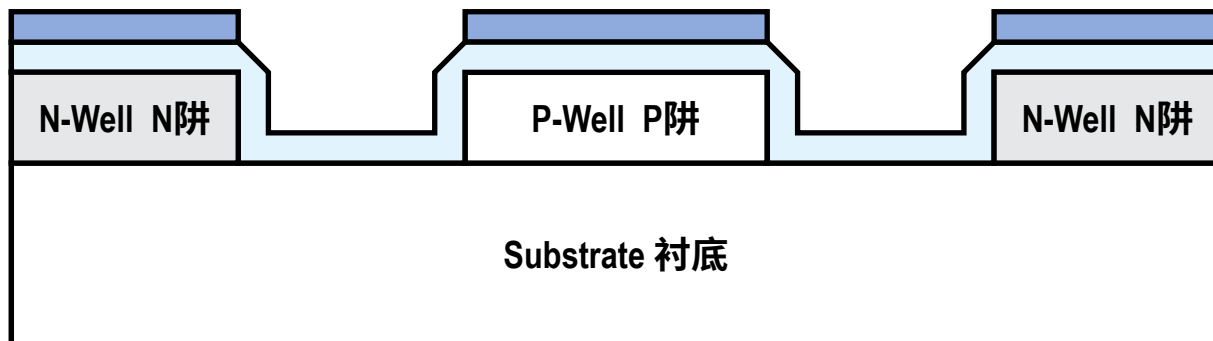
- 干氧化 (Dry Oxidation)
- 湿氧化 (Wet Oxidation)
- 化学气相沉积 (Chemical Vapor Deposition, CVD)
- 原子层沉积 (Atomic Layer Deposition, ALD)

浅沟槽隔离

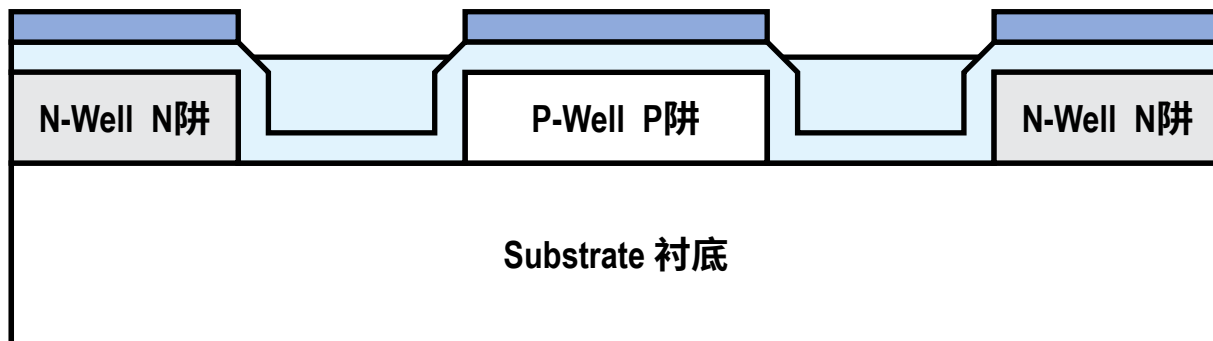
形成缓冲氧化层、氮化硅层，刻蚀沟槽



浅沟槽隔离 生长衬垫氧化层

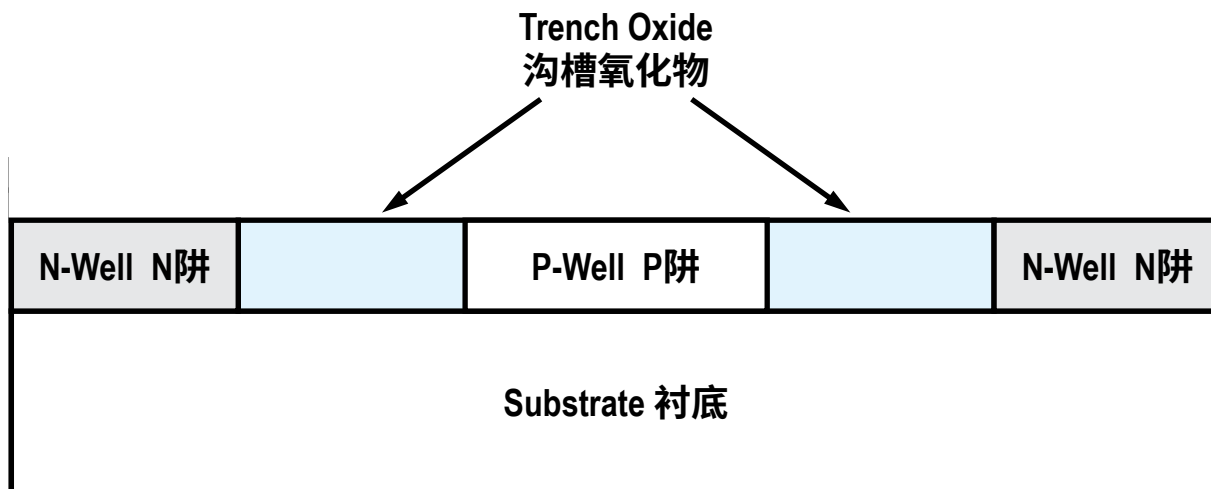


浅沟槽隔离 用电介质填充沟槽

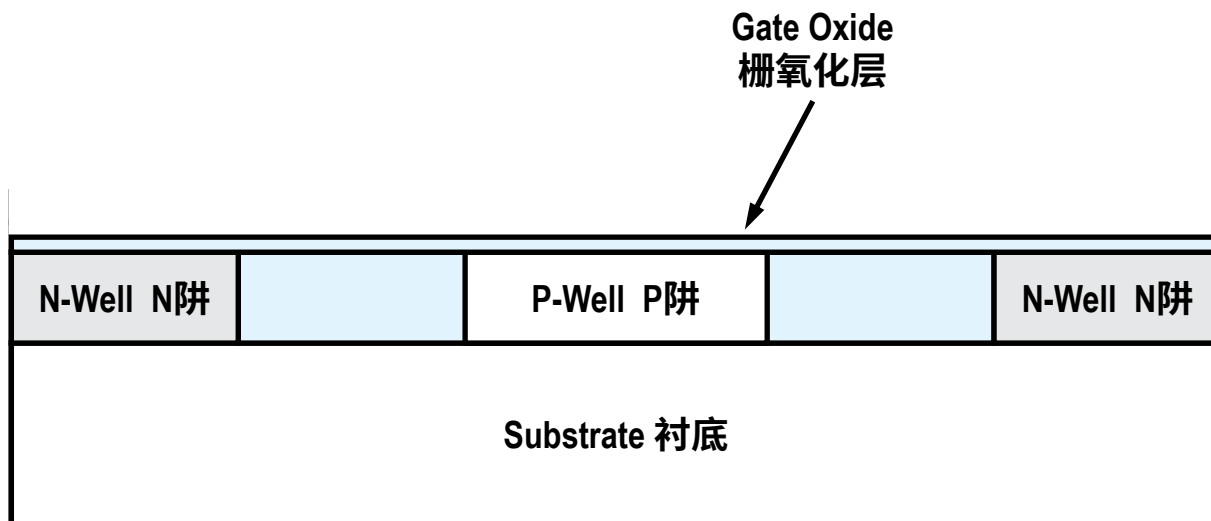


浅沟槽隔离

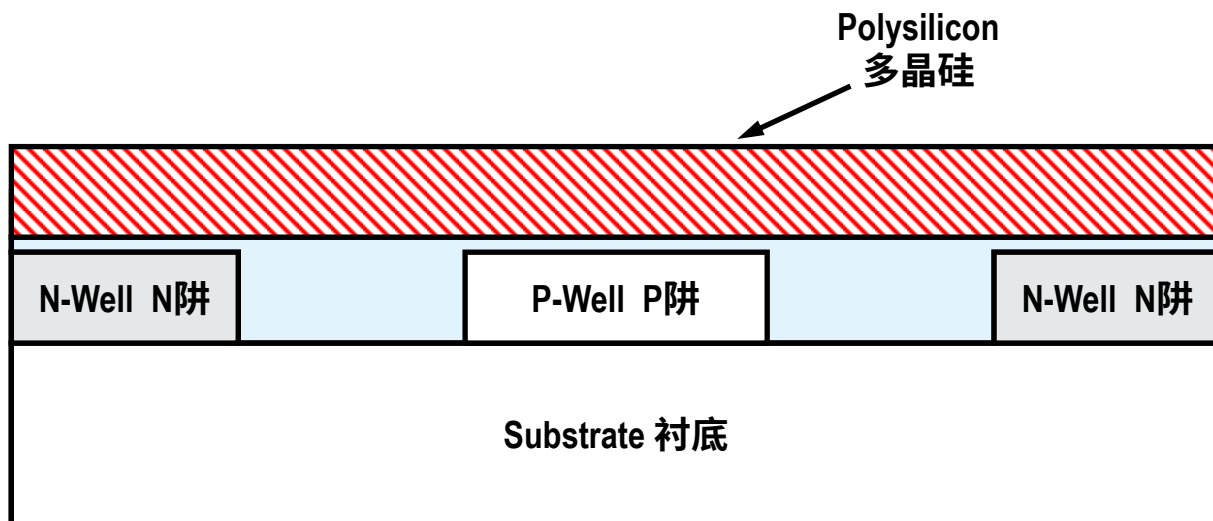
化学机械抛光(CMP)平坦化



形成栅和源/漏 生长栅氧化层

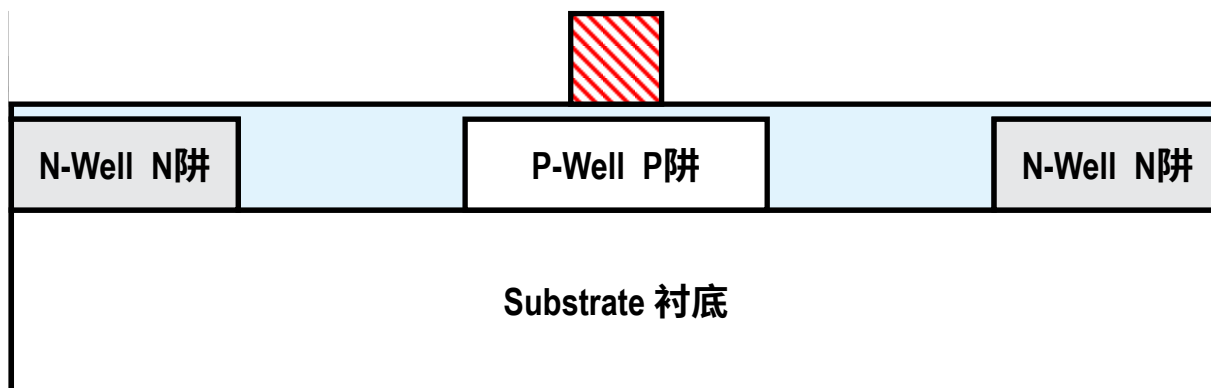


形成栅和源/漏 沉积多晶硅



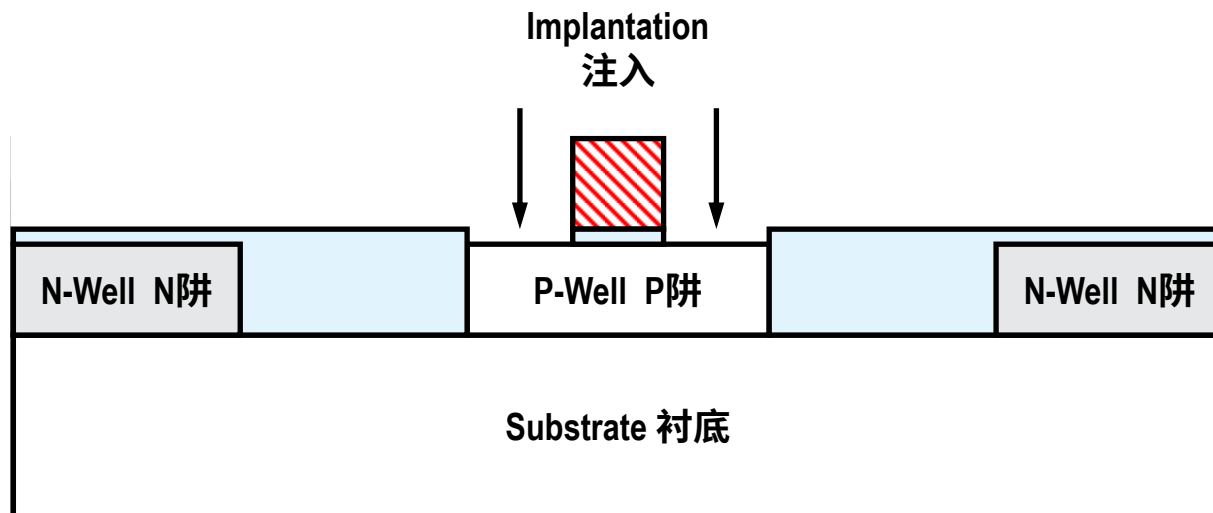
形成栅和源/漏

刻蚀多晶硅，形成栅极和局部互连

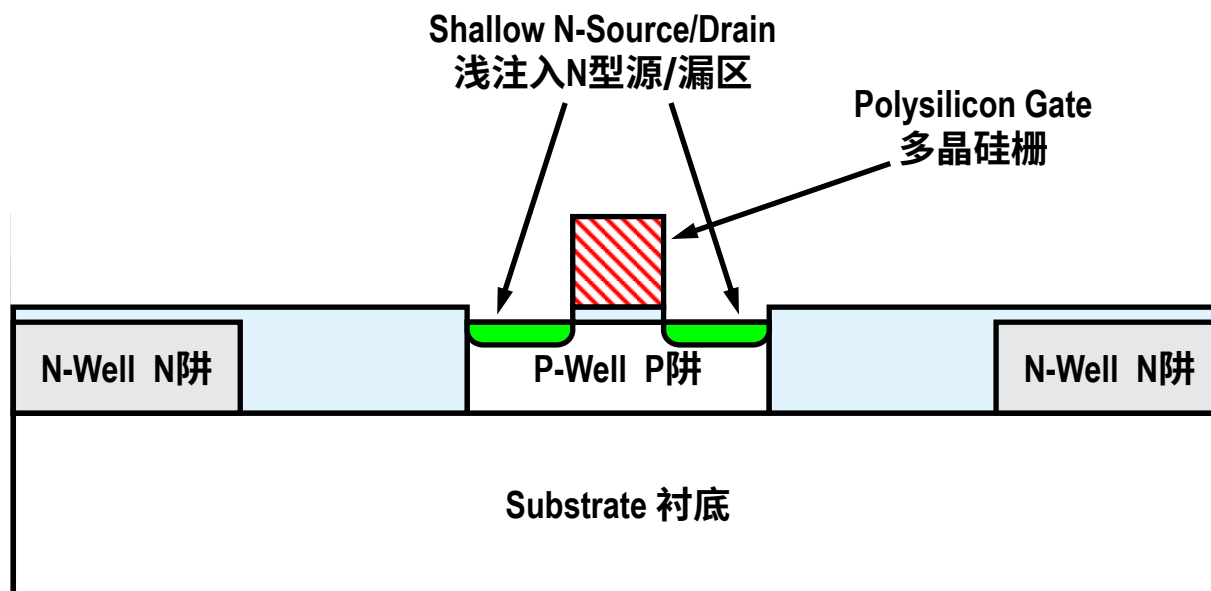


形成栅和源/漏

刻蚀栅氧化层，低能量、低剂量源/漏区离子注入

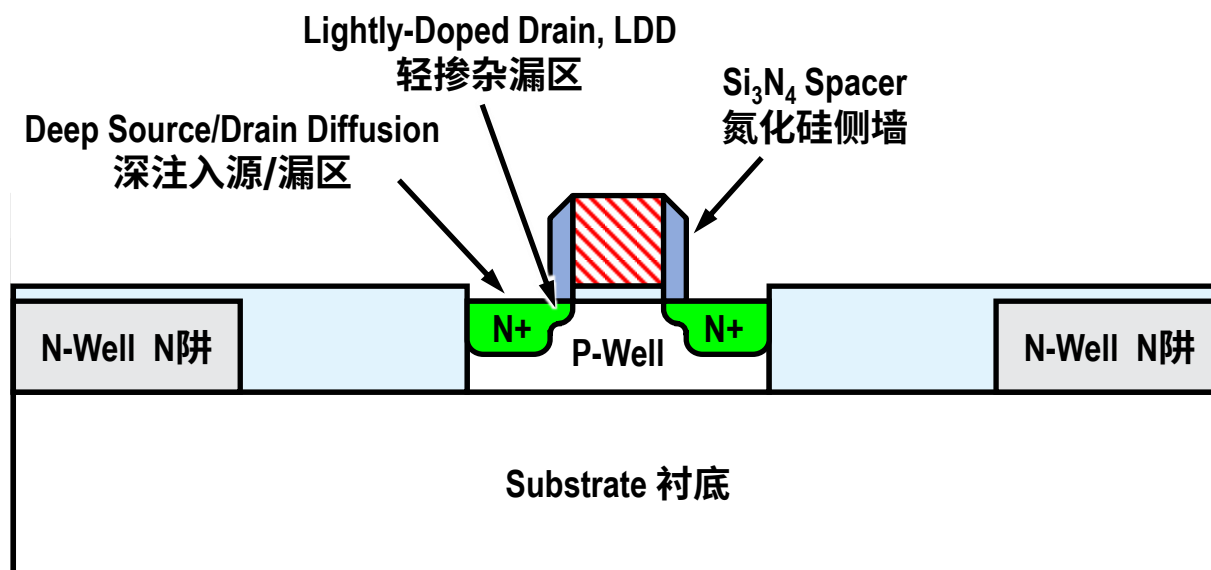


形成栅和源/漏 形成轻掺杂、浅注入源/漏区



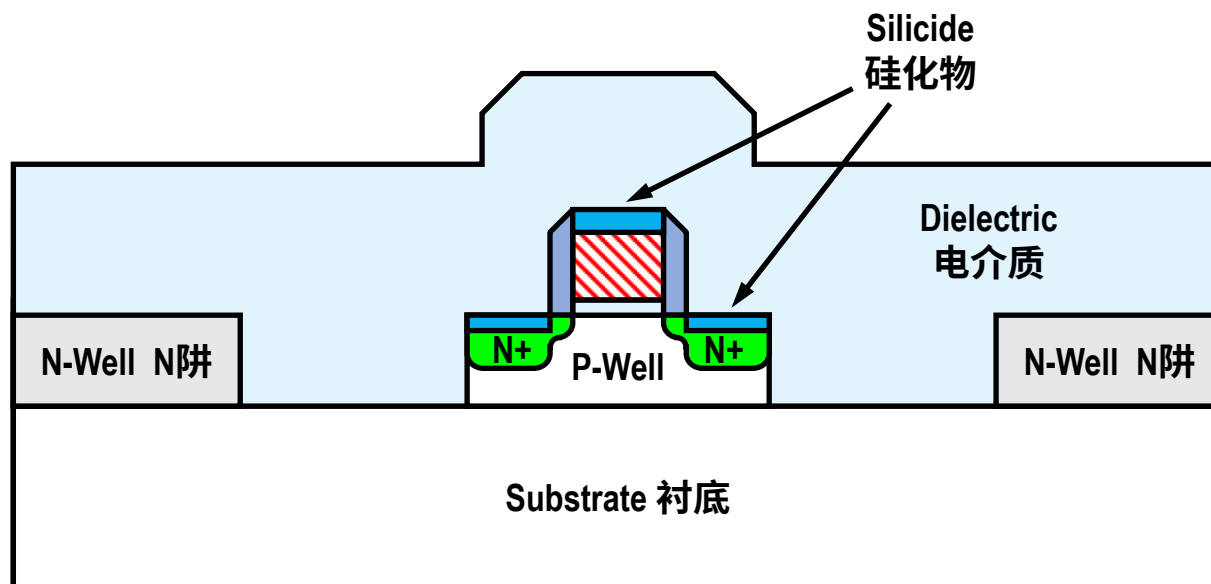
形成栅和源/漏

形成氮化硅侧墙，形成重掺杂、深注入源/漏区

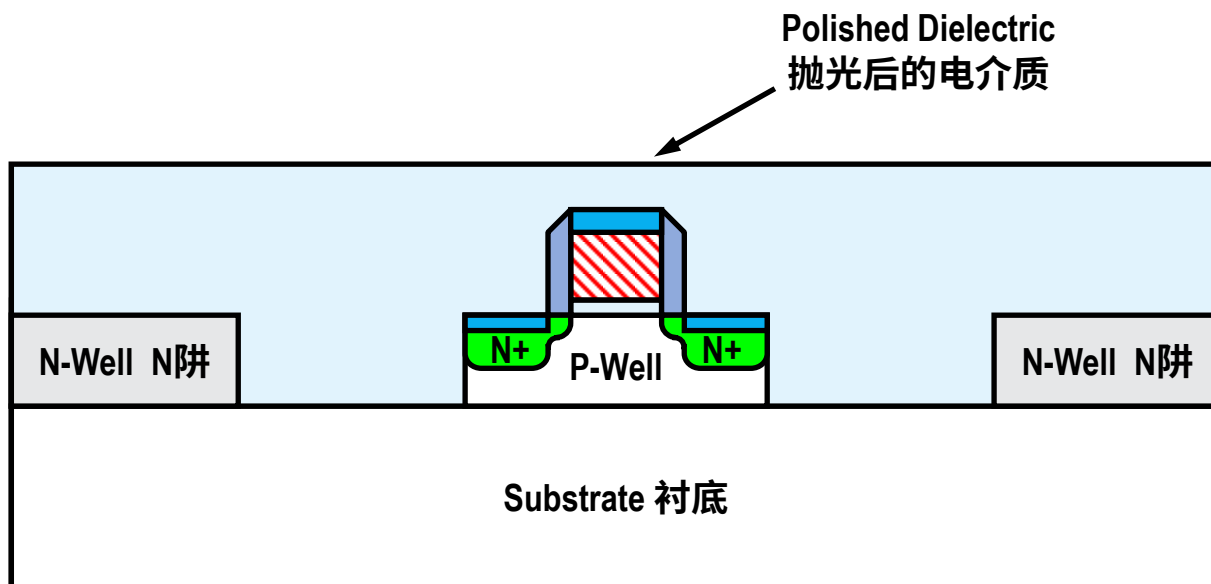


形成栅和源/漏

多晶硅和源/漏区自对准硅化(Salicide), 沉积电介质

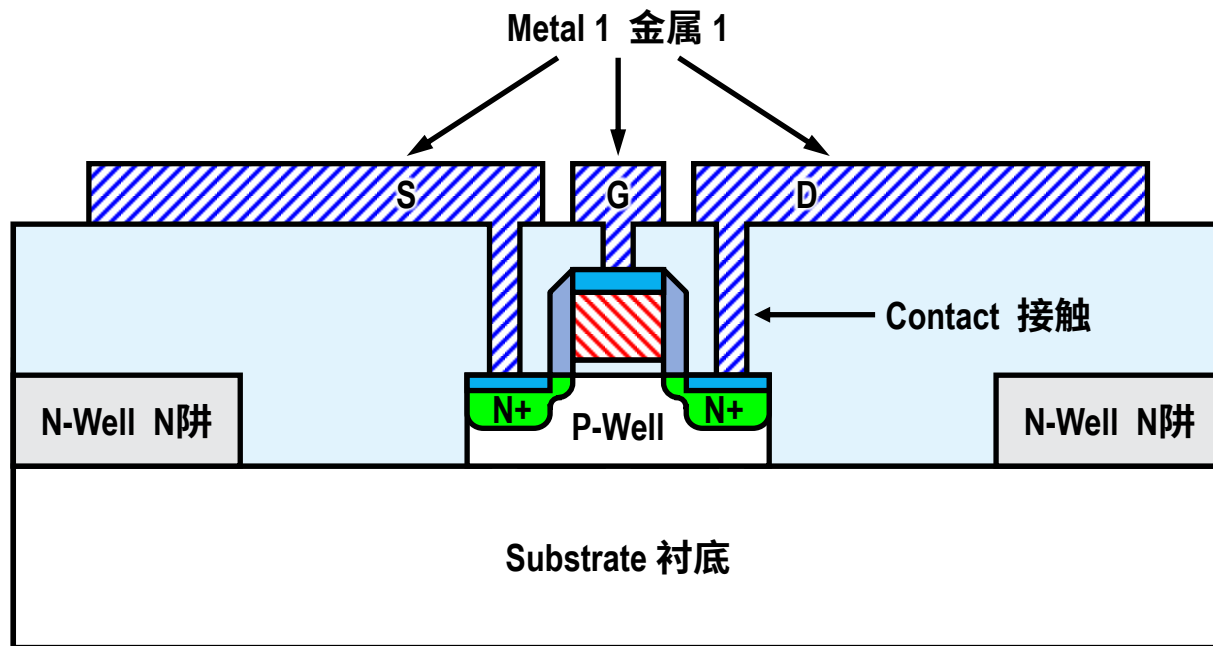


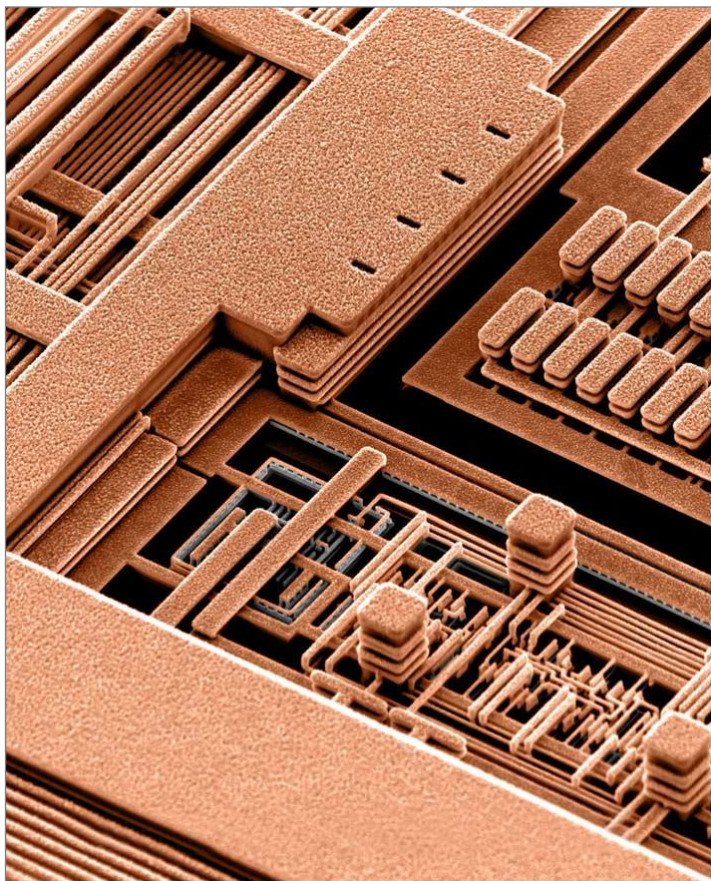
形成栅和源/漏 化学机械抛光(CMP)平坦化



接触与金属化

刻蚀电介质，沉积金属，刻蚀金属





▲ 采用局部互连的六管SRAM阵列

◀ 六层铜金属化工艺三维结构

CMOS工艺增强技术

■ 多阈值电压

- 低 V_t 晶体管导通电流较大，但亚阈值泄漏较大
- 关键路径采用低 V_t 晶体管，提高速度
- 其他电路采用高 V_t 晶体管，降低泄漏功耗

■ 多栅氧厚度

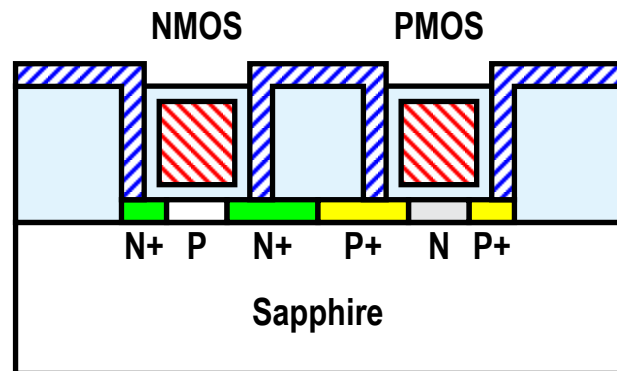
- 薄栅氧能提供较大的导通电流，但栅泄漏较大
- 厚栅氧可以承受更高的电压，可用于I/O电路
- 中等厚度栅氧可用于减少泄漏电流

■ 绝缘体上硅 (Silicon on Insulator, SOI)

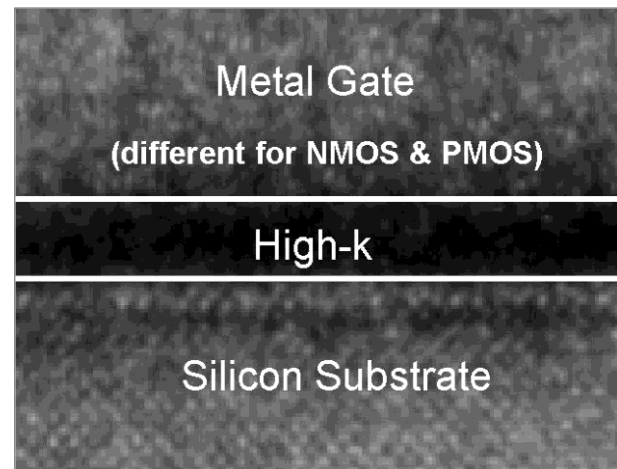
- 晶体管制造在绝缘体衬底上
- 较高的器件速度，较低的亚阈值泄漏
- SiO_2 、蓝宝石(Sapphire, Al_2O_3)

■ 高 k 金属栅 (HKMG)

- 高 k 栅介质: SiON ($k=4.1\sim4.2$), HfO_2 ($k=20$)
- 金属栅: 多晶硅栅与高 k 不兼容, 降低栅电阻



蓝宝石上硅 (SOS)



高 k 金属栅叠层

(IEDM, 2007, 247-250)

■ 高迁移率

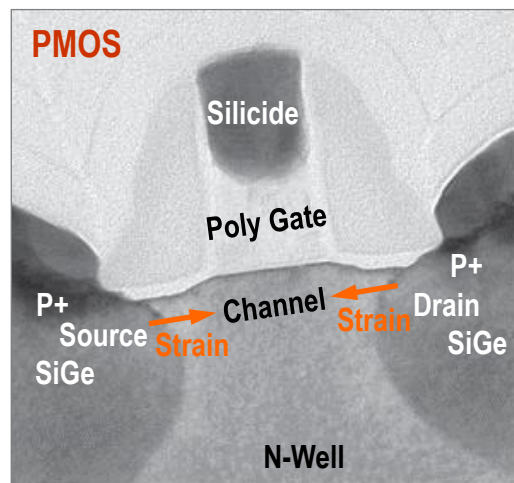
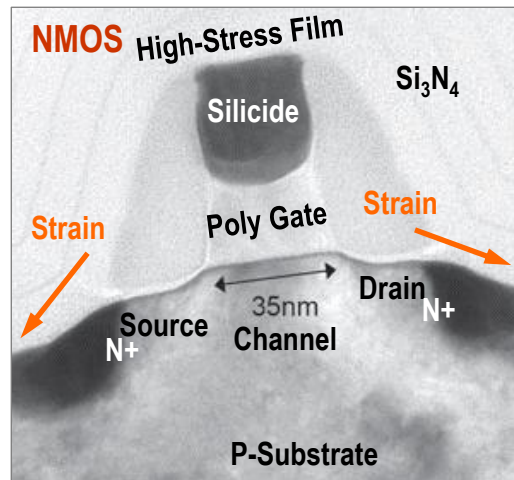
- 应变硅(Strained Silicon): 在沟道引入机械应力, 以提高迁移率
- 张应力用于NMOS沟道, 提高电子迁移率
- 压应力用于PMOS沟道, 提高空穴迁移率

■ 塑料晶体管

- 有机半导体, 载流子迁移率较低
- 用于电子书、传感器、OLED面板等

■ 高压晶体管

- 用于开关和高功率应用
- 栅氧厚度和沟道长度较大以防击穿

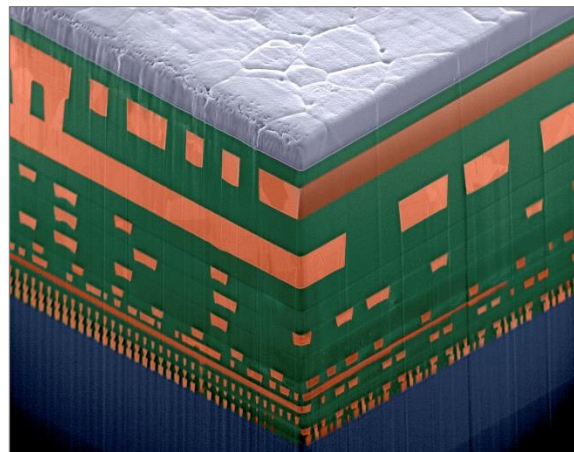


35-nm应变硅晶体管

(IEDM, 2005, 245–247)

■ 铜工艺

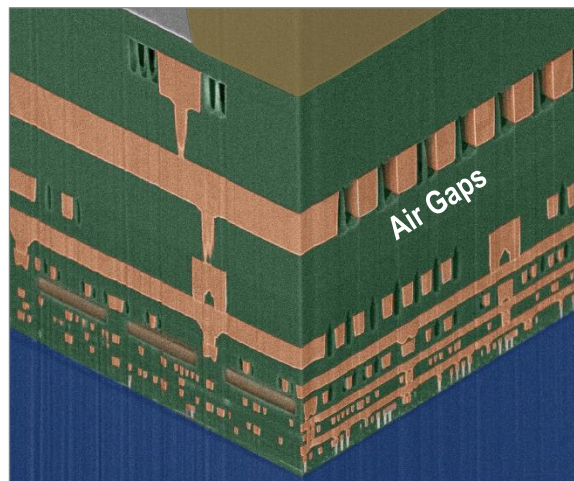
- 镶嵌工艺, 大马士革工艺
- 铜导电性好、抗电迁移特性好
- 沉积电介质、刻蚀电介质、沉积阻挡层、沉积铜籽晶层、化学电镀铜、化学机械研磨(CMP)



铜金属化剖面图

■ 低 k 介质

- 降低导线电容, 减少导线延时、噪声及功耗
- 氟硅玻璃(FSG), $k=3.6$
- 掺碳氧化物(SiOH, CDO), $k=2.8\sim3$
- 多孔聚合物(SiLK), $k=2.6, 1.6\sim2.2$
- 空气隙、真空隙, $k=1$



铜互连和空气隙

■ 电容器 (Capacitor)

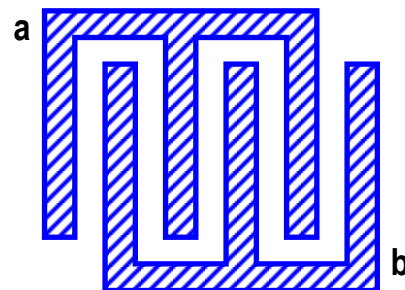
- MOS电容：单位面积电容较大，随电压非线性变化
- PIP电容：两层多晶硅及其之间的薄氧化层
- MOM电容：多层堆叠的金属叉指组成的边缘电容
- MIM电容：专用金属层及其之间的薄氧化层

■ 电阻器 (Resistor)

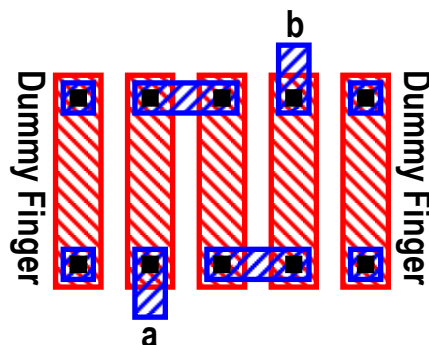
- 多晶硅、扩散层、阱都具有较高的电阻率
- 未掺杂、未硅化的多晶硅制作电阻
- 单位电阻阵列通过串、并联组成匹配电阻
- 阵列两端增加虚指电阻确保内部单位电阻相匹配

■ 电感器 (Inductor)

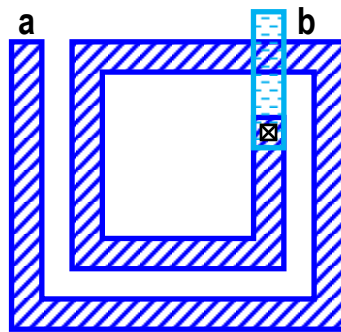
- 用于射频集成电路设计
- 加大厚度的顶层金属螺旋线组成



叉指式电容版图



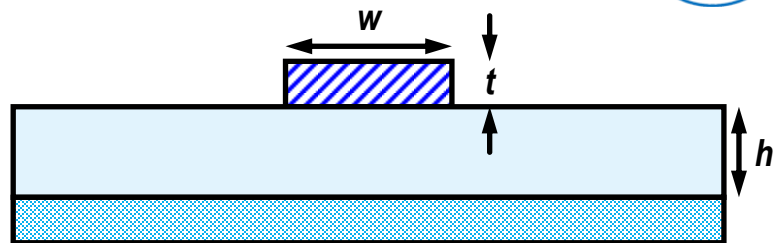
多晶硅电阻版图



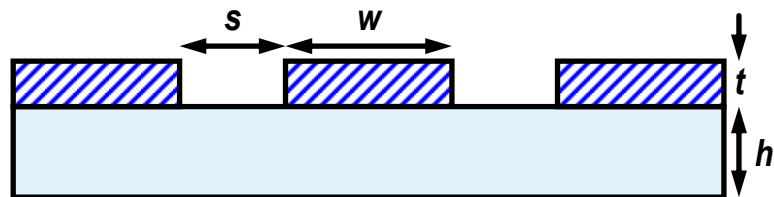
螺旋电感版图

■ 传输线 (Transmission Line)

- 微带线 (Microstrip)
 - 导线：顶层金属层
 - 接地平面：顶层的下一层金属层
- 共面波导 (Coplanar Waveguide)
 - 导线及其两边的共面接地线构成



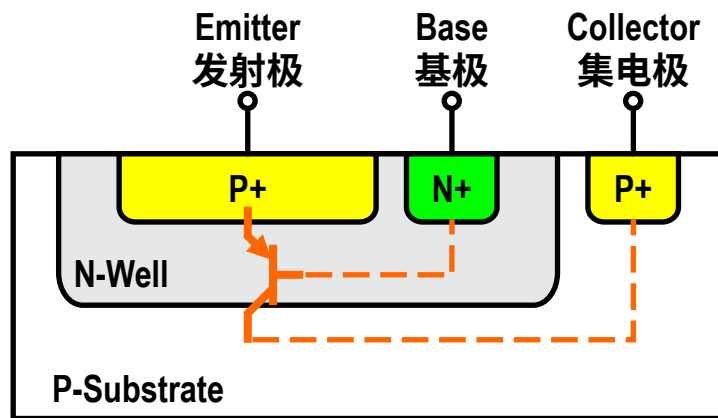
微带线



共面波导

■ 双极型晶体管 (Bipolar Transistor)

- BiCMOS工艺：模拟或高压电路
- N阱CMOS工艺：纵向寄生PNP管
 - 集电极：P型衬底
 - 基极：N阱
 - 发射极：P型扩散区



纵向PNP双极型晶体管

■ 嵌入式DRAM (Embedded DRAM)

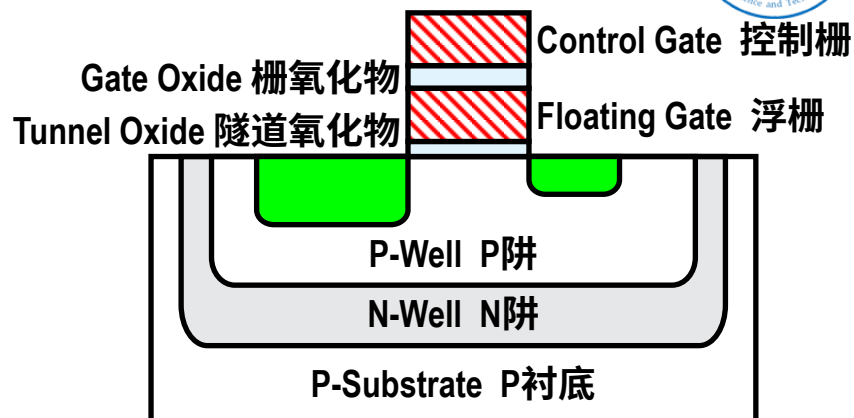
- 单个晶体管和一个电容存储1bit信息
- 需要在小面积上制作电容
- 密集型电容结构制作嵌入式DRAM

■ 非挥发性存储器 (NVM)

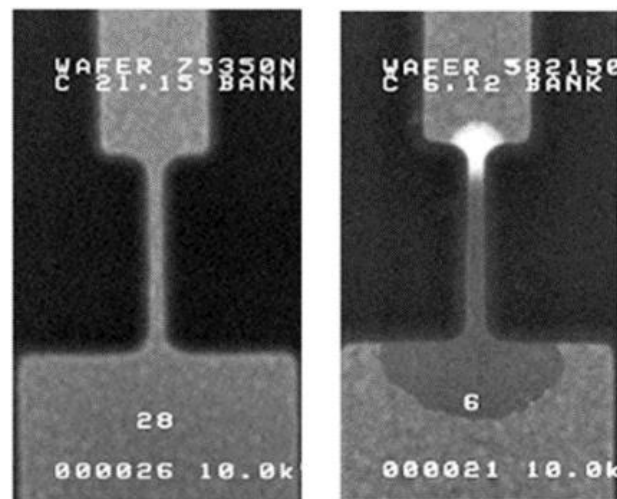
- 移去电源后仍能保持存储状态
- Mask ROM, OTP ROM, EPROM, EEPROM, Flash

■ 熔丝和反熔丝

- 熔丝 (Fuse)
 - 大电流熔断，激光熔断
 - 电子熔丝：初始低阻，编程后变为高阻
- 反熔丝 (Antifuse)
 - 初始高阻，编程后变为低阻



快闪存储器晶体管



编程前

编程后

电子熔丝 (eFUSE)

(JSSC, 40(1), 2005, 19-27)

■ 微机电系统 (MEMS)

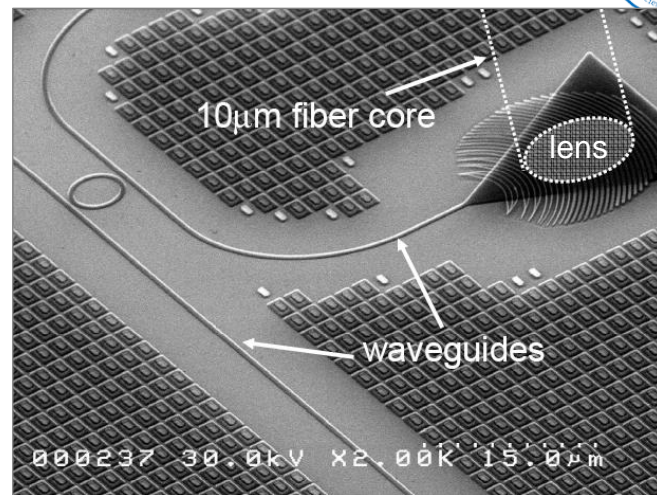
- 在芯片上集成制造微机械和电路系统
- 微传感器、微执行器、微电子、微结构

■ 集成光子器件 (Integrated Photonics)

- 硅对可见光不透明，但对红外光透明
- 光在片外产生并通过光纤传送到芯片
- 高速网络中由光收发器取代铜导线

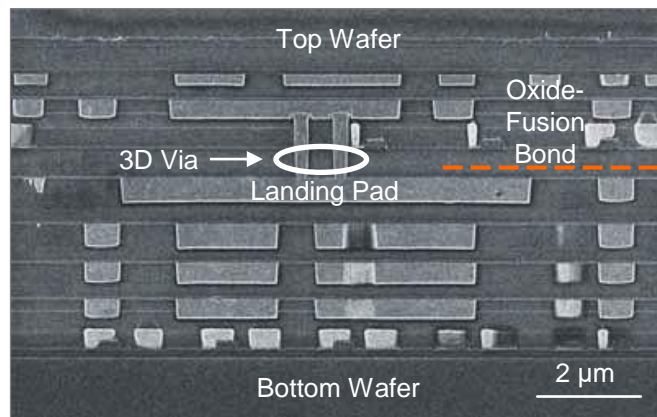
■ 三维集成电路 (3D IC)

- 多层堆叠的晶体管可以缩短导线长度、提高速度、降低功耗
- 将不同工艺的芯片堆叠在一个封装内



光波导和全息透镜

(ISSCC, 2006, 922-929)



三维集成工艺

(IBM J. Research and Dev., 52(6), 2008, 583-597)

■ 鳍形晶体管 (FinFET)

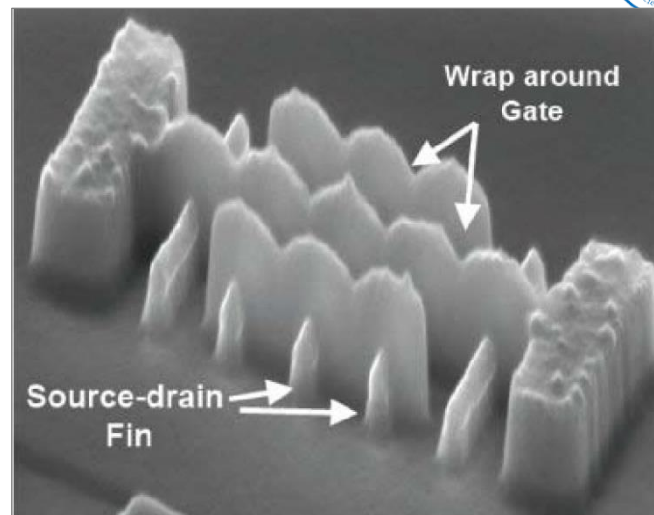
- 栅包围垂直沟道的三边
- 能够对沟道中的电荷实现更好的控制
- 器件宽度由鳍的高度决定

■ III-V族化合物材料与CMOS工艺的集成

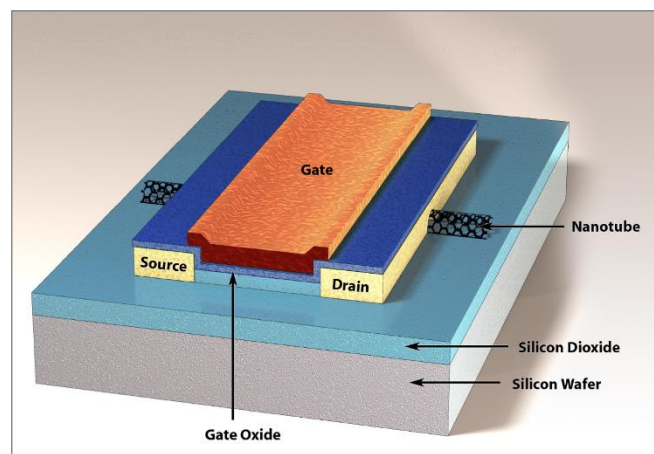
- GaAs, GaN, InP等
- 具有很高的电子迁移率
- 适合用于高频率的应用

■ 碳纳米管晶体管 (Carbon Nanotube FET)

- 碳纳米管作为沟道导电材料
- 更小的尺寸，很高的迁移率



三栅晶体管



碳纳米管晶体管

(ISSCC, 2003, 370-500)

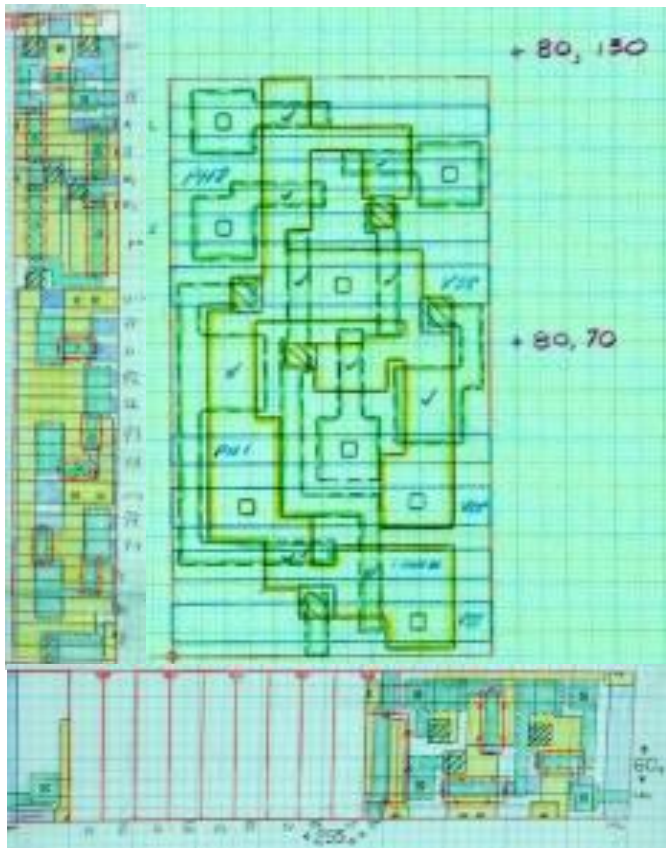
版图设计及验证

■ 版图的构成

- 集成电路各层组成部分的平面几何形状描述
- 由不同层的图形要素组成，路径、矩形、多边形、文字等
- 版图层用于制作掩模或其他设计用途
- 版图的图形必须符合一定的设计规则

■ 版图数据格式

- GDSII (Calma GDS II Stream Format), 二进制, 最常用的版图格式
- OASIS (Open Artwork System Interchange Standard), 二进制, 比GDSII格式更紧凑
- CIF (Caltech Intermediate Format), 文本格式, 主要用于学术界
- 其他通用数据格式: DEF, LEF, EDIF, ...
- EDA软件内部数据格式



手工绘制的标准单元版图

(Intel Technology Journal, Q1 2001, 1-12)



在红膜上手工刻画图案

■ 设计规则 (Design Rule)

- 集成电路制造所需用掩模的设计制备说明和规定
- 以特征尺寸（宽度）、间距、覆盖、延伸等定义
- 目的是为了在尽可能小的面积上构建能够可靠工作的电路
- 代表了性能和成品率之间的一种折中

■ 可缩放的 λ 设计规则

- 在多个工艺之间有一定程度的缩放关系
- 只需缩小 λ 的值，设计就将符合尺寸缩小的下一代工艺设计规则
- 实际上，各代工艺之间几乎没有完全一致的按比例缩小尺寸

■ 微米设计规则

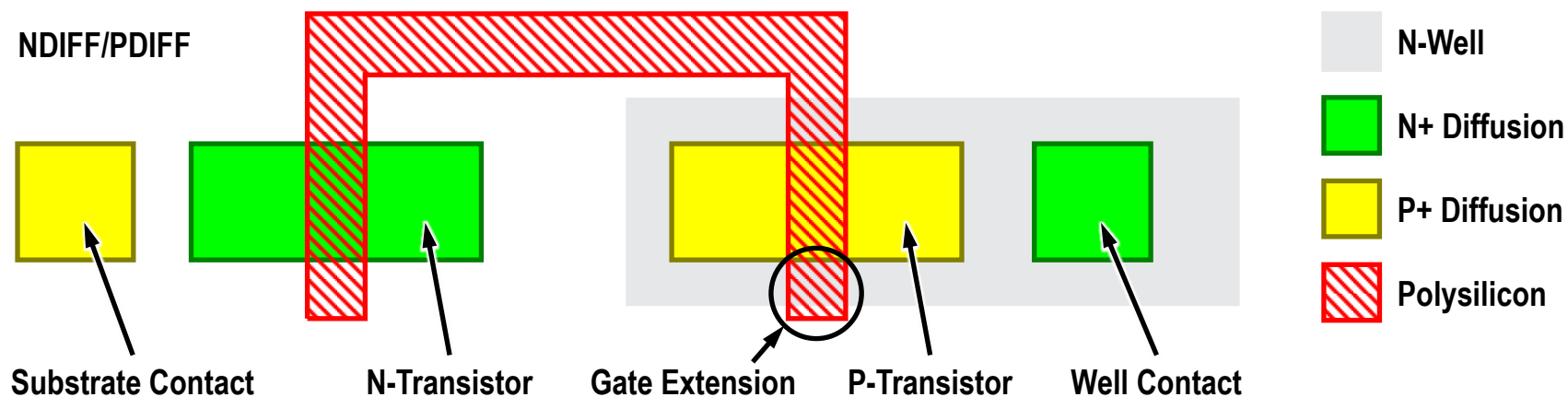
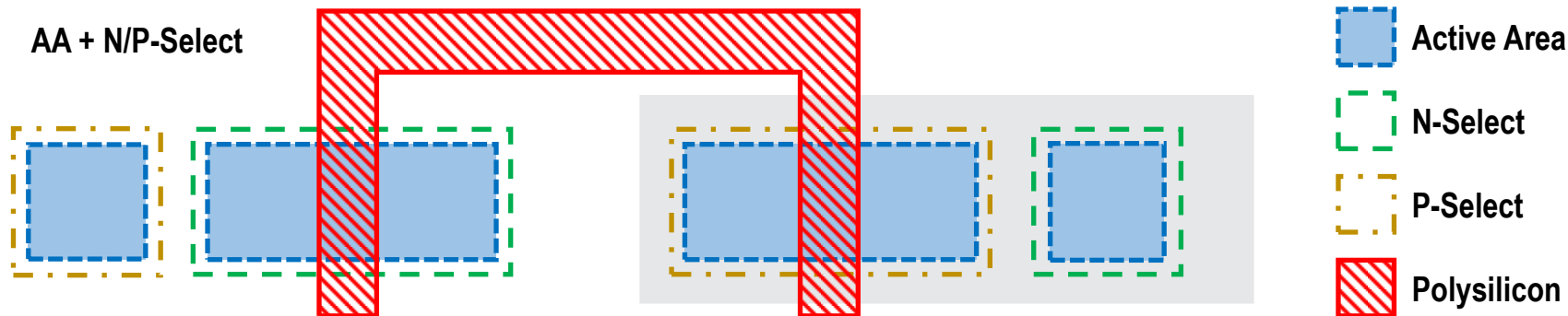
- 工业界通常采用由实际微米数值定义的设计规则
- 与按照相应的 λ 值定义的设计规则有一定的差别

■ 阱规则

- N阱与相邻的N型有源区需要保持足够的外间距
- N阱与内部的P型有源区需要保持足够的内间距
- 双阱工艺中，通常只定义N阱的版图，P阱则默认为N阱的“逻辑非”

■ 晶体管规则

- 有源区 (Active Area, AA; Oxide Diffusion, OD)
- 有源区类型选择 (N-Select/P-Select; NIMP/PIMP; NPLUS/PPLUS; NP/PP)
- 多晶硅 (Polysilicon, PO; Gate, GT)
- 源漏区由有源区和类型选择层定义，或由NDIFF/PDIFF等直接定义
- 栅极由多晶硅和有源区的“逻辑与”定义
- N阱连接点由N阱内的N型有源区定义，P阱连接点由P阱内的P型有源区定义
- 多晶硅需要延伸到有源区之外一定距离，确保源漏区不会短路
- 有源区需要延伸到多晶硅之外一定距离，确保源漏区的存在
- 不组成晶体管的多晶硅和有源区需要分开足够的间距



CMOS N阱工艺晶体管和阱/衬底接触的构造

■ 接触(Contact)规则

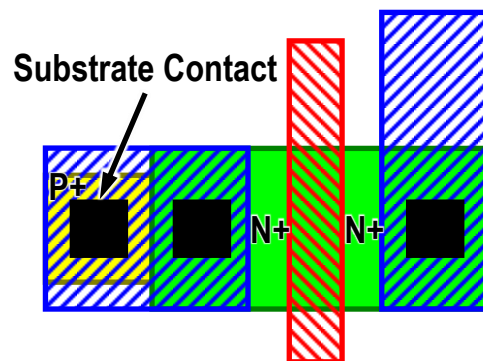
- 金属-有源区、金属-多晶硅、金属-阱/衬底
- 金属与轻掺杂阱/衬底之间的连接很差，需要在接触下方放置重掺杂有源区
- 接触通常具有相同的固定尺寸

■ 金属规则

- 金属厚度越大，宽度和间距规则越大
- 金属宽度越大，间距规则可能随之增加
- 金属有限制最大宽度的规则
- 金属对接触的覆盖规则可能为零或不为零

■ 通孔(Via)规则

- 同一层的通孔通常具有相同的固定尺寸
- 金属厚度越大，通孔尺寸规则也越大
- 平坦化工艺允许叠层通孔



衬底接触

■ 钝化层规则

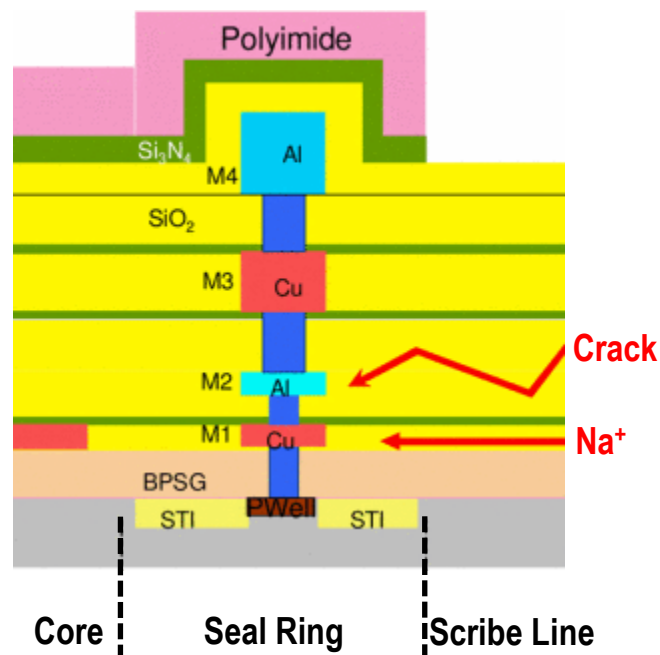
- 在焊盘(Pad)处需要在钝化层有尺寸合适的开口

■ 附加规则

- 多晶硅或金属线超出接触或通孔的延伸
- 器件长度不同时多晶硅延伸也不同
- 特征结构的最大宽度和最小面积
- 凹槽(Notch)的最小尺寸

■ 划片槽和密封环

- 划片槽 (Scribe Line): 把晶圆切割成芯片的位置
- 密封环 (Seal Ring): 芯片与划片槽之间由有源区、接触、金属、通孔、钝化层等按照特定规则叠加组成的保护环
- 在晶圆切割及芯片使用过程中, 保护芯片四周免受机械、静电、电磁干扰、湿气、污染物等的影响和侵入



芯片边缘剖面

(IITC, 2014, 367-369)

■ 可制造性设计

- Design for Manufacturability, DFM
- 在设计流程早期预估工艺效应和偏差，并进行修正，以提高良品率

■ 可制造性设计规则

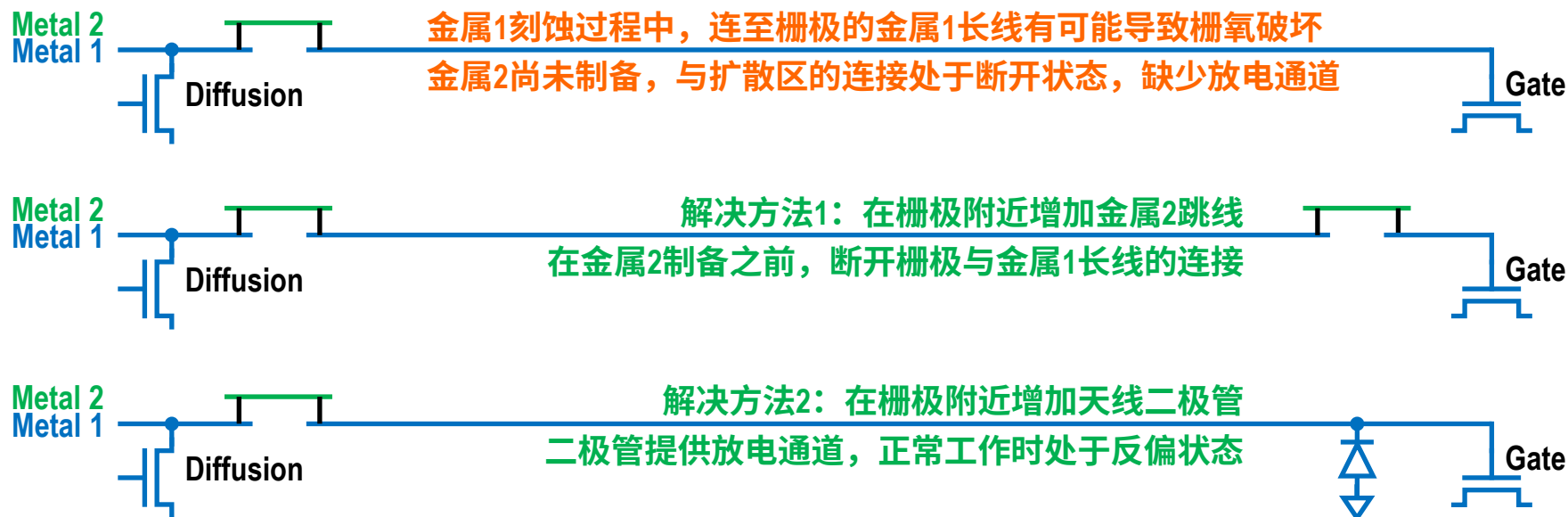
- 天线规则 (Antenna Rule)
- 层密度规则 (Layer Density Rule)
- 金属窄槽规则 (Metal Slotting Rule)
- 分辨率增强规则 (Resolution Enhancement Rule)
- 良品率改善规则 (Yield Enhancement Rule)
-

■ 天线效应 (Process Antenna Effect, PAE)

- 等离子刻蚀工艺有可能使金属或多晶硅积累足够电荷而导致栅极氧化层击穿

■ 天线规则 (Antenna Rule)

- 没有放电通道时，金属或多晶硅面积与栅极面积之间最大比例
- 违例(Violation)解决方法：上层金属跳线；增加天线二极管放电



天线规则及解决方法

■ 负载效应 (Loading Effect)

- 刻蚀速度对需要移除的材料数量具有一定的敏感性
- 图形密度不均匀或过大、过小，可能会造成薄膜材料被过度刻蚀或刻蚀不足
- 由于铜与电介质的性质差异，CMP工艺在铜密度不均匀时可能会过度移除铜

■ 层密度规则 (Layer Density Rule)

- 全芯片和指定大小的面积内，有源区、多晶硅、金属的最小和最大密度范围

■ 违例解决方法

- 若全局或局部密度不足，可以通过手工或软件按照设计规则进行填充
- 填充部分可以接地，也可以浮空
- 需要注意填充部分带来的寄生电容，特别是对高速、射频电路的影响
- 合理的填充模式可以降低寄生效应，必要时可以手工填充并进行精确的仿真

■ 超宽金属线

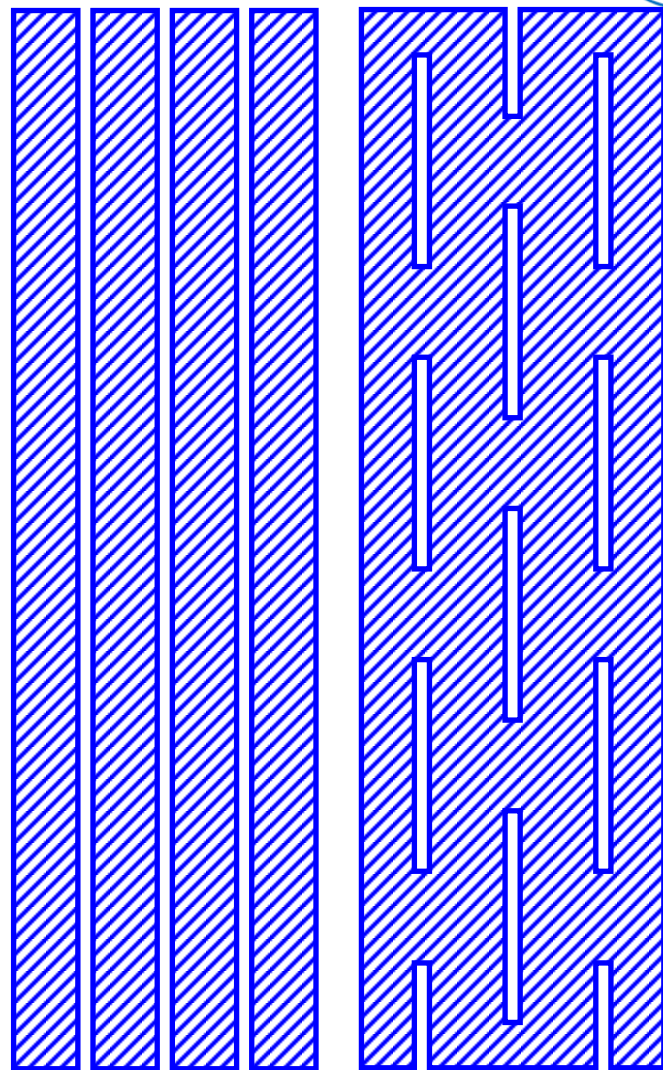
- 内部缺少应力释放空间
- 可能引起局部金属密度过高

■ 金属窄槽规则 (Metal Slotting Rule)

- 要求超宽金属线上留有窄槽
- 窄槽按照电流方向平行排布
- 释放应力，降低电迁移失效风险

■ 违例解决方法

- 在超宽金属线上按照设计规则开槽
- 把超宽金属线分成并联的多条导线



宽金属线的处理方法

■ 分辨率增强技术 (Resolution Enhancement Technology, RET)

- 光学邻近效应修正 (Optical Proximity Correction, OPC)
- 相移掩模 (Phase Shift Mask, PSM)
-

■ 分辨率增强规则 (Resolution Enhancement Rule)

- 分辨率增强技术要求的设计规则
- 多晶硅栅都沿着同一方向，有利于增强分辨率和减少系统级工艺偏差
- 避免小的凸出或凹进，以免干扰对OPC的正确分析
- 限制性设计规则，以便于进行可靠性评估试验，并减少制造波动性

■ 良品率导向设计

- Design for Yield, DFY
- 为提高良品率而进行的设计方法
- 需要综合比较DFY增加的成本与良品率提高带来的收益

■ 良品率改善准则

- 冗余通孔插入 (Redundant Via Insertion, RVI)
- 关键区域分析 (Critical Area Analysis, CAA)
- 光刻友好设计 (Lithography Friendly Design, LFD)
- 在不影响芯片面积和性能的情况下，增加宽度、间距、覆盖、延伸等
- 避免使用非矩形的图形，以免对OPC分析造成影响
- 在阵列和敏感电路周围增加虚假(Dummy)单元，以改善一致性和匹配程度

■ 设计规则检查 (Design Rule Check, DRC)

- 检查版图是否存在不符合设计规则之处
- 版图经过任何修改之后，都应重新进行设计规则检查

■ 电气规则检查 (Electrical Rule Check, ERC)

- 检查版图是否存在电气错误，短路、开路、悬空、衬底偏置错误、电源错误等

■ 可制造性设计检查 (Design for Manufacturability, DFM)

- 检查版图是否存在不符合DFM规则之处
- 天线规则、层密度规则可以与DRC合并进行

■ 版图原理图对比 (Layout vs. Schematic, LVS)

- 从版图中提取电路，并与原理图进行对比是否相符
- 电路仿真基于原理图，版图必须通过与原理图的对比才能验证其正确性

■ 版图寄生参数抽取 (Layout Parasitic Extraction, LPE, PEX)

- 从版图中抽取寄生布线电阻和电容，用以配合原理图电路进行后仿真

■ 全定制版图设计工具

- Cadence Virtuoso
- Synopsys Custom Compiler / Laker
- 华大九天 Empyrean Aether LE

■ 基于标准单元的版图设计工具

- Cadence EDI / Innovus
- Synopsys IC Compiler / IC Compiler II / Astro

■ 版图验证工具

- Siemens (Mentor) Calibre / xCalibre
- Cadence PVS / Assura / EXT (QRC) / Dracula / Diva
- Synopsys IC Validator / StarRC / Hercules
- 华大九天 Empyrean Argus / Polas

本章结束