

# 第五章 金属-氧化物-半导体场效应晶体管 (MOSFET)

§5.1 MOSFET的结构和工作原理

§5.2 MOSFET的阈值电压

§5.3 MOSFET的直流特性

§5.4 MOSFET的频率特性

§5.5 MOSFET的开关特性

§5.6 MOSFET的功率特性

§5.7 小尺寸MOSFET

§5.8 MOSFET的最新研究进展

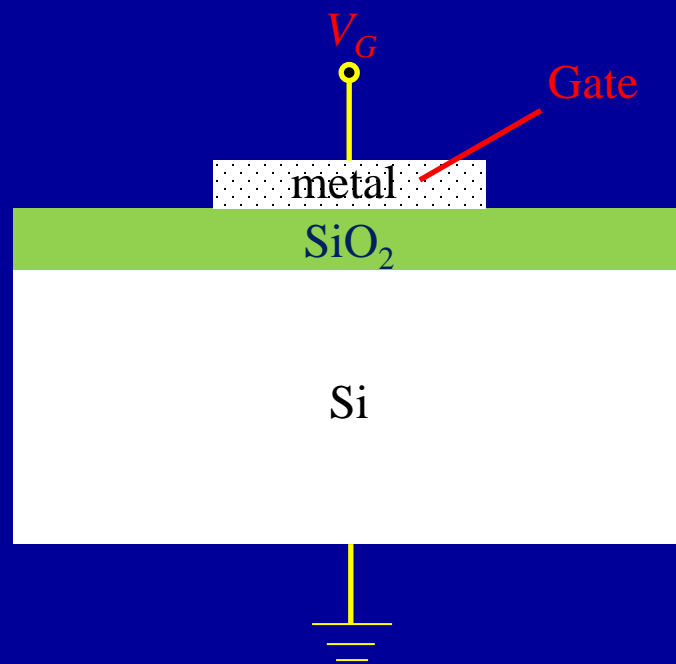
# MOSFET基本知识体系框架



# §5.1 MOSFET的结构和工作原理

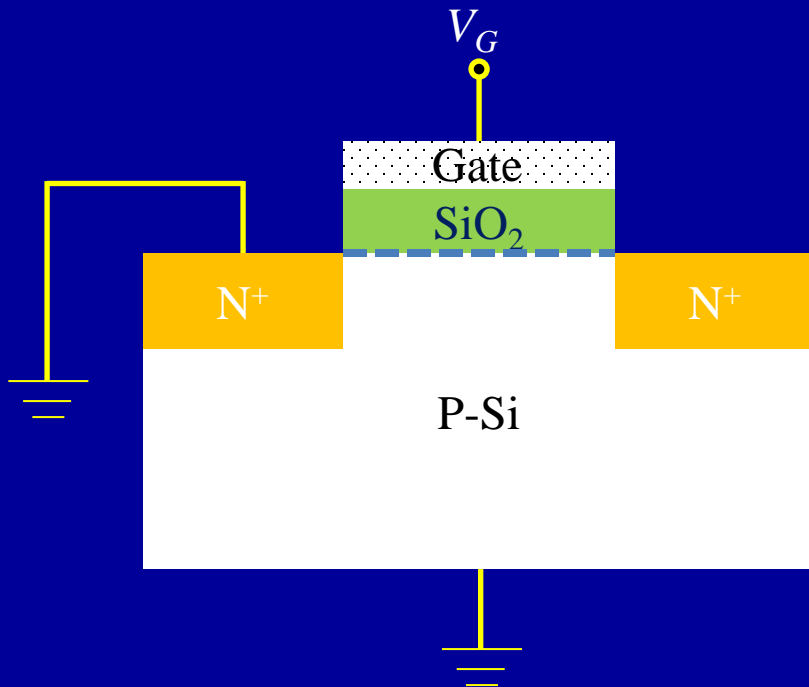
## 5.1.1 MOS结构与MOS电容

- ◆ 所谓MOS结构，如图所示，就是由金属-氧化物-半导体 (Metal-Oxide-Semiconductor) 构成的一种类似于平行板电容器的电容结构，其中金属通常称为栅电极 (Gate)，半导体作为衬底材料，氧化物称为绝缘栅介质。上世纪70年代之前，栅电极主要采用金属铝 (Al)，之后主要采用重掺杂的多晶硅，2008年左右由重新回归到金属栅，开始引入高k介质/金属栅 (HK/MG) 组合。
- ◆ MOS结构作为电容的应用并不是十分广泛，但是它是MOS晶体管的核心，MOS晶体管已成为集成电路中的主流半导体器件，因此深入研究MOS结构对于理解MOS晶体管原理具有重要意义。



## 5.1.1 MOS结构与MOS电容

- ◆ 如图所示为一个MOS晶体管的简化结构示意图，它实际上就是一个MOS电容外加两个PN结构成的，MOS电容两侧的两个N<sup>+</sup>掺杂区称作MOS晶体管的源、漏区，它们提供器件中载流子的来源和泄放通路。本小节主要学习MOS电容在不同偏压下的**三种状态**。



### MOS晶体管:

- ◆ 纵向: **M-O-S**电容结构
- ◆ 横向: **源-沟道-漏**结构 (Source-Channel-Drain)

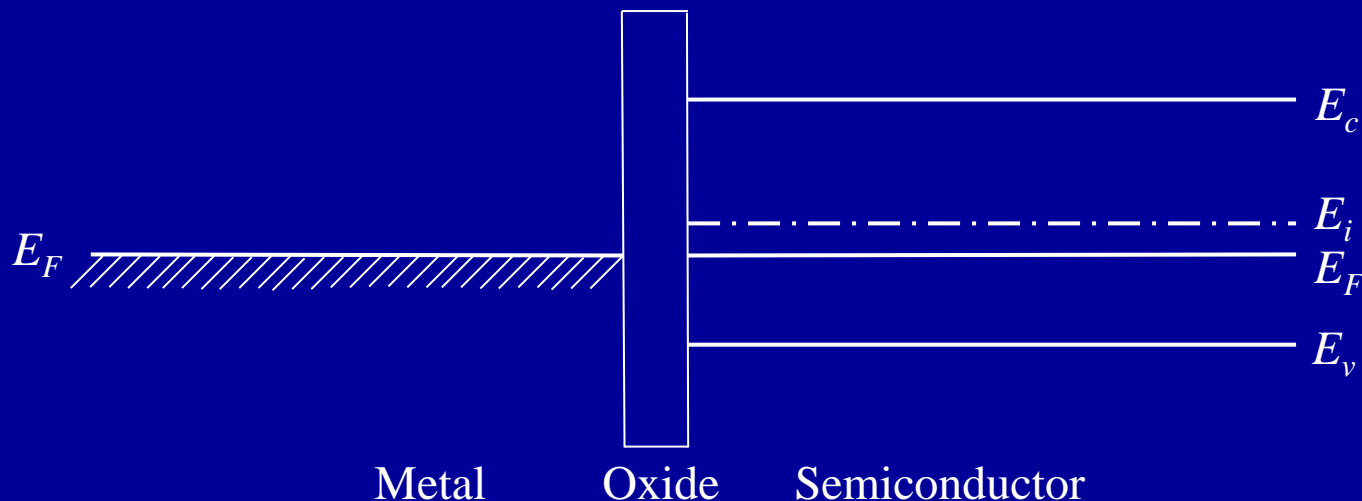
## 5.1.1 MOS结构与MOS电容

### MOS电容在不同偏压下的三种状态:

理想条件假设:

- (1) 金属与半导体间功函数差为零 ( $q\phi_{ms}=0$ )
- (2) 在绝缘层内没有任何电荷 ( $Q_{ox}=0$ ) 且绝缘层完全不导电
- (3) 绝缘体与半导体界面处不存在任何界面态 ( $Q_{ss}=0$ )

以P型Si衬底为例, 理想条件下MOS电容能带图如下:

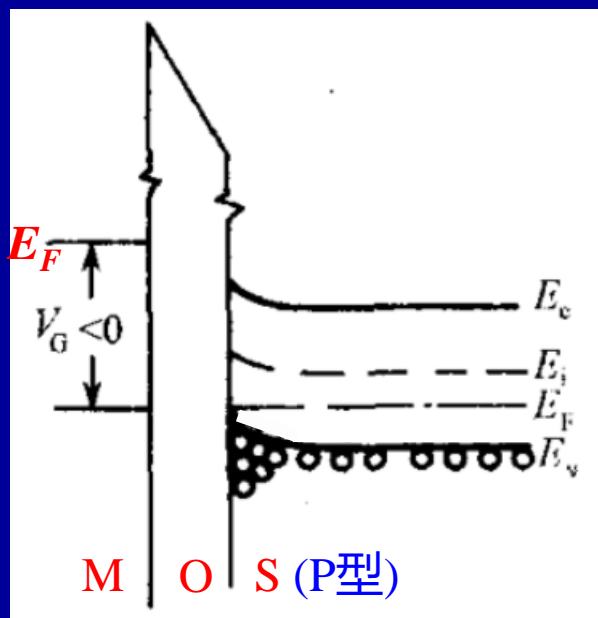


热平衡态MOS结构能带图,  $W_{FM} = W_{FS}$ ,  $E_{FM} = E_{FS}$

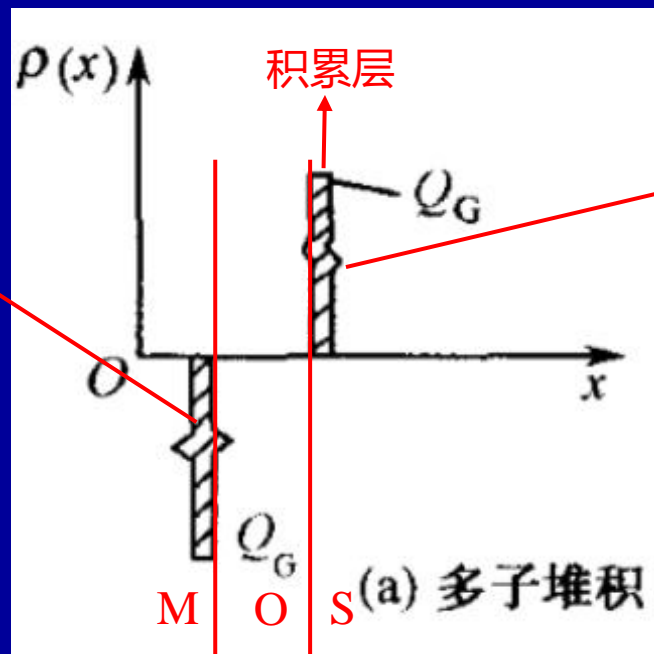
# 5.1.1 MOS结构与MOS电容

在外加偏压下MOS电容能带和半导体表面电荷状态:

① 当MOS电容加**反向偏压**（金属加负压）时，半导体能带相对金属向下移，表面处能带向上弯曲，达到稳定后，半导体内费米能级 $E_F$ 保持定值，故随着向表面接近，价带顶将逐渐移进甚至高过 $E_F$ ，价带中空穴浓度也将随之增加，这样表面就会出现**空穴堆积**，同时越接近表面，空穴浓度越高。



② 由于半导体-绝缘体界面处正电荷的存在，在金属-绝缘体界面感应出一薄层的负电荷

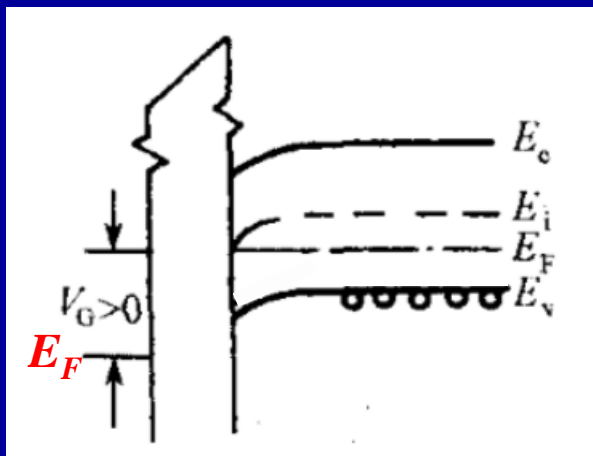


① 在外加负压的情况下，有部分压降落在半导体表面，因此半导体-绝缘体界面处形成一薄层的正电荷

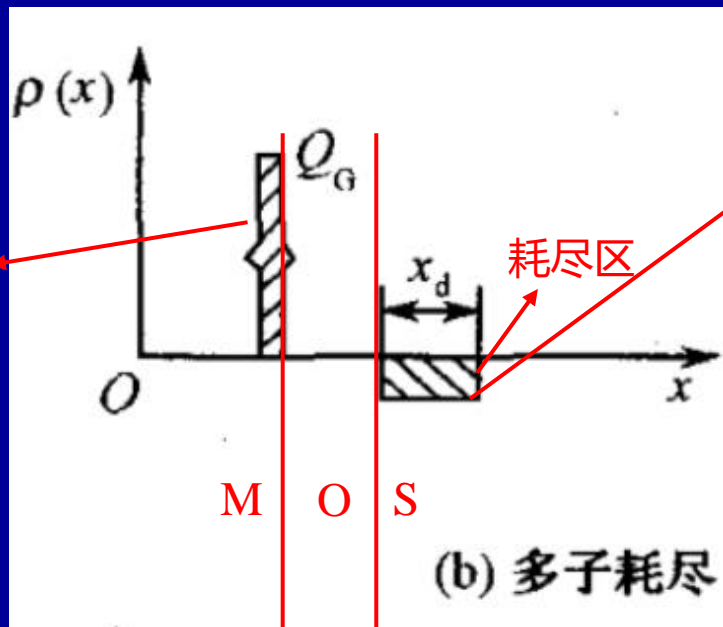
# 5.1.1 MOS结构与MOS电容

在外加偏压下MOS电容能带和半导体表面电荷状态:

② 当MOS电容加**正偏电压**（金属加正压）时，半导体能带相对金属向上移，表面处能带向下弯曲，越靠近表面，价带顶离 $E_F$ 越远，价带中空穴浓度越低，在靠近表面的一定区域内，空穴浓度较半导体体内要低得多，表面层出现负电荷，来源于电离受主杂质，表面层这种状态称为**耗尽**。



②由于半导体表面耗尽区的存在，在金属-绝缘体界面感应出成一薄层的正电荷

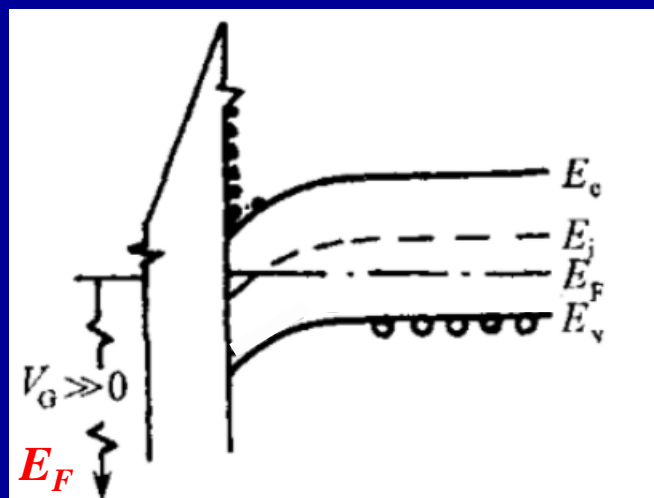


①在外加正压的情况下，有部分压降落在半导体表面，因此半导体表面形成一定厚度的耗尽区，耗尽区内是负电荷

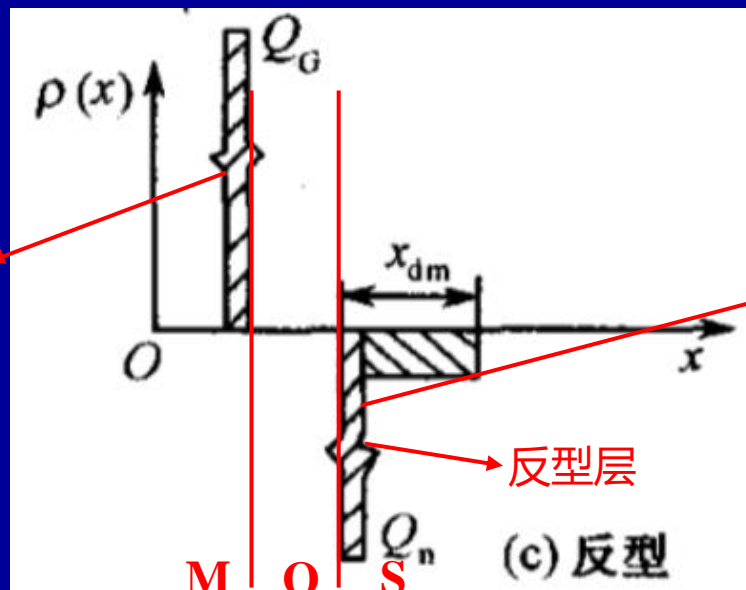
# 5.1.1 MOS结构与MOS电容

在外加偏压下MOS电容能带和半导体表面电荷状态:

③ MOS电容正偏压进一步增大时，表面处能带相较于体内进一步向下弯曲，表面处 $E_F$ 位置可能高于禁带中央能量 $E_i$ ，也就是说 $E_F$ 离导带底的距离比离价带顶的距离要小，这意味着在表面处电子浓度将超过空穴浓度，即形成了与原来半导体导电类型相反的一层电荷层，叫做反型层。此时半导体空间电荷区中的负电荷由两部分组成，一部分是耗尽层中电离的受主负电荷，另一部分是反型层中的电子。



② 金属-绝缘体界面处正电荷增多



① 随着外加正电压的继续增大，半导体表面出现一薄层负电荷层，即反型层，耗尽区宽度达到最大



# 5.1.1 MOS结构与MOS电容

## MOS电容半导体表面的电场、电荷、电容的推导：

通过解泊松方程可以地求出表面空间电荷层中电场和电势分布。取 $x$ 轴垂直于半导体表面指向半导体内部，并规定表面处为 $x$ 轴原点，半导体内部电势为零（以P型硅为例）。

泊松方程：
$$\frac{d^2V}{dx^2} = -\frac{\rho(x)}{\epsilon_{rs}\epsilon_0}$$
  $\epsilon_{rs}$ 是半导体相对介电常数

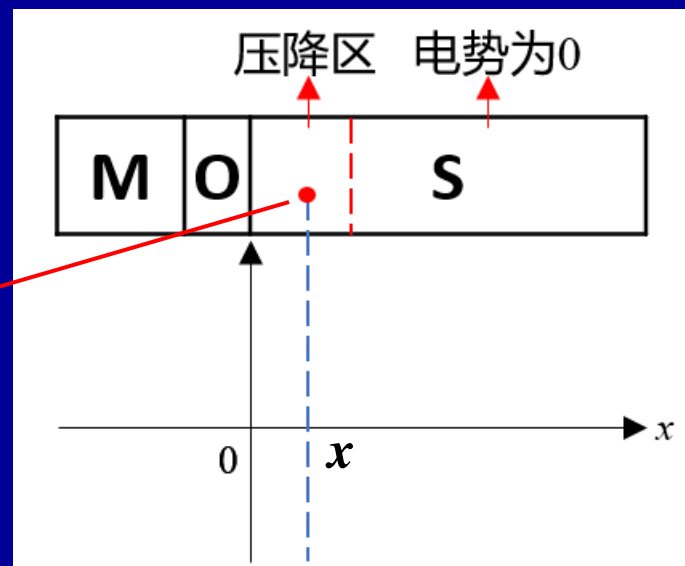
空间电荷总密度：
$$\rho(x) = q(n_D^+ - p_A^- + p_p - n_p)$$

$n_D^+$ ：电离施主浓度

$p_A^-$ ：电离受主浓度

$p_p$ ：坐标 $x$ 点处的空穴浓度

$n_p$ ：坐标 $x$ 点处的电子浓度



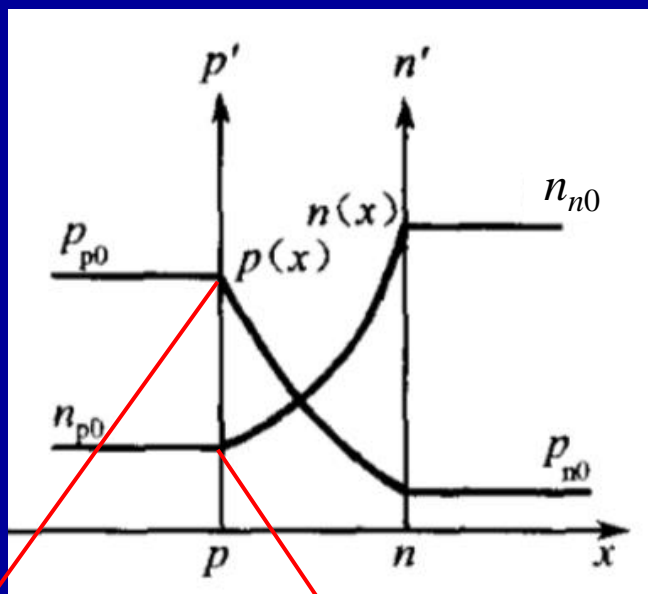
# 5.1.1 MOS结构与MOS电容

## MOS电容半导体表面的电场、电荷、电容的推导：

若考虑在表面层中经典统计仍能适用，取半导体内部电势为零，则电势为 $V$ 的 $x$ 处电子和空穴浓度分别为：

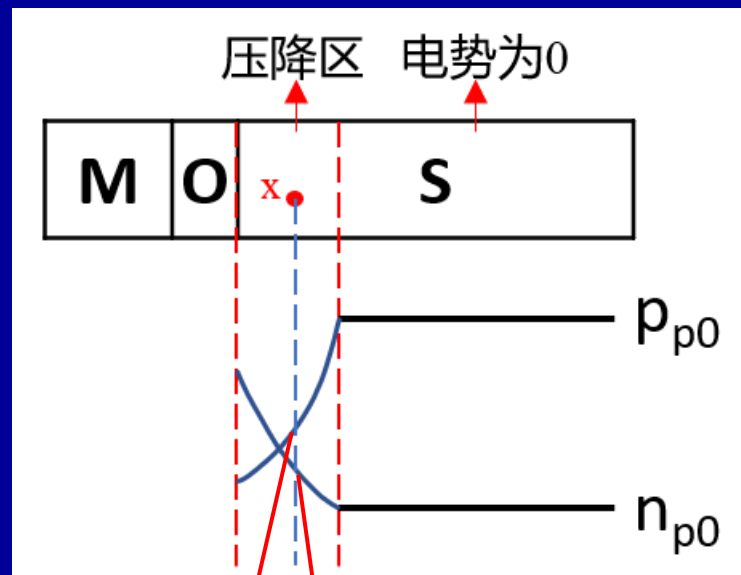
$$n_p = n_{p0} \exp\left(\frac{qV}{k_0T}\right) \quad p_p = p_{p0} \exp\left(-\frac{qV}{k_0T}\right)$$

$n_{p0}$ 和 $p_{p0}$ 是半导体体内平衡电子和空穴的浓度。



$$p_{p0} = p_{n0} \exp\left(\frac{qV_D}{k_0T}\right) \quad n_{p0} = n_{n0} \exp\left(-\frac{qV_D}{k_0T}\right)$$

pn结平衡状态下载流子浓度示意图



$x$ 处电势为 $V$

$$n_p = n_{p0} \exp\left(\frac{qV}{k_0T}\right)$$

$$p_p = p_{p0} \exp\left(-\frac{qV}{k_0T}\right)$$

## 5.1.1 MOS结构与MOS电容

### MOS电容半导体表面的电场、电荷、电容的推导：

在半导体内部，假定表面空间电荷层中电离杂质浓度为一常数，且与体内相等，则在半导体内部，电中性条件成立，故有  $\rho(x) = 0$ ，即有  $n_D^+ - p_A^- = n_{p0} - p_{p0}$   $n_D^+ = n_{p0}$   $p_A^- = p_{p0}$

$$p_p = p_{p0} \exp\left(-\frac{qV}{k_0T}\right)$$

$$n_p = n_{p0} \exp\left(\frac{qV}{k_0T}\right)$$

$$\rho(x) = q(n_D^+ - p_A^- + p_p - n_p)$$

$$\frac{d^2V}{dx^2} = -\frac{\rho(x)}{\epsilon_{rs}\epsilon_0}$$

$$\frac{d^2V}{dx^2} = -\frac{q}{\epsilon_{rs}\epsilon_0} \left\{ p_{p0} \left[ \exp\left(-\frac{qV}{k_0T}\right) - 1 \right] - n_{p0} \left[ \exp\left(\frac{qV}{k_0T}\right) - 1 \right] \right\}$$

## 5.1.1 MOS结构与MOS电容

MOS电容半导体表面的电场、电荷、电容的推导：

$$\frac{d^2V}{dx^2} = -\frac{q}{\epsilon_{rs}\epsilon_0} \left\{ p_{p0} \left[ \exp\left(-\frac{qV}{k_0T}\right) - 1 \right] - n_{p0} \left[ \exp\left(\frac{qV}{k_0T}\right) - 1 \right] \right\}$$

将上式两边乘以 $dV$ 并积分，等式左边变为：

$$\int_0^V \frac{d^2V}{dx^2} dV = \int_0^V \frac{d\left(\frac{dV}{dx}\right)}{dx} dV$$

换元  $\frac{dV}{dx} = t$ ，则积分范围由  $0 - V$  变为  $0 - \frac{dV}{dx}$

原式化为  $\int_0^{\frac{dV}{dx}} t dt$

亦可写为  $\int_0^{\frac{dV}{dx}} \frac{dV}{dx} d\left(\frac{dV}{dx}\right)$

所以上述泊松方程可写为如下式子

$$\int_0^{\frac{dV}{dx}} \frac{dV}{dx} d\left(\frac{dV}{dx}\right) = -\frac{q}{\epsilon_{rs}\epsilon_0} \int_0^V \left\{ p_{p0} \left[ \exp\left(\frac{-qV}{k_0T}\right) - 1 \right] - n_{p0} \left[ \exp\left(\frac{qV}{k_0T}\right) - 1 \right] \right\} dV$$

# 5.1.1 MOS结构与MOS电容

MOS电容半导体表面的电场、电荷、电容的推导：

$$\int_0^{\frac{dV}{dx}} \frac{dV}{dx} d\left(\frac{dV}{dx}\right) = -\frac{q}{\epsilon_{rs}\epsilon_0} \int_0^V \left\{ p_{p0} \left[ \exp\left(\frac{-qV}{k_0T}\right) - 1 \right] - n_{p0} \left[ \exp\left(\frac{qV}{k_0T}\right) - 1 \right] \right\} dV$$

考虑到电场强度  $E = -\frac{dV}{dx}$

则有  $E^2 = \left(\frac{2k_0T}{q}\right)^2 \left(\frac{q^2 p_{p0}}{2\epsilon_{rs}\epsilon_0 k_0T}\right) \left\{ \left[ \exp\left(-\frac{qV}{k_0T}\right) + \frac{qV}{k_0T} - 1 \right] + \frac{n_{p0}}{p_{p0}} \left[ \exp\left(\frac{qV}{k_0T}\right) - \frac{qV}{k_0T} - 1 \right] \right\}$

令  $L_D = \left(\frac{\epsilon_{rs}\epsilon_0 k_0T}{q^2 p_{p0}}\right)^{\frac{1}{2}}$   $L_D$ : 德拜长度

$$F\left(\frac{qV}{k_0T}, \frac{n_{p0}}{p_{p0}}\right) = \left\{ \left[ \exp\left(-\frac{qV}{k_0T}\right) + \frac{qV}{k_0T} - 1 \right] + \frac{n_{p0}}{p_{p0}} \left[ \exp\left(\frac{qV}{k_0T}\right) - \frac{qV}{k_0T} - 1 \right] \right\}^{\frac{1}{2}}$$

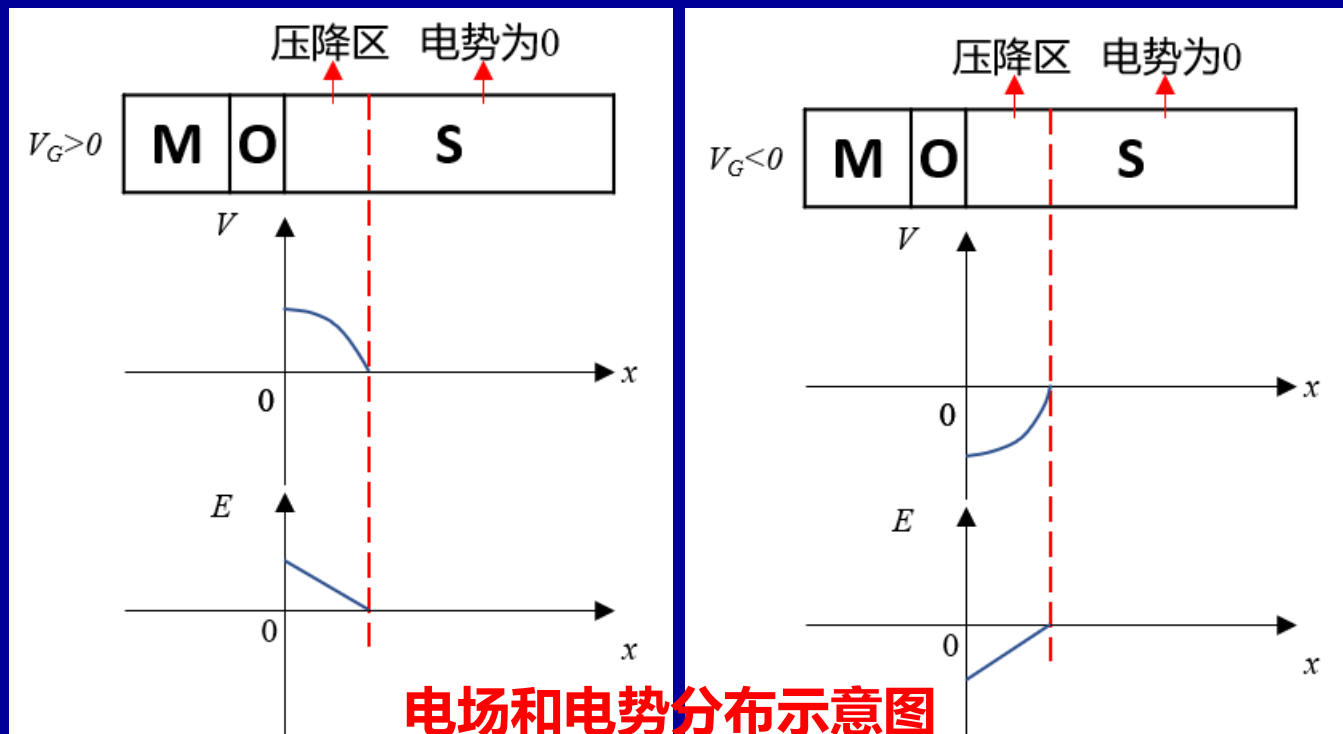
# 5.1.1 MOS结构与MOS电容

MOS电容半导体表面的电场、电荷、电容的推导：

$$E^2 = \left(\frac{2k_0T}{q}\right)^2 \left(\frac{q^2 p_{p0}}{2\varepsilon_{rs}\varepsilon_0 k_0T}\right) \left\{ \left[ \exp\left(-\frac{qV}{k_0T}\right) + \frac{qV}{k_0T} - 1 \right] + \frac{n_{p0}}{p_{p0}} \left[ \exp\left(\frac{qV}{k_0T}\right) - \frac{qV}{k_0T} - 1 \right] \right\}$$

$$L_D = \left(\frac{\varepsilon_{rs}\varepsilon_0 k_0T}{q^2 p_{p0}}\right)^{\frac{1}{2}} \quad F\left(\frac{qV}{k_0T}, \frac{n_{p0}}{p_{p0}}\right) = \left\{ \left[ \exp\left(-\frac{qV}{k_0T}\right) + \frac{qV}{k_0T} - 1 \right] + \frac{n_{p0}}{p_{p0}} \left[ \exp\left(\frac{qV}{k_0T}\right) - \frac{qV}{k_0T} - 1 \right] \right\}^{\frac{1}{2}}$$

则有  $E = \pm \frac{\sqrt{2}k_0T}{qL_D} F\left(\frac{qV}{k_0T}, \frac{n_{p0}}{p_{p0}}\right)$ ，规定电场方向从金属指向半导体为正，式中 $V > 0$ 时， $E$ 取“+”号， $V < 0$ 时， $E$ 取“-”号



电场和电势分布示意图

## 5.1.1 MOS结构与MOS电容

### MOS电容半导体表面的电场、电荷、电容的推导：

在表面处 $V=V_s$ 时，半导体表面处的电场强度为：

$$E_s = \pm \frac{\sqrt{2}k_0T}{qL_D} F\left(\frac{qV_s}{k_0T}, \frac{n_{p0}}{p_{p0}}\right), \text{ 根据高斯定理, 表面的电荷面密度}$$

$Q_s$ 与表面处电场强度有以下关系  $Q_s = -\varepsilon_{rs}\varepsilon_0 E_s$ ，式中“-”

是因为规定电场方向从金属指向半导体为正，从而有以下表

达式  $Q_s = \mp \frac{\sqrt{2}\varepsilon_{rs}\varepsilon_0 k_0T}{qL_D} F\left(\frac{qV_s}{k_0T}, \frac{n_{p0}}{p_{p0}}\right)$ ，表面空间电荷层的电荷密度

随表面势的变化而变化，相当于电容效应，因此单位面积的

电容可由微分  $C_s = \left| \frac{\partial Q_s}{\partial V_s} \right|$  得出，如下：

$$C_s = \frac{\varepsilon_{rs}\varepsilon_0}{\sqrt{2}L_D} \frac{\left\{ \left[ -\exp\left(-\frac{qV_s}{k_0T}\right) + 1 \right] + \frac{n_{p0}}{p_{p0}} \left[ \exp\left(\frac{qV_s}{k_0T}\right) - 1 \right] \right\}}{F\left(\frac{qV_s}{k_0T}, \frac{n_{p0}}{p_{p0}}\right)}$$

# 5.1.1 MOS结构与MOS电容

## ① 多子堆积状态的表面电场、电荷、电容：

$$F\left(\frac{qV}{k_0T}, \frac{n_{p0}}{p_{p0}}\right) = \left\{ \exp\left(-\frac{qV}{k_0T}\right) + \frac{qV}{k_0T} - 1 \right\} + \frac{n_{p0}}{p_{p0}} \left[ \exp\left(\frac{qV}{k_0T}\right) - \frac{qV}{k_0T} - 1 \right]^{\frac{1}{2}}$$

当外加栅压  $V_G < 0$  时，表面势  $V_s$  及表面层的电势  $V$  都是负值，当  $V_s$  和  $V$  足够大时， $\exp\left(-\frac{qV}{k_0T}\right)$  远比  $\exp\left(\frac{qV}{k_0T}\right)$  大得多，且P型半导体中  $\frac{n_{p0}}{p_{p0}}$  远小于1，因此有：

$$F\left(\frac{qV_s}{k_0T}, \frac{n_{p0}}{p_{p0}}\right) = \exp\left(-\frac{qV_s}{2k_0T}\right)$$

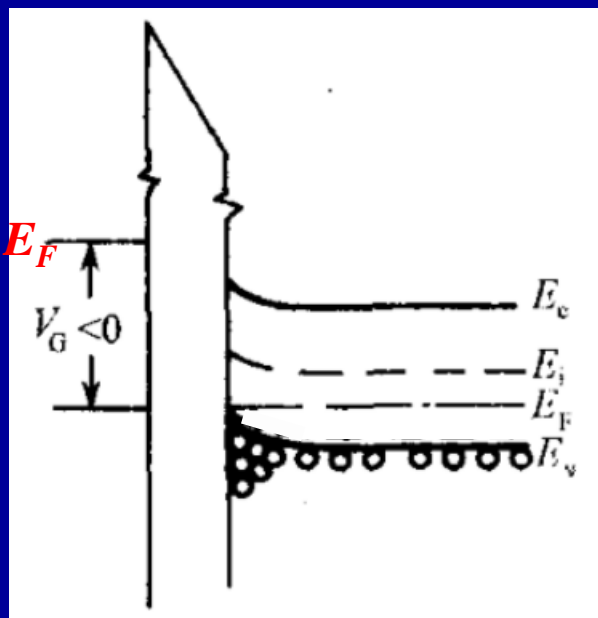
$$E_s = -\frac{\sqrt{2}k_0T}{qL_D} F\left(\frac{qV_s}{k_0T}, \frac{n_{p0}}{p_{p0}}\right)$$

$$E_s = -\frac{\sqrt{2}k_0T}{qL_D} \exp\left(-\frac{qV_s}{2k_0T}\right)$$

$$Q_s = -\epsilon_{rs}\epsilon_0 E_s = \frac{\sqrt{2}\epsilon_{rs}\epsilon_0 k_0T}{qL_D} \exp\left(-\frac{qV_s}{2k_0T}\right)$$

$$C_s = \left| \frac{\partial Q_s}{\partial V_s} \right|$$

$$C_s = \frac{\epsilon_{rs}\epsilon_0}{\sqrt{2}L_D} \exp\left(-\frac{qV_s}{2k_0T}\right)$$





# 5.1.1 MOS结构与MOS电容

## ② 平带状态的表面电场、电荷、电容：

$$F\left(\frac{qV}{k_0T}, \frac{n_{p0}}{p_{p0}}\right) = \left\{ \exp\left(-\frac{qV}{k_0T}\right) + \frac{qV}{k_0T} - 1 \right\} + \frac{n_{p0}}{p_{p0}} \left[ \exp\left(\frac{qV}{k_0T}\right) - \frac{qV}{k_0T} - 1 \right]^{\frac{1}{2}}$$

当外加栅压  $V_G=0$  时，表面势  $V_s=0$ ，表面处能带不弯曲，称为

平带状态，此时容易得到  $F\left(\frac{qV_s}{k_0T}, \frac{n_{p0}}{p_{p0}}\right) = 0$  ,  $E_s = 0$  ,  $Q_s = 0$

而表面空间电荷层电容  $C_s$  则不能直接将  $V_s$  代入，由于此时  $V_s$  给出的是不定值，所以应该使  $V_s$  趋近于零求极限来得到  $C_s$  ,

此时有  $\exp\left(\pm \frac{qV_s}{k_0T}\right) = 1 \pm \frac{qV_s}{k_0T} + \frac{(\frac{qV_s}{k_0T})^2}{2}$  , 则  $C_s = \frac{\epsilon_{rs}\epsilon_0}{\sqrt{2}L_D} \frac{\{[-\exp(-\frac{qV_s}{k_0T})+1] + \frac{n_{p0}}{p_{p0}}[\exp(\frac{qV_s}{k_0T})-1]\}}{F(\frac{qV_s}{k_0T}, \frac{n_{p0}}{p_{p0}})}$

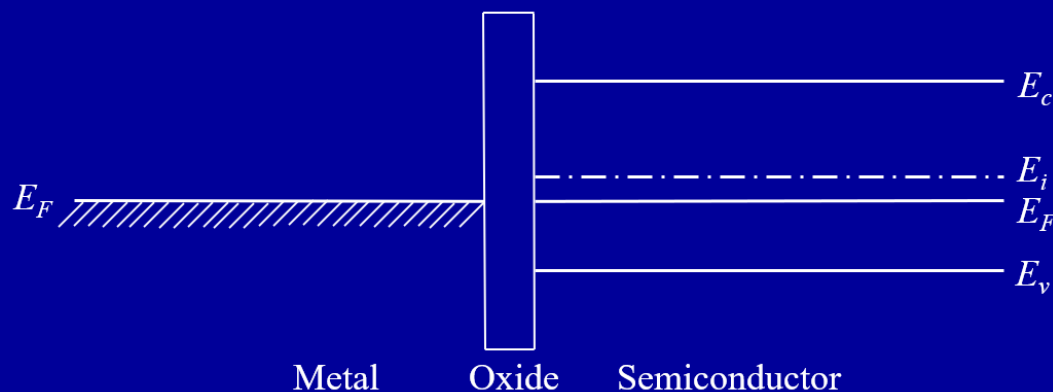
$$C_s = \frac{\epsilon_{rs}\epsilon_0}{L_D} \frac{[1 - \frac{qV_s}{2k_0T} + \frac{n_{p0}}{p_{p0}}(1 + \frac{qV_s}{2k_0T})]}{(1 + \frac{n_{p0}}{p_{p0}})^{\frac{1}{2}}}$$

$V_s=0$

$$C_{FBS} = \frac{\epsilon_{rs}\epsilon_0}{L_D} \left(1 + \frac{n_{p0}}{p_{p0}}\right)^{\frac{1}{2}}$$

P型衬底  $n_{p0} \ll p_{p0}$

$$C_{FBS} = \frac{\epsilon_{rs}\epsilon_0}{L_D}$$



# 5.1.1 MOS结构与MOS电容

## ③ 耗尽状态的表面电场、电荷、电容：

$$F\left(\frac{qV}{k_0T}, \frac{n_{p0}}{p_{p0}}\right) = \left\{ \left[ \exp\left(-\frac{qV}{k_0T}\right) + \frac{qV}{k_0T} - 1 \right] + \frac{n_{p0}}{p_{p0}} \left[ \exp\left(\frac{qV}{k_0T}\right) - \frac{qV}{k_0T} - 1 \right] \right\}^{\frac{1}{2}}$$

当 $V_G > 0$ 但不足以使 $E_i$ 弯曲到 $E_F$ 以下时，表面不会出现反型，空间电荷区处于空穴耗尽状态，因 $V > 0$ ,  $V_s > 0$ ,  $n_{p0} \ll p_{p0}$ ,

$\exp\left(-\frac{qV_s}{k_0T}\right)$  和  $\frac{n_{p0}}{p_{p0}}$  可以忽略，所以有  $F\left(\frac{qV_s}{k_0T}, \frac{n_{p0}}{p_{p0}}\right) = \left(\frac{qV_s}{k_0T}\right)^{\frac{1}{2}}$

$$E_s = \pm \frac{\sqrt{2}k_0T}{qL_D} F\left(\frac{qV_s}{k_0T}, \frac{n_{p0}}{p_{p0}}\right)$$

$$Q_s = -\epsilon_{rs}\epsilon_0 E_s$$

$$E_s = \frac{\sqrt{2}}{L_D} \left(\frac{k_0T}{q}\right)^{\frac{1}{2}} (V_s)^{\frac{1}{2}}$$

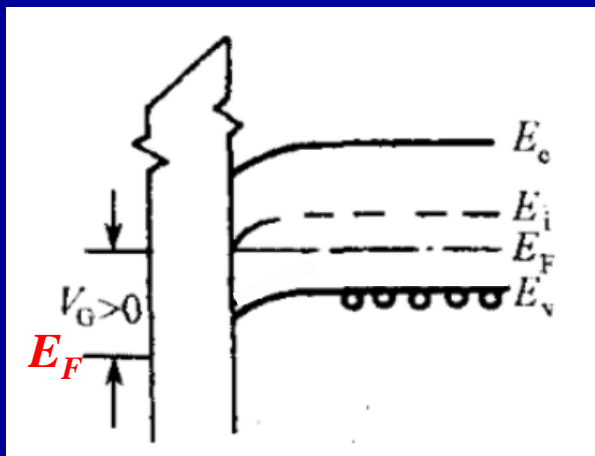
$$Q_s = -\frac{\sqrt{2}\epsilon_{rs}\epsilon_0}{L_D} \left(\frac{k_0T}{q}\right)^{\frac{1}{2}} (V_s)^{\frac{1}{2}}$$

$$C_s = \left| \frac{\partial Q_s}{\partial V_s} \right| \rightarrow C_s = \frac{\epsilon_{rs}\epsilon_0}{\sqrt{2}L_D} \frac{1}{\left(\frac{qV_s}{k_0T}\right)^{\frac{1}{2}}}$$

$$L_D = \left(\frac{\epsilon_{rs}\epsilon_0 k_0T}{q^2 p_{p0}}\right)^{\frac{1}{2}}$$

考虑到电离饱和时 $p_{p0} = N_A$

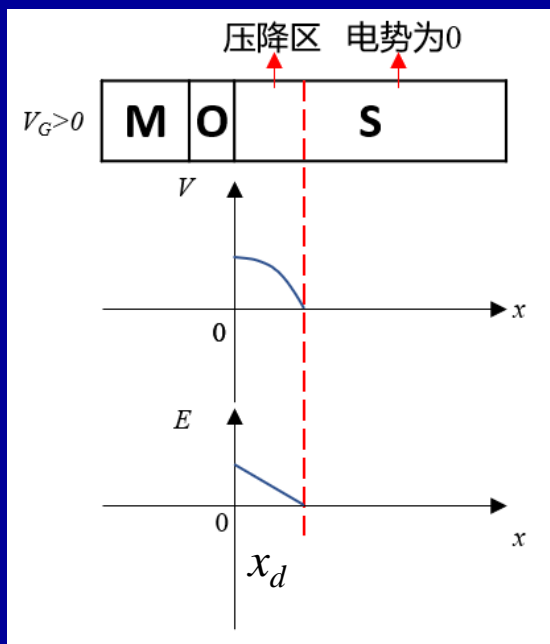
$$C_s = \left(\frac{N_A q \epsilon_{rs} \epsilon_0}{2V_s}\right)^{\frac{1}{2}}$$



# 5.1.1 MOS结构与MOS电容

## ③ 耗尽状态的表面电场、电荷、电容：

对于耗尽状态也可用耗尽层近似来处理，即假设空间电荷层的空穴都已经全部耗尽，电荷全由电离受主杂质构成，半导体均匀掺杂，则空间电荷密度  $\rho(x) = -qN_A$ ，泊松方程化为  $\frac{d^2V}{dx^2} = \frac{qN_A}{\epsilon_{rs}\epsilon_0}$ ，设  $x_d$  为耗尽层宽度，半导体内部电场强度为零。

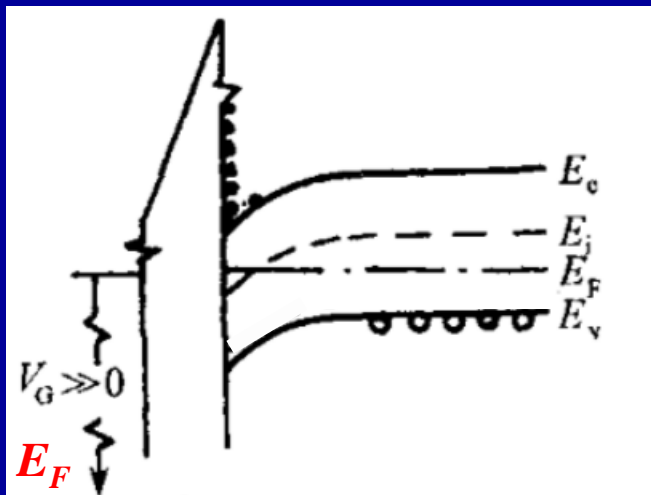


$$\begin{aligned} \frac{d^2V}{dx^2} &= \frac{qN_A}{\epsilon_{rs}\epsilon_0} \\ \text{对 } x \text{ 积分} \quad x = x_d \quad \frac{dV}{dx} &= 0 \\ \frac{dV}{dx} &= -\frac{qN_A}{\epsilon_{rs}\epsilon_0} (x_d - x) \\ \text{对 } x \text{ 积分} \quad x = x_d \quad V &= 0 \\ V &= \frac{qN_A(x_d - x)^2}{2\epsilon_{rs}\epsilon_0} \\ \xleftarrow{x=0} V_s &= \frac{qN_A x_d^2}{2\epsilon_{rs}\epsilon_0} \\ \text{代入} \quad C_s &= \left( \frac{N_A q \epsilon_{rs} \epsilon_0}{2V_s} \right)^{\frac{1}{2}} \\ C_s &= \frac{\epsilon_{rs}\epsilon_0}{x_d} \end{aligned}$$

## 5.1.1 MOS结构与MOS电容

### ④ 反型状态:

随着外加电压继续增大, 半导体表面 $E_i$ 下降到 $E_F$ 以下, 即出现反型层。反型状态可分为弱反型和强反型两种情况, 以表面处少数载流子浓度 $n_s$ 是否超过体内多数载流子浓度 $p_{p0}$ 为标志来定。



- ◆ **反型状态**: 半导体表面处电子浓度 $\geq$ 空穴浓度 (相等为耗尽状态与反型状态的临界点), 即表面处 $E_i$ 下降到 $E_F$ 以下;
- ◆ **弱反型状态**: 半导体表面电子浓度 $>$ 表面空穴浓度, 但 $<$ 体内空穴浓度;
- ◆ **强反型状态**: 半导体表面电子浓度 $\geq$ 体内空穴浓度 (相等为临界点)。

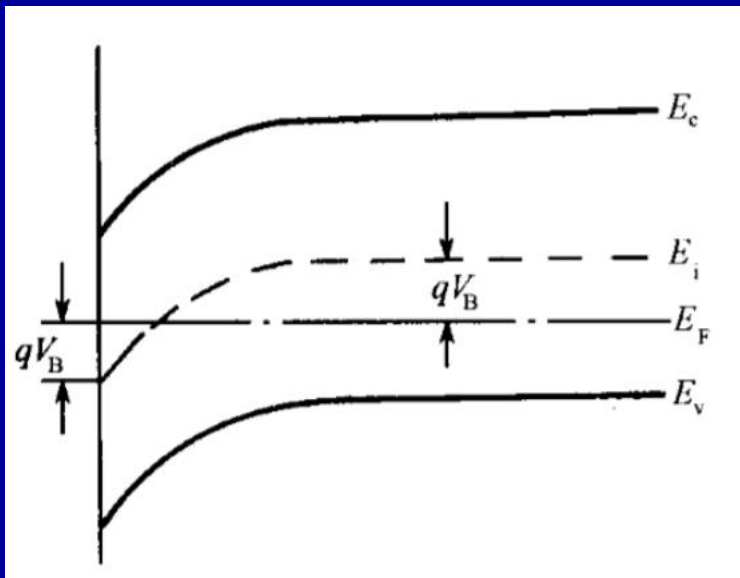
## 5.1.1 MOS结构与MOS电容

### ④ 反型状态的表面电场、电荷、电容：

半导体表面少子浓度： $n_s = n_{p0} \exp\left(\frac{qV_s}{k_0T}\right) = \frac{n_i^2}{p_{p0}} \exp\left(\frac{qV_s}{k_0T}\right)$  当表面处少子

浓度  $n_s = p_{p0}$  时，上式化为  $p_{p0}^2 = n_i^2 \exp\left(\frac{qV_s}{k_0T}\right)$  或  $p_{p0} = n_i \exp\left(\frac{qV_s}{2k_0T}\right)$

另外根据玻尔兹曼统计得  $p_{p0} = n_i \exp\left(\frac{qV_B}{k_0T}\right)$ ，其中  $V_B = E_i - E_F$



比较  $p_{p0} = n_i \exp\left(\frac{qV_s}{2k_0T}\right)$  和  $p_{p0} = n_i \exp\left(\frac{qV_B}{k_0T}\right)$

就可以得出**强反型条件**是  $V_s \geq 2V_B$

易知  $V_B = \frac{k_0T}{q} \ln\left(\frac{N_A}{n_i}\right)$  故强反型条件

也可以写成  $V_s \geq \frac{2k_0T}{q} \ln\left(\frac{N_A}{n_i}\right)$

# 5.1.1 MOS结构与MOS电容

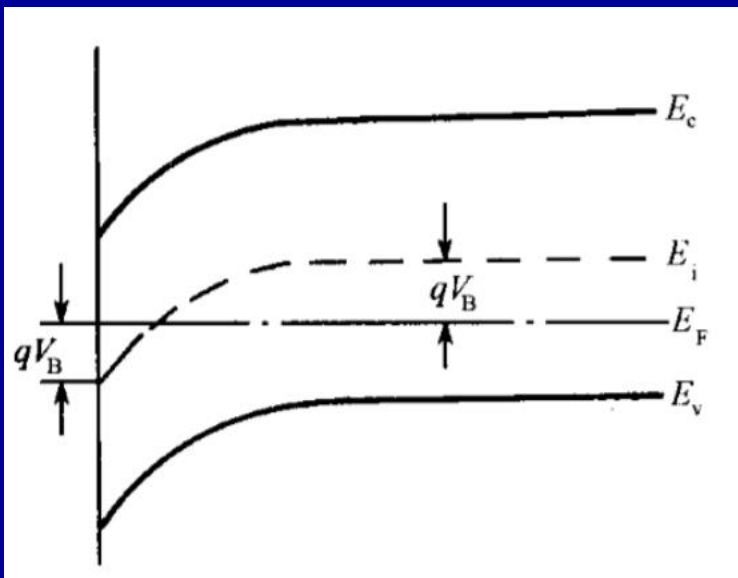
## ④ 反型状态的表面电场、电荷、电容：

$$F\left(\frac{qV}{k_0T}, \frac{n_{p0}}{p_{p0}}\right) = \left\{ \left[ \exp\left(-\frac{qV}{k_0T}\right) + \frac{qV}{k_0T} - 1 \right] + \frac{n_{p0}}{p_{p0}} \left[ \exp\left(\frac{qV}{k_0T}\right) - \frac{qV}{k_0T} - 1 \right] \right\}^{\frac{1}{2}}$$

易知  $p_{p0} = n_i \exp\left(\frac{qV_B}{k_0T}\right)$   $n_{p0} = n_i \exp\left(-\frac{qV_B}{k_0T}\right)$  , 故  $\frac{n_{p0}}{p_{p0}} = \exp\left(-\frac{qV_s}{k_0T}\right)$   $V_s=2V_B$

当  $V_s=2V_B$  时,  $F$  函数为  $F\left(\frac{qV_s}{k_0T}, \frac{n_{p0}}{p_{p0}}\right) = \left\{ \frac{qV_s}{k_0T} [1 - \exp\left(-\frac{qV_s}{k_0T}\right)] \right\}^{\frac{1}{2}}$

当  $qV_s \gg k_0T$  时, 有  $\exp\left(-\frac{qV_s}{k_0T}\right) \ll 1$  则有:  $F\left(\frac{qV_s}{k_0T}, \frac{n_{p0}}{p_{p0}}\right) = \left(\frac{qV_s}{k_0T}\right)^{\frac{1}{2}}$



$$E_s = \frac{\sqrt{2}k_0T}{qL_D} \left(\frac{qV_s}{k_0T}\right)^{\frac{1}{2}}$$

$$\begin{aligned} Q_s &= -\frac{\sqrt{2}\epsilon_{rs}\epsilon_0k_0T}{qL_D} \left(\frac{qV_s}{k_0T}\right)^{\frac{1}{2}} \\ &= -(2\epsilon_{rs}\epsilon_0N_A V_s)^{\frac{1}{2}} \\ &= -(4\epsilon_{rs}\epsilon_0N_A V_B)^{\frac{1}{2}} \end{aligned}$$

$$L_D = \left(\frac{\epsilon_{rs}\epsilon_0k_0T}{q^2p_{p0}}\right)^{\frac{1}{2}}$$

电离饱和时  $p_{p0}=N_A$

# 5.1.1 MOS结构与MOS电容

## ④ 反型状态的表面电场、电荷、电容：

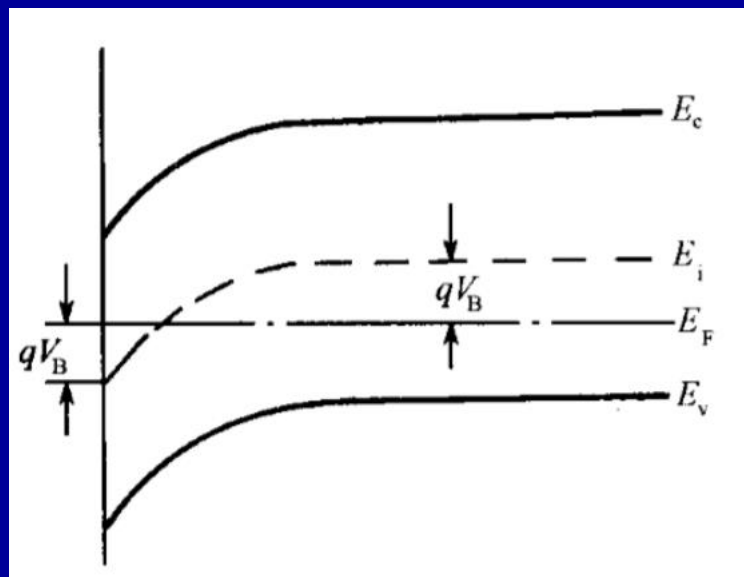
$$F\left(\frac{qV}{k_0T}, \frac{n_{p0}}{p_{p0}}\right) = \left\{ \exp\left(-\frac{qV}{k_0T}\right) + \frac{qV}{k_0T} - 1 \right\} + \frac{n_{p0}}{p_{p0}} \left[ \exp\left(\frac{qV}{k_0T}\right) - \frac{qV}{k_0T} - 1 \right]^{\frac{1}{2}}$$

当  $V_s \gg 2V_B$ ,  $qV_s \gg k_0T$  时,  $F$  函数中  $\left(\frac{n_{p0}}{p_{p0}}\right)^{\frac{1}{2}} \exp\left(\frac{qV_s}{2k_0T}\right)$  项比其它项大得多, 因此

$$F\left(\frac{qV_s}{k_0T}, \frac{n_{p0}}{p_{p0}}\right) = \left(\frac{n_{p0}}{p_{p0}}\right)^{\frac{1}{2}} \exp\left(\frac{qV_s}{2k_0T}\right)$$

$$E_s = \frac{\sqrt{2}k_0T}{qL_D} \left(\frac{n_{p0}}{p_{p0}}\right)^{\frac{1}{2}} \exp\left(\frac{qV_s}{2k_0T}\right) = \left(n_s \frac{2k_0T}{\varepsilon_{rs}\varepsilon_0}\right)^{\frac{1}{2}} \quad L_D = \left(\frac{\varepsilon_{rs}\varepsilon_0 k_0T}{q^2 p_{p0}}\right)^{\frac{1}{2}} \quad n_s = n_{p0} \exp\left(\frac{qV_s}{k_0T}\right)$$

$$Q_s = -\frac{\sqrt{2}\varepsilon_{rs}\varepsilon_0 k_0T}{qL_D} \left(\frac{n_{p0}}{p_{p0}}\right)^{\frac{1}{2}} \exp\left(\frac{qV_s}{2k_0T}\right) = -(2\varepsilon_{rs}\varepsilon_0 k_0T n_s)^{\frac{1}{2}} \quad C_s = \frac{\varepsilon_{rs}\varepsilon_0}{\sqrt{2}L_D} \left(\frac{n_{p0}}{p_{p0}}\right)^{\frac{1}{2}} \exp\left(\frac{qV_s}{2k_0T}\right) = \frac{\varepsilon_{rs}\varepsilon_0}{\sqrt{2}L_D} \left(\frac{n_s}{p_{p0}}\right)^{\frac{1}{2}}$$



需要指出的是, 一旦出现强反型, 表面耗尽层宽度就达到一个极大值  $x_{dm}$ , 不再随外加电压的增加而增加, 这是因为反型层中积累电子屏蔽了外电场的作用。

$$V_s = \frac{qN_A x_d^2}{2\varepsilon_{rs}\varepsilon_0} \quad V_B = \frac{k_0T}{q} \ln\left(\frac{N_A}{n_i}\right)$$

$$x_{dm} = \left(\frac{4\varepsilon_{rs}\varepsilon_0 V_B}{qN_A}\right)^{\frac{1}{2}} = \left[\frac{4\varepsilon_{rs}\varepsilon_0 k_0T}{q^2 N_A} \ln\left(\frac{N_A}{n_i}\right)\right]^{\frac{1}{2}}$$

## 5.1.1 MOS结构与MOS电容

### ⑤ 深耗尽状态的定性分析：

- ◆ 以上讨论的都是空间电荷层的**平衡状态**，即假设金属相对于半导体所加电压 $V_G$ 不变，或者变化速率很慢以致表面空间电荷层中载流子浓度变化能跟上偏压 $V_G$ 的变化。
- ◆ 以下将讨论一种称为**深耗尽的非平衡状态**，以P型半导体为例，如果在金属与半导体之间加一脉冲阶跃或高频正弦波正电压时，由于空间电荷层内少子的产生速率赶不上电压的变化，反型层来不及形成，只能靠耗尽层向半导体内部延伸产生大量受主负电荷来满足电中性条件，此时耗尽区宽度远大于强反型的最大耗尽层宽度，且其宽度随电压 $V_G$ 幅度的增大而增大，这种状态称为深耗尽状态。



## 5.1.1 MOS结构与MOS电容

### ⑤ 深耗尽状态的定性分析:

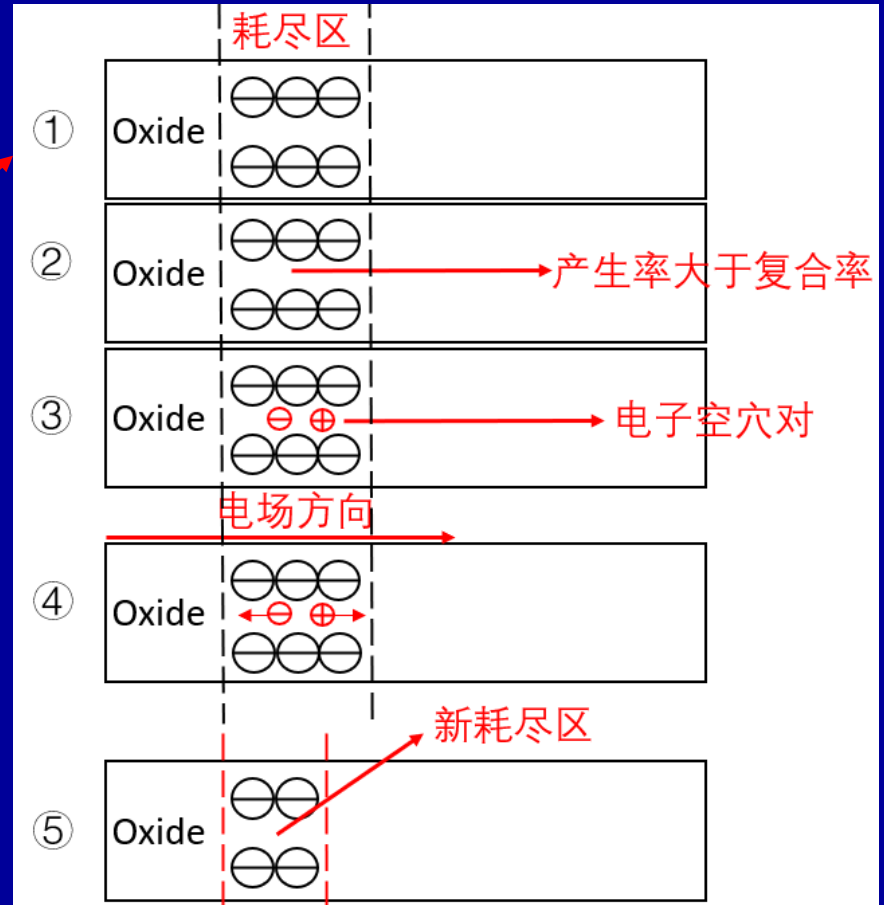
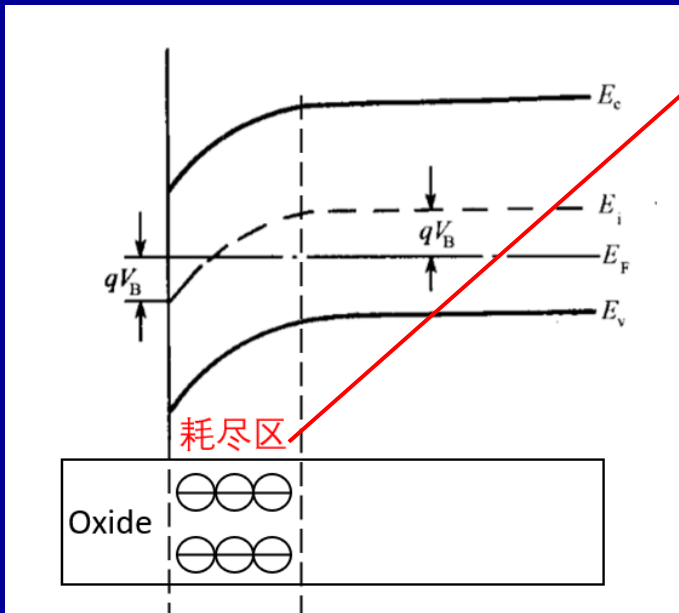
- ◆ 由于深耗尽状态是在加了快速增大的偏压 $V_G$ 使表面层达到耗尽而其中少子还来不及产生而形成的，空间电荷只存在电离杂质，故“耗尽层近似”仍适用于这种状态，因而在③中推导的几个表达式对深耗尽状态仍适用：

$$C_s = \frac{\epsilon_{rs}\epsilon_0}{\sqrt{2}L_D} \frac{1}{\left(\frac{qV_s}{k_0T}\right)^{\frac{1}{2}}} \quad V = \frac{qN_A(x_d-x)^2}{2\epsilon_{rs}\epsilon_0} \quad V_s = \frac{qN_Ax_d^2}{2\epsilon_{rs}\epsilon_0}$$

- ◆ 以下讨论深耗尽状态向平衡反型状态的过渡过程，仍以P型衬底为例。一开始，表面层处于深耗尽状态，耗尽层中少子浓度近似为0，远低于其平衡浓度，故产生率大于复合率，产生的电子空穴对在电场作用下，电子向表面运动形成反型层，空穴向体内运动，在耗尽层边缘与带负电的电离受主中和而使耗尽层减薄，随着时间的推移，反型层中少子浓度越来越高，耗尽层宽度越来越小，最后过渡到平衡的反型状态。

# 5.1.1 MOS结构与MOS电容

## ⑤ 深耗尽状态的定性分析：



一开始，表面层处于深耗尽状态，耗尽层中少子浓度近似为0，远低于其平衡浓度，故产生率大于复合率，产生的电子空穴对在电场作用下，电子向表面运动形成反型层，空穴向体内运动，在耗尽层边缘与带负电的电离受主中和而使耗尽层减薄，随着时间的推移，反型层中少子浓度越来越高，耗尽层宽度越来越小，最后过渡到平衡的反型状态。

## 5.1.1 MOS结构与MOS电容

### ⑤ 深耗尽状态的定性分析：

- ◆ 在这一过程中，耗尽层宽度从深耗尽状态开始时的最大值逐渐减小到强反型的最大耗尽层宽度 $x_{dm}$ ，从初始的深耗尽状态过渡到热平衡反型层状态所经历的时间用热弛豫时间 $\tau_{th}$ 表示。
- ◆ 设初始耗尽层宽度为 $x_{d0}$ ，耗尽层内少子净产生率为 $G$ ，并设 $x_{d0} \gg x_{dm}$ ，则 $\tau_{th}$ 时间内产生的电子空穴对数目为 $G\tau_{th}x_{d0}$ ，平衡之后减少的耗尽区宽度和减少的电离受主数量分别为 $x_{d0}-x_{dm}$ 和 $N_A(x_{d0}-x_{dm})$ ，其中 $N_A$ 为受主杂质浓度，因此 $G\tau_{th}x_{d0} = N_A(x_{d0}-x_{dm}) \approx N_A x_{d0}$ ，又  $G = \frac{n_i}{2\tau}$ ， $\tau$ 为少子寿命，故  $\tau_{th} = \frac{2\tau N_A}{n_i}$

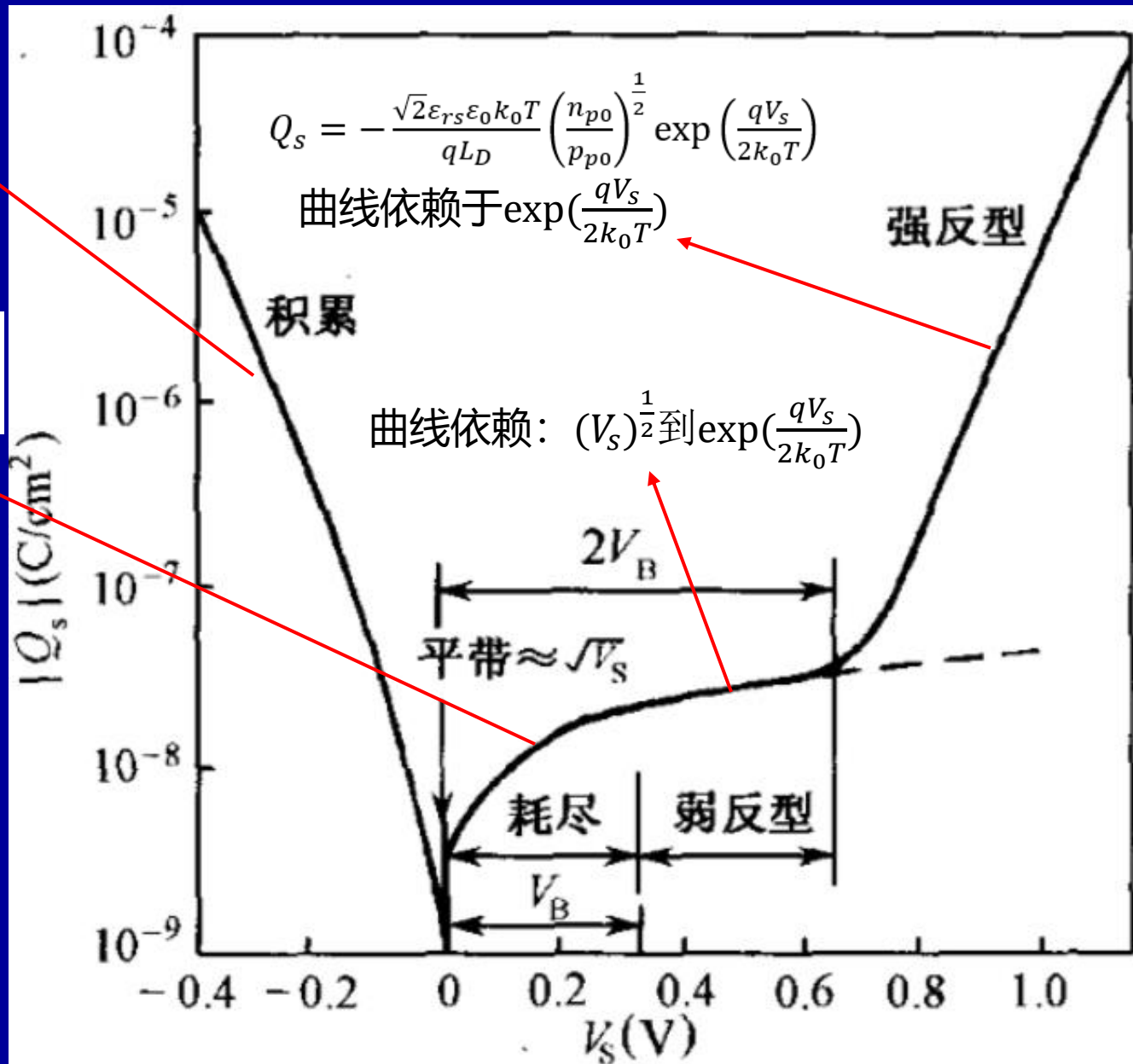
# 5.1.1 MOS结构与MOS电容

$$Q_s = \frac{\sqrt{2}\epsilon_{rs}\epsilon_0 k_0 T}{qL_D} \exp\left(-\frac{qV_s}{2k_0 T}\right)$$

曲线依赖于 $\exp(-\frac{qV_s}{2k_0 T})$

$$Q_s = -\frac{\sqrt{2}\epsilon_{rs}\epsilon_0}{L_D} \left(\frac{k_0 T}{q}\right)^{\frac{1}{2}} (V_s)^{\frac{1}{2}}$$

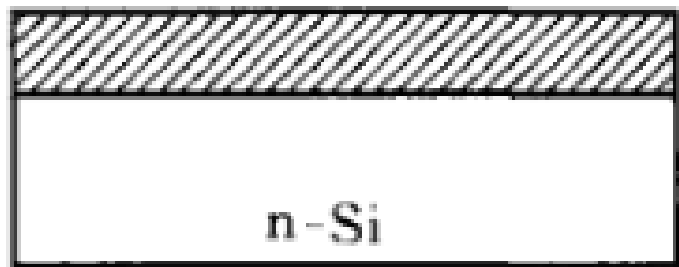
曲线依赖于 $(V_s)^{\frac{1}{2}}$



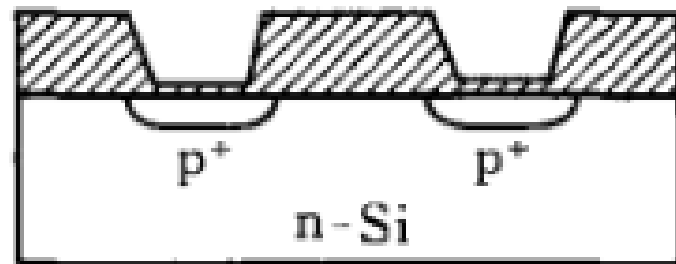
# §5.1 MOSFET的结构和工作原理

## 5.1.2 MOSFET制备与简介

以PMOS的制备为例：



(a)

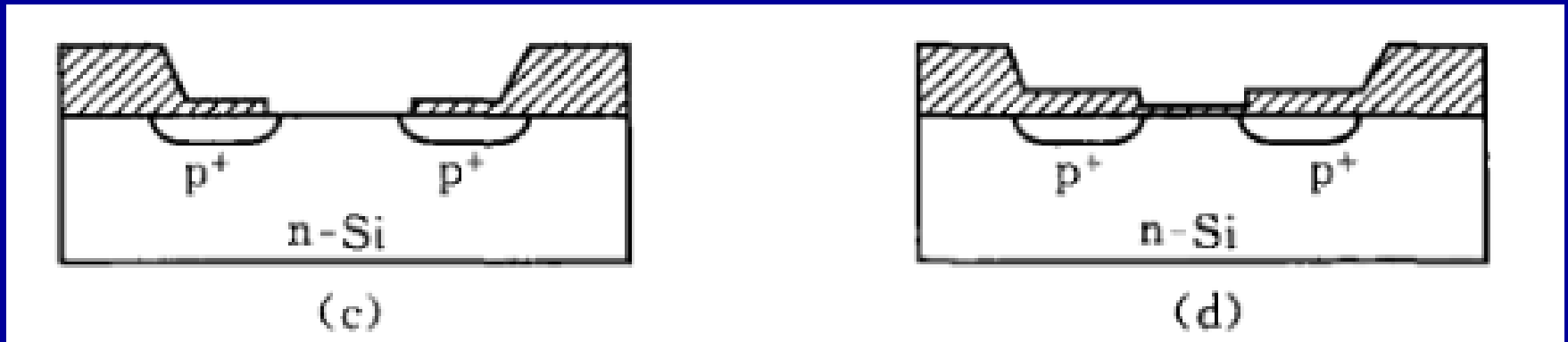


(b)

(a) 一次氧化：在洁净的硅衬底表面用热氧化法生长一层500nm以上的一次氧化层；

(b) 源漏扩散：将一次氧化后的衬底进行光刻，然后刻蚀出源漏区域，最后离子注入掺杂，形成所需的两个P<sup>+</sup>区域；

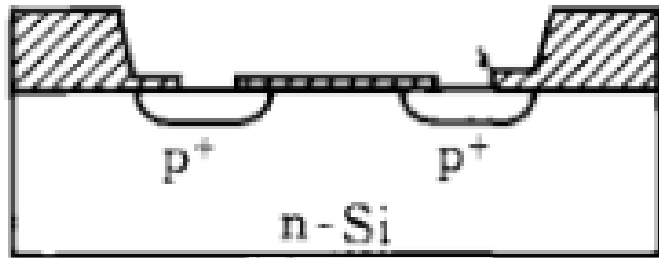
## 5.1.2 MOSFET制备与简介



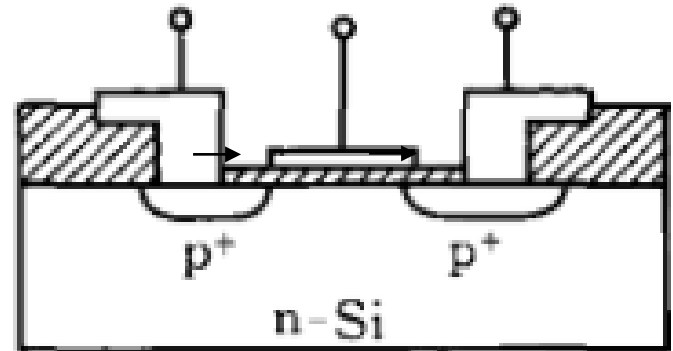
(c) 光刻栅区：将硅片上源漏区域之间的氧化层刻蚀掉，即刻蚀出栅区；

(d) 栅氧化：在干氧氛围中生长厚度为150~200nm的优质氧化层，这是制作MOS管过程中最关键的一项工艺；

## 5.1.2 MOSFET制备与简介



(e)



(f)

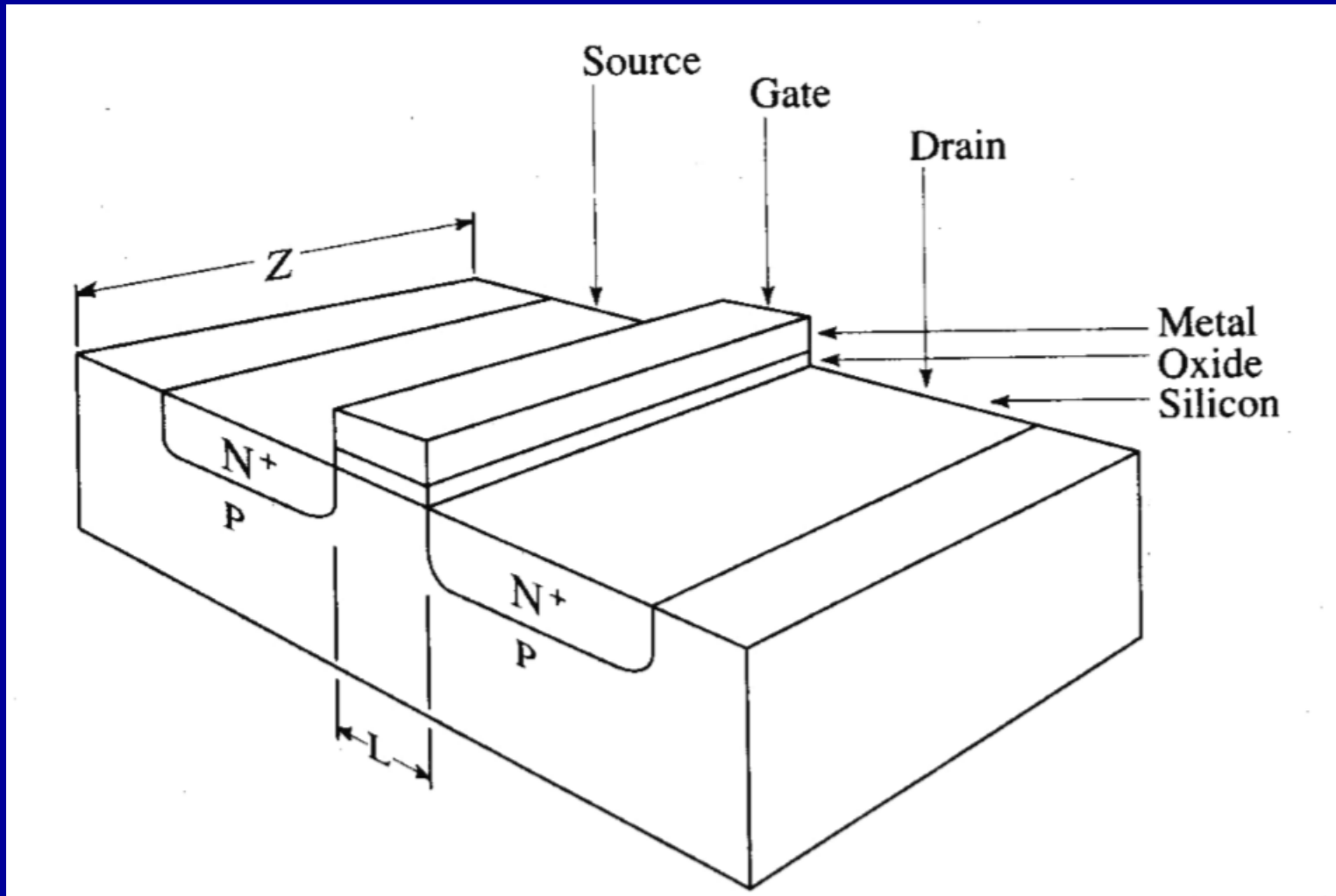
(e) 光刻引线孔：光刻、刻蚀出生长源漏电极区域；

(f) 蒸镀电极：利用Sputter或者E-beam生长金属电极；

上述步骤总共用了四次光刻、一次注入、一次蒸发。

PMOS的制备与NMOS基本一样。

## 5.1.2 MOSFET制备与简介



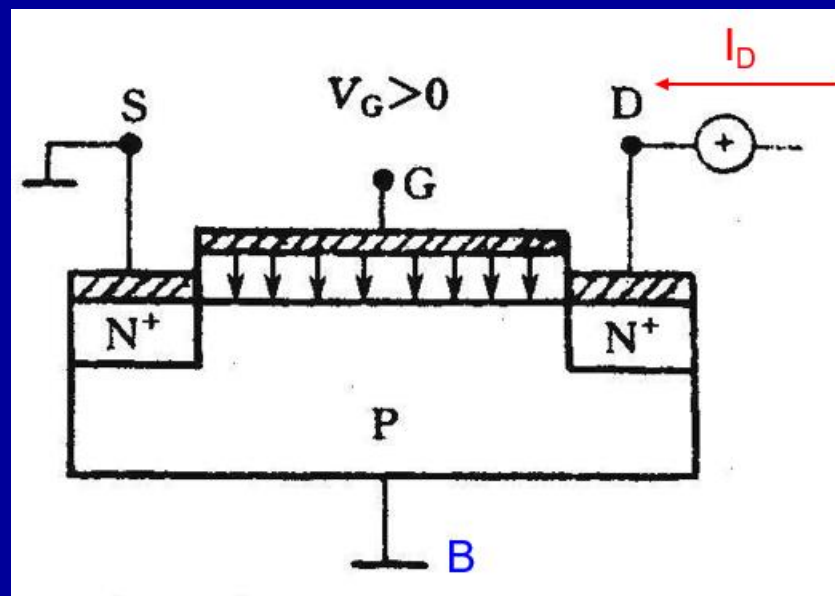
NMOS结构示意图



## 5.1.2 MOSFET制备与简介

### 工作原理:

- ◆ 当栅压  $V_G=0$  时，源漏之间两个背靠背的pn结总有一个处于反偏，源漏之间只能有很小的pn结反向漏电流流过；
- ◆  $V_G>0$  时，此电压将在栅氧化层中建立自上而下的电场，从栅极指向半导体表面，在表面感应出负电荷。随  $V_G$  增大，P型半导体表面多子空穴逐渐减少直至耗尽，而电子逐渐积累直至反型；
- ◆ 当表面达到强反型时，电子积累层将在源漏之间形成导电沟道。此时若在漏源之间加偏置电压  $V_{DS}$ ，电子就会通过导电沟道，从源到漏，由漏极收集形成漏电流。



## 5.1.2 MOSFET制备与简介

	MOSFET	BJT
调节方式	电场调节作用	少子注入 → 扩散 → 收集
器件类型	多子作用 (多子器件)	少子作用 (少子器件)
载流子种类	一种载流子 (单极)	两种载流子 (双极)
阻抗	输入阻抗高 (MOS结, 绝缘体 $>10^9\Omega$ )	输入阻抗低 (pn结正偏, 共射 $\sim k\Omega$ )
控制方式	电压控制器件	电流控制器件
稳定性	噪声低, 抗辐照能力强	$\tau_{\text{少子}}$ 依赖复合中心密度 $N_{it}$ , 辐照产生缺陷充当复合中心, 降低 $\tau_{\text{少子}}$
工艺	工艺要求高	工艺要求低
频率	工作频率高 (栅源频率低, 高频下易导通), 功耗低	工作频率低, 功率高
集成度	集成度高	集成度低

## 5.1.2 MOSFET制备与简介

二战后,  
贝尔实验室W.  
Schokley进行  
FET实验研究

1953年,  
W. Schokley在实  
验室研制成功原  
理型JFET

1930年,  
J. E. Lilienfeld  
提出FET的概念

1947年,  
贝尔实验室J.  
Bardeen和W. H.  
Brattain发明Point-  
contact transistor

1960年,  
美国仙童半导体  
公司和无线电公  
司发明MOSFET

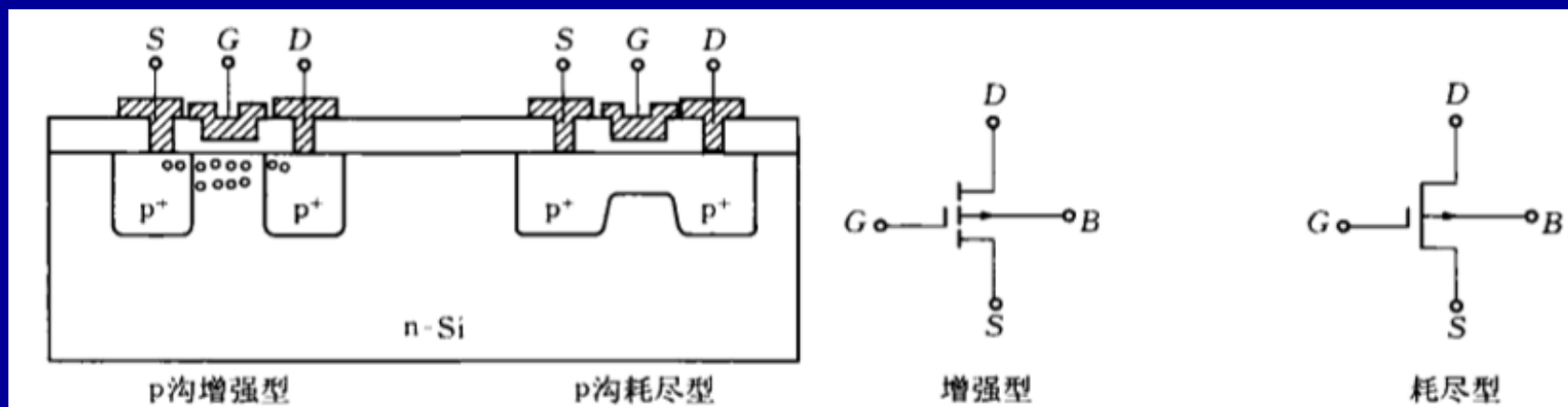
# §5.1 MOSFET的结构和工作原理

## 5.1.3 MOSFET分类

根据MOSFET沟道的特征，可以将其分为四种。

(1) P沟增强型：这种管子源漏为 $p^+$ 区，导电沟道为P型，在栅压为零时，N型半导体表面由于Si-SiO<sub>2</sub>界面正电荷的作用而处于积累状态，故不存在导电沟道，只有在栅极加了一定的负偏压且达到 $V_T$ 时，P型沟道才形成，这种MOS管称为P沟增强型管。

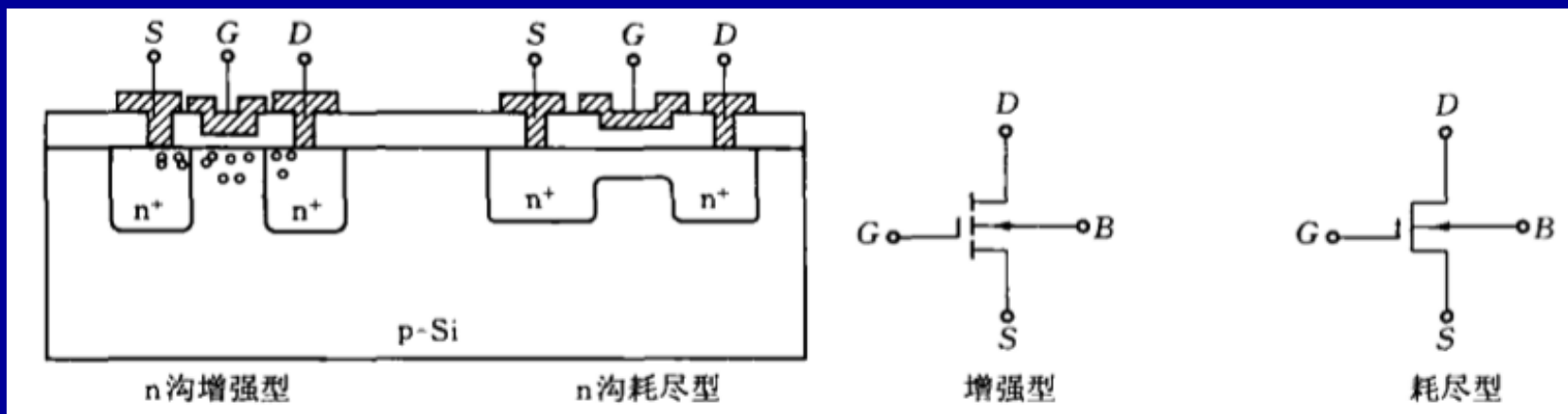
(2) P沟耗尽型：若栅极未加任何电压时，P型导电沟道就已经存在，这种管子称为P沟耗尽型MOSFET。



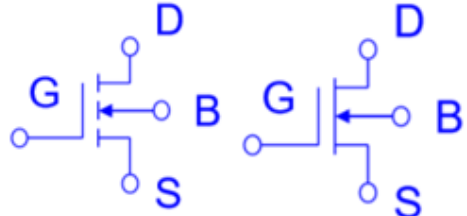

## 5.1.3 MOSFET分类

(3) N沟增强型：这种管子衬底为P型，源漏为 $n^+$ 区，导电沟道为N型，在栅压为零时，P型半导体表面由于氧化层中正电荷的作用使半导体表面处于耗尽状态但还未形成反型层，故不存在导电沟道，只有在栅极加了一定的正压且达到 $V_T$ 时，N型沟道才形成，这种器件称为N沟增强型MOSFET。

(4) N沟耗尽型：若栅极未加任何电压时，N型导电沟道就已经存在，这种管子称为N沟耗尽型MOSFET。

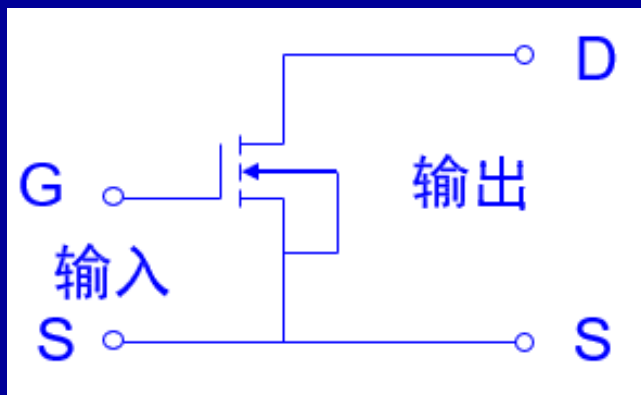


## 5.1.3 MOSFET分类

	NMOS	PMOS
	增强型/耗尽型	增强型/耗尽型
衬底	P	N
S/D	n+	p+
载流子	电子	空穴
$V_{DS}$	+	-
$I_{DS}$	D → S	S → D
载流子运动方向	S → D	S → D
$V_T$	+/-	-/+
符号		

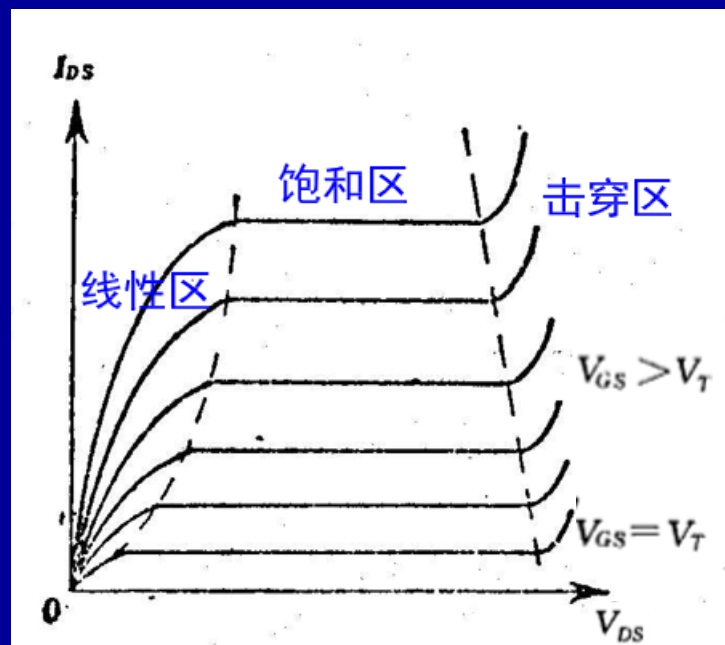
# §5.1 MOSFET的结构和工作原理

## 5.1.4 MOSFET输出和转移特性

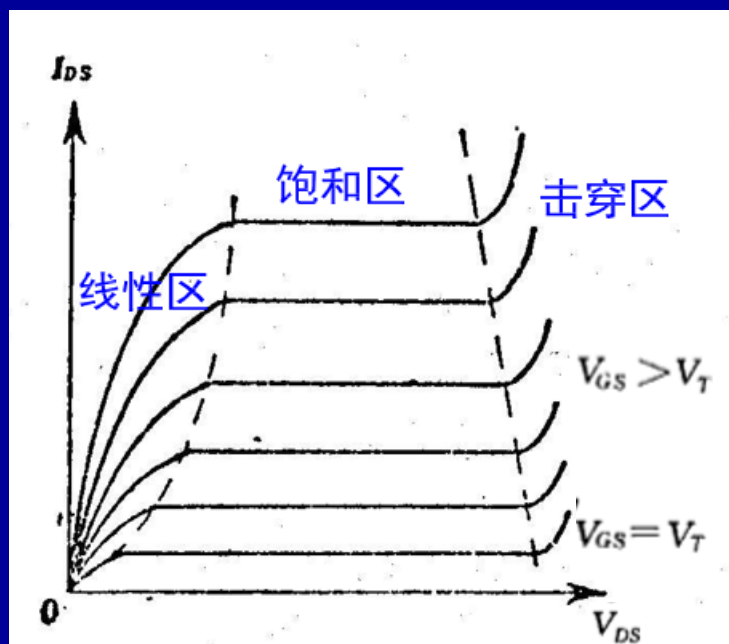


右图是NMOS增强型晶体管的**输出曲线** ( $I_{ds}$ - $V_{ds}$ 曲线), 输出曲线分为三部分: 线性区、饱和区、击穿区。

以 $V_{gs}$ 为参量,  $I_{ds}$ - $V_{ds}$ 为输出特性曲线, 默认源和衬底接地, 所有电压都是相对于源而言。



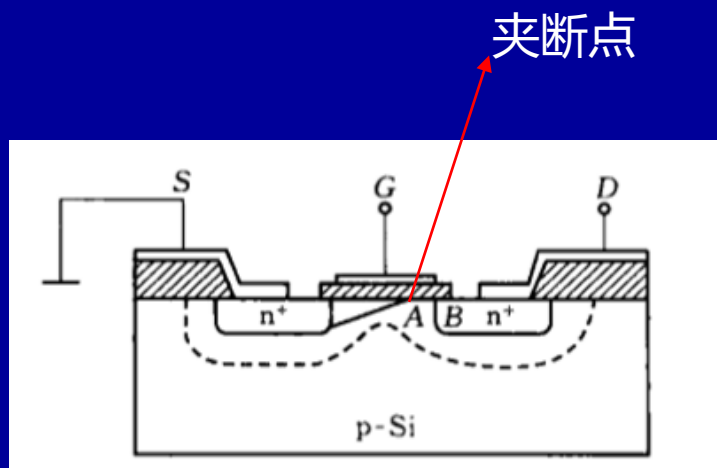
## 5.1.4 MOSFET输出和转移特性



(1) 线性区：当源漏电压  $V_{ds}$  相对于栅压  $V_g$  较小时，在源漏之间存在一个连续的N型沟道， $V_{ds}$  的存在使近源端的沟道厚度比近漏端的沟道厚度要大，但总的来说反型层导电沟道比氧化层厚度小得多，此时沟道区呈现电阻特性。

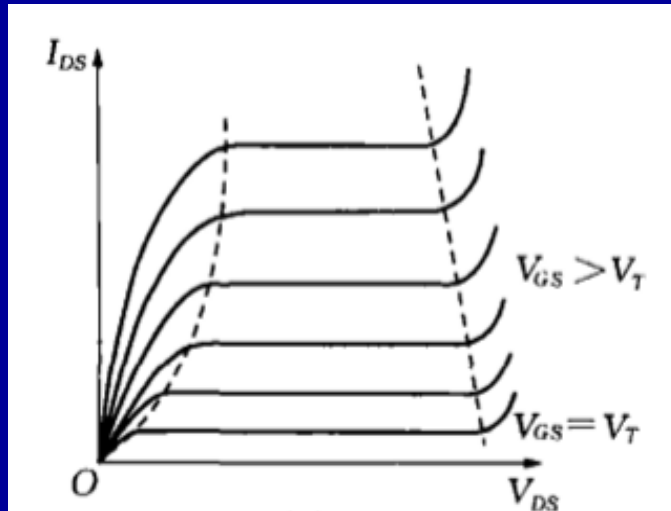
(2) 饱和区： $V_{ds}$  增大到  $V_g - V_T$  时近漏端导电沟道出现夹断点，随着  $V_{ds}$  继续增大，夹断点向源端移动，增加的电压落在漏端耗尽区，但总的导电沟道长度变化不大，因此电流进入饱和区。

(3) 击穿区：当  $V_{ds}$  增大到超过漏端pn结的击穿电压后，电流通过导电沟道及击穿的漏端耗尽区流入源端，所以电流急剧增大，进入击穿区。

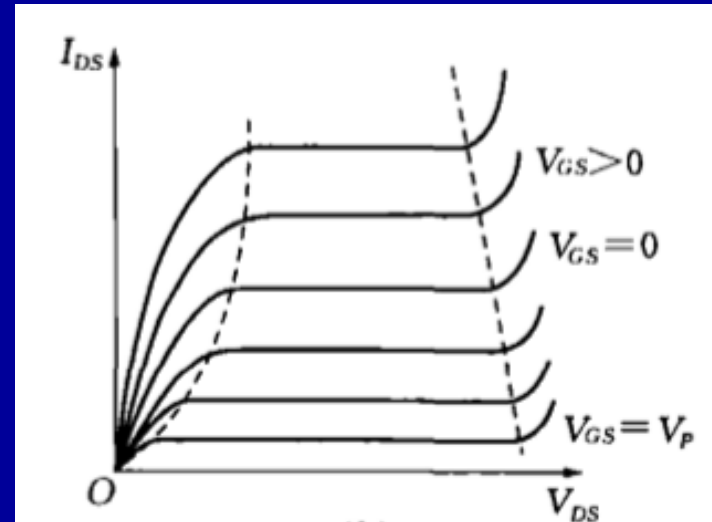




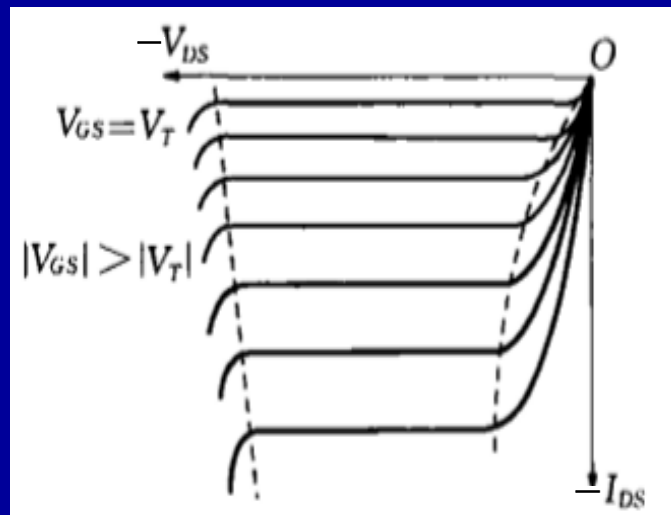
## 5.1.4 MOSFET输出和转移特性



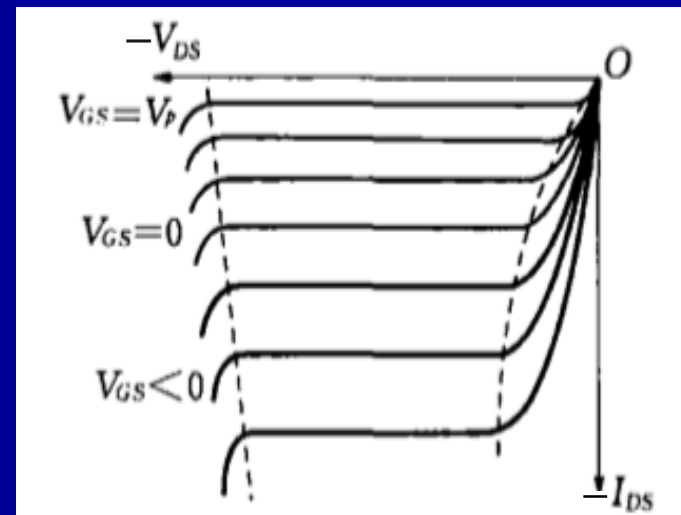
NMOS增强型  
( $V_{TH}$ : 开启电压, 或阈值电压)



NMOS耗尽型  
( $V_P$ : 关断电压, 或截止电压)

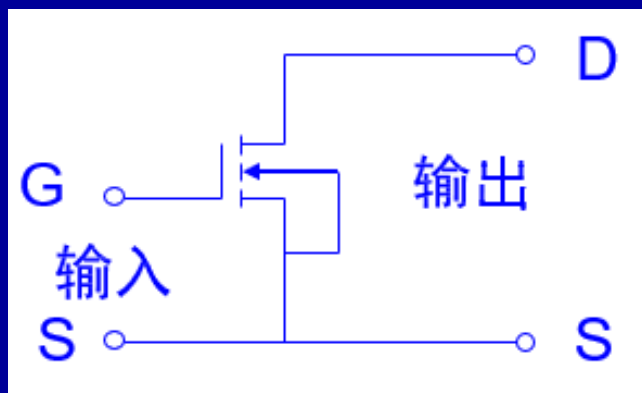


PMOS增强型

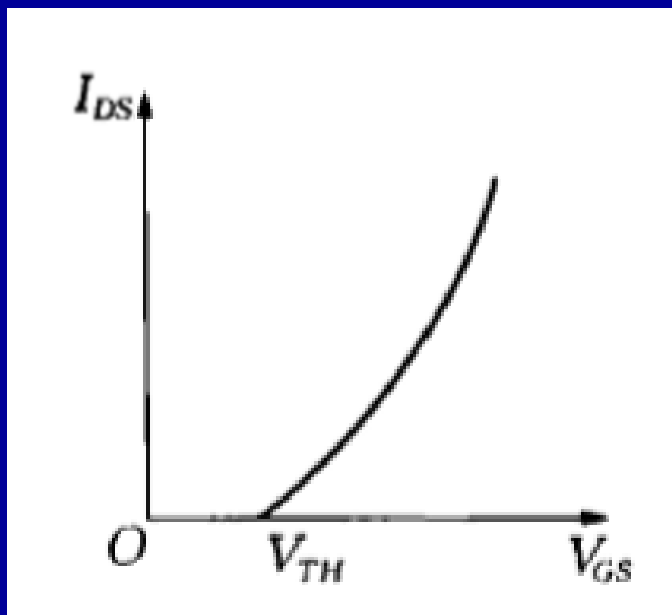


PMOS耗尽型

## 5.1.4 MOSFET输出和转移特性



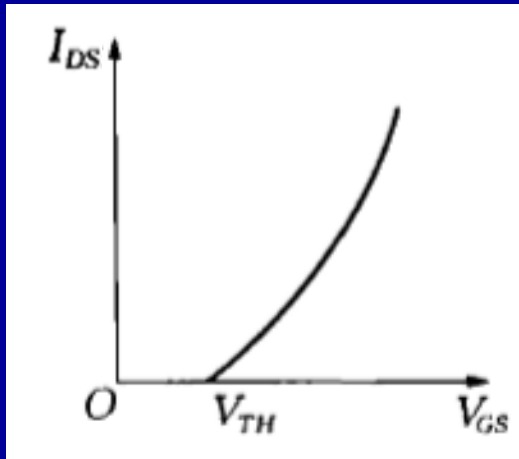
以 $V_{gs}$ 为输入， $I_{ds}$ 为输出结果，它们之间有一个跨越，所以 $I_{ds}-V_{gs}$ 曲线称为**转移曲线**



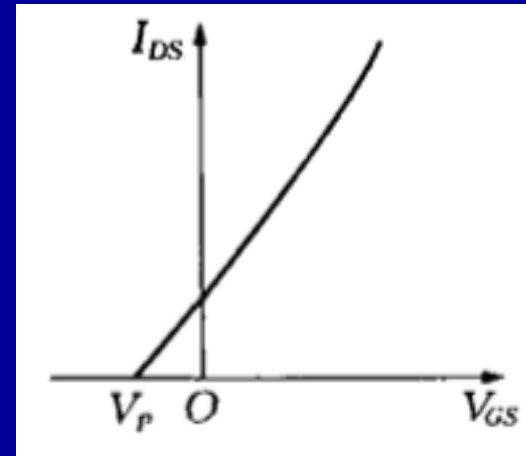
(1) **亚阈值区**：0~ $V_T$ 之间电流并不为0，只是相对于开启后的电流显得很小。

(2) 转移曲线：当晶体管工作在饱和区时，工作电流为 $I_{ds}$ ，不同的 $V_{gs}$ 会引起不同的 $I_{ds}$ 。

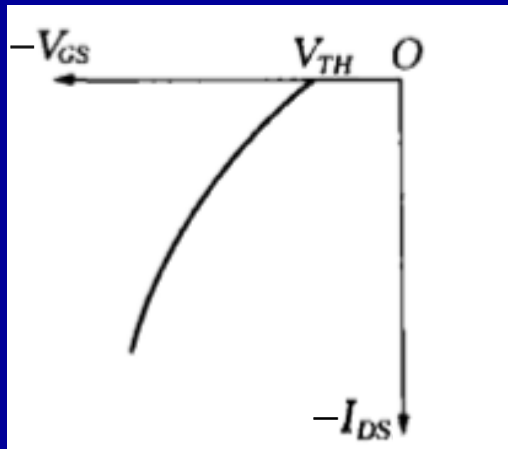
## 5.1.4 MOSFET输出和转移特性



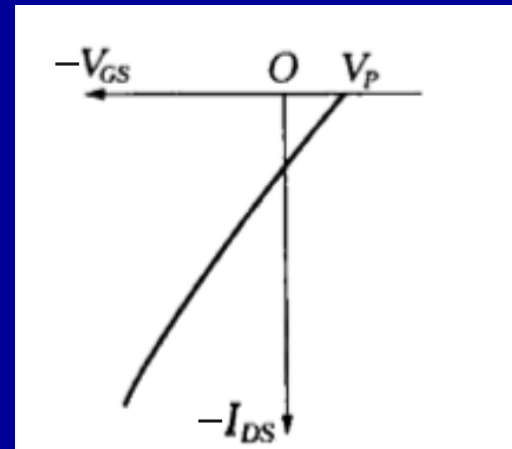
NMOS增强型  
( $V_{TH}$ : 开启电压)



NMOS耗尽型  
( $V_P$ : 关断电压, 或截止电压)



PMOS增强型



PMOS耗尽型

$V_{TH}$ 和 $V_P$ 统称为阈值电压 ( $V_T$ )

# 第五章 金属-氧化物-半导体场效应晶体管 (MOSFET)

§5.1 MOSFET的结构和工作原理

§5.2 MOSFET的阈值电压

§5.3 MOSFET的直流特性

§5.4 MOSFET的频率特性

§5.5 MOSFET的开关特性

§5.6 MOSFET的功率特性

§5.7 小尺寸MOSFET

§5.8 MOSFET的最新研究进展

## §5.2 MOSFET的阈值电压

- 分立式MOSFET大致分为3类：小信号MOSFET、中功率MOSFET、大功率MOSFET。
- 根据其应用的场合不同，定义阈值电压的方式也不同：
  - ◆ 增强型NMOS定义方式为令 $V_{GS}=V_{DS}$ ，当 $I_{DS}$ 达到一定大小后（小信号MOSFET一般取 $100\mu\text{A}$ 及以下，中功率和大功率MOSFET一般取 $1\text{mA}$ ），取此时 $V_{GS}$ 的值为阈值电压，阈值电压范围一般 $0.5\text{V}$ - $2.5\text{V}$ 之间。
  - ◆ 增强型PMOS定义方式为令 $V_{DS}=-10\text{V}$ ，增加 $V_{GS}$ ，当 $I_{DS}$ 达到一定大小后（小信号MOSFET一般取 $-100\mu\text{A}$ 及以下，中功率和大功率MOSFET一般取 $-1\text{mA}$ ），取此时 $V_{GS}$ 的值为阈值电压，阈值电压范围 $-0.3\text{V}\sim -2.5\text{V}$ 。

(来源：罗姆公司分立式MOSFET)

# 40nm 1.1V MOSFET性能参数

## 3.1 Core ( 1.1 V ) MOS Key Device Parameters

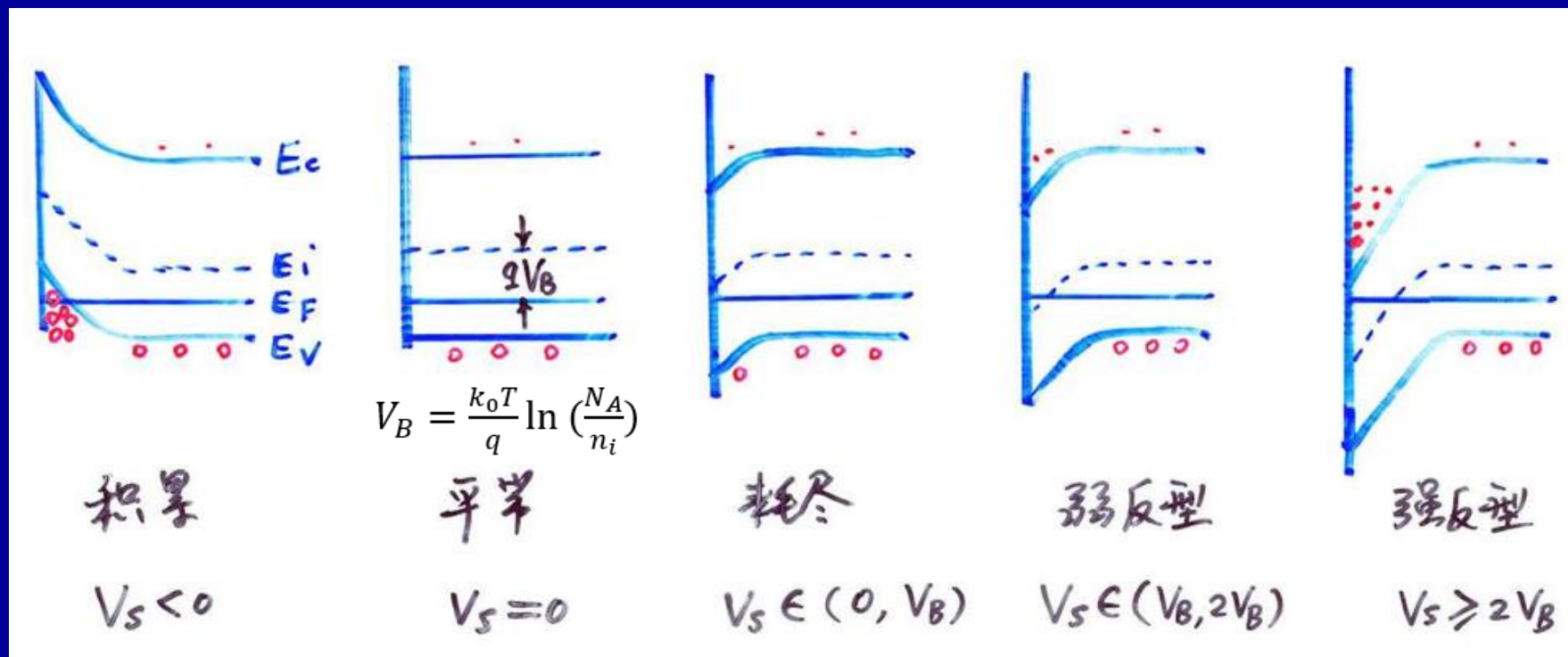
### 3.1.1. Core RVT MOS

Group	Parameters	Device size Drawn ( $\mu\text{m}$ )	Unit	Specification			Measurement Conditions
				Min.	Typical	Max.	
Core RVTN MOS	Electrical Tox		Å	21.3	24.3	27.3	---
	Vtlin		V	0.355	0.456	0.565	Vg @Vd=[0.05]V, Vs=Vb=[0]V
	I <sub>dsat</sub>	0.27/0.036	uA/um	440	595	780	I <sub>d</sub> /W @Vg=Vd=[1.1]V, Vs=Vb=[0]V
	I <sub>off</sub>		A/um	0	4E-10	3E-7	I <sub>d</sub> /W @Vg=[0]V, Vd=[1.1]V, Vs=Vb=[0]V
Core RVTP MOS	Electrical Tox		Å	23.7	26.7	29.7	---
	Vtlin		V	-0.594	-0.514	-0.434	Vg @Vd=[-0.05]V, Vs=Vb=[0]V
	I <sub>dsat</sub>	0.54/0.036	uA/um	-405	-306	-230	I <sub>d</sub> /W @Vg=Vd=[-1.1]V, Vs=Vb=[0]V
	I <sub>off</sub>		A/um	-3E-7	-7E-10	0	I <sub>d</sub> /W @Vg=[0]V, Vd=[-1.1]V, Vs=Vb=[0]V

- ◆ 40nm节点，开关管的工作电压或驱动电压为1.1V
- ◆  $V_{th}$ : 当 $I_{DS}=100\text{nA}$ 时的 $V_{GS}$
- ◆ 低阈值电压LVT: 相同偏置下的驱动电流大，对应高速操作应用
- ◆ 高阈值电压HVT: 不易开启，电流小，漏电 $I_{off}$ 小，对应低功耗应用

# MOSFET的阈值电压

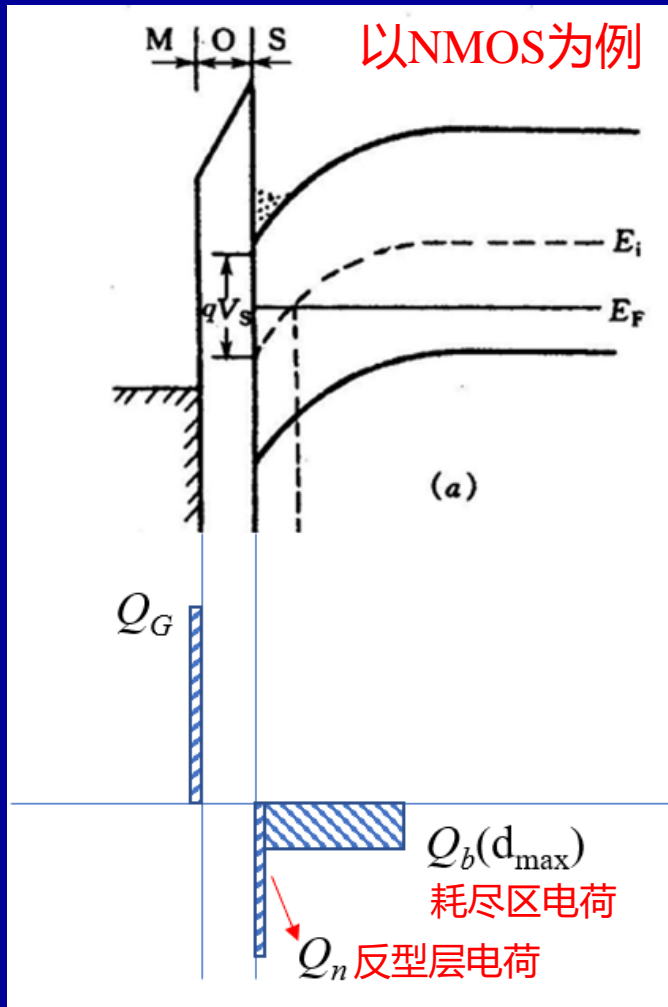
半导体表面状态:



MOS电容在不同栅压下半导体表面有不同的表现，那么阈值电压 $V_T = ?$

# MOSFET的阈值电压

## 理想状态下的阈值电压：



◆ 阈值电压( $V_T$ ): 使半导体表面强反型时所需加的栅压 $V_{GS}$ 。

◆ 不考虑金属半导体功函数差 $\phi_{ms}$ 、Si/SiO<sub>2</sub>界面电荷 $Q_{ss}$ 、氧化层移动电荷 $Q_{ox}$ 时,  $V_T$ 分为两部分:

① 落在半导体表面产生强反型时所需的表面势 $2V_B$ ;

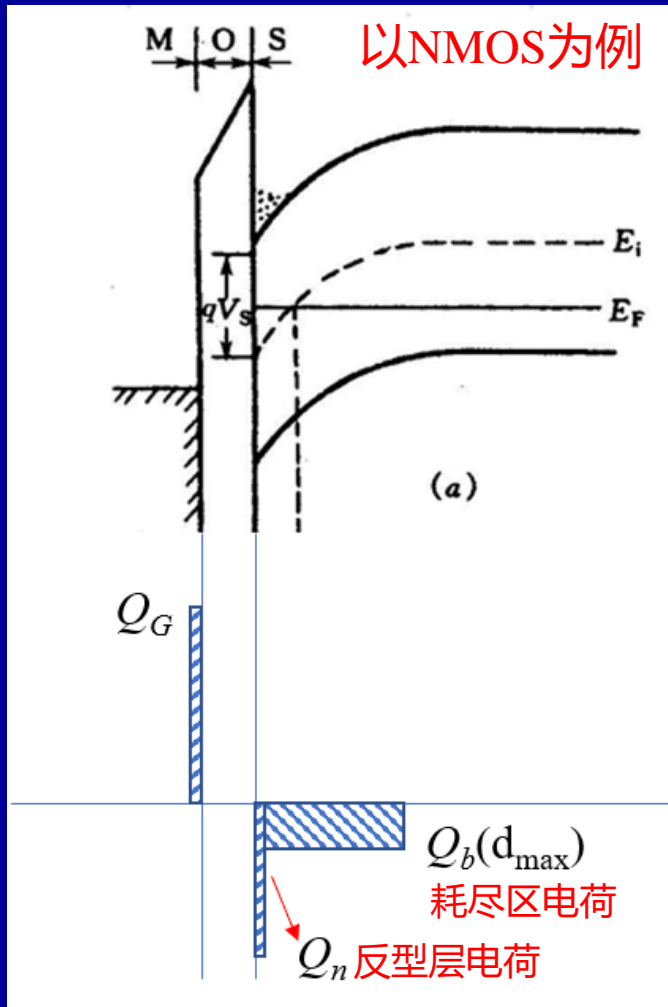
② 落在氧化层上的压降 $\frac{Q_B(d_{max})}{C_{ox}}$ , 其中 $d_{max}$ 为耗尽区最大宽度( $d_{max}=x_{dm}$ ),  $Q_B(d_{max})$ 为耗尽区电荷数。

◆ 为什么落在氧化层上的压降是 $\frac{Q_B(d_{max})}{C_{ox}}$ ?



# MOSFET的阈值电压

## 理想状态下的阈值电压：



从平行板电容器角度理解，知道电容两侧的面电荷密度就可以计算出氧化硅上的压降。氧化硅右侧负电荷数由耗尽层负电荷与反型层电子组成，由于反型层厚度相对于耗尽层来说非常小，所以计算时可以忽略反型层电子提供的面电荷密度。耗尽层提供的面电荷密度为

$$Q_B(d_{max}) = qN_A d_{max} = qN_A \sqrt{\frac{2\epsilon_{rs}\epsilon_0(2V_B)}{qN_A}}$$

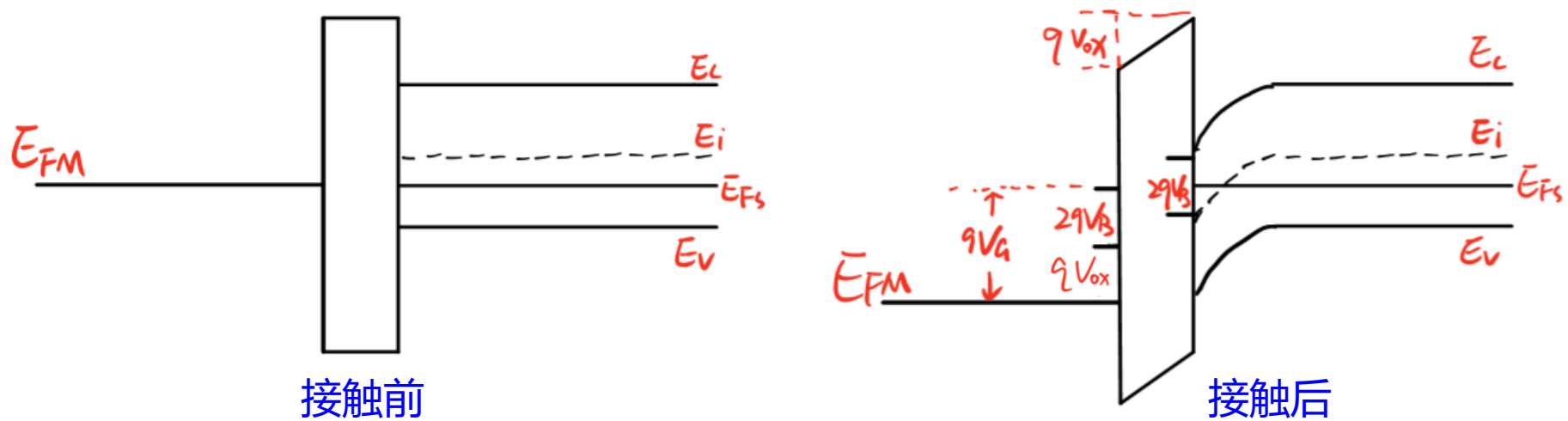
$$V_{ox} = \frac{Q_B(d_{max})}{C_{ox}}$$

$$V_T = 2V_B + \frac{Q_B(d_{max})}{C_{ox}}$$

$$V_T = \frac{2k_0T}{q} \ln\left(\frac{N_A}{n_i}\right) + \frac{1}{C_{ox}} [4N_A\epsilon_{rs}\epsilon_0 k_0T \ln\left(\frac{N_A}{n_i}\right)]^{\frac{1}{2}}$$

# MOSFET的阈值电压

理想状态下的阈值电压能带图：

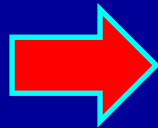


$$V_T = 2V_B + \frac{Q_B(d_{max})}{C_{ox}}$$

# MOSFET的阈值电压

## MOS电容理想条件假设:

1. 金属与半导体间功函数差 $q\phi_{ms}=0$
2. 在绝缘层内没有任何电荷,  $Q_{ox}=0$ , 且绝缘层完全不导电
3. 绝缘体与半导体界面处不存在界面态,  $Q_{ss}=0$

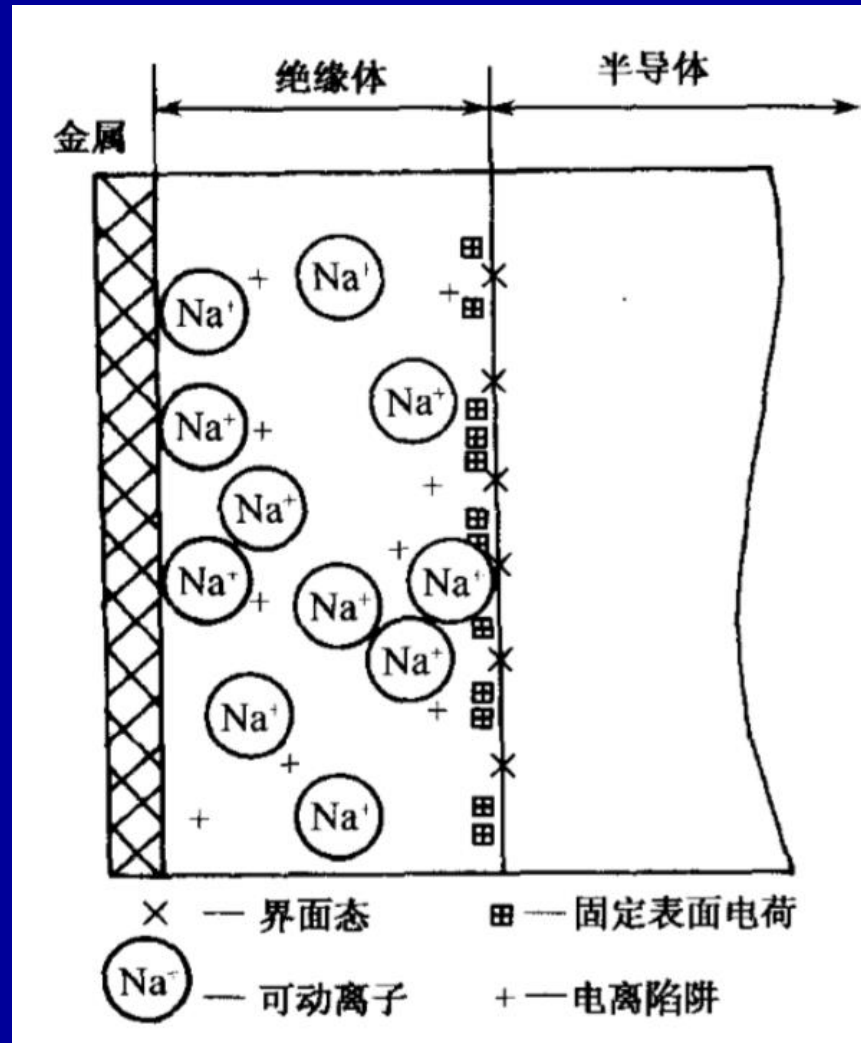


## MOSFET阈值电压:

- ① 考虑金属与半导体间功函数差,  $q\phi_{ms}\neq 0$
- ② 在绝缘层内有移动电荷,  $Q_{ox}\neq 0$
- ③ 绝缘体与半导体界面处存在固定正电荷,  $Q_{ss}\neq 0$

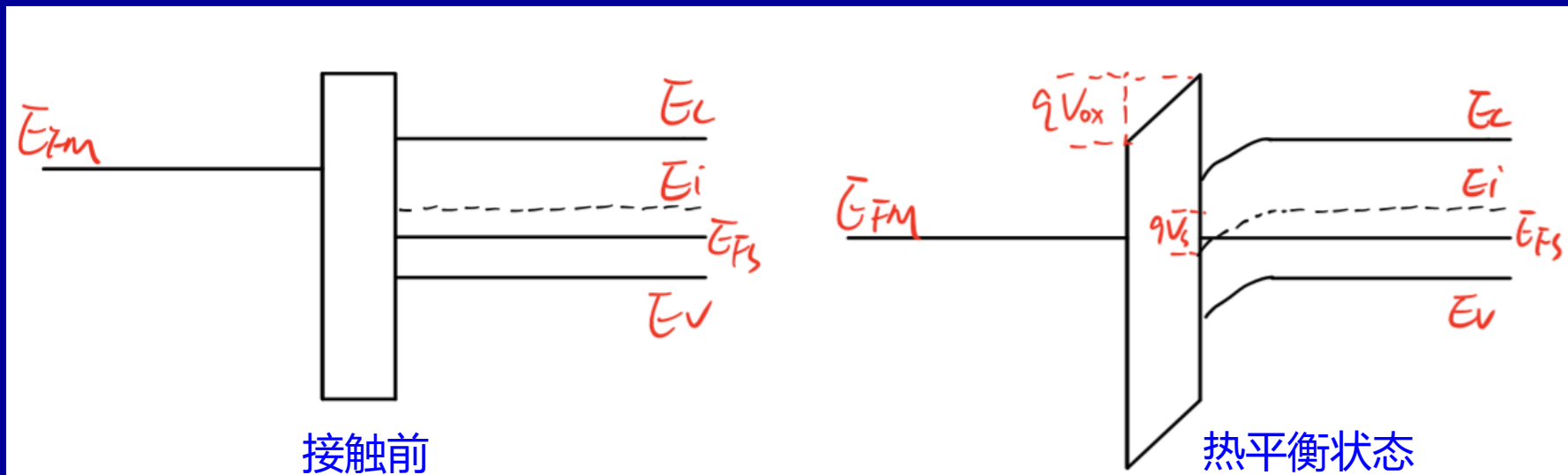
# MOSFET的阈值电压

## 硅-二氧化硅中的电荷和态:



# MOSFET的阈值电压

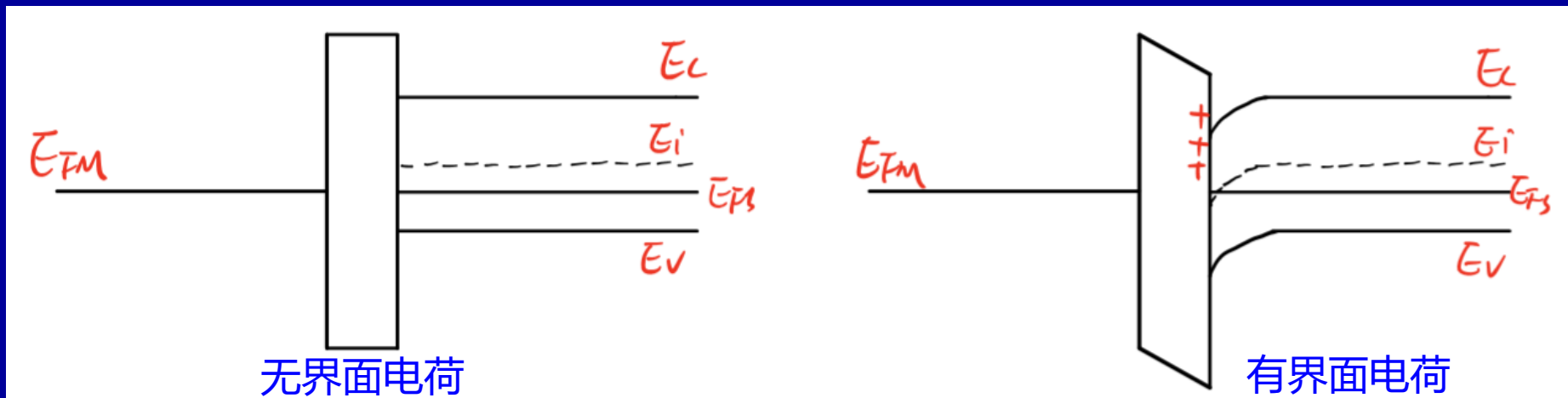
仅考虑功函数差时的能带图：



- ◆若金属功函数 $W_{Fm}$ 小于半导体功函数 $W_{Fs}$ ，电子从金属流向半导体，产生一个从金属指向半导体的电场，半导体能带向下弯曲（这里， $q\phi_{ms}=W_{Fm}-W_{Fs}<0$ ）；
- ◆若想将硅表面能带拉平，则需要在栅极加上一个负的与 $\phi_{ms}$ 等大的电压，此时氧化硅能带也被拉平。

# MOSFET的阈值电压

仅考虑界面处正电荷时的能带图：

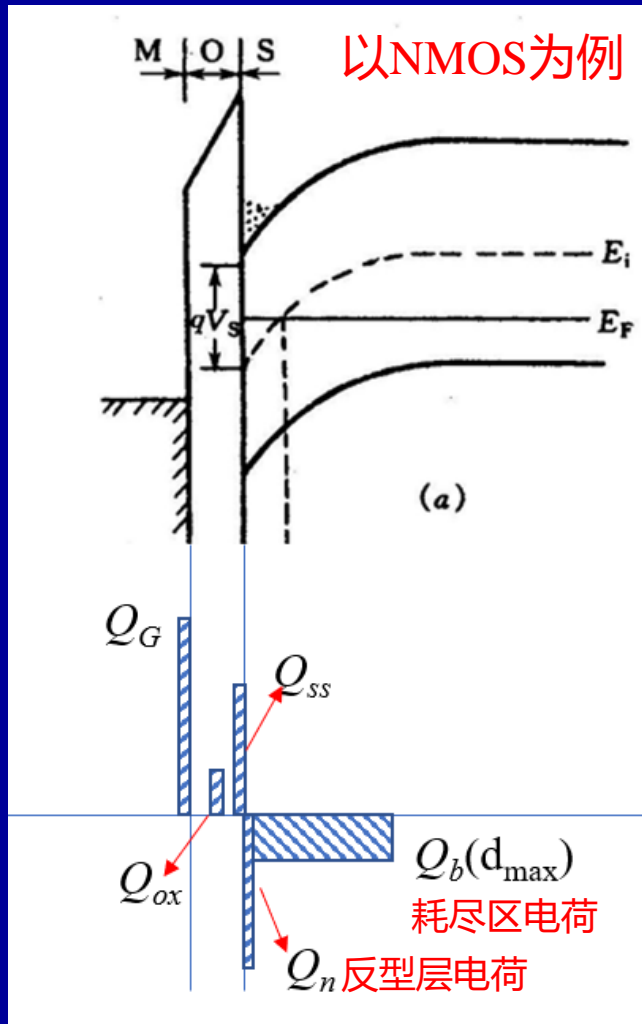


- ◆若Si-SiO<sub>2</sub>界面处存在正电荷 $Q_{ss}$ ，则产生由金属指向半导体的电场，半导体表面能带向下弯曲。
- ◆若想将硅表面能带拉平，则需要栅极加上一个能够完全中和掉界面处正电荷的负压（即形成半导体指向金属的外电场）。氧化硅内部移动电荷 $Q_{ox}$ 对应的分析类似。
- ◆注意：此时氧化硅的能带并没有拉平，其受压大小为 $\frac{Q_{ss}}{C_{ox}}$ 。

# MOSFET的阈值电压

实际状态下的阈值电压：

考虑 $q\phi_{ms}$ 、 $Q_{ss}$ 、 $Q_{ox}$ 时，阈值电压则多出一项：平带电压 $V_{FB}$ ，用来抵消金属与半导体的功函数差、界面电荷和移动电荷的影响。



$$V_T = 2V_B + \frac{Q_B(d_{max})}{C_{ox}} + V_{FB}$$

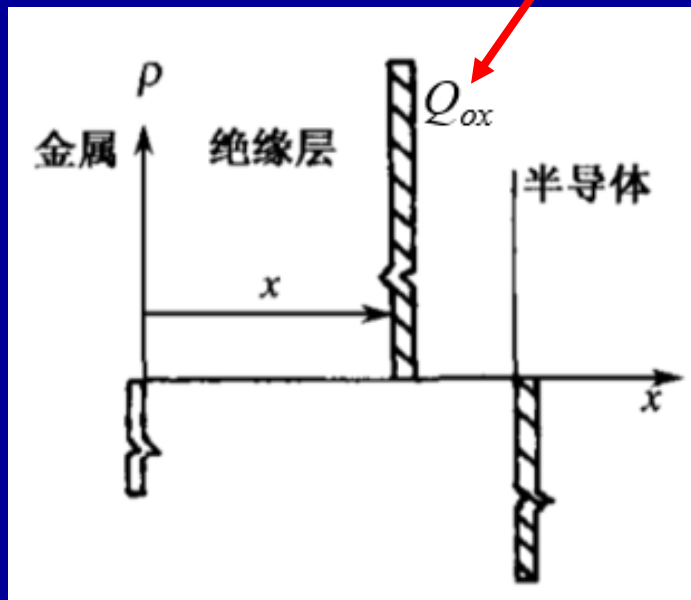
$$V_{FB} = \phi_{ms} - \frac{Q_{ss}}{C_{ox}} - \frac{1}{C_{ox}} \int_0^{t_{ox}} \frac{x}{t_{ox}} \rho(x) dx$$

$$V_T = \frac{2k_0T}{q} \ln\left(\frac{N_A}{n_i}\right) + \frac{1}{C_{ox}} \left[ 4N_A \epsilon_{rs} \epsilon_0 k_0 T \ln\left(\frac{N_A}{n_i}\right) \right]^{\frac{1}{2}} + \phi_{ms} - \frac{Q_{ss}}{C_{ox}} - \frac{1}{C_{ox}} \int_0^{t_{ox}} \frac{x}{t_{ox}} \rho(x) dx$$

$Q_{ss}$ 是Si-SiO<sub>2</sub>界面固定正电荷；  
 $Q_{ox}$ 是SiO<sub>2</sub>内可移动电荷。

# MOSFET的阈值电压

$$V_{FB} = \phi_{ms} - \frac{Q_{ss}}{C_{ox}} - \frac{1}{C_{ox}} \int_0^{t_{ox}} \frac{x}{t_{ox}} \rho(x) dx$$



- 坐标原点取在金属-绝缘体界面处，假设绝缘体中的可移动电荷在宏观上相当于在x处有一薄层正电荷Q，E为金属与薄层电荷间的电场强度，此时中和移动电荷的平带电

$$\text{压 } V_f = -Ex, \quad E = Q/\epsilon_{ox}, \quad V_f = -\frac{xQ}{\epsilon_{ox}};$$

- 实际情况中，移动电荷遍布整个绝缘层，设在x处的移动电荷密度为 $\rho(x)$ ，则 $x+dx$ 薄层区间内单位面积电荷为 $\rho(x)dx$ ，整个绝缘层内移动电荷为 $\int_0^{t_{ox}} \rho(x)dx$ ，代入上式

$$\text{得 } V_f = -\frac{x}{\epsilon_{ox}} \int_0^{t_{ox}} \rho(x)dx, \quad \text{又 } C_{ox} = \frac{\epsilon_{ox}}{t_{ox}}, \quad \text{因此}$$

$$V_f = -\frac{1}{C_{ox}} \int_0^{t_{ox}} \frac{x\rho(x)dx}{t_{ox}}.$$



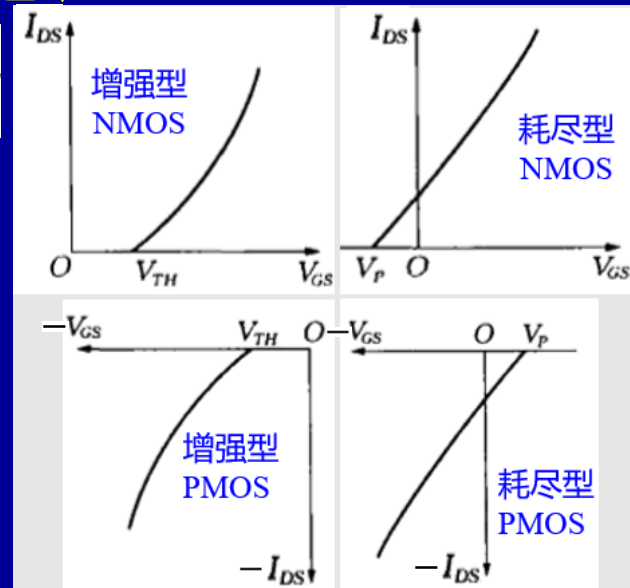
# MOSFET的阈值电压

$$V_T = 2V_B + \frac{Q_B(d_{max})}{C_{ox}} + V_{FB} \quad V_{FB} = \phi_{ms} - \frac{Q_{ss}}{C_{ox}} - \frac{1}{C_{ox}} \int_0^{t_{ox}} \frac{x}{t_{ox}} \rho(x) dx$$

P型半导体:  $2V_B = \frac{2k_0T}{q} \ln\left(\frac{N_A}{n_i}\right) \quad Q_B(d_{max}) = qN_A d_{max}$

NMOS:  $V_{Tn} = \phi_{ms} - \frac{Q_{ss}}{C_{ox}} + \frac{qN_A d_{max}}{C_{ox}} + \frac{2k_0T}{q} \ln\left(\frac{N_A}{n_i}\right)$

PMOS:  $V_{Tp} = \phi_{ms} - \frac{Q_{ss}}{C_{ox}} - \frac{qN_D d_{max}}{C_{ox}} - \frac{2k_0T}{q} \ln\left(\frac{N_D}{n_i}\right)$



上面两个公式是常用**阈值电压公式**，由于绝缘层内可移动电荷能够控制到较小量级，所以一般忽略这一项，对上面两个公式分析，可以得到两个信息：

- ① 无论是NMOS还是PMOS，阈值电压组成部分中的 $\phi_{ms}$ 一般都是正数，第二项由界面正电荷引入的分量两者都是一样的，主要使阈值电压向负压方向移动，第三项、第四项形式一样，符号相反。
- ② 对于NMOS而言，第一、三、四项都是正数，而第二项是负数，在实际工艺中如果对Si-SiO<sub>2</sub>界面处理不当，会导致 $V_{Tn} < 0$ ，那么制备出的NMOS器件很容易成为耗尽型，增强型器件较难制备；对于PMOS而言，只有第一项是正数，所以PMOS的阈值电压很容易就是负数，易制备出增强型器件，耗尽型器件较难制备。

# MOSFET的阈值电压

影响 $V_T$ 的因素:

1. 功函数差 $q\phi_{ms}$ 的影响
2. 衬底杂质浓度 $N_B$ 的影响
3. 界面固电荷 $Q_{ss}$ 的影响
4. 离子注入调整 $V_T$
5. MOS栅电极材料
6. 衬底偏置效应 (衬偏效应)

# MOSFET的阈值电压

## 1. 功函数差 $q\phi_{ms}$ 的影响:

$$V_{Tn} = \boxed{\phi_{ms}} - \frac{Q_{ss}}{C_{ox}} + \frac{qN_A d_{max}}{C_{ox}} + \frac{2k_0 T}{q} \ln\left(\frac{N_A}{n_i}\right)$$

金属	$W_m(\text{eV})$
Mg	3.35
Al	4.1
Ni	4.55
Cu	4.7
Au	5.0
Ag	5.1
Pt	5.7
n <sup>+</sup> -poly	4.05
p <sup>+</sup> -poly	5.15

	n-Si			p-Si		
$N_D(\text{cm}^{-3})$	$10^{14}$	$10^{15}$	$10^{16}$			
$N_A(\text{cm}^{-3})$				$10^{14}$	$10^{15}$	$10^{16}$
$W_s(\text{eV})$	4.32	4.26	4.20	4.82	4.88	4.94

选用不同的金属电极，可以通过金属与半导体的功函数差调整阈值电压，同时也可以选用多晶硅电极，通过调控多晶硅的掺杂浓度来进行调控，调控范围可以在1.1eV能量范围内。

半导体功函数  $W_s = \chi_s + \frac{E_g}{2} \pm qV_B$

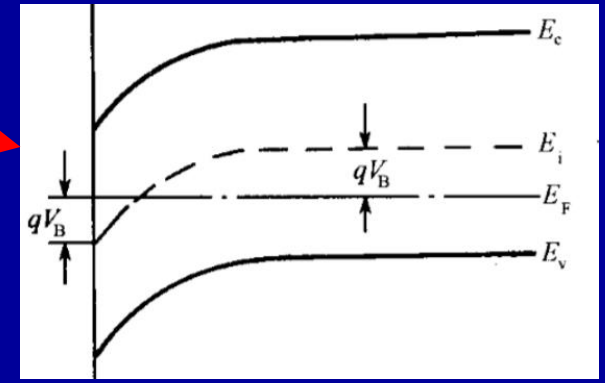
n<sup>+</sup>/p<sup>+</sup>指其费米能级已经到了导带底附近或者已经成为了简并半导体

P型衬底

$$W_s = \chi_s + \frac{E_g}{2} + k_0 T \ln\left(\frac{N_A}{n_i}\right)$$

N型衬底

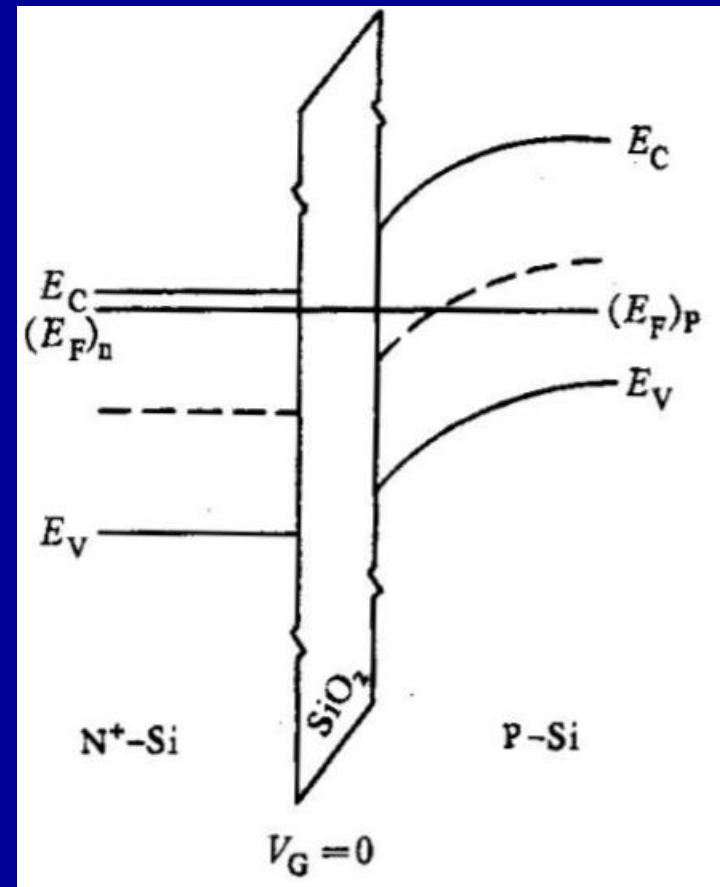
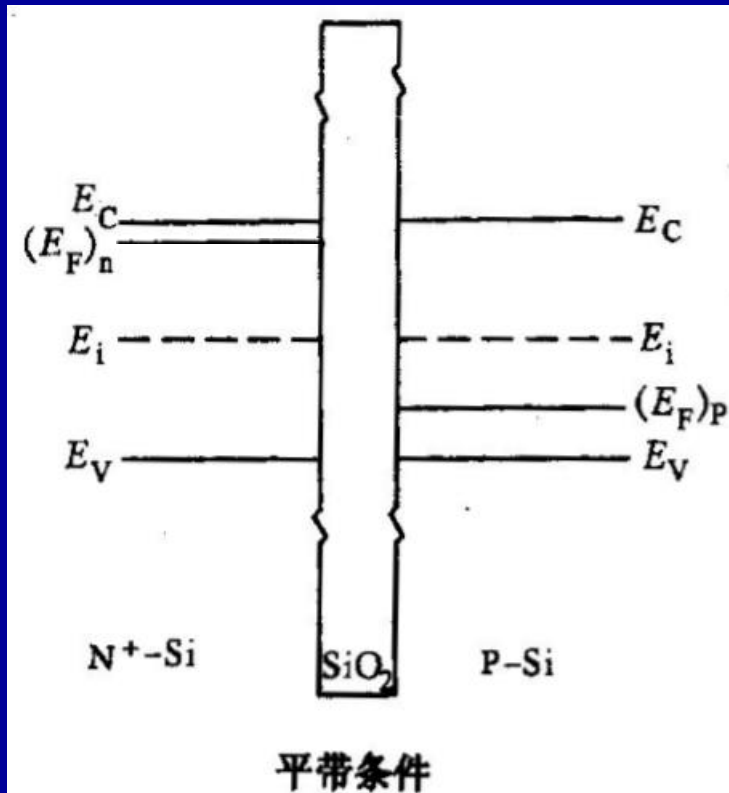
$$W_s = \chi_s + \frac{E_g}{2} - k_0 T \ln\left(\frac{N_D}{n_i}\right)$$



# MOSFET的阈值电压

## 1. 功函数差 $q\phi_{ms}$ 的影响:

$N^+$ 多晶硅电极功函数小于P-Si衬底，电子从多晶硅栅极流向P-Si，P-Si表面电子浓度上升，形成一个从左向右的电场，P-Si表面能带向下弯曲

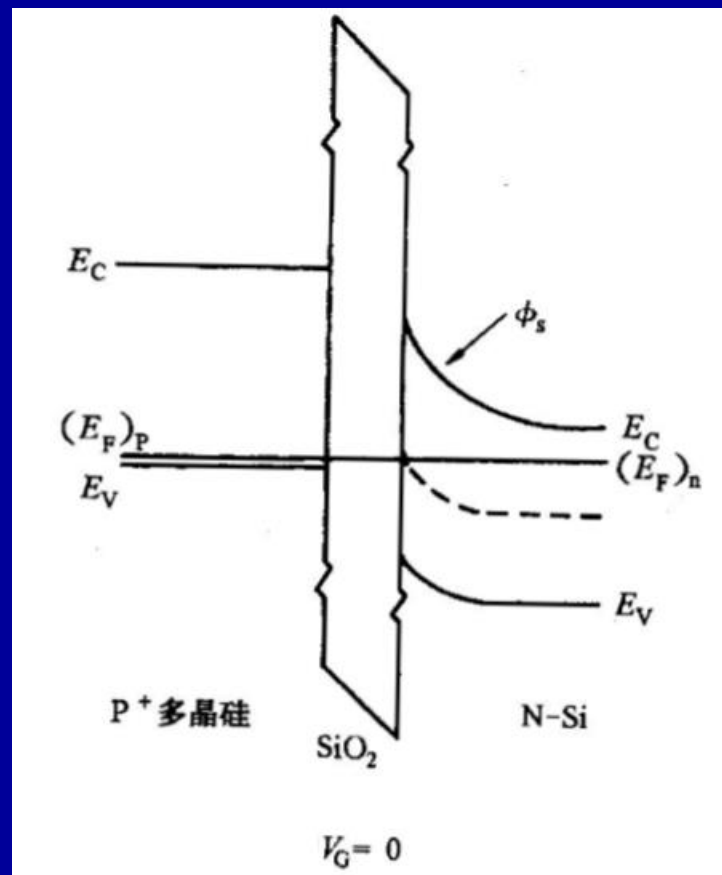
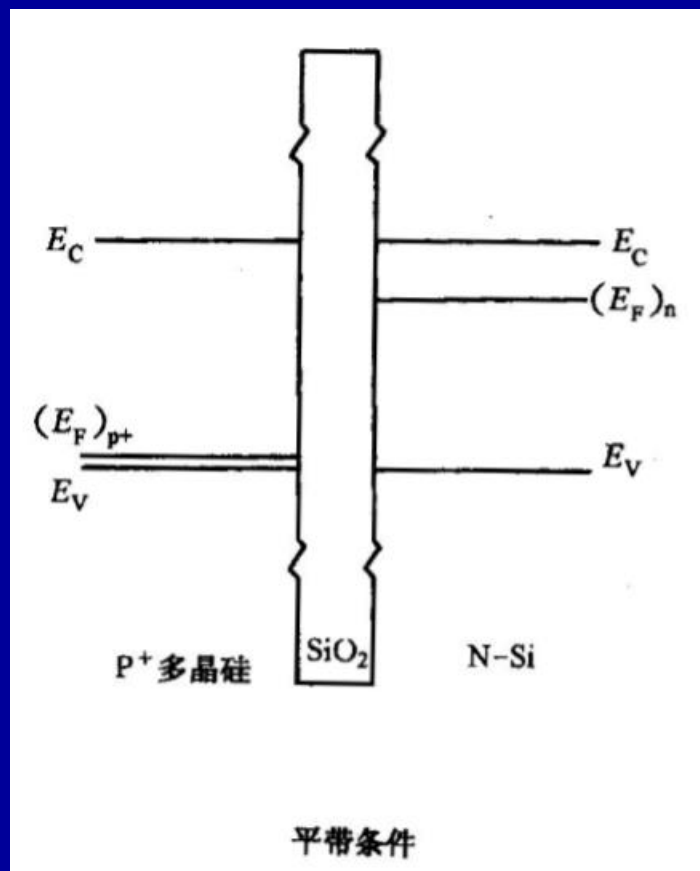


$N^+$ 多晶硅栅极NMOS能带图

# MOSFET的阈值电压

## 1. 功函数差 $q\phi_{ms}$ 的影响:

P<sup>+</sup>多晶硅功函数大于N-Si，电子从N-Si流向P<sup>+</sup>多晶硅，形成一个从右向左的电场，N-Si表面能带向上弯曲



P<sup>+</sup>多晶硅栅极PMOS能带图

# MOSFET的阈值电压

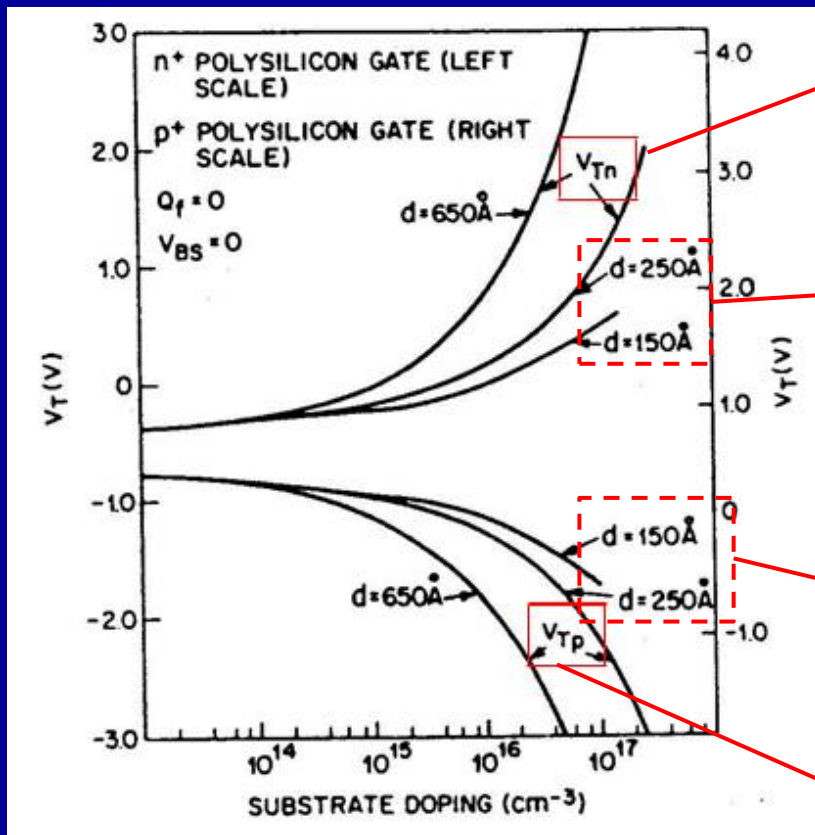
## 2. 衬底杂质浓度 $N_B$ 的影响:

$$V_B = \frac{k_0 T}{q} \ln \left( \frac{N_A}{n_i} \right)$$

→  $N_B$  ( $N_A$ 、 $N_D$ ) 增加两个数量级,  $V_B$  增加0.12V

$$V_{Tn} = \phi_{ms} - \frac{Q_{ss}}{C_{ox}} + \frac{qN_A d_{max}}{C_{ox}} + \frac{2k_0 T}{q} \ln \left( \frac{N_A}{n_i} \right) \quad \text{NMOS}$$

$$V_{Tp} = \phi_{ms} - \frac{Q_{ss}}{C_{ox}} - \frac{qN_D d_{max}}{C_{ox}} - \frac{2k_0 T}{q} \ln \left( \frac{N_D}{n_i} \right) \quad \text{PMOS}$$



$N_B$  上升,  $2V_B$  上升,  $V_{Tn}$  向正电压方向移动

在相同衬底浓度下,  $Q_B$  一定时, 绝缘层厚度  $d$  越大,  $C_{ox} = \epsilon/d$  越小, 绝缘体上压降越大, 因此  $V_{Tn}$  向正电压方向移动

在相同衬底浓度下,  $Q_B$  一定时, 绝缘层厚度  $d$  越大, 落在绝缘体上的压降越大, 因此  $V_{Tp}$  向负电压方向移动

$N_B$  上升,  $2V_B$  上升,  $V_{Tp}$  向负电压方向移动

# MOSFET的阈值电压

## 2. 衬底杂质浓度 $N_B$ 的影响:

$$V_{Tn} = \phi_{ms} - \frac{Q_{ss}}{C_{ox}} + \frac{qN_A d_{max}}{C_{ox}} + \frac{2k_0T}{q} \ln\left(\frac{N_A}{n_i}\right)$$

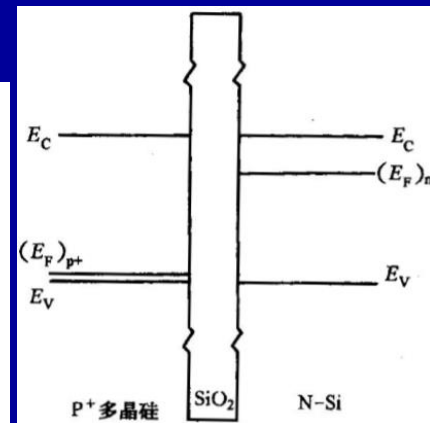
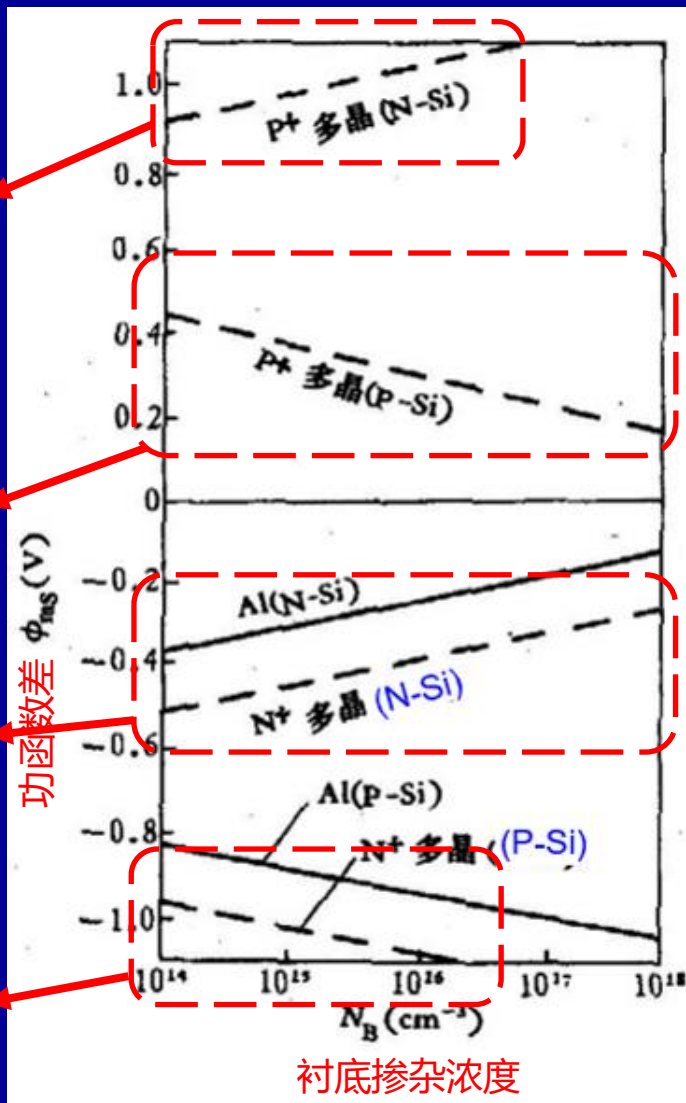
$$V_{Tp} = \phi_{ms} - \frac{Q_{ss}}{C_{ox}} - \frac{qN_D d_{max}}{C_{ox}} - \frac{2k_0T}{q} \ln\left(\frac{N_D}{n_i}\right)$$

PMOS器件, N型Si衬底,  $p^+$ 多晶硅栅极, N型衬底浓度越大, 功函数差向正方向移动  
( $\phi_{ms} = (W_{Fm} - W_{Fs})/q$ )

NMOS器件, P型Si衬底,  $p^+$ 多晶硅栅极, P型衬底浓度越大, 功函数差向负方向移动

PMOS器件, N型Si衬底,  $n^+$ 多晶硅栅极, N型衬底浓度越大, 功函数差向正方向移动。

NMOS器件, P型Si衬底,  $n^+$ 多晶硅栅极, P型衬底浓度越大, 功函数差向负方向移动。





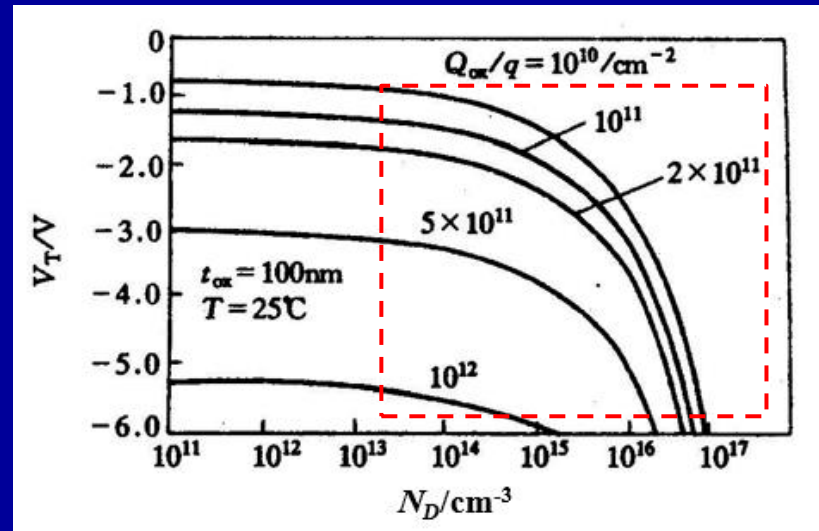
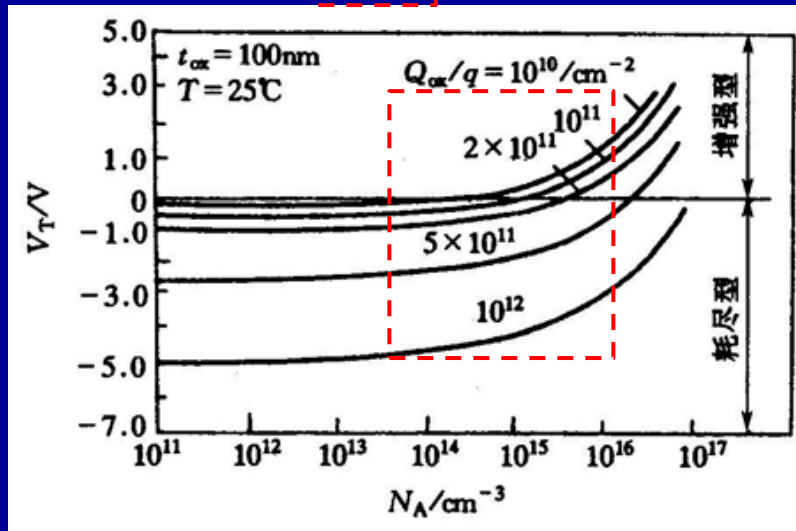
# MOSFET的阈值电压

## 3. 界面固定电荷 $Q_{ss}$ 的影响:

$$V_{Tn} = \phi_{ms} - \frac{Q_{ss}}{C_{ox}} + \frac{qN_A d_{max}}{C_{ox}} + \frac{2k_0 T}{q} \ln \left( \frac{N_A}{n_i} \right)$$

$$V_{Tp} = \phi_{ms} - \frac{Q_{ss}}{C_{ox}} - \frac{qN_D d_{max}}{C_{ox}} - \frac{2k_0 T}{q} \ln \left( \frac{N_D}{n_i} \right)$$

Si-SiO<sub>2</sub>界面固定正电荷对阈值电压的贡献始终是向负电压移动。



- ◆ 氧化层可移动电荷与界面固定电荷的作用都是使阈值电压向负方向移动
- ◆ 图中 $Q_{ox}$ 为移动电荷和固定电荷之和, 当 $Q_{ox} \sim 10^{11}$  cm<sup>-2</sup>时, 对阈值电压的影响较小
- ◆ 实际工艺中可以将移动电荷密度控制得比较低, 同样需要将 $Q_{ss}$ 也控制在 $10^{11}$  cm<sup>-2</sup>以下, 从而保证其它调整阈值电压的方法切实有效

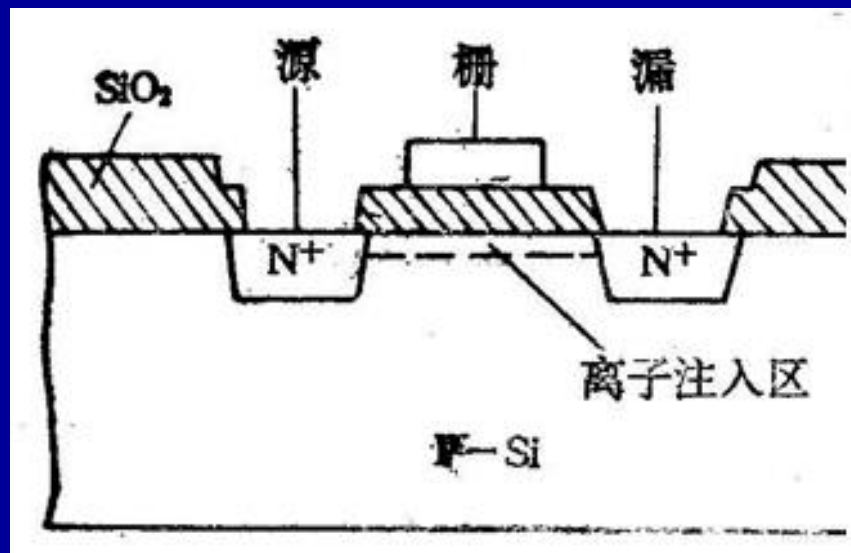


# MOSFET的阈值电压

## 4. 离子注入调整 $V_T$ :

$$V_{Tn} = \phi_{ms} - \frac{Q_{ss}}{C_{ox}} + \frac{qN_A d_{max}}{C_{ox}} + \frac{2k_0 T}{q} \ln\left(\frac{N_A}{n_i}\right)$$

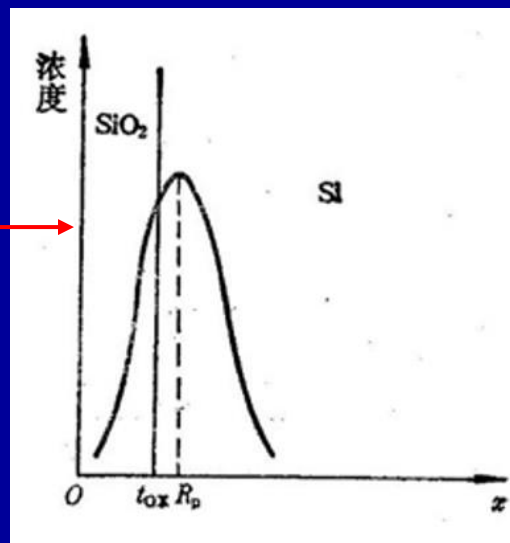
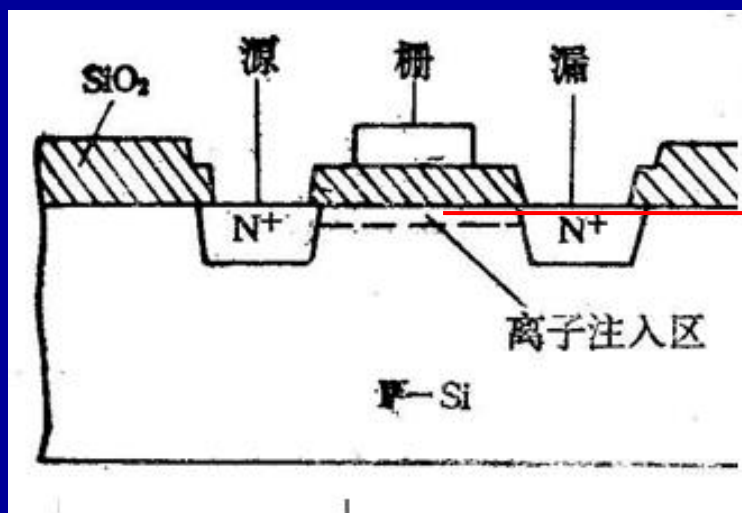
- ◆在实际生产制造过程中，为了保证器件的性能，衬底掺杂浓度无法大范围调整，此时需要采用其它方法来调节阈值电压。
- ◆在沟道区利用离子注入技术注入一层厚度趋向于零的杂质，由于其厚度薄到可以忽略不计，因此对表面势没有影响，对耗尽区宽度也没有影响。
- ◆离子注入技术：将离子源产生的离子经加速后打进材料从而调节材料杂质浓度的技术。注入后的离子在纵向上大体为高斯分布。



# MOSFET的阈值电压

## 4. 离子注入调整 $V_T$ :

$$V_{Tn} = \phi_{ms} - \frac{Q_{ss}}{C_{ox}} + \frac{qN_A d_{max}}{C_{ox}} + \frac{2k_0 T}{q} \ln \left( \frac{N_A}{n_i} \right)$$



离子注入后杂质浓度分布如右图所示,  $R_p$  是杂质浓度最大处离Si-SiO<sub>2</sub>界面的距离,  $R_p \ll d_{max}$ ,  $t_{ox}$  是二氧化硅的厚度。

此时

$$Q_B^{total}(d_{max}) = \int_0^{d_{max}} q[N_A + N'_A(x)] dx = Q_B(d_{max}) + \Delta Q_B(d_{max})$$

$$\Delta Q_B(d_{max}) = \int_0^{d_{max}} q N'_A(x) dx = q N_{Im}$$

$N_{Im}$ : 注入离子面密度

$$\Delta V_T = \frac{\Delta Q_B}{C_{ox}} \approx \frac{q N_{Im}}{C_{ox}}$$

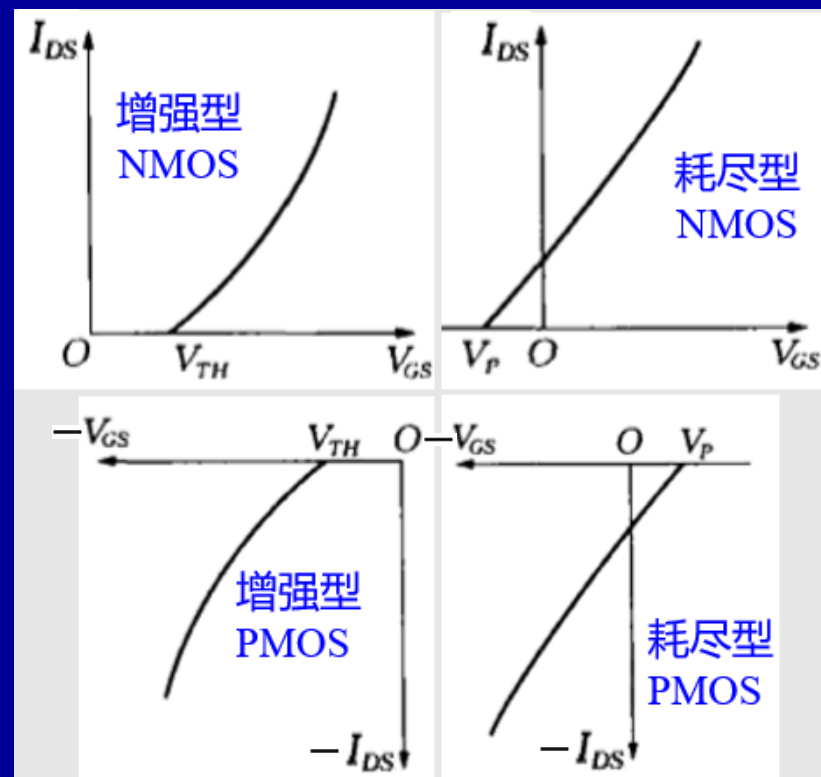
# MOSFET的阈值电压

## 4. 离子注入调整 $V_T$ :

$$V_{Tn} = \phi_{ms} - \frac{Q_{ss}}{C_{ox}} + \frac{qN_A d_{max}}{C_{ox}} + \frac{2k_0 T}{q} \ln\left(\frac{N_A}{n_i}\right)$$

举例：对MOSFET沟道表面注入硼（B）

- ① 对于NMOS，衬底是P型，注入B，相当于使其表面杂质浓度上升，更难反型， $V_{Tn}$ 向正电压方向移动；
- ② 对于PMOS，衬底是N型，注入B会补偿其表面部分施主杂质，器件更容易反型， $V_{Tp}$ 也是向着正电压方向移动。



# MOSFET的阈值电压

## 5. 栅电极材料:

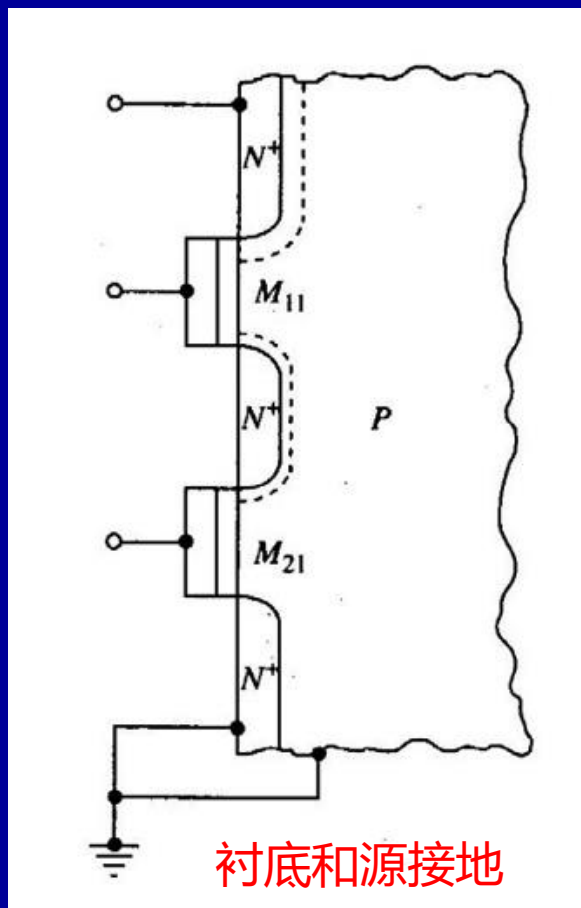
Al栅PMOS → n<sup>+</sup>-poly PMOS → n<sup>+</sup>-poly NMOS → n<sup>+</sup>-poly CMOS(buried channel PMOS) → dual-poly CMOS → poly-SiGe gate electrode → metal gate

- ① Al与硅会有共晶反应，两种材料分开熔点都高，但是两者接触在一起，在500多度时两者就会发生互溶，因此后期淘汰了；
- ② 后来改用n<sup>+</sup>多晶硅PMOS，但是PMOS的载流子迁移率较慢，因此改换为n<sup>+</sup>多晶硅NMOS，后来出现CMOS之后，PMOS采用了埋沟技术来提高空穴的迁移率；
- ③ 但是都使用n<sup>+</sup>多晶硅作为栅电极，NMOS与PMOS的阈值电压不对称，所以后期采用n<sup>+</sup>多晶硅作为NMOS栅电极，p<sup>+</sup>多晶硅作为PMOS栅电极，使两者的阈值电压对称；
- ④ 由于硼在氧化硅中的溶解度要高于在硅中的，所以使用p<sup>+</sup>多晶硅电极时，无法使其掺杂浓度很高（浓度太高时，在后期退火工艺中硼会向氧化硅扩散，严重时会扩散到N型衬底中），所以后期采用多晶锗硅，硼在锗硅中的溶解度高，不会向下扩散；
- ⑤ 但是多晶硅材料无论怎样掺杂，其电阻率依旧比金属高，所以最后还是采用金属栅极。

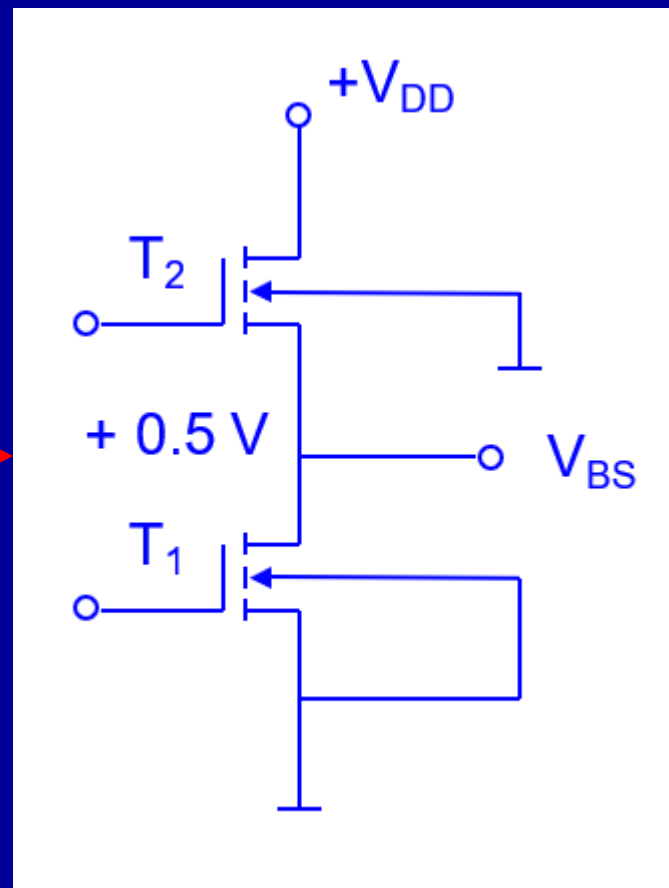
# MOSFET的阈值电压

## 6. 衬底偏置效应(衬偏效应):

### (1) 衬偏效应的来源



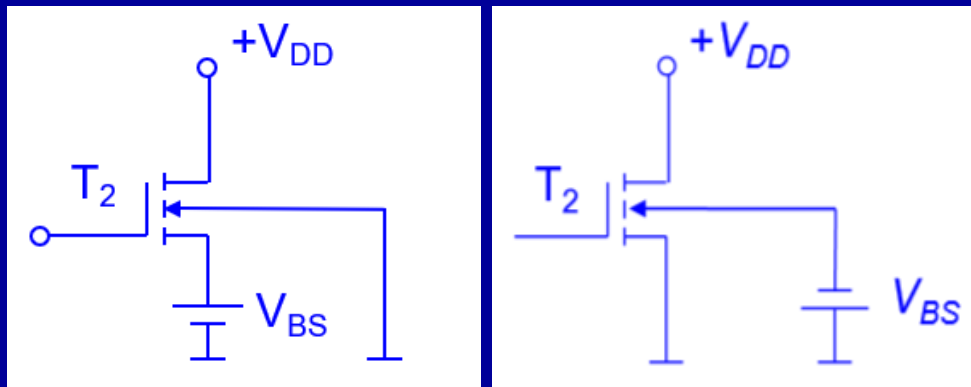
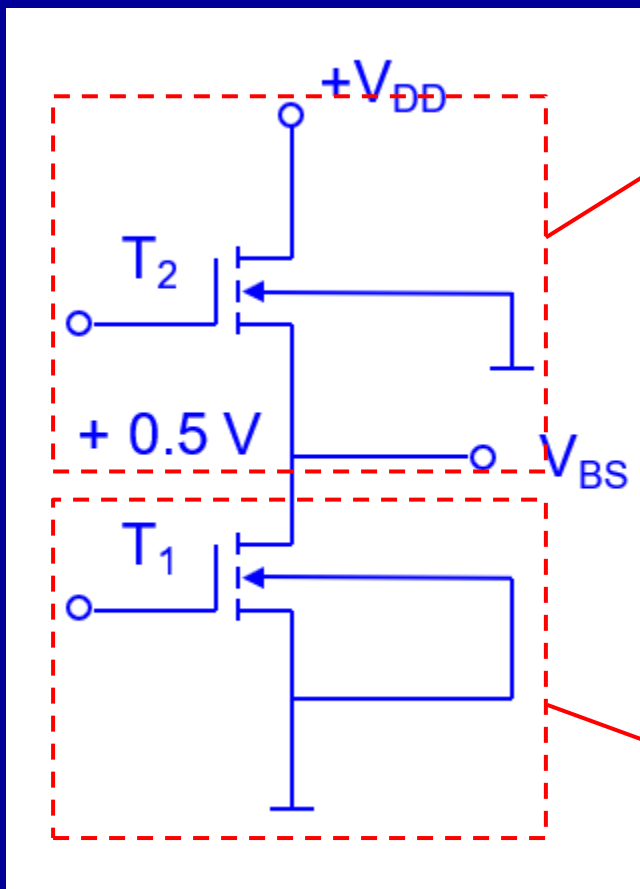
左图是两个NMOS器件串联, 假设 $V_{DD}$ 为1V, 则中间 $N^+$ 区电势为0.5V, 电路图如右图



# MOSFET的阈值电压

## 6. 衬底偏置效应(衬偏效应):

### (1) 衬偏效应的来源

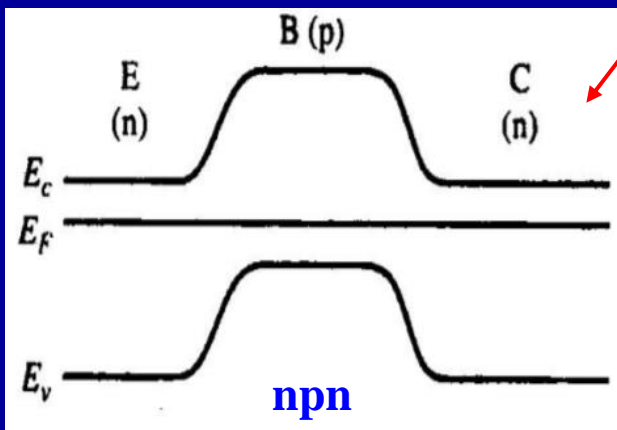
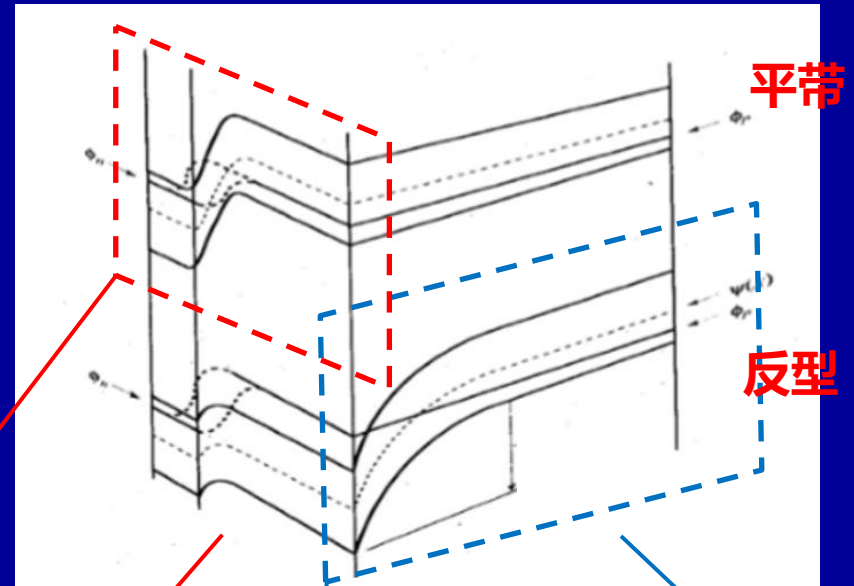
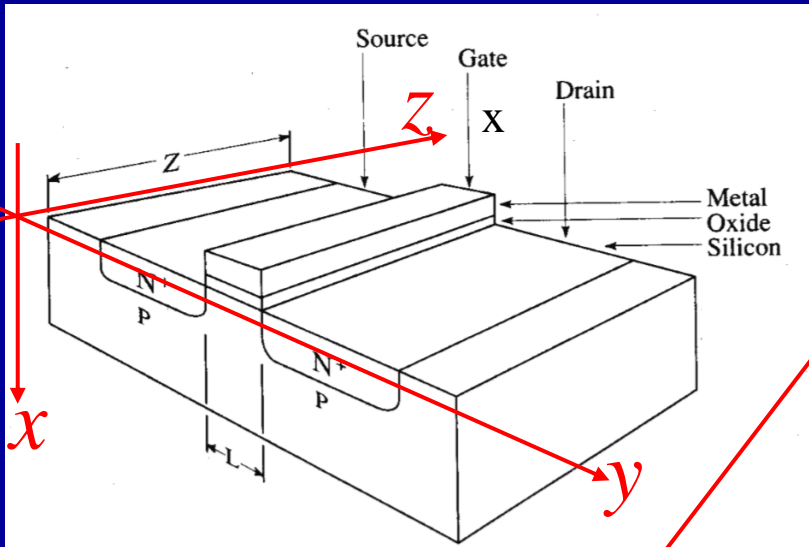


- ①  $T_2$ 器件, 源端电压为0.5V, 漏端电压为1V, 衬底接地, 此时源端与衬底之间有电势差 (相当于在npn中的p区加了一个负电压, 使两个pn结反偏), 与理想情况有偏差, 多出的 $V_{BS}$ 会对阈值电压产生不利影响 (以源为参考点,  $V_{BS}$ 是一负电压)。
- ②  $T_1$ 器件, 源和衬底接地, 漏端电压为0.5V, 处于正常工作状态, 器件阈值电压无变化。

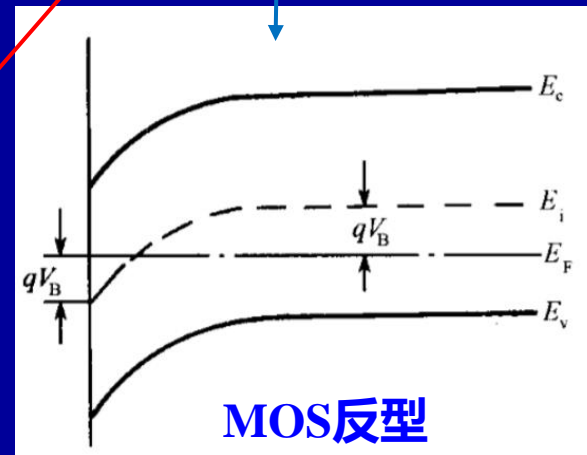
# MOSFET的阈值电压

## 6. 衬底偏置效应(衬偏效应):

### (2) MOSFET的 $V_T$



$x=0$ ,  $yz$  平面  
nnp能带图,  
立体能带图  
中只画出了  
源和栅

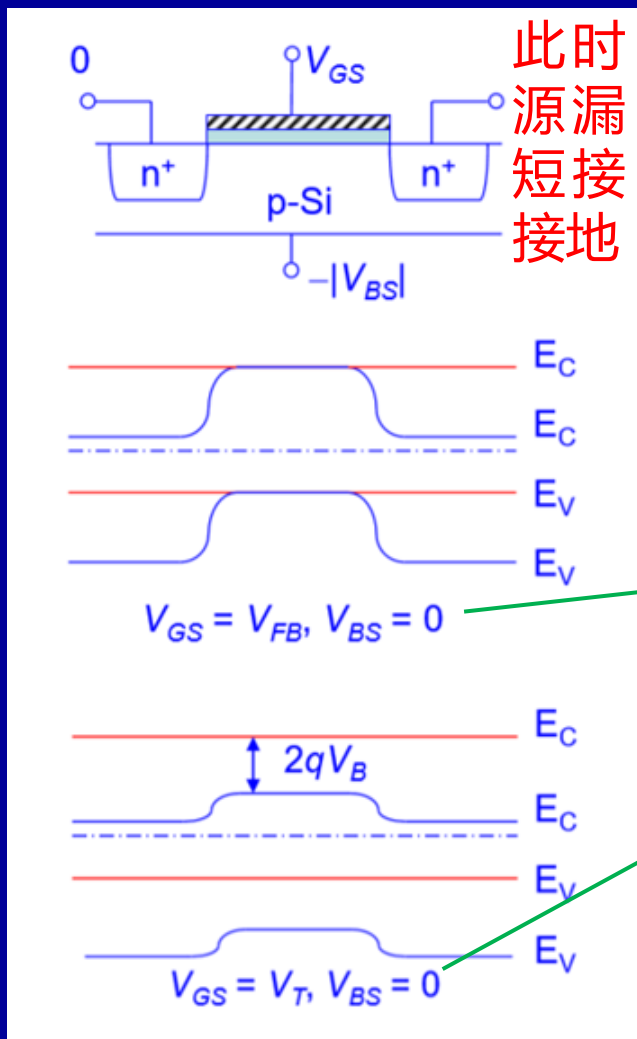


垂直于  $yz$  平面  
指向半导体内部的半  
导体界面能带图, 即P  
型衬底的能带图

# MOSFET的阈值电压

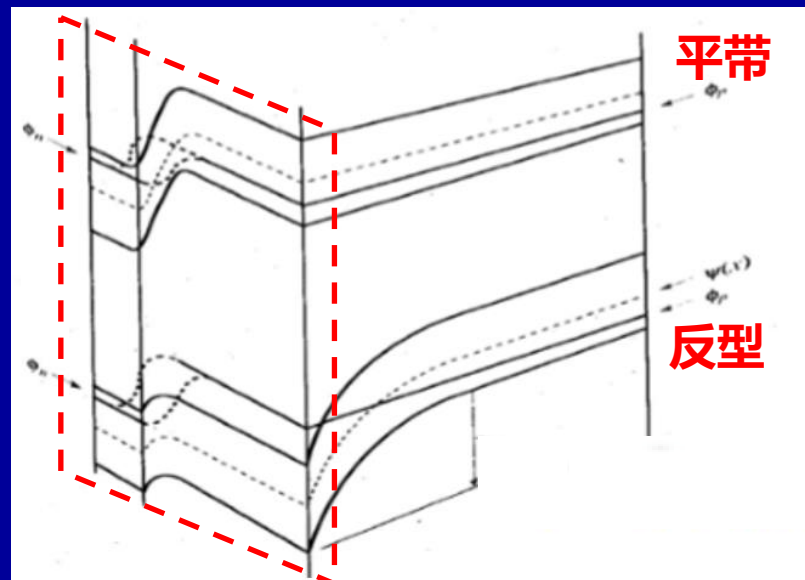
## 6. 衬底偏置效应(衬偏效应):

### (2) MOSFET的 $V_T$



红线: P型衬底体内能带;

蓝线: Si-SiO<sub>2</sub>界面处n<sub>p</sub>n能带。



①无衬偏效应时, 平带状态下的能带图, P型衬底的表面能带与体内能带一致 (红线蓝线重合);

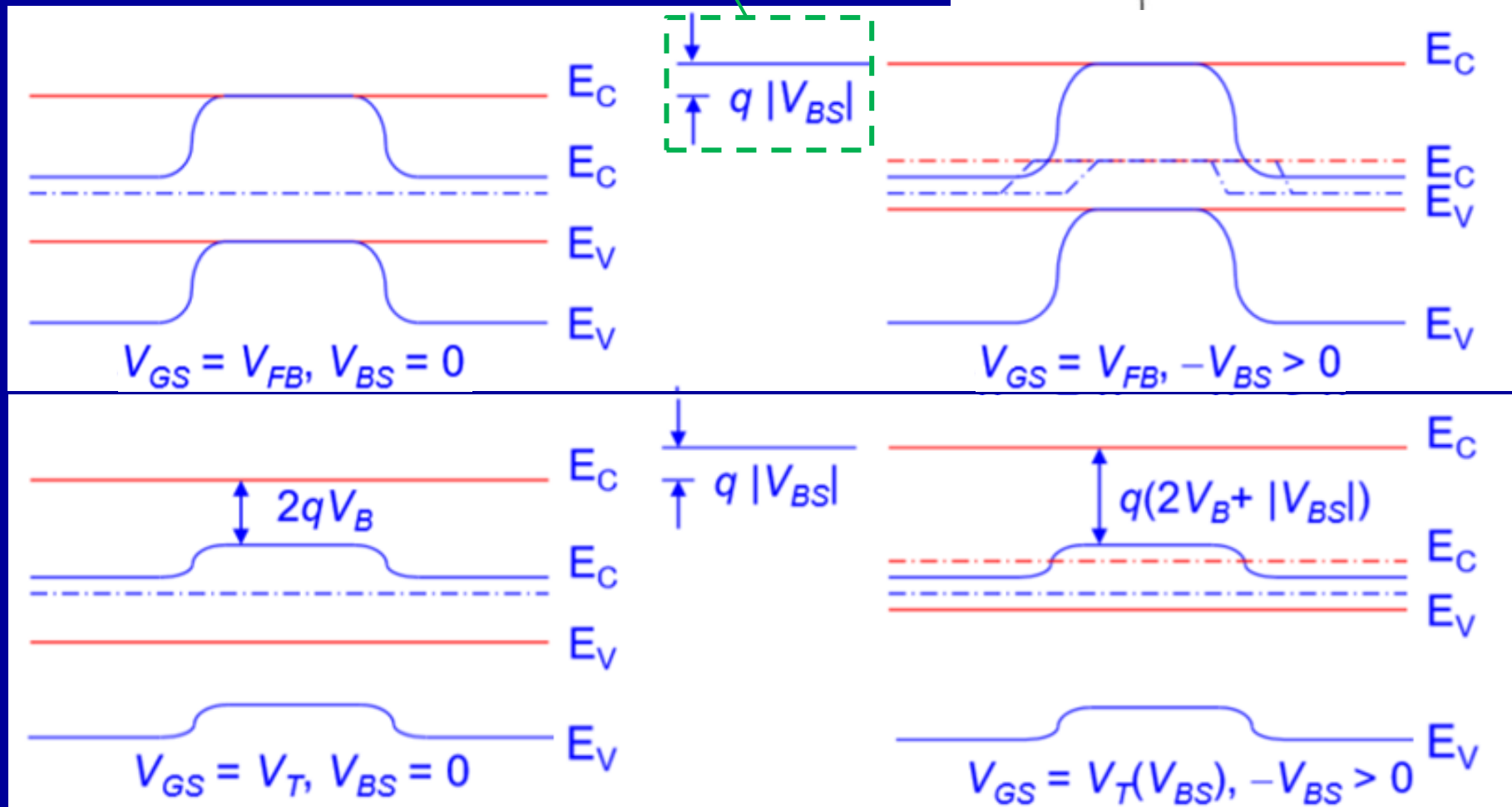
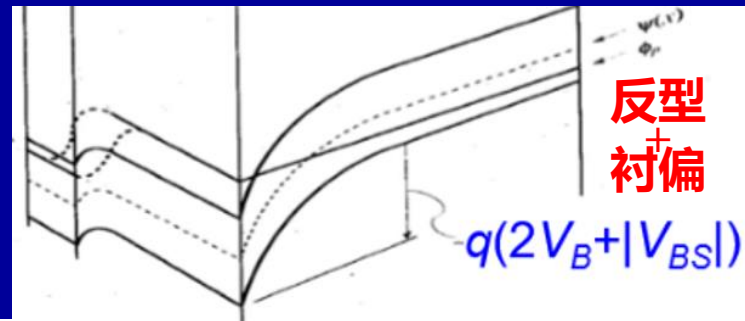
②无衬偏效应时, 加上阈值电压大小的栅压, P型衬底表面能带下降 $2qV_B$ , 即此时表面势为 $2V_B$ , 出现反型 (红线蓝线分开)。



# MOSFET的阈值电压

## 6. 衬底偏置效应(衬偏效应):

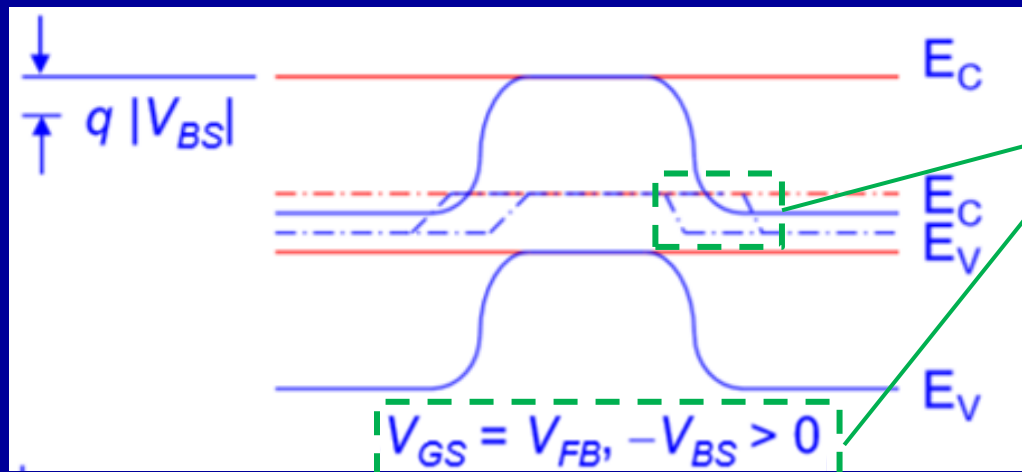
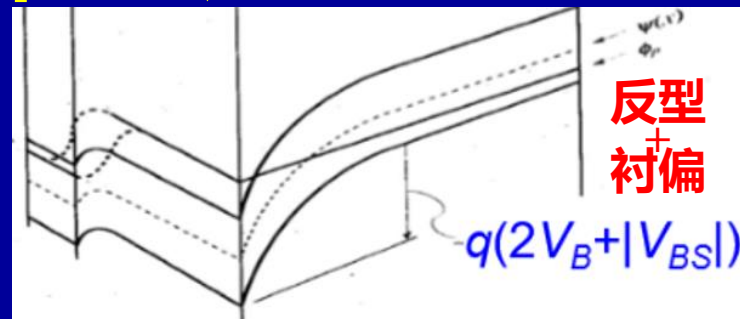
(2) MOSFET的 $V_T$  衬偏效应: pn结反偏, 中性区n型半导体能带下移



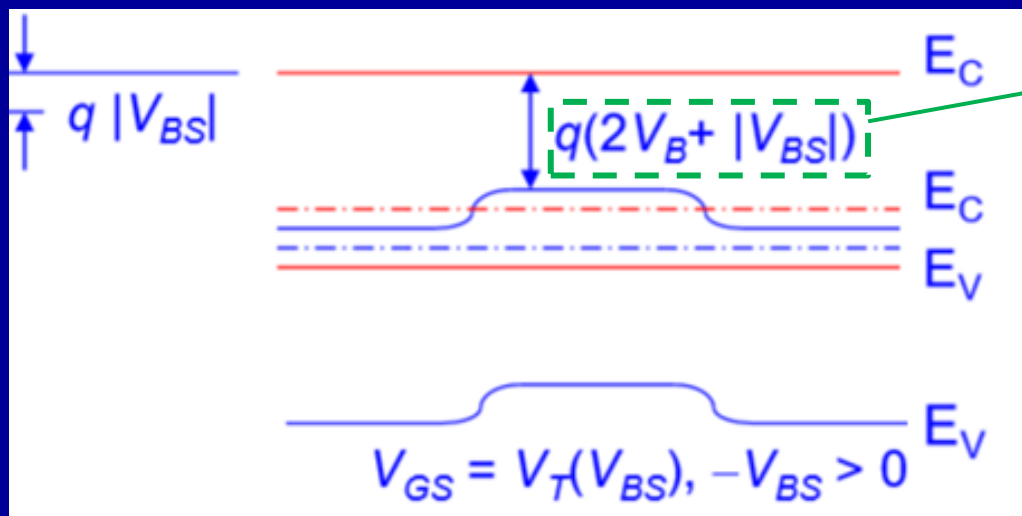
# MOSFET的阈值电压

## 6. 衬底偏置效应(衬偏效应):

(2) MOSFET的 $V_T$



①考虑衬偏效应，在栅极上加一平带电压，使半导体能带保持水平，此时 $V_{BS}$ 为加在源上的一个正电压，相当于使pn结反偏，因此发生 $E_F$ 分裂，同时使源的电势能下降。



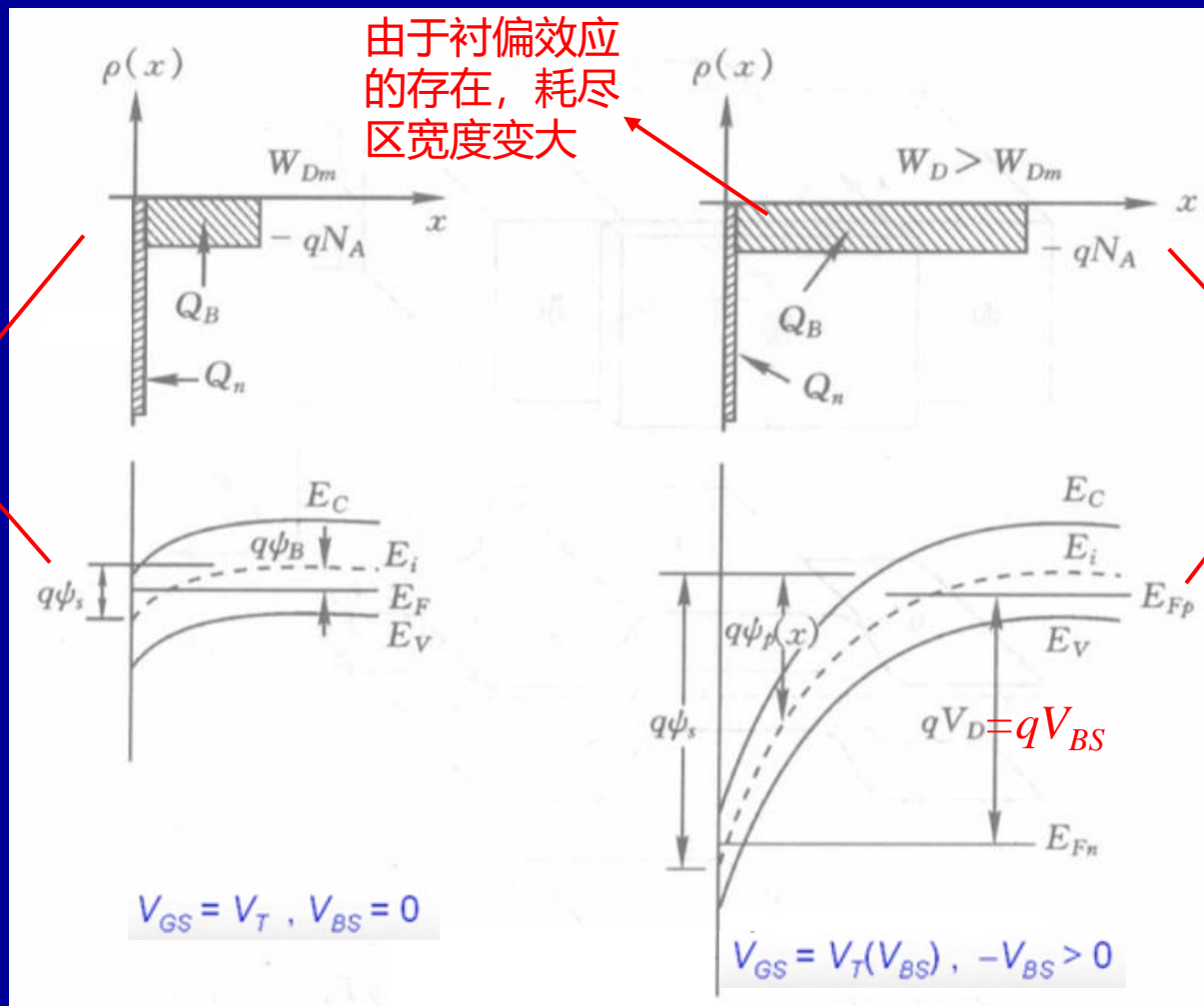
②存在衬偏效应时，要想使P型半导体表面发生反型，首先需要将衬偏效应导致的P型半导体相对而言上升的电势能抵消，即需要额外的与 $V_{BS}$ 等大的正电压，因此P型半导体表面电势能需下降 $q(2V_B + |V_{BS}|)$ 。

# MOSFET的阈值电压

## 6. 衬底偏置效应(衬偏效应):

### (2) MOSFET的 $V_T$

无衬偏效应, MOS电容强反型时的电荷分布和能带



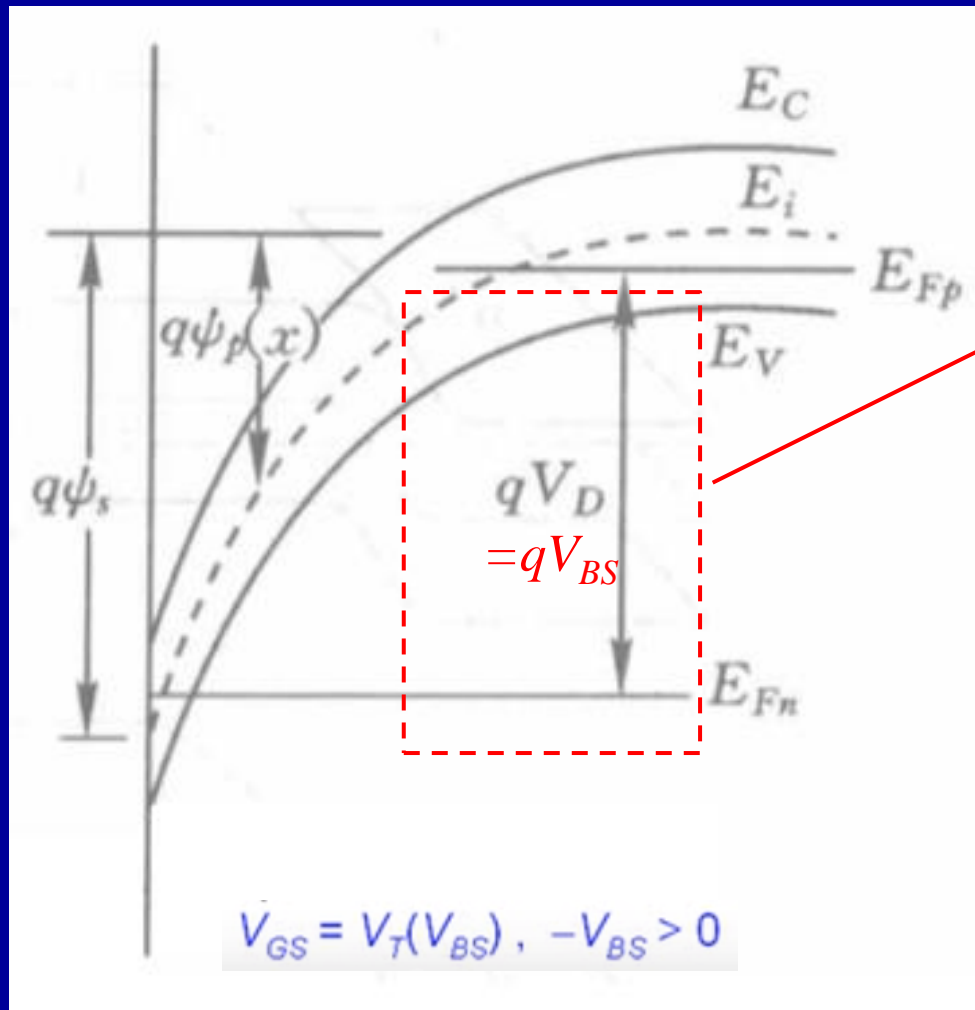
由于衬偏效应的存在, 耗尽区宽度变大

有衬偏效应, MOS电容强反型时的电荷分布和能带

# MOSFET的阈值电压

## 6. 衬底偏置效应(衬偏效应):

### (2) MOSFET的 $V_T$

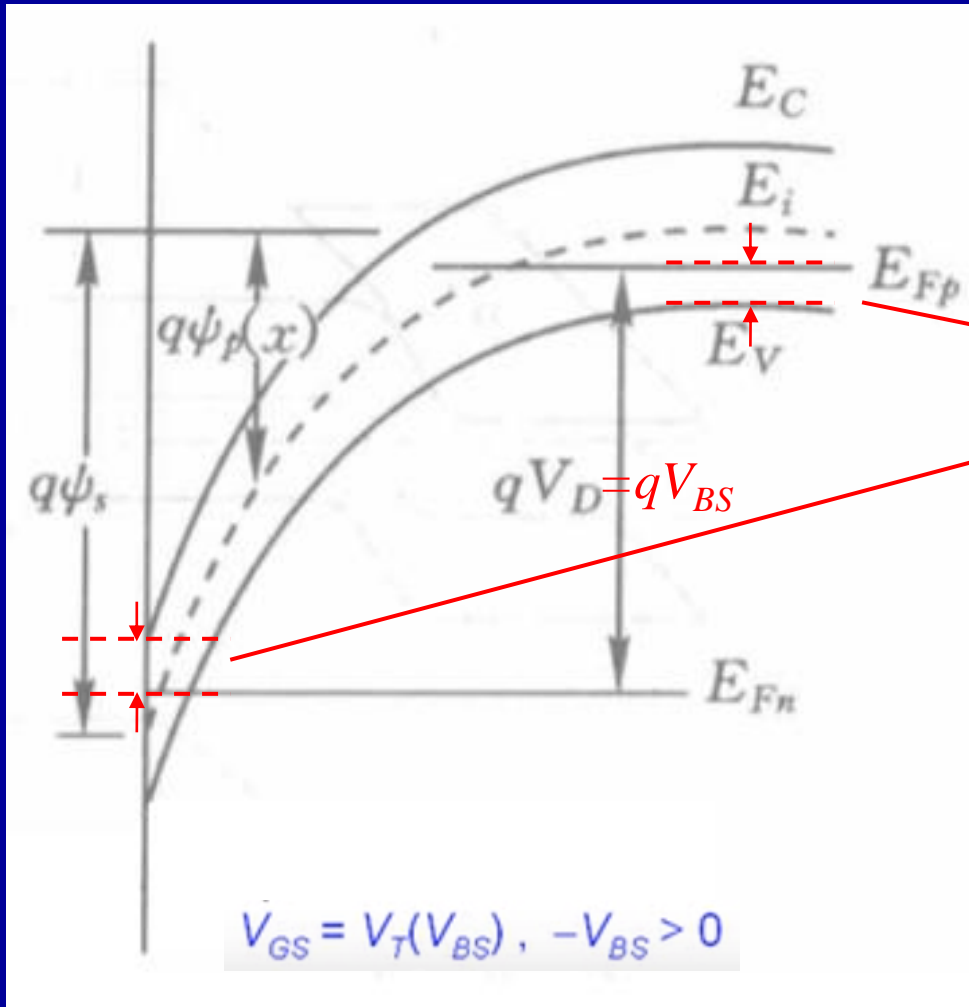


① 此处 $V_D$ 即衬偏效应中的 $V_{BS}$ ，使pn结反偏，发生费米能级分裂，分裂电势即为外加电势，所以 $E_{Fp}$ 与 $E_{Fn}$ 之间的距离为 $qV_{BS}$ 。

# MOSFET的阈值电压

## 6. 衬底偏置效应(衬偏效应):

### (2) MOSFET的 $V_T$

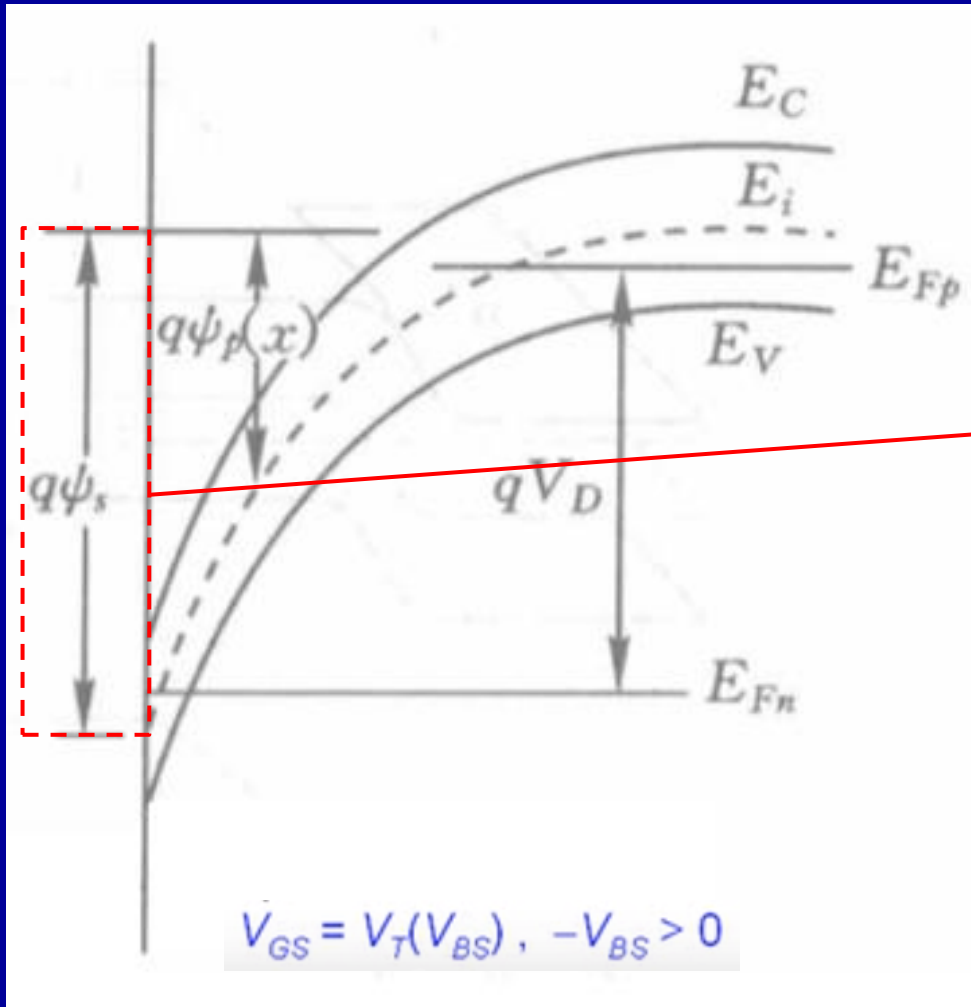


② 强反型的条件是半导体表面处的电子浓度等于体内空穴浓度，表现在能带图中即为：分裂的 $E_{Fn}$ 离导带底的距离要等于 $E_{Fp}$ 离价带顶的距离，其大小为 $E_g/2 - qV_B$ 。

# MOSFET的阈值电压

## 6. 衬底偏置效应(衬偏效应):

(2) MOSFET的 $V_T$



③ 因此, 此时表面势为  $2V_B + |V_{BS}|$

# MOSFET的阈值电压

## 6. 衬底偏置效应(衬偏效应):

(3)  $V_T(V_{BS})$

$V_{BS}=0$ 时

$$V_{FB} = \phi_{ms} - \frac{Q_{ss}}{C_{ox}} - \frac{1}{C_{ox}} \int_0^{t_{ox}} \frac{x}{t_{ox}} \rho(x) dx$$

$$d_{max} = \sqrt{\frac{2\epsilon_{rs}\epsilon_0(2V_B)}{qN_A}}$$

$$V_T = 2V_B + \frac{Q_B(d_{max})}{C_{ox}} + V_{FB}$$

一般忽略移动电荷的影响

$$V_T = \phi_{ms} - \frac{Q_{ss}}{C_{ox}} + \frac{qN_A d_{max}}{C_{ox}} + 2V_B$$

$V_{BS} \neq 0$ 时

$$V_S = 2V_B + |V_{BS}|$$

$$d_{max}(V_{BS}) = \sqrt{\frac{2\epsilon_{rs}\epsilon_0(V_S)}{qN_A}} = \sqrt{\frac{2\epsilon_{rs}\epsilon_0(2V_B + |V_{BS}|)}{qN_A}}$$

$$V_{Tn}(V_{BS}) \equiv V_{GS}(V_{BS}) = \phi_{ms} - \frac{Q_{ss}}{C_{ox}} + \frac{qN_A d_{max}(V_{BS})}{C_{ox}} + \boxed{(2V_B + |V_{BS}|) - |V_{BS}|}$$

为什么不是  $2V_B + |V_{BS}|$ ?

# MOSFET的阈值电压

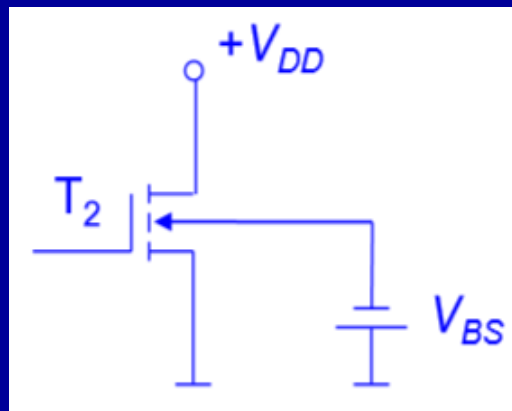
## 6. 衬底偏置效应(衬偏效应):

(3)  $V_T(V_{BS})$

$$V_{Tn}(V_{BS}) \equiv V_{GS}(V_{BS}) = \phi_{ms} - \frac{Q_{ss}}{C_{ox}} + \frac{qN_A d_{max}(V_{BS})}{C_{ox}} + (2V_B + |V_{BS}|) - |V_{BS}|$$

① 阈值电压是指使半导体表面发生强反型时的栅压  $V_{GS}$ ，理论上表面势  $V_s$  的分析应该选取源为参考点，但是实际上选取衬底体内电势为参考点，这是因为没有衬偏效应时，源和衬底体内的电位都是零。

② 考虑衬偏效应时，分析表面势应选取源为参考点，即  $V_{source} = 0$ ，以衬底为参考点时，表面势为  $V_s(V_{BS}) = 2V_B + |V_{BS}|$ ，衬底与源电势差为  $V_{sub-source} = V_{BS} < 0$ ，那么表面相对于源的电势为  $V_s(V_{BS}) + V_{sub-source} = 2V_B + |V_{BS}| - |V_{BS}|$ 。





# MOSFET的阈值电压

## 6. 衬底偏置效应(衬偏效应):

(3)  $V_T(V_{BS})$

$$V_{Tn}(V_{BS}) \equiv V_{GS}(V_{BS}) = \phi_{ms} - \frac{Q_{ss}}{C_{ox}} + \frac{qN_A d_{max}(V_{BS})}{C_{ox}} + 2V_B$$

$$d_{max}(V_{BS}) = \sqrt{\frac{2\epsilon_{rs}\epsilon_0(V_S)}{qN_A}} = \sqrt{\frac{2\epsilon_{rs}\epsilon_0(2V_B + |V_{BS}|)}{qN_A}}$$

$$\Delta V_{Tn} = V_{Tn}(V_{BS}) - V_{Tn}(V_{BS} = 0) = \frac{\sqrt{2\epsilon_{rs}\epsilon_0 q N_A}}{C_{ox}} (\sqrt{2V_B + |V_{BS}|} - \sqrt{2V_B})$$

$$\Delta V_{Tp} = V_{Tp}(V_{BS}) - V_{Tp}(V_{BS} = 0) = -\frac{\sqrt{2\epsilon_{rs}\epsilon_0 q N_D}}{C_{ox}} (\sqrt{2V_B + |V_{BS}|} - \sqrt{2V_B})$$

$$\Delta V_{Tn} = \frac{\sqrt{2\epsilon_{rs}\epsilon_0 q N_A}}{C_{ox}} (\sqrt{2V_B + |V_{BS}|} - \sqrt{2V_B})$$

$$\gamma = \frac{\sqrt{2\epsilon_{rs}\epsilon_0 q N_A}}{C_{ox}}$$

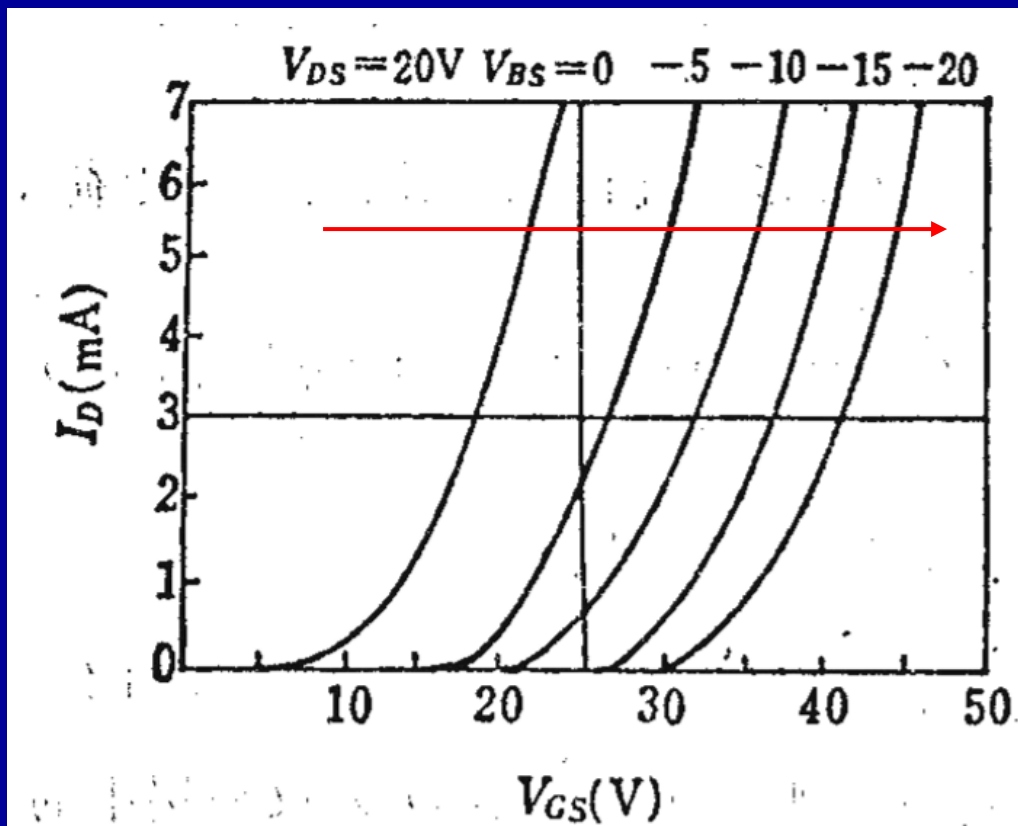
一般将  $\gamma$  称为衬偏系数

# MOSFET的阈值电压

## 6. 衬底偏置效应(衬偏效应):

(3)  $V_T(V_{BS})$

衬偏效应下的转移特性



衬偏电压增大,  
阈值电压增加