

## 第九章作业

- 9.4 设计一个计算  $F = (A + B)(C + D)$  的静态 CMOS 电路使它具有最小的延时。每个输入晶体管的最大宽度不超过  $30\lambda$ ，输出必须驱动相当于宽度为  $500\lambda$  的晶体管的负载。选择晶体管的尺寸使它的延时最小并以  $\tau$  为单位估算这个延时。

电气努力  $H = 500 / 30 = 50 / 3$       分支努力  $B = 1$

$$(1) \quad F = (A + B)(C + D) = ((A + B)' + (C + D)')'$$

$$G = \frac{5}{3} \times \frac{5}{3} = \frac{25}{9} \quad P = 2 + 2 = 4 \quad F = GBH = \frac{1250}{27}$$

$$D = NF^{1/N} + P = 17.6\tau$$

$$(2) \quad F = (A + B)(C + D) = (((A + B)(C + D))')'$$

$$G = \frac{6}{3} \times 1 = 2 \quad P = \frac{12}{3} + 1 = 5 \quad F = GBH = \frac{100}{3}$$

$$D = NF^{1/N} + P = 16.5\tau < 17.6\tau$$

$$f = F^{1/N} = 5.77 \quad C_{in} = \frac{500\lambda \times 1}{5.77} = 87$$

- 9.6 在或-与非(OR-AND-INVERT)门中每个或(OR)输入端的逻辑努力是多少？每个与(AND)输入端的逻辑努力是多少？如果只计算在输出端上的扩散电容该门的寄生延时是多少？



OR 输入端  $G = (4+2) / 3 = 2$ ；AND 输入端  $G = 4 / 3$

寄生延时  $P = 2 \times 4 / 3 = 8 / 3$

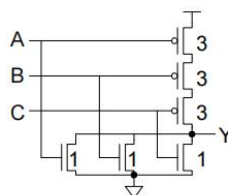
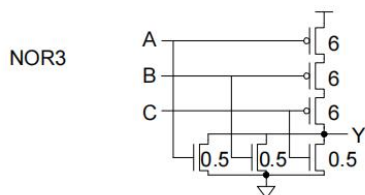
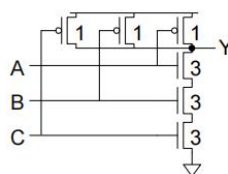
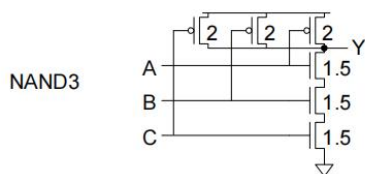
- 9.10 画出高偏斜和低偏斜三输入与非门和或非门的电路图。每个门在它最关键跳变时的逻辑努力是多少？

NAND3: HI-skew:  $g_u = 7/6$ ; LO-skew:  $g_d = 4/3$

NOR3: HI-skew:  $g_u = 13/6$ ; LO-skew:  $g_d = 4/3$

HI SKEW

LO SKEW



- 9.13 试证明使一个逻辑门平均延时最小的 P/N 比值为这个门具有相等的上升和下降延时时的 P/N 比值的平方根。

假设具有相等上升和下降延时  $g_u = g_d$  的 P/N 比值为  $k$

当 PMOS 宽度为  $p$ , NMOS 宽度为 1,  $P/N = p$  时

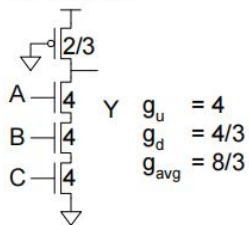
$$g_u = \frac{1+p}{1+k} \cdot \frac{1}{p/k} = \frac{k(1+p)}{p(1+k)} \quad g_d = \frac{1+p}{1+k}$$

$$g_{avg} = \frac{g_u + g_d}{2} = \frac{1}{2} \left( \frac{k(1+p)}{p(1+k)} + \frac{1+p}{1+k} \right) = \frac{1}{2(1+k)} \left( 1 + p + \frac{k}{p} + k \right)$$

当  $p = \sqrt{k}$  时平均延时最小。

- 9.18 画出伪 nMOS 三输入与非门和或非门的电路图。标出它们晶体管的宽度。每个门的上升、下降和平均逻辑努力是多少？

NAND3



NOR3

