

CMOS 反相器器制造

实验简介

20 世纪 70 年代计算机与电子表开始兴起, NMOS 工艺的处理器件渐渐无法满足体积缩小的电子产品, 低功耗的 CMOS 制造工艺开始出现。CMOS 称为互补式金属氧化物半导体 (complementary metal-oxide-semiconductor), 是一种集成电路的设计工艺, 可以在硅质晶圆模板上制出 NMOS(n-type MOSFET)和 PMOS(p-type MOSFET)的基本元件, 由于 NMOS 与 PMOS 在物理特性上为互补性, 因此被称为 CMOS。仿真实验中模拟制作一个包含 NMOS 与 PMOS 的 CMOS 反相器, 围绕其制造过程, 在模拟工厂按照实际生产中的 151 余步工艺流程, 手动操作将晶圆制作成 CMOS 的一整套流程。

实验原理

一个先进的 CMOS 集成电路芯片制造需要 30 多个光刻版和数百道工艺过程。每一个工艺步骤都是相关的。对于 CMOS 工艺过程, 可以分为前端(FEOL)、中端(MEOL)和后端(BEOL)。FEOL 包括有源区(AA)形成、阱区注入、栅图形化和形成晶体管源/漏电极。MEOL 包括自对准金属硅化物、接触孔图形化和刻蚀、用于形成器件和金属导线之间接触的钨沉积和 CMP。BEOL 形成互连和钝化。对于传统的铝互连, 主要包括金属叠层 (Ti/TiN/Al-Cu/TiN)PVD 和刻蚀, 电介质平坦化, 以及通孔图形化

和刻蚀。对于铜互连，BEOL 主要包括通孔图形化和刻蚀、沟槽图形化和刻蚀、阻隔层(Ta 或 TaN)和铜籽晶 PVD、铜电镀和退火，以及金属(Cu/Ta)CMP。

下图显示了一个 CMOS 反相器电路。从图中可以看出它由两个晶体管组成，一个为 NMOS，另一个为 PMOS。当输入为高电压或逻辑 1 时，NMOS 就会被开启而 PMOS 会被关闭。因为输出电压为接地电压 V_{ss} ，所以输出电压 V_{out} 为低电压或逻辑 0。反之，若输入为低电压或逻辑 0 时，NMOS 就会被关闭而 PMOS 被开启。输出电压为高电压 V_{dd} ，所以输出电压 V_{out} 为高电压或逻辑 1。由于 CMOS 会反转输入信号，所以被称为反相器。这个设计是逻辑电路中使用的的基本逻辑单元之一。

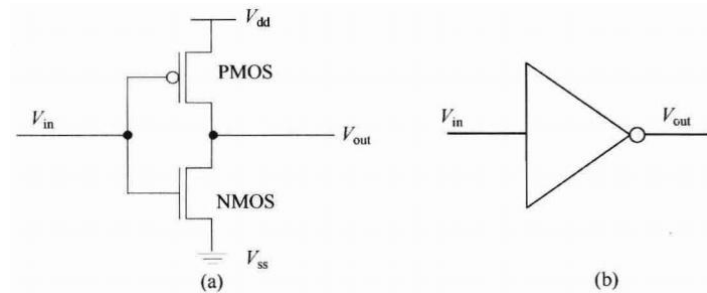


图 11-0 (a) CMOS 反相器电路图 (b) CMOS 逻辑符号

1.有源区工艺

有源区工艺是指通过刻蚀去掉非有源区的区域的硅衬底，而保留器件的有源区。

1) 生长前置氧化层：利用炉管热氧化生长一层前置二氧化硅薄膜，它是干氧化法。利用高纯度的氧气在 900°C 左右的温度下使硅氧化，形成厚度约 $100\sim 200\text{\AA}$ 的二氧化硅薄膜。生长

前置氧化层的目的是缓解后续步骤淀积 Si_3N_4 层对衬底的应力，因为衬底硅的晶格常数与 Si_3N_4 的晶格常数不同，直接淀积 Si_3N_4 会形成位错，较厚的氧化层可以有效地减小 Si_3N_4 层对衬底的应力。如果太薄，会托不住 Si_3N_4 ，如果 Si_3N_4 层的应力超过衬底硅的屈服强度就会在衬底硅中产生位错。

2) 淀积 Si_3N_4 层：利用 LPCVD 淀积一层厚度约 $1600\sim 1700\text{\AA}$ 的 Si_3N_4 层，利用 SiH_4 和 NH_3 在 800°C 的温度下发生化学反应淀积 Si_3N_4 。它是 AA 刻蚀的硬掩膜版和后续 STI CMP 的停止层，也是场区离子注入的阻挡层。

3) 淀积 SiON 层：利用 PECVD 淀积一层厚度约 $200\sim 300\text{\AA}$ 的 SiON 层，利用 SiH_4 、 N_2O 和 He 在 400°C 的温度下发生化学反应形成 SiON 淀积。SiON 层作为光刻的底部抗反射层，可以降低驻波效应的影响，SiON 淀积后的效果如图 11-1 所示。



图 11-1 SiON 淀积后的效果

2.STI 隔离工艺

STI 隔离工艺是指利用 USG 填充沟槽，在器件有源区之间嵌入很厚的氧化物，从而形成器件之间的隔离。利用 STI 隔离工艺可以改善寄生场效应晶体管和闩锁效应，STI 隔离工艺如图 11-2 所示。

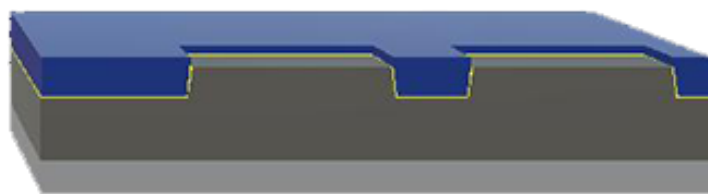


图 11-2 STI 隔离工艺

3.双阱工艺

双阱工艺是指制作 N 阱与 P 阱的工艺，NMOS 在 P 阱中制作，PMOS 在 N 阱中制作。它的目的是形成 PN 结隔离，使器件之间形成电性隔离，优化晶体管的电学特性。

N 阱由三次离子注入形成：第一道离子注入磷，离子注入得比较深，能量很高，用以调节阱的浓度，降低阱的电阻，可以有效防止闩锁效应；第二道离子注入磷，离子注入得比较浅，能量比较低，作为沟道浓度调节，加大 LDD 以下局部阱的浓度，使器件工作时该位置的耗尽层更窄，防止器件的源漏因为耗尽区相接而发生穿通现象；第三道离子注入砷，离子注入表面，能量很低，调节 PMOS 阈值电压 V_t 。

P 阱三次离子注入：第一道离子注入硼，离子注入得比较深，能量很高，用以调节阱的浓度，降低阱的电阻，可以有效防止闩锁效应；第二道离子注入硼，离子注入得比较浅，能量比较低，作为沟道浓度调节，加大 LDD 以下局部阱的浓度，使器件工作时该位置的耗尽层更窄，防止器件源漏因为耗尽区相接而发生穿通现象；第三道离子注入 BF_2 ，离子注入表面，能量很低，调节 NMOS 阈值电压 V_t ，阱注入示意图如图 11-3 所示。

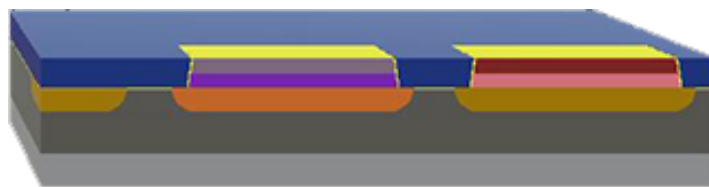


图 11-3 阱注入示意图

4.栅氧化层工艺

通过热氧化形成高质量的栅氧化层，干氧生长的氧化物结构、质地和均匀性均比湿氧生长的氧化物好，但用湿氧形成的氧化物生长速度快。有时两者会配合使用。

5.多晶硅工艺

多晶硅栅工艺是指形成 MOS 器件的多晶硅栅极，栅极的作用是控制器件的关闭或者导通。淀积的多晶硅是未掺杂的，它是通过后续的源漏离子注入进行掺杂，PMOS 的栅是 P 型掺杂,NMOS 的栅是 N 型掺杂。

6.低掺杂漏极(LDD)离子注入工艺

低掺杂漏离子注入工艺是指在栅极的边界下方与源漏之间形成低掺杂的扩展区，该扩展区在源漏与沟道之间形成杂质浓度梯度。通过后学的侧壁间隔层与栅极分开，从而可以降低源漏极偏压引起的电场垂直分量，并减小可穿通的电子数量而抑制热电子效应。

7.侧墙工艺

保护 LDD 结构,防止重掺杂的源漏离子注入到 LDD 结构的扩展区。

8.源漏离子注入工艺

源漏离子注入工艺是指形成器件的有源区重掺杂的工艺，降低器件有源区的串联电阻，提高器件的速度。同时源漏离子注入也会形成 N 型和 P 型阱接触的有源区，或者 N 型 P 型有源区电阻，以及 N 型和 P 型多晶硅电阻。

9.硅氧化物

去除氧化物的硅晶圆用 PVD 淀积金属 Co 或者 Ti 等金属，退火后形成金属硅化物，以增强导电特性，降低接触电阻。

10.接触孔工艺

接触孔工艺是指在介质层上形成很多细小的垂直通孔，它是器件与第一层金属层的连接通道。通孔的填充材料是金属钨(W)，接触孔材料不能用 Cu，因为 Cu 很容易在氧化硅和衬底硅中扩散，Cu 扩散会造成器件短路。因为淀积钨的工艺是金属 CVD，金属 CVD 具有优良的台阶覆盖率以及对高深宽比接触通孔无间隙的填充。

11.局部互连

局部互连是指相邻晶体管之间的互连，它一般通过多晶硅或多晶硅化物叠层形成。金属硅化物常用于改善局部连线的电阻率并降低接触电阻，对于时钟频率不高的器件，如 DRAM，钨铝合金是金属化工艺中最广泛使用的合金材料，而且未掺杂硅玻璃(USG)是最常用的电解质。对于频率高于 1GHz 的 CMOS 逻辑器件，互连技术正从传统的钨和铝铜合金互连技术过渡到铜互连技术。

12.钝化

互连金属层形成后，需要沉积钝化层保护集成电路芯片，以避免直接与湿气和其他污染物接触，如钠离子。

实验内容

1.了解 CMOS 制造工艺流程

2.操作仪器设备

完成衬底、阱注入、栅氧、LDD、源漏注入、互连等工艺环节，将晶圆加工制作成 CMOS 反相器。

3.设置工艺参数

学习不同工艺过程中晶圆的变化。

4.观察每个工艺步骤

学习工艺涉及的仪器、原理、目的等。

实验仪器

CMOS 制造所需设备种类繁多，根据不同的工艺会用到不同的设备，下面介绍部分关键设备。

CMOS 工艺组成包括如下工艺设备：

1.扩散炉

- 1) 对半导体进行掺杂；
- 2) 利用硅的氧化作用使硅片表面在高温下与氧化剂发生反应，生成一层二氧化硅膜；

2.离子注入机

将具有很高能量的杂质离子(B、P、As)射入衬底晶片(俗称靶)之中，并通过逐点扫描完成对整块晶片的注入。掺杂深度由注入杂质离子的能量和质量决定，掺杂浓度由注入杂质离子的数目(剂量)决定。杂质通过质量分析器单一地分选出来，整个掺杂过程都在高真空环境中进行，注入物特别纯净，掺杂均匀性好，是一种低温工艺，温度一般小于 600℃。

3.快速退火炉

快速加热退火：以 W 灯照射使硅表面瞬间加热从而实现退火，退火时间以分秒计算。

4.氧化炉

主要作用在硅衬底表面形成氧化硅薄膜。

5.CVD 反应炉

将携带扩散反应物的气体流过衬底(或其他介质)表面。当气体流过衬底表面时，电阻加热提供的能量引起气体中反应物的化学反应，在反应中和反应后形成薄膜，同时排除化学反应的副产品。携带扩散反应物的气体称为携载气体。

6.溅射镀膜机

溅射镀膜就是在真空中利用荷能粒子轰击靶表面，使被轰击出的粒子沉积在基片上的技术。通常，利用低压惰性气体辉光放电来产生入射离子。阴极靶由镀膜材料制成，基片作为阳极，真空室中通入 0.1~10Pa 的氩气或其它惰性气体，在阴极(靶)1~

3KV 直流负高压或 13.56MHz 的射频电压作用下产生辉光放电。电离出的氩离子轰击靶表面，使得靶原子溅出并沉积在基片上，形成薄膜。

7.刻蚀机

利用化学或者物理方法有选择地从硅片表面去除不需要的材料，刻蚀的基本目标是在涂胶的硅片上正确地复制掩膜版图形。

8.CMP 抛光机

利用硅片和一个抛光头之间的相对运动来平坦化硅片表面，在硅片和抛光头之间有磨料(发生化学反应)，并同时施加压力(机械研磨)。

9.光刻机

通过光成像系统和光刻胶，将掩膜版上的图形进行转移，在衬底上形成亚微米级的图形。在微电子方面，图形化对于集成电路中的 p-n 结、栅、二极管、电容器等都是必须的。在微系统方面，光刻主要用来作空腔刻蚀、表面工艺中牺牲层薄膜的淀积和刻蚀、传感器和致动器初级电信号处理电路的图形化处理。

10.测试设备

测量设备主要是探针台，由主机工作台、承片台、探针卡以及探边器、打点器、整机控制及驱动系统等组成。测试时通过探针将仪器与晶圆上的芯片连接，快速测试芯片的电气性能，筛选出合格品，送入封装流程。

实验指导

1.选择实验内容

鼠标点击相关实验内容，进入到该实验操作设备前，实验选择界面如图 11-4 所示。



图 11-4 实验选择界面

2. 认知学习

查看 IC 制造流程框架；了解晶圆、晶圆片与芯片的区别；学习 0.18 μm CMOS 工艺技術流程以及 CMOS 电路图、版图和立体结构，CMOS 立体结构如图 11-5 所示。



图 11-5 CMOS 立体结构

3.CMOS 工艺

CMOS 制造由前段工艺与后段工艺组成, 实验中操作者依次

点击各个工艺的每个步骤依次进行实验，也可从任意工艺的任意步骤进行实验，CMOS 工艺步骤如图 11-6 所示。



图 11-6 CMOS 工艺步骤

4.衬底准备

选择满足实验使用的硅片，涉及硅片的晶向、大小、类

型,CMOS 衬底选择如图 11-7 所示。

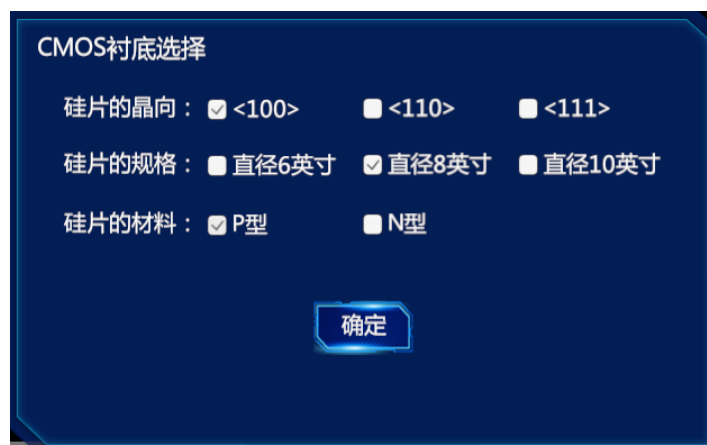


图 11-7 CMOS 衬底选择

5.有源区工艺

有源区工艺主要包括：打标、擦片、清洗、氧化、淀积、光刻显影、刻蚀、检查等步骤。

打标：根据实验中高亮提示操作打标机，激光在晶圆底部凹口附近刻出晶圆的编码，打标设备如图 11-8 所示。



图 11-8 打标设备

擦片：根据实验提示操作擦片机，去除激光刻号时产生的尘埃和颗粒，擦片机如图 11-9 所示。



图 11-9 擦片机

氧化淀积：干氧生成前置氧化层，淀积 Si_3N_4 、 SiON ，氧化效果如图 11-10 所示。

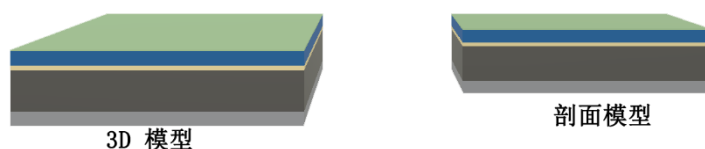


图 11-10 氧化效果

光刻显影：将掩膜版上的图案转移到晶圆上，光刻显影效果如图 11-11 所示。

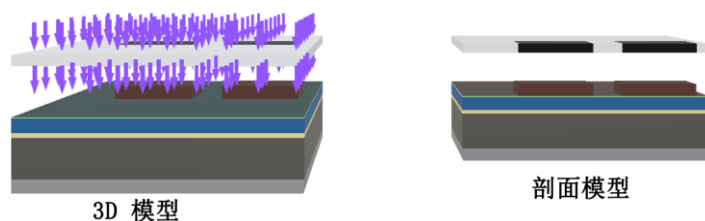


图 11-11 光刻显影效果

线宽测量：按实验提示操作 CD 线宽机，检查光刻显影后关键尺寸，测量线宽设备如图 11-12 所示。

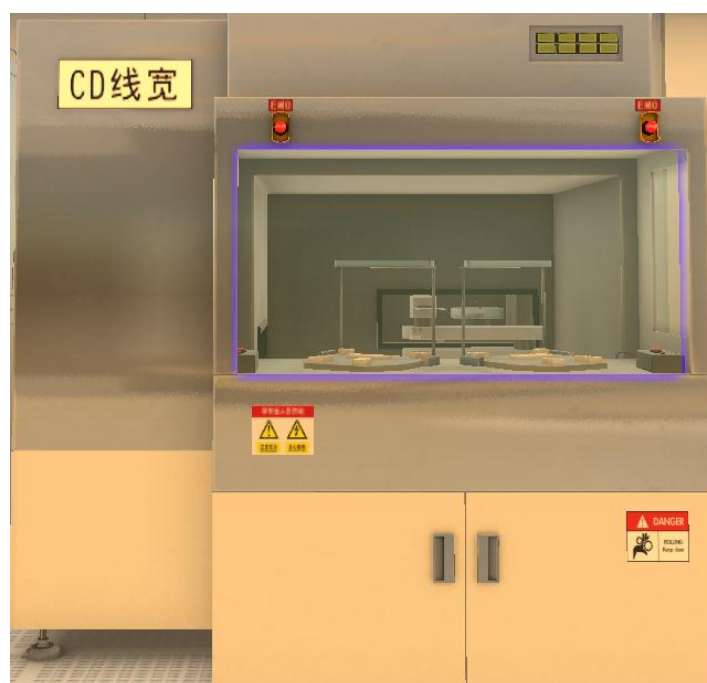


图 11-12 测量线宽设备

干法刻蚀：去除没有被光刻胶覆盖的部分，停止在前置氧化层，干法刻蚀效果如图 11-13 所示。

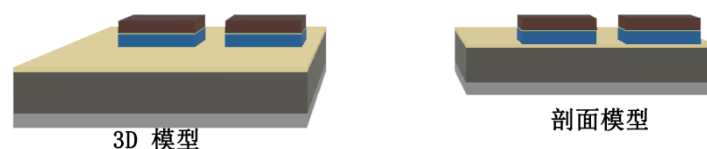


图 11-13 干法刻蚀效果

湿法刻蚀：去胶后湿法刻蚀，去除没有被 Si_3N_4 覆盖的氧化层与外延层，致使 Si_3N_4 覆盖的部分突出，在后续工艺中这部分形成阱区，湿法刻蚀效果如图 11-14 所示。

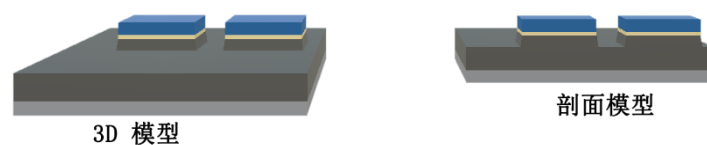


图 11-14 湿法刻蚀效果

缺陷检测：根据实验提示操作仪器，检查缺陷，缺陷检查设备如图 11-15 所示。



图 11-15 缺陷检测设备

6.STI 隔离工艺

利用氧化硅填充沟槽，在器件有源区之间嵌入很厚的氧化物，从而形成器件之间的隔离。利用 STI 隔离工艺可以改善寄生场效应晶体管 and 闩锁效应。

工艺步骤：管前清洗、Liner 氧化、Liner 退火、隔离槽填充淀积、擦片、增密、STI CMP、SiN 全剥、湿法腐蚀清洗, STI 隔离工艺步骤模型如图 11-16 所示。

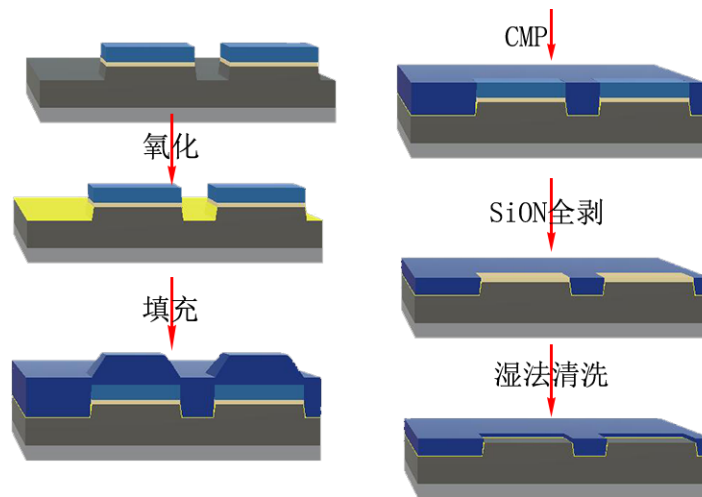


图 11-16 STI 隔离工艺步骤模型

7.双阱工艺

形成 N 阱与 P 阱的工艺，NMOS 制造在 P 阱里，PMOS 制造在 N 阱里，目的是形成 PN 结隔离，使器件之间形成电性隔离，优化晶体管的电学特性。

工艺步骤：生长牺牲氧化层、N 阱光刻显影、N 阱离子注入 1、N 阱离子注入 2、N 阱离子注入 3、干法去胶、湿法去胶清洗、P 阱光刻显影、P 阱离子注入 1、P 阱离子注入 2、P 阱离子注入 3、干法去胶、湿法去胶清洗、退火，双阱工艺步骤模型如图 11-17 所示。

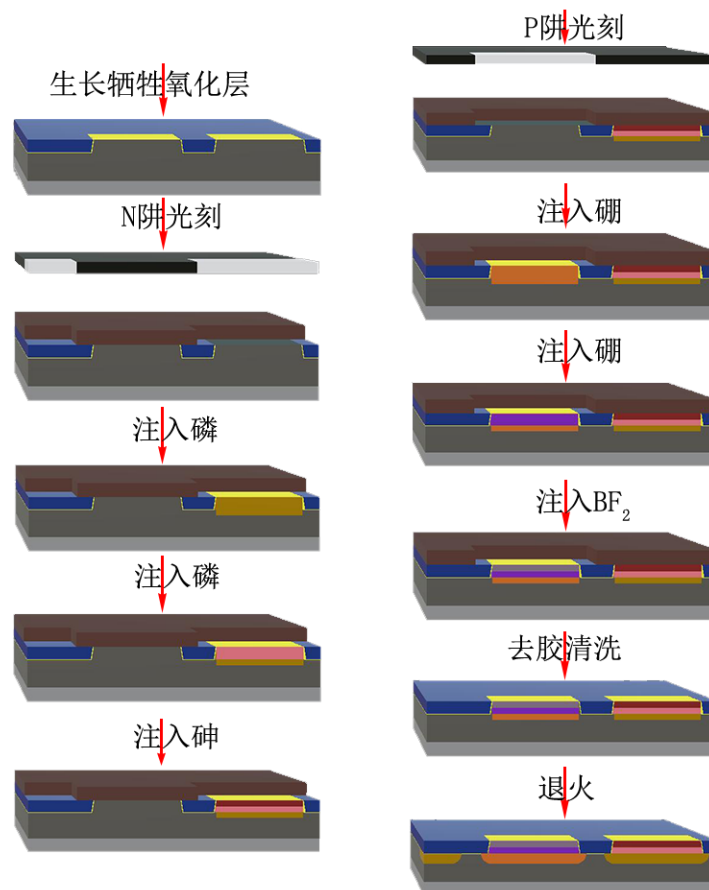


图 11-17 双阱工艺步骤模型

8. 栅氧、多晶硅栅工艺

通过干氧氧化形成栅氧化层，在栅氧化层上淀积多晶硅，形成多晶硅栅极。栅极的作用是控制器件的关闭或者导通。

工艺步骤：湿法漂洗清洗、栅氧化、Poly 淀积、SiON 淀积、擦片、栅光刻、栅刻蚀、去光刻胶清洗、去 SiON 湿法漂洗，栅氧、多晶硅工艺步骤模型如图 11-18 所示。

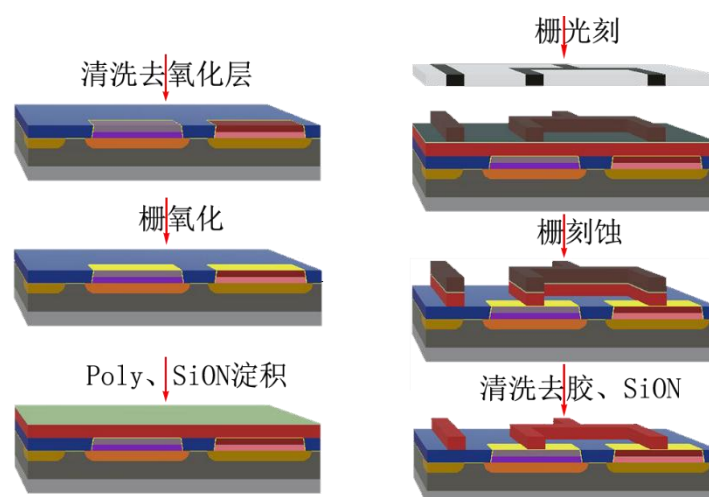


图 11-18 栅氧、多晶硅工艺步骤模型

9.侧墙工艺

形成环绕多晶硅的氧化介质层，从而保护 LDD 结构，防止重掺杂的源漏离子注入到 LDD 结构的扩展区。

工艺步骤：SPA-TEOS1 淀积、SPA-SiN 淀积、SPA-TEOS2 淀积、SPA 腐蚀、湿法去胶清洗,侧墙工艺步骤模型如图 11-19 所示。

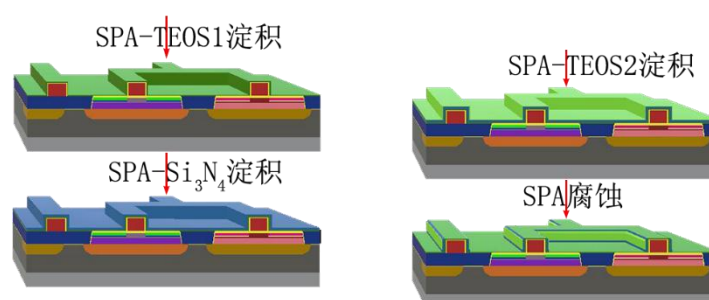


图 11-19 侧墙工艺步骤模型

10.源漏离子注入

形成源漏有源区重掺杂的工艺。

工艺步骤：NSD 光刻、NSD 离子注入 1、NSD 离子注入 2、去除光刻胶、n⁺源漏退火、PSD 光刻、PSD 离子注入 1、PSD 离

子注入 2、去除光刻胶、 P^+ 源漏退火，源漏离子注入步骤模型如图 11-20 所示。

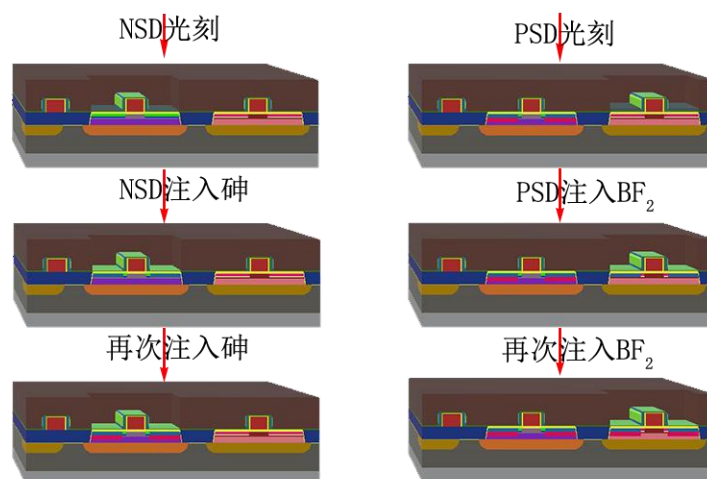


图 11-20 源漏离子注入步骤模型

11.ILD 工艺

ILD 工艺是指在器件与第一层金属之间形成的介质材料，提供电性隔离。ILD 介质层可以有效地隔离金属互连线与器件，降低金属与衬底之间的寄生电容，改善金属横跨不同区域而形成的场效应晶体管。

工艺步骤：湿法清洗、Co/TiN 淀积、Co/TiN RTA 退火、湿法清洗刻蚀、RTA、ILD SiON 淀积、擦片、ILD BPSG 淀积、ILD 回流增密、ILD TEOS 淀积、CMP、CT SiON 淀积, ILD 工艺步骤模型如图 11-21 所示。

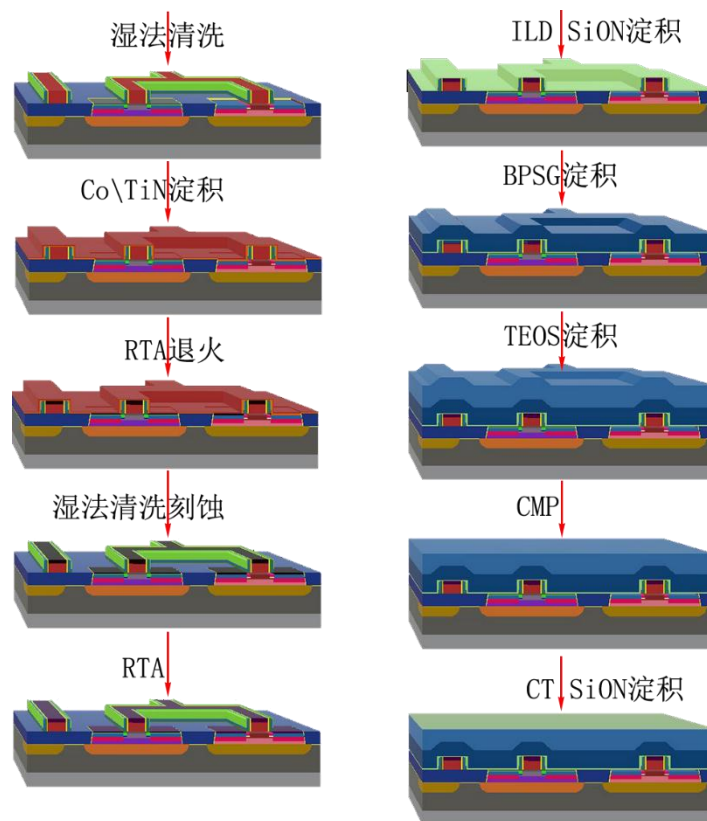


图 11-21 ILD 工艺步骤模型

12.接触孔 CT 工艺

接触孔工艺是指在 ILD 介质层上形成的一些垂直通孔，它是器件与第一层金属层的连接通道。通孔的填充材料是金属钨(W)，接触孔材料不能用铜，因为 Cu 很容易在氧化硅和衬底硅中扩散，Cu 扩散会造成器件短路。因为淀积钨的工艺是金属 CVD，金属 CVD 具有优良的台阶覆盖以及对高深宽比通孔无间隙地填充能力。

工艺步骤：擦片、CT 光刻、CT 腐蚀、去除光刻胶、CT Barrier 淀积、CT RTA、CT Tungsten 淀积、Tungsten CMP、清洗，接触孔 CT 工艺步骤模型如图 11-22 所示。

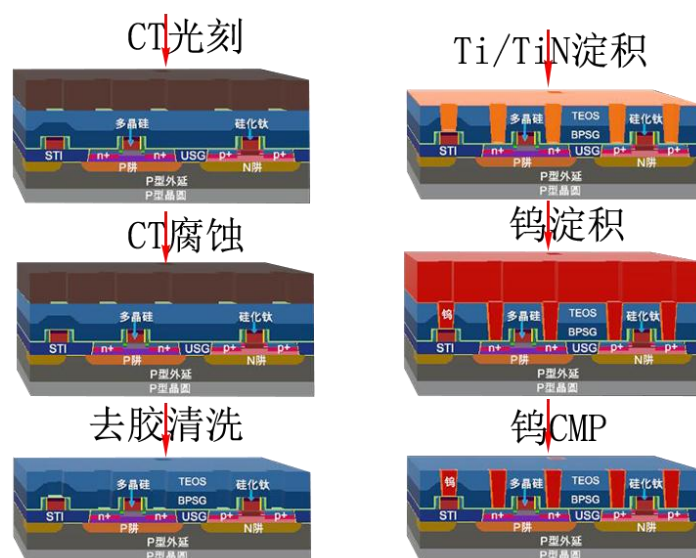


图 11-22 接触孔 CT 工艺步骤模型

13.金属层 1 工艺

金属层 1 工艺是指形成第一层金属互连线，第一层金属互连线的目的是实现把不同区域的接触孔连起来，以及把不同区域的通孔 1 连起来。主要过程为先淀积金属层，然后刻蚀出金属线。

工艺步骤：M1 淀积(Ti/TiN)、擦片、M1 ARC 淀积、M1 SiON 淀积、擦片、M1 光刻、M1 腐蚀、湿法去胶、擦片，金属层 1 工艺步骤模型如图 11-23 所示。

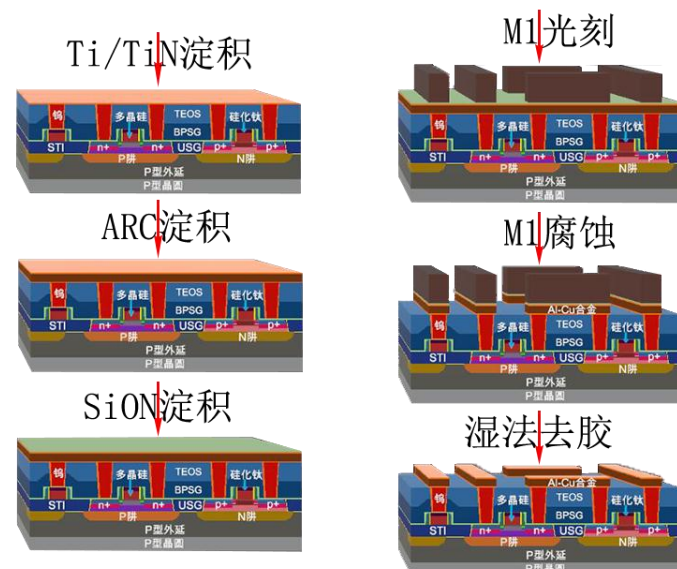


图 11-23 金属层 1 工艺步骤模型

14.通孔 1 工艺

通孔 1 工艺是指形成第一层金属和第二层金属的通孔连接互连线。金属层 2 工艺是指形成第二层金属互连线，第二层金属互连线的目的是实现把不同区域的通孔 1 连起来，以及把不同区域的通孔 2 连起来。

工艺步骤：IMD1 SRO 淀积、IMD1 FSG 淀积、IMD1 FSG 淀积、IMD1 CMP、IMD1 PEOX 淀积、IMD1 SiON 淀积、擦片、VIA1 光刻、VIA1 腐蚀、去光刻胶清洗、VIA1 Barrier 淀积、VIA1 Tungsten 淀积、VIA1 Tungsten CMP, 通孔 1 工艺步骤模型如图 11-24 所示。

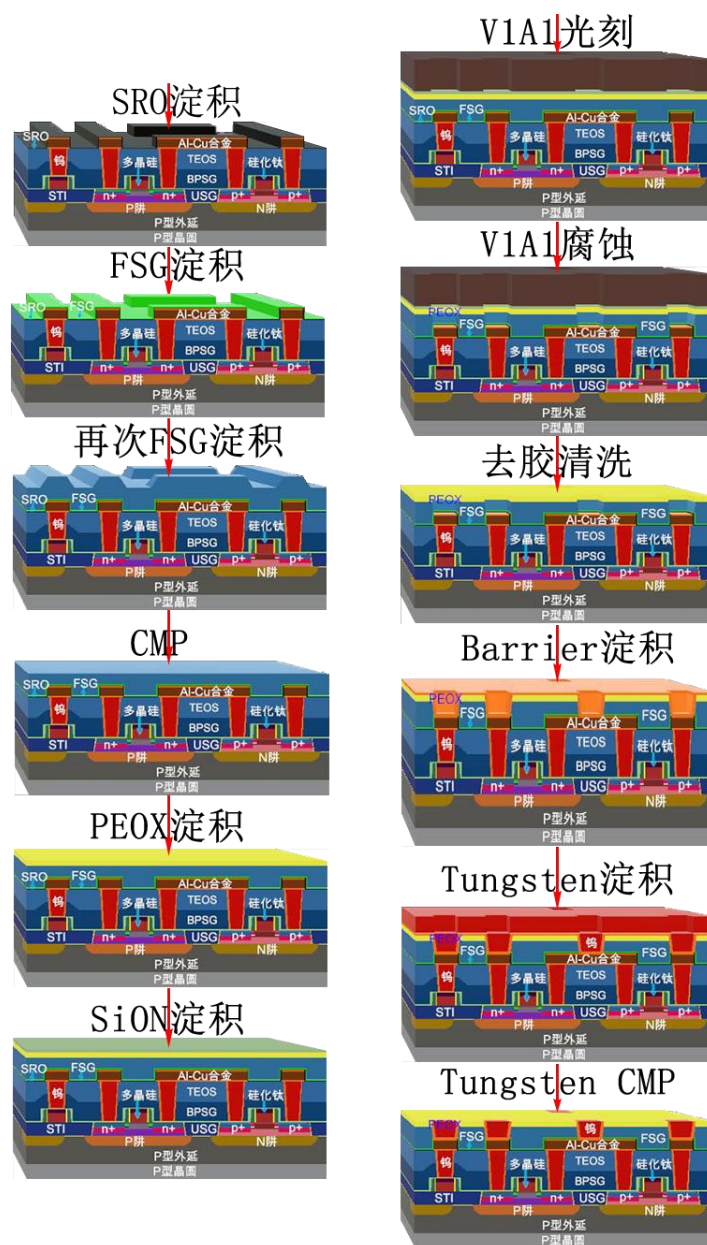


图 11-24 通孔 1 工艺步骤模型

15.金属层 2 工艺

金属层 2 工艺与金属层 1 工艺相同，第二层金属互连线的目的是实现把不同区域的通孔 1 连起来，以及把不同区域的通孔 2 连起来。主要过程为先淀积金属层，然后刻蚀出金属线。

16.顶层通孔工艺

顶层通孔工艺与前面通孔工艺相同，是指形成第 TOP 层金

属和下一层金属的通孔连接互连线。

17.TOP Metal 层

顶层金属层一般使用 Al 工艺,是指形成顶层金属 Al 互连线。因为 Cu 很容易在空气中氧化,形成疏松的氧化铜,而且不会形成保护层防止铜进一步氧化,另外, Cu 是软金属,不能作为绑定的金属,所以必须利用 Al 金属作为顶层金属。

工艺步骤: MT 淀积、MT ARC 淀积、MT SiON 淀积、擦片、MT 光刻、MT 腐蚀、湿法去胶清洗, TOP Metal 层步骤模型如图 11-25 所示。

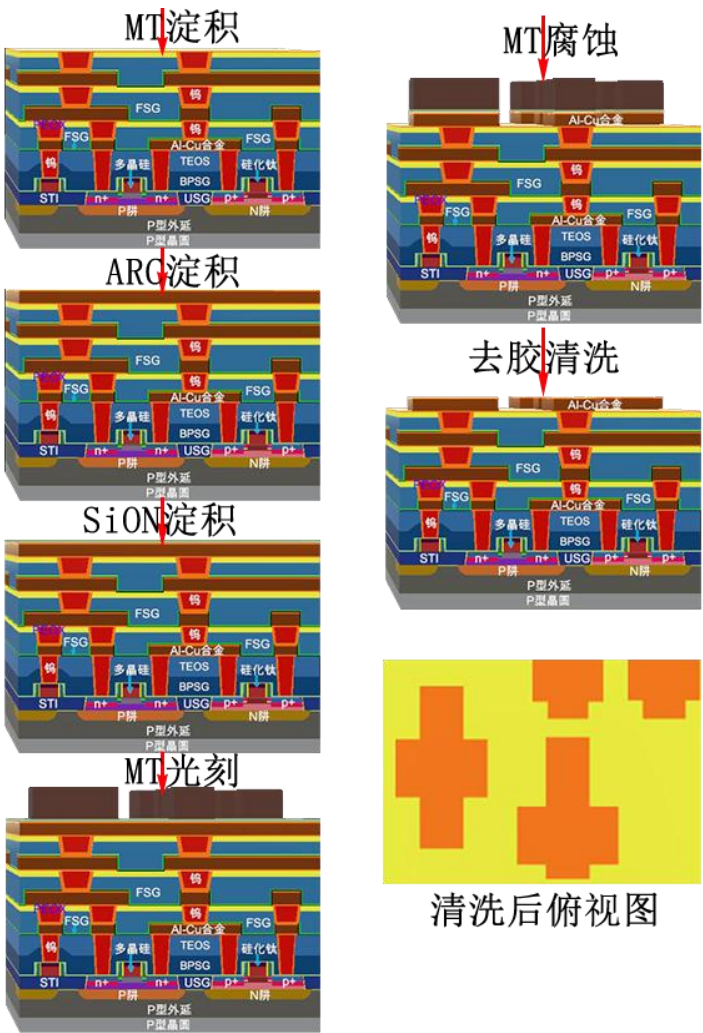


图 11-25 TOP Metal 层步骤模型

18.钝化层工艺

钝化层工艺是指通过淀积 SiO_2 和 Si_3N_4 形成钝化层，钝化层可以有效地阻挡水蒸气 and 可移动离子的扩散，从而保护芯片免受潮、划伤和玷污等影响。

工艺步骤：**PAD 介质淀积**、**PAD SiN 淀积**、**涂胶光刻显影**、**UV 烘烤 PAD 刻蚀**、**去光刻胶清洗**、**合金**、**测试**，钝化层工艺步骤如图 11-26 所示。

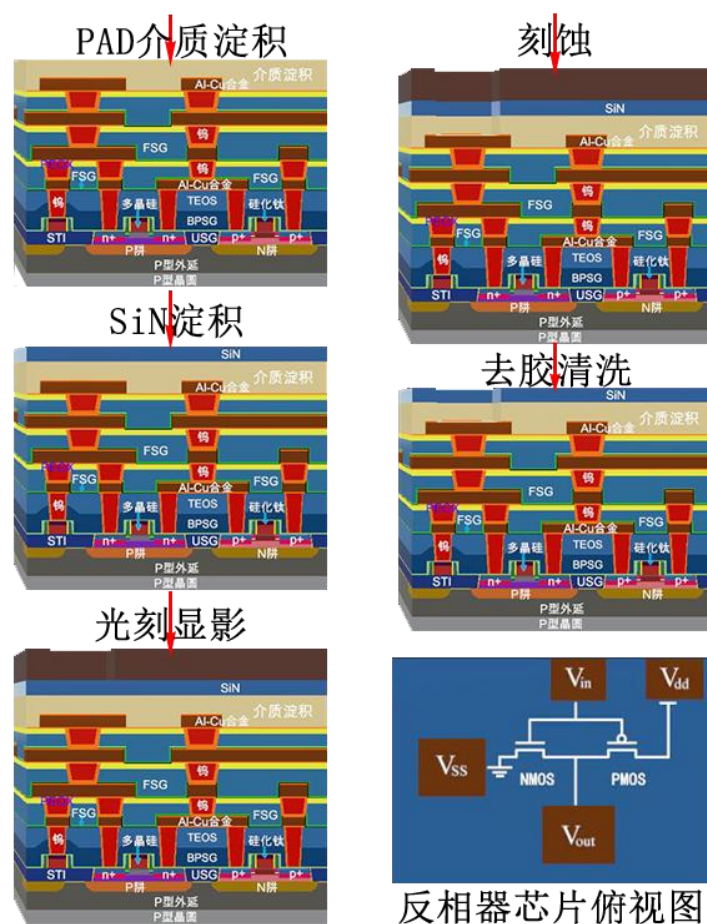


图 11-26 钝化层工艺步骤模型

思考题

1. USG 与 FSG 之间的主要区别是什么？
2. CMOS 芯片的最后钝化工艺使用哪种材料？
3. 列出 CMOS 中使用的各种氮化硅层，并说明它们的作用？
4. 为什么需要多层金属层？

参考资料

1. 《微电子制造科学原理与工程技术》，第二版，Stephen A.Campbell 著；
2. 《芯片制造》，第六版，Peter Van Zant 著；
3. 《硅集成电路芯片工厂设计规范》，GB50809-2012；
4. 《半导体制造技术》，Michael Quirk, Julian Serda 著；
5. 《半导体器件基础》，Robert F.Pierret 著；