

第四章作业（第二部分） 参考答案

4.10 4.12 4.24 [TOC]

4.10

4.10 考虑图 4.39 中两种方式设计的两输入与门。定性判断哪种设计将更快些。计算出达到这一延时的路径努力,延时以及 x 和 y 的输入电容,以此来支持你的判断。

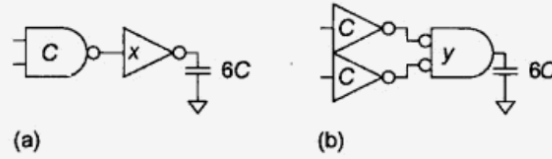


图 4.39 两输入与门

先定性分析: (a) 比 (b) 快, 因为 NAND 相较于 NOR, 寄生延时相同但逻辑努力更小。

(a)

$$H = 6, B = 1, P = 1 + 2 = 3, G = (4/3) \times 1 = 4/3$$

$$F = GBH = 8, f = \sqrt{F} \approx 2.8, D = 2f + P = 8.6, x \approx 6C/f = 2.14C$$

(b)

$$H = 6, B = 1, P = 1 + 2 = 3, G = (5/3) \times 1 = 5/3$$

$$F = GBH = 10, f = \sqrt{F} \approx 3.2, D = 2f + P = 9.3, x \approx 6C \cdot \frac{5/3}{f} = 3.16C$$

4.12

4.12 采用 64 位寄存器, 重新设计 4.5.3 节例子中 32 字寄存器堆的译码器。给出最快译码器的设计并估算出译码器的延时及达到这一延时的晶体管宽度。

$$H = \frac{64 \times 3}{10} = 19.2, B = \frac{32}{2} = 16$$

先忽视逻辑努力, $G \approx 1$:

$$F = GBH = 19.2 \times 16 = 307.2, \text{取 } \rho = 4, N = \log_4 F = 4.13$$

考虑 $N=4$:

NAND3 + INV + NAND2 + INV 结构 (比如) , 则:

$$G = \frac{5}{3} \times 1 \times \frac{4}{3} \times 1 = \frac{20}{9}, F = \frac{20}{9} \times 16 \times 19.2 = 682.67,$$

$$f = F^{1/4} = 5.11, D = 4f + P = 27.44$$

考虑N=5:

INV + NAND3 + INV + NAND2 + INV 结构 (比如, 设计不固定) , 则:

$$G = 1 \times \frac{5}{3} \times 1 \times \frac{4}{3} \times 1 = \frac{20}{9}, F = \frac{20}{9} \times 16 \times 19.2 = 682.67,$$

$$f = F^{1/5} = 3.69, D = 5f + P = 26.45$$

对比, 采用N=5。则各级对应电容 (按上面顺序, 这个设计不固定) :

$$\text{INV } \frac{2.3 \times 1}{3.69} = 0.625,$$

$$\text{NAND3 } \frac{5.1 \times \frac{5}{3}}{3.69} = 2.3,$$

$$\text{INV } \frac{18.8 \times 1}{3.69} = 5.1,$$

$$\text{NAND2 } \frac{52 \times \frac{4}{3}}{3.69} = 18.8,$$

$$\text{INV } \frac{192 \times 1}{3.69} = 52.$$

4.24

4.24 一个输出焊盘上包括一个尺寸逐级加大的反相器链用来驱动(相对)很大的片外电容。如果这个反相器链中第一个反相器的输入电容为 20 fF 而片外负载为 10 pF, 应当用多少个反相器驱动这个负载才能达到最小的延时? 估算出这个延时并用 FO4 反相器延时表示。

$$F = \frac{10pF}{20fF} = 500, N = \log_4 F \approx 4.5$$

这里选择N=4, 因为N=5会让输出反相。

$$D = 4F^{1/4} + 4 \approx 22.9 \approx 4.58d_{FO4}$$