



中国科学技术大学

University of Science and Technology of China

数字集成电路设计

第十二章 阵列子系统

白雪飞

中国科学技术大学微电子学院

- 引言
- 静态RAM
- 动态RAM
- 只读存储器
- 串行存取存储器
- 内容寻址存储器
- 鲁棒存储器设计
- 可编程逻辑阵列



引言

存储阵列 Memory Array

随机存取存储器 Random Access Memory

挥发性存储器 (RAM) Volatile Memory

非挥发性存储器 (ROM) Nonvolatile Memory

串行存取存储器 (SAM) Serial Access Memory

移位寄存器 Shift Register

队列 Queue

内容寻址存储器 (CAM) Content Addressable Memory

静态RAM (SRAM)
Static RAM

动态RAM (DRAM)
Dynamic RAM

串入并出 (SIPO)
Serial In Parallel Out

并入串出 (PISO)
Parallel In Serial Out

先进先出 (FIFO)
First In First Out

后进先出 (LIFO)
Last In First Out

掩模ROM
Mask ROM

可编程ROM (PROM)
Programmable ROM

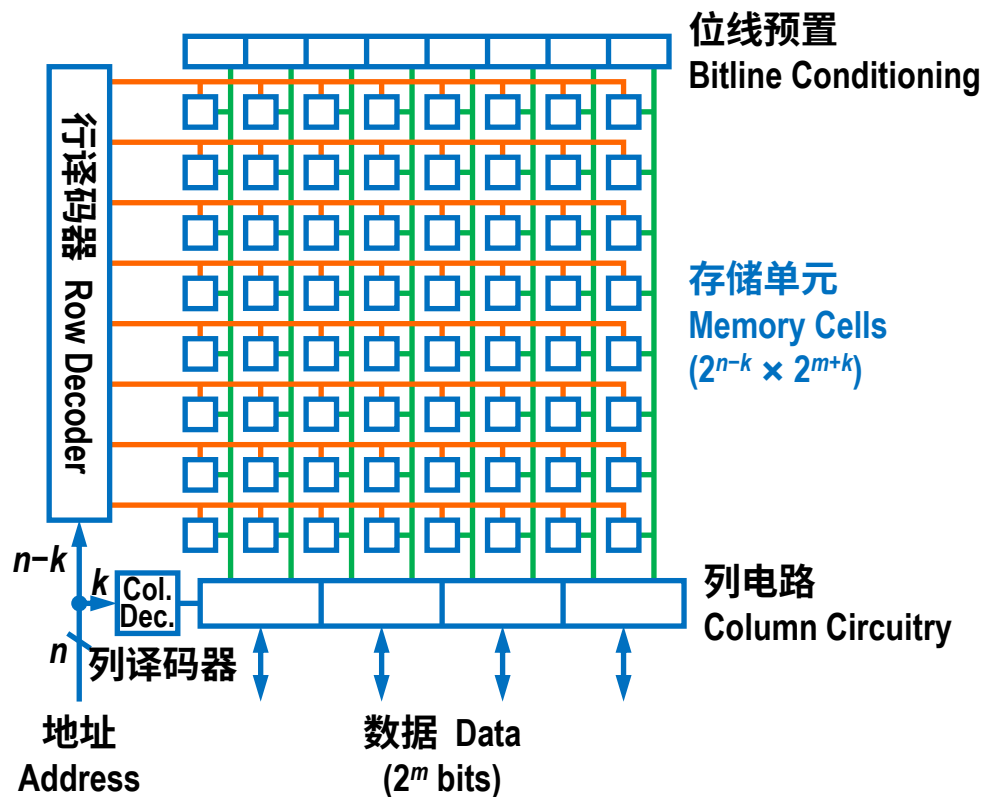
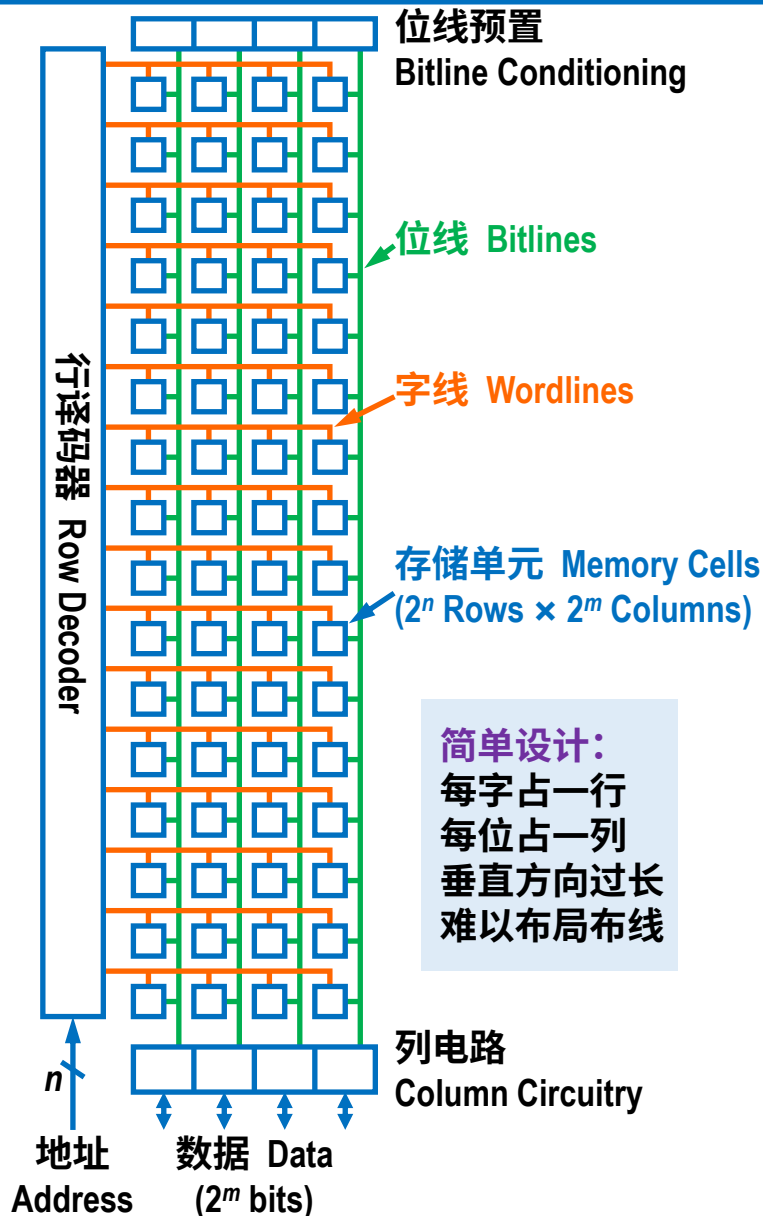
可擦除可编程ROM (EPROM)
Erasable Programmable ROM

电可擦除可编程ROM (EEPROM)
Electrically Erasable Programmable ROM

快闪ROM
Flash ROM

存储阵列分类

存储阵列结构



存储阵列结构

静态RAM

■ SRAM的特点

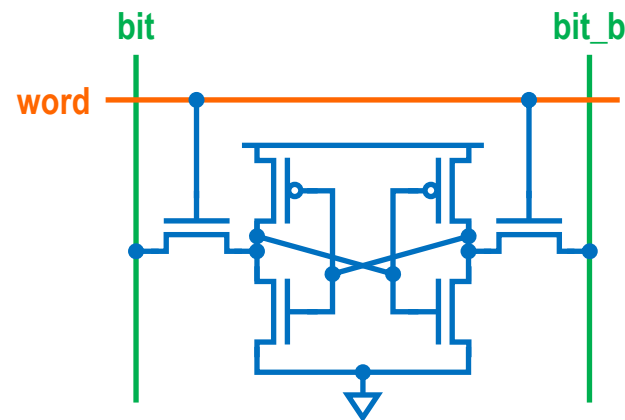
- 比触发器的密度更高
- 与标准CMOS工艺兼容
- 比DRAM速度快且更易于使用

■ SRAM的应用

- 主存储器、高速缓存、寄存器堆、查找表、便签存储器等
- 片上存储器最广泛的应用形式

■ SRAM单元

- 面积较小，连线较短，动态功耗较低
- 需要较复杂的外围电路进行读写
- 适用于大容量存储器



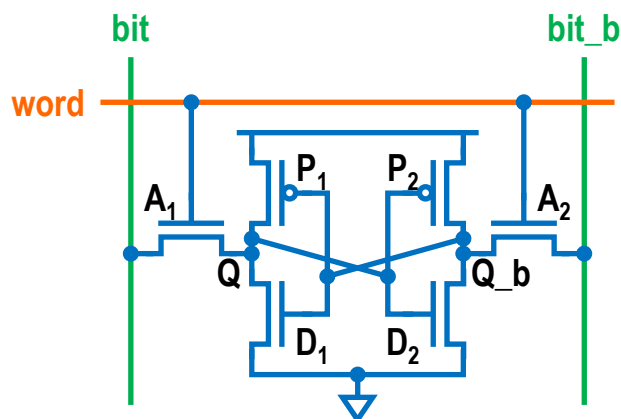
6管(6T)SRAM单元

SRAM单元的读操作



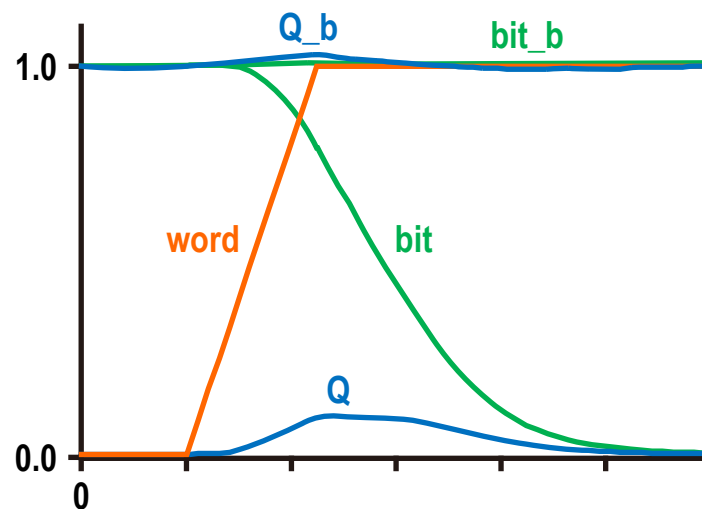
D1, D2: 驱动管 (Driver Transistor)

A1, A2: 存取管 (Access Transistor)



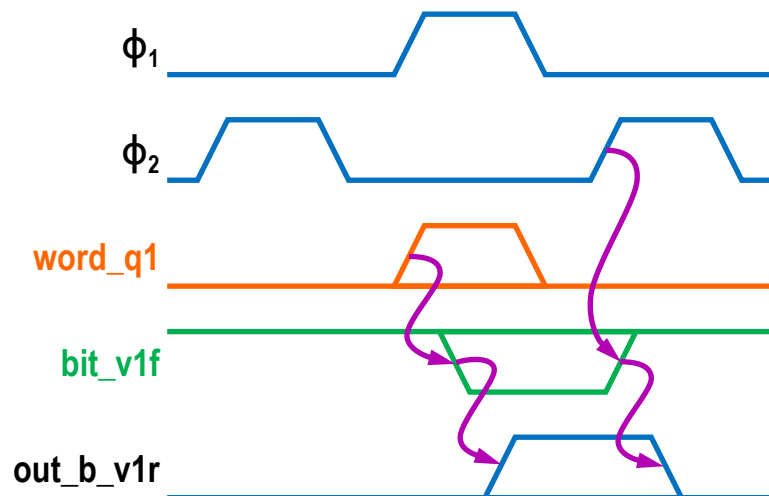
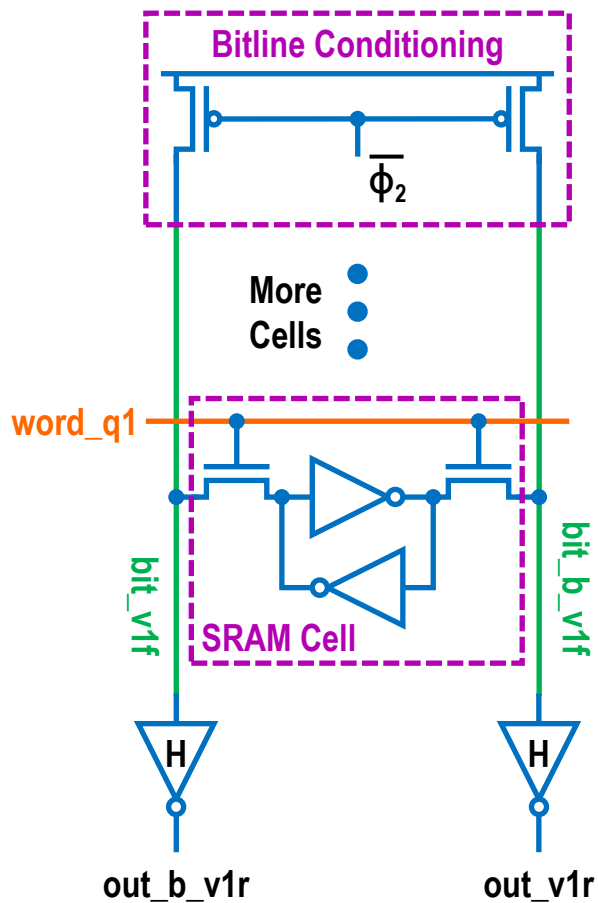
操作过程: 先将一对位线预充至高电平并浮空; 然后升高字线的电压, 其中一条位线被下拉, 即读出数据

Q初始为0, Q_b初始为1



读稳定性(Read Stability)约束条件:
D₁必须比A₁强, 其尺寸比须使Q电平保持在P₂/D₂反相器翻转阈值以下

6管SRAM单元的读操作

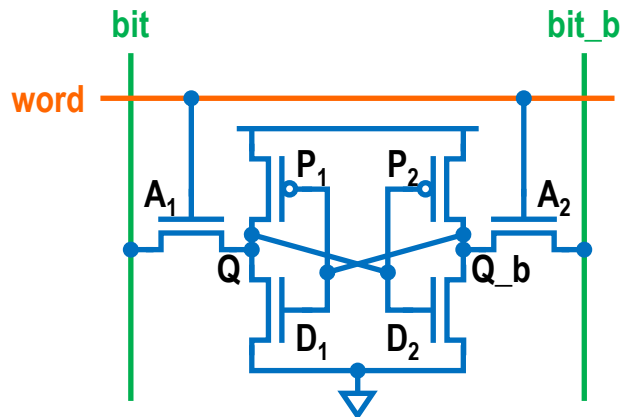


SRAM的列读出电路和信号波形

SRAM单元的写操作



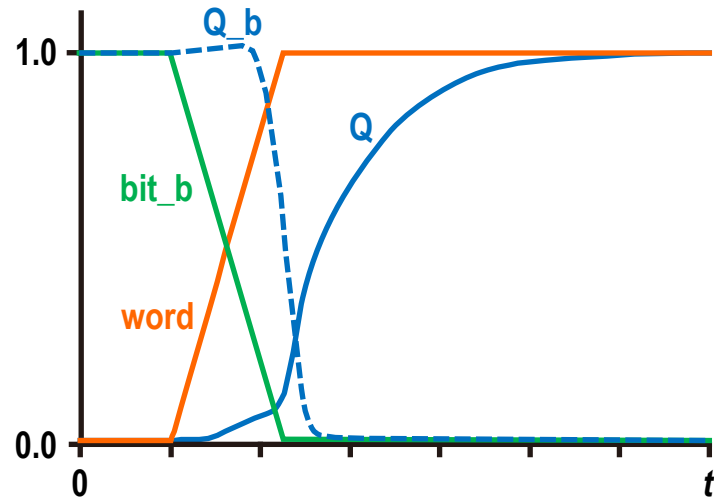
D1, D2: 驱动管 (Driver Transistor)
A1, A2: 存取管 (Access Transistor)



操作过程:

先将待写入的值及其补值分别驱动到一对位线；然后升高字线的电压

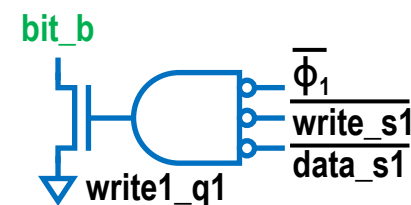
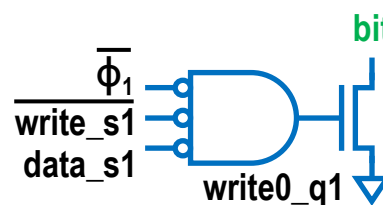
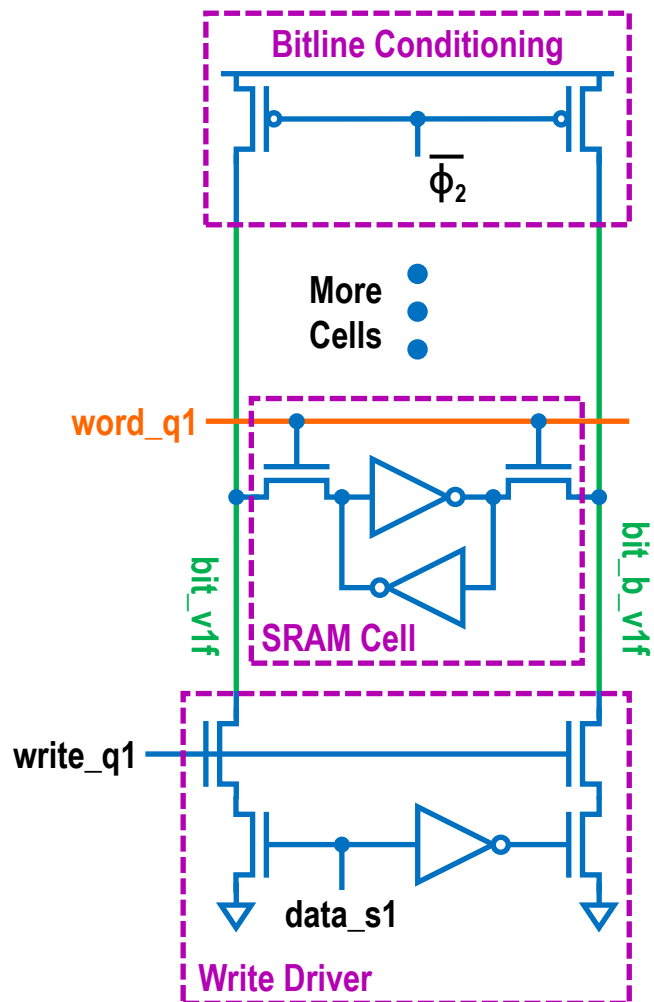
Q初始为0，并将写入1



可写性(Writability)约束条件:

P_2 必须比 A_2 弱，才能使 Q_b 可以下拉至足够低的电平

6管SRAM单元的写操作



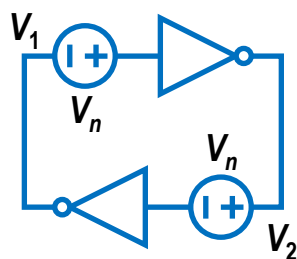
SRAM的列写入电路和控制逻辑

■ 稳定性约束

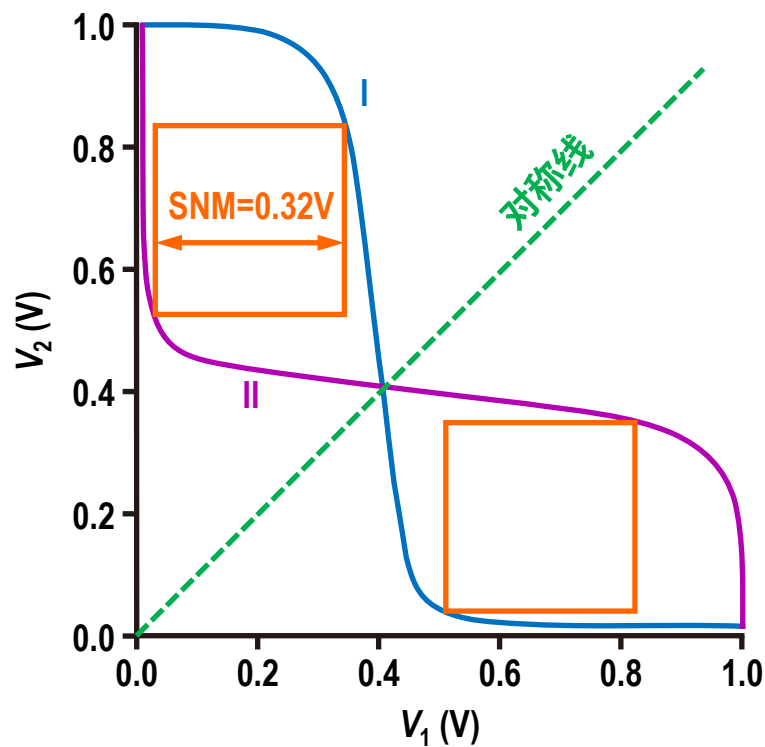
- 为了保证读稳定性和可写性，晶体管必须满足尺寸比例约束
 - NMOS下拉管最强，存取管强度中等，PMOS上拉管最弱
- 为了使版图密度较高，所有晶体管都必须较小
- 存储单元必须在工艺、电压、温度偏差范围内都能正确工作

■ 稳定性的定量表示

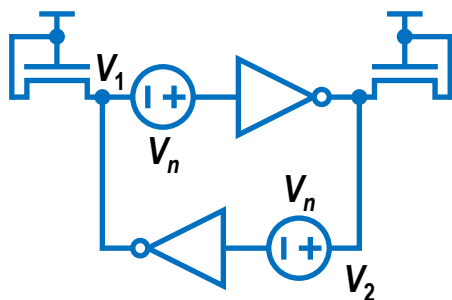
- 保持余量、读余量、写余量
- 由单元在各种工作模式下的静态噪声容限决定
- 静态噪声容限 (Static Noise Margin, SNM)
 - 存储单元的两个交叉耦合反相器输入端所允许的最大直流噪声
 - 若噪声超过静态噪声容限，则存储单元的状态会发生错误翻转



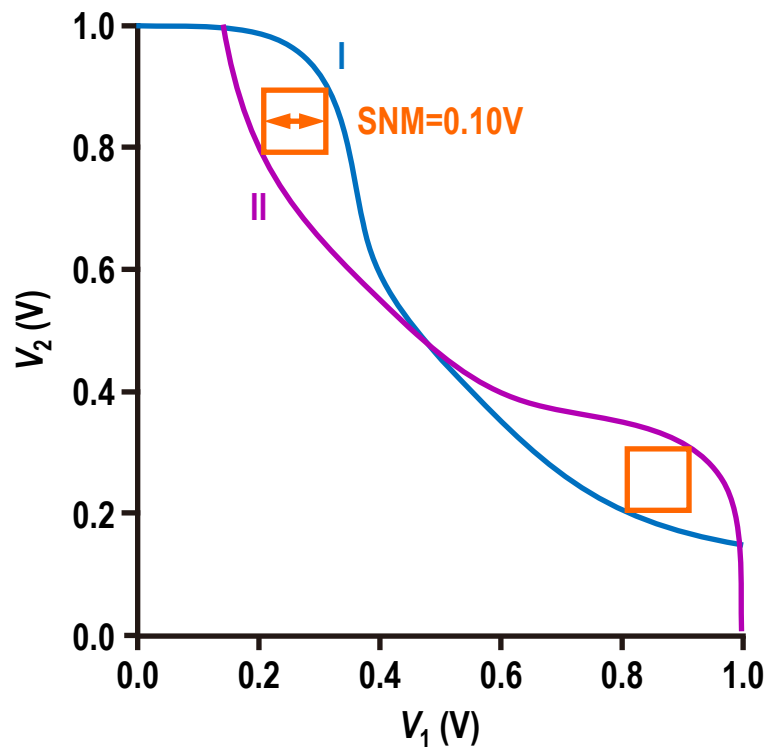
确定保持余量的测试电路



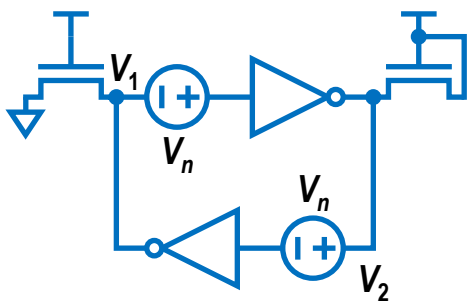
显示保持余量的蝶形图



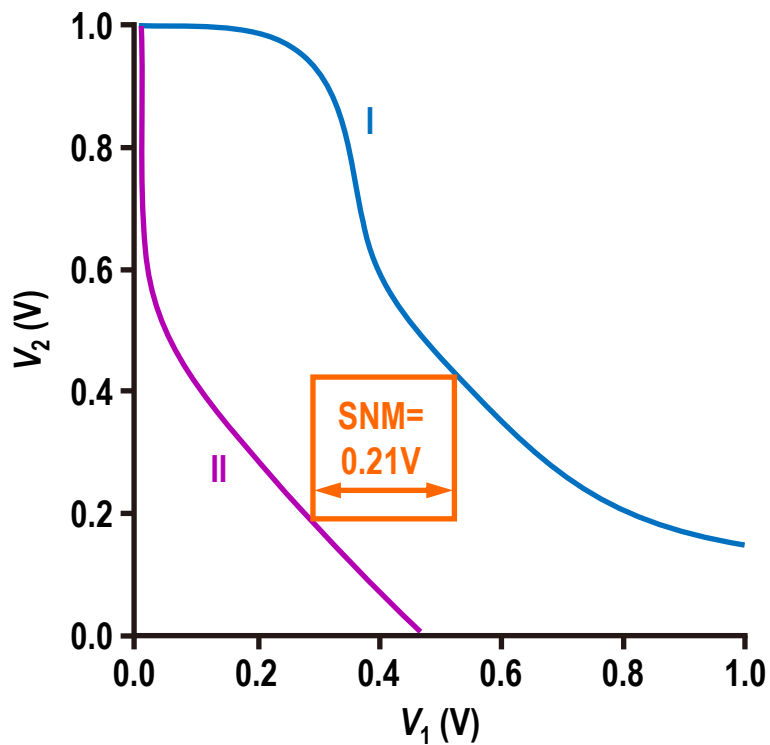
确定读余量的测试电路



显示读余量的蝶形图

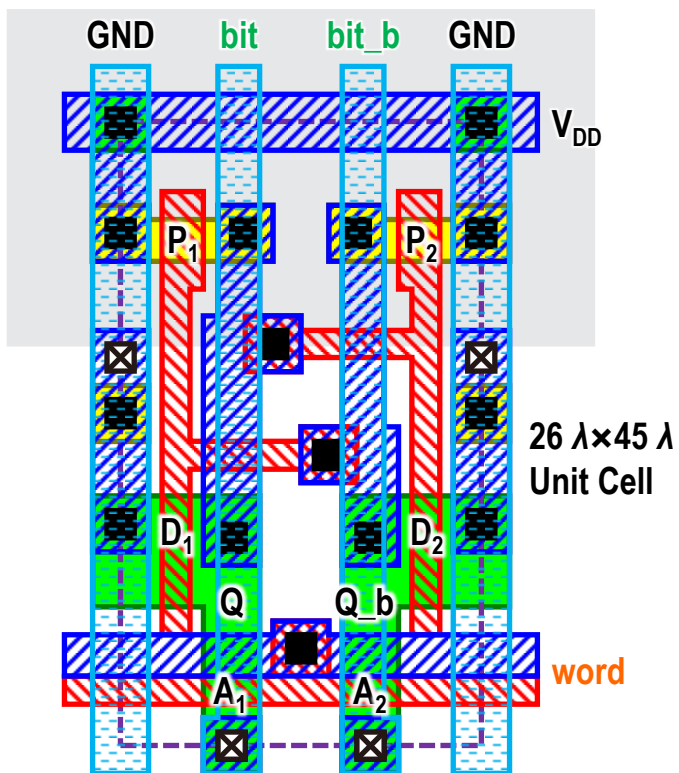


确定写余量的测试电路

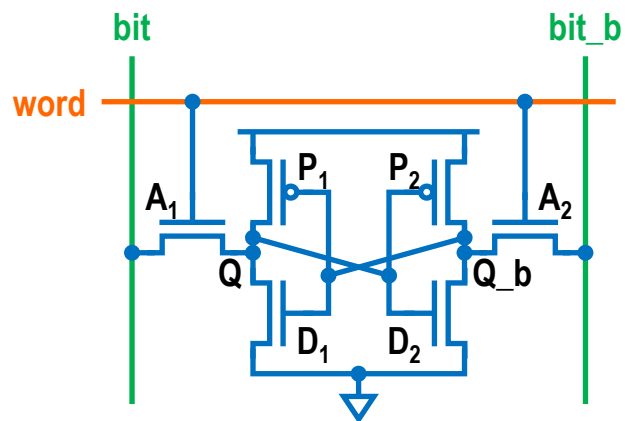


显示写余量的蝶形图

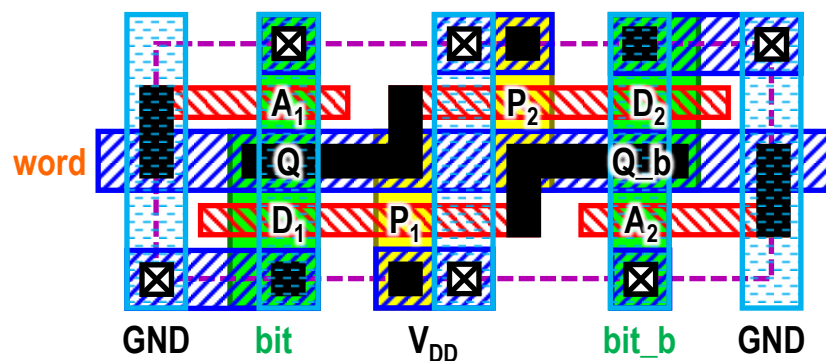
SRAM单元的物理设计



6管SRAM单元版图

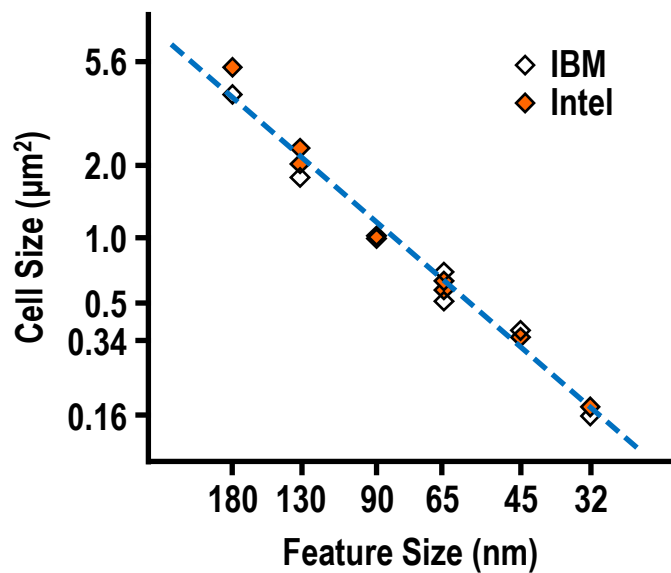
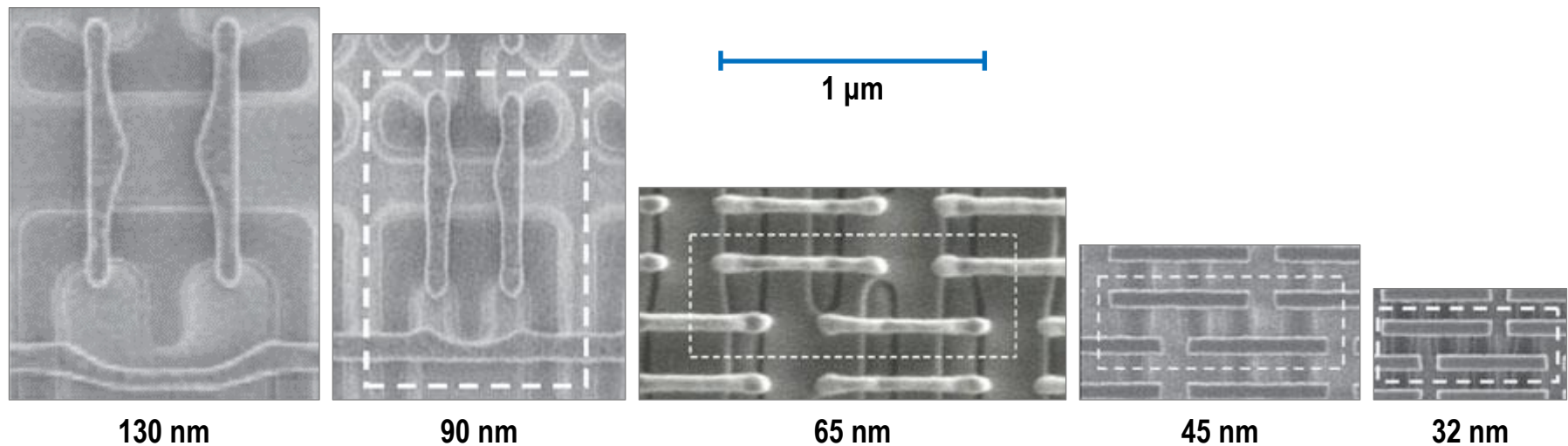


6管SRAM单元原理图



光刻友好的6管SRAM单元版图

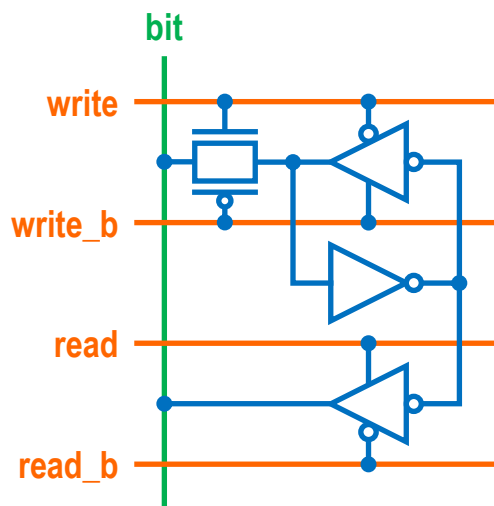
SRAM单元尺寸随工艺节点的变化



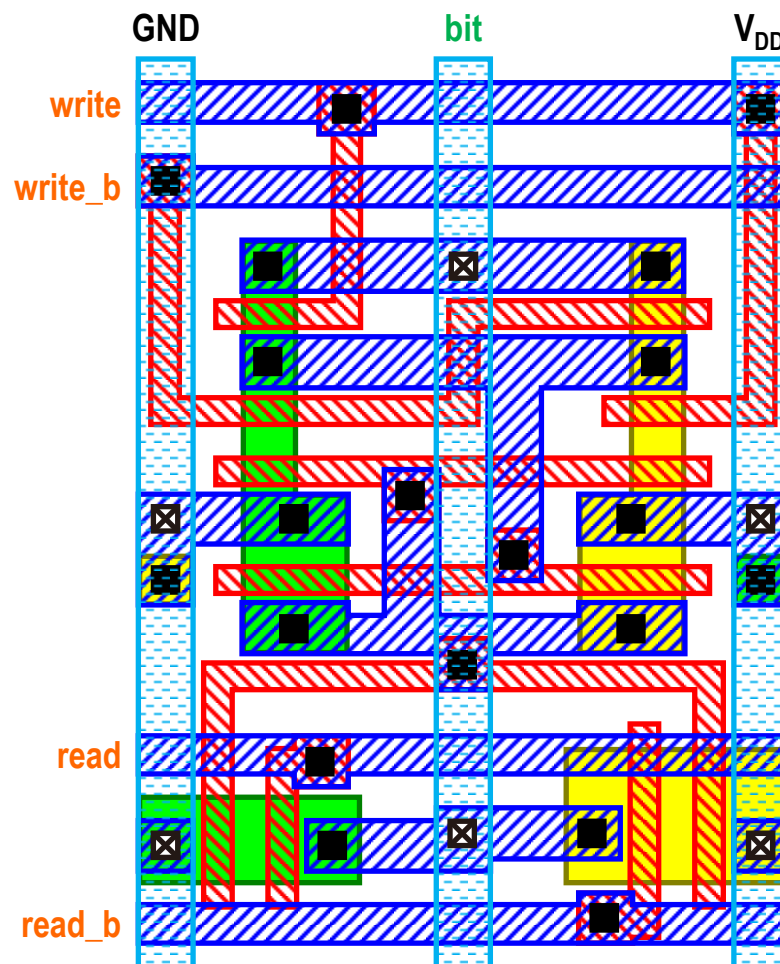
▲ SRAM单元尺寸的变化

◀ SRAM单元尺寸与特征尺寸的关系

静态设计的SRAM单元

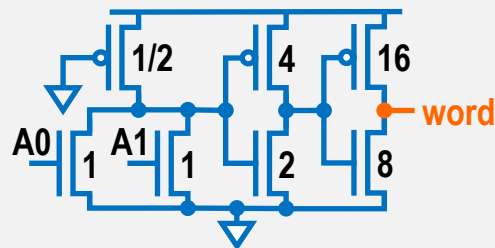
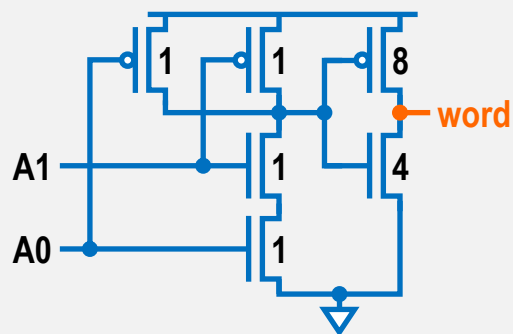
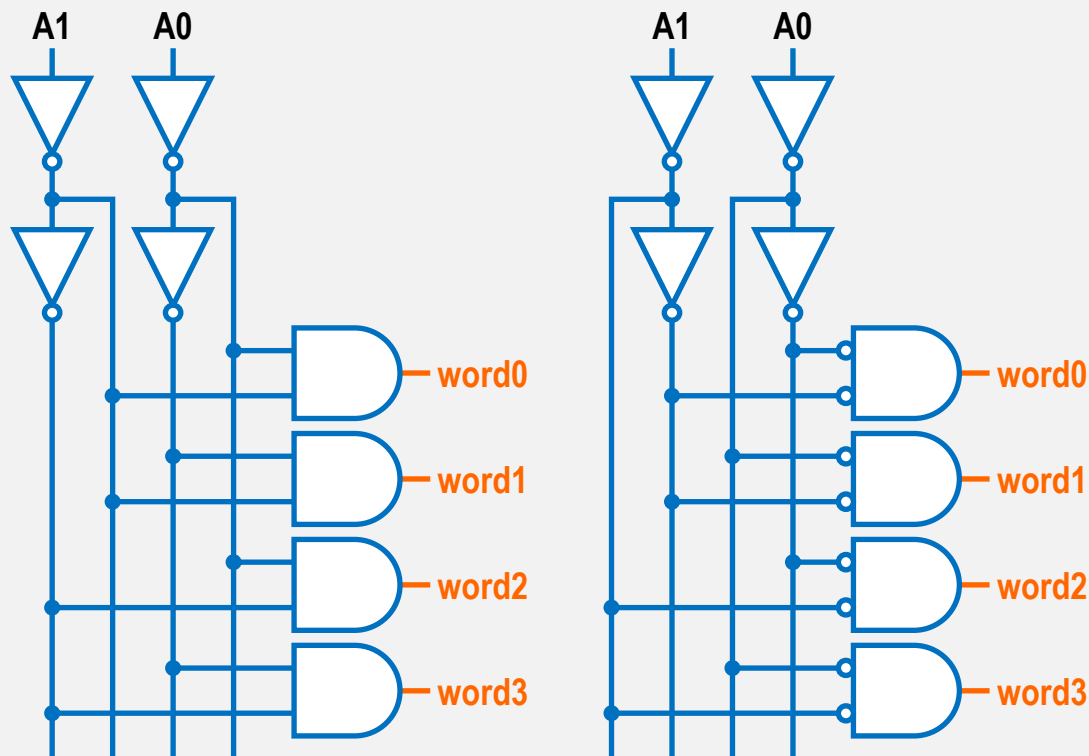


12管SRAM单元原理图



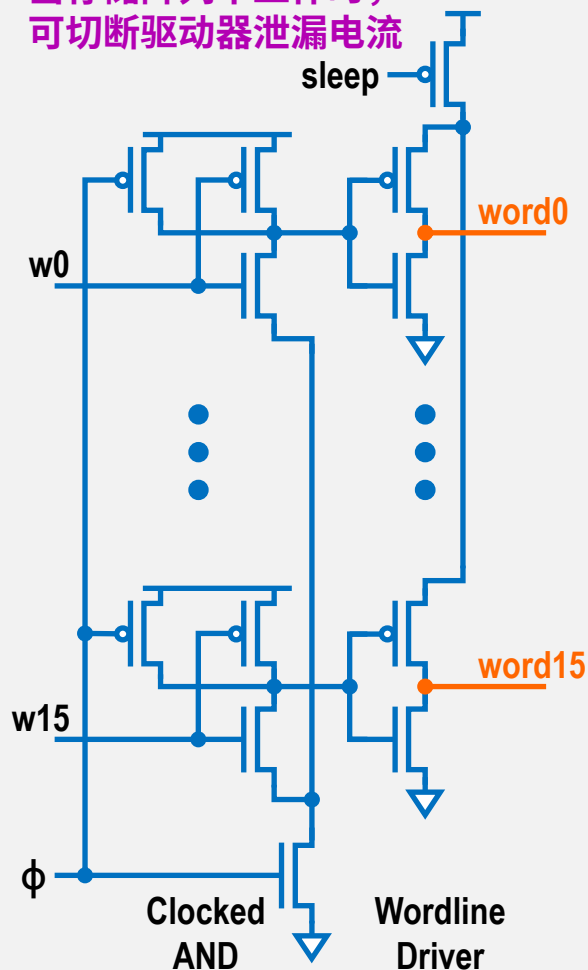
12管SRAM单元版图

SRAM行电路



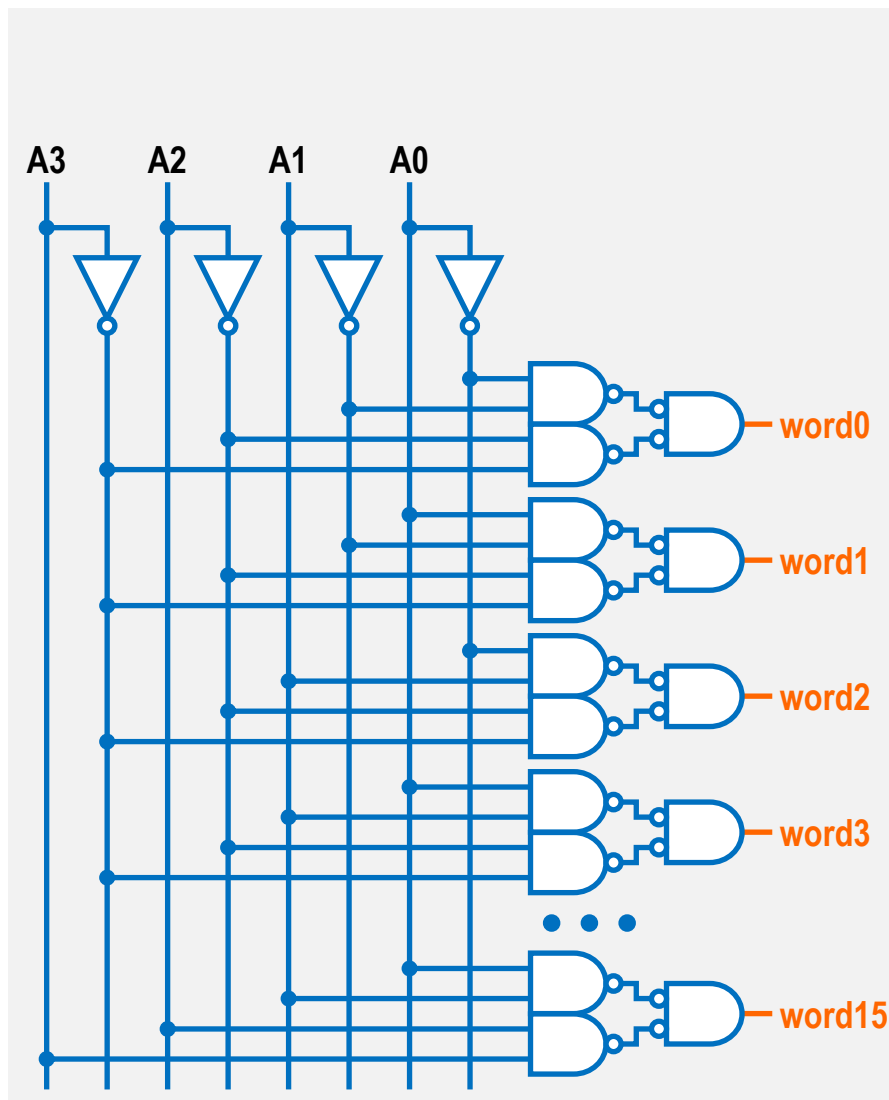
译码器

当存储阵列不工作时，
可切断驱动器泄漏电流

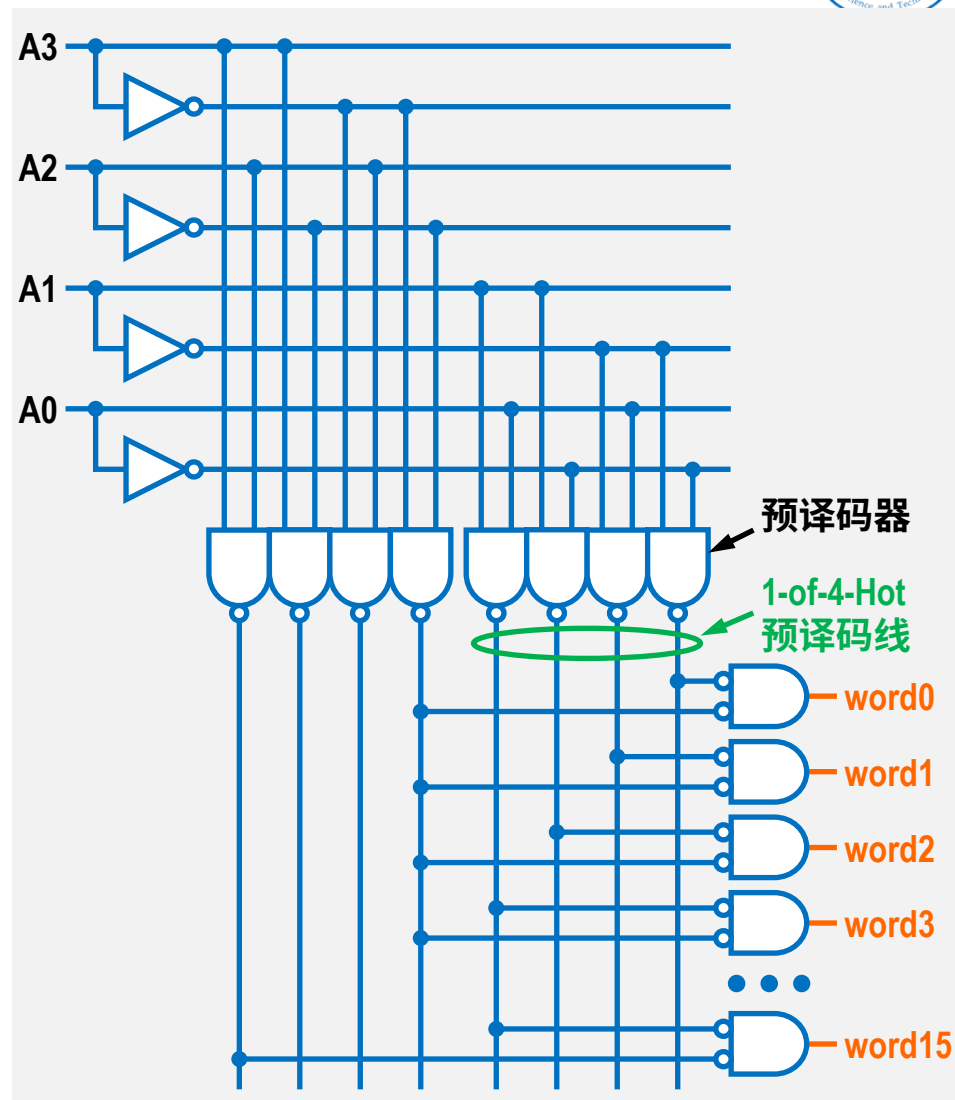


共享时钟控制的NMOS管
减少字线时钟功耗

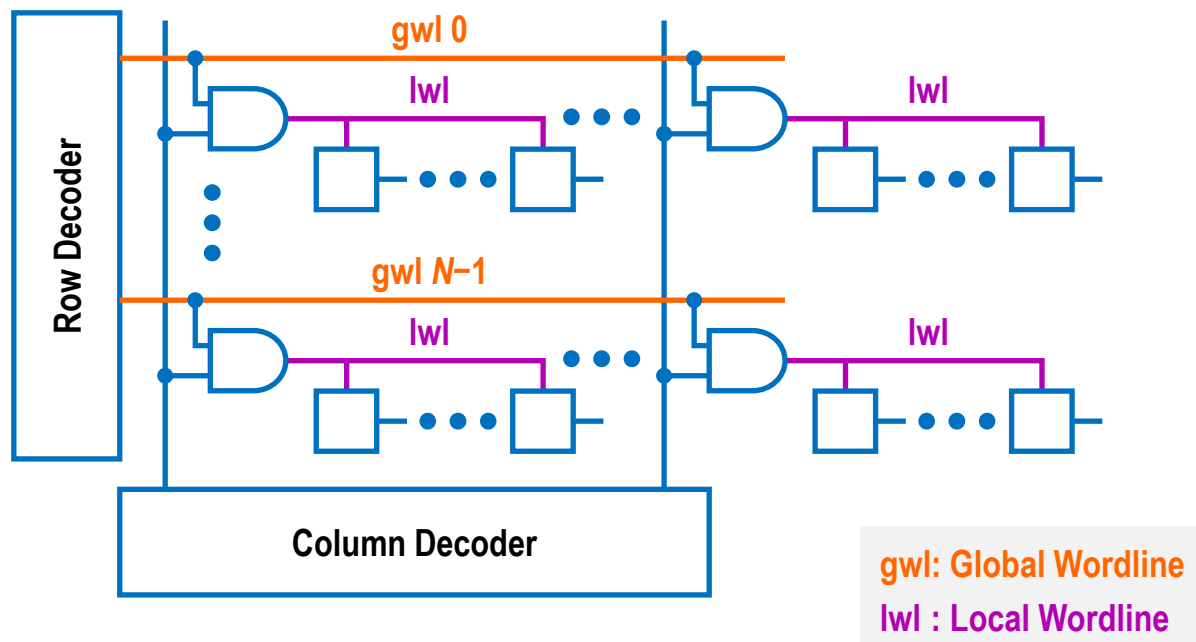
字线驱动器



普通译码电路



预译码电路



分级字线 (Hierarchical Wordline)、分割字线 (Divided Wordline)

全局字线：很长，负载较轻，可使用较宽和较厚的金属层

局部字线：较短，只驱动较小的一组单元，只有由其启动的位线才发生翻转

■ 位线预置电路

- 在读写操作前将位线预充至高电平

■ 写驱动器

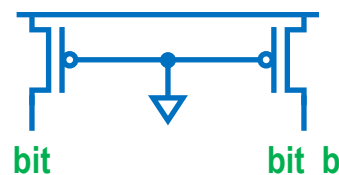
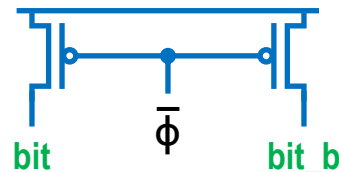
- 在写操作期间将其中的一条位线下拉

■ 位线检测电路

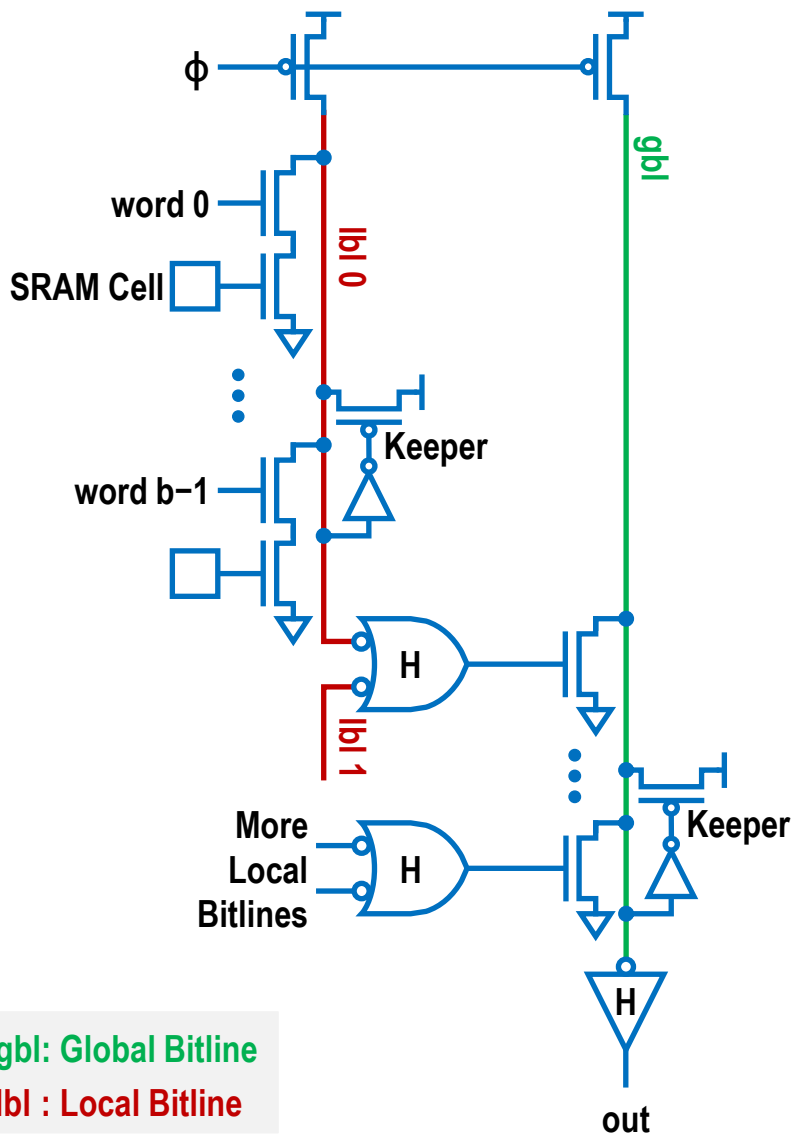
- 在读操作期间检测位线数据
- 大信号检测、单端检测
 - 位线电平在 V_{DD} 和GND之间摆动
 - 高偏斜反相器
- 小信号检测、差分检测
 - 两条位线中的一条位线电平只有少量变化
 - 灵敏放大器

■ 列多路开关

- 从每行的 2^{m+k} 位中选取 2^m 位



位线预置电路



分级位线 (Hierarchical Bitline)

分割位线 (Divided Bitline)

全局位线:

可以看作无足多米诺或门

采用较大的晶体管驱动长的全局位线

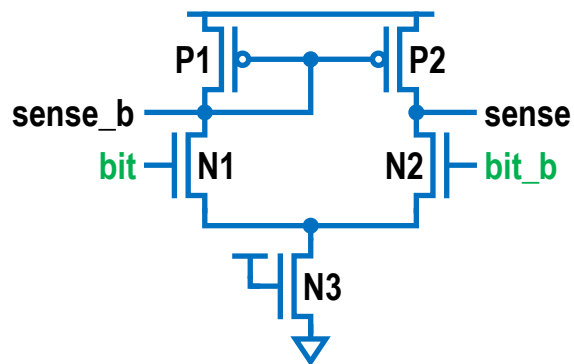
一般采用较高层金属布线在单元顶部

局部位线:

可以看作无足多米诺多路开关

具有固定不变的逻辑努力

寄生延时正比于局部位线上的字数



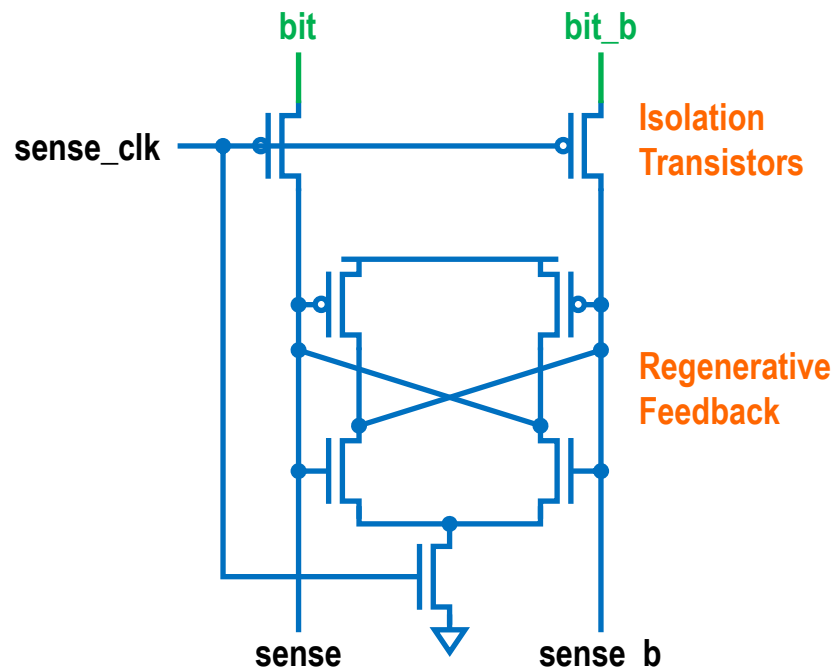
差分灵敏放大器

基于模拟差分对

不需要时钟

具有较大的直流功耗

检测节点与位线隔离



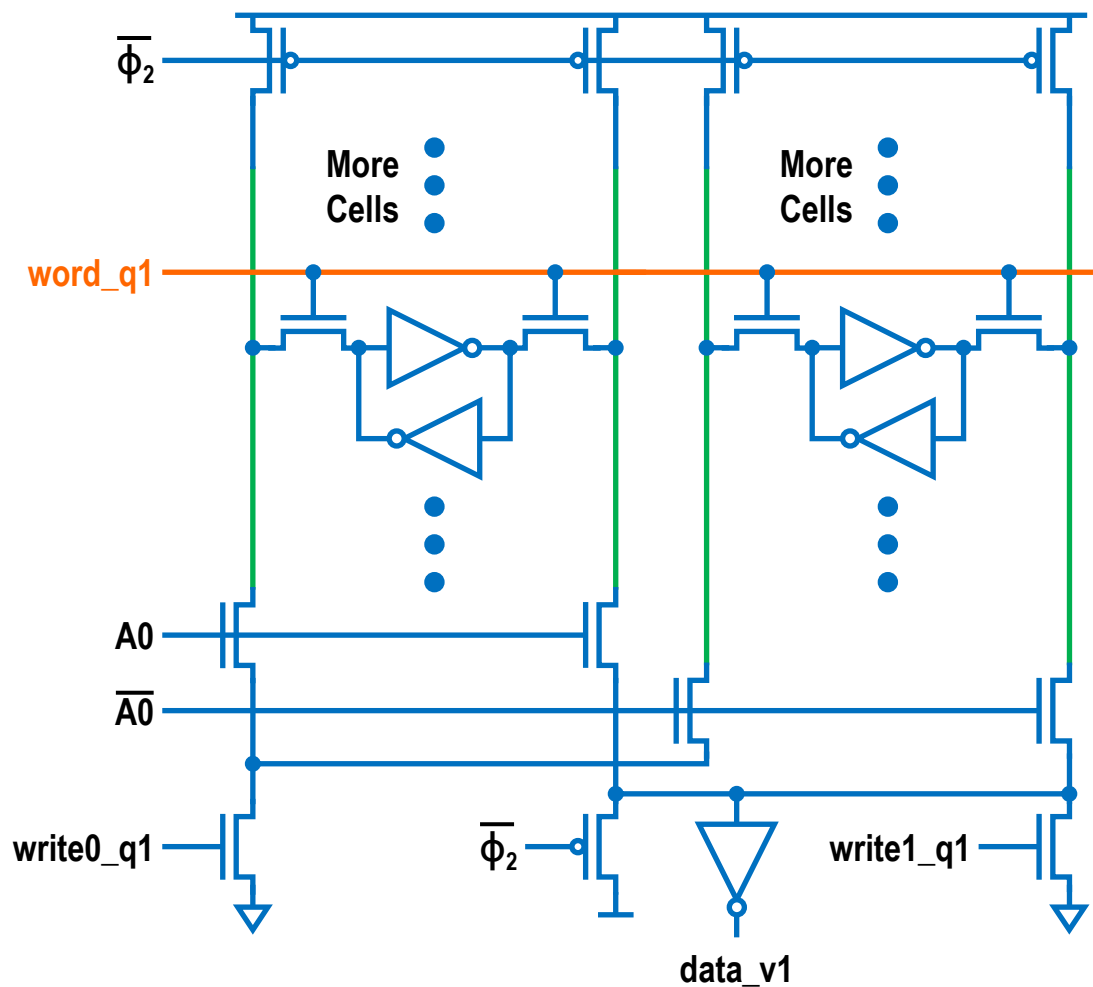
时钟控制灵敏放大器

只在启动时消耗功耗

需要合适的时序链控制启动

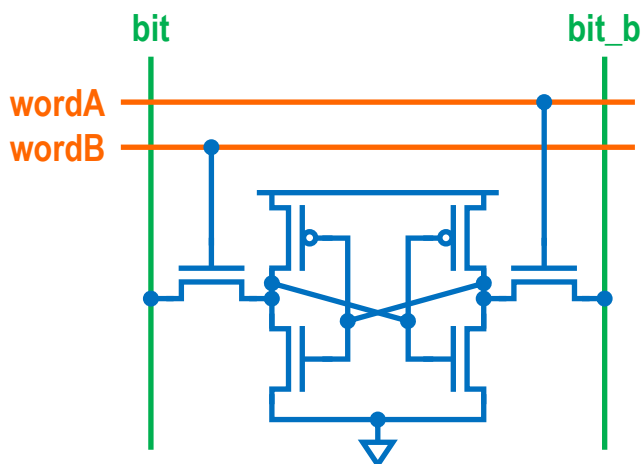
检测期间输出端与位线隔离

灵敏放大器 (Sense Amplifier)



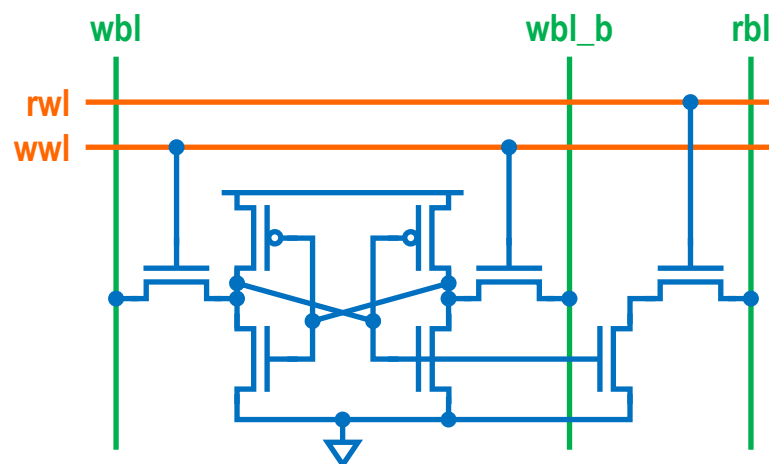
两路选择SRAM中的一对列电路

分离字线单元
每周期执行两个读操作或一个写操作



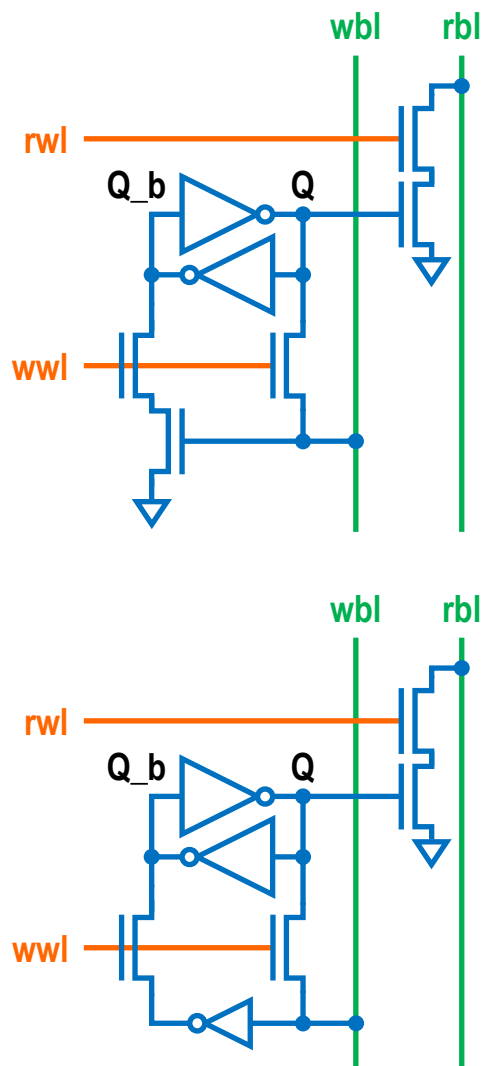
简单的双口SRAM单元

独立的读写端口
读口和状态节点隔离以达到合理的读余量

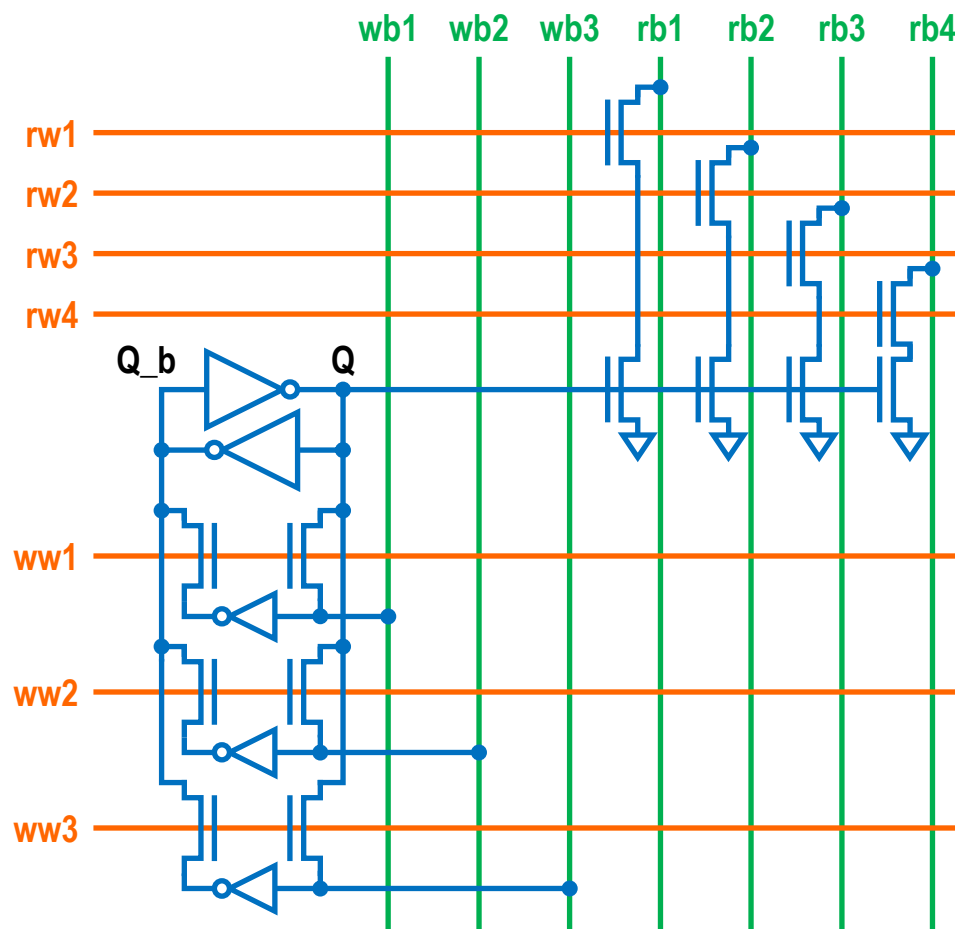


8管双口SRAM单元

寄存器堆 (Register File)



具有单端写口的寄存器单元



多口寄存器单元

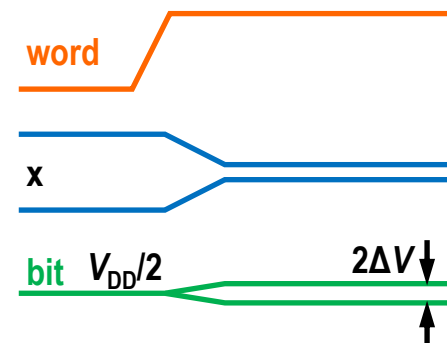
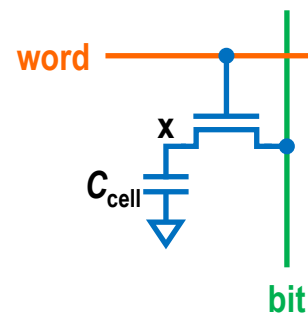
动态RAM

■ DRAM的特点

- 存储内容作为电荷存储在电容上
- 基本单元比SRAM小得多
- 单元必须被周期性读出并刷新，以使其存储内容不会因电荷泄漏而丢失
- 密度比SRAM更大，等待时间更长

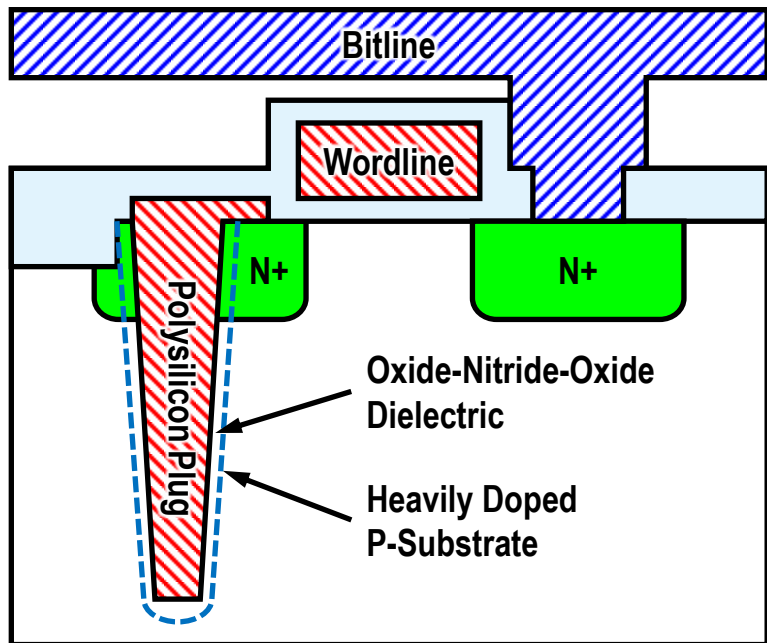
■ DRAM单元

- 1管DRAM单元由一个晶体管和一个电容构成
- 需要大的单元电容
 - 在读出期间提供位线上合理的电压摆幅
 - 保持单元存储内容一段足够长的时间
 - 减少软错
- 采用沟槽电容结构实现

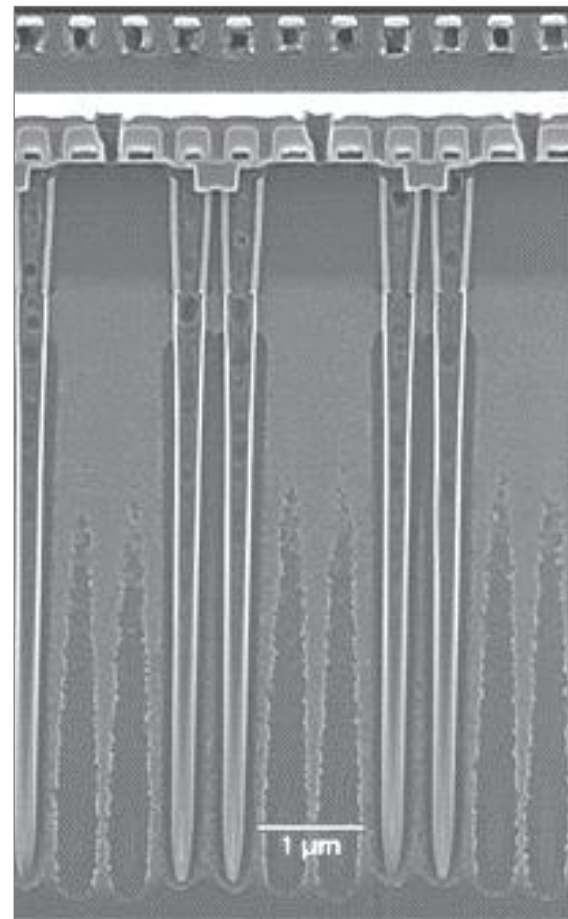


$$\Delta V = \frac{V_{DD}}{2} \frac{C_{cell}}{C_{cell} + C_{bit}}$$

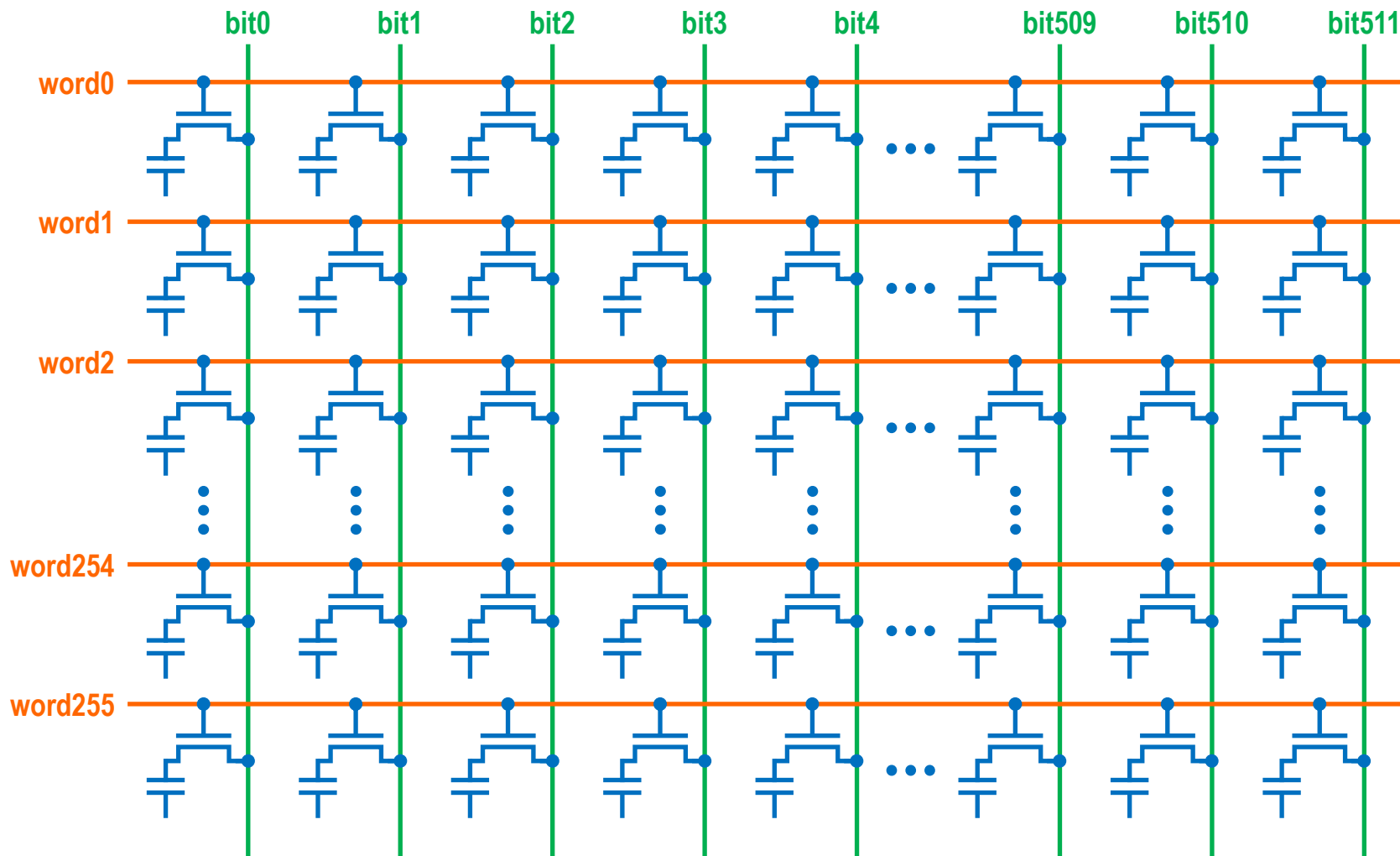
1管DRAM单元及读操作



DRAM单元剖面图

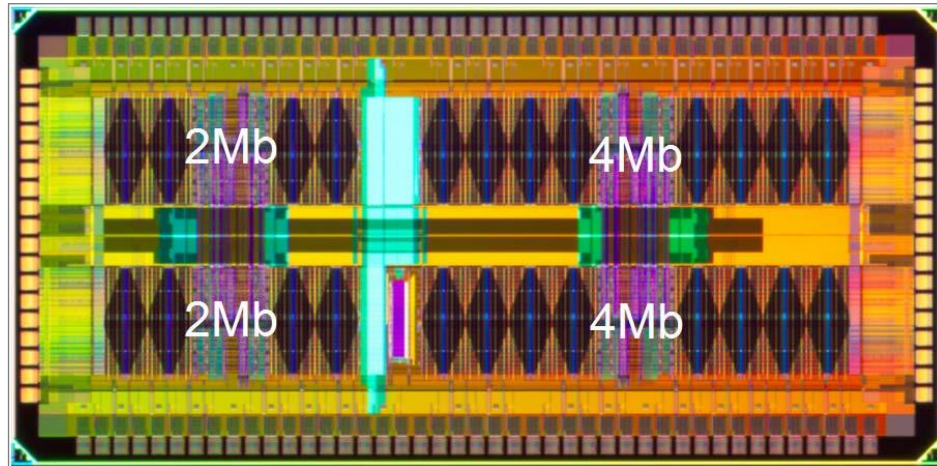


沟槽电容

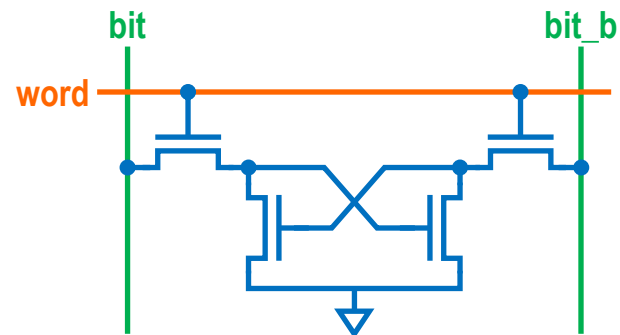
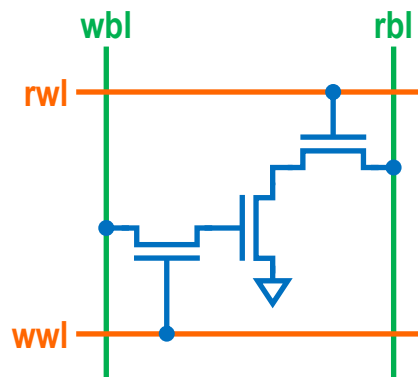
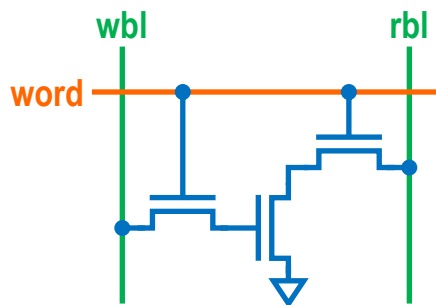


DRAM子阵列结构

嵌入式DRAM (eDRAM)



12-Mb eDRAM阵列



3管和4管eDRAM单元

只读存储器

只读存储器 (ROM)



■ ROM的特点

- 非挥发存储结构，状态长期保持不变
- 每存储位可以只由一个晶体管构成

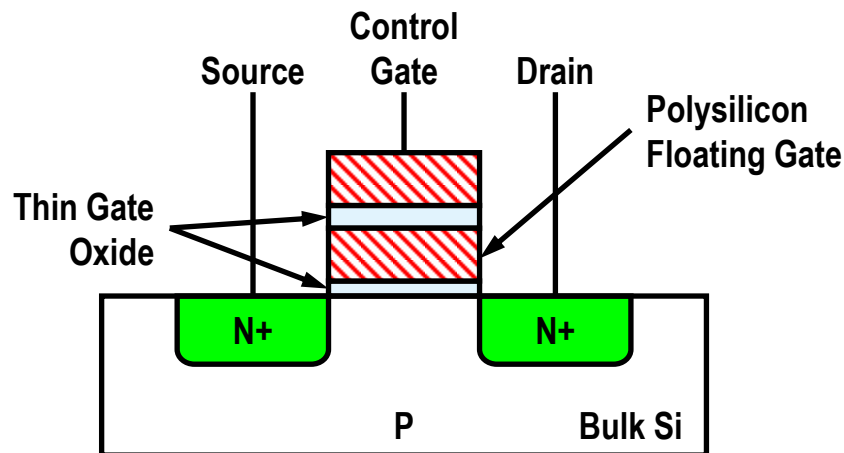
■ ROM的类型

■ 掩模ROM

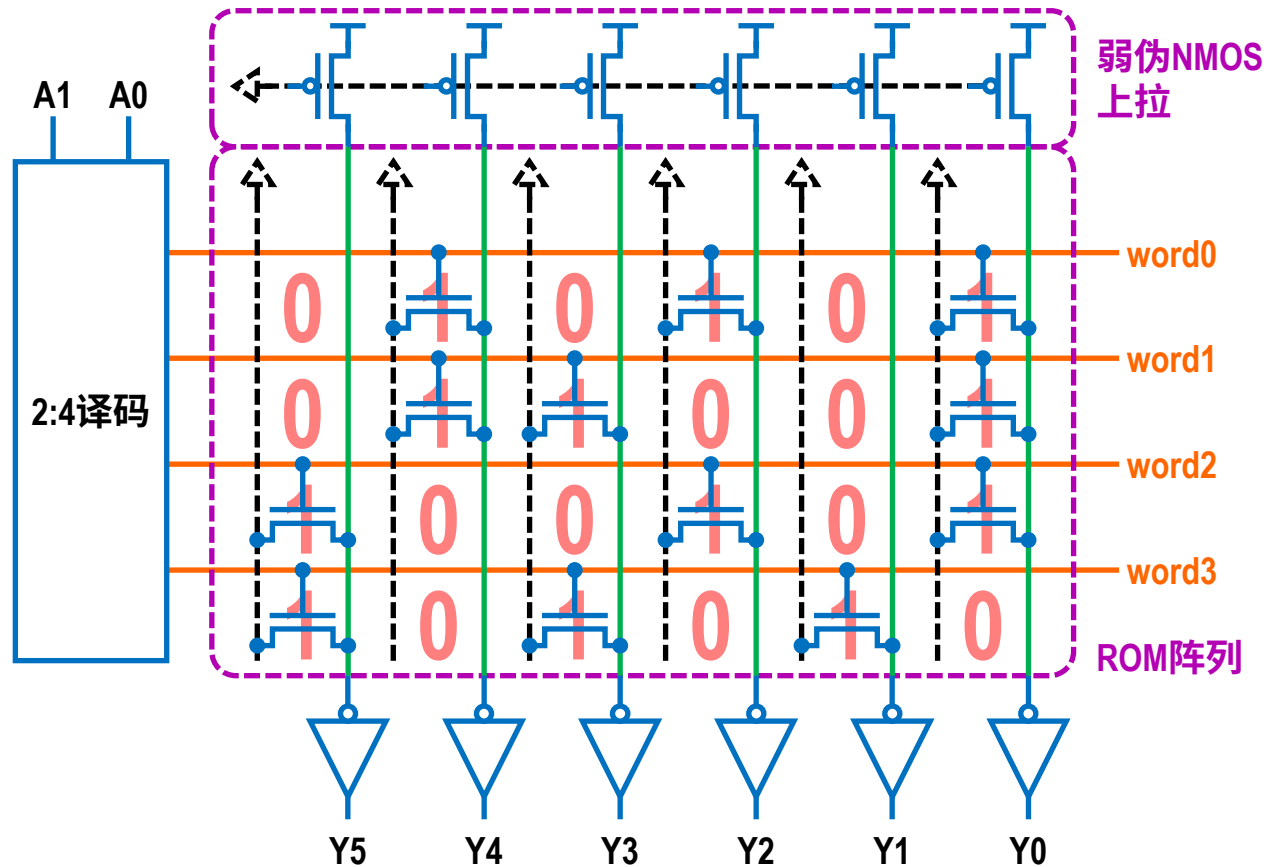
- 不可编程，通过有无晶体管或通孔，或通过阈值离子注入使部分晶体管不导通进行配置

■ 可编程ROM

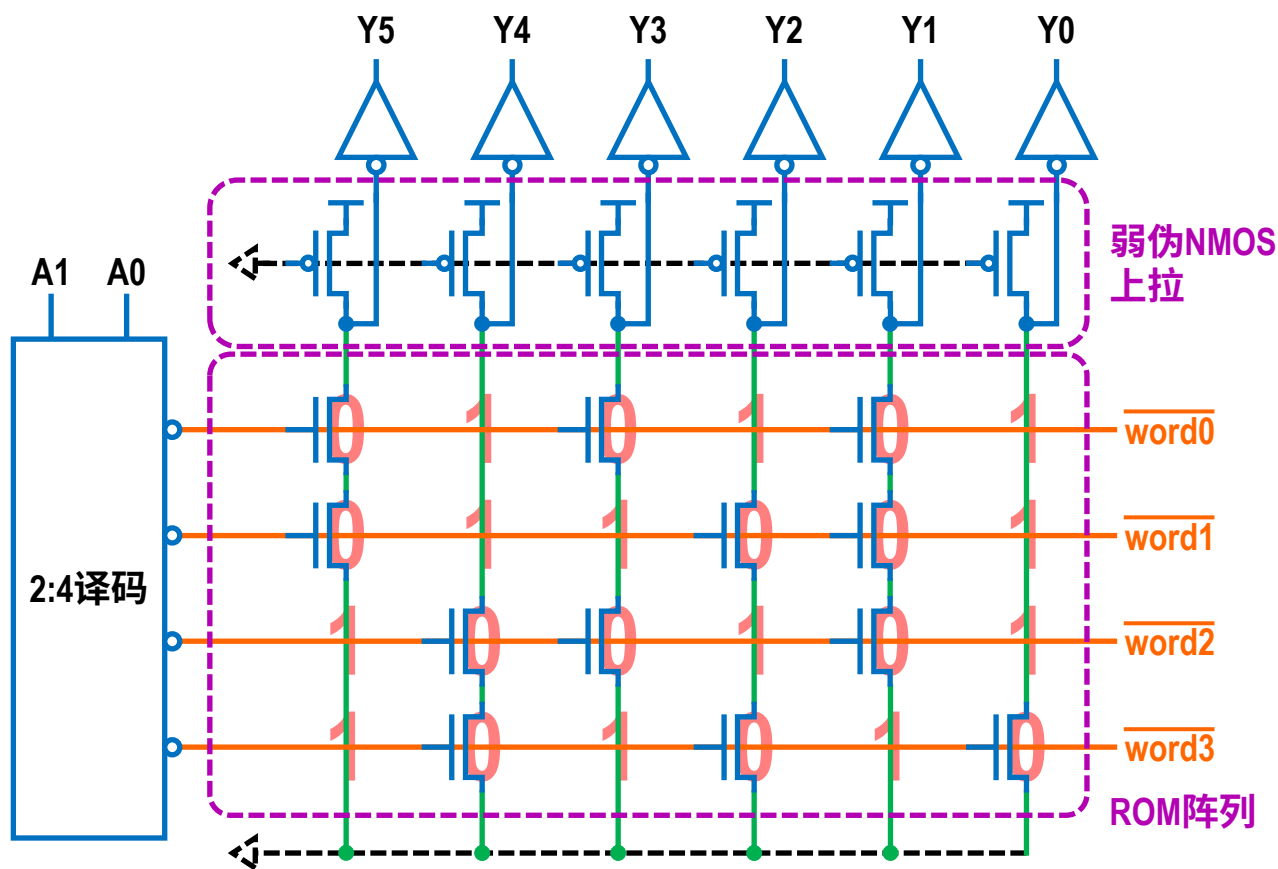
- PROM : 一次可编程，通过大电流使熔丝熔断进行配置
- EPROM : 浮栅晶体管，电可编程，紫外线擦除
- EEPROM : 浮栅晶体管，电可擦除，可精确控制被擦除的位，需要较大的面积
- Flash : 浮栅晶体管，电可擦除，整块擦除，最经济的非挥发存储形式



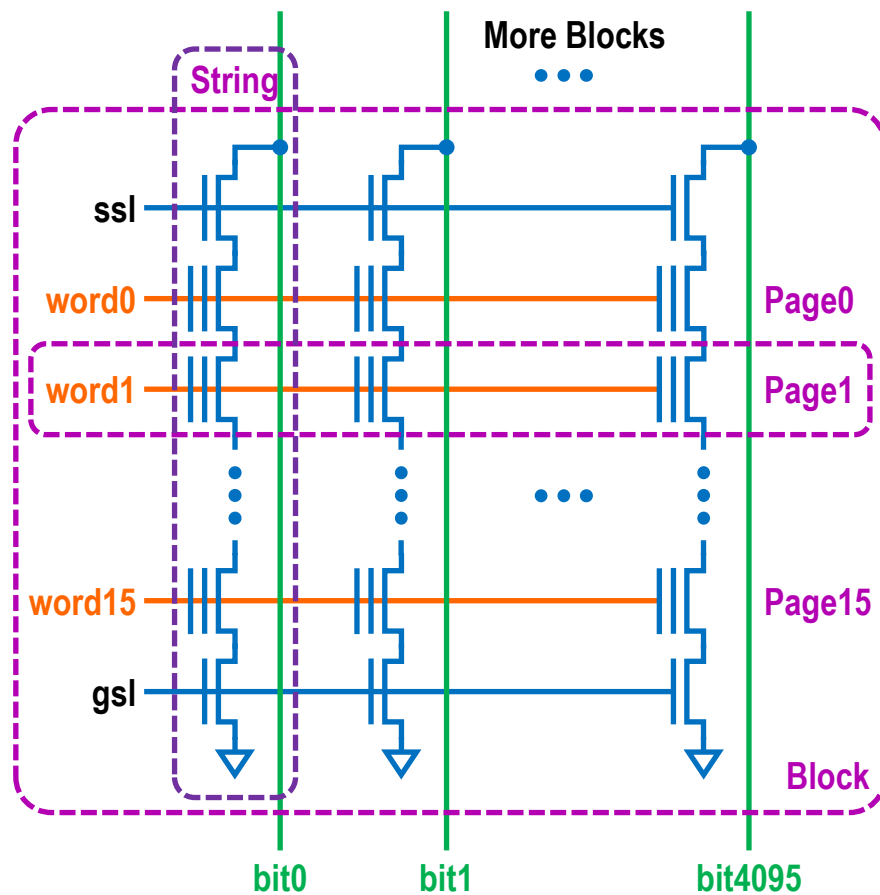
浮栅NMOS晶体管剖面图



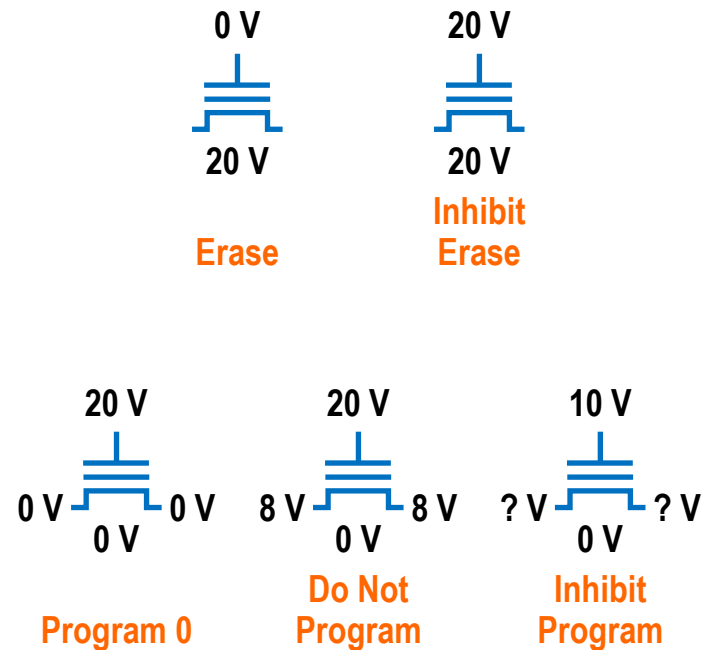
伪NMOS或非ROM (Pseudo-NMOS NOR ROM)



伪NMOS与非ROM (Pseudo-NMOS NAND ROM)

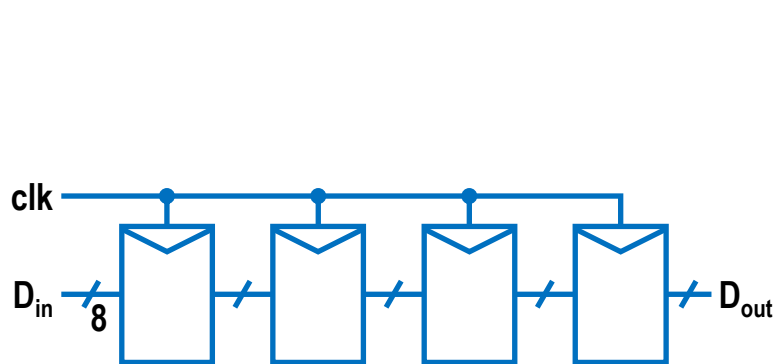


与非快闪存储器结构

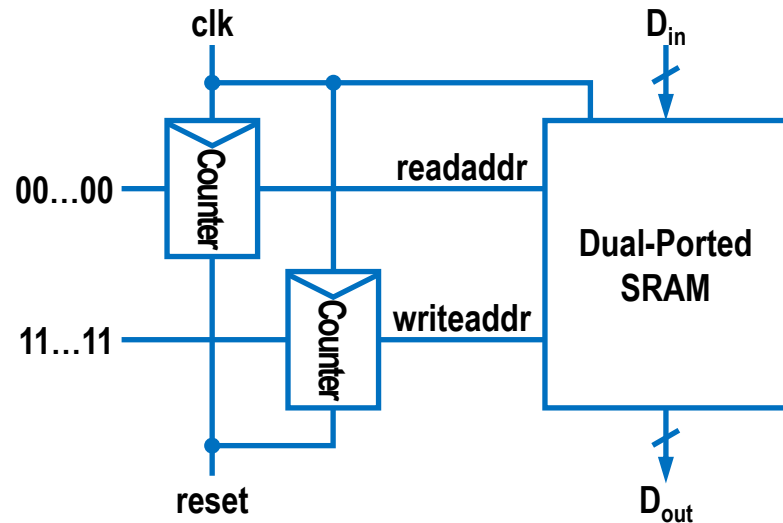


擦除和编程操作

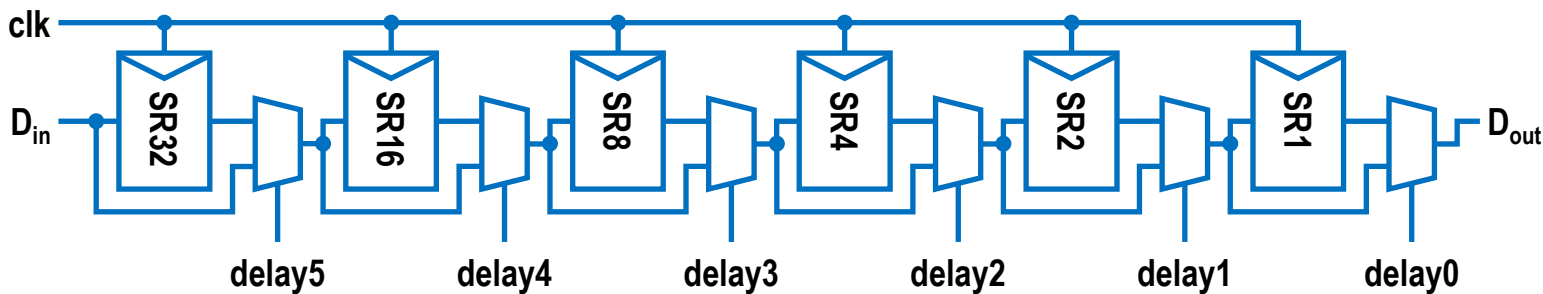
串行存取存储器



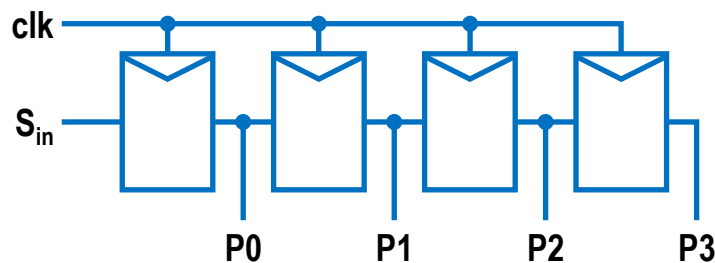
触发器构成的移位寄存器



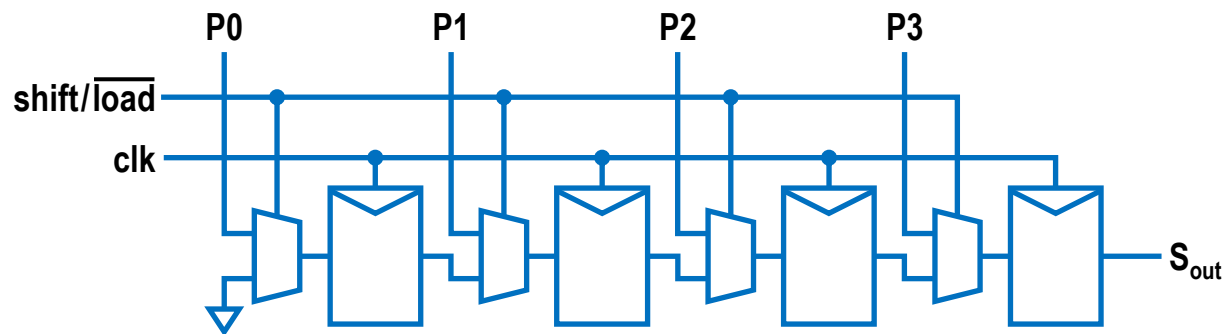
双口RAM构成的循环缓冲器



抽头延时线 (Tapped Delay Line)



串行输入并行输出(SIPO)存储器



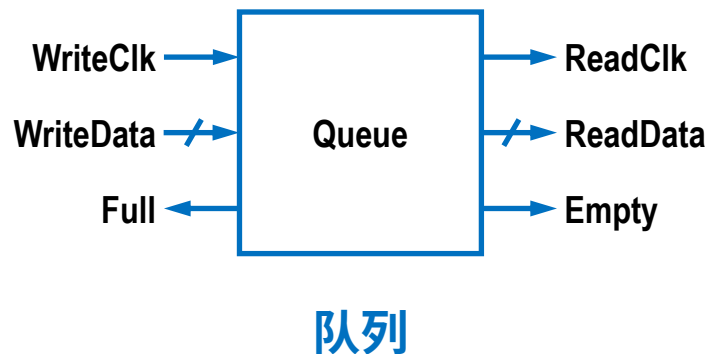
并行输入串行输出(PISO)存储器

■ 队列的特点

- 允许数据以不同的速率读出和写入
- 内部以读写指针指示下一步应访问的数据
- 标志信号
 - 空 (Empty): 队列中没有数据可供读出
 - 满 (Full): 队列中没有剩余位置可供写入数据
 - 几乎空 (Almost-Empty): 即将达到空状态, 并阻止读请求
 - 几乎满 (Almost-Full): 即将达到满状态, 并阻止写请求

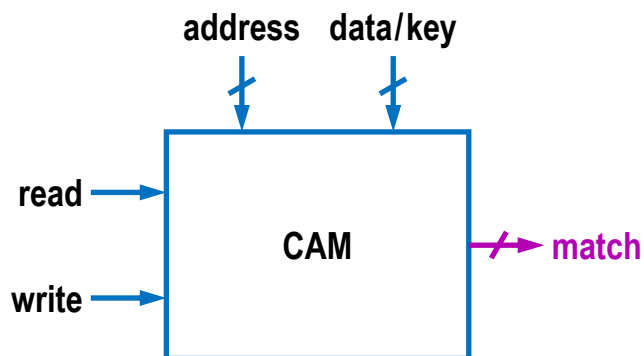
■ 队列的分类

- 先进先出 (FIFO)
 - 常用于两个异步数据流之间的缓冲
- 后进先出 (LIFO)、堆栈 (Stack)
 - 常用于MCU子程序或中断堆栈



内容寻址存储器

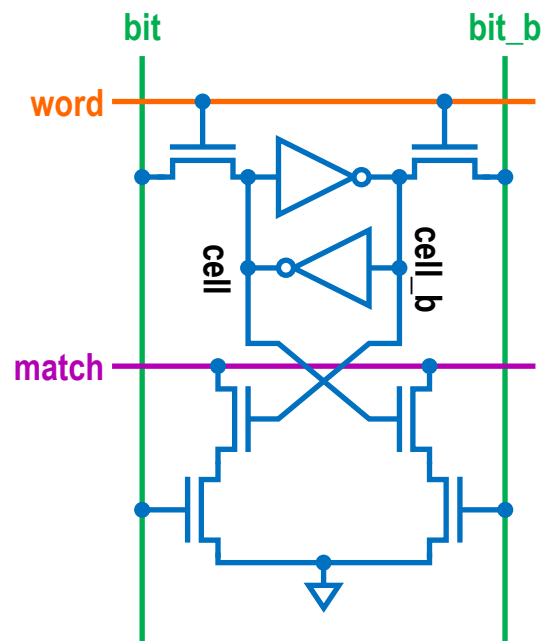
内容寻址存储器 (CAM)



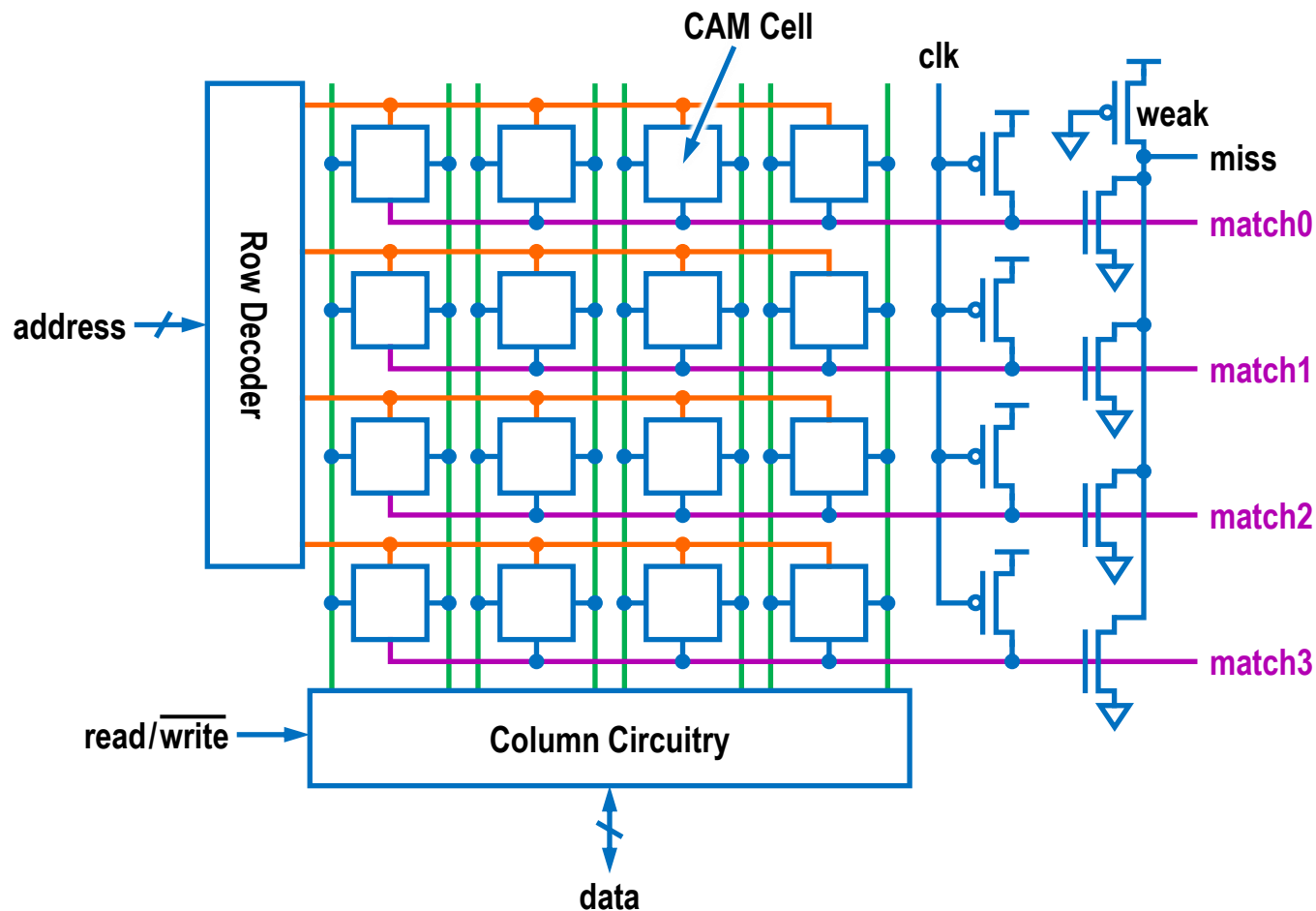
操作过程:

匹配线被预充电或被上拉至高电平；
然后将关键字驱动位线，若关键字
与存储值不等，则匹配线将被下拉

内容寻址存储器

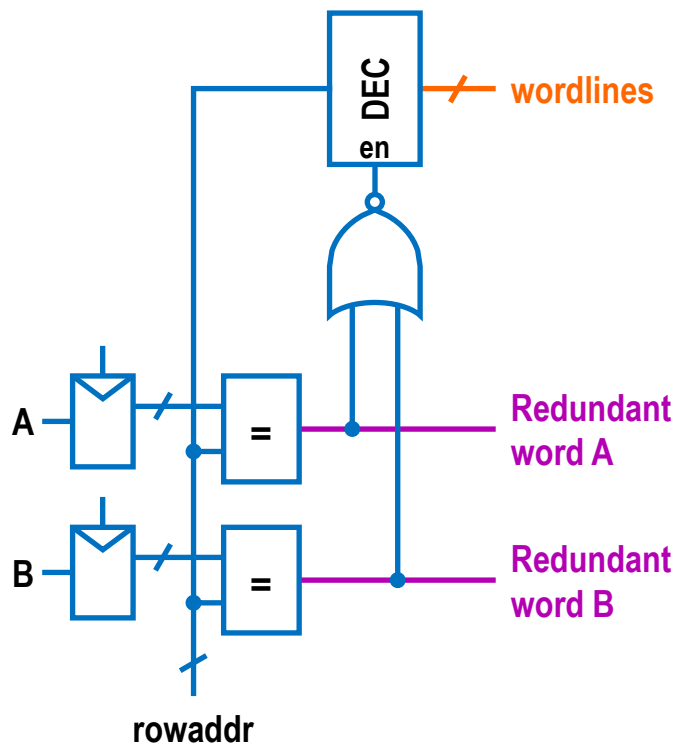


CAM单元的实现

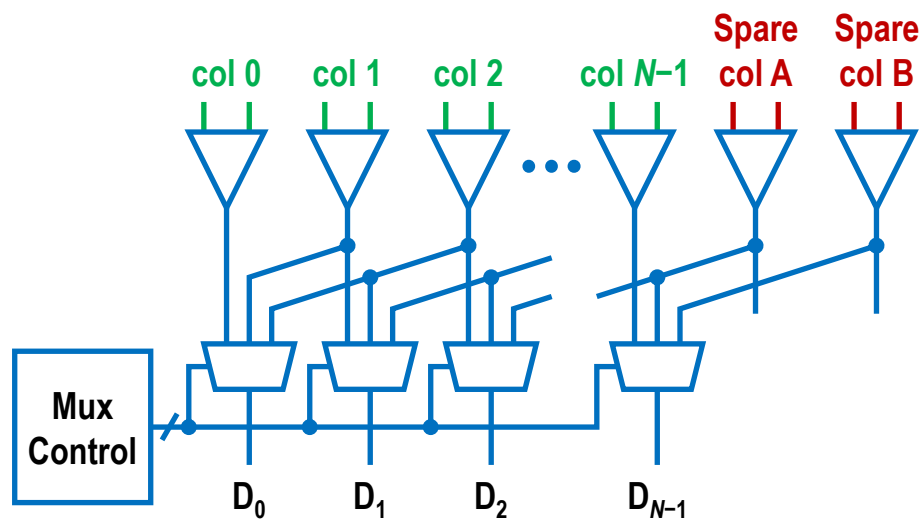


4×4 CAM阵列

鲁棒存储器设计



行冗余技术



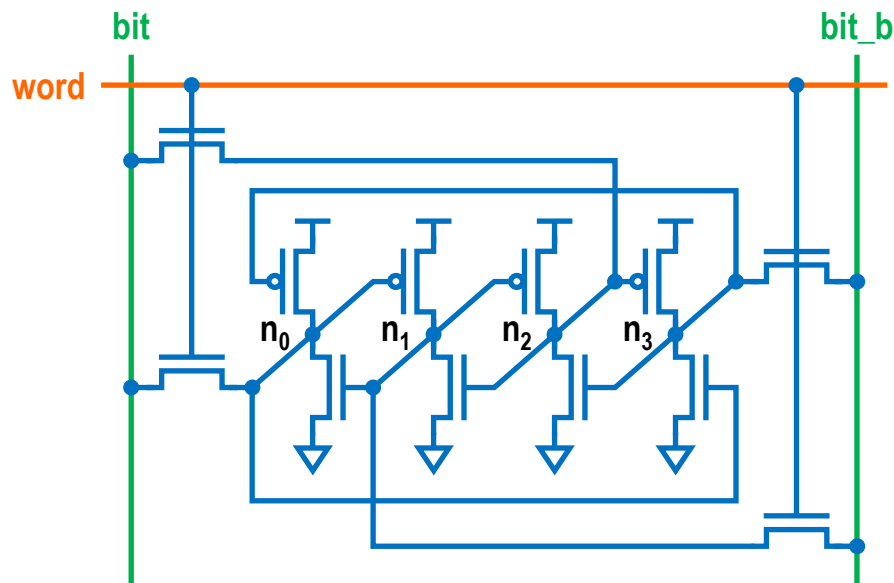
列冗余技术

■ 纠错码

- Error Correcting Code, ECC
- 常用于从软错中进行恢复
- 增加冗余性，显著改善成品率
- 增加延时和面积，适用于大容量存储器

■ 抗辐照技术

- 用于在航空航天应用和高可靠性地面应用中降低对软错的易感性
- 12管抗辐照单元中任何单个节点上的扰动都可以被反馈纠正
- 面积约为普通6管单元的两倍



抗辐照SRAM单元

可编程逻辑阵列

■ 可编程逻辑阵列

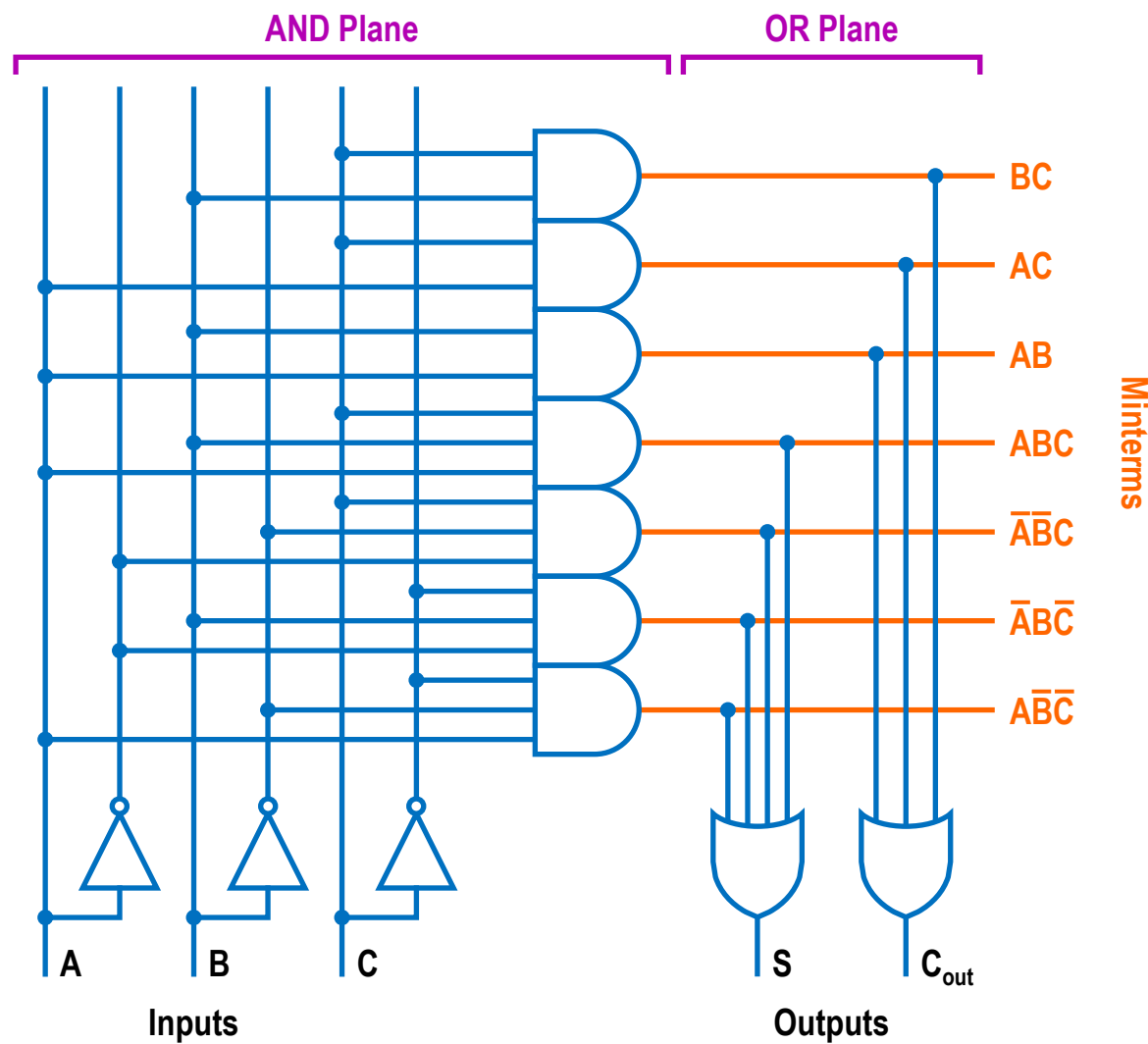
- Programmable Logic Array, PLA
- 以规则结构实现用“积之和”规范形式表示的组合逻辑
- 任何逻辑函数都可以表示为积之和(Sum of Products)形式
- 可编程逻辑阵列由与平面(AND Plane)和或平面(OR Plane)组成
 - 与平面计算最小项(Minterm)
 - 或平面计算输出

■ 例：以积之和形式写出全加器表达式。

$$S = \overline{A}\overline{B}C + \overline{A}B\overline{C} + A\overline{B}\overline{C} + ABC$$

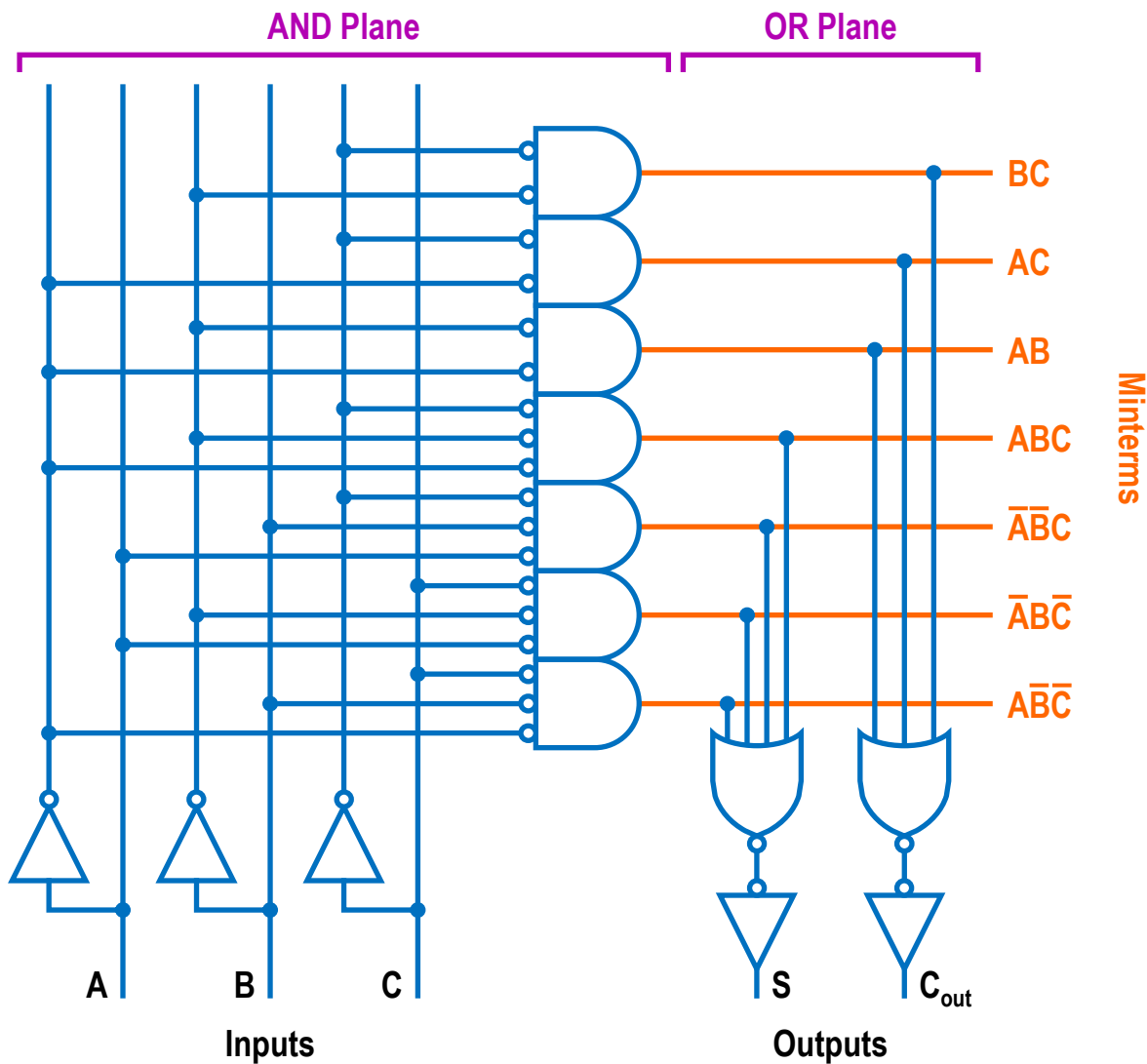
$$C_{\text{out}} = AB + AC + BC$$

与/或表示的PLA



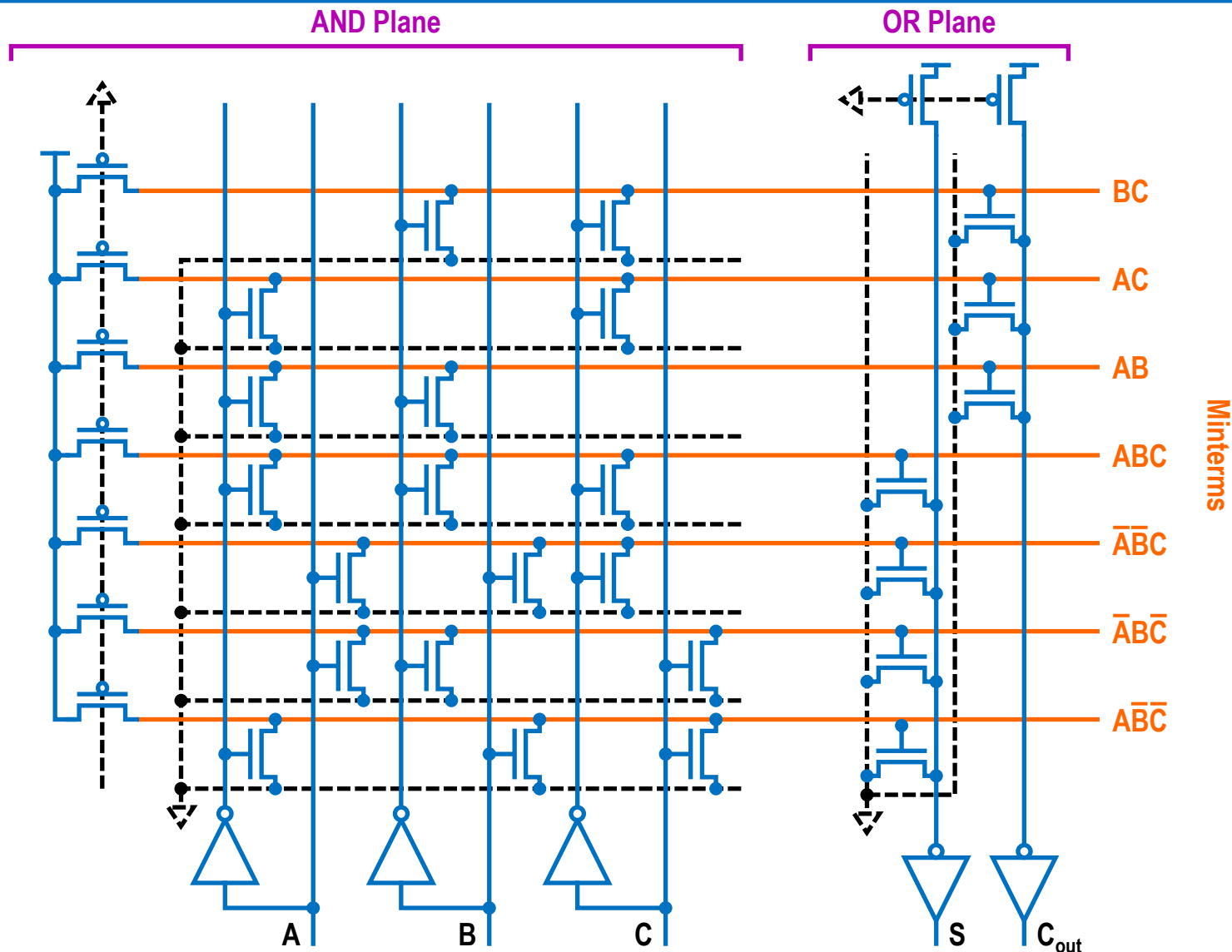
全加器逻辑的AND/OR PLA表示

或非/或非表示的PLA



全加器逻辑的NOR/NOR PLA表示

伪NMOS或非PLA实现



全加器逻辑的伪NMOS或非PLA实现

本章结束