

二级密勒补偿运算放大器 设计教程



復旦大學

专用集成电路与系统国家重点实验室

RFIC

整理者	版本号	日期	说明
尹睿	1.0	2007.10.10	详细介绍二级运放原理和设计仿真, 供新手入门参考

版权所有，不得侵犯！传播与修改请保留版权信息。

目录

1	引言	1
2	电路分析	2
2.1	电路结构	2
2.2	电路描述	2
2.3	静态特性	3
2.4	频率特性	5
2.5	相位补偿	7
2.6	调零电阻	7
2.7	偏置电路	10
3	设计指标	13
3.1	共模输入范围	13
3.2	输出动态范围	13
3.3	单位增益带宽 (GBW)	14
3.4	输入失调电压	14
3.4.1	系统失调电压	14
3.4.2	随机失调电压	15
3.4.3	工艺失配参数	16
3.5	静态功耗	16
3.6	共模抑制比 (CMRR)	16
3.6.1	定义	16
3.6.2	两级运放的 CMRR	17
3.7	电源抑制比 (PSRR)	18
3.7.1	定义	18
3.7.2	两级运放的 PSRR	19
3.8	转换速率 (Slew Rate)	21
3.8.1	定义	21
3.8.2	两级放大器的 Slew Rate	22
3.8.3	单位增益带宽 GBW 和压摆率 SR	23
3.9	噪声	24
3.9.1	低频噪声	24

3.9.2	输入积分噪声	25
4	电路设计	26
4.1	MOS 工作区域	26
4.2	过驱动电压的影响	27
4.3	约束分析	27
4.3.1	对称和失调	27
4.3.2	静态功耗	27
4.3.3	面积	27
4.3.4	直流增益	28
4.3.5	共模抑制比	28
4.3.6	电源抑制比	28
4.3.7	转换速率	28
4.3.8	等效输入噪声	28
4.4	相位补偿	29
4.5	计算参数	29
4.5.1	工作点分析	29
4.5.2	设计步骤	30
5	HSPICE 仿真	32
5.1	电路网表	32
5.2	仿真网表	35
5.3	静态功耗和直流工作点	36
5.4	直流增益、带宽和相位裕度	36
5.5	共模抑制比	38
5.6	电源抑制比	39
5.7	噪声	40
5.8	压摆率	41
5.9	输出动态范围	42
6	Cadence 仿真	44
6.1	运行软件	44
6.2	原理图绘制方法	47
6.3	单管的匹配	58
6.4	电路符号绘制方法	62
6.5	基本指标仿真	64

6.6	其它指标仿真	68
6.7	仿真结果	71
参考文献		73
附录 A	传递函数与零极点分析	74
A.1	第二级传递函数	74
A.2	第一级传递函数	78
A.3	零极点讨论	79
附录 B	Cadence 常用快捷	81

1 引言

相对与数字集成电路的规律性和离散性，计算机辅助设计方法学在给定所需功能行为描述的数字系统设计自动化方面已经非常成功。但这并不适用于模拟电路设计。一般来说，模拟电路设计仍然需要手工进行。因此，仔细研究模拟电路的设计过程，熟悉那些提高设计效率、增加设计成功机会的原则是非常必要的^[1]。

为此，本手册以应用最为广泛的 CMOS 两级密勒补偿运算跨导放大器为例，详细介绍设计电路的详细流程。

运算放大器（简称运放）是许多模拟系统和混合信号系统中的一个完整部分。各种不同复杂程度的运放被用来实现各种功能：从直流偏置的产生到高速放大或滤波。伴随者每一代 CMOS 工艺，由于电源电压和晶体管沟道长度的减小，为运放的设计不断提出复杂的课题^[2]。

运算放大器的设计可以分为两个较为独立的两个步骤。第一步是选择或搭建运放的基本结构，绘出电路结构草图。一般来说，决定好了电路结构以后，便不会更改了，除非有些性能要求必须通过改变电路结构来实现。

一旦结构确定，接着就要选择直流电流，手工设计管子尺寸，以及设计补偿电路等等，这个步骤包含了电路设计的绝大部分工作。为了满足运放的交流和直流要求，所有管子都应被设计出合适的尺寸。然后在手工计算的基础上，运用计算机模拟电路可以极大的方便对电路进行调试和修改。但要记住，手算是绝对必需的！通过手算，可以深入的理解电路，对于设计多边形法则也可以更好进行权衡和把握。

本手册从分析电路的原理开始（第二章），接着介绍对运放的各个指标做介绍和分析（第三章），然后以具体的指标要求为例，分析约束条件，进行手算（第四章）。之后，将会分别介绍采用 HSPICE（第五章）和 Spectre（第六章）对电路进行仿真和调试。至于版图设计和后仿，将会在以后的版本中逐步添加完善。

2 电路分析

2.1 电路结构

最基本的 COMS 二级密勒补偿运算跨导放大器的结构如图 2.1 所示。主要包括四部分：第一级输入级放大电路、第二级放大电路、偏置电路和相位补偿电路。

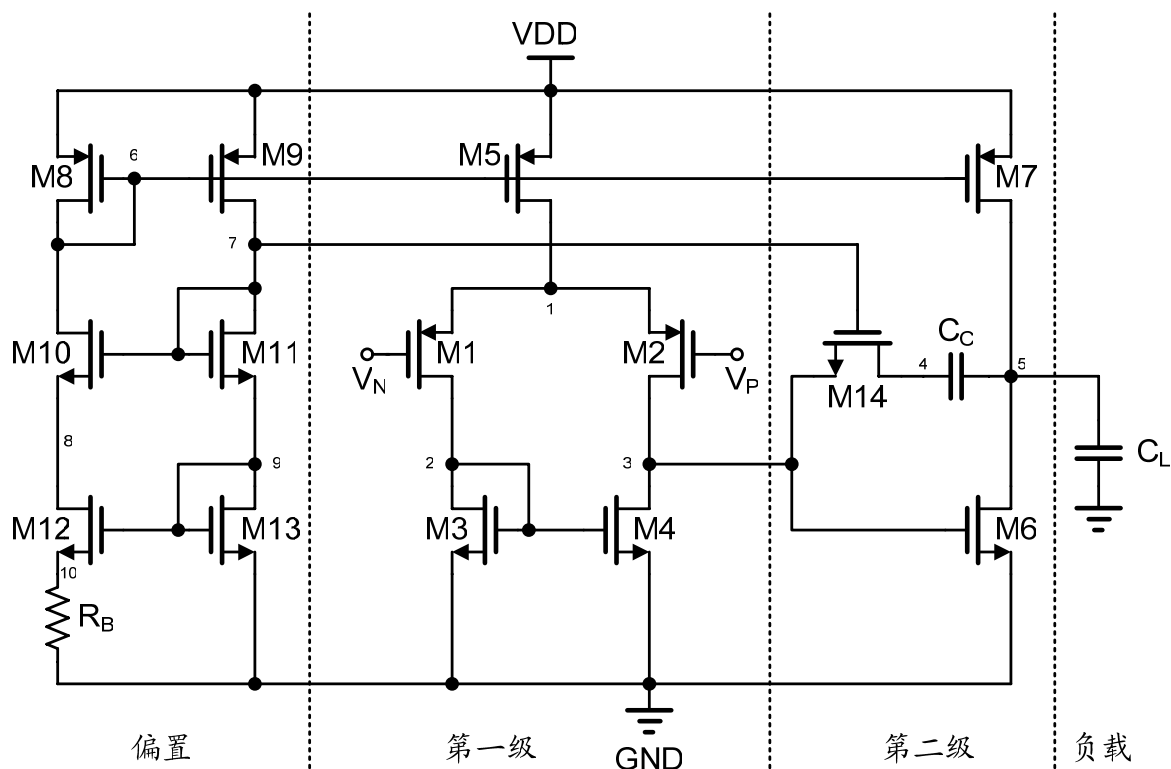


图 2.1 两级运放电路图

2.2 电路描述

输入级放大电路由 M1 ~ M5 组成。M1 和 M2 组成 PMOS 差分输入对，差分输入与单端输入相比可以有效抑制共模信号干扰；M3、M4 电流镜为有源负载；M5 为第一级提供恒定偏置电流。

输出级放大电路由 M6、M7 组成。M6 为共源放大器，M7 为其提供恒定偏置电流同时作为第二级输出负载。相位补偿电路由 M14 和 C_C 构成。M14 工作在线性区，可等效为一个电阻，与电容 C_C 一起跨接在第二级输入输出之间，构成 RC 密勒补偿。

此外从电流与电压转换角度对电路进行分析也许更便于理解，此时可以将绘出运放的层次结构如图 2.2 所示。M1 和 M2 为第一级差分输入跨导级，将差分输入电压转换为差分电流。M3 和 M4 为第一级负载，将差模电流恢复为差模电压。M6 为第二级跨导级，将差分电压信号转换为电流，而 M7 再将此电流信号转换为电压输出。

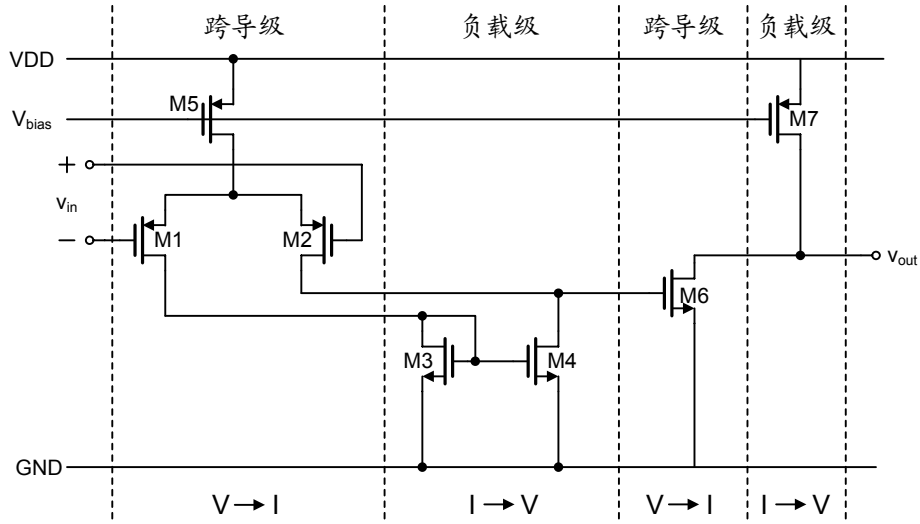


图 2.1 二级运放层次结构示意图

偏置电路由 M8 ~ M13 和 R_B 组成，这是一个共源共栅 Widlar 电流源。M8 和 M9 宽长比相同。M12 与 M13 相比，源极加入了电阻 R_B ，组成微电流源，产生电流 I_B 。对称的 M11 和 M12 构成共源共栅结构，减小沟道长度调制效应造成的电流误差。在提供偏置电流的同时，还为 M14 栅极提供偏置电压。

2.3 静态特性

暂时不考虑调电阻 M14，绘出电路的等效模型，如图 2.3 所示。

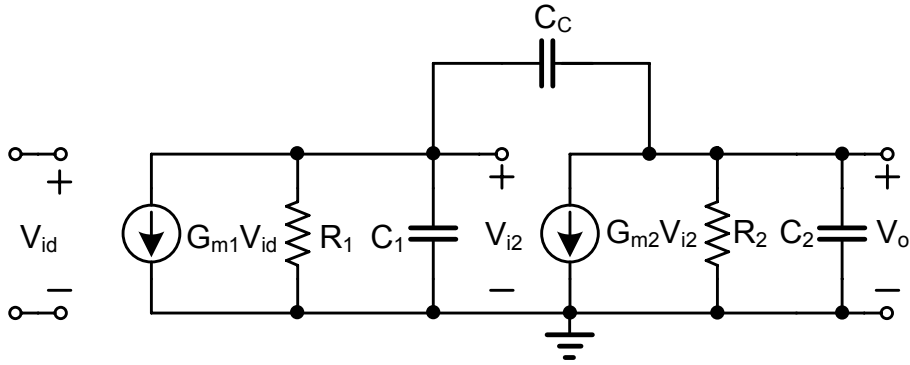


图 2.2 等效电路模型

图中每一级都是互导放大器，由于第一级差分输入对管 M1 与 M2 相同，有

$$G_{m1} = g_{m1} = g_{m2} \quad (2.1)$$

R_1 表示第一级输出电阻，其值为

$$R_1 = r_{o2} \parallel r_{o4} \quad (2.2)$$

则第一级的电压增益

$$A_1 = G_{m1} R_1 = g_{m2} (r_{o2} \parallel r_{o4}) \quad (2.3)$$

对第二级，有

$$G_{m2} = g_{m6} = \frac{2I_{DS6}}{V_{GST6}} \quad (2.4)$$

$$R_2 = r_{o6} \parallel r_{o7} \quad (2.5)$$

第二级的电压增益

$$A_2 = -G_{m2}R_2 = -g_{m6}(r_{o6} \parallel r_{o7}) \quad (2.6)$$

故总的直流开环电压增益为

$$A_0 = A_1 A_2 = -g_{m2}g_{m6}(r_{o2} \parallel r_{o4})(r_{o6} \parallel r_{o7}) \quad (2.7)$$

将 $V_{GS} - V_T$ 简写作 V_{GST} ，有

$$g_m = \mu C_{OX} \frac{W}{L} (V_{GS} - V_T) = \frac{2I_D}{V_{GST}} \quad (2.8)$$

而电阻 r_o 由下式决定

$$r_o = \frac{1}{\lambda I_{DS}} = \frac{V_E L}{I_{DS}} \quad (2.9)$$

其中 λ 是沟道长度调制系数， V_E 为厄利电压， L 为管子的有效沟道长度。它们之间有如下关系

$$V_E L = \frac{1}{\lambda} \quad (2.10)$$

在 LevelOne 模型给出的参数中， $\lambda_n = 0.03 \text{ V}^{-1}$ ， $\lambda_p = 0.06 \text{ V}^{-1}$ 。而在 Spectre 仿真中则考虑沟道长度的影响，只给出了厄利电压值。采用 SMIC 0.18 μm 工艺，在 1.8V 电压下，厄利电压分别为 $V_{En} = 55 \text{ V}/\mu\text{m}$ ， $V_{Ep} = 47 \text{ V}/\mu\text{m}$ 。

于是，针对于 SPICE LevelOne 模型仿真，式(2.7)可以重新表示为

$$\begin{aligned} A_0 &= -\frac{2I_{DS2}}{V_{GST2}} \left(\frac{1}{\lambda_p I_{DS2}} \parallel \frac{1}{\lambda_n I_{DS4}} \right) \frac{2I_{DS6}}{V_{GST6}} \left(\frac{1}{\lambda_n I_{DS6}} \parallel \frac{1}{\lambda_p I_{DS7}} \right) \\ &= -\frac{4}{V_{GST2} V_{GST6} (\lambda_p + \lambda_n)^2} \end{aligned} \quad (2.11)$$

上式中仅包含工艺参数 λ 和设计参数 V_{GST} ，由于 λ 是工艺给定，所以电路的直流增益仅取决于过驱动电压。

若是采用 Spectre 仿真，则直流增益可以用厄利电压来表示，此时式(2.7)可以写成

$$\begin{aligned}
A_0 &= -\frac{2}{V_{GST1}}(V_{Ep}L_2 \parallel V_{En}L_4) \frac{2}{V_{GST6}}(V_{Ep}L_7 \parallel V_{En}L_6) \\
&= \frac{4V_{Ep}^2V_{En}^2L_2L_4L_6L_7}{V_{GST1}V_{GST6}(V_{En}L_4 + V_{Ep}L_2)(V_{En}L_6 + V_{Ep}L_7)} \\
&= \frac{4}{V_{GST1}V_{GST6}}(V_{Ep}V_{En}L_2L_6 + V_{Ep}^2L_2L_7 + V_{Ep}V_{En}L_4L_7 + V_{En}^2L_4L_6)
\end{aligned} \tag{2.12}$$

式(2.12)较式(2.11)而言，除了工艺参数 λ 由变为 V_E 之外，又增加了一个设计参数即管子的沟道长度 L 。 V_E 是工艺给定的，所以可以看到，电路的直流增益与过驱动电压 V_{GST} 成反比，而与 L 成正比。所以，为了得到较高的增益，应当选取较小的过驱动电压和较大的沟道长度。

2.4 频率特性

在图 2.3 所示的等效电路中， C_1 为第一级输出节点到地的总电容，有

$$C_1 = C_{GD2} + C_{DB2} + C_{GD4} + C_{DB4} + C_{GS6} \tag{2.13}$$

C_2 表示第二级输出节点与地之间的总电容

$$C_2 = C_{DB6} + C_{DB7} + C_{GD7} + C_L \tag{2.14}$$

一般，由于 C_L 远大于晶体管电容，所以 C_2 远大于 C_1 ，对节点 3 和节点 5 运用 KCL，有

$$G_{m1}V_{id} + \frac{V_{i2}}{R_1} + sC_1V_{i2} + sC_C(V_{i2} - V_o) = 0 \tag{2.15}$$

$$G_{m2}V_{i2} + \frac{V_o}{R_2} + sC_2V_o + sC_C(V_o - V_{i2}) = 0 \tag{2.16}$$

联立上两式，可以解出电路的传输函数为

$$\frac{V_o}{V_{id}} = \frac{G_{m1}(G_{m2} - sC_C)R_1R_2}{as^2 + bs + 1} \tag{2.17}$$

其中 $a = [C_1C_2 + C_C(C_1 + C_2)]R_1R_2$

$$b = C_1R_1 + C_2R_2 + C_C(G_{m2}R_1R_2 + R_1 + R_2)$$

由式(2.17)的分子项可以得到右半平面零点为

$$f_z = \frac{G_{m2}}{2\pi C_C} = \frac{g_{m6}}{2\pi C_C} \tag{2.18}$$

再来看式(2.17)的分母，对于形如 $as^2 + bs + c = 0$ 的方程，如果有两个实根并相距很远，有 $s_1 = -c/b$ ， $s_2 = -b/a$ 。由此得到两个实根分别为

$$s_1 = -\frac{1}{C_1 R_1 + C_2 R_2 + C_C (G_{m2} R_1 R_2 + R_1 + R_2)} \quad (2.19)$$

$$s_2 = -\frac{C_1 R_1 + C_2 R_2 + C_C (G_{m2} R_1 R_2 + R_1 + R_2)}{[C_1 C_2 + C_C (C_1 + C_2)] R_1 R_2} \quad (2.20)$$

从而电路的主极点

$$f_d = \frac{s_1}{2\pi} = \frac{1}{2\pi R_1 [C_1 + C_C (1 + G_{m2} R_2)]} \quad (2.21)$$

通常 C_1 远小于 C_C ，而且 $G_{m2} R_2$ 也远远大于 1，则上式可以简化为

$$f_d = \frac{1}{2\pi R_1 R_2 G_{m2} C_C} \quad (2.22)$$

而次极点

$$f_{nd} = \frac{s_2}{2\pi} = \frac{G_{m2} C_C}{2\pi (C_1 C_2 + C_1 C_C + C_2 C_C)} \quad (2.23)$$

由于 C_2 和 C_C 远大于 C_1 ，而 C_1 中最主要的部分为 C_{GS6} ， C_2 中则以 C_L 为主，经过适当近似，由式(2.22)可以得到单位增益带宽为

$$GBW = A_0 \cdot f_d = \frac{g_{m1}}{2\pi C_C} \quad (2.24)$$

参照式(2.8)，可以把上式写作

$$GBW = \frac{1}{2\pi C_C} \mu_p C_{ox} \left(\frac{W}{L} \right)_1 V_{GST1} \quad (2.25)$$

上式中，含有两个工艺参数 μ_p 和 C_{ox} ，而设计参数有四个，分别是 C_C 、 W_1 、 L_1 和 V_{GST1} ，可以看到 GBW 与管子的沟道宽度和过驱动电压成正比，而与 C_C 和 L 成反比。也就是说，要得到高的 GBW 就需要增大 $M1$ 和 $M2$ 管的过驱动电压或者减小其沟道长度，对照由式(2.12)得到的结论，可以发现，这与提高增益的要求是相互抵触的，而且管子面积的减小也会使得噪声性能变差，所以在设计电路的时候，需要根据具体应用和设计指标进行权衡 (Tradeoff)。

此外还可以把式(2.24)写作与电流有关的表达式

$$GBW = \frac{I_{DS1}}{\pi C_C V_{GST1}} \quad (2.26)$$

上式说明，在选定了补偿电容和过驱动电压时，电路的单位增益带宽与功耗成正比。在电路设计时一般会对电路功耗有一定限制，所以若想得到高的 GBW ，就必须要有合理的分配各个支路的电流。

第二极点的位置则由式(2.23)得到，为

$$f_{nd} = \frac{g_{m6}}{2\pi C_L} \quad (2.27)$$

一般而言，出于电路稳定的需要，为了达到 45° 的相位裕量，第二极点必须在 1.22GBW 之外，而若要有 60° 相位裕量的话，第二极点必须高于 $2.2\text{GBW}^{[1]}$ 。

应当说明的是，以上计算是基于密勒定理而得到的零极点分布，这种方法得到的极点并不精确，而且会丢掉一个零点，对于电路零极点更为的详细分析，可以参看附录 A，而对于零极点与系统的相关内容，可以参考《信号与系统》中连续时间系统的 s 域分析的有关章节。

2.5 相位补偿

由附录 A 可知，电路有至少四个极点和两个零点，假定 z_2 、 p_3 、 p_4 以及其它寄生极点都远大于 GBW，若不考虑零点 z_1 ，仅考虑第二极点 p_2 ，那么这是一个典型的两极点决定的系统。为保证系统稳定，通常要求有 63° 左右的相位裕度，即保持频率阶跃响应的最大平坦度以及较短的时间响应。

但在考虑 z_1 之后，这个右半平面 (RHP) 的零点在相位域上相当于左半平面 (LHP) 的极点，所以相位裕度会得到恶化。同时如果为了将两个极点分离程度增大，则补偿电容 C_c 就要增大，这也会使得零点减小，进一步牺牲相位裕度，如图 2.4 所示。

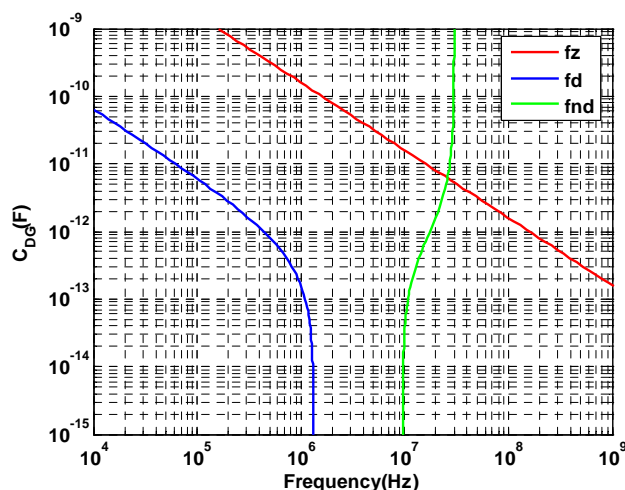


图 2.3 极点分裂与 C_c 的变化

若要消除右半平面零点的影响，一是可以在前馈通路上插入反馈路径的单位增益 buffer，能够消除右半平面的零点，但是这样带来了一个左半平面的零点和左半平面的极点[4]。第二种方法则是下面所介绍的添加调零电阻。

2.6 调零电阻

如果在第一级输出与 C_c 之间串联一个电阻 R_z ，通过调节电阻的大小，便可以实现

移动右半平面零点的作用。这个电阻由 M14 管实现，它工作在线性区，因为通过 M14 的直流电流为零。

在补偿电容上串接此电阻后，电路的主极点和次极点不发生改变，而零点则变为

$$f_z = \frac{1}{2\pi(R_z C_C - C_C / g_{m6})} \quad (2.28)$$

其中 M14 管的电阻

$$R_z = r_{ds} = \frac{1}{\mu_n C_{ox} (W/L)_{14} (V_{GS14} - V_{Tn})} \quad (2.29)$$

一般将饱和区输出电阻写作 r_o ，而线性区 MOS 管电阻写作 r_{ds} 。同时，用 $KP_n = \mu_n C_{ox}$ 和 $KP_p = \mu_p C_{ox}$ 来分别表示 NMOS 和 PMOS 的工艺常数。将式(2.28)整理为

$$f_z = \frac{1}{2\pi C_C} \left(\frac{R_z}{g_{m6}} - 1 \right)^{-1} \quad (2.30)$$

由式(2.30)可以看出， R_z 可以单独控制零点的位置，主要有三种控制零点的方法：

- a) 将零点移到左半平面并与第二极点重合，即 $f_z = f_{p2}$ 。这样一来可以消去第二极点，使补偿后的运放只有一个极点。这就要求

$$g_{m6} R_z = \left(\frac{C_L + C_C}{C_C} \right)$$

但在实际的电路实现中，会有两个问题^[4]，一是由上式可知，第二极点是与负载电容有关的，这样在负载电容未知或者运放工作过程中负载电容发生变化的情况下，很难使得零点和第二极点精确抵消。第二，即使在设计时使得零点的位置等于第二极点，由于工艺波动和寄生电容的影响，会使得 R_z 和电路中其它相关的参数偏离原先的设计值，这样一来两者不能够完全抵消，反而会形成相邻的零、极点对，零、极点对的存在，会对电路的瞬态性能产生不利的影响，因此在应用此方法时要考虑如何在工艺波动和温度变化的情况下仍能使两者精确相等。

- b) 消去零点。即将零点移至无穷远处。这就要求

$$g_{m6} R_z = 1 \quad (2.31)$$

如同前一种方法，这样也会存在工艺波动和温度变化的问题，所以，电路中将 M14 管的栅极与以二极管形式连接的 M11 管的栅极相连，这样一来，因为

$$R_z = \frac{1}{g_{m6}} = \frac{1}{\sqrt{2KP_n (W/L)_6 I_{DS6}}} \quad (2.32)$$

而且

$$R_z = \frac{1}{2KP_n (W/L)_{14} V_{GST14}} \quad (2.33)$$

设置偏置电流使得 M11 与 M14 的源极电压相同，从而使得

$$V_{GST11} = V_{GST14} \quad (2.34)$$

而

$$V_{GST11} = \sqrt{\frac{2I_B}{KP_n (W/L)_{11}}} \quad (2.35)$$

代入式(2.33)，有

$$R_z = \frac{1}{(W/L)_{14}} \sqrt{\frac{(W/L)_{11}}{2KP_n I_B}} \quad (2.36)$$

为了满足式(2.32)的匹配要求，必须有

$$V_{GS13} = V_{GS6} \quad (2.37)$$

因此还必须满足

$$\left(\frac{W}{L}\right)_{13} = \left(\frac{I_B}{I_{DS6}}\right) \left(\frac{W}{L}\right)_6 \quad (2.38)$$

即

$$\frac{(W/L)_{13}}{(W/L)_6} = \frac{(W/L)_9}{(W/L)_7} \quad (2.39)$$

观察电流关系，联立式(2.32)、式(2.36)与式(2.39)，可以得到

$$R_z g_{m6} = \frac{(W/L)_6}{(W/L)_{14}} \sqrt{\frac{(W/L)_{11}}{(W/L)_{13}}} \quad (2.40)$$

此时， $R_z g_{m6}$ 只与管子尺寸有关，与工艺和温度无关。若令式(2.40)等于 1 则可以实现将零点移动到无穷远。但这种方法的主要缺点是假定所有的晶体管都服从平方律特性，而对于日益缩短的沟道长度，管子的特性会显著的偏离平方律特性，从而在上述的计算中产生误差。

- c) 将零点移到左半平面略大于 GBW 的位置。一般为 1.2 倍 GBW 处，从而使得相位超前，也可以提高电路的稳定性。这就需要

$$\frac{1}{R_z C_c} \approx 1.2 \frac{g_{m1}}{C_c} \quad (2.41)$$

即

$$g_{m1}R_Z \approx \frac{1}{1.2} \quad (2.42)$$

若令 $V_{GST1} = V_{GST14}$ ，则有

$$\frac{(W/L)_{14}}{(W/L)_1} \approx \frac{1.2\mu_p}{\mu_n} \quad (2.43)$$

值得注意的是，如果加入了补偿电阻 R_Z ，考虑到 M6 的栅漏电容 C_{GD} ，这会引入右半平面的高频零点，大约为 g_{m6}/C_{GD} ，无论怎么补偿，这个右半平面的高频零点的位置都不会改变。但由于其频率很高，所以其对相位的影响可以忽略。

2.7 偏置电路

偏置电路由 M8~M13 构成，其中包括两个故意失配的晶体管 M12 和 M13，电阻 R_B 串联在 M12 的源极，它决定着偏置电流和 g_{m12} ，所以一般为片外电阻以保证其精确稳定。为了最大程度的降低 M12 的沟道长度调制效应，采用了 Cascode 连接的 M10 以及用与其匹配的二极管连接的 M11 来提供 M10 的偏置电压。最后，由匹配的 PMOS 器件 M8 和 M9 构成的镜像电流源将电流 I_B 复制到 M11 和 M13，同时也为 M5 和 M7 提供偏置。

下面进行具体计算。镜像电流源 M8 和 M9 使得 M13 的电流与 M12 的电流相等，都为 I_B ，从而有

$$I_B = \frac{1}{2}KP_n \left(\frac{W}{L} \right)_{12} (V_{GS12} - V_T)^2 = \frac{1}{2}KP_n \left(\frac{W}{L} \right)_{13} (V_{GS13} - V_T)^2 \quad (2.44)$$

而由电路可知

$$V_{GS13} = V_{GS12} + I_B R_B \quad (2.45)$$

联立上式(2.44)和式(2.45)可以得到

$$\sqrt{\frac{2I_B}{KP_n(W/L)_{13}}} = \sqrt{\frac{2I_B}{KP_n(W/L)_{12}}} + I_B R_B \quad (2.46)$$

整理得

$$I_B = \frac{2}{KP_n(W/L)_{12} R_B^2} \left(\sqrt{\frac{(W/L)_{12}}{(W/L)_{13}}} - 1 \right)^2 \quad (2.47)$$

可以看到， I_B 仅与电阻 R_B 和 M12、M13 的尺寸有关，不受电源电压的影响。

也可以将上式写为

$$R_B = \frac{2}{\sqrt{2KP_n(W/L)_{12}I_B}} \left(\sqrt{\frac{(W/L)_{12}}{(W/L)_{13}}} - 1 \right) \quad (2.48)$$

而其中 $\sqrt{2KP_n(W/L)_{12}I_B} = g_{m12}$ ，因此

$$g_{m12} = \frac{2}{R_B} \left(\sqrt{\frac{(W/L)_{12}}{(W/L)_{13}}} - 1 \right) \quad (2.49)$$

可以看出， g_{m12} 仅由 R_B 以及 M12 与 M13 的器件比例而决定。若取 $(W/L)_{12} = 4 (W/L)_{13}$ 则可以得到

$$g_{m12} = \frac{2}{R_B} \quad (2.50)$$

$$g_{m13} = \frac{1}{R_B} \quad (2.51)$$

由于 MOS 管的 g_m 正比于 $\sqrt{(W/L)I_{DS}}$ ，由此电路提供偏置的每个晶体管的静态电流都可由 I_B 推导得到，即对于第 i 个 NMOS，有

$$g_{mi} = g_{m12} \sqrt{\frac{I_{DSi}(W/L)_i}{I_B(W/L)_{12}}} \quad (2.52)$$

对于第 j 个 PMOS 管有

$$g_{mj} = g_{m12} \sqrt{\frac{\mu_p I_{DSj}(W/L)_j}{\mu_n I_B(W/L)_{12}}} \quad (2.53)$$

以上分析没有考虑到器件的沟道长度调制效应，随着电路特征尺寸的日益减小，沟道长度调制效应已经不能够忽视。考虑了沟道长度调制效应，则晶体管电流需要修正为

$$I_B = \frac{1}{2} \mu C_{ox} \frac{W}{L} V_{GST12}^2 (1 + \lambda V_{DS}) \quad (2.54)$$

参考式(2.10)，如果给定 V_{GST} ， L 越大则 λ 越小，从而电流源越理想，但这样一来，器件的电流能力会减小，因此也许需要按比例增大 W 。

此外，这个偏置电路还存在正反馈，环路增益经计算可得为 $1/(R_B g_{m13})$ ，若使环路增益小于 1，由式(2.51)可知须满足 $(W/L)_{12}/(W/L)_{13} > 4$ 。还要注意的，当所有电流为零时式(2.46)仍满足，所以这这也是一个稳定状态，因此应当添加启动电路以避免所有电流

为零时的这个简并点^[1,5]。

3 设计指标

根据应用场合的不同,我们对电路的要求也会不同。即使同样应用在数据转换方面,对于高精度要求,就需要很高的增益,而对于高速度的要求,则就应该有高的带宽。所以衡量一个电路的性能,就是通过各种具体的指标,本章结合二级运放就所关心的指标,进行一一介绍。

3.1 共模输入范围

共模输入范围即放大器第一级所有 MOS 管工作在饱和区的共模输入电压范围。从电路图上应当注意两点,一是如果 V_N 和 V_P 相等,那么节点 2 和节点 3 的电压一定相等;二是如果第一级五个 MOS 管处于饱和区,那么第二级两个 MOS 管一定处于饱和区。不考虑沟道长度调制效应,当 I_{DS1} 不变,如果共模输入电压 $V_{IN,COM}$ 升高,则要求节点 1 电压升高,而 M5 源漏电压要大于 V_{GST5} ,同时要保证 M1 在饱和区,所以 $V_{IN,COM}$ 的最大值为 $V_{DD}-V_{GST5}-V_{GST1}-|V_{TP}|$ 。注意此时不用考虑 M3 和 M4 的约束,因为在节点 1 电压变化之前,节点 2 电压不会改变。如果考虑沟道长度调制效应,节点 1 电压升高, I_{DS5} 降低,节点 2 电压会有稍许下降。

不考虑沟道长度调制效应,如果共模输入电压 $V_{IN,COM}$ 降低, I_{DS1} 不变,要求节点 1 电压随之下降低, M1 保持在饱和区域成为唯一的限制条件,所以 $V_{IN,COM}$ 的最小值为 $V_{GST3}+V_{TN}-|V_{TP}|$ 。如果考虑沟道长度调制效应,节点 1 电压下降, I_{DS5} 增加,节点 2 电压会有稍许升高。所以共模输入范围是

$$V_{GST3} + V_{TN} - |V_{TP}| \leq V_{IN,CM} \leq V_{DD} - V_{GST5} - V_{GST1} - |V_{TP}| \quad (3.1)$$

这个式子表明若要扩大共模输入范围,可以降低过驱动电压。另外, M1 管的体效应可以用来改变共模输入范围,如果 M1 和 M2 的衬底接到 V_{DD} ,那么 $|V_{TP}|$ 增加,共模输入的低限制可以更低。

如果不是 Level 1 模型,比如考虑 BSIM3 模型,过驱动电压决定了 MOS 管是工作在压阈值区、饱和区还是速度饱和区域,因此要给每一个 MOS 管分配一个合理的过驱动电压 V_{GST} 。对比 V_{DS} 的值与 V_{GST} 的值,便可以知道管子是否工作在饱和区。

3.2 输出动态范围

输出动态范围即输出摆幅,是所有晶体管都工作在饱和区时的输出电压的范围。如果输出电压过低, M6 工作在线性区,如果输出电压过高, M7 工作在线性区。所以输出摆幅范围是

$$V_{GST6} \leq V_{OUT} \leq V_{DD} - V_{GST7} \quad (3.2)$$

一旦输出电压超过输出摆幅,某一个 MOS 管就会进入线性区,输出阻抗降低,增益也

就会下降。降低过驱动电压可以拓展输出摆幅。注意，如果仅仅是容性负载，输出电压可以达到电源电压和地，但此时增益严重下降，失真已经出现。如果有阻性负载（接地），输出电压是无论如何都到达不了电源电压的。

3.3 单位增益带宽（GBW）

单位增益带宽是运放最重要的指标之一，它定义为当运放增益为 1 时，所加输入信号的频率，这是运放所能正常工作的最大频率。单位增益带宽有频率（GBW）和角频率（GB）两种表示方法，两者之间换算关系为

$$GBW = \frac{GB}{2\pi} \quad (3.3)$$

有时在清楚上下文所指的情况下，这两种表示方法也可以相互混用。

若单位增益带宽内只有一个极点，其值可以由运放的开环直流增益与 -3dB 带宽的乘积得到。前文 2.4 节曾对二级运放的 GBW 进行了简要的分析。

3.4 输入失调电压

对于差分输入、单端输出的运放，为最大化输出摆幅，输出电压共模点取在输出摆幅的一半处，即 $(V_{DD} - V_{GST7} + V_{GST6})/2$ ，如果 M6 和 M7 过驱动电压相同，那么输出电压共模点取在 $V_{DD}/2$ 处。输入失调电压定义为单端输出电压为 $V_{DD}/2$ 时的差分输入电压值。注意，失调电压是指直流失调。

运放的输入失调电压包含两部分：系统失调和随机失调。前者来自于电路设计，即使电路中所有匹配器件都相同也会存在；后者来自于应匹配器件的失配。对于 untrimmed 的单片运放，MOS 输入管的典型失调值为 1~20mV。

3.4.1 系统失调电压

在 MOS 工艺中， $g_m r_o$ 的乘积通常在 20 ~ 100 之间，降低第一级增益会使得第二级失调在决定运放失调时起重要作用。如果 $V_N = V_P$ ， $V_2 = V_3$ ，即 $V_{DS3} = V_{DS4}$ 。另一方面，使得 V_5 在 $V_{DD}/2$ 处的 V_{GS6} 可能与 V_{DS4} 不同。举例说明，如果第一级增益为 50， V_{GS6} 和 V_{DS4} 之间每 50mV 的差就会给输入带来 1mV 的失调电压。当第二级的输入和第一级的输出连接时， $V_{GS6} = V_{DS4}$ 。同时第一级完美匹配且 $V_N = V_P$ ， $V_{DS4} = V_{DS3} = V_{GS3}$ ， $V_{T3} = V_{T4} = V_{T6}$ ，要求 $V_{GST3} = V_{GST4} = V_{GST6}$ 。由 MOS 管饱和区电流公式得到

$$\frac{I_{DS3}}{(W/L)_3} = \frac{I_{DS4}}{(W/L)_4} = \frac{I_{DS6}}{(W/L)_6} \quad (3.4)$$

换句话说，要求 MOS 管有相等的过驱动电压等价于它们有相等的电流-宽长比之比，即电流密度值。因为 $I_{DS3} = I_{DS4} = I_{DS5}/2$ ， $I_{DS6} = I_{DS7}$ ，得到

$$\frac{I_{DS5}}{2(W/L)_3} = \frac{I_{DS5}}{2(W/L)_4} = \frac{I_{DS7}}{(W/L)_6} \quad (3.5)$$

因为 $V_{GST5} = V_{GST7}$ ，有

$$\frac{I_{DS5}}{I_{DS7}} = \frac{(W/L)_5}{(W/L)_7} \quad (3.6)$$

将式(3.6)代入式(3.5)得到

$$\frac{(W/L)_3}{(W/L)_6} = \frac{(W/L)_4}{(W/L)_6} = \frac{1}{2} \frac{(W/L)_5}{(W/L)_7} \quad (3.7)$$

为满足式(3.7)，M3、M4 和 M6 必须有相等的电流密度。MOS 管在饱和区，电流密度不仅与栅源电压相关，也与漏源电压弱相关。因为 M3、M4 和 M6 的栅源电压和电流密度相等，它们的漏源电压也一定要相等。所以在这些条件下的直流输出电压为

$$V_{OUT} = V_{DS6} = V_{DS3} = V_{GS3} = V_{GST3} + V_{T3} \quad (3.8)$$

为得到运放输出的系统失调，可以将 $V_{DD}/2$ 与上式的输出电压相减。而输入失调电压即为此差值除以增益

$$V_{OS,sys} = \frac{V_{GST3} + V_{T3} - V_{DD}/2}{A_V} \quad (3.9)$$

A_V 为运放的输入到第二级输出的增益。大部分情况下，直流输出电压不会是 $V_{DD}/2$ ，因为 $V_{GS3} = V_{GST3} + V_{T3} \neq V_{DD}/2$ ，所以系统失调总是存在。尽管系统失调总是存在，但是式(3.7)的比例可以选择一个对工艺偏差不灵敏的工作点。

MOS 管的有效沟道长度会受到源漏扩散 L_d 和漏端耗尽区宽度 X_d 的影响，同理，MOS 管的有效宽度也会受到鸟嘴效应 dW 的影响。在实际的匹配器件中，沟道长度选取为相等，沟道宽度选取为成比例，因为沟道宽度较大从而对工艺偏差的灵敏度较小些。

值得注意的是，M3、M4 和 M6 的栅长取为一致与其它需求相冲突。首先，从稳定性角度考虑，M6 要有大的跨导从而小的沟道长度；其次，从低噪声和随机输入失调考虑，M3 和 M4 要有小的跨导从而大的沟道长度。

3.4.2 随机失调电压

随机失调来源于器件失配，同随机噪声一样，随机失调的极性并不重要。忽略第二级对输入参考随机失调的贡献，得到第一级贡献的直流失调为

$$V_{OS,rand} = \Delta V_{T1} + \Delta V_{T3} \frac{g_{m3}}{g_{m1}} + \frac{V_{GST1}}{2} \left[\frac{\Delta(W/L)_3}{(W/L)_3} - \frac{\Delta(W/L)_1}{(W/L)_1} \right] \quad (3.10)$$

注意的是：1) 第一项为输入管阈值电压失配直接折合到输入；2) 第二项为电流镜阈值

电压失配乘以一个比例折合到输入,若要降低随机失调应使 g_{m3}/g_{m1} 很小,即减小 $(W/L)_3$, 增大 L_3 ; 3) 第三项为器件尺寸失配, V_{GST1} 即平衡过驱动电压, 若要降低此项的影响, 应减小平衡过驱动电压。

3.4.3 工艺失配参数

在 CMOS 工艺中, 栅宽 W 、栅长 L 和阈值电压都存在失配, 定性观察结果在数学和实验上都得到证明, 这里给出两个式子

$$\Delta V_T = \frac{A_{VT}}{\sqrt{WL}} \quad (3.11)$$

$$\Delta \left(\mu C_{ox} \frac{W}{L} \right) = \Delta \beta = \frac{A_K}{\sqrt{WL}} \quad (3.12)$$

其中, A_{VT} 与 A_K 是比例系数, 工艺厂家提供的失配报告中会给出 ΔV_T 和 $\Delta \beta/\beta$ 的值。仿真时, 从失配报告中得到这两个参数, 利用 Monte Carlo 分析即可近似得到工艺失配带来的随机失调。在 SMIC18RF 工艺中, $\Delta V_{T,SAT} = 5.85 \text{ mV} \cdot \mu\text{m}$, $(\Delta \beta/\beta)_{SAT} = 1.52\% \cdot \mu\text{m}$ 。

3.5 静态功耗

一旦电源电压确定, 静态功耗取决于各支路静态电流总和。考察各路电路, 可以知道, 此运放的静态功耗为

$$P_{DC} = V_{DD} \cdot (I_{DS5} + I_{DS7} + I_{DS8} + I_{DS9}) \quad (3.13)$$

电流的分配受其他性能指标的影响, 比如 GBW、转换速率、噪声性能等。

3.6 共模抑制比 (CMRR)

3.6.1 定义

如果运放有差分输入和单端输出, 小信号输出电压可以描述为差分 and 共模输入电压的方程

$$V_o = A_{dm} V_{id} + A_{cm} V_{ic} \quad (3.14)$$

其中 A_{dm} 是差模增益, 有 $A_{dm} = A_0$, A_{cm} 是共模增益。共模抑制比的定义为

$$CMRR = \left| \frac{A_{dm}}{A_{cm}} \right| \quad (3.15)$$

从应用角度考虑, CMRR 可以理解为“每单位共模输入电压的变化引起的输入失调电压的变化”。例如, 假定共模输入电压为零, 然后调整差分输入电压使得输出电压为零, 这是输入的直流电压就是失调电压 V_{OS} 。如果保持差分电压不变, 将共模输入电压改变 ΔV_{ic} , 输出电压就会改变一个量

$$v_o = \Delta V_o = A_{cm} \Delta V_{ic} = A_{cm} v_{ic} \quad (3.16)$$

为使得输出电压重新返回零，使差分输入电压改变一个量

$$v_{id} = \Delta V_{id} = \frac{\Delta V_o}{A_{dm}} = \frac{A_{cm} \Delta V_{ic}}{A_{dm}} \quad (3.17)$$

所以我们可以把 CMRR 理解为共模输入电压变化引起的输入失调电压的变化。结合式 (3.16) 和式 (3.17)，得到

$$CMRR = \left| \frac{A_{dm}}{A_{cm}} \right| = \left(\frac{\Delta V_{id}}{\Delta V_{ic}} \Big|_{V_o=0} \right)^{-1} = \left(\frac{\Delta V_{OS}}{\Delta V_{ic}} \right)^{-1} = \left(\frac{\partial V_{OS}}{\partial V_{ic}} \Big|_{V_o=0} \right)^{-1} \quad (3.18)$$

在差分输入、单端输出的运算放大器中，输入失调电压是共模输入电压的函数，同时这个失调电压又在输出产生一个与所需信号难以区分的电压。对于共模抑制比为 10^4 (80dB) 的电路，1V 的共模电压变化会产生相当于 0.1mV 的输入失调电压。

3.6.2 两级运放的 CMRR

对于电路的共模抑制比，有

$$CMRR = \left| \frac{A_{dm}}{A_{cm}} \right| = \left| \frac{V_5}{V_3} \frac{V_3}{V_{id}} \right| \Big/ \left| \frac{V_5}{V_3} \frac{V_3}{V_{ic}} \right| = CMRR_1 \quad (3.19)$$

其中， $CMRR_1$ 是第一级的共模抑制比，因为第二级是单端输入、单端输出，所以不贡献共模抑制比。因为第一级对于共模输入是完全对称的，考察共模到 V_3 的增益即等于共模到 V_2 的增益。如图 3.1 所示，a) 为共模交流等效电路，b) 为半电路交流等效电路。

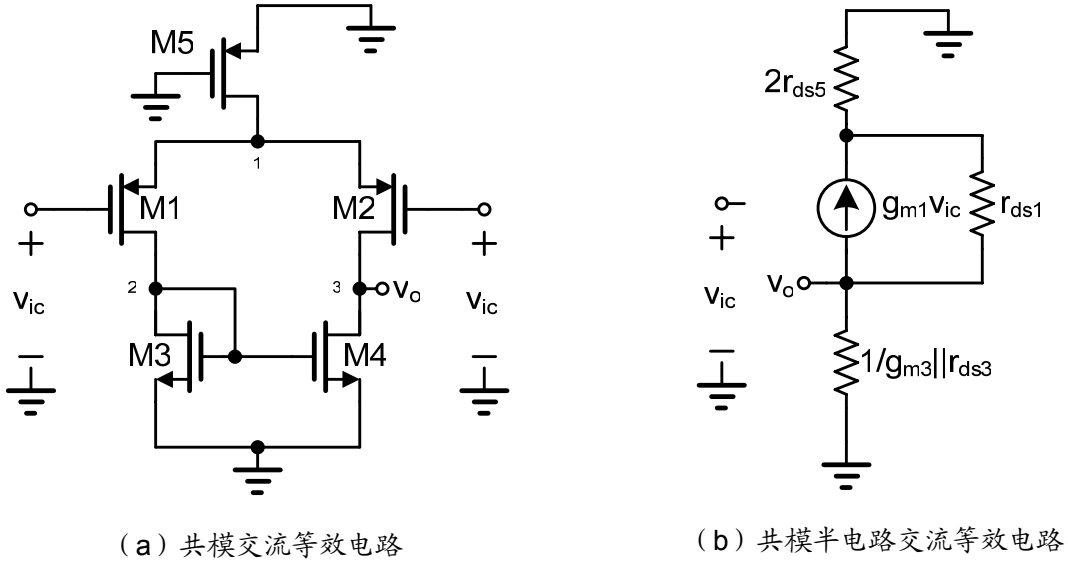


图 3.1 共模等效电路

由源极负反馈增益可知，等效输入跨导 G_m 为

$$G_m = \frac{g_{m1}r_{o1}}{2r_{o5} + r_{o1}(1 + g_{m1}2r_{o5})} \quad (3.20)$$

如果 $g_{m1}r_{o1} \gg 2r_{o5}$ ，那么 G_m 可以化简为

$$G_m \approx \frac{1}{2r_{o5}} \quad (3.21)$$

输出阻抗为

$$R_{out} = \frac{1}{g_{m3}} \parallel r_{o3} \parallel [2r_{o5} + r_{o1}(1 + g_{m1}r_{o5})] \approx \frac{1}{g_{m3}} \quad (3.22)$$

所以共模增益为

$$A_{cm} = G_m R_{out} = \frac{1}{2g_{m3}r_{o5}} \quad (3.23)$$

将式(2.7)和式(3.23)代入式(3.19)，得到

$$CMRR = \left| \frac{A_{dm}}{A_{cm}} \right| = 2g_{m3}r_{o5}g_{m1}(r_{o2} \parallel r_{o4}) \quad (3.24)$$

将跨导和单管输出阻抗替换，忽略单管输出阻抗的沟道长度调制效应，考虑 $I_{DS1} = I_{DS2} = I_{DS3} = I_{DS4} = I_{DS5}/2$ ，得到

$$CMRR = 2 \frac{2I_{DS3}}{V_{DSAT3}} \frac{1}{\lambda_P I_{DS5}} \frac{2I_{DS1}}{V_{DSAT1}} \left(\frac{1}{\lambda_P I_{DS2}} \parallel \frac{1}{\lambda_N I_{DS4}} \right) = \frac{4}{V_{DSAT1} V_{DSAT3} \lambda_P (\lambda_P + \lambda_N)} \quad (3.25)$$

降低过驱动电压可以提高 CMRR，另外将 M5 替换成高阻抗电流源也可以提高 CMRR，但这样会降低共模输入范围。

3.7 电源抑制比 (PSRR)

3.7.1 定义

假设正电源和负电源的小信号变化分别为 v_{dd} 和 v_{ss} ，出于简化考虑 $v_{ic} = 0$ ，那么输出小信号电压为

$$v_o = A_{dm}v_{id} + A^+v_{dd} + A^-v_{ss} \quad (3.26)$$

其中 A^+ 和 A^- 分别是正电源和负电源到输出的小信号增益。将式(3.26)改写为

$$v_o = A_{dm} \left(v_{id} + \frac{A^+}{A_{dm}} v_{dd} + \frac{A^-}{A_{dm}} v_{ss} \right) = A_{dm} \left(v_{id} + \frac{v_{dd}}{PSRR^+} + \frac{v_{ss}}{PSRR^-} \right) \quad (3.27)$$

其中

$$PSRR^+ = \frac{A_{dm}}{A^+} \quad \text{and} \quad PSRR^- = \frac{A_{dm}}{A^-} \quad (3.28)$$

正电源抑制比 $PSRR^+$ 为差模增益除以正电源增益，负电源抑制比 $PSRR^-$ 为差模增益除以负电源增益。电源抑制比应越高越好，以减小电源对输出的影响。实际中，电源抑制比会随着频率的增加而下降。

3.7.2 两级运放的 PSRR

正电源抑制比 $PSRR^+$

在计算正电源增益时，假定负电源和输入都交流接地。由于 M_8 的电流恒定，导致 $V_{GS8} = V_{GS5} = V_{GS7} = 0$ ， g_{m5} 和 g_{m7} 都为零。这样一来，如果 r_{o5} 和 r_{o7} 都接近无穷大，那么正电源增益 $A^+ = v_o/v_{dd} = 0$ 。但实际 r_{o5} 和 r_{o7} 为有限值，交流小信号如图 3.2 所示。正电源增益分通过两部分叠加得到。(a) 中输出为 v_{oa} ， r_{o5} 所接电源为零；(b) 中输出为 v_{ob} ， r_{o7} 所接电源为零。通过线性叠加原理得到 $A^+ = v_o/v_{dd} = (v_{oa} + v_{ob})/v_{dd}$ 。

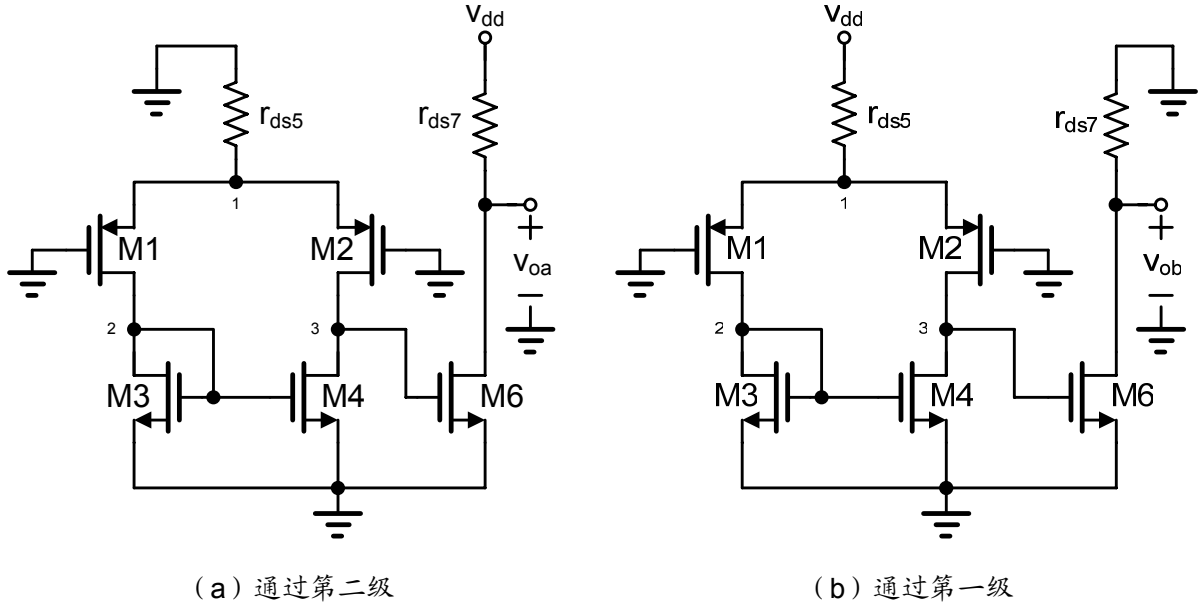


图 3.2 正电源到输出的交流等效电路

在 (a) 中，第一级无偏差， $v_{gs6} = 0$ ，从而 $g_{m6} = 0$ ，输出级呈现为一个分压器。 M_6 和 M_7 的漏源电流相等，因此得到

$$\frac{v_{oa}}{v_{dd}} = \frac{r_{o6}}{r_{o6} + r_{o7}} = \frac{\frac{1}{\lambda_N I_{DS6}}}{\frac{1}{\lambda_N I_{DS6}} + \frac{1}{\lambda_P I_{DS7}}} = \frac{\lambda_P}{\lambda_N + \lambda_P} \quad (3.29)$$

在 (b) 中，有

$$\frac{V_{ob}}{V_{dd}} = \frac{V_{ob}}{V_{gs6}} \frac{V_{gs6}}{V_{dd}} \quad (3.30)$$

此式第一项为第一级放大器正电源到输出的增益，第二项为第二级的增益。第一级等效半电路如图 3.3 所示，这是一个共栅极放大电路，如果 $g_{m1}r_{o1} \gg 2r_{o5}$ ，则参考[2]中式(3.104)可知

$$\frac{V_{gs6}}{V_{dd}} = \frac{g_{m1}r_{ds1} + 1}{2r_{ds5} + r_{ds1}(1 + g_{m1}2r_{ds5}) + \frac{1}{g_{m3}} \parallel r_{ds3}} \cdot \left(\frac{1}{g_{m3}} \parallel r_{ds3} \right) \approx \frac{1}{2g_{m3}r_{ds5}} \quad (3.31)$$

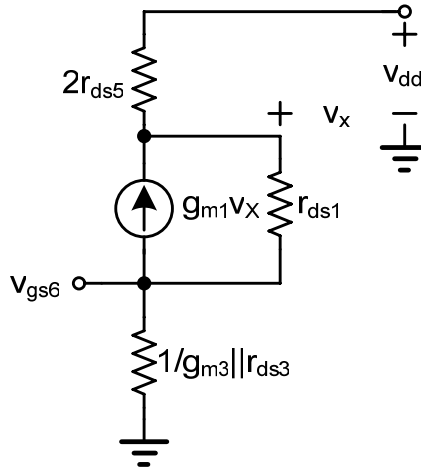


图 3.3 正电源第一级等效电路

而第二级增益为

$$\frac{V_{ob}}{V_{gs6}} = -g_{m6}(r_{ds6} \parallel r_{ds7}) \quad (3.32)$$

将式(3.31)和式(3.32)代入式(3.30)，得到

$$\frac{V_{ob}}{V_{dd}} = \frac{V_{ob}}{V_{gs6}} \frac{V_{gs6}}{V_{dd}} \approx -\frac{g_{m6}(r_{ds6} \parallel r_{ds7})}{2g_{m3}r_{ds5}} = -\frac{g_{m6}}{2g_{m3}} \frac{\lambda_N I_{DS5}}{(\lambda_N + \lambda_P) I_{DS6}} = -\frac{V_{DSAT3}}{V_{DSAT6}} \frac{\lambda_N}{(\lambda_N + \lambda_P)} \quad (3.33)$$

如果为了控制系统失调让 $V_{GST3} = V_{GST6}$ ，那么式(3.33)化简为

$$\frac{V_{ob}}{V_{dd}} \approx -\frac{\lambda_N}{(\lambda_N + \lambda_P)} \quad (3.34)$$

结合式(3.30)和式(3.34)，得到

$$A^+ = \frac{V_{oa} + V_{ob}}{V_{dd}} \approx 0 \quad (3.35)$$

由此得知，如果器件完美匹配，在低频下 $PSRR^+$ 趋近于无穷大，这是因为第一级正电源到输出增益与第二级正电源到输出增益相互抵消。实际电路中，由于失配导致第一级

共模跨导增加，会破坏这个抵消作用，从而降低 $PSRR^+$ 。

负电源抑制比 $PSRR^-$

为计算负电源抑制比，要得到负电源到输出的增益 $A^- = v_o/v_{ss}$ 。假定电源电压 V_{DD} 恒定，运放输入交流接地。从 M_1 漏端向上看，这是一个带源极负反馈的共源放大器，输出阻抗很大，等效为一个电流源和一个大阻抗并联；从 M_3 漏端向下看，阻抗为 $1/g_{m3}$ ，这样负电源即 M_3 源极变化几乎不会改变 M_3 的漏源电流，因此 M_3 的栅源电压保持不变，进而 M_6 的栅源电压保持不变，所以 $g_{m6} = 0$ 。对于负电源而言，通过第一级耦合到输出的增益为零，而第二级相对于负电源呈现为一个阻性分压器，所以

$$A^- = \frac{v_o}{v_{ss}} = \frac{r_{ds7}}{r_{ds6} + r_{ds7}} = \frac{\frac{1}{\lambda_P I_{DS7}}}{\frac{1}{\lambda_N I_{DS6}} + \frac{1}{\lambda_P I_{DS7}}} = \frac{\lambda_N}{\lambda_N + \lambda_P} \quad (3.36)$$

把式(2.11)和式(3.36)代入式(3.28)，得到

$$PSRR^- = \frac{A_{dm}}{A^-} = \frac{\frac{v_o}{v_{id}}}{\frac{v_o}{v_{ss}}} = \frac{-\frac{4}{V_{DSAT1} V_{DSAT6} (\lambda_P + \lambda_N)^2}}{\frac{\lambda_N}{\lambda_N + \lambda_P}} = -\frac{4}{V_{DSAT1} V_{DSAT6} \lambda_N (\lambda_P + \lambda_N)} \quad (3.37)$$

这个式子就是低频下的负电源抑制比。现在分析频率升高后的负电源抑制比的变化，随着频率升高，密勒电容 C_c 阻抗下降，使得 M_6 栅漏短路，负电源变化直接馈通到输出。所以，假定 $C_c \gg C_L$ ，频率高到足以短路 C_c 之后，负电源增益 $A^- = 1$ 。同样的现象使得 A_{dm} 和 A^+ 随频率升高而下降， $PSRR^+$ 相对保持不变。 A^- 增加到 1 而 A_{dm} 下降，只有当 A_{dm} 下降为 1 时， $PSRR^-$ 下降为 1。

3.8 转换速率（Slew Rate）

3.8.1 定义

Slew Rate 也就是压摆率，是指大信号情况下运放的输入端接入较大的阶跃信号，输出信号波形也会发生大的变化，会发生截至或者饱和的现象。输出电压变化对时间的比值叫做压摆率，单位是 $V/\mu s$ 。输出信号波形对输入信号频率具有依赖性，频率过快可能会产生截止或饱和的失真，这叫做压摆率限制（slew rate limiting）。此时运放没有工作在线性区域，而是工作在大信号区域，所以无论是开环还是闭环，压摆率的值是不变的。

压摆率可以与运放的全波带宽（full-power bandwidth）联系起来。全波带宽是指这么一个频率 f_{max} ，在这个频率上，输出的正弦电压的幅度设为运放输出电压的最大值，并且由于压摆率限制开始失真时。这个最大幅度由于运放的内部压降通常小于电源电

压。例如将运放接成单位增益跟随器，输入一个最大幅度的正弦电压 $V_{\max}\sin(2\pi ft)$ ，令其对时间求导并知在过零点取得最大值，将其等于 SR，得到全波带宽为

$$f_{\max} = \frac{SR}{2\pi V_{\max}} \quad (3.38)$$

也就是说 SR 决定了运放能处理的最大频率和最大输出幅度之间的关系。

3.8.2 两级放大器的 Slew Rate

现在分析两级放大器的 SR，如图 3.4 所示。对于大的正输入阶跃，M2 截止，M5 的电流流经 M1 和 M3，电流镜使得 M4 也流经同样的电流。因为 M2 截止，这个电流从 C_c 流过。恒定电流 I_{DS5} 流过 C_c 在其两端产生一个电压梯度，斜率为 $\Delta V/\Delta t = I_{DS5}/C_c$ 。如果 M7 提供足够的电流给 M6，那么 V_{GS6} 保持恒定，节点 3 电压不变，结果导致节点 5 电压呈梯度上升。对于大的负输入阶跃，M1、M3 和 M4 截止，M2 导通，M5 的电流全部流经 M2 并流过 C_c 。由于 M7 有足够的电流流过 M6， V_{GS6} 保持恒定，即节点 3 电压不变，导致节点 5 电压有负向同样斜率的梯度。压摆率 SR 为

$$SR_{\text{int}} = \frac{I_{DS5}}{C_c} \quad (3.39)$$

这叫做内部 SR，因为节点 3 是限制点又是一个内部节点。

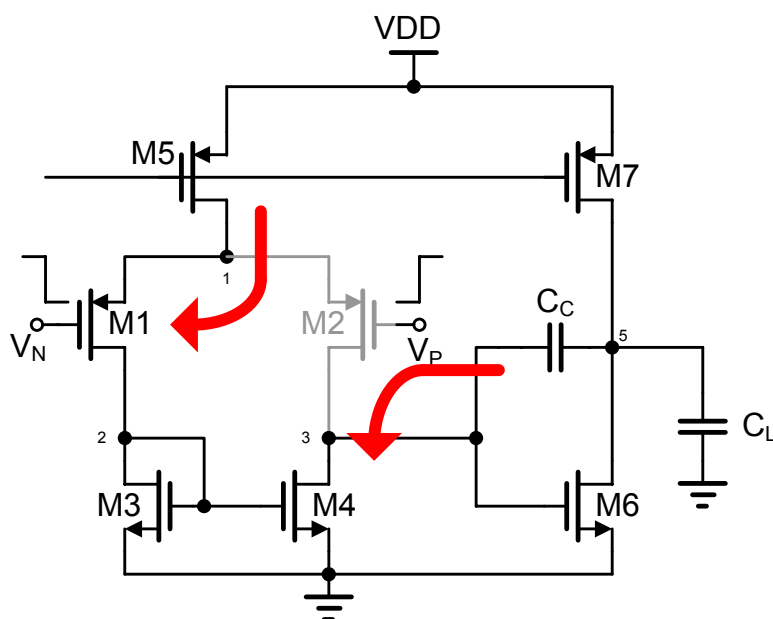


图 3.4 内部压摆率

对于负载电容 C_L 也要充放电。对 C_L 放电不存在问题，因为当 M6 过度驱动 (V_{GS6} 很大) 时可以流经很大的电流。但是当对 C_L 充电时，只能在有限的时间内实现，因为 C_L 是通过 M7 进行充电的。如图 3.5 所示，由于 M7 有一部分电流 I_{DS5} 要留过 C_c ，所以只有 $I_{DS7} - I_{DS5}$ 的电流经过 C_L 。这样一来，对于正的输入阶跃，内部节点 3 的电压会下

降，也会减少流经 M6 的电流。电流 $I_{DS7} - I_{DS5}$ 对 C_L 充电，导致一个正的电压梯度，斜率为

$$SR_{\text{ext}} = \frac{I_{DS7} - I_{DS5}}{C_L} \quad (3.40)$$

这就是外部的压摆率 SR，因为输出节点 5 是限制节点。临界负载电容 C_{Lc} 为

$$C_{Lc} = C_c \frac{I_{DS7} - I_{DS5}}{I_{DS5}} \quad (3.41)$$

这里的 C_{Lc} 包含负载电容和节点 5 的寄生电容。当 C_L 大于 C_{Lc} 时，SR 由 SR_{ext} 决定，反之由 SR_{int} 决定。所以总的 SR 是这两个中的最小值 $\min\{SR_{\text{int}}, SR_{\text{ext}}\}$ ，得到

$$SR = \min\left\{\frac{I_{DS5}}{C_c}, \frac{I_{DS7} - I_{DS5}}{C_L}\right\} \quad (3.42)$$

有些参考文献说 SR_{ext} 为 $I_{DS7}/(C_c + C_L)$ ，其实这是有问题的，因为 $I_{DS7}/(C_c + C_L)$ 介于上面提到的 SR_{int} 和 SR_{ext} 之间，如果总的 SR 为 $\min\{SR_{\text{int}}, SR_{\text{ext}}\}$ ，那么 $I_{DS7}/(C_c + C_L)$ 就没有意义了。

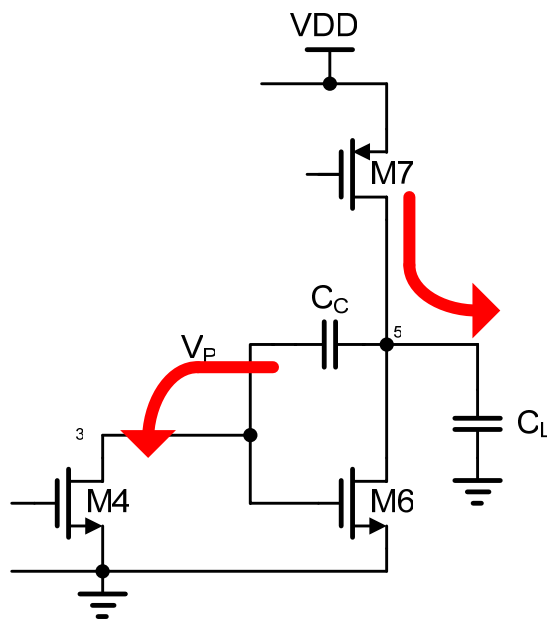


图 3.5 外部压摆率

3.8.3 单位增益带宽 GBW 和压摆率 SR

GBW 和 SR 都可以反映运放的高频性能，线性放大器主要由 GBW 决定，开关电容滤波器要得到更高的频率主要由 SR 决定。由式(3.38)可知，在 GBW 的频率上可获得的最大输出摆幅为

$$V_{\text{out,max}} = \frac{SR}{2\pi GBW} \quad (3.43)$$

如果 $V_{out, max}$ 达不到运放能输出的最大摆幅，压摆率就受到限制。假如 $V_{out, max}$ 为 $0.3V$ ，并有 10% 的三次谐波失真，如果要将失真限制在 1%，就要将输出幅度除以 $\sqrt{10}$ ，因为谐波失真同输出幅度的平方成正比。因此，最大输出幅度只能达到 $0.3/\sqrt{10} \approx 0.1V$ 。

为提高 $V_{out, max}$ ，必须提高 $SR/(2\pi GBW)$ 。对于图 2 的两级运放，假定 SR_{int} 受限，那么可以得到

$$\frac{SR}{2\pi GBW} = \frac{I_{DS5}}{g_{m1}} = V_{GS1} - V_T \quad (3.44)$$

观察这个式子，要提高这个比率，相对于 I_{DS5} ， g_{m1} 就要减小，但是为了高增益和高带宽，需要大的跨导。实际上，不用设计小的跨导，可以设计小的跨导电流比。对于 MOS 管，跨导电流比反比与过驱动电压，如式(3.44)所示。所以要得到大的比率，就要提高输入管的过驱动电压。

如果是 SR_{ext} 受限，由式(3.40)可得

$$\frac{SR}{2\pi GBW} = \frac{I_{DS7} - I_{DS5}}{g_{m1}} \frac{C_c}{C_L} \quad (3.45)$$

提高这个比率的最好的办法是增大 I_{DS7} 。但是 I_{DS7} 也只能增大到 SR_{ext} 受限处，如果继续增大， SR_{ext} 又会再次受限。由式(3.39)和式(3.40)可知，保证 SR_{ext} 不受限也就是 SR_{int} 受限的最小 I_{DS7} 为

$$I_{DS7, min} = I_{DS5} \left(1 + \frac{C_L}{C_c} \right) \quad (3.46)$$

3.9 噪声

3.9.1 低频噪声

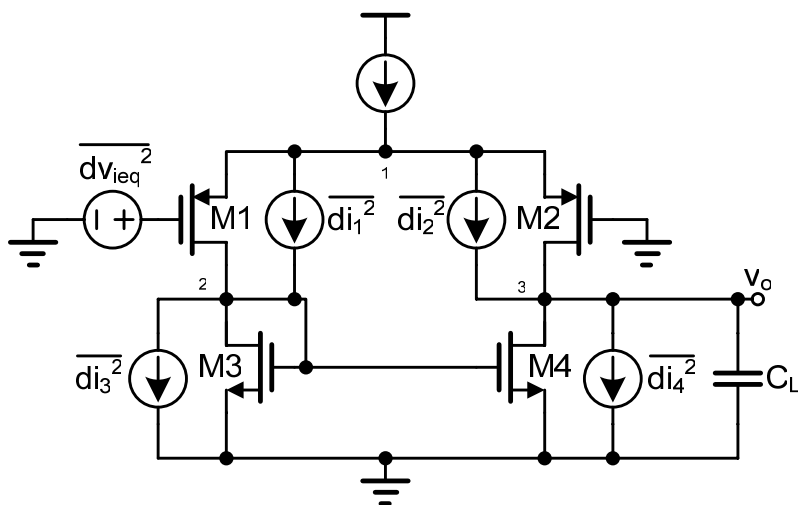


图 3.6 第一级噪声等效电路图

分析一个运放的噪声通常用等效输入噪声来衡量。在图 2.1 的两级运放中，第二级的噪声要除以第一级的增益等效到输入，同第一级噪声相比可以忽略。第一级的小信号噪声模型如图 3.6 所示，由此可得

$$\overline{dv_{ieq}^2} = \frac{\overline{dj_{out}^2}}{g_{m1}^2} = \frac{2(\overline{di_1^2} + \overline{di_3^2})}{g_{m1}^2} = 2\overline{dv_1^2} + 2\overline{dv_3^2} \left(\frac{g_{m3}^2}{g_{m1}^2} \right) \quad (3.47)$$

一个 MOS 管的等效输入电压噪声可以表示为

$$\overline{dv_n^2(f)} = \frac{8kT}{3} \frac{1}{g_m} df + \frac{K_F}{WLC_{OX}} \frac{df}{f} \quad (3.48)$$

第一项为白噪声，第二项为闪烁噪声也就是 $1/f$ 噪声。所有的中频以上白噪声占主导，将式(3.48)的第一项代入式(3.47)得到

$$\overline{dv_{ieq,w}^2} = \frac{16kT}{3} \frac{1}{g_{m1}} \left(1 + \frac{g_{m3}}{g_{m1}} \right) \quad (3.49)$$

低频时 $1/f$ 噪声占主导，将式(3.48)的第二项代入式(3.47)得到

$$\overline{dv_{ieq,f}^2} = 2 \frac{K_{F,p}}{W_1 L_1 C_{OX}} \left[1 + \frac{K_{F,n} W_1 L_1}{K_{F,p} W_3 L_3} \left(\frac{g_{m3}^2}{g_{m1}^2} \right) \right] \frac{df}{f} = \frac{2K_{F,p}}{W_1 L_1 C_{OX}} \left[1 + \frac{K_{F,n} K P_n L_1^2}{K_{F,p} K P_p L_3^2} \right] \frac{df}{f} \quad (3.50)$$

令式(3.49)和式(3.50)相等，即可得 $1/f$ 噪声拐点对应的频率。

可以看到，增大 g_m 即增大 W/L 可以减小白噪声，而增大 W 可以改善闪烁噪声，而输入管的噪声所占比例又较大。所以，一般采用增大输入管面积的方法来优化电路的噪声性能。

3.9.2 输入积分噪声

输入积分噪声等于输入噪声功率谱密度在所有频率上的积分，其包含三部分贡献：低频下 $1/f$ 拐角频率 f_c 内的 $1/f$ 噪声；单位增益带宽内的白噪声；高于第二级点的白噪声。第二部分贡献最大，第一部分其次，第三部分再次之。如果优化设计降低了 $1/f$ 噪声，那么得到

$$\overline{V_{nieq}^2} = \frac{4kT}{3C_c} \quad (3.51)$$

4 电路设计

在这一章中，我们要结合 SPICE 的 LevelOne 模型来设计电路，通过手工计算，得到各设计参数值。设计指标如下表所示

表 4.1 设计指标

设计指标	带宽最大化
管子长度	$\geq 0.8 \mu\text{m}$
管子宽度	$\geq 2 \mu\text{m}$
面积	$\leq 20000 \mu\text{m}^2$
负载电容	$= 3 \text{ pF}$
共模输入电压	固定在 $(V_{DD} + V_{SS}) / 2$
输出动态范围	输出动态范围 $[0.1(V_{DD}-V_{SS}), 0.9(V_{DD}-V_{SS})]$
静态功耗	$\leq 2\text{mW}$
开环直流增益	$\geq 80 \text{ dB}$
单位增益带宽	Maximize
相位裕度	$\geq 60 \text{ degree}$
转换速率	$\geq 30 \text{ V}/\mu\text{s}$
共模抑制比	$\geq 60\text{dB}$
负电源抑制比	$\geq 80\text{dB}$
等效输入噪声	$\leq 300 \text{ nV}/\text{Hz} @1\text{KHz}$

在这之前，需要得到此模型下的工艺参数值。为此，用文本编辑软件如 UltraEdit 打开 LevelOne.mdl 文件，文件内容就是 NMOS 管与 PMOS 管一级模型下的各个参数与其数值，各符号所代表参数与意义可以查阅【拉书 32 页】，在此仅列出常用的几个。

参数	单位	NMOS	PMOS
V_T	V	0.7	-0.9
$KP_{n(p)}$	$\mu\text{A}/\text{V}^2$	103.6	34.5
t_{ox}	nm	20	20
λ	V^{-1}	0.03	0.06
KF	C^2/cm^2	4×10^{-24}	2×10^{-24}
μ_0	$\text{cm}^2/\text{V}/\text{s}$	600	200

4.1 MOS 工作区域

为使运放正常工作，首先要保证 MOS 管工作状态正确，要求 M1 ~ M13 工作在饱和区，M14 工作在线性区。MOS 管工作在饱和区，要求 $|V_{DS}| > |V_{GS}| - |V_T|$ 。同时过驱动电压不能太大，否则沟道长度调制效应明显，而且输出摆幅会受到限制。

4.2 过驱动电压的影响

过驱动电压在很多方面影响着运放的性能，降低过驱动电压可在以下几方面提高运放的性能：由式(3.1)可知能够提高共模输入范围；由式(3.2)可知能够增大输出摆幅；由式(3.10)可知能够降低输入失调电压；由式(2.7)可知能够提高电压增益；由式(3.25)可知能够提高共模抑制比；由式(3.37)可知能够提高负电源抑制比；由式(2.25)可知能够增大单位增益带宽 GBW。然而，降低过驱动电压也存在缺点，主要是会降低 MOS 管的渡越频率，由式(3.43)和式(3.44)可知降低过驱动电压会降低 GBW 频率下的可获得最大电压摆幅。

另外，由式(3.49)可知降低 M_1 、 M_2 的过驱动电压，增加 M_3 、 M_4 的过驱动电压，有利于降低低频运放等效输入白噪声。

4.3 约束分析

4.3.1 对称和失调

首先为了对称性，需要满足

$$W1 = W2, L1 = L2; W3 = W4, L3 = L4$$

其次为得到无系统失调或者说对工艺偏差不灵敏的工作点，由式(3.7)得

$$\frac{(W/L)_{3,4}}{(W/L)_6} = \frac{\frac{1}{2}(W/L)_5}{(W/L)_7}$$

对于偏置电路，有

$$(W/L)_8 = (W/L)_9, (W/L)_{10} = (W/L)_{11}$$

为简化设计，可以使 $(W/L)_{12} = 4(W/L)_{13}$ 。对于 M_{14} 宽长比的设计，要考虑 RHP 零点补偿方式，由式(2.40)获得。

4.3.2 静态功耗

先进行静态功耗分析，指标是 2mW 以内，电源电压为 5V，所以消耗电流要控制在 400 μ A 之内。令 M_8 的源漏电流 I_{DS8} 为标准电流 I_B ，并且 $I_{DS5} = k_1 I_{DS8}$ ， $I_{DS7} = k_2 I_{DS8}$ 。因此要满足

$$(k_1 + k_2 + 2)I_{DS8} \leq 400\mu A \quad (4.1)$$

4.3.3 面积

电路总面积为 14 个 MOS 管面积和电阻 R_B 以及电容 C_C 面积之和，MOS 管面积为栅面积和源、漏面积之和，应有 $A_{MOS} = A_S + A_D + WL$ 。由于采用 Level 1 模型，由库中

得知, $A_S = A_D = 3W^2$, 所以 $A_{MOS} = 6W^2 + WL$ 。当然, 版图中还应包括器件之间的间隙, dummy, guardring 和电源、地环, 为简化分析, 这里暂不考虑。如果 R_B 采用高阻 Poly 制作, 其面积可以忽略, 但电容往往会占很大的面积, 从而要满足

$$\sum_{i=1}^{14} (6W_i^2 + W_iL_i) + A_{C_c} < 20000\mu\text{m}^2 \quad (4.2)$$

4.3.4 直流增益

指标要求直流增益大于等于 80dB, 也就是 10000 倍, 由式(2.11)得

$$\frac{4}{V_{GST1}V_{GST6}(\lambda_P + \lambda_N)^2} \geq 10000 \quad (4.3)$$

由 Level 1 模型知, $\lambda_P = 0.06$, $\lambda_N = 0.03$, 并令 $V_{GST1} = V_{GST6}$, 则有 $V_{GST1} \leq 0.22V$ 。

4.3.5 共模抑制比

指标要求共模抑制比 CMRR 大于等于 60dB, 也就是 1000 倍, 由式(3.25)得

$$\frac{4}{V_{GST1}V_{GST3}\lambda_P(\lambda_P + \lambda_N)} \geq 1000 \quad (4.4)$$

令 $V_{GST1} = V_{GST3}$, 则有 $V_{GST1} \leq 0.86V$ 。

4.3.6 电源抑制比

理论上, 正电源抑制比为无穷大, 指标要求负电源抑制比大于等于 80dB, 也就是 10000 倍, 由(3.37)得

$$\frac{4}{V_{GST1}V_{GST6}\lambda_N(\lambda_P + \lambda_N)} \geq 10000 \quad (4.5)$$

令 $V_{GST1} = V_{GST6}$, 则有 $V_{GST1} \leq 0.385V$ 。

4.3.7 转换速率

指标要求 SR 大于等于 30V/ μs , 由(3.42)得

$$SR = \min \left\{ \frac{I_{DS5}}{C_c}, \frac{I_{DS7} - I_{DS5}}{C_L} \right\} \geq 30 \text{ V}/\mu\text{s} \quad (4.6)$$

C_c 未知, 但一般约为 C_L 的三分之一, 即 1pF。这样得到 $I_{DS5} \geq 30\mu\text{A}$, $I_{DS7} \geq 120\mu\text{A}$ 。

4.3.8 等效输入噪声

指标要求等效输入噪声小于等于 300 nV/Hz @1KHz, 1kHz 处通常 1/f 噪声占主导, 由式(3.50)得

$$\sqrt{\frac{2K_{F,p}}{W_1L_1C_{OX}} \left[1 + \frac{K_{F,n}KP_nL_1^2}{K_{F,p}KP_pL_3^2} \right] \frac{df}{1kHz}} \leq 300\text{nV}/\sqrt{\text{Hz}} \quad (4.7)$$

实际上, L_1 和 L_3 之间存在一个比例使得 $1/f$ 噪声有个最小值。令 $\alpha = L_1/L_3$, 由 Level 1 模型知 $K_{F,n} = 4 \times 10^{-24} \text{ V}^2/\text{F}$, $K_{F,p} = 2 \times 10^{-24} \text{ V}^2/\text{F}$, $KP_n = 103.6 \mu\text{A}/\text{V}^2$, $KP_p = 34.5 \mu\text{A}/\text{V}^2$, 由上式得到

$$W_1L_1 \geq \frac{K_{F,p}}{4.5 \times 10^{-11} C_{OX}} \left(1 + \frac{K_{F,n}KP_n\alpha^2}{K_{F,p}KP_p} \right) = \frac{2 \times 10^{-24}}{4.5 \times 10^{-11} \times 1.7265 \times 10^{-3}} \left(1 + \frac{4 \times 103.6\alpha^2}{2 \times 34.5} \right) \quad (4.8)$$

当 $\alpha = 1$ 时, $W_1L_1 \geq 180\mu\text{m}^2$, $\alpha = 1/2$ 时, $W_1L_1 \geq 64.4\mu\text{m}^2$, $\alpha = 1/3$ 时, $W_1L_1 \geq 43\mu\text{m}^2$ 。

4.4 相位补偿

前文 2.6 节曾经提到, M14 管可以不受 PVT (工艺、电压和温度) 变化跟踪 g_{m6} , 即可以跟踪非主极点 p_2 , 我们选择让 z_1 在 1.2GBW 处, p_2 在 1.5GBW 处。这样既可以增加相位裕度, 也不至于浪费较大功耗。由于采用线性 MOS 管和特殊的偏置电路实现补偿电阻, 这样不会受到 PVT 的影响。由式(2.18)、式(2.24)和式(2.40)得到

$$R_c g_{m6} = \frac{(W/L)_6}{(W/L)_{14}} \frac{\sqrt{(W/L)_{11}}}{\sqrt{(W/L)_{13}}} = \frac{g_{m6}}{1.2g_{m1}} + 1 \quad (4.9)$$

同时使非主极点 p_2 在 1.5GBW 处, 由式(2.18)和式(2.27)得

$$\frac{g_{m6}}{C_L \left(1 + \frac{C_{n3}}{C_c} \right)} = 1.5\text{GBW} = \frac{1.5g_{m1}}{C_c} \quad (4.10)$$

由上式得到

$$\frac{g_{m6}}{g_{m1}} = \frac{1.5C_L}{C_c} \left(1 + \frac{C_{n3}}{C_c} \right) \quad (4.11)$$

其中 C_{n3} 为 3 点对地总电容, 包括 $C_{GS6} + C_{DB2} + C_{DB4}$, 由于 M6 尺寸很大, C_{GS6} 占主导。

4.5 计算参数

4.5.1 工作点分析

给定电源电压 $V_{DD} = 5\text{V}$, 共模输入电压为 $V_{DD}/2 = 2.5\text{V}$ 。如果设置 MOS 宽长比的尺寸满足(3.7)的电流密度的关系, 由于 $V_{GS3} = V_{DS3} = V_{GS4} = V_{DS4} = V_{GS6}$, 同时令 $(W/L)_7/(W/L)_5 = k$, 那么 $(W/L)_6/(W/L)_{3,4} = 2k$, 理论上 $V_{DS6} = V_{DS3}$ 。而在实际电路中, 这个结论有个前提是 $I_{DS6}/I_{DS3,4} = 2k$, 即 $I_{DS7}/I_{DS5} = k$ 。比如过驱动电压取为 0.2V, 那么 V_{DS6}

$= V_{DS3} = 0.2V$ ，即表示 $|V_{DS7}| = 4.8V$ 。如果 $|V_{DS5}| = 0.2V$ ，那么 $I_{DS7}/I_{DS5} > K$ ，导致 $V_{DS6} > V_{DS3}$ ，这在电路仿真中会观察到。

对于 MOS 管宽长比的设计，可以先选择合适的过驱动电压，然后分配合理的电流，最后再计算宽长比。通常先选择过驱动电压为 $0.1V \sim 0.2V$ ，如果是已知跨导，就可以计算其电流和宽长比，如果是预先分配电流，也可以计算其跨导和宽长比。

4.5.2 设计步骤

- a) 选择 C_c 的大小。与 C_c 相关的是单位增益带宽、输入积分噪声、 z_1 位置和压摆率。 C_c 增大大有几个好处，增强极点分裂功能，降低输入积分噪声，降低第二级功耗，提高相位裕度，但缺点是降低了 GBW 和压摆率。而且 C_c 的选择和负载取值有关，所以我们尽量增大 C_c ，前提是满足压摆率指标，然后增加 g_{m1} 以提高 GBW。在 I_{DS1} 不变的前提下， g_{m1} 的提高可以通过降低 V_{DSAT1} 得到。本设计中负载是 $3pF$ ，考虑寄生电容存在，选取 C_c 初值为 $1.8pF$ ，在后面的步骤中可以通过迭代调整 C_c 的值。
- b) 相位补偿。选择 4.4 节的相位补偿方案，由(4.11)，选取 $g_{m6} = 3.2g_{m1}$ 。
- c) 选择过驱动电压。由 4.2 节可知， V_{DSAT1} 降低有助于提高共模输入范围，增大输出摆幅，降低输入失调电压，提高电压增益，提高共模抑制比，提高负电源抑制比。另外，在同等电流前提下，过驱动越小，跨导越大。所以 V_{DSAT1} 尽量取小比如 $0.1V$ 。
- d) 分配电流。第一级电流增大有助于提高 g_{m1} ，提高 SR_{int} ，这里取 $I_{DS6} = 4I_{DS1}$ 。取偏置电流 $I_{DS8} = 10\mu A$ ， $k_1 = 12$ ， $k_2 = 24$ ，即 $I_{DS5} = 120\mu A$ ， $I_{DS7} = 240\mu A$ ，总电流为 $380\mu A$ 。
- e) 计算 $M_{1,2}$ 宽长比。已知 $I_{DS1} = 60\mu A$ ， $V_{DSAT1} = 0.1V$ ，得到 $(W/L)_1 = 347.8$ 。由 4.3.8 节可知，当 $\alpha = 2$ 时， $W_1 L_1 \geq 64.4\mu m^2$ ，由此得到 $L_1 > 0.43\mu m$ 。由于要加上 $2L_D$ 即 $0.4\mu m$ 的扩散长度，预先取 $L_1 = 0.8\mu m$ ，得到 W_1 为 $140\mu m$ 。因此得到 $(W/L)_{1,2} = 140\mu m / 0.8\mu m$ 。要注意的是， $W_1 L_1$ 乘积不能太大，否则 3 点寄生电容会很大。
- f) 计算 $M_{3,4}$ 、 M_6 、 M_5 和 M_7 的宽长比。由于 $\alpha = 2$ ，取 $L_{3,4} = 2L_1$ 即为 $1.2\mu m$ 。为保证小的失调，取 $L_6 = L_{3,4} = 1.2\mu m$ （在 Level 1 模型中反映不出）。对于 L_5 和 L_7 ，为保证小寄生电容取最小长度 $0.4\mu m$ 即可，因此得到 $L_{5,7} = 0.8\mu m$ 。由于 $g_{m6} = 3.2g_{m1}$ ， $I_{DS6} = 4I_{DS1}$ ，得到 $V_{DSAT6} = 0.125V$ ，进而得到 $W_6 = 240\mu m$ 。再由 k_1 和 k_2 得 $W_{3,4} = 60\mu m$ 。 M_5 和 M_7 是偏置管，为保证小的寄生电容，取过驱动为 $0.4V$ 。 $I_{DS5} = 120\mu A$ ，得到 $W_5 = 18\mu m$ ，因此有 $W_7 = k_2/k_1 \times W_5 = 36\mu m$ 。从而得到 $(W/L)_{3,4} = 10/1.2$ ， $(W/L)_6 = 240/1.2$ ， $(W/L)_5 = 18/0.8$ ， $(W/L)_7 = 36/0.8$ 。
- g) 计算 $M_{8,9}$ 、 $M_{10,11}$ 、 M_{12} 、 M_{13} 的宽长比和 R_B 的阻值。要满足式(2.39)，同时取 $(W/L)_{12} = 4(W/L)_{13}$ 。 $I_{DS13} = 10\mu A$ ，由式(2.44)和 $V_{DSAT13} = V_{DSAT12} = 0.125V$ 得 $R_B = 6.25k$ 。取 $L_{13} = L_6 = 1.2\mu m$ ，得 $(W/L)_{13} = (W/L)_6/k_2 = 10\mu m / 1.2\mu m$ 。也得到 $(W/L)_{12} =$

40 μm /1.2 μm ，取 $(W/L)_{10} = (W/L)_{11} = (W/L)_{13} = 10\mu\text{m}/1.2\mu\text{m}$ 。取 $L_{8,9} = L_7 = 0.8\mu\text{m}$ ，得 $(W/L)_{8,9} = 1/k_2*(W/L)_7 = 1.5\mu\text{m}/0.8\mu\text{m}$ 。

h) 计算 M_{14} 的宽长比。由式(4.9)取这个比例为 3.7，得到 $(W/L)_{14} = 65\mu\text{m}/1.2\mu\text{m}$ 。

最终得到的器件参数如下

M1	140/0.8	M9	1.5/0.8
M2	140/0.8	M10	10/1.2
M3	60/1.2	M11	10/1.2
M4	60/1.2	M12	40/1.2
M5	18/0.8	M13	10/1.2
M6	240/1.2	M14	65/1.2
M7	36/0.8	C_c	1.8 pF
M8	1.5/0.8	R_B	6.25 k Ω

注意这里有几个关系式要保证严格成立，即式(2.39)和式(3.7)。至此，完成了电路中各器件参数的手工计算。

5 HSPICE 仿真

HSPICE 是电路模拟仿真的工具。其前身可追溯到 1972 年诞生于美国加利福尼亚大学伯克利分校的 SPICE (Simulation Program with Integrated Circuit Emphasis)。HSPICE 可在直流到 100GHz 的频率范围内对电路进行准确的仿真、分析及优化。其主要特征如下:

- 极佳的收敛性。
- 精确的模型。
- 对模型及单元的电路优化, 可同步优化多种参数。
- 支持蒙特卡罗和最差情况分析。
- 参数化单元的输入、输出及行为级代数描述。

由于通过网表文件, 使得各元件的参数值可以非常灵活的调整, 从而对于分析电路, 考察指标以及调试电路都带来很大的方便。

5.1 电路网表

以下是二级运放的电路描述文本, 后缀名为 .sp, 称做输入网表。其中各种参数只给出了初始值, 在设计好电路参数后, 需要修改成设计值。下面采用注释方法对网表做简单说明, 具体内容可参考相关 SPICE 教程。

***** Project: TWO-STAGE OPAMP *****

\$title :声明网表名称, 并非必要, 默认情况下 Hspice 不会执行网表的第一行, 而是将\$其解释为网表名称。

***** Power Supply 5V*****

\$参数赋值

.param Vp = 5.0v

.param W1 = 10u L1 = 0.8u W2 = 10u L2 = 0.8u

.param W3 = 10u L3 = 0.8u W4 = 10u L4 = 0.8u

.param W5 = 10u L5 = 0.8u

.param W6 = 10u L6 = 0.8u

.param W7 = 10u L7 = 0.8u

.param W8 = 10u L8 = 0.8u W9 = 10u L9 = 0.8u

```

.param W10 = 10u  L10 = 0.8u  W11 = 10u  L11 = 0.8u  W13 = 10u  L13 = 0.8u
.param W12 = 10u  L12 = 0.8u
.param W14 = 10u  L14 = 0.8u
.param Cc = 1pf
.param Rbb = 10k

.subckt opamp vp vn out vdd vss  $声明子电路
M1 2 vp 1 1 PCH L = L1 W = W1
$ MOS 管 M1, 漏、栅、源、衬底分别连接节点 2,vp,1,1, 采用模型 PCH, 沟道长度 = L1,
$宽度 = W1
+ AS = 'W1*3u' AD = 'W1*3u' PS = 'W1+6u' PD = 'W1+6u'  $行首“+”表示续接上一行
M2 3 vn 1 1 PCH L = L2 W = W2
+ AS = 'W2*3u' AD = 'W2*3u' PS = 'W2+6u' PD = 'W2+6u'
M3 2 2 vss vss NCH L = L3 W = W3
+ AS = 'W3*3u' AD = 'W3*3u' PS = 'W3+6u' PD = 'W3+6u'
M4 3 2 vss vss NCH L = L4 W = W4
+ AS = 'W4*3u' AD = 'W4*3u' PS = 'W4+6u' PD = 'W4+6u'
M5 1 6 vdd vdd PCH L = L5 W = W5
+ AS = 'W5*3u' AD = 'W5*3u' PS = 'W5+6u' PD = 'W5+6u'
M6 out 3 vss vss NCH L = L6 W = W6
+ AS = 'W6*3u' AD = 'W6*3u' PS = 'W6+6u' PD = 'W6+6u'
M7 out 6 vdd vdd PCH L = L7 W = W7
+ AS = 'W7*3u' AD = 'W7*3u' PS = 'W7+6u' PD = 'W7+6u'

***** Current Bias independent of Power Supply *****
$偏置电流源电路
M8 6 6 vdd vdd PCH L = L8 W = W8
+ AS = 'W8*3u' AD = 'W8*3u' PS = 'W8+6u' PD = 'W8+6u'
M9 7 6 vdd vdd PCH L = L9 W = W9
+ AS = 'W9*3u' AD = 'W9*3u' PS = 'W9+6u' PD = 'W9+6u'
M10 6 7 8 vss NCH L = L10 W = W10

```

+ AS = 'W10*3u' AD = 'W10*3u' PS = 'W10+6u' PD = 'W10+6u'

M11 7 7 9 vss NCH L = L11 W = W11

+ AS = 'W11*3u' AD = 'W11*3u' PS = 'W11+6u' PD = 'W11+6u'

M12 8 9 10 vss NCH L = L12 W = W12

+ AS = 'W12*3u' AD = 'W12*3u' PS = 'W12+6u' PD = 'W12+6u'

M13 9 9 vss vss NCH L = L13 W = W13

+ AS = 'W13*3u' AD = 'W13*3u' PS = 'W13+6u' PD = 'W13+6u'

RB 10 vss Rbb

***** Miller Compensation, Zero Cancellation Compensation *****

\$米勒补偿电路

CC 4 out Cc

M14 4 7 3 vss NCH L = L14 W = W14

+ AS = 'W14*3u' AD = 'W14*3u' PS = 'W14+6u' PD = 'W14+6u'

***** Output Loading Capacitor *****

\$负载电容

CL out vss 3PF

.ends

X1 vin- vin+ vout1 vdd vss opamp

\$X1

子电路名，必须以“X”开始。

\$vin- vin+ vout1 vdd vss

子电路连接到的外部节点。

\$opamp

所调用的子电路名。

\$parnam = val

为调用的子电路参数赋值。

X2 vin vin vout2 vdd vss opamp

X3 vcm vcm vout3 vdd vsc opamp

X4 vcm vcm vout4 vdc vss opamp

X5 vout5 vi5 vout5 vdd vss opamp

vd vdd gnd Vp *\$电源 vd，正端接节点 vdd，负端接 gnd，值为 Vp*

vs vss gnd 0

vc vcm gnd 'Vp/2'

.inc LevelOne.mdl *\$文件包含声明*

.INC default.sim

.OPTIONS INGOLD = 0

\$设定控制选项，此处设置输出数据格式 ingold = 0，即指数被表示成单个字母

5.2 仿真网表

以下是仿真测试网表文件

*.option post = 2

*.option nomod

*.option accurate = 1

**** Slew Rate Measurement

vi5 vi5 gnd pulse('Vp/2-0.5' 'Vp/2+0.5' 20ns 0.1ns 0.1ns 200ns 400ns)

.tran 1ns 400ns

.probe I(X5.M6) I(X5.M7) I(X5.M2) I(X5.M4) I(X5.M5)

vin- vin- gnd dc = 'Vp/2'

vin+ vin+ gnd dc = 'Vp/2' ac = 1v

vin vin gnd dc = 'Vp/2' ac = 1v

vsc vsc gnd ac = 1v

vdc vdc gnd dc = Vp ac = 1v

.ac dec 10 1 1000meg

*.ac dec 10 1 1000meg sweep x 0 Vp 0.1

.noise v(vout1) vin+ 100

.probe p1 = par('20*log10(v(vout1)/v(vin+))')

.probe p2 = par('20*log10(v(vout2)/v(vin))')

```

.probe p3 = par('20*log10(v(vout3)/v(vsc))')
.probe p4 = par('20*log10(v(vout4)/v(vdc))')

.probe CMRR = par('20*log10(v(vout1)/v(vin+))-20*log10(v(vout2)/v(vin))')
.probe nPSRR = par('20*log10(v(vout1)/v(vin+))-20*log10(v(vout3)/v(vsc))')
.probe pPSRR = par('20*log10(v(vout1)/v(vin+))-20*log10(v(vout4)/v(vdc))')

**** Pole and Zero Measurement
*.pz v(vout1) vin+

**** Input offset voltage measurement
*.dc x -1m 1m 1u

```

5.3 静态功耗和直流工作点

运放主要有直流 DC、交流 AC 和瞬态 Tran 性能，而直流工作点的设置是关键。图 5.1 是直流仿真的 testbench，输入共模电压为 2.5V。

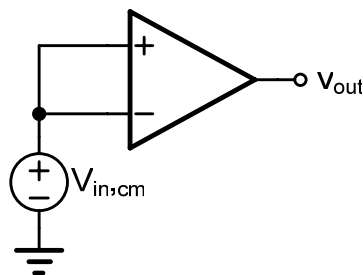


图 5.1 静态工作点测试电路图

仿真得到开环输出工作点如图 5.2 所示。其中输出节点为 2.5875V，总静态功耗为 393.55 μ A。

+0:vcm	=	2.5000	0:vdd	=	5.0000	0:vout	=	2.5875
+0:vss	=	0.	1:1	=	3.4869	1:2	=	894.1466m
+1:3	=	894.1463m	1:4	=	894.1463m	1:6	=	3.7231
+1:7	=	1.9327	1:8	=	914.9253m	1:9	=	902.2509m
+1:10	=	90.0361m						

图 5.2 静态工作点

5.4 直流增益、带宽和相位裕度

交流测试的 testbench 如图 5.3 所示。这是一种差分测试的 testbench，还有一种

方法是把 ac 信号全部放在一个输入端（或正端或负端），使用 Hspice 的 pz 分析可以观察到，这三种方法得到的零极点不完全一致甚至有不小差别。最终采取图 5.3 的方法进行测试。

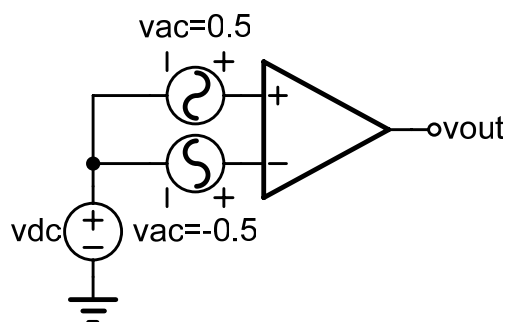


图 5.3 交流测试电路图

仿真得到的交流特性如图 5.4 所示，其中直流增益为 93.68dB，单位增益带宽为 97.5MHz，相位裕度为 62.2°，增益裕度为 15.7dB。

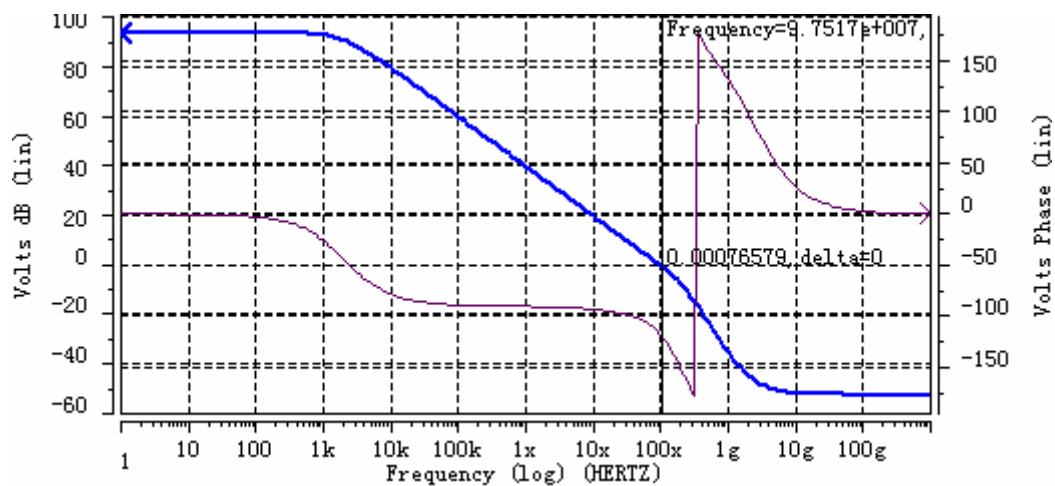


图 5.4 幅度和相位的波特图

图 5.5 为 R_B 变化的波特图曲线，图 5.6 为随 R_B 变化的 GBW 和相位裕度。可见零极点位置是随着偏置电流的改变而等比例地改变。

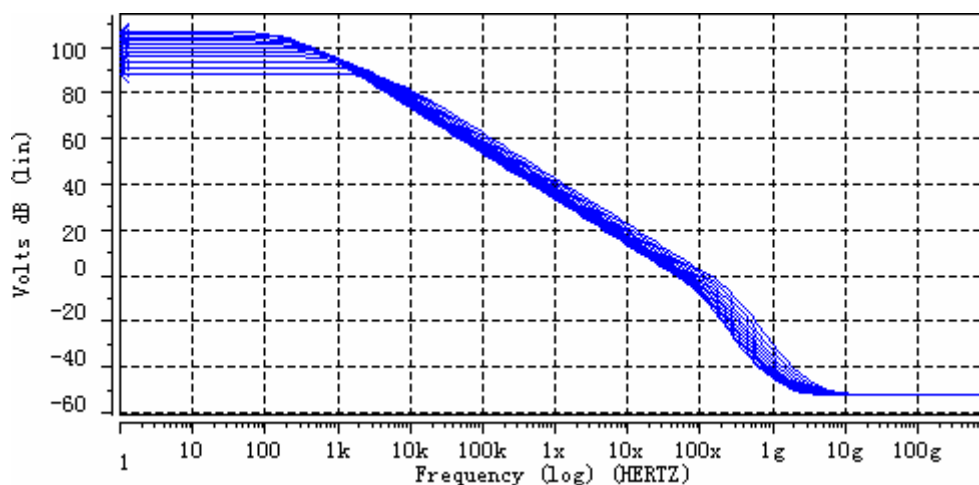


图 5.5 随偏置电流变化的幅度波特图曲线

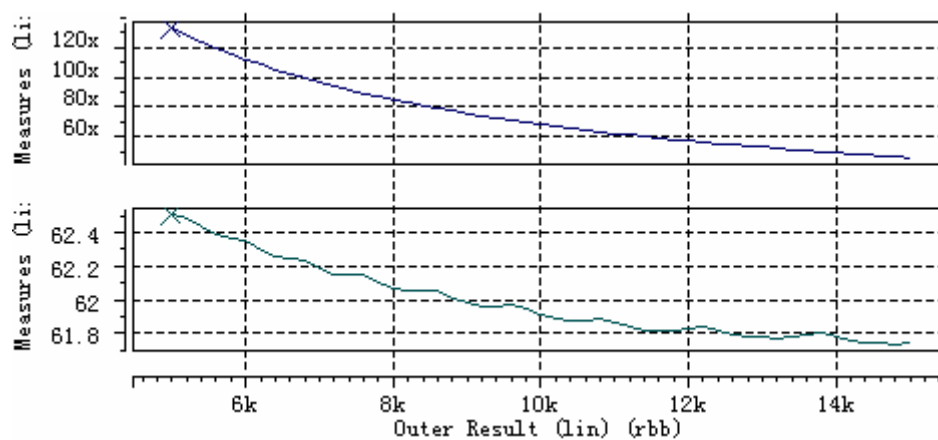


图 5.6 随偏置电流变化的单位增益带宽和相位裕度

5.5 共模抑制比

图 5.7 为共模增益测试电路图，用差模增益除以共模增益即得共模抑制比。图 5.8 为仿真得到的共模抑制比，低频值为 97dB。

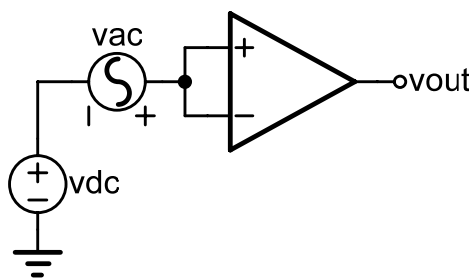


图 5.7 共模增益测试电路图

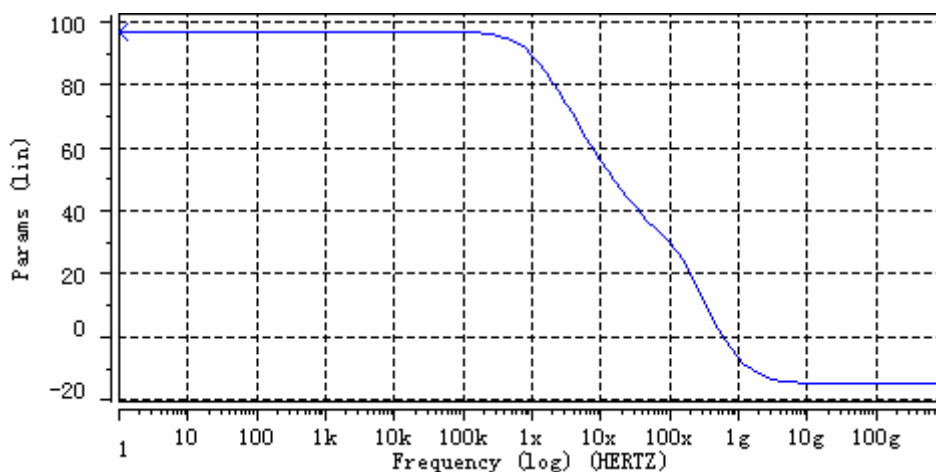


图 5.8 仿真的共模抑制比

5.6 电源抑制比

图 5.9 为电源和地到输出增益的测试电路图，用差模增益除以电源增益即得电源抑制比。图 5.10 为仿真得到的正、负电源抑制比，从图中可知，低频时正电源抑制比为 125.84dB，负电源抑制比为 102.96dB。图 5.11 为偏置电流变化的共模抑制比、电源抑制比曲线，可以看出这几个值随电流变化有很好的一致性。

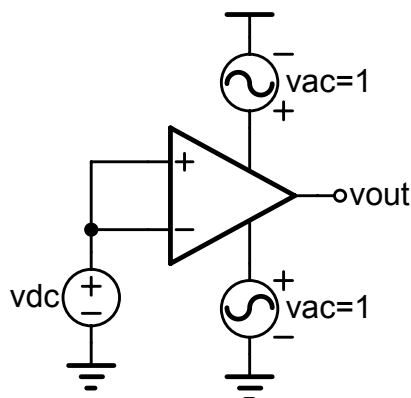


图 5.9 电源增益测试电路图

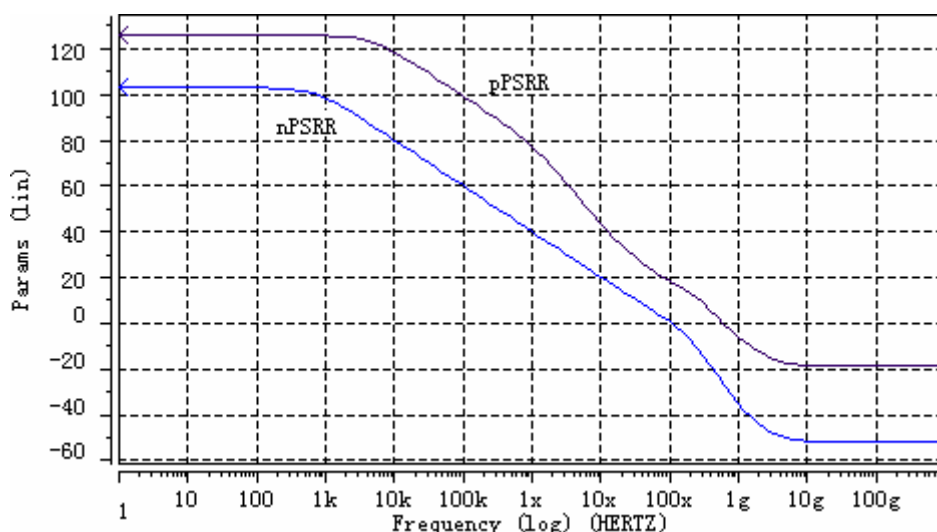


图 5.10 仿真的电源抑制比

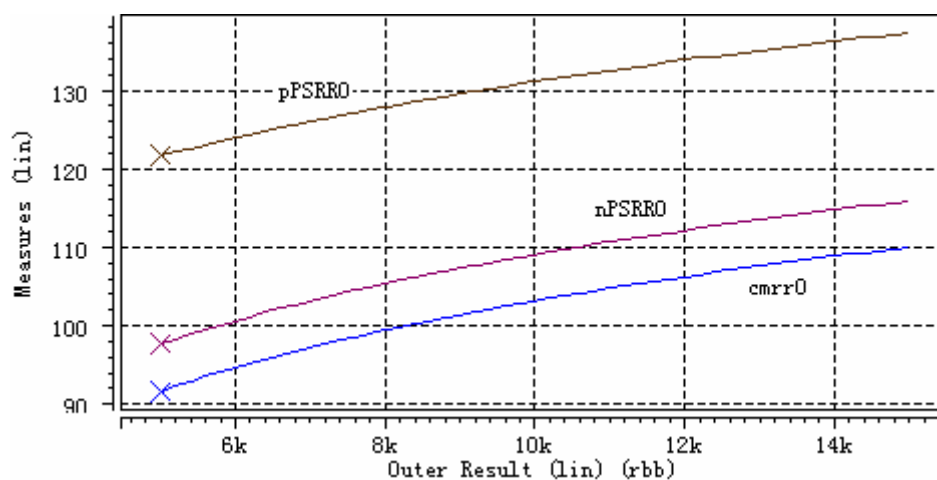


图 5.11 随偏置电流变化的共模抑制比和电源抑制比

5.7 噪声

图 5.12 为仿真得到的输入等效电压噪声，在 1kHz 处的值为 $290.41V_{RMS}$ 。从图中可以观察到，2MHz 之前 $1/f$ 噪声占主导，2MHz~200MHz 之间白噪声占主导。200MHz 后噪声有突起，这是由于增益随频率下降导致第二级噪声占主导所致。单位增益带宽内的积分噪声为 $84\mu V_{RMS}$ ，使用式(3.51)计算得到为 $51.3\mu V_{RMS}$ 。两者有些差别可能也是由于频率增加后，第二级噪声贡献增大所致。

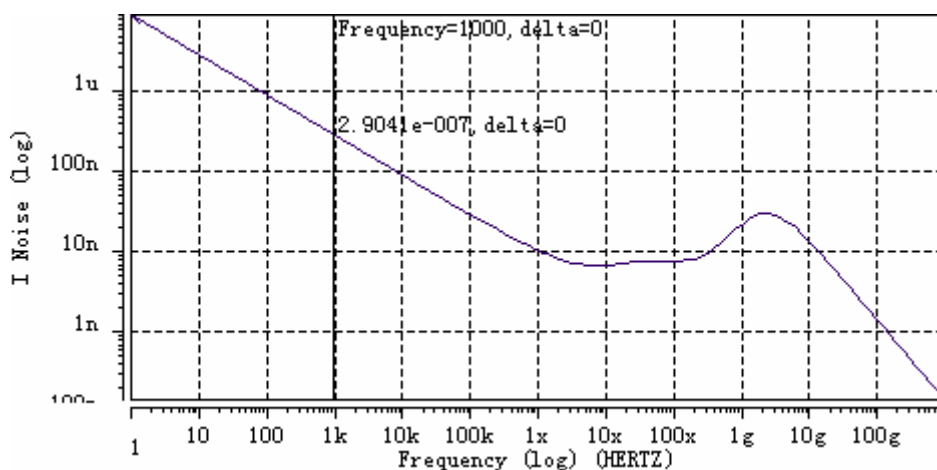


图 5.12 仿真的等效输入均方根噪声

5.8 压摆率

将运放接成单位增益负反馈形式，如图 5.13 所示。对输入施加正负阶跃信号，得到阶跃特性如图 5.14 所示，给输出负载充电时的压摆率为 $31.13\text{V}/\mu\text{s}$ ，放电时的压摆率大约为 $62\text{V}/\mu\text{s}$ 。

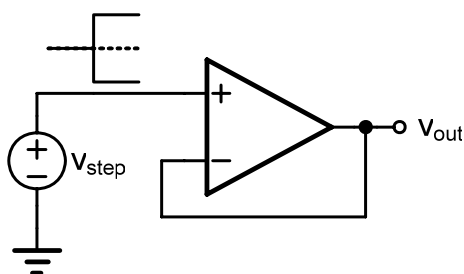


图 5.13 压摆率测试电路图

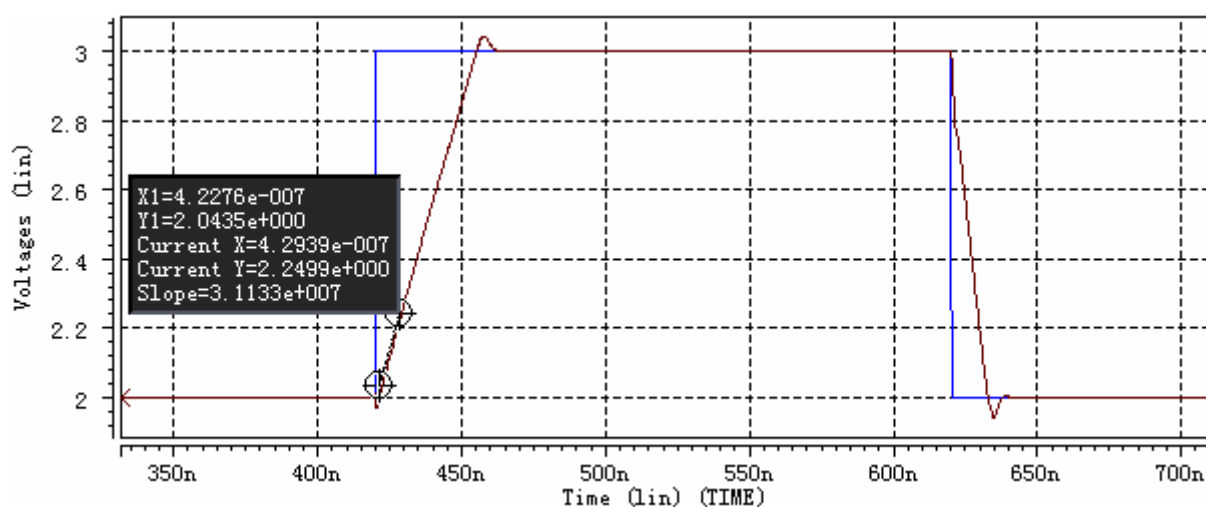


图 5.14 仿真的瞬态建立特性

误差容限为 0.1%时的上升沿建立时间为 47.82ns ，如图 5.15 所示。其中，下降沿建立

时间为 26ns，这是由于下降时的压摆率增大所致。

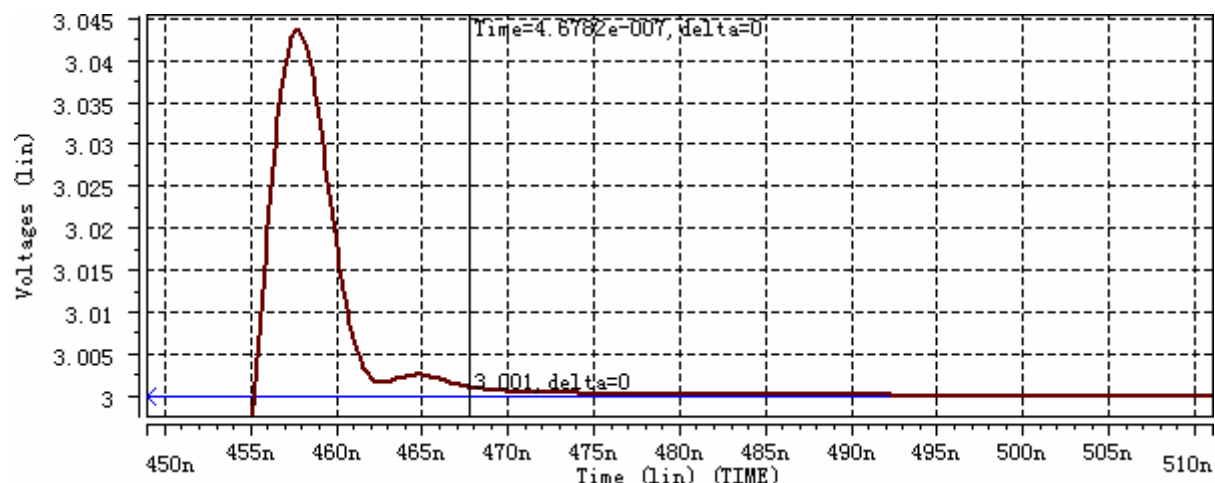


图 5.15 仿真的建立时间

5.9 输出动态范围

将运放接成增益为 10 的非反转放大器形式，如图 5.16 所示。其中， R_1 为 $1M\Omega$ ， R_2 为 $9M\Omega$ 。 R_1 和 R_2 要尽可能大，否则会降低运放的输出阻抗，进而降低增益。

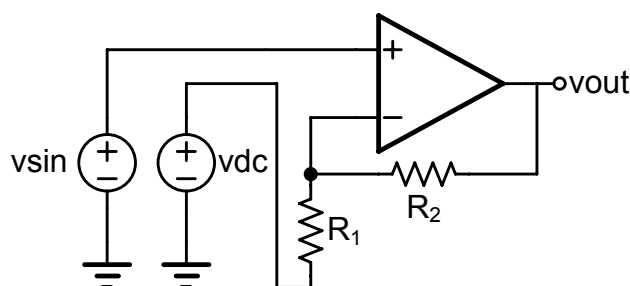


图 5.16 输出动态范围仿真测试图

在输入端施加共模为 2.5V，摆幅从 0.2V 扫描到 0.25 的正弦信号，得到输入输出波形如图 5.17 所示。对输出进行 FFT 分析，得到总谐波失真量 TD。当 TD 小于 0.1% 时的输出动态范围为 0.3V~4.7V，谐波失真量如图 5.18 所示。

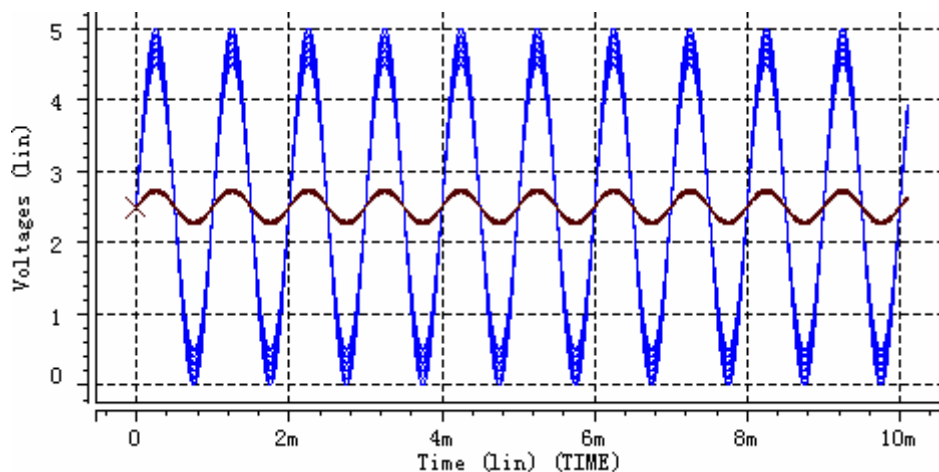


图 5.17 扫描的输入、输出波形

total harmonic distortion =	335.2298u	percent
total harmonic distortion =	352.0754u	percent
total harmonic distortion =	884.5115u	percent
total harmonic distortion =	6.0813m	percent
total harmonic distortion =	17.2413m	percent
total harmonic distortion =	163.5819m	percent

图 5.18 扫描的 TD

6 Cadence 仿真

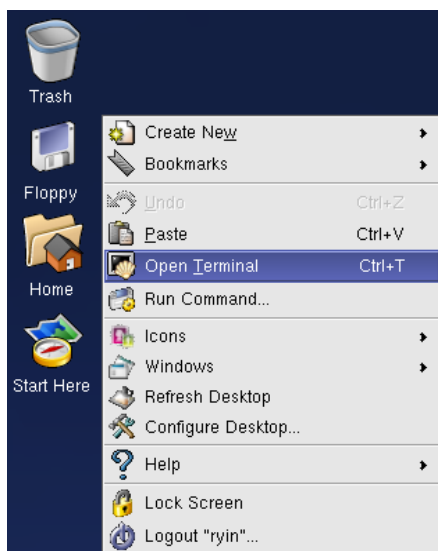
上一章介绍的 HSPICE 是事实上的 SPICE 工业标准仿真软件，在业内应用最为广泛，它具有精度高、仿真功能强大等特点，但它没有前端输入环境，需要事前准备好网表文件，不适合初级用户。而同样基于 SPICE 的仿真工具 Cadence 公司的 Spectre 则更易上手，而且仿真结果快速准确。它的主要优点有：

1. 高品质，高容量的 SPICE 级仿真（SPICE 的 3 倍）
2. 更高的设计质量，在 Virtuoso 多模式仿真中共享硅精确器件模型
3. 更好的设计精度，使用来自业界领先的 Virtuoso 高级建模工具获得的硅校准模型
4. 最少的转换，在设计领域之间全部仿真器共享统一语法

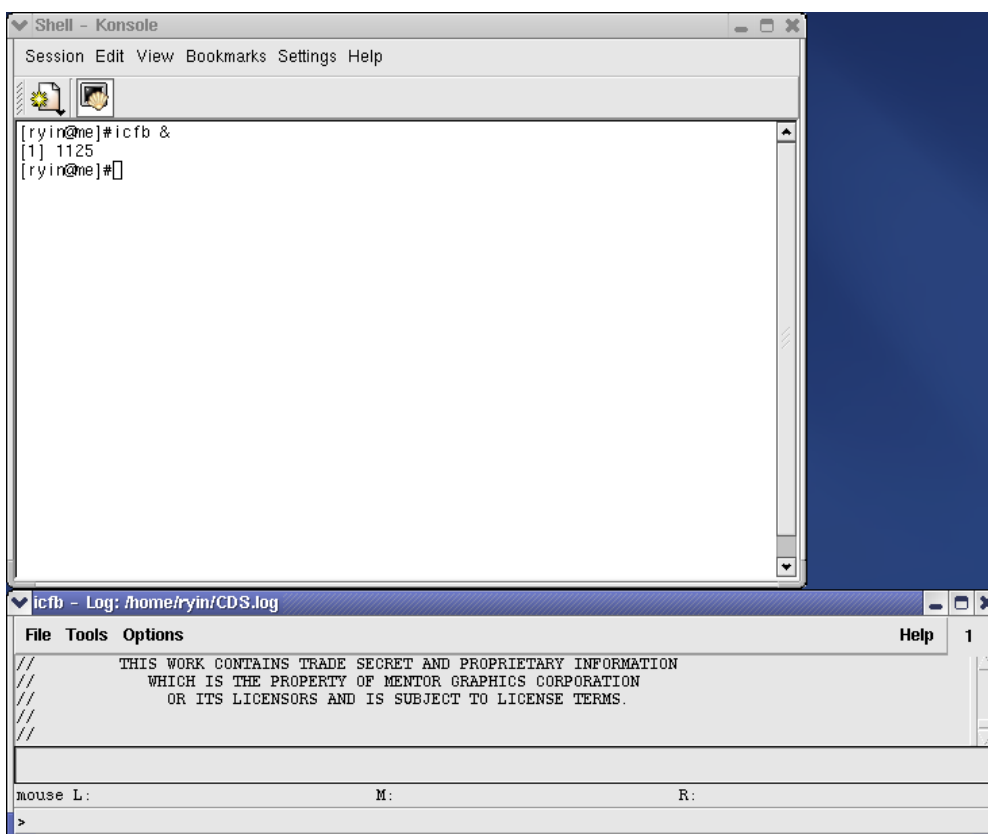
由于采用 Cadence 设计仿真电路用的是更高级精准的模型，而不是之前手算所采用的一级模型，而且为了结合常用环境，我们采用 SMIC 的 0.18 μm 工艺和 1.8 V 的电源电压。所以元件的参数会与之前手算的结果有所不同，但是调试电路的思路和理论依据都是一样的。

6.1 运行软件

在 Linux 桌面上右键单击，出现选择菜单。

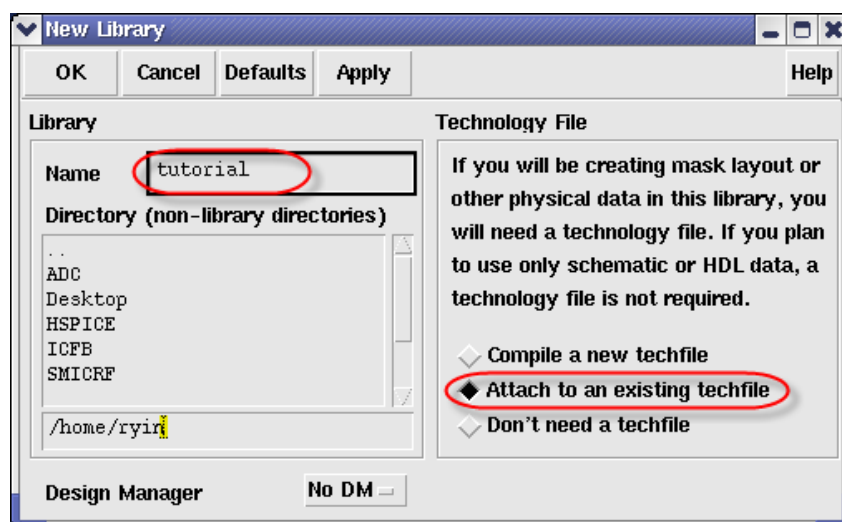


在弹出菜单中选择 *Open Terminal*，出现控制台界面中键入：icfb & 并回车。出现 icfb 界面。

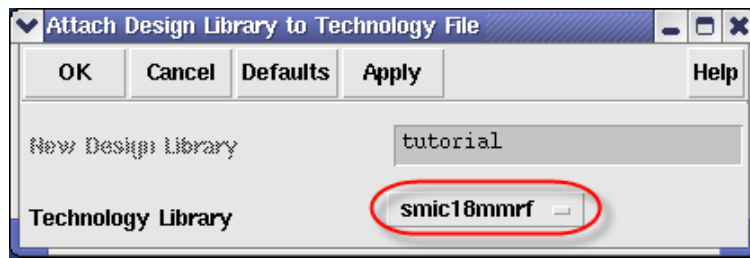


1. 建立库

为了更好的组织所设计的电路，需要建立用户自己的库，用来保存相关类别的电路。在 *icfb* 界面选择 File -> New -> Library。出现如下界面

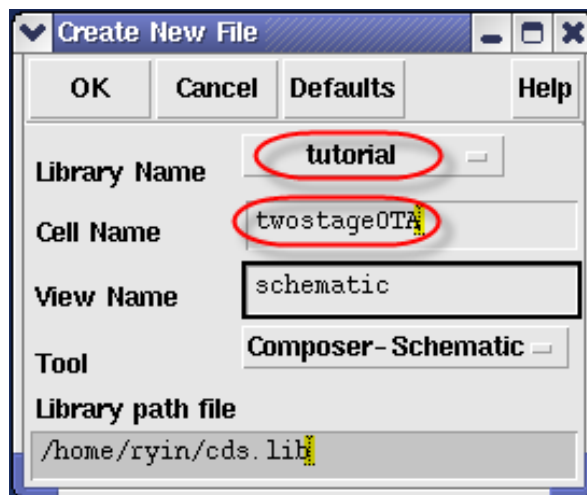


在 *Name* 一栏中，键入新建库名称: *tutorial*，原则上可以随意命名，在 *Technology File* 一栏选择 *Attach to an exiting techfile*，单击 OK 之后出现对话框

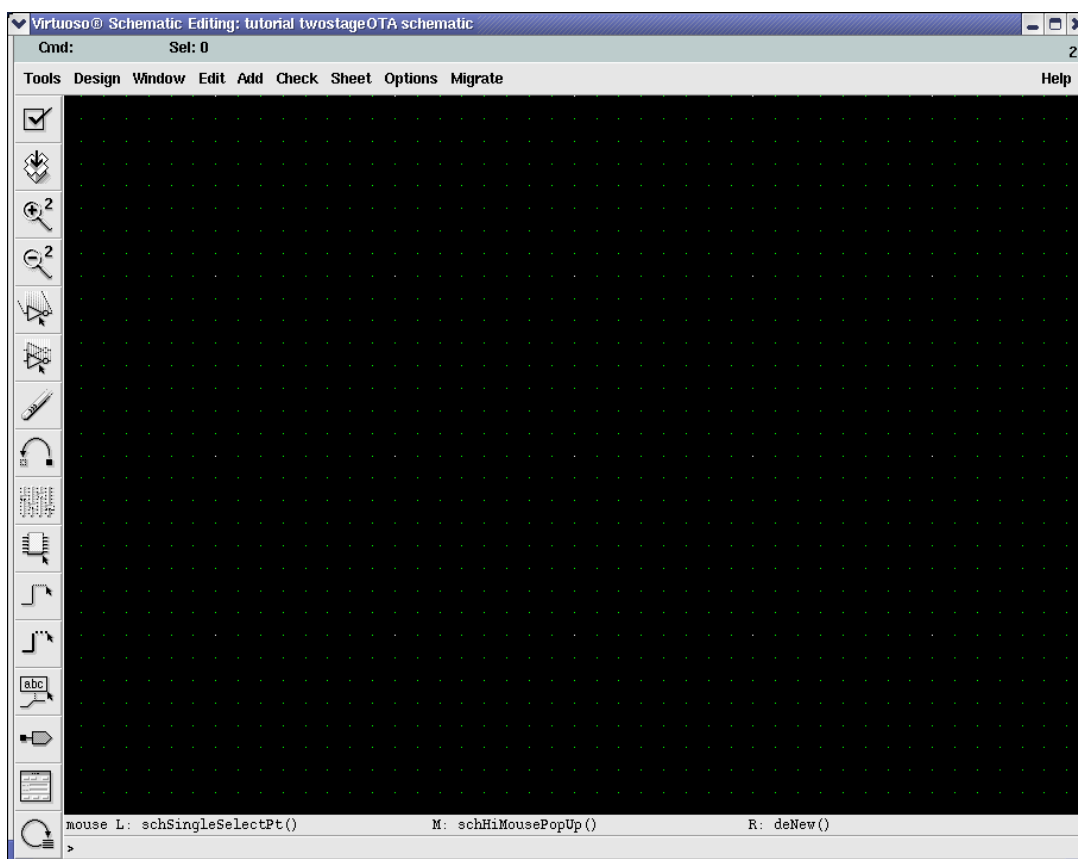


选择 *smic18mmrf* 作为 technology file。(针对不同的工艺, 会使用不同的 technology file), 然后单击 OK, 完成库的建立。

2. 在 icfb 界面中, 选择 File->New->Cell View, 弹出如下对话框。在 *Library Name* 选项中选择我们刚刚建立好的库, 在 *Cell Name* 一栏里, 键入要设计的电路名称, 如: *twostageOTA*, 名称中不能有空格。



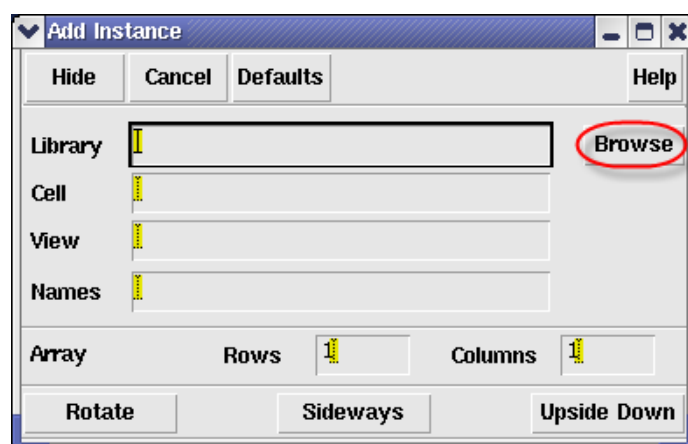
单击 OK, 出现电路原理图设计界面 *Schematic Editing*。



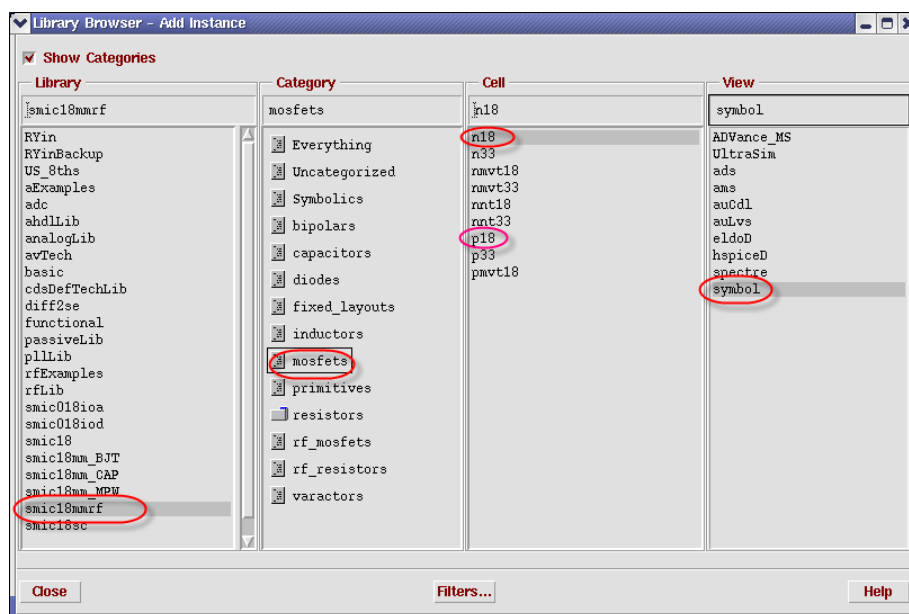
6.2 原理图绘制方法

1. 生成电路

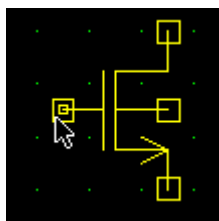
进行电路绘制，快捷键是必不可少的。保持 *Schematic Editing* 界面为活动，使用快捷键 *i* 添加元件，弹出如下窗口



单击 Browse，出现 *Library Browser* 界面

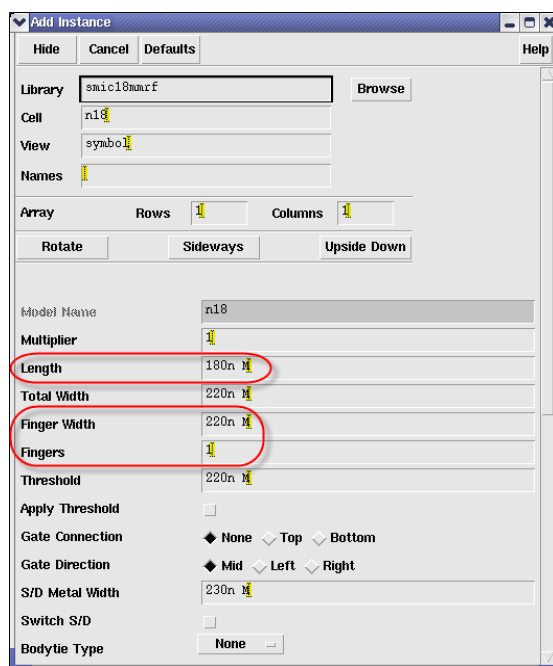


从左到右各栏中依次选取 smic18mmrf -> mosfets -> n18 -> symbol，在鼠标的位置上会出现一个黄色的 NMOS 符号



同时弹出元件参数设置界面，其中我们所关心的就是管子尺寸，*Length* 一栏中，可以输入管子的长度，在 SMIC 的 $0.18\mu\text{m}$ 工艺中，这个值不能小于 180nm ，同时也不能大于 $100\mu\text{m}$ 。而管子的宽度则是由 *Finger Width* 和 *Fingers* 的乘积决定。其中 finger width 和 fingers 则根据版图设计要求来设置。现在，设置 *Fingers* 为 1，而将计算得到的 *W* 值填入 *Finger Width* 中。

三个按钮 *Rotate*, *Sideways* 和 *Upside Down* 分别是将元件旋转，水平翻转和竖直翻转。



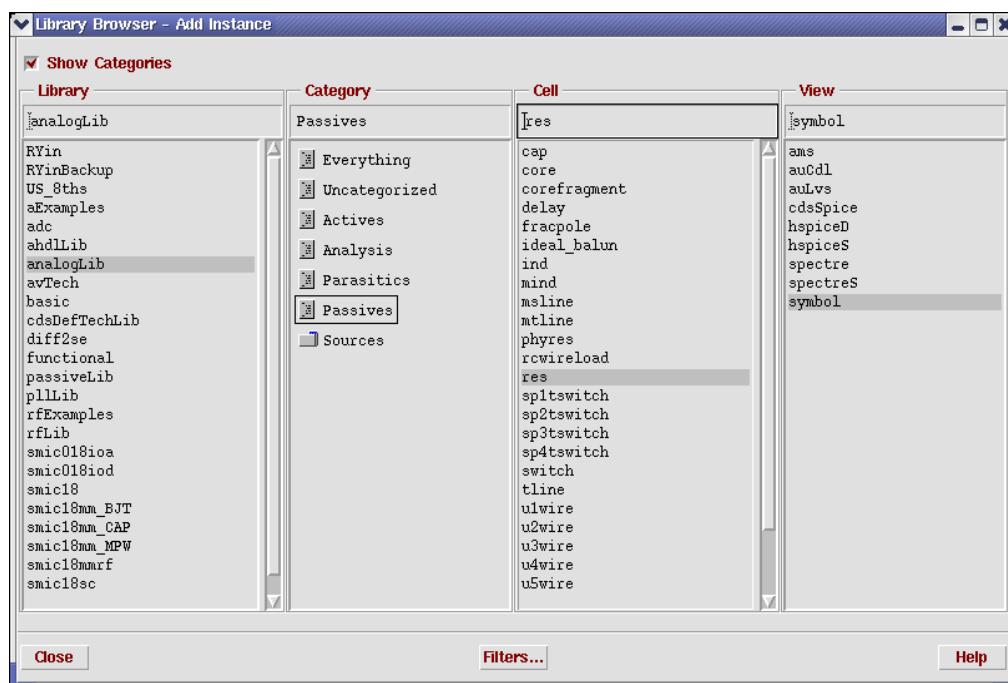
根据之前得到的结果依次修改参数并根据电路图调整各管方向、位置和间距，使得各管的排列结构尽可能的清晰美观。在键入参数数值时，可以在数字后面紧跟 G (10^9)、M (10^6)、K (10^3)、m (10^{-3})、u [μ] (10^{-6})、n (10^{-9})、p (10^{-12})、f (10^{-15}) 等来简化输入。同时系统自动默认为国际单位制 (M、V、A、F、 Ω)，所以单位可以不写，如果要写单位时，则需要在数值与单位之间加入空格。

在使用 Cadence 时，记住一些常用的快捷键会极大的提高工作效率。在附录 D 中总结了一些常用的快捷键以供参考。

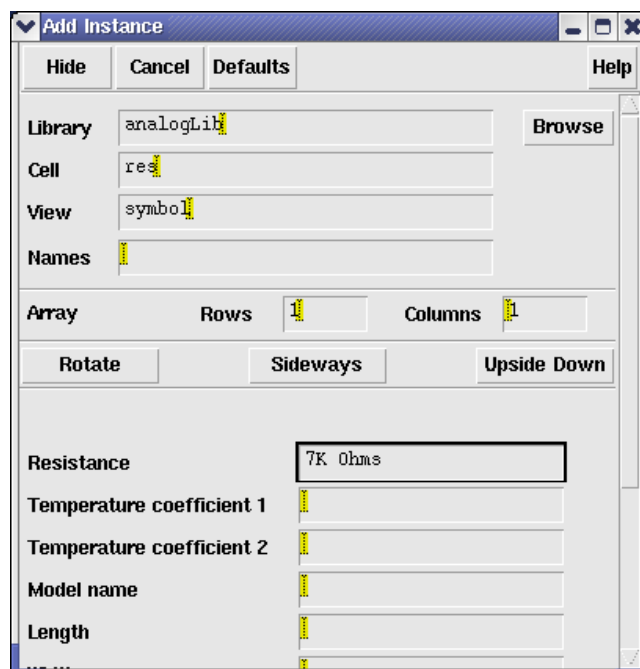
按照如前所述的方法依次添加各 MOS 管，并依照电路图排布如下图。



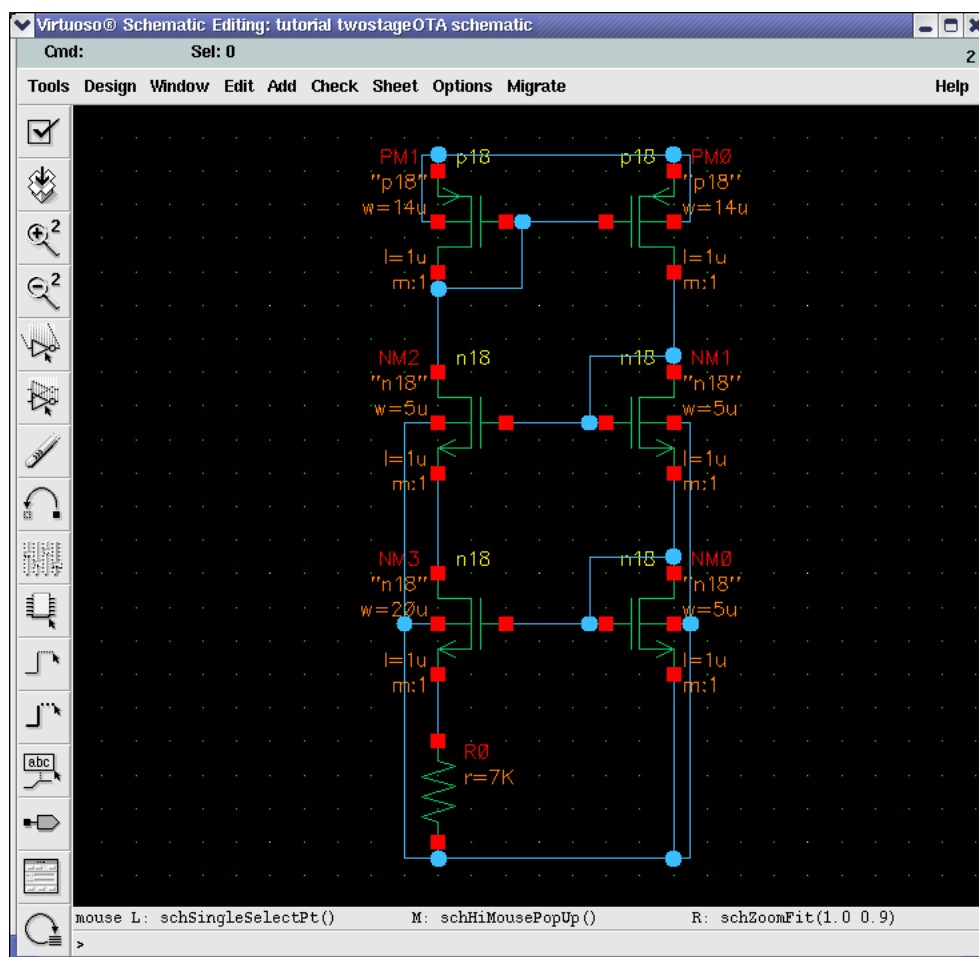
同时，在偏置电路中，我们还用到了一个偏置电阻 R_B ，由于设计此运放主要目的是学习电路设计，所以我们采用 *analogLib* 库里的理想器件，在调试好电路功能之后，再采用实际器件。电阻的选择如下图所示，选择添加 **res** 电阻。之后所需要添加的电容(**cap**)，电源 (**vdc**, **gnd**, ...) 等也都可以在 *analogLib* 库里面选取。



在弹出的元件参数设置窗口 *Resistance* 栏中填入计算得到的电阻值 7 k Ω 。



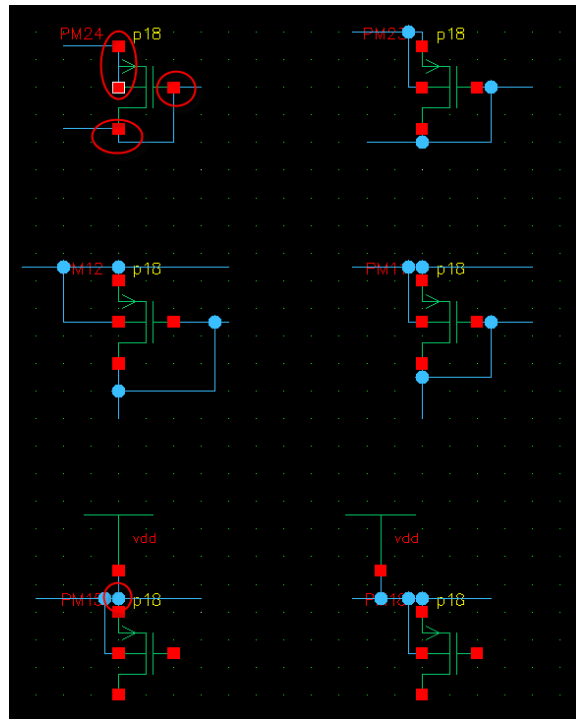
之后，使用快捷键 **w** 来连线。如下图所示。



连接好偏置电路以后，点击 *Schematic Editing* 界面左侧工具栏中 *Check and Save* 按钮，来检查电路中的错误并保存。

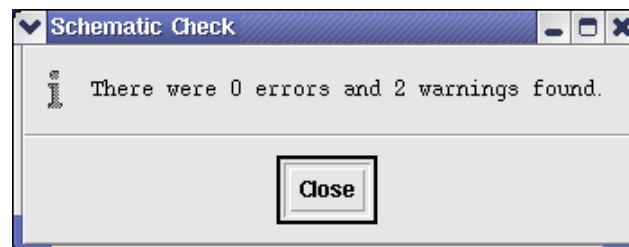


连线过程中要注意几点，在下图对照表示，左边为不恰当的方式，右边为正确的：

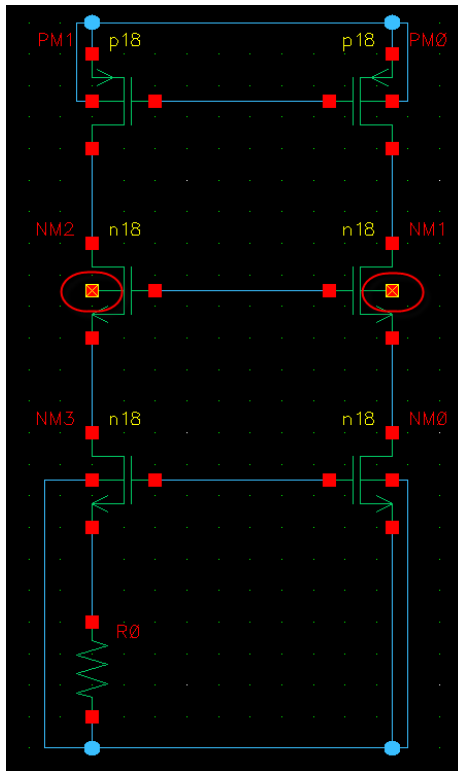


如图所示，1.元件端点要引出一段连线再连接；2.连线尽可能紧凑；3.同一个节点上避免四线以上交叉连接。

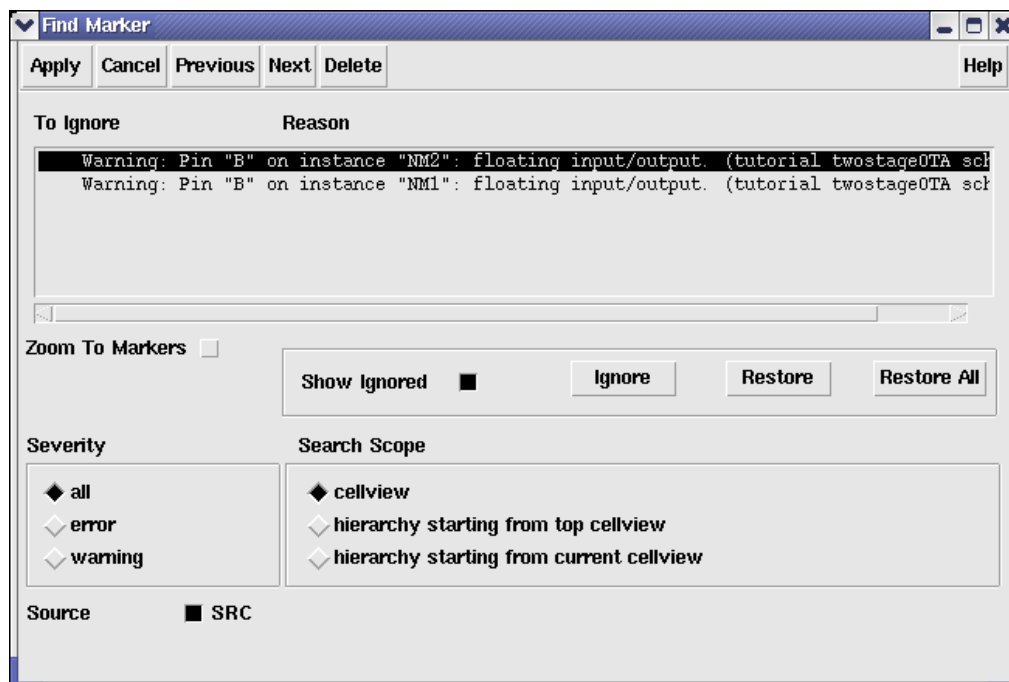
需要提醒的是在手工绘制电路草图中，我们往往会忽略管子衬底的基极，而在 Cadence 中，衬底需要手动连接到需要的电位。在此例中，所有 NMOS 衬底接最低电位，所有 PMOS 衬底接最高电位。如果忘记接衬底，在点击 *Check and Save* 按钮时，会出现如下提示，



同时会在有问题的地方出现金色的标记（Marker）。

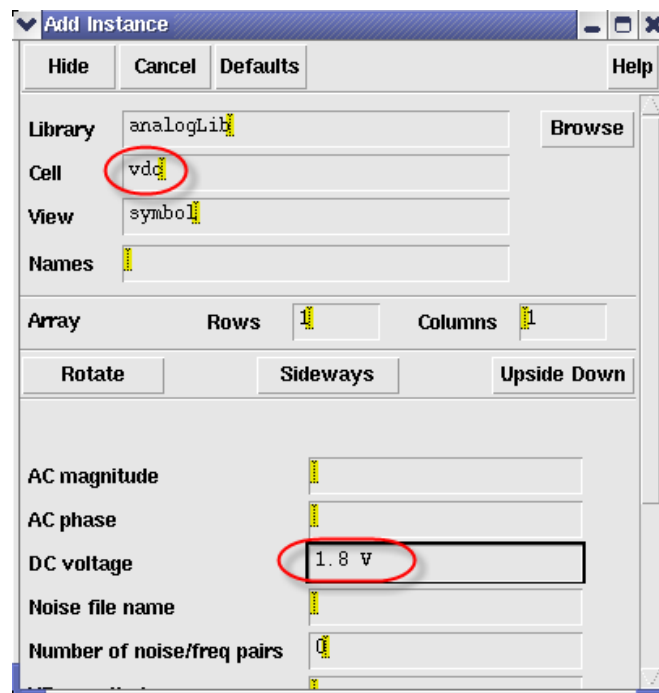


可以看到，有 *errors* 和 *warnings* 两种错误提示，出现 *error* 时，必须进行修改变否则无法仿真电路。而仅有 *warning* 时，仍可以进行仿真，所以必须仔细检查电路，确保仅有允许的 *warning* 存在。使用快捷键 *g*，会弹出提示窗口，提示错误内容。

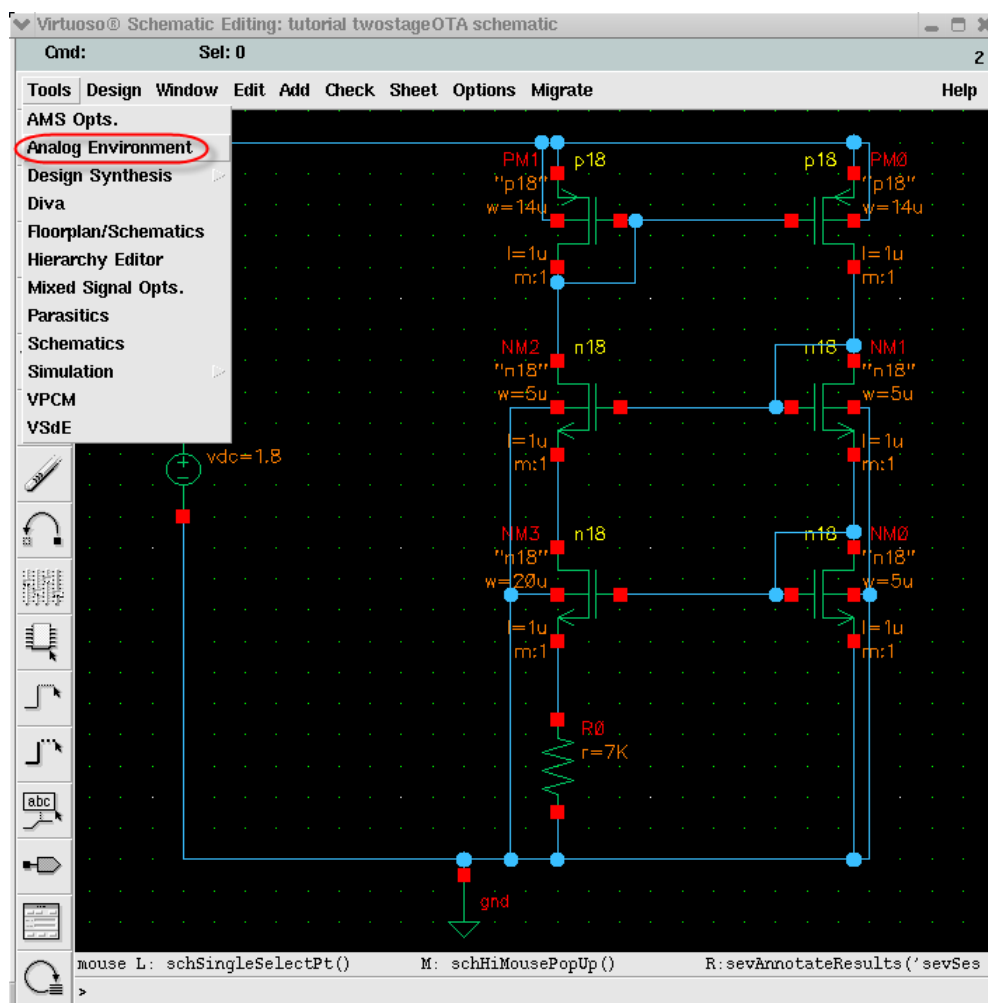


2. 初仿。

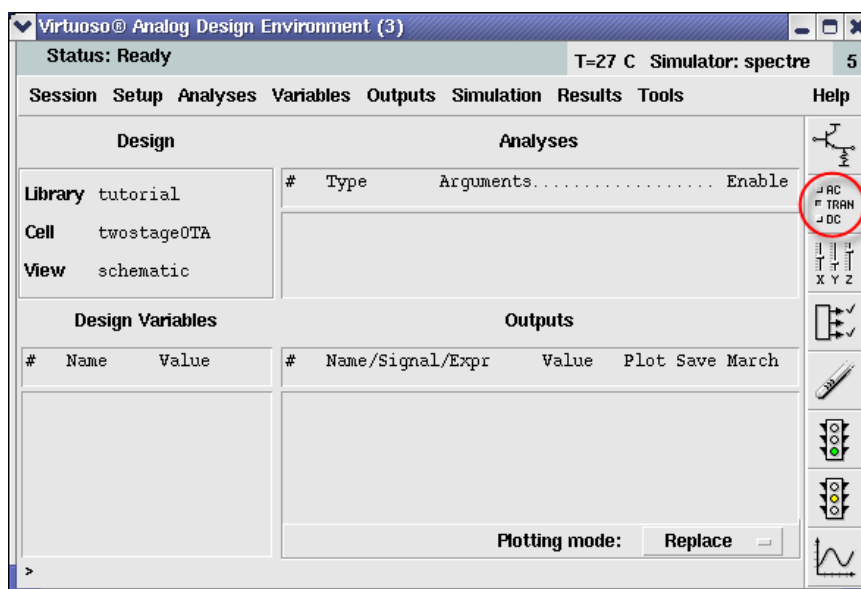
确保电路连接无误之后，添加电源（*vdc*）和地（*gnd*），进行仿真。



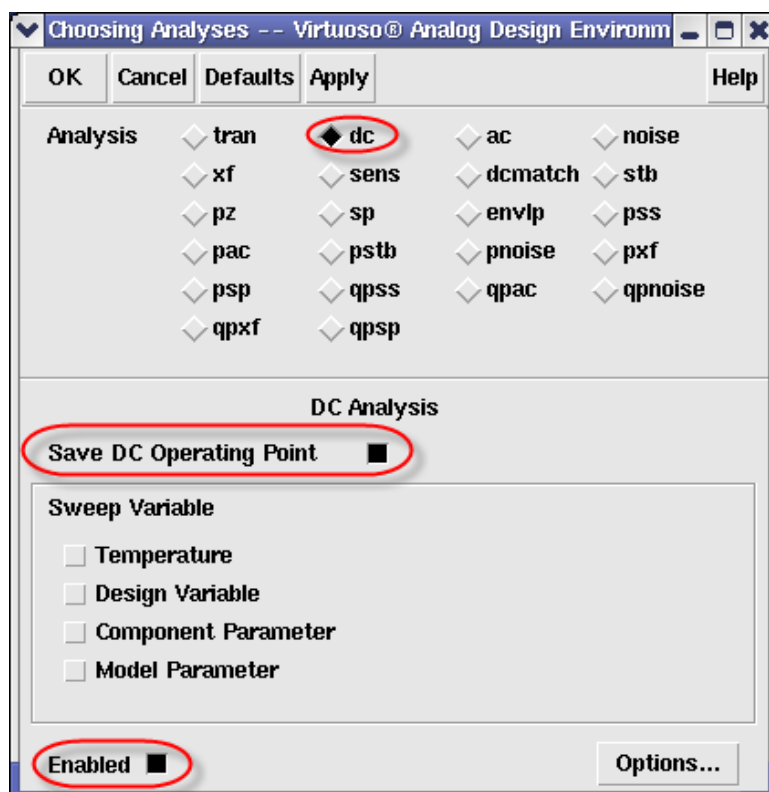
在 *Schematic Editing* 界面选择 Tools -> Analog Environment 调出仿真界面



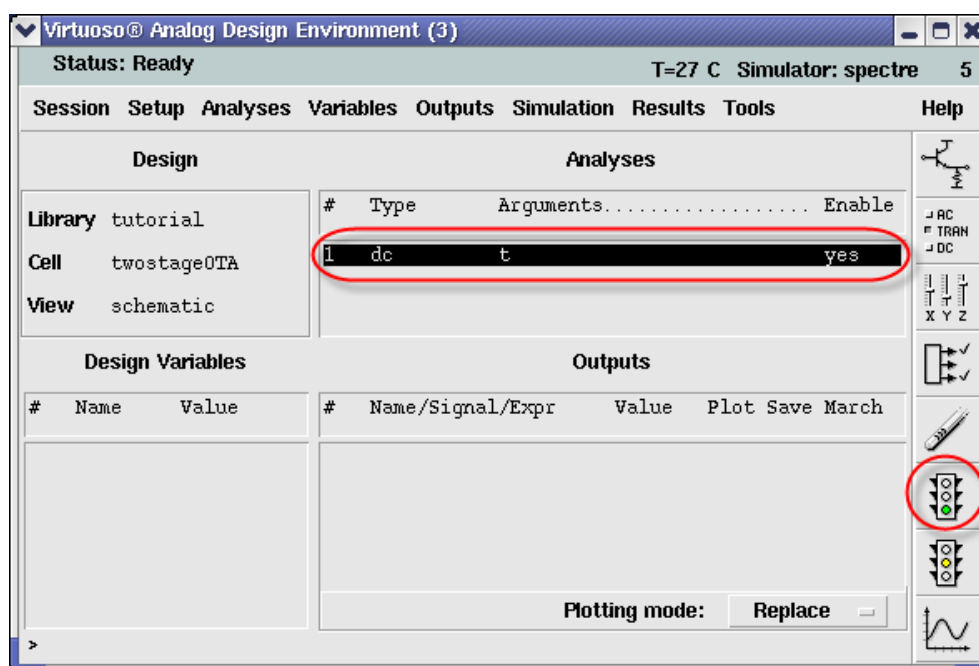
弹出的 *Analog Design Environment* 界面如下图所示，点击右侧 *Choose Analyses...* 按钮，选择测试类型。



在弹出的 *Choosing Analyses* 界面中，可以选择需要仿真的项目，其中常用的是 tran(瞬态仿真)、dc(直流仿真)、ac(交流仿真)和 noise(噪声仿真)。由于现在需要考察的是偏置电路的直流特性，故选择 dc，同时选中 *Save DC Operating Point* 和 *Enabled*。



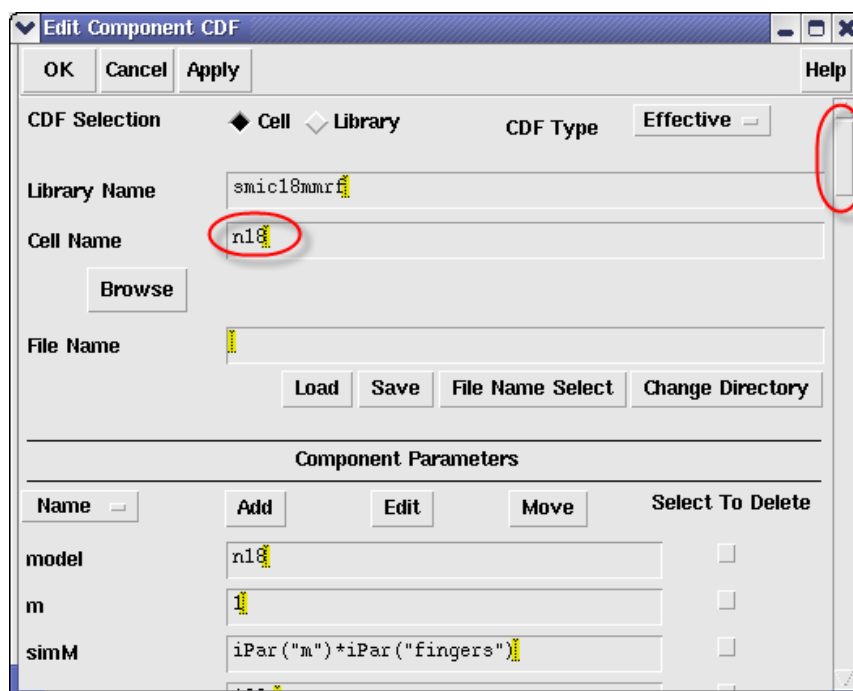
在 *Analyses* 一栏中可以看到出现 dc 仿真项目。然后点击右侧 *Netlist and Run* 按钮运行仿真。



仿真之后，在 *Schematic Editing* 界面中，会在各个元件旁边显示管子的工作状态和相关参数，同时显示各节点电压。可以看到，在每一个 MOS 旁都有 *id*（静态电流）、*vgs*（栅源电压）、*vds*（漏源电压）和 *gm*（跨导）的数值。但是我们还关心管子的过驱动电压和漏源电阻。为此可以更改管子的显示参数。

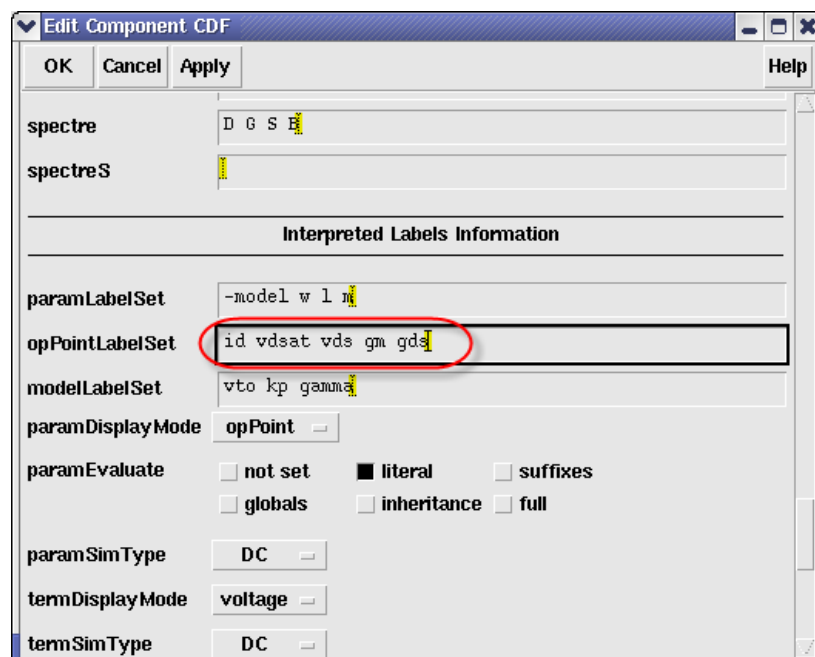
3. 更改显示参数。

在 *icfb* 界面上，选择 Tools -> CDF -> Edit，弹出如下界面。

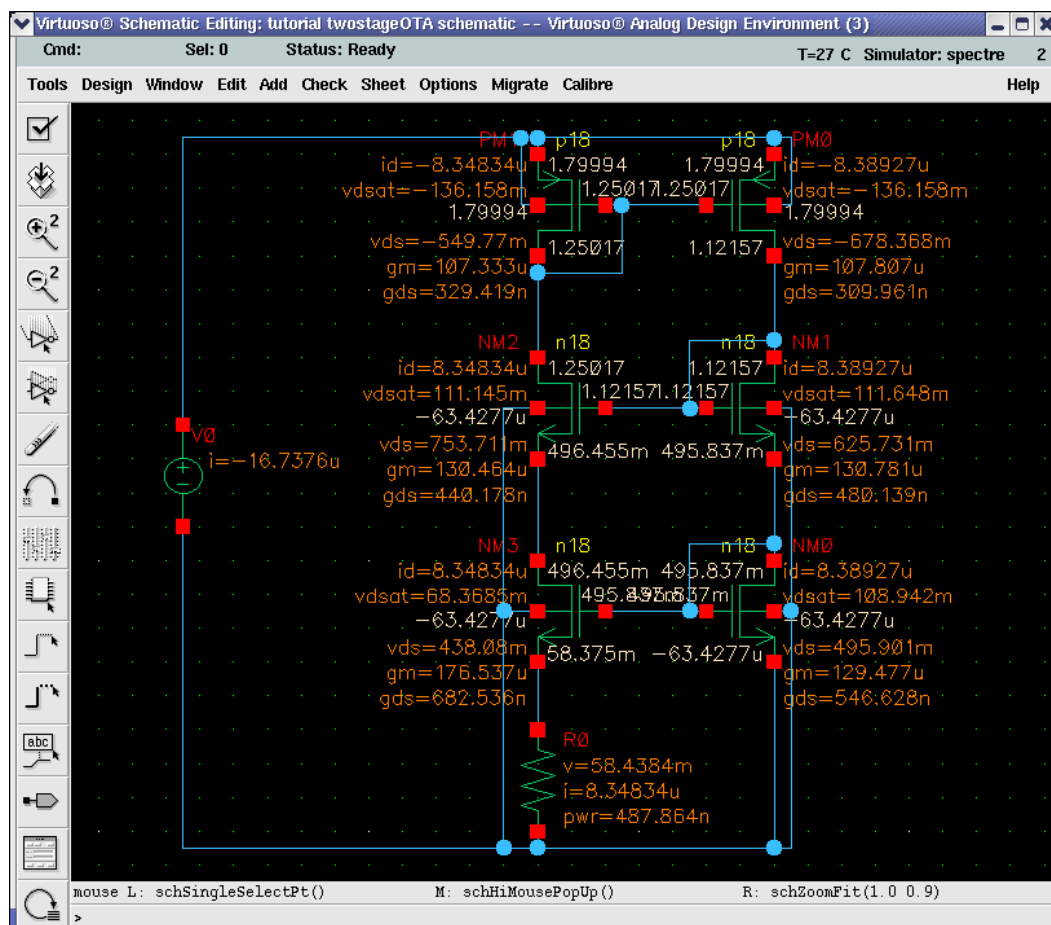


在 *Library Name* 中填入管子所在的工艺库名称 smic18mmrf，在 *Cell Name* 中填入使

用的器件名称 n18(之后同样还要修改 p18), 拖动右边滚动条, 到 *Interpreted Labels Information* 栏目, 在 *opPointLabelSet* 一栏中将内容修改为下图中所示参数。其中 *vGST* 为过驱动电压, *gds* 为漏源电导, 其倒数就是漏源电阻。



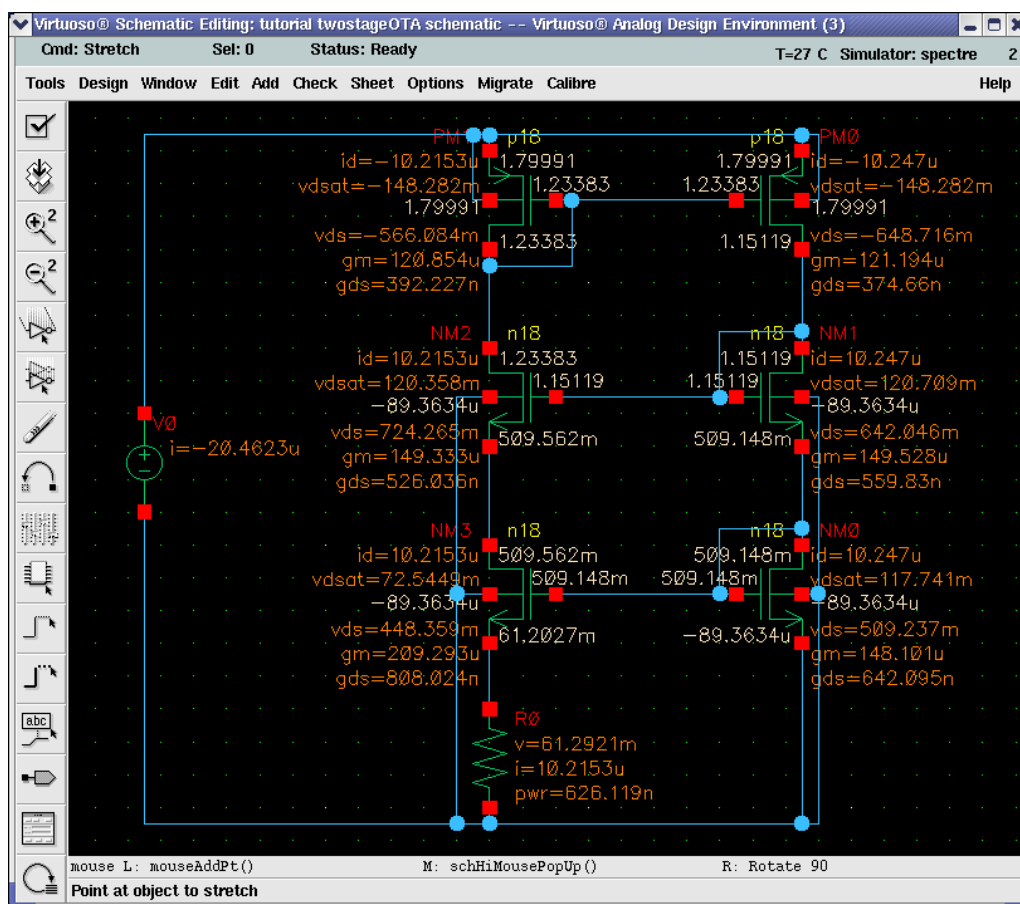
修改后整个电路的显示内容如下图。如果没有正确显示, 可在 *Analog Design Environment* 界面中选择 *Results ->Annotate ->DC Operating Points*。



首先, 观察各管 v_{ds} 和 v_{dsat} 的数值, 确定每一个管子都在饱和区。其次看到偏置电流仅为 $8.34 \mu A$, 并不是所期望的 $10 \mu A$, 这是由于采用近似计算, 未考虑二级效应。

4. 修改电阻值

由式(2.47)可知, 电流仅与 M12 和 M13 的尺寸以及电阻 R_B 的值决定, 而且电流与 R_B 成反比, 为此我们将 R_B 的适当减小, 改为 $6 k\Omega$, 得到电流为 $10.2 \mu A$, 非常接近所需要的电流值。

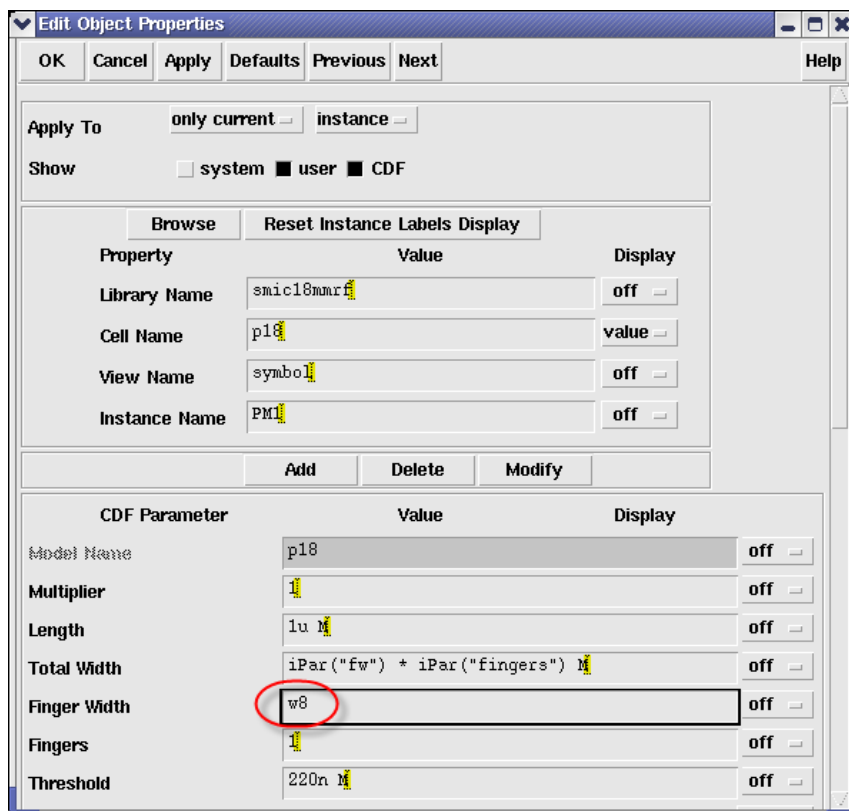


6.3 单管的匹配

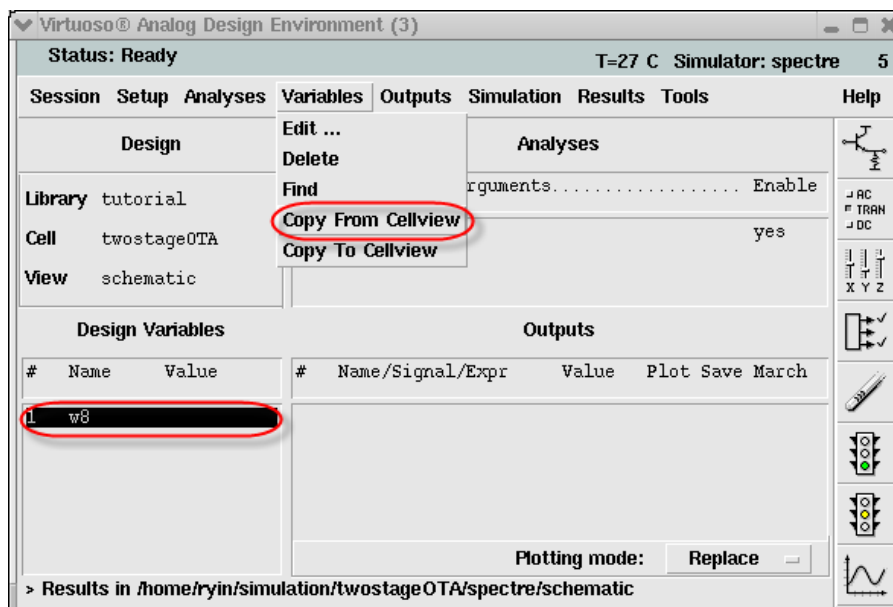
在之前设计电路的过程中, 共用到 4 个设计参数, 分别为 I_{DS} 、 W 、 L 和 V_{GST} , 其中一般将 W/L 当作一个参数, 从而分别为电流 (I_D), 尺寸 (W/L) 和过驱动电压 (V_{GST}) 这三个设计参数。这样, 根据平方律公式, 三个设计参数中只有两个自由参数, 在本例中, 由于事先分配好了电流, 所以, 只要决定了过驱动电压, 就可以得到管子的尺寸。所以, 如果将所有管子的过驱动电压设为同一值, 则各管宽长比的比例可以直接由各管电流之比得到。为此, 可以利用此偏置电路, 考察在一定电流下, 过驱动电压与管子尺寸的关系。

为此, 可以将图中 M8 与 M9 的 W 设为变量, 在一定范围内改变此值, 从而得到不同的过驱动电压值。首先考察 PMOS, 使用快捷键 q , 再选中 M8 管, 将 *Finger WidT* 一栏

改为变量 **w8**,这个变量名可以随意命名,但是需要以字母开头(若是写作 **8w**,则系统认为变量是 **w**,而 *Finger WidT* 值为 10 倍 **w**)。然后同样操作 **M9** 管,变量仍为 **w8**。点击 *Check and Save* 按钮保存。值得注意的是,每次修改电路之后,都必须检查并保存电路,才能进行仿真,否则会报错。



之后在 *Analog Design Environment* 界面选择 **Variables -> Copy From Cellview**,之后会在 *Design Variables* 一栏中出现变量 **w8**。



对于变量,首先要为其赋一个初值,双击变量名 **w8**,弹出如下图对话框。在 **Value(Expr)** 一栏中键入 **14u**,即 **14μm**。单击 **OK**,结束设置。

300 mV	3
250 mV	4
200 mV	7
150 mV	14
100 mV	37

同理，扫描 NMOS 管 M10 和 M11，可以得到

V_{GST}	W/L
250 mV	0.9
200 mV	1.5
150 mV	3
100 mV	8

值得注意的是，在相同的偏置电流下若要 NMOS 管与 PMOS 管的过驱动电压相同，则 NMOS 与 PMOS 的宽长比之比大约为 3/14 左右。这一点在用到 CMOS 开关时尤其有用，因为此时两管的阻抗大致相等，可以得到最好的开关特性。

在考察了管子的宽长比与 V_{GST} 的关系之后，先根据需要，选取 V_{GST} 值，如 150mV，然后查表可知，在 $I = 10\mu A$ ， $V_{GST} = 150mV$ 条件下，N 管 W/L 应取 3，P 管 W/L 取 14，然后以此为基准尺寸，根据电流的匹配关系，将其余各管的宽长比设置为基准尺寸的倍数，即对于所有基于电流偏置的 PMOS，有

$$\frac{(W/L)_i}{(W/L)_P} = \frac{I_i}{I_B} \quad (6.1)$$

而对于所有基于电流偏置的 NMOS，有

$$\frac{(W/L)_j}{(W/L)_N} = \frac{I_j}{I_B} \quad (6.2)$$

在电路中，M12，M13 与 R_B 一起产生基准电流，M14 由于没有直流分量，工作在线性区，相当于电阻。除了这三个管子之外，其它的管子都是受电流偏置或镜像偏置电流的。

为了得到较好的匹配，先统一采用 $V_{GST} = 150mV$ 的基准尺寸：

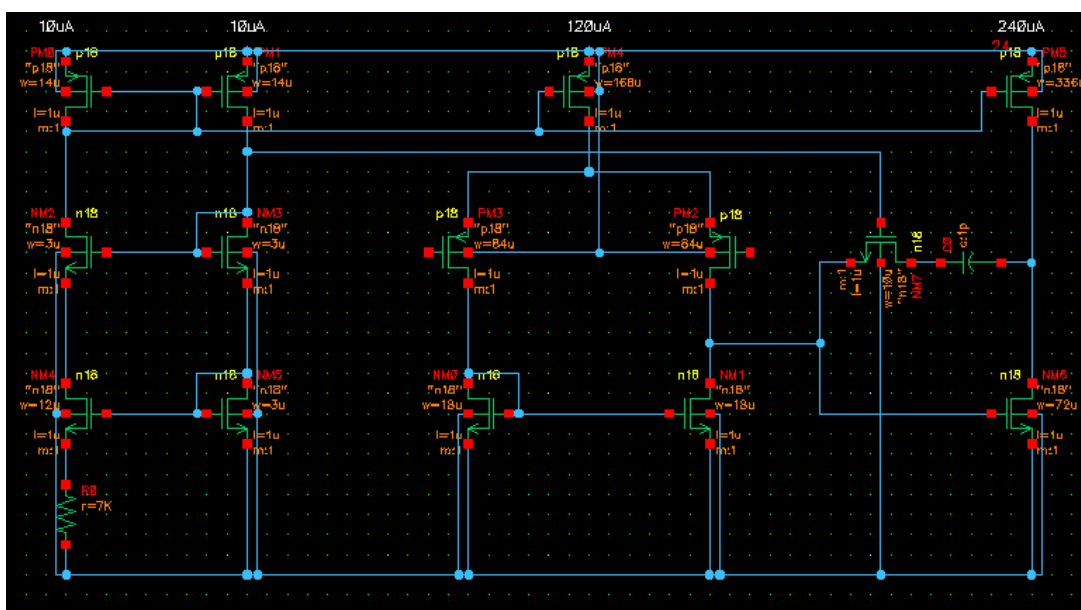
$$p = (W/L)_P = 14 \mu m / 1 \mu m \quad n = (W/L)_N = 3 \mu m / 1 \mu m$$

依照各管电流关系，得到各管尺寸，再适当调节 R_B ，得到电路的设计参数如下：

元件	比例	W/L(μm)
M1 M2	6 p	84/1

M3 M4	6 n	18/1
M5	12 p	168/1
M6	24 n	72/1
M7	24 p	336/1
M8 M9	1 p	14/1
M10 M11	1 n	3/1
M12	4 n	12/1
M13	1 n	3/1
M14		10/1
<hr/>		
C_C		1 pF
R_B		7 k Ω
V_{DD}		1.8V
<hr/>		

得到了各个元件参数之后，绘出完整电路如下图所示。之前为了测试单管特性时添加的电源（vdc）和地（gnd）则应当删除。



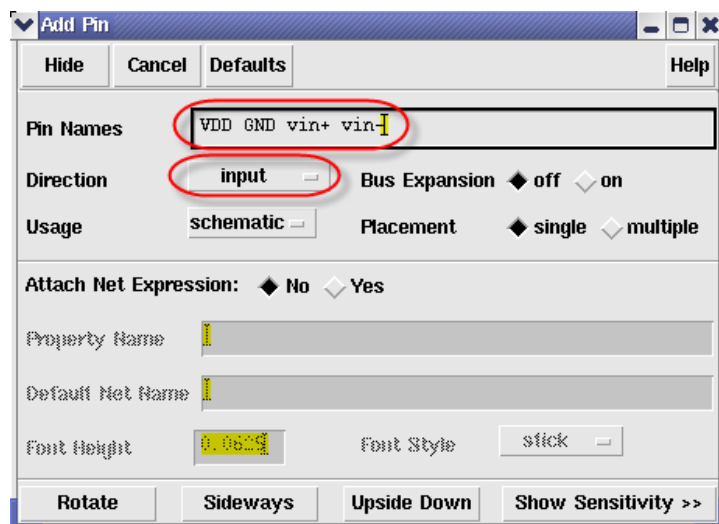
6.4 电路符号绘制方法

1. 添加 pin。

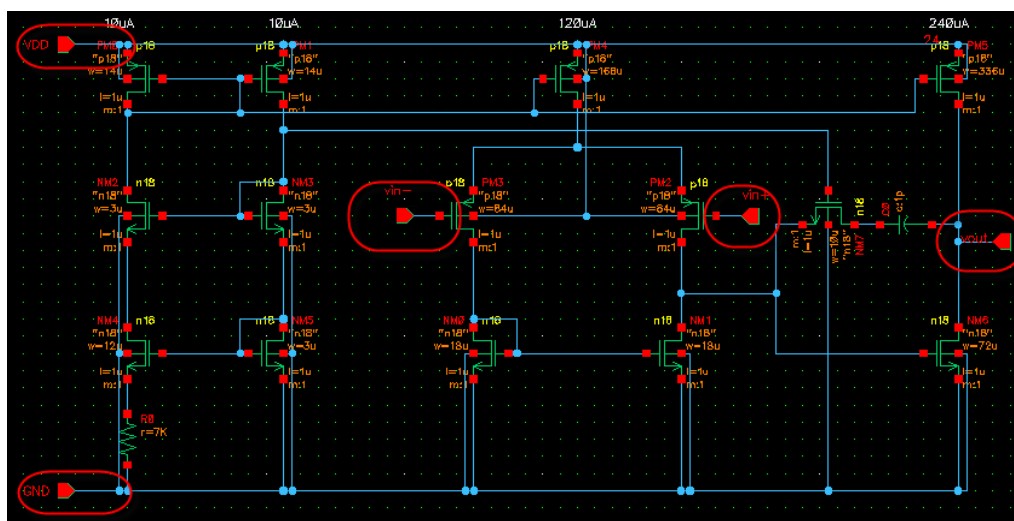
pin 是一个电路与外部的接口。在本例中，有电源，地，两个差分输入端和一个单端输

出这五个接口。其中前四个是输入接口，最后一个输出接口。

在 *Schematic Editing* 界面，使用快捷键 *p*，弹出如下图窗口。对于同种类型的 pin 可以一次全部添加。先设置 *Direction* 为 *input*，然后在 *Pin Names* 一栏，依次输入 VDD GND vin+ vin-，分别对应电源，地，正输入端，负输入端，之间用空格分开。原则上可以随意命名，但一般都取容易区分方便记忆的名字。

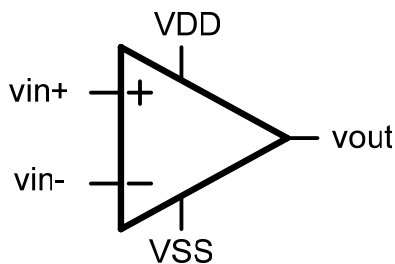


点击 *Hide*，在电路上相应位置添加，单击右键可以旋转 pin 的方向。放置好这四个 pin 之后，再添加 *Direction* 为 *output* 的 *vout*。之后将 pin 与电路相连，如下图所示。

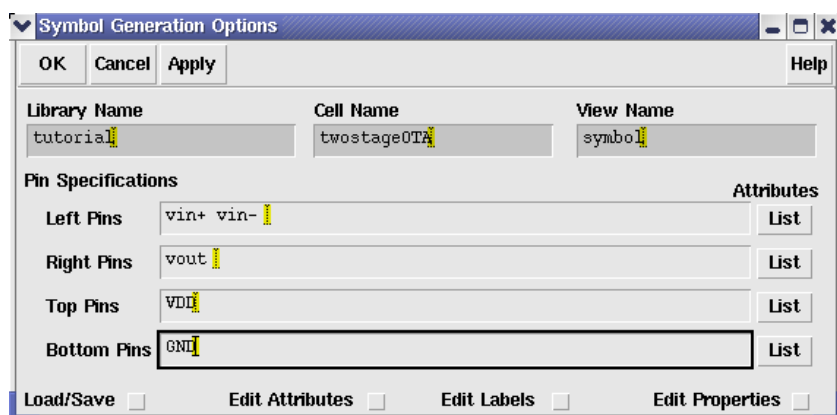


2. 绘制 Symbol

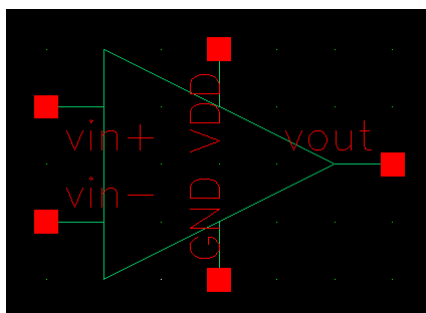
设计好的这个电路，为了测试电路和在别的地方调用此电路，需要将电路绘制为电路符号。通用的运放电路符号如下图，可据此绘制。



在 *Schematic Editing* 界面, 选择 Design ->Create Cellview ->From Cellview, 弹出设置窗口, 一般不需要改动, 直接点 OK 即可。随后弹出设置窗口如下图所示。根据通用的运放符号, 将 Left Pins, Right Pins, Top Pins, Bottom Pins 栏目修改为图中所示内容。



点击 OK, 出现电路符号设计界面 *Symbol Editing*, 可以看到, 在 *Symbol Editing* 界面上已经生成默认的图形, 其中红色方块为接口, 对应原理图各个 pin, 红色方框为符号范围, 绿色则就是 Smymol 形状。由于自动生成的形状与期望的有较大不同, 所以要对图形进行修改, 最终得到如下图所示运放的电路符号。

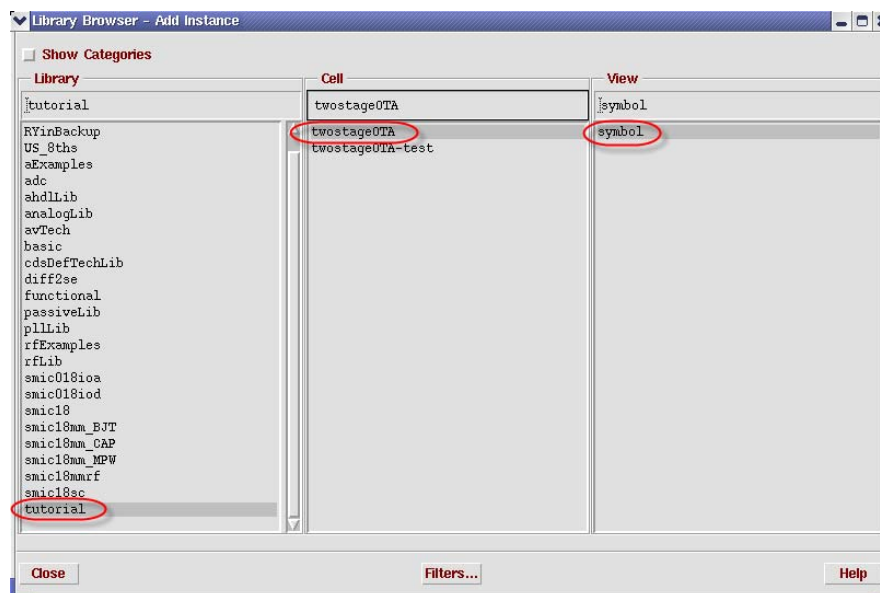


至此, 完成了二级运放的电路原理图绘制和电路符号绘制。

6.5 基本指标仿真

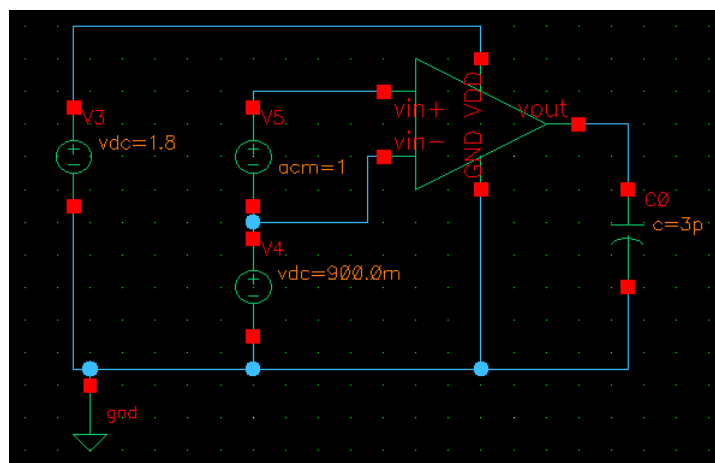
回顾第四章中介绍的各个电路指标的原理, 结合第五章中 HSPICE 电路仿真, 便可以得到在 Cadence 下各个参数的仿真方法。对于直流工作点、信号传输 (涉及 GBW、PM 指标) 和噪声而言, 可直接通过之前所提到的 *Choosing Analyses* 界面中 dc、ac 和 noise 项来仿真。

1. 在各个界面上将设计好的电路保存并关闭。同时关闭除 icbf 外所有窗口。仿照前例，在 *tutorial* 库中建立名为 *twostageOTA-test* 的 cell。
2. 在打开的 *Schematic Editing* 界面使用快捷键 *i* 添加元件，调用刚才设计好的运放。可以看到在 *tutorial* 库下，有 *twostageOTA*。由于仅电路符号可以被调用，所以没有 *schematic* 项，只有 *symbol* 项。



选中运放符号上使用快捷键 **Shift+e**，即可进入一层查看电路的原理图，快捷键 **Ctrl+e** 和返回上一层。

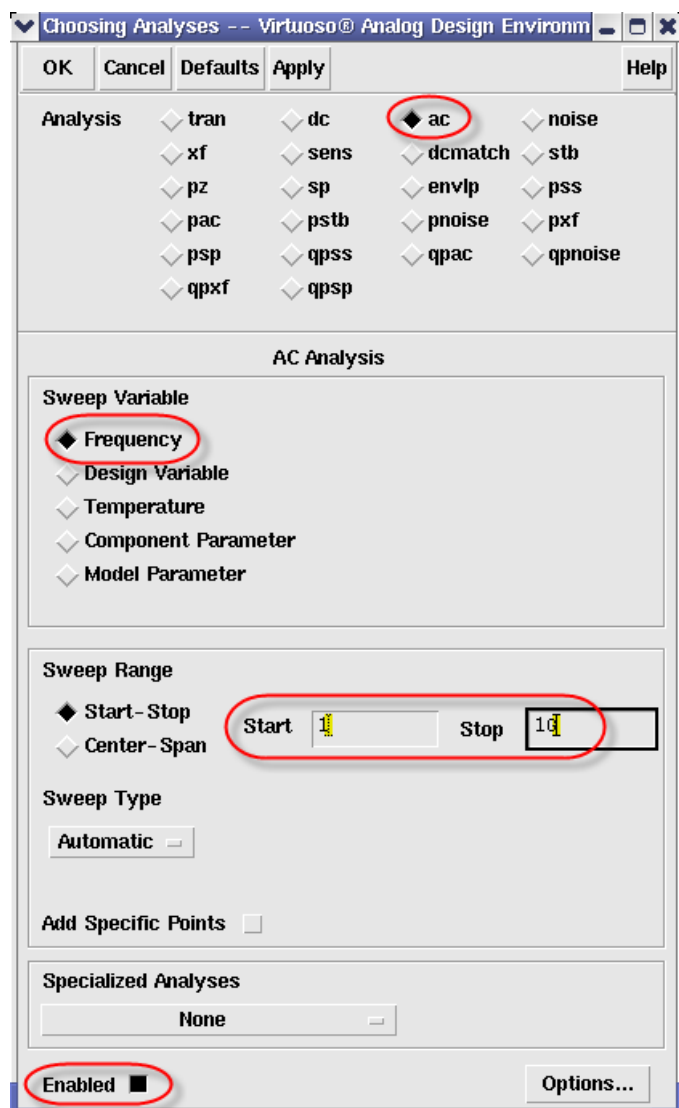
3. 如图添加电源、地、交流信号以及输出电容等元件。并按照电路原理进行连接。



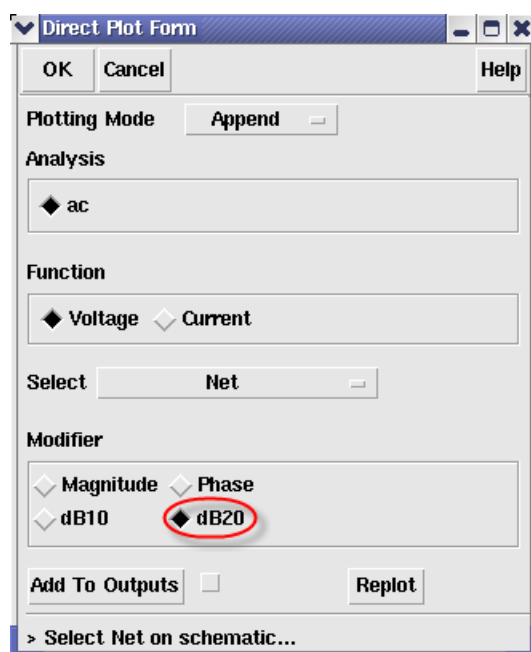
其中两差分输入端之间连接的交流信号只需在添加 *vdc* 电源的时候，在 *AC magnitude* 一栏中键入: 1 V(之间有空格), 将 *DC voltage* 一栏留空即可。之后单击 *Check and Save* 按钮，保存电路。


4. 调出 *Analog Design Environment* 界面，点击 *Choosing Analyses* 按钮，设置好 dc 参数。再次点击，选择 *ac* 项，依照下图进行设置，在 *Sweep Range* 栏目中，*Start* 和 *Stop* 中分别填入 1 和 1G，表示信号频率范围从 1 Hz 到 1 GHz，这时一个比较大的范

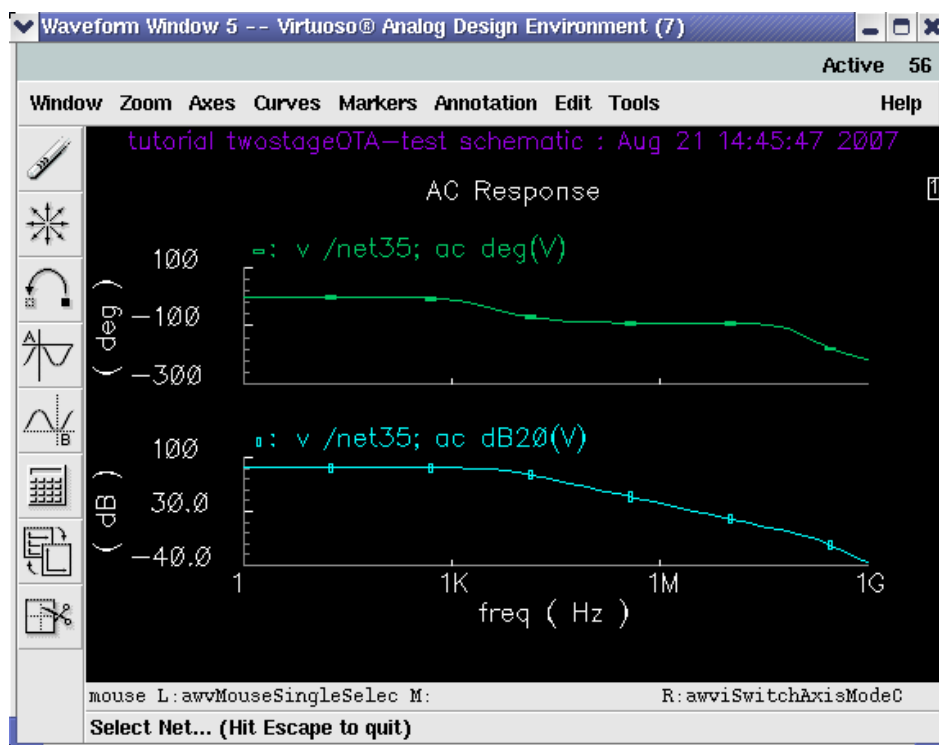
围，只是出于留有一定裕量的考虑，实际上此运放的带宽远远达不到，但由于届时会采用对数坐标，所以不会给读图带来困难。



5. 这时 *Analog Design Environment* 界面中会有 dc 和 ac 两个项目。点击 *Netlist and Run* 按钮运行仿真。仿真完成后，选择 *Results ->Direct Plot ->Main Form*，会弹出如下窗口。



在 *Modifier* 栏中选择 *dB20* 项目，再在 *Schematic Editing* 界面上点击运放输出节点（可以单击与 *vout* 直接连接的任何一条连线）。会弹出 *Waveform Window* 窗口，显示的便是运放增益随信号频率变化的波特图。仿此步骤，再在 *Modifier* 栏中选择 *Phase* 项目，即可得到相位与频率的波特图。可以看到两条曲线共用一个坐标，为此在 *Waveform Window* 窗口左侧工具栏中单击 （*Switch Axis Mode*）按钮，将增益和相位分成两个坐标显示，如下图所示。

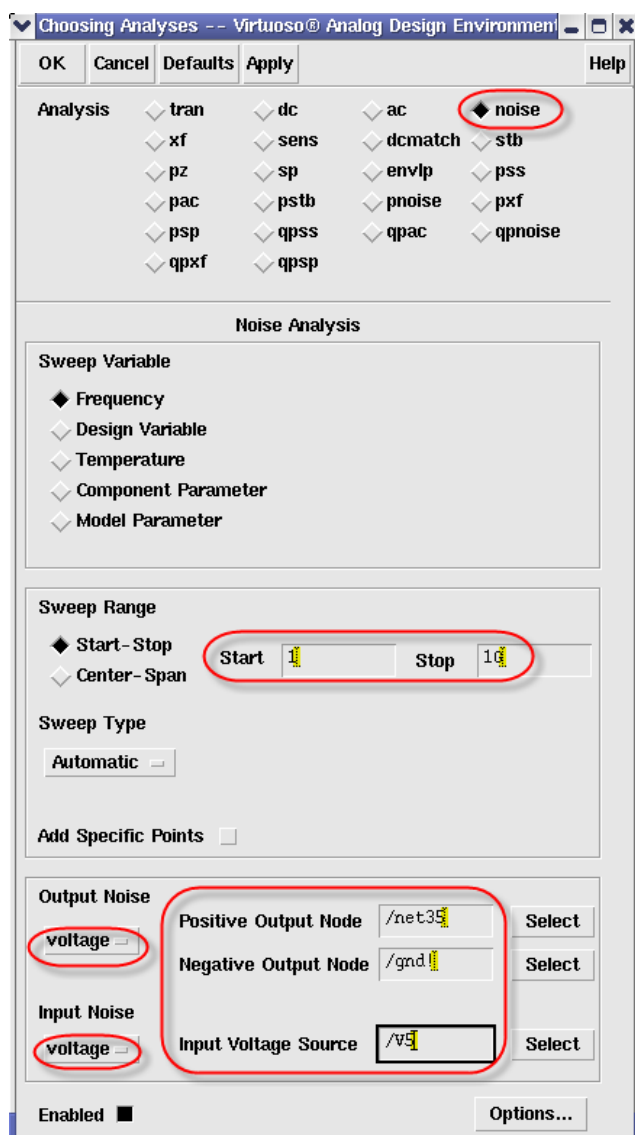


鼠标在曲线上移动，即可在窗口右上角得到该点的坐标值。在增益曲线上，当纵座标为 0 时，x 坐标值即为运放的单位增益带宽。由上图可知，运放的 GBW 为 114 MHz。再

在相位图上选择横坐标值为 114 M 的点，可以读出纵坐标为 -133，这在表示单位增益带宽处，相移达到了 133°，此时相位裕量仅为 47°，不能满足相位裕度指标。为此我们需要调整电路。

6. 相位裕量主要由第二极点 p_1 和零点 z_1 决定，参考之前章节介绍的相位补偿分析，尝试将 C_C 调节为 1.5p，得到结果如下图所示。可以看到，GBW 为，而 PM 为，满足设计指标。

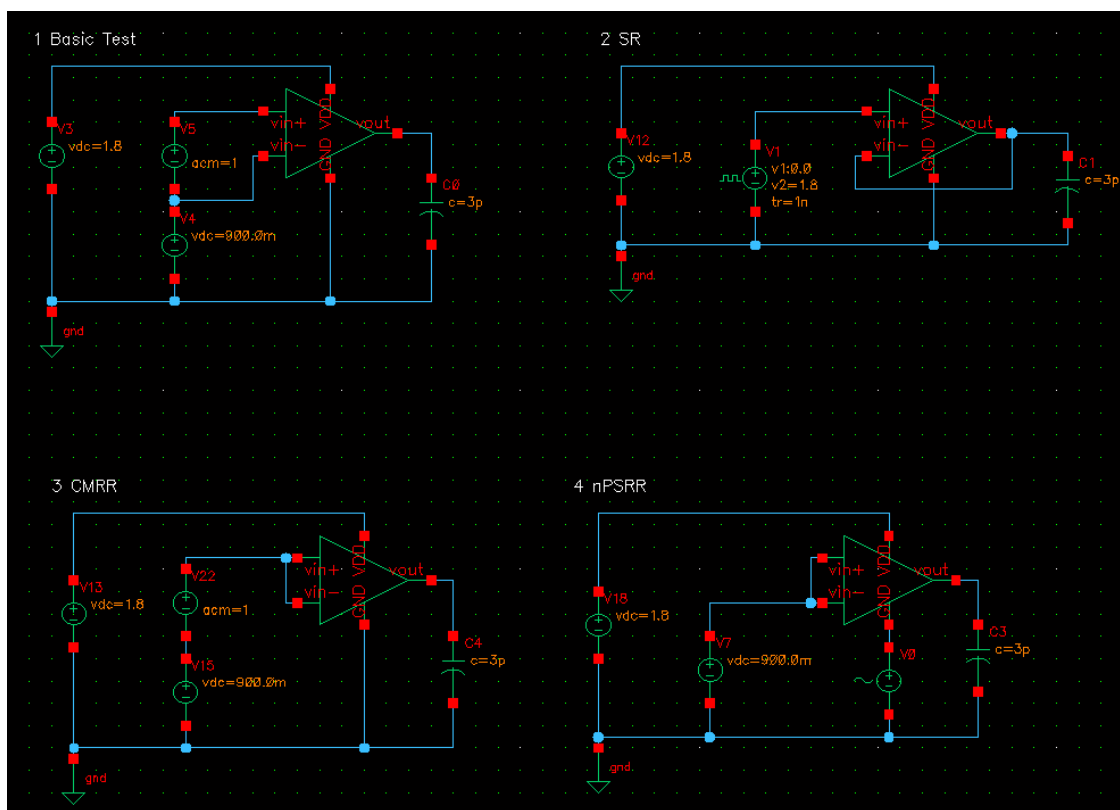
7. 接下来仿真噪声，依照下图设置参数，其中，最下面 *Positive Output Node* 一栏，可点击 *Select* 按钮后，在电路图中选择输出节点，而 *Negative Output Node* 一栏则选地，若不选，则也会默认为地。*Input Voltage Source* 选择输入差分信号的电压源。



6.6 其它指标仿真

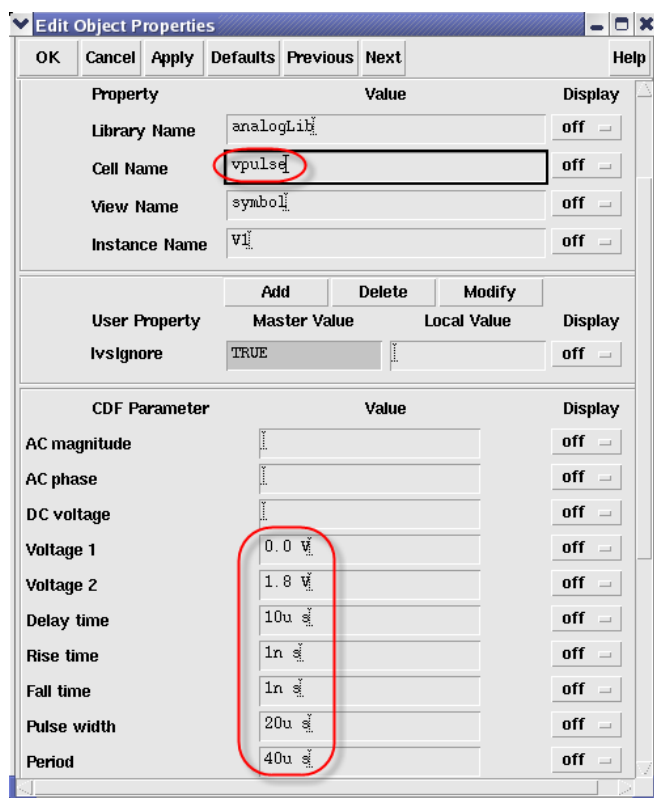
仿真电路的其它指标，如 SR、CMRR 和 nPSRR 等，由于这时不再仅仅是小信号

传递特性，仿照第五章 HSPICE 仿真所用到的方法，需要结合不同的电源或信号输入，来分别仿真 SR、CMRR 和 nPSRR 参数。为了可以同时考察所有特性，可在一个界面中同时绘制四个子电路。值得注意的是，运放以符号形式同时被这四个子电路调用，若点击其中任何一个运放电路符号，进入其原理图界面进行修改，均会同时反映在所有的四个子电路中。

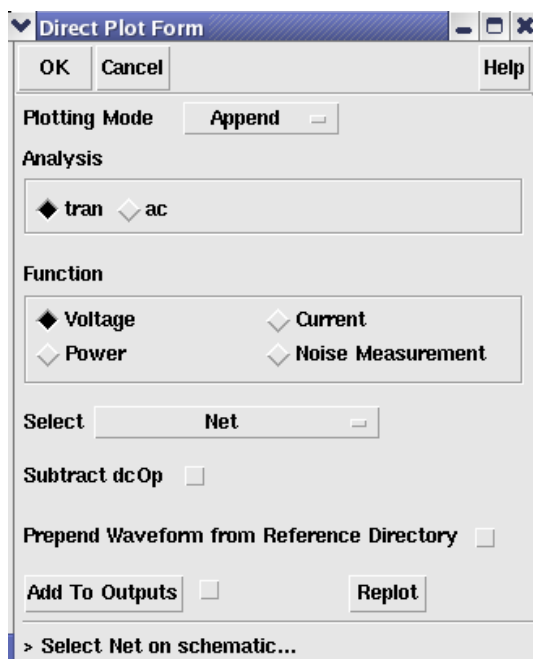


测试电路原理已经在第五章介绍过了，电路连接和相关参数如上图所示，下面仅介绍用来测试 SR 所用到的阶跃电压和瞬态仿真。

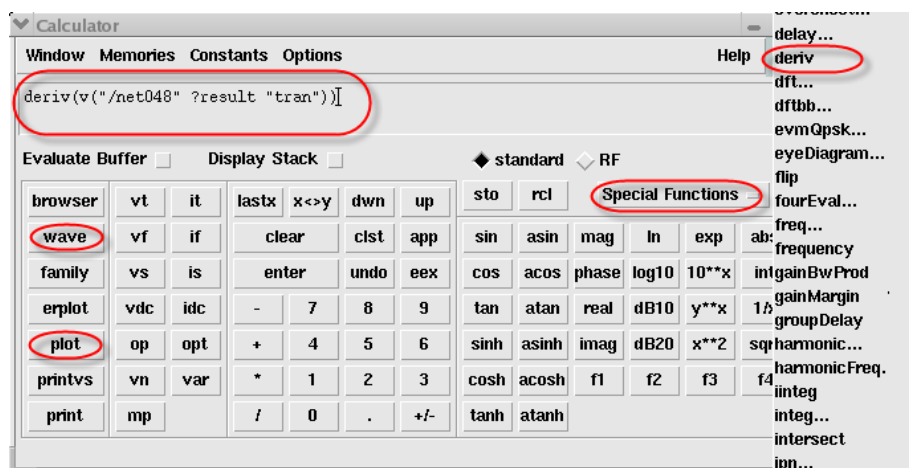
在 *analogLib* 库找到 *vpulse* 元件，这是一个脉冲电压。依照上图进行电路连接，并依照下图进行属性设置。在属性设置里需要说明的是，*Voltage 1* 和 *Voltage 2* 分别是低电平和高电平的电压值。*Delay Time* 是延迟一定时间后电压开始作用，*Rise Time* 和 *Fall Time* 分别是高低电平转换所需要的时间，这里为了趋近于理想，设为 1 ns。*Pulse Width* 是脉冲宽度，而 *Period* 则是脉冲周期。



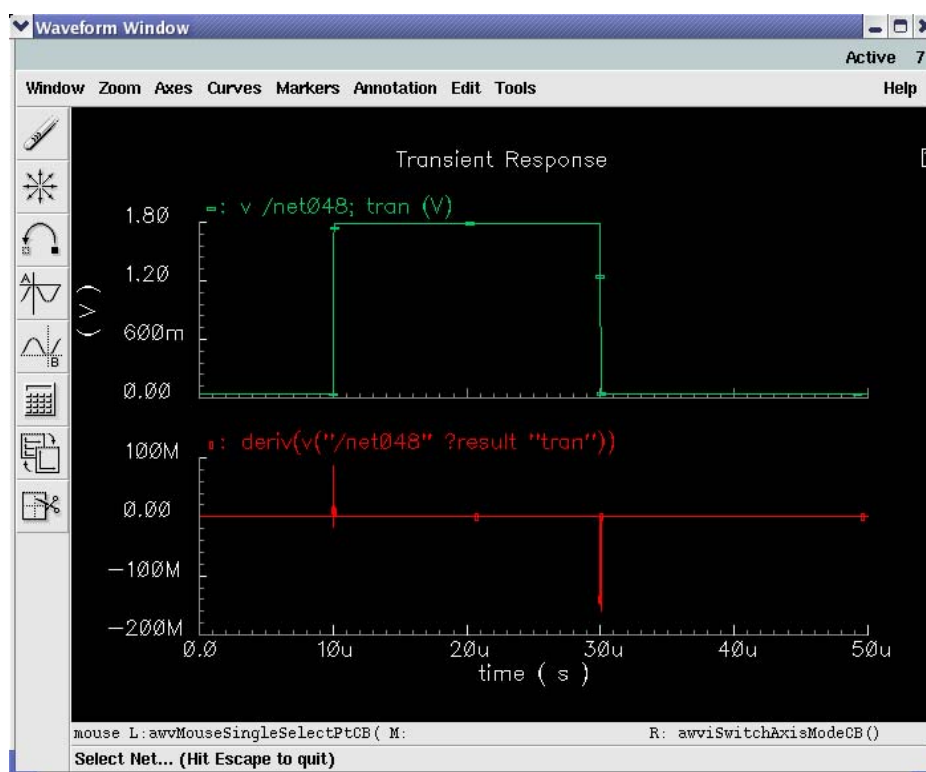
在仿真的时候使用 *tran* 仿真，即瞬态仿真，时间设置略大于 50u s 就可以了。仿真完成后，在 *Analog Design Environment* 界面选择 Results ->Direct Plot ->Main Form，会弹出如下窗口。选择 *tran*，在双击电路的输出端点，可以得到输出波形。



由于 SR 是电压对于时间的导数。为了直观的得到 SR，可以在输出波形界面中点击右侧按钮栏中计算器按钮，会出现计算器界面，如下图所示。点击 *wave* 按钮，再单击波形，在坐上显示窗显示波形名称，然后单击 *Special Functions* 按钮，在弹出的菜单中选择 *deriv*，对波形对时间求导。



最后，点击 *plot* 按钮输出波形。将波形适当放大，即可读出 SR。值得注意的是，此 SR 是 3.8 节中所提到的外部压摆率。



6.7 仿真结果

依照上面所述的方法和步骤，再根据仿真的结果，可以进一步对电路进行考察和优化。通过扫描各个关键参数，往往可以得到针对某一个或几个设计指标更为优化的结果，这就需要根据不同的应用，对这些结果进行权衡，从而得到一个最优的设计方案。

在此，针对此运放，经过适当的优化，其各项性能指标如下表所示。

静态功耗	$\leq 2 \text{ mW}$	513 $\mu\text{A} \times 1.8 \text{ V}$
开环直流增益	$\geq 80 \text{ dB}$	86.51 dB
单位增益带宽	Maximize	96.9 MHz
相位裕量	$\geq 60 \text{ degree}$	63.3 degree
转换速率	$\geq 30 \text{ V/us}$	40 V/ μs
共模抑制比	$\geq 60 \text{ dB}$	84.28 dB
负电源抑制比	$\geq 80 \text{ dB}$	91.65 dB
等效输入噪声	$\leq 300 \text{ nV}/\sqrt{\text{Hz}} @1\text{KHz}$	169.64 $\text{nV}/\sqrt{\text{Hz}} @1\text{KHz}$

写在最后:

在结束原理图设计之后，接下来要进行的就版图设计和后仿。限于时间的关系，关于版图设计和后仿的内容将会在之后的版本中逐步增加和完善。

参考文献

- [1] P. E. Allen . CMOS 模拟集成电路设计,第二版.电子工业出版社, 2006
- [2] B. Razavi . 模拟 CMOS 集成电路设计.西安交通大学出版社, 2003
- [3] P. R. Gray . 模拟集成电路的分析与设计,第四,影印版.高等教育出版社, 2003
- [4] 洪志良 . 模拟集成电路分析与设计.科学出版社, 2005
- [5] D. A. Johns, 增朝阳等译 . 模拟集成电路设计 . 机械工业出版社, 2005

附录 A 传递函数与零极点分析

一般来说，传递函数的每一个极点和电路中每一个节点都有联系，但遇到密勒效应的电路，这些极点是很难计算的。即便如此，把节点对地总的等效电容和总的等效电阻相乘，可以得到相应极点的频率。

A.1 第二级传递函数

在图 A.1 的两级放大器中，M14 和 C_c 跨接在第二级的输入、输出端，通过密勒效应计算极点并不精确，并且会丢掉一个零点。所以这里分两级计算其传递函数，首先计算第二级的传递函数，如图所示。其中 v_{in} 为第一级输出开漏电压， R_s 为第一级的输出阻抗 $r_{o2} \parallel r_{o4}$ ，这里作为第二级的输入阻抗；为近似分析，M14 采用一个线性电阻 R_Z 代替。 C_{n3} 为 3 点对地总电容，包括 $C_{GS6} + C_{DB2} + C_{DB4}$ ，由于 M6 尺寸很大， C_{GS6} 占主导。 C_L 为输出负载电容，但还包括寄生电容 $C_{DB6} + C_{DB7}$ 。

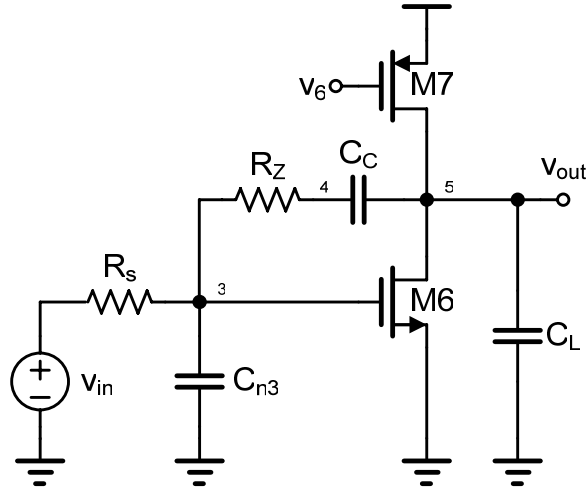


图 A.1 第二级电路图

小信号等效模型如图所示，计算其输入、输出传递函数，其中 r_{out} 为 r_{o6} 和 r_{o7} 的并联。

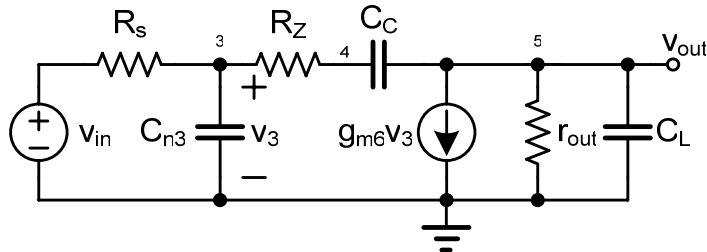


图 A.2 第二级小信号等效电路

对节点 3 运用 KCL 得到

$$\frac{v_3 - v_{in}}{R_s} + sC_{n3}v_3 + \frac{v_3 - v_{out}}{R_z + \frac{1}{sC_c}} = 0 \quad (A.1)$$

对节点 5 运用 KCL 得到

$$\frac{v_{out} - v_3}{R_z + \frac{1}{sC_c}} + g_{m6}v_3 + \left(\frac{1}{r_{out}} + sC_L \right) v_{out} = 0 \quad (A.2)$$

$$\begin{cases} \frac{v_3 - v_{in}}{R_s} + sC_{n3}v_3 + \frac{v_3 - v_{out}}{R_z + \frac{1}{sC_c}} = 0 \\ \frac{v_{out} - v_3}{R_z + \frac{1}{sC_c}} + g_{m6}v_3 + \left(\frac{1}{r_{out}} + sC_L \right) v_{out} = 0 \end{cases} \quad (A.3)$$

由式(A.3)得

$$\left[1 + \left(R_z + \frac{1}{sC_c} \right) \left(\frac{1}{r_{out}} + sC_L \right) \right] v_{out} = - \left[\left(R_z + \frac{1}{sC_c} \right) g_{m6} - 1 \right] v_3 \quad (A.4)$$

$$\left[R_z + \frac{1}{sC_c} + sC_{n3}R_s \left(R_z + \frac{1}{sC_c} \right) + R_s \right] v_3 = \left(R_z + \frac{1}{sC_c} \right) v_{in} + R_s v_{out} \quad (A.5)$$

将式(A.4)和式(A.5)左右两边分别相乘，又有 $A_v = v_{out}/v_{in}$ ，得

$$\begin{aligned} & \left[\left(1 + sC_{n3}R_s \right) \left(R_z + \frac{1}{sC_c} \right) + R_s \right] \left[1 + \left(R_z + \frac{1}{sC_c} \right) \left(\frac{1}{r_{out}} + sC_L \right) \right] A_v \\ &= - \left[\left(R_z + \frac{1}{sC_c} \right) g_{m6} - 1 \right] \left[\left(R_z + \frac{1}{sC_c} \right) + R_s A_v \right] \end{aligned} \quad (A.6)$$

将式(A.6)整理，得

$$\begin{aligned} & \left\{ \left[\left(\frac{1}{R_s} + sC_{n3} \right) \left(R_z + \frac{1}{sC_c} \right) + 1 \right] \left[1 + \left(R_z + \frac{1}{sC_c} \right) \left(\frac{1}{r_{out}} + sC_L \right) \right] + \left[\left(R_z + \frac{1}{sC_c} \right) g_{m6} - 1 \right] \right\} R_s A_v \\ &= - \left[\left(R_z + \frac{1}{sC_c} \right) g_{m6} - 1 \right] \left(R_z + \frac{1}{sC_c} \right) \end{aligned} \quad (A.7)$$

将式(A.7)进一步整理，得

$$\begin{aligned}
& \left\{ \left(\frac{1}{R_s} + sC_{n3} \right) \left(R_z + \frac{1}{sC_c} \right) + \left(R_z + \frac{1}{sC_c} \right) \left(\frac{1}{r_{out}} + sC_L \right) \right. \\
& \left. + \left(\frac{1}{R_s} + sC_{n3} \right) \left(R_z + \frac{1}{sC_c} \right)^2 \left(\frac{1}{r_{out}} + sC_L \right) + \left(R_z + \frac{1}{sC_c} \right) g_{m6} \right\} R_s A_v \\
& = - \left[\left(R_z + \frac{1}{sC_c} \right) g_{m6} - 1 \right] \left(R_z + \frac{1}{sC_c} \right)
\end{aligned} \tag{A.8}$$

进一步整理式(A.8)，得

$$\begin{aligned}
& \left[\frac{1}{R_s} + sC_{n3} + \frac{1}{r_{out}} + sC_L + \frac{R_z}{R_s r_{out}} + \frac{sR_z C_L}{R_s} + \frac{sR_z C_{n3}}{r_{out}} + s^2 R_z C_{n3} C_L \right. \\
& \left. + \frac{1}{sC_c R_s r_{out}} + \frac{C_L}{C_c R_s} + \frac{C_{n3}}{C_c r_{out}} + \frac{sC_{n3} C_L}{C_c} + g_{m6} \right] R_s A_v \\
& = - \left[\left(R_z + \frac{1}{sC_c} \right) g_{m6} - 1 \right]
\end{aligned} \tag{A.9}$$

进一步整理式(A.9)，得

$$\begin{aligned}
& \left[s^3 R_z C_{n3} C_L + s^2 \left(C_{n3} + C_L + \frac{R_z C_L}{R_s} + \frac{R_z C_{n3}}{r_{out}} + \frac{C_{n3} C_L}{C_c} \right) \right. \\
& \left. + s \left(\frac{1}{R_s} + \frac{1}{r_{out}} + \frac{R_z}{R_s r_{out}} + \frac{C_L}{C_c R_s} + \frac{C_{n3}}{C_c r_{out}} + g_{m6} \right) + \frac{1}{C_c R_s r_{out}} \right] R_s A_v \\
& = - \left[\left(sR_z + \frac{1}{C_c} \right) g_{m6} - s \right]
\end{aligned} \tag{A.10}$$

化简式(A.10)，得

$$A_v = \frac{-g_{m6} r_{out} \left[1 + sC_c \left(R_z - \frac{1}{g_{m6}} \right) \right]}{\left\{ s^3 R_s R_z r_{out} C_{n3} C_c C_L + s^2 \left[R_s r_{out} \xi + R_z C_c (r_{out} C_L + R_s C_{n3}) \right] \right\} + s \left[r_{out} (C_c + C_L) + R_s C_c (1 + g_{m6} r_{out}) + R_s C_{n3} + R_z C_c \right] + 1} \tag{A.11}$$

其中， $\xi = C_c C_{n3} + C_c C_L + C_{n3} C_L$ 。这是一个三阶传递函数，存在三个极点和一个零点，零点为

$$z_1 = \frac{1}{C_c \left(\frac{1}{g_{m6}} - R_z \right)} \tag{A.12}$$

分母的三阶表达式较复杂，比较 s 的三次项和二次项。 R_s 和 r_{out} 分别是第一级和第二级的输出阻抗，阻值较大，所以二次项可以近似等于 $s^2 R_s r_{out} \xi$ 。将三次项和二次项相除，

又因为 C_{n3} 相对于 C_c 和 C_L 较小, 得到

$$\frac{s^3 R_s R_Z r_{out} C_{n3} C_c C_L}{s^2 R_s r_{out} \xi} = \frac{s R_Z C_{n3} C_c C_L}{C_{n3} C_c + C_c C_L + C_{n3} C_L} \approx s R_Z C_{n3} \quad (A.13)$$

由于零极点补偿时, 通常 R_Z 约为 $1/g_{m6}$ 的 $1 \sim 5$ 倍, 这里取 4 , 所以式(A.13)化简为

$$\frac{s^3 R_s R_Z r_{out} C_{n3} C_c C_L}{s^2 R_s r_{out} \xi} = \frac{s R_Z C_{n3} C_c C_L}{\xi} \approx \frac{s}{1/(R_Z C_{n3})} \approx \frac{4s}{g_{m6}/C_{n3}} \approx \frac{4s}{2\pi f_{T6}} \quad (A.14)$$

观察式(A.14)可知, 如果 $f < f_{T6}/4$, 那么式(A.11)可以化简为二阶表达式

$$A_{v2} \approx \frac{-g_{m6} r_{out} \left[1 + s C_c \left(R_Z - \frac{1}{g_{m6}} \right) \right]}{s^2 \left[R_s r_{out} \xi + R_Z C_c (r_{out} C_L + R_s C_{n3}) \right] + s \left[r_{out} (C_c + C_L) + R_s C_c (1 + g_{m6} r_{out}) + R_s C_{n3} + R_Z C_c \right] + 1} \quad (A.15)$$

观察分母的二次项, $R_s r_{out} \xi$ 远大于其它两项, 观察分母的一次项, $R_s C_c g_{m6} r_{out}$ 远大于其它几项, 所以式(A.15)化简为

$$A_{v2} \approx \frac{-g_{m6} r_{out} \left[1 + s C_c \left(R_Z - \frac{1}{g_{m6}} \right) \right]}{s^2 R_s r_{out} \xi + s g_{m6} R_s r_{out} C_c + 1} \quad (A.16)$$

对于形如 $as^2 + bs + c = 0$ 的方程, 如果有两个实根并相距很远, 有 $s_1 = -c/b$, $s_2 = -b/a$ 。

由(A.16)得到两个实根分别为

$$p_1 = -\frac{1}{R_s g_{m6} r_{out} C_c} = -\frac{g_{m1}}{A_v C_c} \quad (A.17)$$

$$p_2 = -\frac{g_{m6} C_c}{\xi} \approx -\frac{g_{m6}}{C_L \left(1 + \frac{C_{n3}}{C_c} \right)} \approx -\frac{g_{m6}}{C_L} \quad (A.18)$$

现在考虑第四极点, 观察式(A.14), 如果 f 在 $1/(R_Z C_{n3})$ 附近, 忽略式(A.11)中的一次项和常数, 得到第四极点约为 (这里用 f_{p4} , 因为 f_{p3} 用在第一级的镜像极点中, 见后面分析)

$$p_4 \approx -\frac{1}{R_Z C_{n3}} \approx -\frac{1}{4} \frac{g_{m6}}{C_{n3}} \approx -\frac{\omega_{T6}}{4} \quad (A.19)$$

通常认为 p_4 远大于 GBW, 对系统的稳定性影响不大。另外, 可以采用文献[3]中短路时间常数的方法用来估计最远极点的位置, 这样得到的 p_4 为 $1/[R_Z \times (C_{n3}^{-1} + C_c^{-1} + C_L^{-1})]$, 由于 C_{n3} 小于 C_c 和 C_L , 较接近式(A.19)的结果。

A.2 第一级传递函数

第一级的小信号电路图如图 A.3 所示, 假定 $1/g_{m3} \ll r_{o3}$ 。由于电路的对称性, $g_{m1} = g_{m2}$, $g_{m3} = g_{m4}$, $r_{o1} = r_{o2}$ 。 C_{n2} 为 2 点对地的总电容, 主要包括 $C_{GS3} + C_{GS4} + C_{DB1} + C_{DB2}$ 。

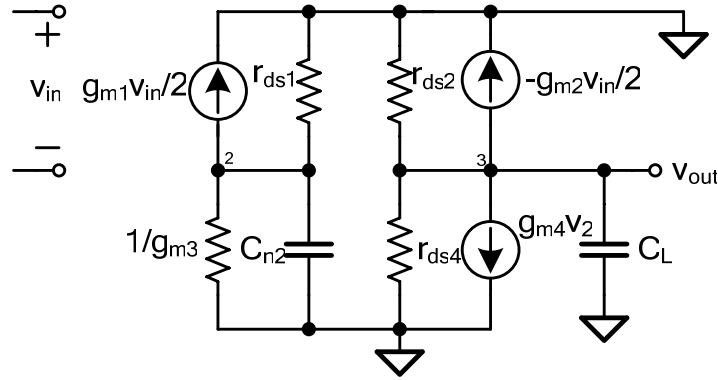


图 A.3 第一级小信号等效电路

分别在节点 2 和节点 3 列 KCL, 得到

$$g_{m3}v_2 + sC_{n2}v_2 + \frac{1}{2}g_{m1}v_{in} + \frac{v_2}{r_{o2}} = 0 \quad (A.20)$$

$$g_{m3}v_2 + \left(\frac{1}{r_{o4}} + sC_L \right) v_{out} - \frac{1}{2}g_{m1}v_{in} + \frac{v_{out}}{r_{o2}} = 0 \quad (A.21)$$

由式(A.20)和式(A.21), 得

$$A_{v1} = \frac{\frac{1}{2}g_{m1}r_{o2}r_{o4}[2g_{m3}r_{o2} + 1 + sC_{n2}r_{o2}]}{s^2r_{o2}^2r_{o4}C_{n2}C_L + s[r_{o2}C_{n2}(r_{o4} + r_{o2}) + r_{o2}r_{o4}C_L(g_{m3}r_{o2} + 1)] + (g_{m3}r_{o2} + 1)(r_{o4} + r_{o2})} \quad (A.22)$$

$$\approx \frac{\frac{1}{2}g_{m1}r_{o2}r_{o4}[2g_{m3} + sC_{n2}]}{s^2r_{o2}r_{o4}C_{n2}C_L + s[C_{n2}(r_{o4} + r_{o2}) + r_{o4}C_L(g_{m3}r_{o2} + 1)] + g_{m3}(r_{o4} + r_{o2})}$$

这是一个两阶传递函数, 其零点为

$$z_2 = -\frac{2g_{m3}}{C_{n2}} \quad (A.23)$$

如果两个极点相距很远, 由式(A.17)可知其主极点为

$$p_d = -\frac{g_{m3}(r_{o4} + r_{o2})}{C_{n2}(r_{o4} + r_{o2}) + r_{o4}C_L(g_{m3}r_{o2} + 1)} \approx -\frac{1}{(r_{o2} \parallel r_{o4})C_L} \quad (A.24)$$

次级点为

$$p_{nd} = -\frac{C_{n2}(r_{o4} + r_{o2}) + r_{o4}C_L(g_{m3}r_{o2} + 1)}{r_{o2}r_{o4}C_{n2}C_L} \approx -\frac{g_{m3}}{C_{n2}} \approx -\frac{\omega_{T3}}{4} \quad (A.25)$$

A.3 零极点讨论

首先分析第一级的传递函数，共有两个负平面的实极点和一个负平面的实零点。由于一个极点对应电路中一个零点，主极点 p_d 在节点 3 处，非主极点 p_{nd} 在节点 2 处， p_{nd} 也叫做镜像极点，这是电流镜结构产生的。另外注意的是，零点是非主极点的 2 倍，这也是差分结构电流镜负载的特点。如果将第一级的 C_L 并入第二级的输入电容 C_{n3} ，那么式(A.22)可以改写为

$$A_{v1} = \frac{\frac{1}{2} g_{m1} r_{o2} r_{o4} [2g_{m3} + sC_{n2}]}{sC_{n2} (r_{o4} + r_{o2}) + g_{m3} (r_{o4} + r_{o2})} \quad (A.26)$$

上式仅有一个极点和一个零点，这与式(A.23)和式(A.25)的结论一致。

分析第二级传递函数，共有一个零点和三个负半平面的实极点，主极点发生在节点 3 处，第一非主极点发生在节点 5 处，第二非主极点从传递函数中得出。利用密勒效应，可将补偿电容 C_c 拆分为两个电容，分别在节点 3 和节点 5 处。零点 z_1 可以这样获得，零点发生在增益为零的情况，对于有限输入，输出交流接地。因此流过 R_z 和 C_c 的电流等于流过 M6 的电流，有

$$\frac{V_3}{R_z + \frac{1}{sC_c}} = g_{m6} V_3 \quad (A.27)$$

得到 $s_z = (g_{m6}^{-1} - R_z)/C_c$ ，这与式(A.12)一致。如果没有调零电阻 R_z ，(A.11)可化简为

$$A_{v2} = \frac{-r_{out} (g_{m6} - sC_c)}{s^2 R_s r_{out} C_c + s [r_{out} (C_c + C_L) + R_s C_c (1 + g_{m6} r_{out}) + R_s C_{n3}] + 1} \quad (A.28)$$

这得到一个右半平面的实零点 g_{m6}/C_c ，两个极点与式(A.17)和式(A.18)一致。

将两级传递函数结合起来，得到两级运放的总的传递函数为

$$A_v = A_{v0} \frac{\left(1 - \frac{s}{z_1}\right) \left(1 - \frac{s}{z_2}\right)}{\left(1 - \frac{s}{p_1}\right) \left(1 - \frac{s}{p_2}\right) \left(1 - \frac{s}{p_3}\right) \left(1 - \frac{s}{p_4}\right)} \quad (A.29)$$

其中， A_{v0} 为直流增益， z_1 为式(A.12)， z_2 为式(A.23)， p_1 为式(A.17)， p_2 为式(A.18)， p_3 为式(A.25)， p_4 为式(A.19)，将这几个零极点列于下式

$$\begin{cases} z_1 = 1/[C_c(g_{m6}^{-1} - R_Z)] \\ z_2 = -2g_{m3}/C_{n2} \\ p_1 = -1/(R_s g_{m6} r_{out} C_c) = -g_{m1}/(A_V C_c) \\ p_2 = -g_{m6} C_c / \xi \approx -g_{m6} / [C_L (1 + C_{n3}/C_c)] \approx -g_{m6} / C_L \\ p_3 \approx -g_{m3} / C_{n2} \approx -\omega_{T3} / 4 \\ p_4 \approx -1/(R_Z C_{n3}) \approx -g_{m6} / (4C_{n3}) \approx -\omega_{T6} / 4 \end{cases} \quad (\text{A.30})$$

另外要注意的是，这个电路中还存在着两个右半平面的零点，它们可能都在 10 倍 GBW 之外，较近的一个是由 M2 的 C_{GD} 引起，大约为 g_{m2}/C_{GD} ，较远的一个由 M6 的 C_{GD} 引起，大约为 g_{m6}/C_{GD} 。采用 R_Z 的超前相位补偿不会改变这两个 RHP 零点的位置。

附录 B Cadence 常用快捷

鼠标操作

- 单击左键选中一个图形。如果是两个图形交叠的话，单击左键选中其中一个图形，再单击会选中另一个图形
- 用左键框选，选中一片图形，图形要被完全包围才会被选中
- 中键单击调出常用菜单命令
- 右键点击拖放用来放大。放大后经常配合 F 键使用，恢复到全部显示。配合 Tab 键使用，平移视图。右键还有“Strokes”，就是点住右键画些图线，就能实现调用某些命令
- Shift+左键加选图形，Ctrl+左键减选图形

键盘操作

- F1 显示帮助窗口
- F2 保存
- F3 控制在选取相应工具后是否显示相应属性对话框的。如在选取 Path 工具后，想控制 Path 的走向，可以按 F3 调出对话框进行设置
- F4 Toggle Partial Select，用来控制是否可以部分选择一个图形
- F5 打开。
- F8 Guided Path Create
- F9 Filter Size
-
- Ctrl+A 全选
-
- B Go to Level
- Shift+B 升到上一级视图
-
- C 复制。复制某个图形
- Ctrl+C 中断某个命令，不常用。一般多按几次 Esc 键即可取消某个命令

Shift+C 裁切(Chop)。首先调用命令，选中要裁切的图形，后画矩形裁切

D 取消选择

Ctrl +D 取消选择。这个也可用鼠标点击空白区域实现

Shift+D 取消选择

Shift+E 和 **E** 控制用户预设的一些选项

F 满工作区显示。就是显示所有图形

Ctrl+F 显示上一层级

Shift+F 显示所有层级

G Gravity，吸附。打开后会吸附到某些节点上

Ctrl+G Zoom To Grid

I Instance，插入模块

K Ruler，标尺工具

Shift+K 清除所有标尺

L 标签工具。Label。标签要加在特定的 text 层上

M 移动工具。Move。点选 Move 工具后，选中要移动的图形，然后在屏幕上任意一处单击一下这个就是确定移动的参考点，然后就可以自由移动了。也可以通过鼠标先选中一个图形，移动鼠标当鼠标箭头变成十字方向的时候就可以拖动来实现。

Shift+M Merge，合并工具

N 控制走向，斜 45 对角+正交

Ctrl+N 控制走向，先横后竖

Shift+N 控制走向，直角正交

O Create Contact, 插入通孔

Shift+O Rotate, 旋转工具

P 插入 Path

Ctrl+P 插入引脚 (Pin)

Shift+P Polygon, 多边形工具

Q 对象属性

Shift+Q 打开设计属性对话框

R 矩形工具

Ctrl+R Redraw, 重画

Shift+R Reshape。就是在原来的图形上再补上一块图形

S Stretch, 拉伸工具。可以点击图形边框, 也可以框选若干图形 (边框) 再进行拉伸。

Ctrl+S Split, 添加拐点。就是配合 Stretch 命令可以将原来直的 Path 打弯

Shift+S Search, 查找

T Layer Tap, 层切换。使用 T 后再点击一个图形, 会自动切换到刚点击图形的层上去。可不必频繁点击 LSW 窗口

Ctrl+T Zoom to Set

Shift+T Tree

U Undo, 撤销

Shift+U Redo, 重复

V Attatch, 关联。将一个子图形 (child) 关联到一个父图形 (parent) 后。关联后, 若移动 parent, child 也将跟着移动; 移动 child, parent 不会移动。可以将 Label 关联到 Pad 上

Ctrl+V Type in CIW

W Previous View, 前一视图

Ctrl+W 关闭窗口

Shift+W Next View, 下一个视图

X Edit in Place

Ctrl+X Fit Edit

Shift+X Descend, 下降一等级

Y Yank, 区域复制。和 Copy 是有区别的, Copy 只能复制完整图形对象

Ctrl+Y Cycle Select

Shift+Y Paste, 粘贴。配合 Yank 使用

Z 视图放大

Ctrl+Z Zoom In by 2, 视图放大两倍

Shift+Z Zoom Out by 2, 视图缩小两倍

ESC Cancel

Tab 平移视图 Pan。按 Tab, 用鼠标点击视图区中某点, 视图就会移至以该点为中心

Delete 删除

BackSpace 撤销上一点。在 Path 一点画错时, 可以撤销上一点

Enter 确定一个图形的最后一点。也可双击鼠标左键结束

Ctrl+方向键 移动 Cell

Shift+方向键 移动鼠标。每次半个格点的距离

方向键 移动视图