

# 肖特基势垒二极管与PN结二极管的对比

电流-电压特性的对比:

## PN结二极管

$I$ - $V$  特性

$$J = J_s (e^{V/V_T} - 1)$$

反向饱和电流密度

$$J_s = \frac{qD_n n_{p0}}{L_n} + \frac{qD_p p_{n0}}{L_p}$$

由少子的扩散运动决定

## 肖特基二极管(热电子发射)

$I$ - $V$  特性

$$J = J_{sT} (e^{V/nV_T} - 1)$$

反向饱和电流密度

$$J_{sT} = R^* T^2 e^{-\phi_{ns}/V_T}$$

由多子通过热电子发射跃迁过内建电势差而形成

之后的分析都基于热电子发射理论

形式相同

单向导电性

数量级上差别

# 肖特基势垒二极管与PN结二极管的对比

反向饱和电流和正向导通电压的对比：

由于多子电流远高于少子电流



对于同样面积器件

肖特基势垒二极管中的反向饱和电流远高于具有同样面积的PN结二极管的反向饱和电流（一般大2~3个数量级）



对于同样的电流

肖特基势垒上的正向电压降要比PN结上的低得多



肖特基势垒二极管的正向导通电压更低（I-V曲线的拐弯处）一般为0.3V，而硅PN结为0.6~0.7V

# 肖特基势垒二极管与PN结二极管的对比

载流子运动形式对比（正偏）：

## PN结二极管

- ◆ 由P区注入N区的空穴或由N区注入P区的电子，都是**少子**。
- ◆ 它们先形成一定的积累，然后靠扩散运动形成电流。
- ◆ 这种注入的非平衡载流子的积累称为**电荷存储效应**。
- ◆ 存在**扩散电容**，电容大小随正向电压变化。

## 肖特基二极管

- ◆ 正向电流主要是由半导体中的**多子**进入金属形成的。
- ◆ 少子空穴电流占总电流的比率相当小。
- ◆ (例如) 对于金属和N型半导体的接触，正偏时从半导体越过界面进入金属的电子**并不发生积累**，而是直接成为漂移电流而流走。
- ◆ **没有**少子存储。

# 肖特基势垒二极管与PN结二极管的对比

载流子运动形式



工作频率和开关速度对比：

## PN结二极管

- ◆ 由于**电荷存储效应**，正反偏压突然转换时，存储的少子不能立即被去除。
- ◆ 开关速度受到少子存储效应的限制。
- ◆ **扩散电容**影响整流效应。

## 肖特基二极管

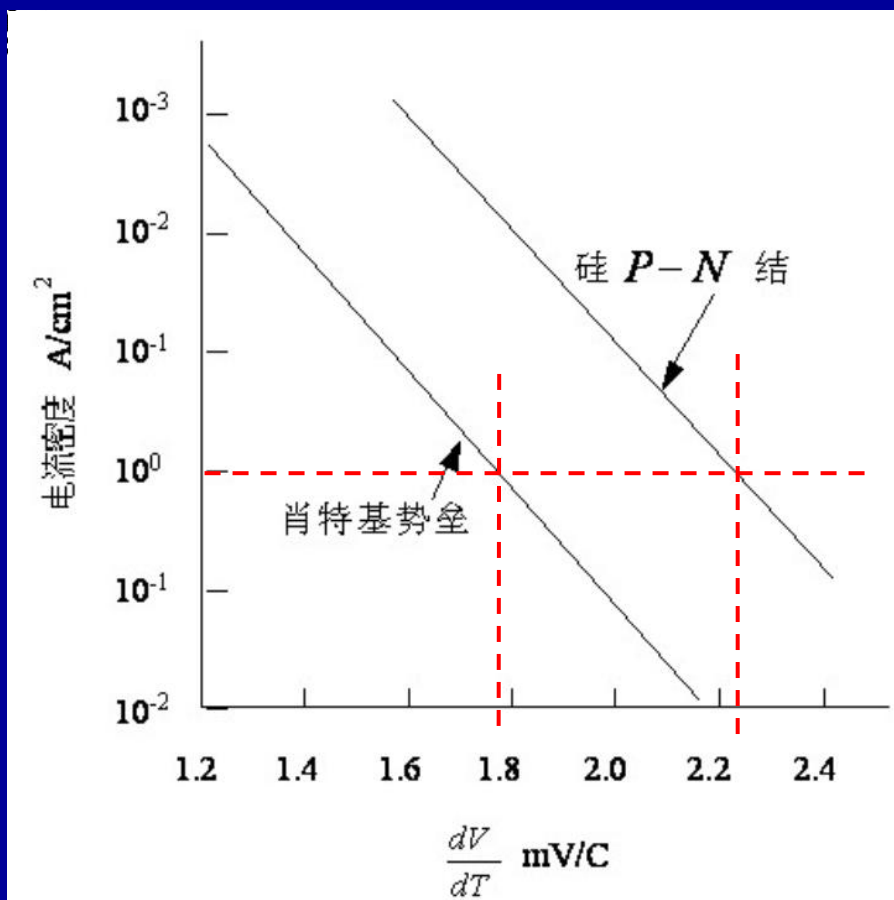
- ◆ **没有少子存储**，所以频率特性不受电荷存储效应的限制，只受到RC时间常数的限制。



肖特基势垒二极管对于**高频和快速开关**的应用是理想的。通常肖特基二极管的开关时间在**皮秒数量级**，而PN结的开关时间通常在**纳秒数量级**。

# 肖特基势垒二极管与PN结二极管的对比

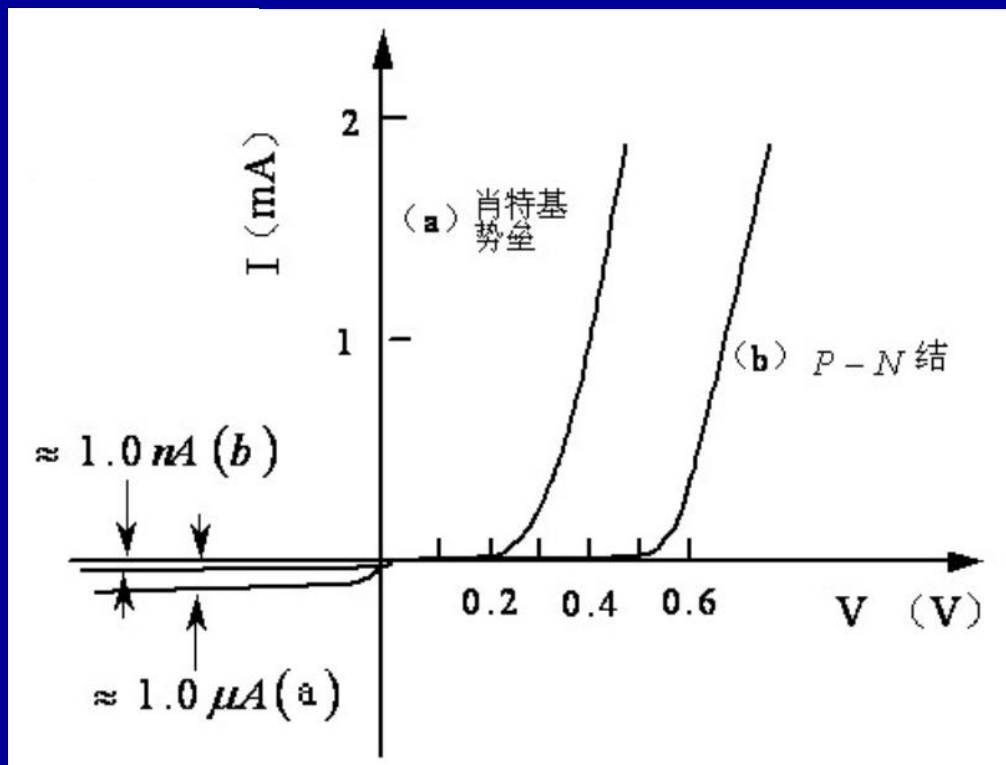
## 温度依赖关系的区别：



正偏时电压温度系数与电流密度的关系

- ◆ 肖特基势垒和PN结对温度依赖关系在正偏压下是不同的，实验结果如图所示。
- ◆ 由于材料的部分属性会随着温度变化而变化，因此可用温度系数衡量其属性随温度变化的速率。此处横坐标 $dV/dT$ 描述了一定电流下，电压随温度变化的速率，即工作温度每改变 $1^\circ C$ 器件工作电压的改变量。
- ◆ 从图中可得温度系数相差约 $0.4mV/^\circ C$ ，肖特基势垒二极管温度系数更小，具有更稳定的温度特性。

# 肖特基势垒二极管与PN结二极管的对比

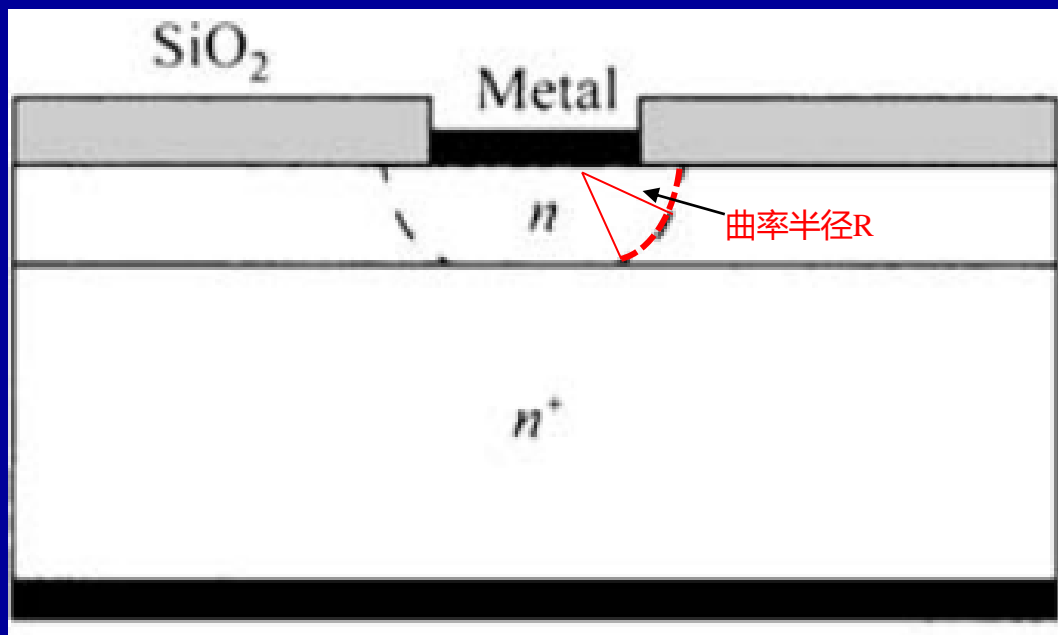


PN	SBD
少子器件	多子器件
有电荷存储效应	无电荷存储效应
导通电压~0.6V	导通电压~0.3V

肖特基势垒二极管 (SBD) 具有以下特点:

- ① 高的工作频率和开关速度;
- ② 大的反向饱和电流;
- ③ 低的正向导通电压;
- ④ 更稳定的温度特性。

# 肖特基势垒二极管的典型结构

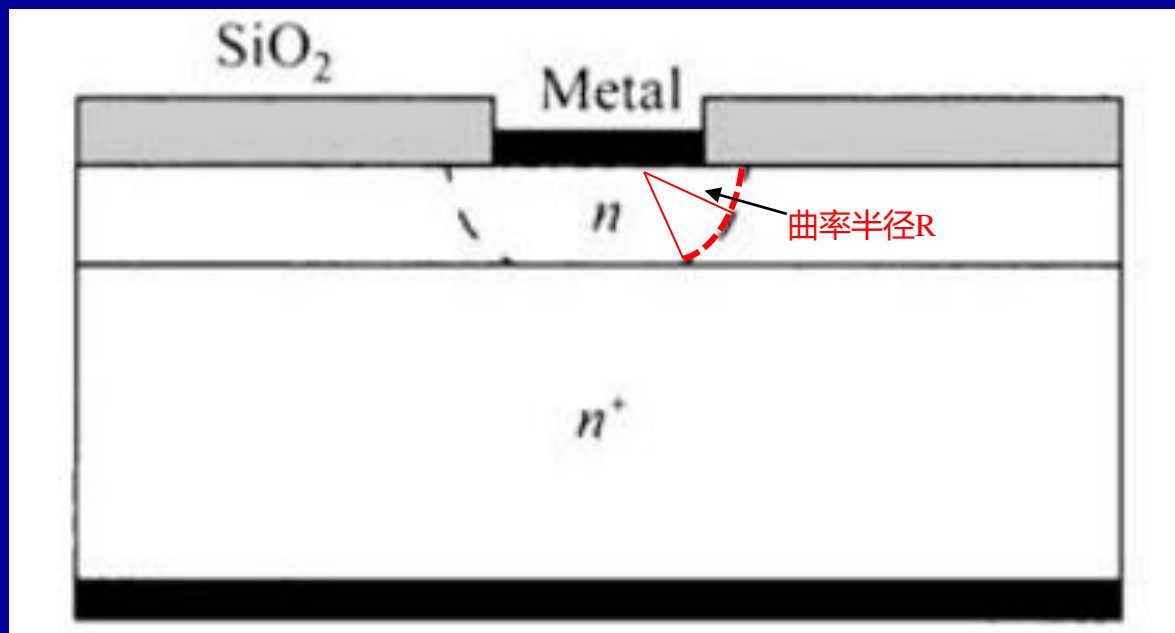


实用的肖特基势垒二极管结构

(a) 简单接触

- ◆ 在 $N^+$ 衬底上外延 $1\mu\text{m}$ 厚的轻掺杂层，电阻率约 $1\Omega\cdot\text{cm}$ ，外延层的作用主要是加宽耗尽层，提高二极管的击穿电压。
- ◆ 经过清洗处理及热氧化后，用标准的光刻工艺开出窗口，并通过在真空系统中进行蒸发或溅射以淀积金属。
- ◆ 金属材料主要有Au、Al、Pt、W、Ti、Ni、Ag及其合金，衬底材料主要有Si、GaAs、InP、SiC、ZnO等。

# 肖特基势垒二极管的典型结构

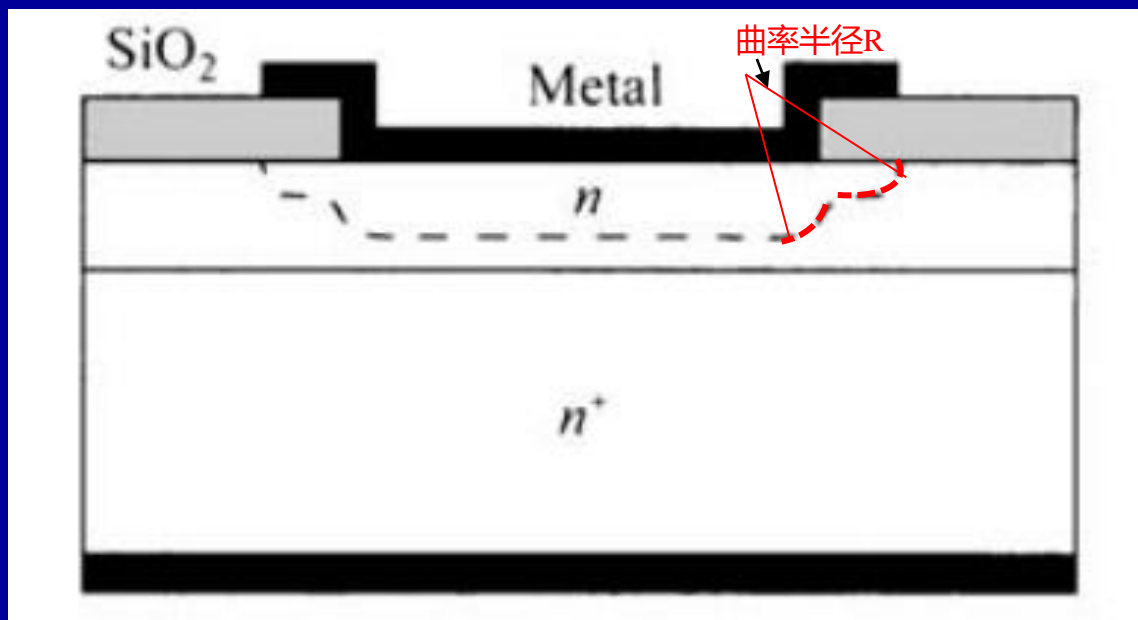


实用的Si肖特基势垒二极管结构：(a) 简单接触

- ◆ 这种结构耗尽区边缘曲率半径小，这使得半导体耗尽区边缘存在强电场，容易被击穿。**边缘效应造成器件击穿电压低。**
- ◆ 这种简单结构不能提供理想的肖特基势垒特性。



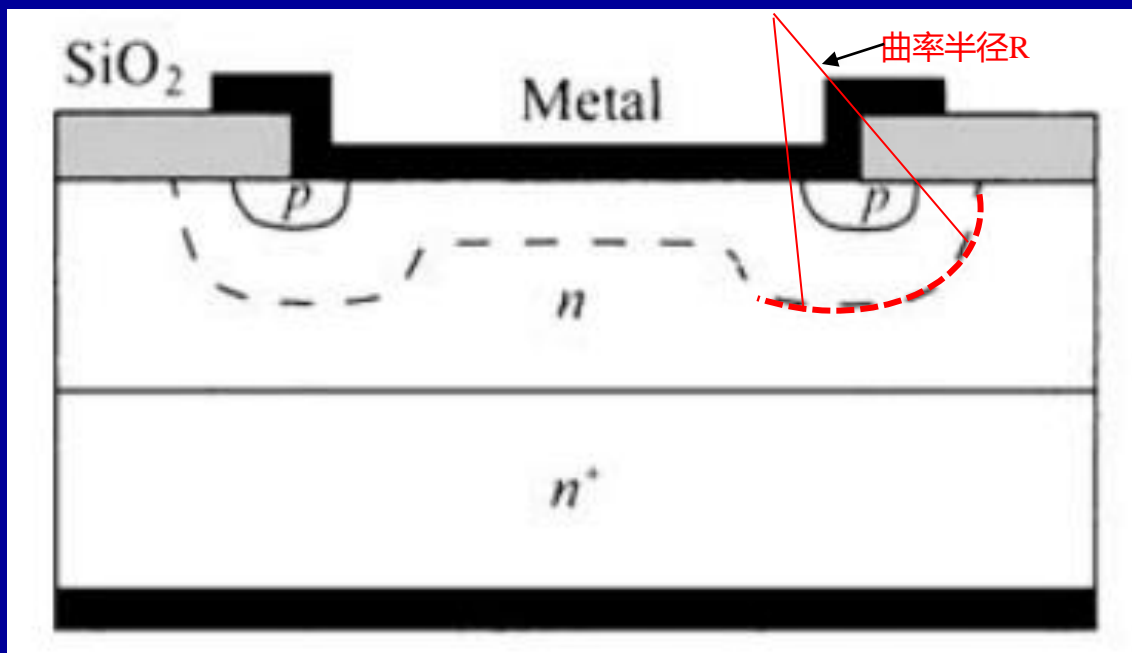
# 肖特基势垒二极管的结构



实用的Si肖特基势垒二极管结构：(b) 金属搭接结构 (场板结构)

- ◆ 该结构将**金属搭接**在氧化层上，由于存在金属-氧化物-半导体(MOS)电容，改变了耗尽区形状，增加了耗尽区边界曲率半径，**消除**引起软击穿的小曲率陡沿，从而改善了器件的击穿特性。
- ◆ 搭接区应当很小，不然附加的电容会降低二极管的高频特性。

# 肖特基势垒二极管的结构



实用的Si肖特基势垒二极管结构：(c) 保护环结构

- ◆ 实际上金属搭接对于耗尽区边界曲率的影响有限，为了进一步增加电极边缘处耗尽区的曲率半径，引入P型扩散环(保护环)。
- ◆ 但它会产生新的不利于性能的曲面结，所以依旧需要金属搭接改善曲面结的曲率，从而可以显著增加器件耗尽区边界的曲率，改善其击穿特性。

# 肖特基势垒二极管的应用

## 一. 应用于低压大电流的整流器中：

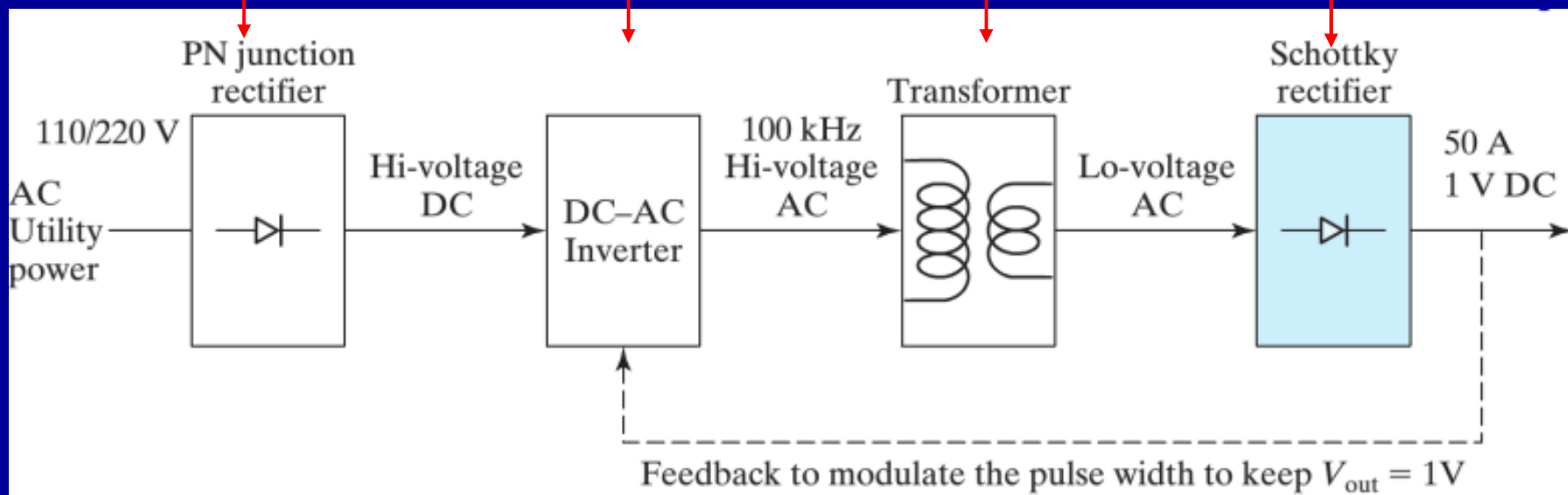
与PN结二极管0.6~0.7V左右正向导通电压相比，肖特基二极管的正向导通电压只有0.3V左右，特别适用于低压大电流整流器，如下图所示。

PN结二极管将普通的50Hz/220V低频交流电转变为高压直流电

DC-AC变换器将高压直流电转换成100kHz的高频脉宽调制交流电

小巧低廉的高频变压器将其转换成低压交流电

低导通压降的肖特基二极管将其转换成低压直流电

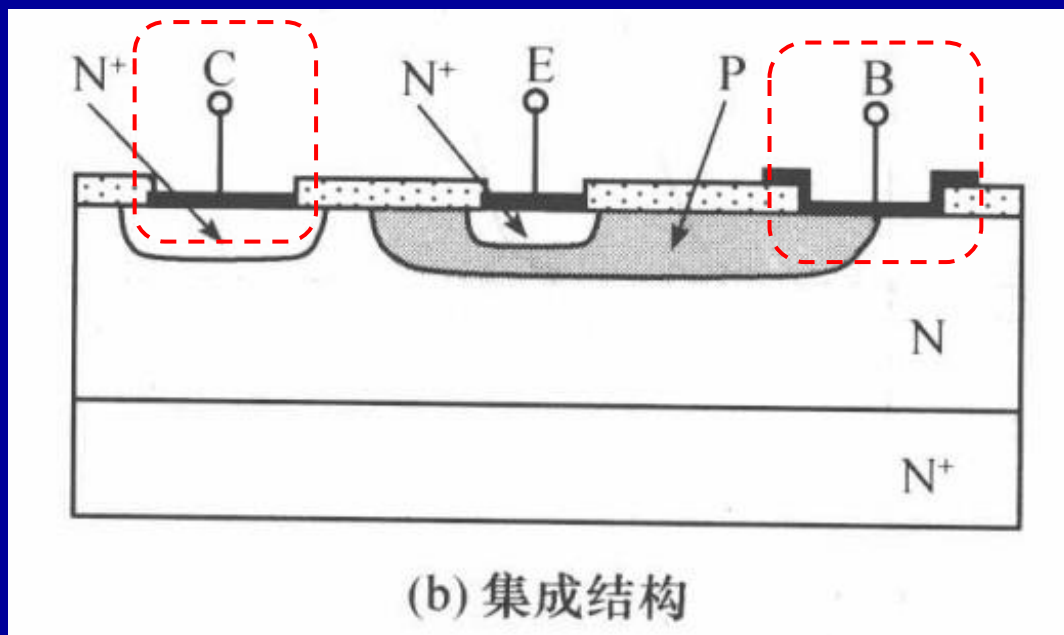
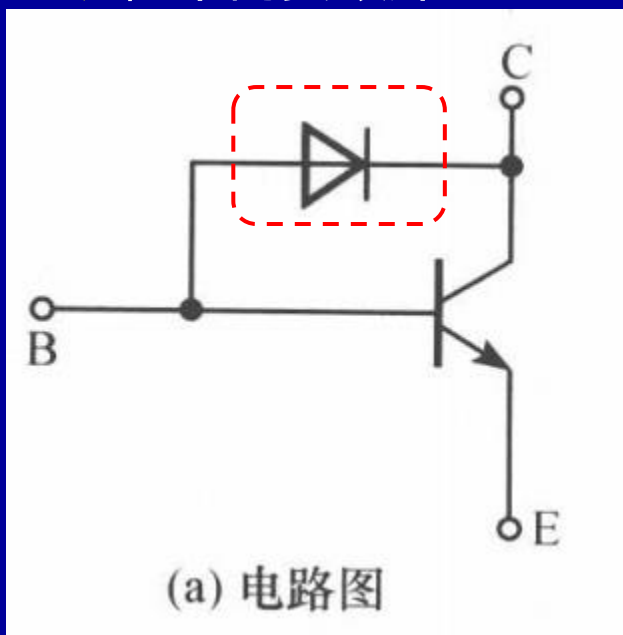


低压大电流整流器工作原理图

# 肖特基势垒二极管的应用

## 二. 肖特基势垒箝位晶体管

- ◆ 肖特基势垒二极管(SBD)具有快速开关响应，因而可以把它和NPN晶体管的集电结并联，即在基极(B)与集电极(C)之间加接一个SBD，以消除晶体管的存储时间的不利影响。
- ◆ 铝在轻掺杂N型集电区上可形成极好的肖特基势垒，在重掺杂的P型基区上形成良好的欧姆接触。这两种接触可以只通过一步金属化工艺实现，不需要额外的工艺。

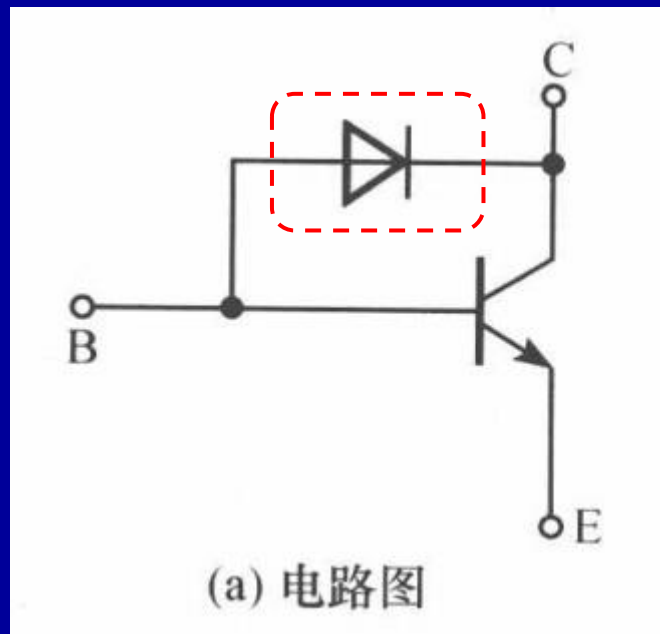


肖特基势垒箝位晶体管（单一器件）

# 肖特基势垒二极管的应用

## 二. 肖特基势垒箝位晶体管

- ◆ 当晶体管饱和时，集电结正偏，电压降约为0.6~0.7V。肖特基势垒二极管上的正向导通压降（一般为0.3V）低于晶体管基极-集电极开态电压，SBD先导通，而集电结不导通，并联结构中电流基本只从SBD流过。
- ◆ 因该二极管没有少子存储效应，所以与单独的晶体管相比，集成器件（肖特基势垒箝位晶体管）的响应时间得到了显著的降低，实测的响应时间可以低于1ns。



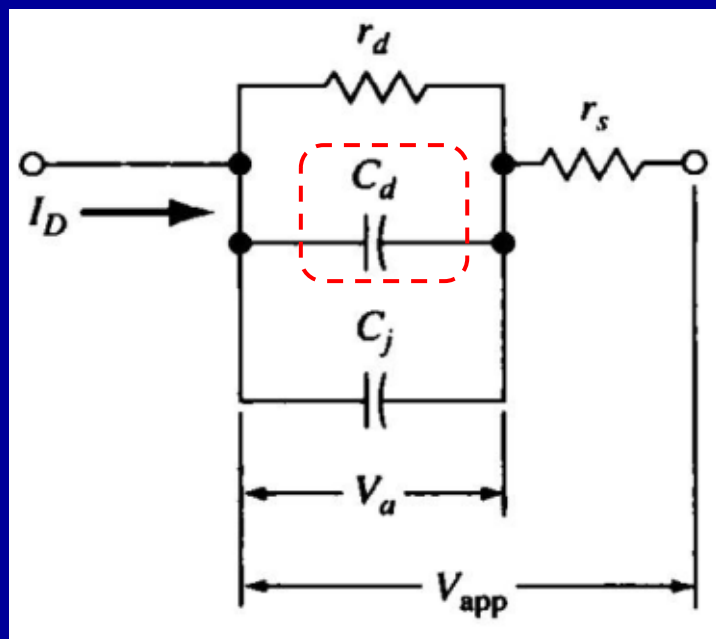
# 肖特基势垒二极管的应用

## 三. 肖特基势垒检波器或混频器

在小信号的运用中，SBD可以用右图中的等效电路表示。  
在此图中 $C_j$ 为结电容， $r_d$ 为结电阻， $r_s$ 为欧姆串联电阻。

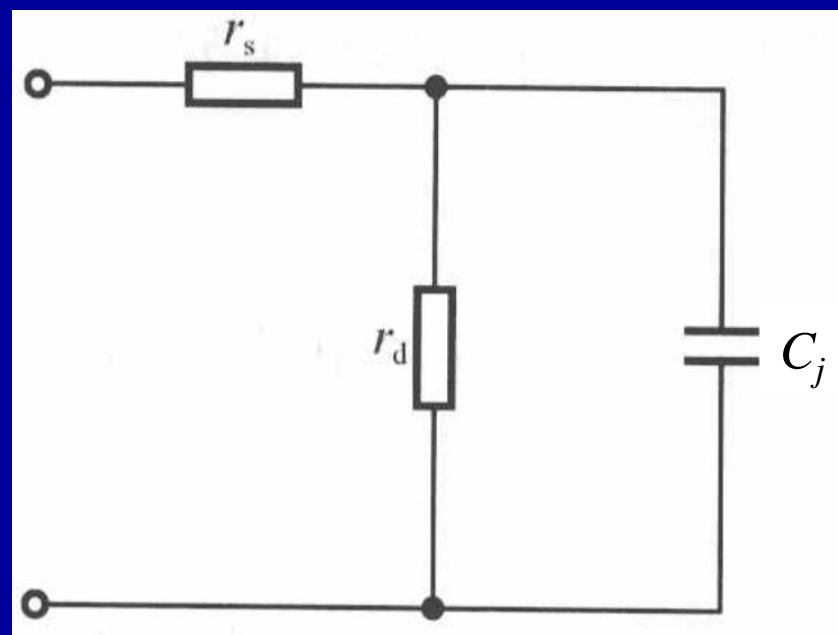
SBD结电阻定义为  $r_d = \frac{dV}{dI}$ 。

接下来简要分析实现有效的检波器或混频器的基本要求：



PN结的小信号模型

肖特基势垒  
二极管没有  
扩散电容



肖特基势垒二极管的等效电路

# 肖特基势垒二极管的应用

## 三. 肖特基势垒检波器或混频器

- ◆ 一个有效的检波器或混频器要求射频功率被SBD的电阻 $r_d$ 吸收, 并且在 $r_s$ 上的功率耗散很小。
- ◆ 在通常情况下 $r_d \gg r_s$ , 因此, 在低频时 $r_s$ 的影响可以忽略。但是随着工作频率的增高, 相对于 $r_d$ 来说, 结阻抗减小, 最终会到达这样一个频率, 使得在 $r_s$ 上的功率耗散和在结上的功率耗散相等, 即

$$r_s = \frac{r_d}{1 + \omega_c^2 C_j^2 r_d^2} \quad (\text{此公式仅需了解})$$

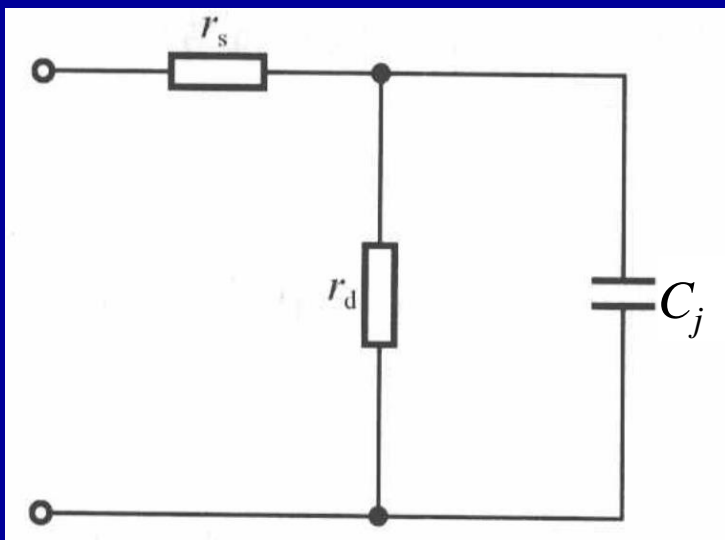
式中 $\omega_c$ 为截止频率。因为 $r_d \gg r_s$ , 所以有:

$$\omega_c^2 \approx \frac{1}{C_j^2 r_d r_s}$$

- ◆ 对于高频运用, 截止频率应该比较大,  $C_j$ 、 $r_d$ 和 $r_s$ 都应该很小。若半导体具有高杂质浓度和高迁移率, 那么是能够实现小 $r_s$ 的。通过采用GaAs材料, 工作频率可以达到100GHz。

# 肖特基势垒二极管的应用

肖特基势垒二极管的小信号分析，类似于PN结的小信号模型：



肖特基二极管的等效电路

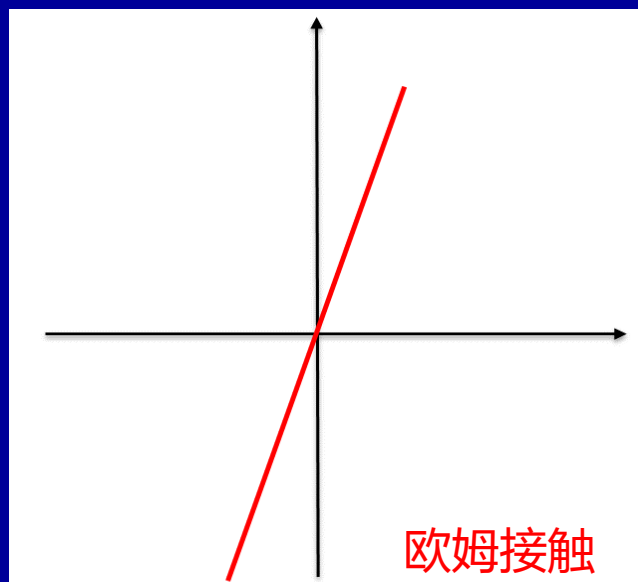
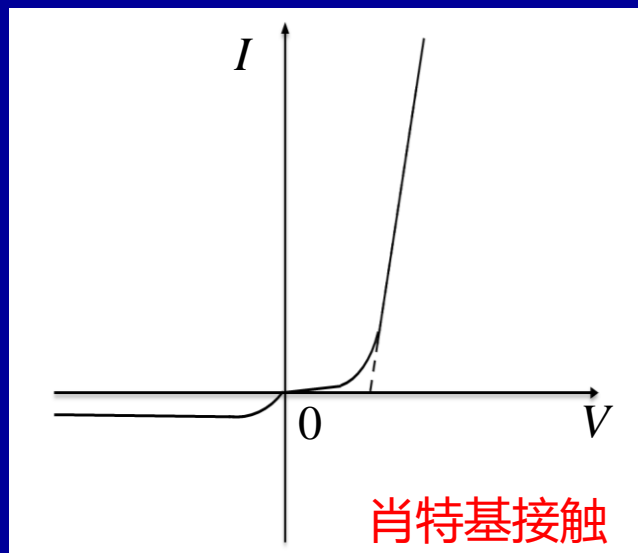
$\omega_c$ 为截止频率：

$$\omega_c^2 \approx \frac{1}{C_j^2 r_d r_s}$$

- ◆ **开关速度与工作频率**：由于没有电荷储存效应和扩散电容，肖特基势垒二极管对于**高频和快速开关**的应用是理想的。
- ◆ 通常肖特基二极管的开关时间在**皮秒数量级**，而PN结的开关时间通常在**纳秒数量级**。



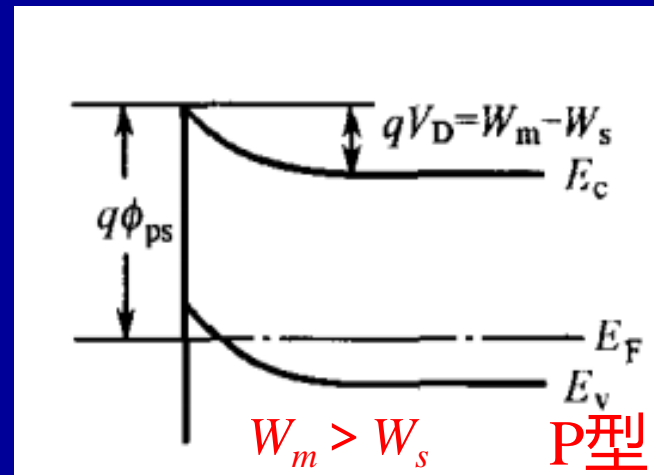
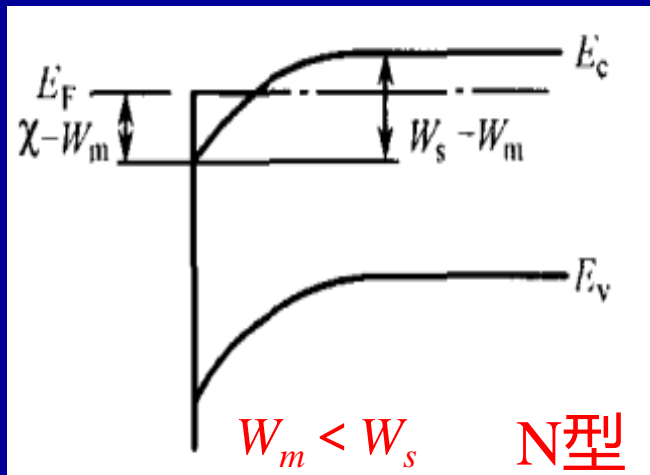
## §4.3 欧姆接触



- ◆ 欧姆接触是指这样的接触：它不产生明显的附加阻抗，且不会使半导体内部的平衡载流子浓度发生显著改变。
- ◆ 从电学上讲，理想欧姆接触的接触电阻与半导体样品或器件相比应当很小，当有电流流过时，欧姆接触上的电压降应远小于样品或器件本身的压降，这种接触不影响器件的  $I$ - $V$  特性，或者说， $I$ - $V$  特性是由样品的电阻或器件的特性决定的。
- ◆ 欧姆接触的  $I$ - $V$  曲线，具有线性和正反向基本对称的特点。

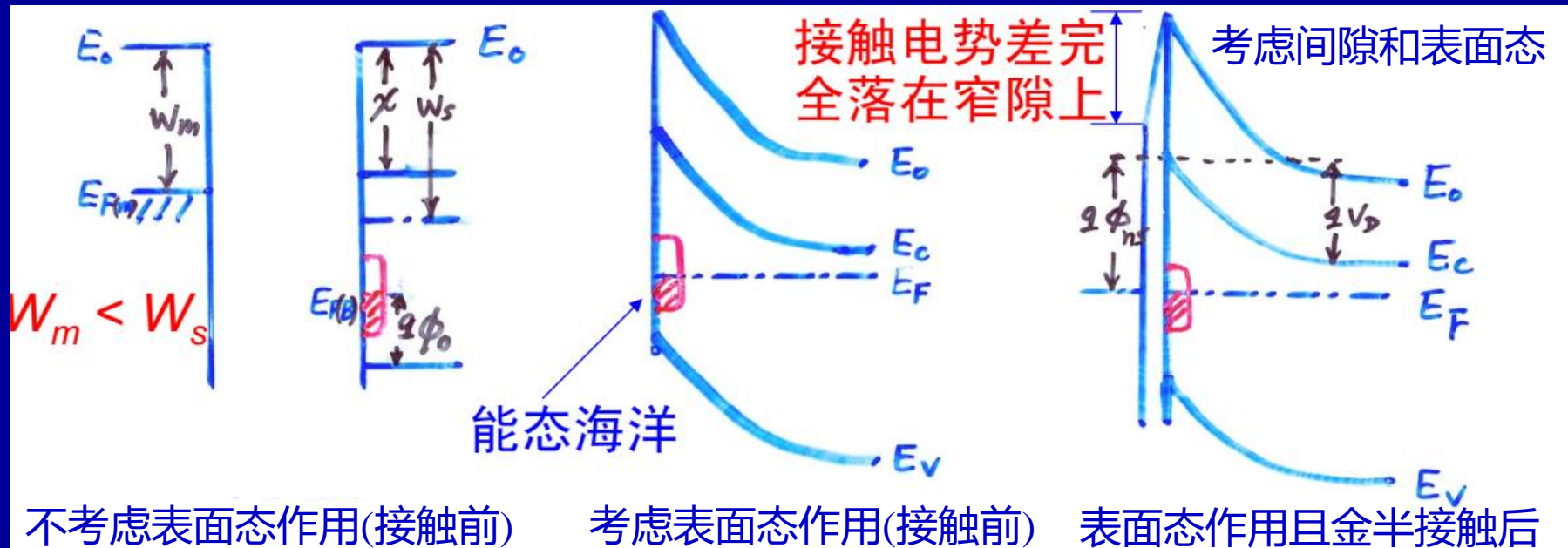
# 实现欧姆接触的方法

- ◆ 在实际中，欧姆接触有很重要的应用。半导体器件一般都要利用金属电极输入或输出电流，这就要求在金属和半导体之间形成良好的欧姆接触。尤其是在超高频和大功率器件中，欧姆接触是设计和制造中的关键问题之一。
- ◆ 不考虑表面态的影响：
  - ①  $W_m < W_s$ ，金属和N型半导体接触可形成反阻挡层；
  - ②  $W_m > W_s$ ，金属和P型半导体接触也能形成反阻挡层。
- ◆ 反阻挡层没有整流作用。因此选用适当金属材料，原则上可获得欧姆接触。



# 实现欧姆接触的方法

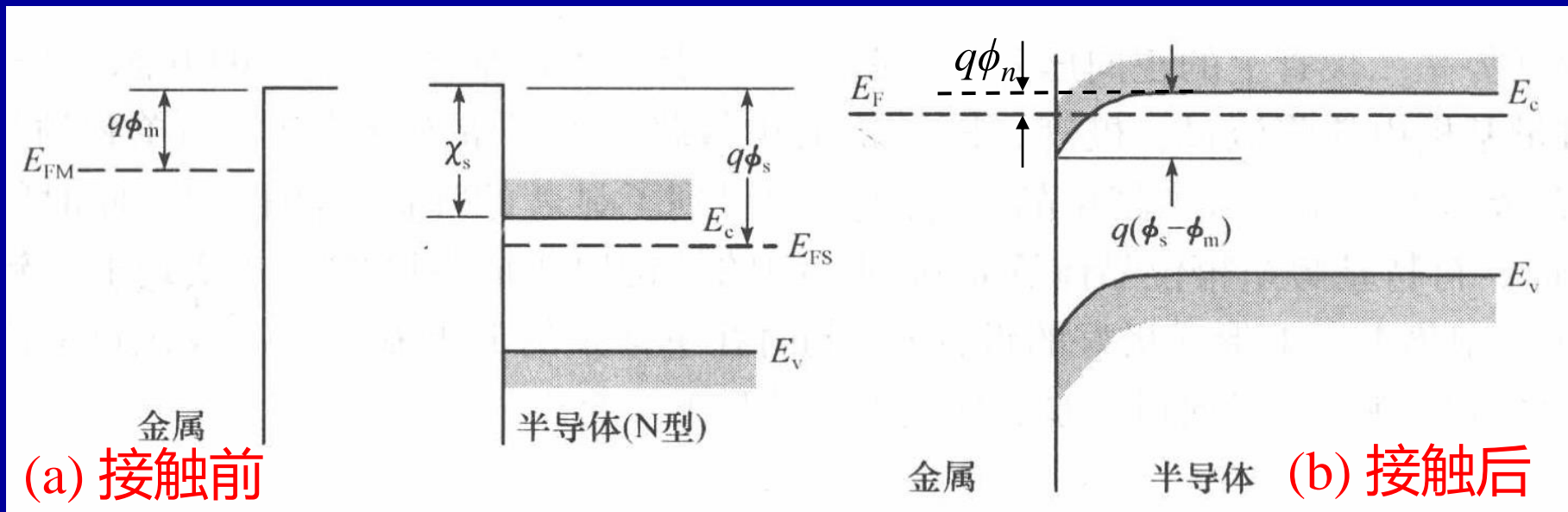
- ◆ 高的表面态密度的影响：Ge、Si、GaAs这些最常用的重要半导体材料，一般都有很高的表面态密度，无论是N型材料或P型材料与金属接触都形成势垒，而与金属功函数关系不大。
- ◆ 如图， $W_m < W_s$  时，金属和N型半导体接触本可以形成反阻挡层，但由于高表面态的影响，所以依旧形成势垒。
- ◆ 在实际制造中，主要是利用隧穿效应在半导体上制造欧姆接触。



# 欧姆接触

## 理想非整流接触（零偏）：

- ◆ 如图，为  $W_m < W_s$  的理想金属和N型半导体的接触能带图。
- ◆ 为了达到热平衡，电子从金属流到能量较低的半导体中，多子电子在表面积累，使得半导体表面更加趋近于N型化。N型半导体表面的过量电子会形成为表面电荷。

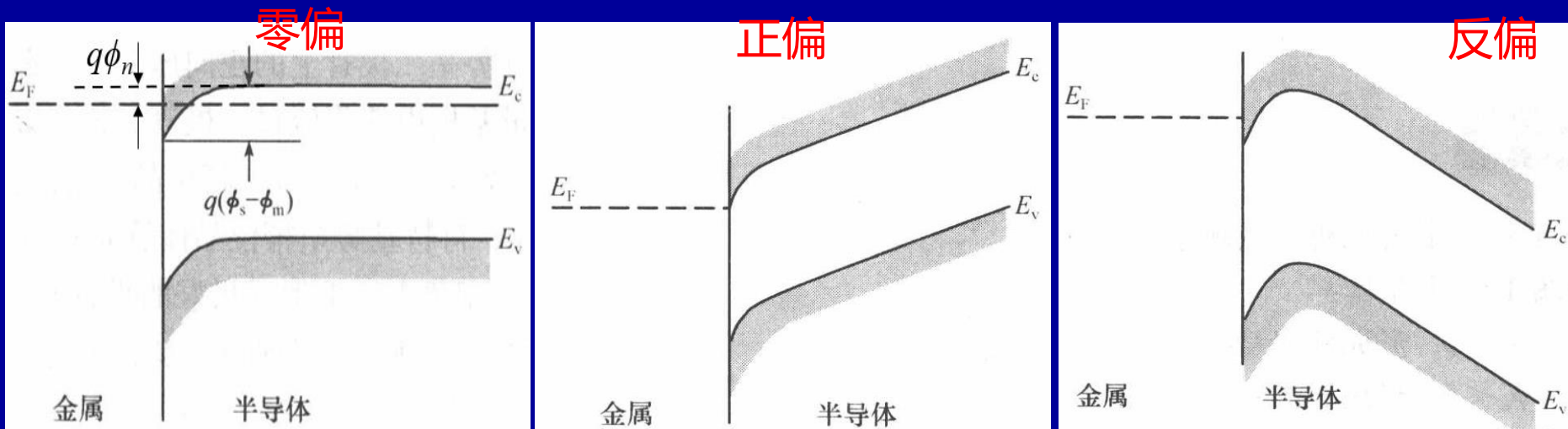


$W_m < W_s$  的理想金属和N型半导体的接触能带图

# 欧姆接触

## 理想非整流接触（偏压）：

- ◆ 偏压下，半导体的能带变化不同于整流接触的情况，这是因为非整流接触**不存在高阻区**，**整个能带都承压**，所以整个能带在电场作用下发生倾斜。
- ◆ 如果在金属表面加正电压（**正偏**），就不存在使电子从半导体流向金属的势垒。
- ◆ 如果在半导体表面加正电压（**反偏**），使电子从金属流向半导体的有效势垒高度近似为 $q\phi_n$ ，这对于重掺杂的半导体来说作用甚微。在这种偏压下，电子很容易从金属流向半导体。

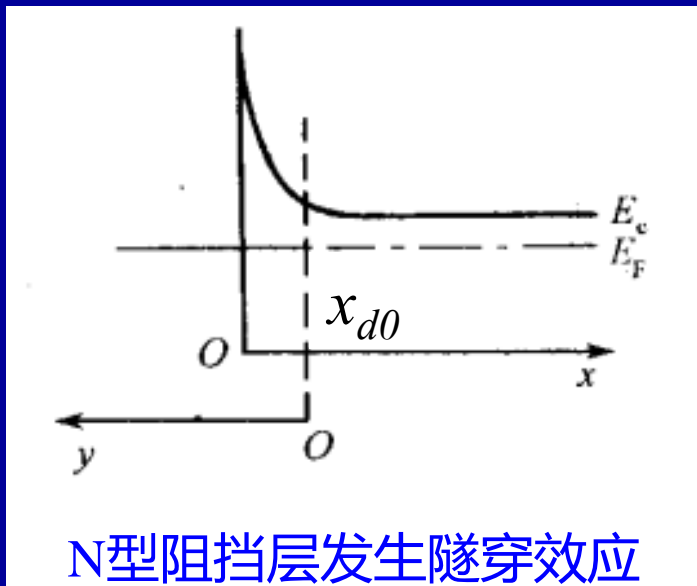


金属和N型半导体欧姆接触的理想能带图

# 欧姆接触

## 利用隧穿效应制造欧姆接触：

- ◆ 由之前提到的隧穿效应可知，金属和半导体接触时，如果半导体掺杂浓度很高，则势垒区宽度变得很薄，电子会通过隧穿效应贯穿势垒产生相当大的隧穿电流，甚至超过热电子发射电流而成为电流的主要成分。
- ◆ 当隧穿电流占主导地位时，它的接触电阻可以很小，可以用作欧姆接触。因此，半导体重掺杂时，它与金属的接触可以形成接近理想的欧姆接触。



接触电阻定义为零偏下的微分电阻：

$$R_c = \left( \frac{\partial I}{\partial V} \right)^{-1}_{V=0}$$

因此，要计算接触电阻，应先求出  $I$ - $V$  之间的关系。

# 欧姆接触

接触电阻:

已知电势分布为:

$$V(x) = -\frac{qN_D}{2\epsilon_s}(x-x_{d0})^2$$

只需乘上 $-q$ 即为电子势垒:

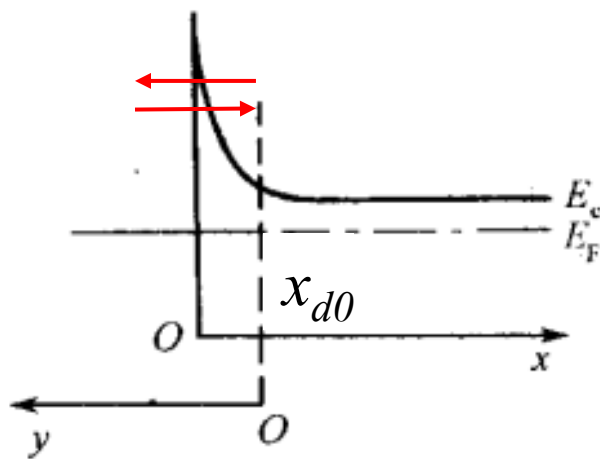
$$-qV(x) = \frac{q^2N_D}{2\epsilon_s}(x-x_{d0})^2$$

为了计算方便, 作如图所的坐标变换, 即:

$$y = x_{d0} - x$$

则有电子的势垒可表示为:

$$-qV(y) = \frac{q^2N_D}{2\epsilon_s}y^2$$



N型阻挡层发生隧穿效应

# 欧姆接触

## 接触电阻:

根据量子力学中的结论,  $x=x_{d0}$ 处导带底电子通过隧穿效应贯穿势垒的隧穿概率为:

$$P = \exp\left\{-\frac{2}{\hbar}(2m^*)^{1/2} \int_0^{x_{d0}} [-qV(y)]^{1/2} dy\right\}$$

$$= \exp\left\{-\frac{2q}{\hbar}\left(\frac{m^*N_D}{\epsilon_s}\right)^{1/2} \int_0^{x_{d0}} y dy\right\}$$

$$-qV(y) = \frac{q^2N_D}{2\epsilon_s} y^2$$

$$= \exp\left\{-\frac{q}{\hbar}\left(\frac{m^*N_D}{\epsilon_s}\right)^{1/2} x_{d0}^2\right\}$$

$$x_{d0} = \sqrt{\frac{2\epsilon_s V_D}{qN_D}}$$

$$= \exp\left\{-\frac{2}{\hbar}\left(\frac{m^*\epsilon_s}{N_D}\right)^{1/2} V_D\right\}$$

有外加电压时, 势垒宽度为 $x_d$ , 内建电势差为 $(V_D - V)$ , 则隧穿概率为:

$$P = \exp\left\{-\frac{2}{\hbar}\left(\frac{m^*\epsilon_s}{N_D}\right)^{1/2} (V_D - V)\right\}$$



# 欧姆接触

## 接触电阻:

隧穿概率  $P = \exp\left\{-\frac{2}{\hbar}\left(\frac{m^*\varepsilon_s}{N_D}\right)^{1/2}(V_D - V)\right\}$

- ◆ 由上式清楚地看出, 对于一定的势垒高度, 隧穿概率强烈地依赖于掺杂浓度  $N_D$ ,  $N_D$  越大,  $P$  就越大, 如果掺杂浓度很高, 隧穿概率就很大。
- ◆ 一般来说, 具有不同能量的电子的隧穿概率不同, 总电流是对各种能量电子所产生的隧道电流的积分, 因此它与隧穿概率成比例, 即:

$$J \propto \exp\left\{-\frac{2}{\hbar}\left(\frac{m^*\varepsilon_s}{N_D}\right)^{1/2}(V_D - V)\right\}$$

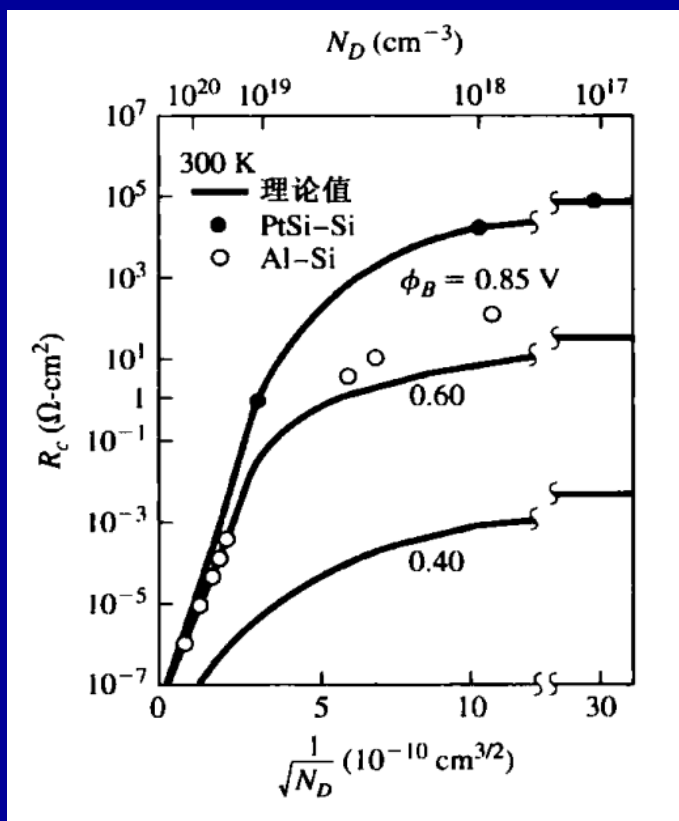
◆ 又由于  $R_c = \left(\frac{\partial I}{\partial V}\right)^{-1}_{V=0} \longrightarrow R_c \propto \exp\left\{\frac{2}{\hbar}(m^*\varepsilon_s)^{1/2}\left(\frac{V_D}{N_D^{1/2}}\right)\right\}$

# 欧姆接触

接触电阻:

$$R_c \propto \exp\left\{\frac{2}{\hbar}(m^*\varepsilon_s)^{1/2}\left(\frac{V_D}{N_D^{1/2}}\right)\right\}$$

上式表明接触电阻强烈依赖于半导体的掺杂浓度。

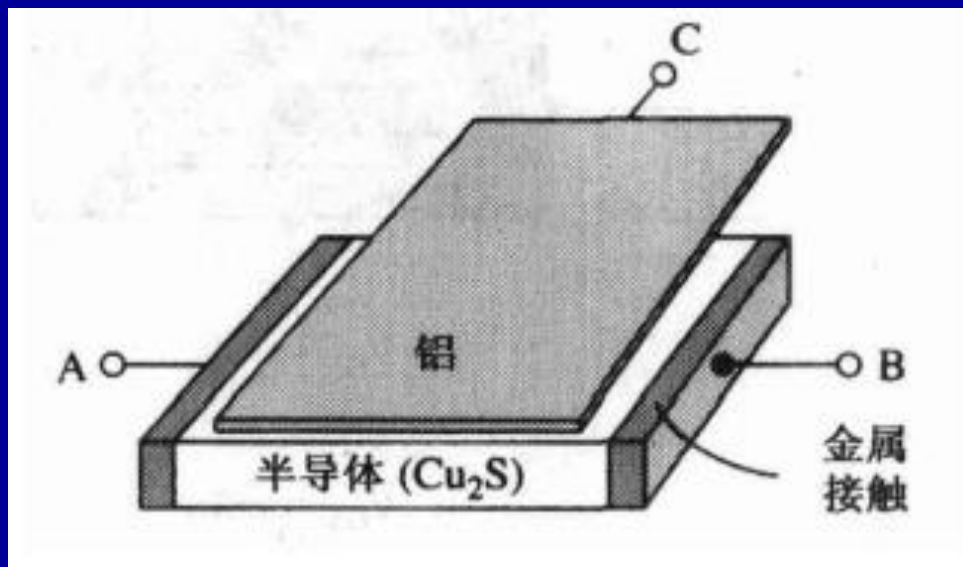


接触电阻与掺杂浓度的理论值和实际值

- ◆ 左图是 $R_c$  随半导体掺杂浓度变化的一系列理论和实际值。当掺杂浓度约大于 $10^{19}\text{cm}^{-3}$ 时，隧穿效应占主导地位。 $R_c$ 随 $N_D$ 呈指数规律变化；当掺杂浓度较低时， $R_c$ 值由势垒高度决定，与掺杂浓度基本无关。
- ◆ 形成一个良好的欧姆接触，需要低势垒，并且在半导体表面重掺杂。然而，局限于实际的制造工艺水平，受半导体表面掺杂浓度和掺杂浓度不均匀的限制，欧姆接触在实际生产中的实现没有理论上那样容易。

## §4.4 结型场效应晶体管(JFET)

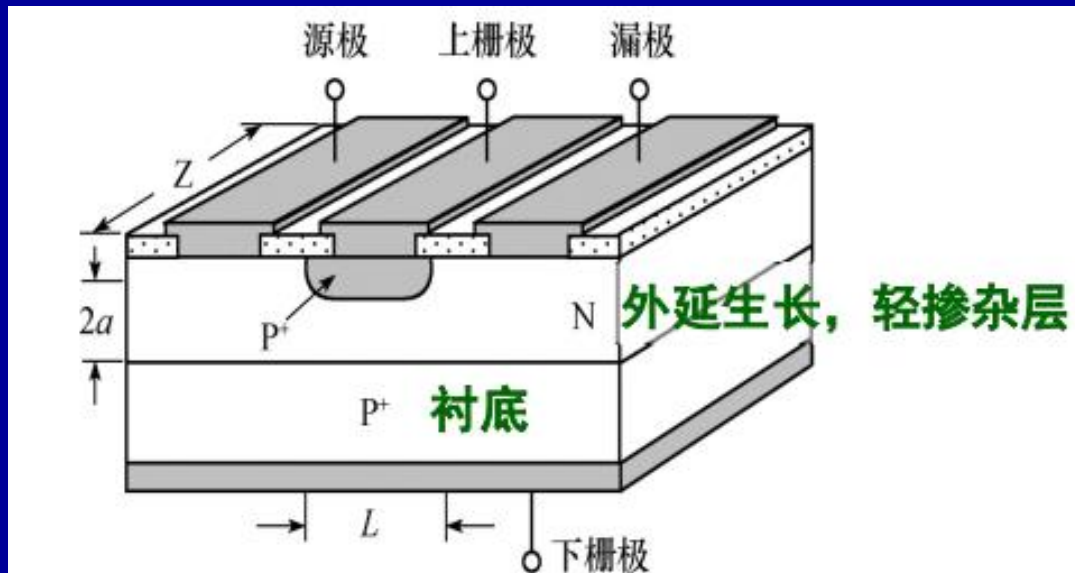
- ◆ 场效应现象早在20世纪20年代和30年代被发现，当时的专利文件记载了如图所示的理想晶体管结构，它是**第一个被提出来的固态晶体管**。加在金属板上的电压调制金属下面半导体的电导，从而实现对左右欧姆接触间电流的控制。由于那时还没有良好的半导体材料和先进的制作工艺，所以直到20世纪50年代，这种器件才被重新研究。
- ◆ **场效应**：半导体**电导**被垂直于半导体表面的**电场调制**的现象。



最早提出的晶体管结构

# 结型场效应晶体管(JFET)

- ◆ JFET是通过外加栅极电压来改变栅结空间电荷区的宽度从而控制沟道导电能力的一种场效应器件，即用一个或两个反偏PN结的耗尽区宽度的变化来调制电流通过的截面积。
- ◆ JFET的本质：由电压控制的电阻。
- ◆ JFET的特点：电流中只包含有一种极性的载流子（多子），是单极型器件。
- ◆ 此种器件已广泛用于小信号放大器、电流限制器、电压控制电阻器、开关、音响电路、集成电路中。

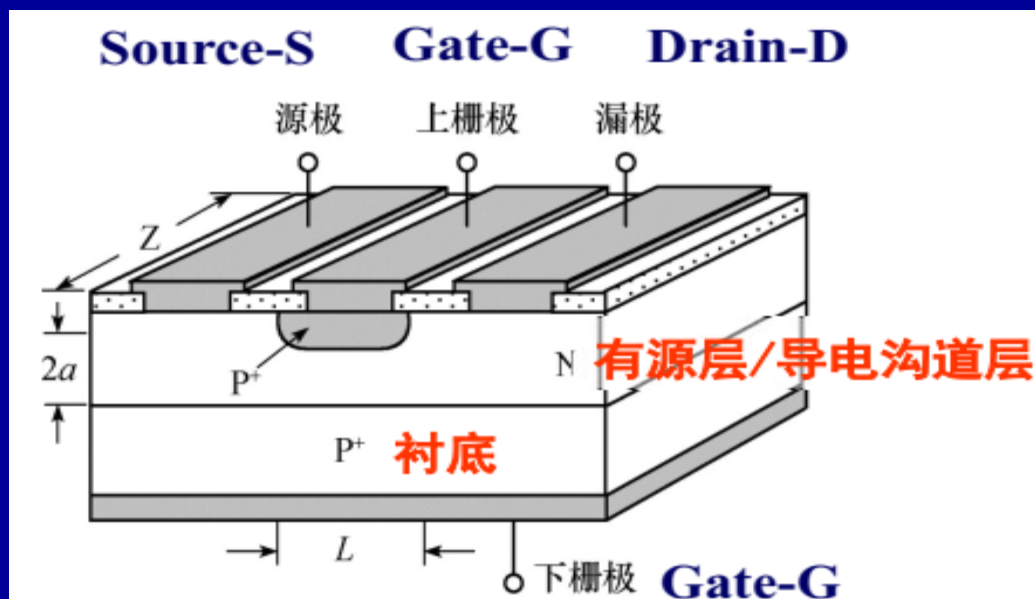


外延-扩散工艺制成的N沟道JFET

# JFET的基本结构和制造工艺

## 一. 外延-扩散工艺

- ◆ 采用标准的平面外延工艺制成的理想JFET如下图中所示。下边的重掺杂 $P^+$ 层为衬底。在 $P^+$ 衬底上外延生长轻掺杂的N型层。上边的重掺杂 $P^+$ 层是通过向N型外延层中扩散硼形成的。
- ◆ 夹在两个 $P^+$ 层之间的N型层称为器件的有源层，有源层也称为导电沟道(channel)。上下两个 $P^+$ 区被内连接或被外连接形成栅极(gate)，连接在沟道两端的欧姆接触电极分别称为源极(source)和漏极(drain)。

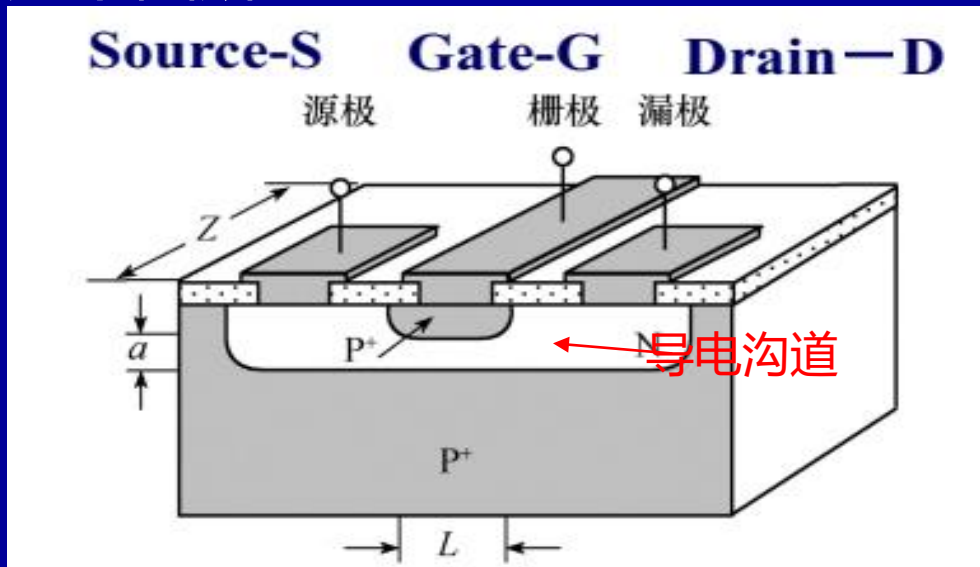


外延-扩散工艺制成的N沟道JFET

# JFET的基本结构和制造工艺

## 二. 双扩散工艺

- ◆ 还可以采用**双扩散技术**制造JFET，该技术通过扩散形成沟道和上栅极，如下图所示。

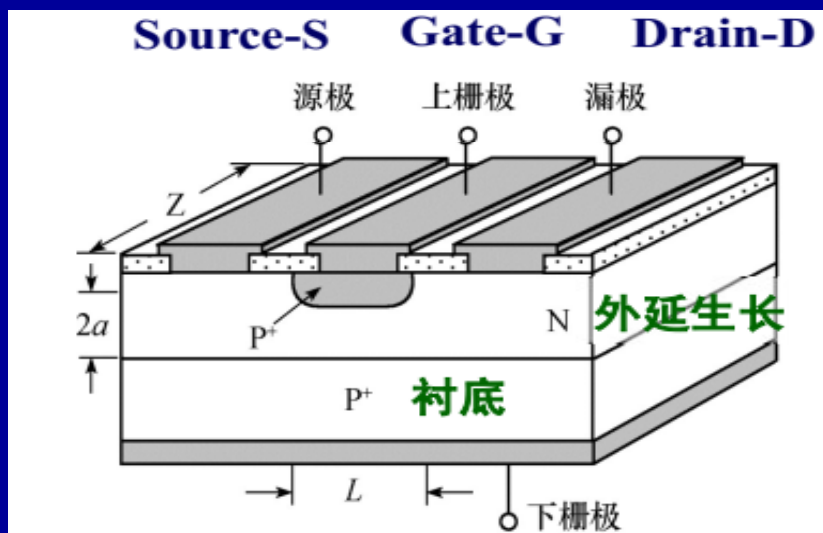


双扩散工艺制成的N沟道JFET

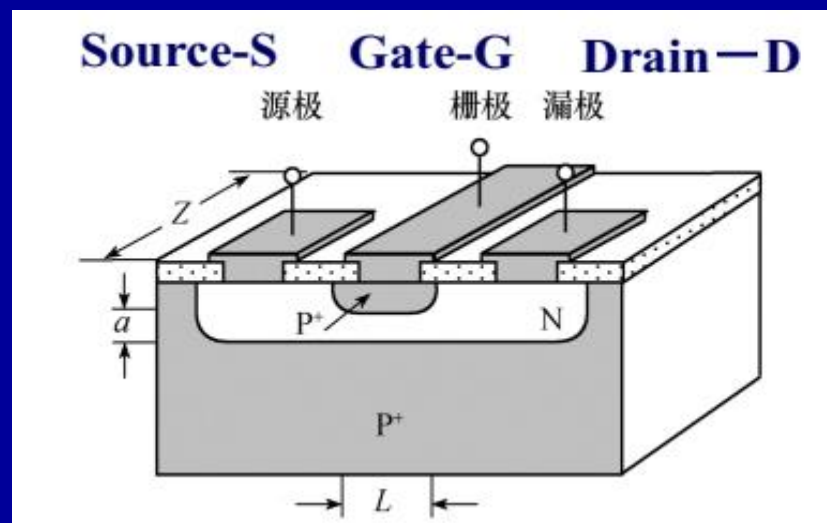
- ◆ 在以上两种工艺制备的JFET中，在源S、漏D之间加上电压就会有电流流经导电沟道，这个电流称为**沟道电流 $I_D$** (又称为**漏极电流**或**漏电流**)。
- ◆ **源极发射载流子**，**漏极收集载流子**。源、漏极之称由此而来。

# JFET的基本结构

- ◆ 由于沟道掺入的是施主杂质，沟道电流由电子传输，所以这里表示的结构为N沟道JFET。
- ◆ 如果沟道是受主杂质掺杂的P型而栅区为N型，则沟道电流是由空穴传输的，这种器件称为P沟道JFET。
- ◆ 由于电子的迁移率比空穴的迁移率高，N沟道器件能提供更高的电导和更高的速度，所以大多数应用中会优先采用N沟道JFET。以下讨论将以N沟道JFET为例，讨论所用的方法适用于P沟道JFET。



外延-扩散工艺制成的N沟道JFET



双扩散工艺制成的N沟道JFET



# JFET的工作原理

## 基本分析:

正常工作条件下, 栅极PN结加反向偏压

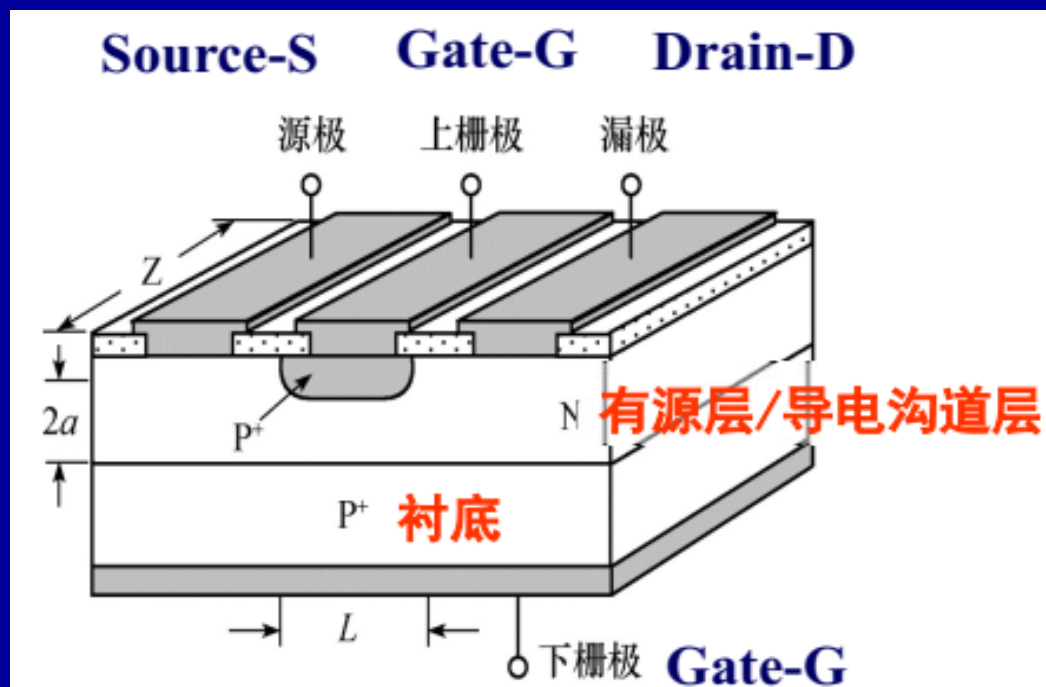
→ 空间电荷区向沟道内扩展

→ 耗尽层中载流子耗尽

→ 沟道的截面积减小

→ 沟道电导减小

→ 源极和漏极之间的电流受到栅极电压的调制(场效应)



外延-扩散工艺制成的N沟道JFET

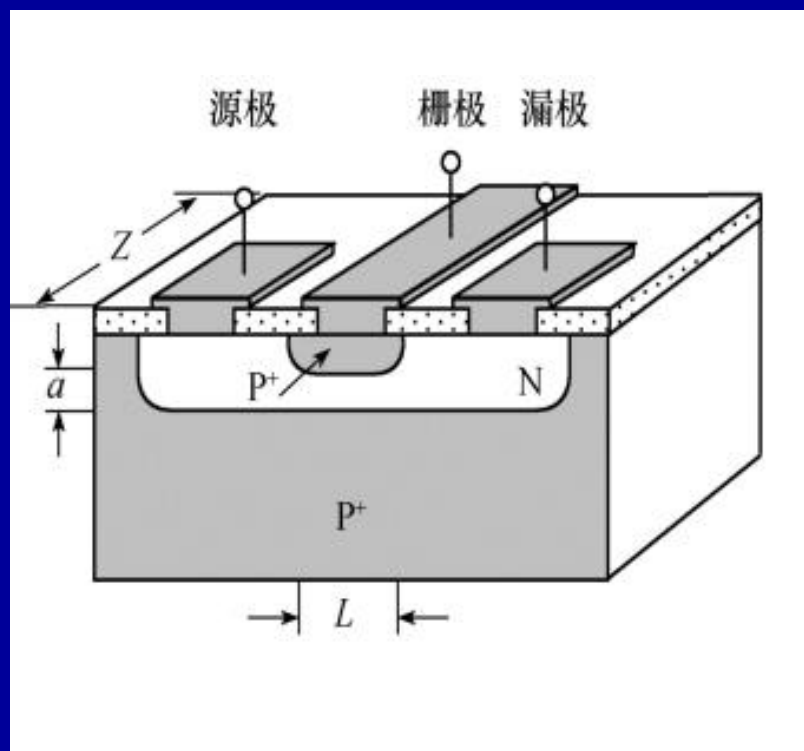
接下来具体分析



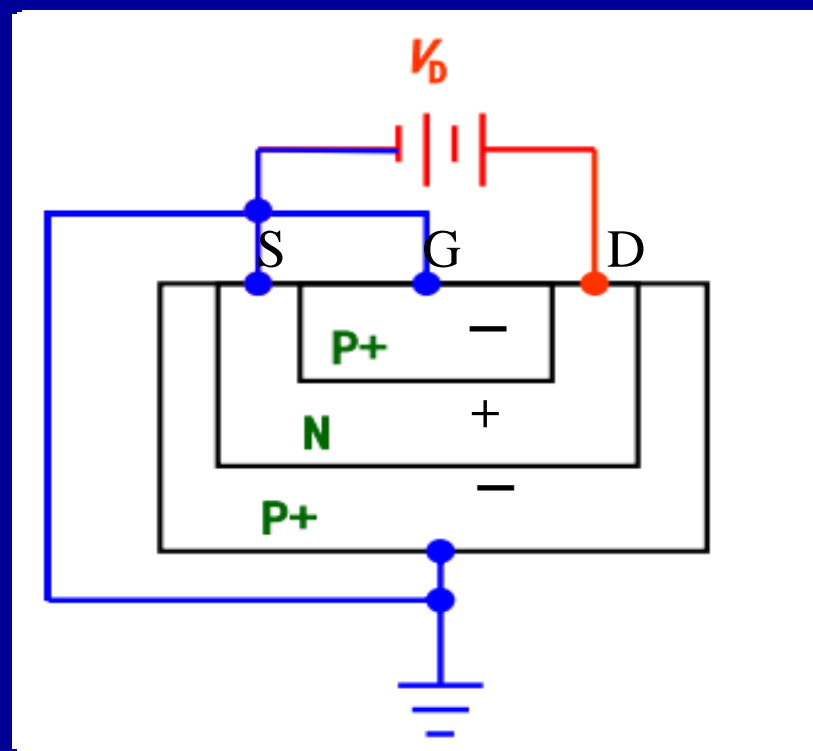
# JFET的工作原理

## 定性分析:

当栅极偏压 $V_G=0$ 时，首先将源端和栅端接地，将漏端偏置于 $V_D$ 。由 $V_D$ 为两个PN结提供反偏电压。



N沟道JFET

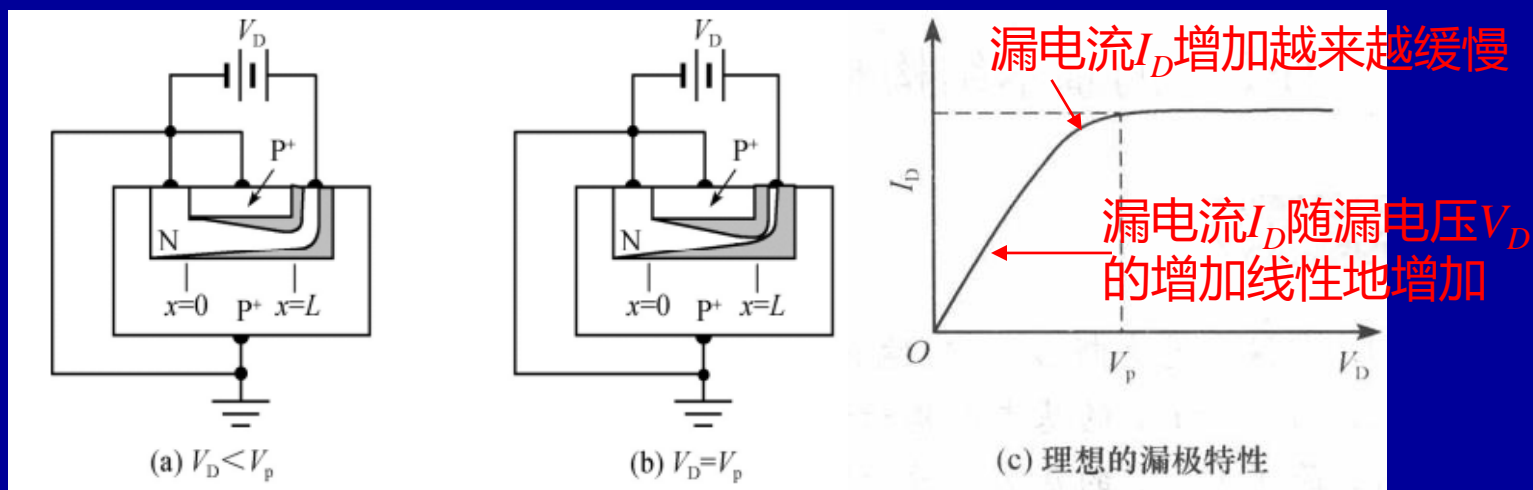


N沟道JFET工作过程

# JFET的工作原理

## 定性分析:

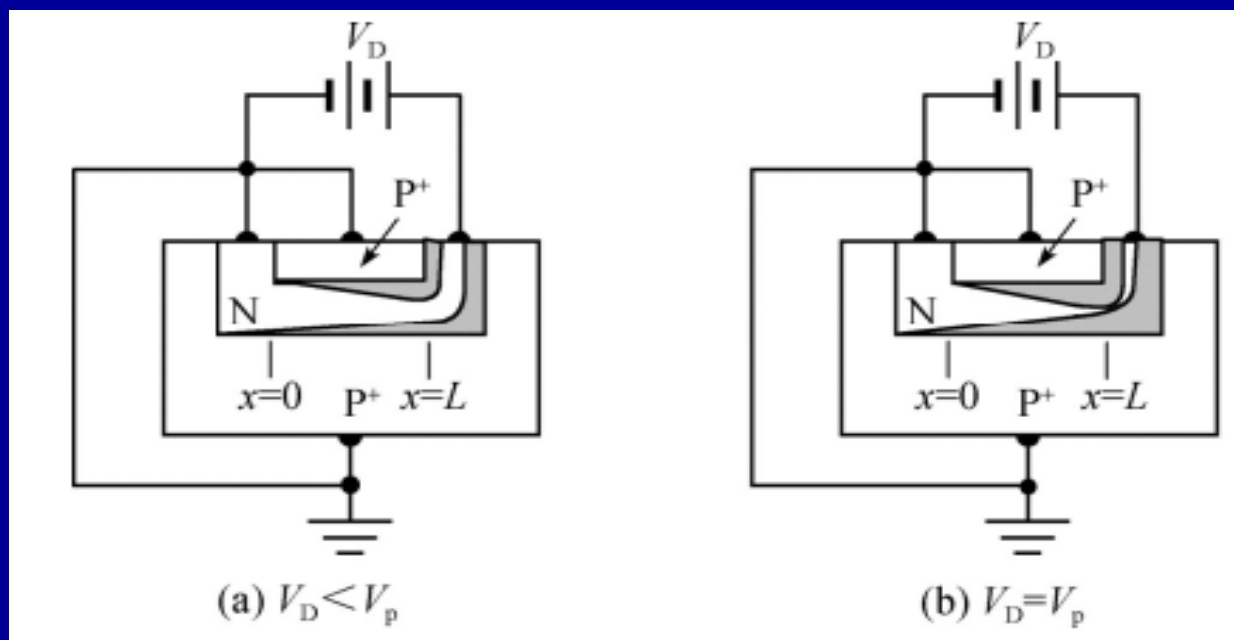
- ◆ 忽略源极和漏极的接触电阻以及它们下方的体电阻。当漏电压  $V_D$  比较小时, 漏电流  $I_D$  会随漏电压  $V_D$  的增加线性地增加, 如图(c)所示。
- ◆  $V_D$  为PN结提供反偏电压, 随着  $V_D$  的增加, 空间电荷区将向沟道内扩展, 沟道逐渐变窄。漏电流  $I_D$  的增加越来越缓慢, 如图(c)中曲线的弯曲部分。
- ◆ 由于沟道电阻的存在, 从漏端到源端沿着整个沟道会产生电位降, 即  $x=0$  处为零电位,  $x=L$  处为  $V_D$ 。因此, 在漏端空间电荷区向沟道内扩展得更深些, 如图(a,b)所示。



# JFET的工作原理

## 定性分析:

- ◆ **沟道夹断**: 随着漏电压 $V_D$ 的进一步增加, 沟道的狭口逐渐变窄, 最终在 $x=L$ 处, **空间电荷区连通**, 在空间电荷区连通的区域内自由载流子全部耗尽, 即出现了沟道夹断。沟道夹断首先发生在 $x=L$ 处, 随着漏电压增加夹断点向源端移动。

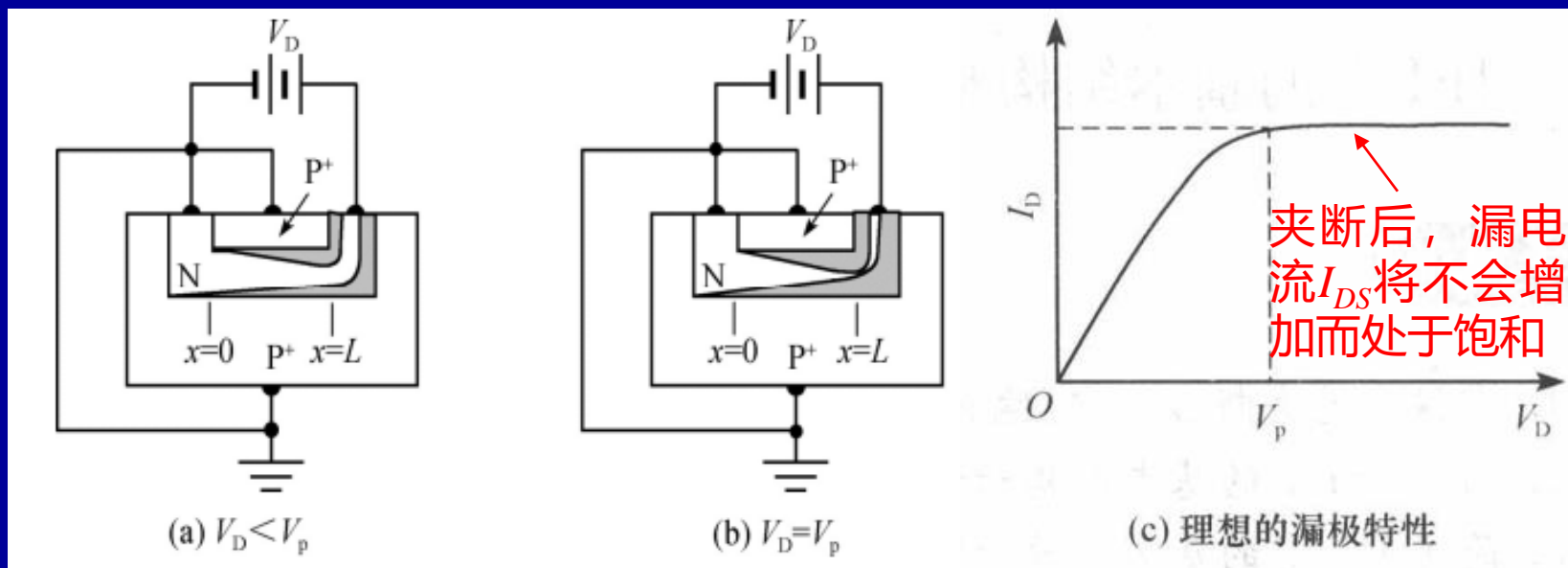


$V_G=0$ 的JFET特性

# JFET的工作原理

## 定性分析:

- ◆ 沟道夹断时的漏电压  $V_D$ , 称为**饱和漏电压**  $V_{DS}$ 。
- ◆ **夹断后**, 如果再增加  $V_D$ , **夹断点将向左移动**, 但夹断点的电位  $V_p$  为常数 ( $V_p$  也称为夹断电压), 即沟道两端的电压不变, 而沟道电阻也几乎不变, 因此漏电流将不会增加而处于**饱和**, 此时**饱和漏电流**用  $I_{DS}$  表示, 如图(c)所示。
- ◆ 源极发射来的电子被耗尽区电场迅速漂移到漏极, 与BJT中集电极对载流子的收集过程类似。

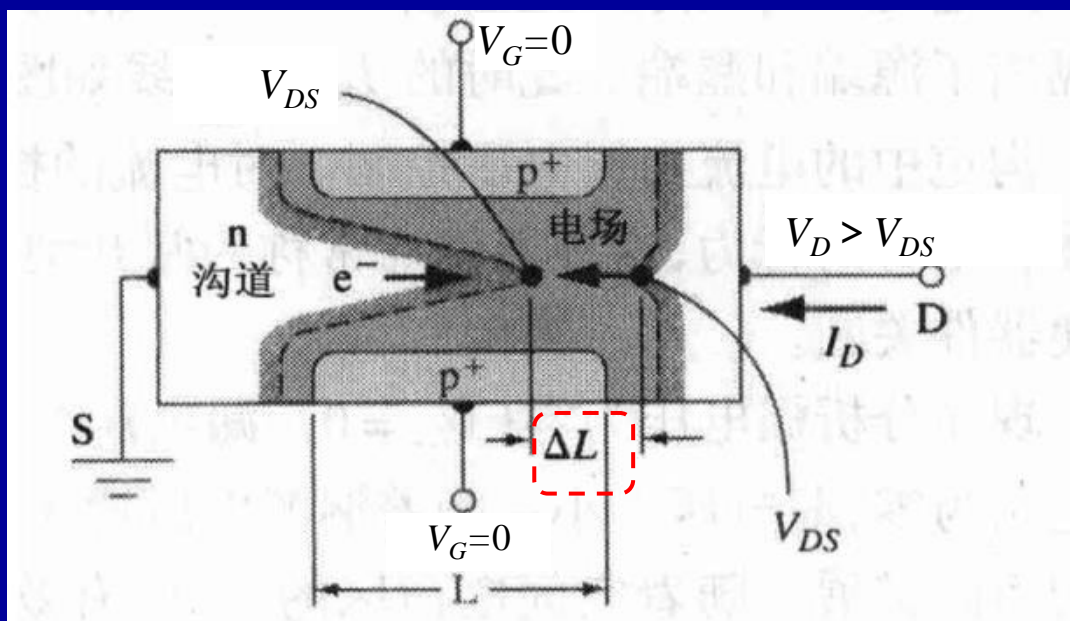


$V_G=0$ 的JFET特性

# JFET的工作原理

## 沟道夹断的具体分析 (沟道夹断时, 漏电流不为零):

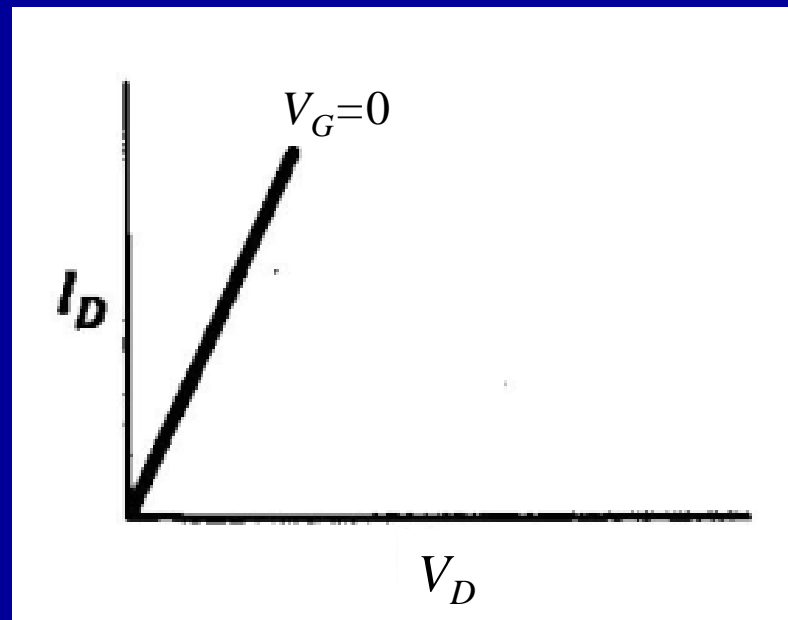
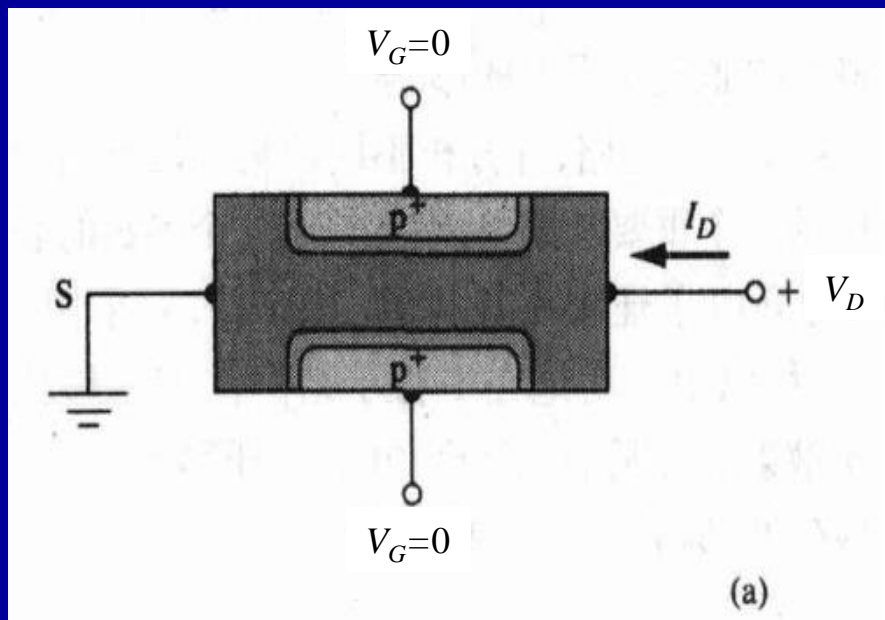
- ◆ 如图是放大的沟道夹断区截面图, N型沟道和漏极被长度为 $\Delta L$ 的空间电荷区分开, 电子从源极通过沟道注入到空间电荷区中, 在电场的作用下被扫入漏极接触区。
- ◆ 假定 $\Delta L \ll L$ , 已经发生夹断的区域很小, 则整个沟道电阻几乎不变。随着漏电压增加, 最接近漏端处已经发生夹断, 夹断点则将向左移动。但由于夹断点的电压是固定不变的, N型沟道区中的电阻也几乎不变, 因此漏电流始终为一常数。这样, 器件就像是一个恒定电流源。



$V_D > V_{DS}$  时沟道中的空间电荷区示意图

# JFET的工作原理

栅压对沟道耗尽区的影响：

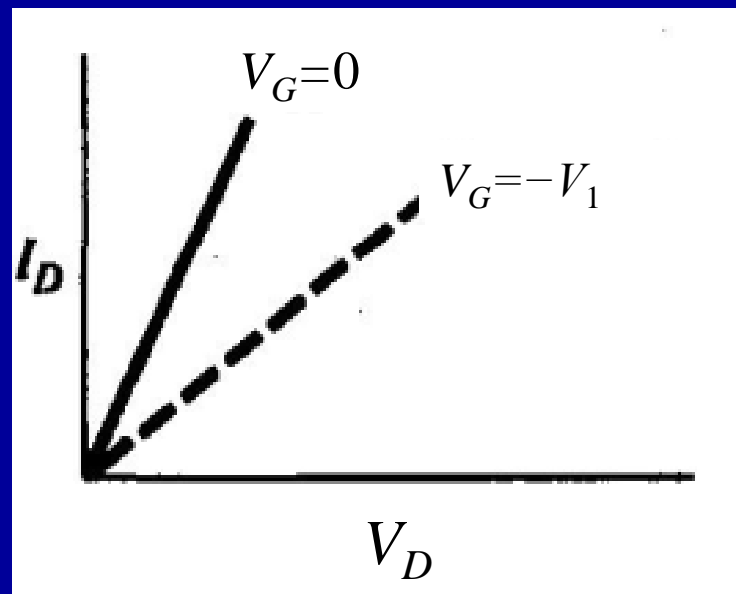
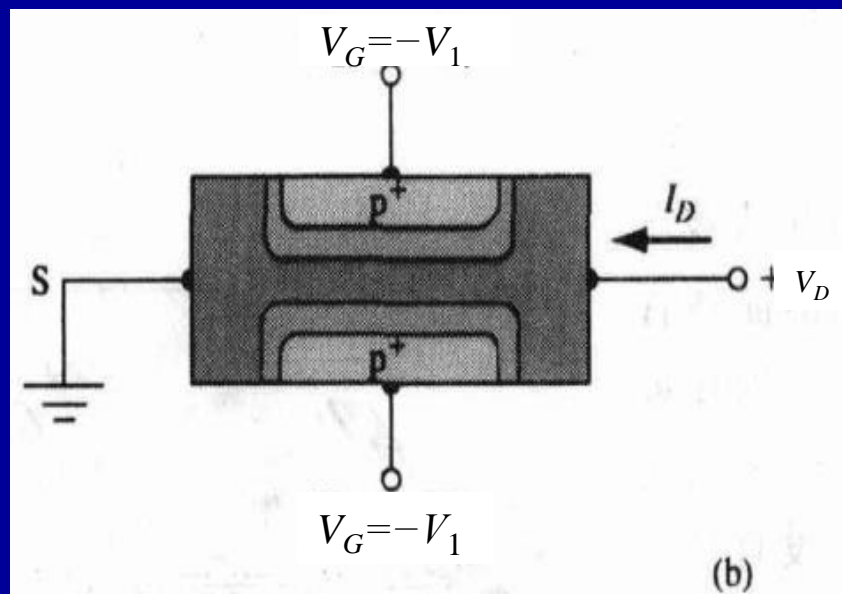


栅-沟道耗尽区和 $I$ - $V$ 特性曲线 ( $V_D$ 较小时)：(a) 零偏栅压

- ◆ 左图(a)显示了当栅压为零时的N沟道JFET。如果源极接地，并在漏极加一个小正电压，则在源漏间产生一个漏电流 $I_D$ 。
- ◆ N沟道实质上是一个电阻，因此，对于小的 $V_D$ ， $I_D$ 与 $V_D$ 的曲线接近于线性。

# JFET的工作原理

栅压对沟道耗尽区的影响：

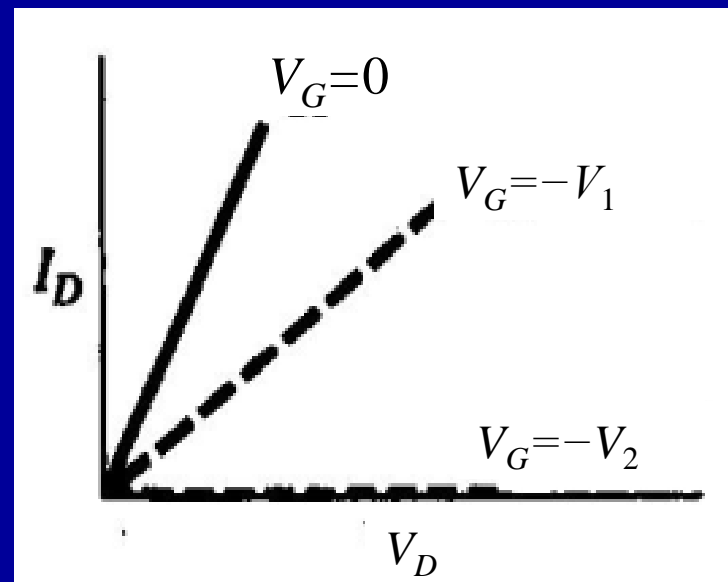
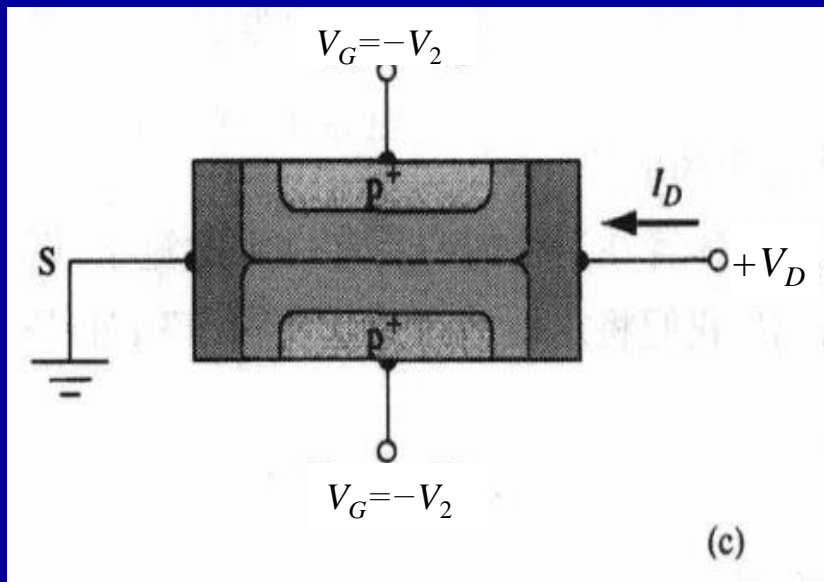


栅-沟道耗尽区和 $I$ - $V$ 特性曲线 ( $V_D$ 较小时)：(b) 小反偏栅压

- ◆ 如左图(b)，如果给N沟道JFET栅极加一个负电压 ( $-V_1$ )，则栅极和沟道形成的PN结反偏。
- ◆ 其耗尽区变宽，沟道宽度变窄，沟道电阻增加。 $I_D$ - $V_D$ 曲线斜率减小 ( $V_D$ 较小时)。

# JFET的工作原理

栅压对沟道耗尽区的影响：



栅-沟道耗尽区和 $I$ - $V$ 特性曲线 ( $V_D$ 较小时)：(c)  $V_G$ 大到沟道夹断

- ◆ 如左图(c)，当栅极加的负电压足够大( $-V_2$ )，反偏达到一定程度时，耗尽区将沟道完全填满，沟道完全夹断。
- ◆ 此时漏电流几乎为零，因为耗尽区隔离了源端和漏端。



# JFET的特点 (和BJT对比)

通过上述对于JFET的结构和工作原理简单介绍，JFET和BJT具有众多区别：

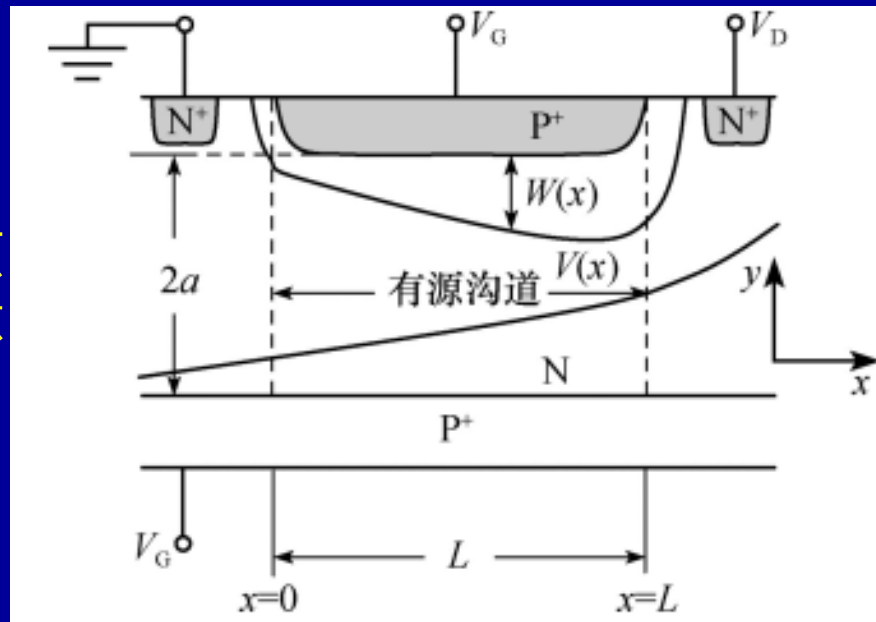
- ◆ JFET的电流传输主要由多数载流子承担，不存在少数载流子的存储效应，因此有利于达到比较高的截止频率和快的开关速度。
- ◆ JFET是电压控制器件，输入电阻要比BJT的高得多。
- ◆ 由于是多子器件，因此抗辐射能力强（多子数目很多，辐射产生的载流子对其影响小）。
- ◆ 由于是多子器件，散粒噪声和配分噪声很弱，因此噪声低。
- ◆ 与BJT和CMOS工艺兼容，有利于集成。

# 理想JFET的 $I$ - $V$ 特性

## 理想JFET的基本假设：

- ◆ 单边突变结，空间电荷区在轻掺杂一侧（即沟道层）。
- ◆ 沟道内杂质和载流子分布均匀，无内建电场，无扩散运动。
- ◆ 沟道内载流子迁移率为常数。
- ◆ 忽略有源区以外源、漏区以及接触上的电压降，沟道长度为 $L$ 。
- ◆ 缓变沟道近似：即空间电荷区内电场沿 $y$ 方向，而中性沟道内的电场只有 $x$ 方向上的分量，**二维问题化为一维问题**。
- ◆ 长沟道近似：沟道长度 $L > 2(2a)$ ，沟道宽度 $W$ 沿着 $L$ 改变很小，看作是矩形沟道。

JFET 有源  
沟道示意  
图 ( $V_G < 0$ )



# 理想JFET的 $I$ - $V$ 特性

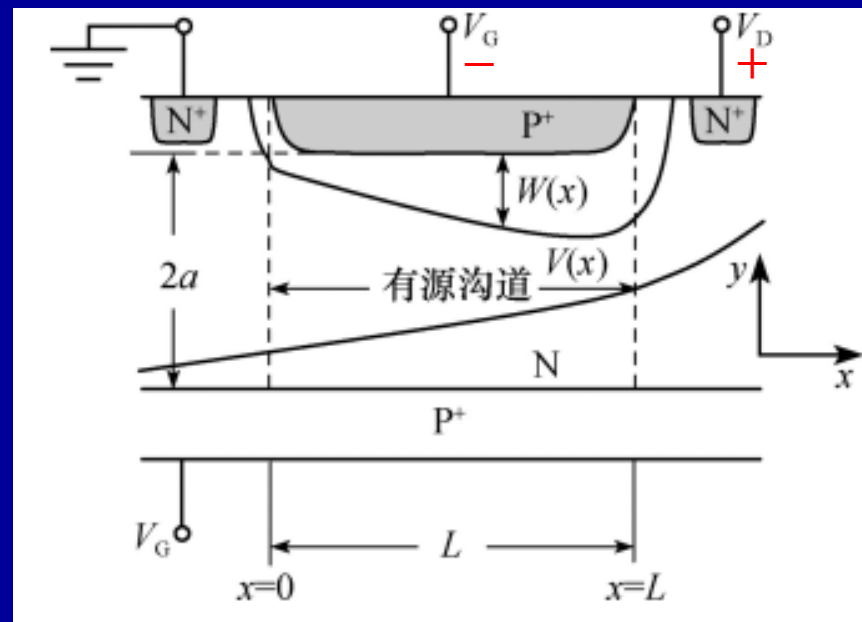
## 沟道夹断前的 $I$ - $V$ 特性:

◆ 回顾：反偏时， $P^+N$ 结的耗尽层宽度为：

$$W = \sqrt{\frac{2\varepsilon_s(V_{bi} - V)}{qN_d}} \quad V < 0$$

◆ JEFT中 $x$ 处耗尽层宽度为：

$$W(x) = \sqrt{\frac{2\varepsilon_s[V(x) + V_{bi} - V_G]}{qN_d}}$$



$V_G < 0$ 时，JFET中有源沟道示意图

◆ 式中 $V(x)$ 和 $V_G$ 为 $x$ 处加在反偏结上的电压。式子中 $-V_G$ 是因为 $V_G$ 此时取负值。

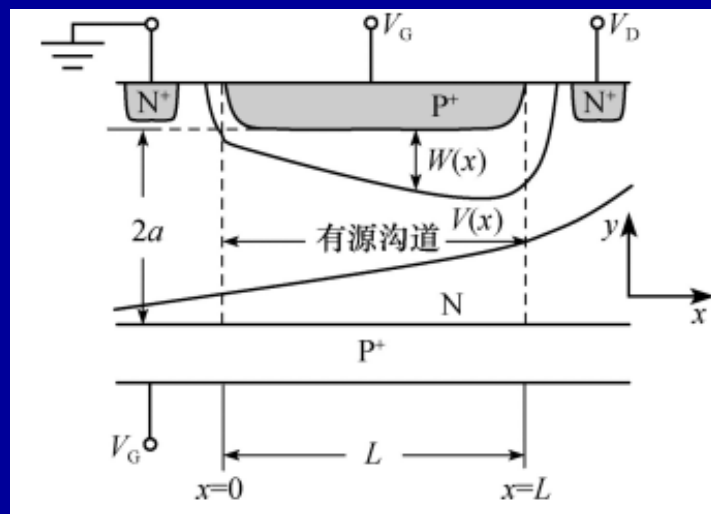
◆ 在夹断点，空间电荷区的宽度正好等于沟道的宽度。

# 理想JFET的 $I$ - $V$ 特性

沟道夹断前的  $I$ - $V$  特性:

◆ JFET中 $x$ 处耗尽层宽度为:

$$W(x) = \sqrt{\frac{2\varepsilon_s [V(x) + V_{bi} - V_G]}{qN_d}}$$



$V_G < 0$  时, JFET中有源沟道示意图

◆ 由于在夹断点, 空间电荷区的宽度正好等于沟道的宽度。所以假设沟道 $y$ 方向总宽为 $2a$ , 那么令  $W(x)=a$ , 并且定义:

达到夹断条件时的外加电压  $(V(x)-V_G)$  即为**夹断电压** $V_p$ , 则:

$$a = \sqrt{\frac{2\varepsilon_s (V_p + V_{bi})}{qN_d}} \quad \longrightarrow \quad V_p + V_{bi} = \frac{qa^2N_d}{2\varepsilon_s} = V_{p0}$$

式中 $V_{p0}$  为夹断电压与内建电势差之和, 称为**内夹断电压**。

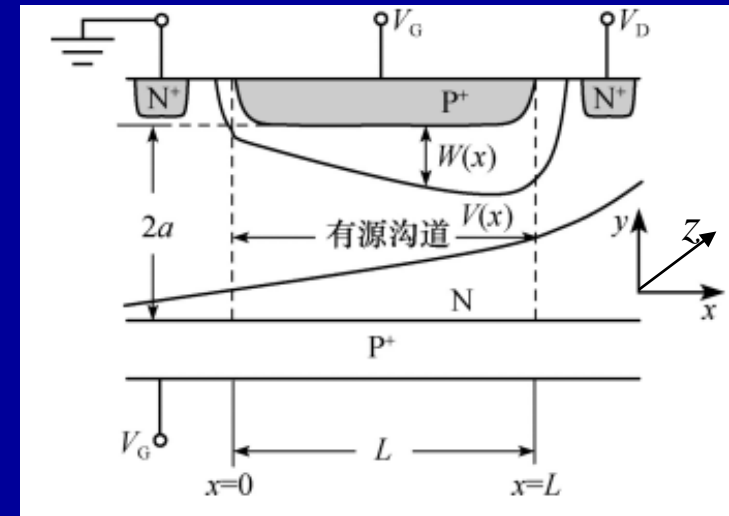


# 理想JFET的 $I$ - $V$ 特性

## 沟道夹断前的 $I$ - $V$ 特性:

由于假设在电中性沟道中，电子分布是均匀的，电子的浓度梯度为零，漏极电流中只有漂移电流。漏极电流为：

$$I_D = Aqn\mu_n E = 2Z[a - W(x)]qN_d\mu_n \left(-\frac{dV}{dx}\right)$$



$V_G < 0$  时，JFET中有源沟道示意图

$A$ 为电流流过的截面积， $Z$ 为 $z$ 方向沟道的尺寸

$$A = 2[a - W(x)]Z。$$

$$W(x) = \sqrt{\frac{2\varepsilon_s[V(x) + V_{bi} - V_G]}{qN_d}}$$

将其代入上式并求积分，有：

$$\int_0^L \frac{I_D dx}{2qN_d\mu_n Z} = - \int_0^{V_D} \left\{ a - \sqrt{\frac{2\varepsilon_s[V(x) + V_{bi} - V_G]}{qN_d}} \right\} dV$$

# 理想JFET的 $I$ - $V$ 特性

沟道夹断前的  $I$ - $V$  特性:

$$\int_0^L \frac{I_D dx}{2qN_d\mu_n Z} = - \int_0^{V_D} \left\{ a - \sqrt{\frac{2\varepsilon_s [V(x) + V_{bi} - V_G]}{qN_d}} \right\} dV$$

求出积分, 得:

$$\frac{-I_D L}{2qN_d\mu_n Z} = aV_D - \frac{2}{3} \sqrt{\frac{2\varepsilon_s}{qN_d}} [(V_D + V_{bi} - V_G)^{\frac{3}{2}} - (V_{bi} - V_G)^{\frac{3}{2}}]$$

$$V_{p0} = \frac{qa^2 N_d}{2\varepsilon_s}$$

将内夹断电压代入上式, 得:

$$\frac{-I_D L}{2qN_d\mu_n Z} = aV_D - \frac{2}{3} a \sqrt{\frac{1}{V_{p0}}} [(V_D + V_{bi} - V_G)^{\frac{3}{2}} - (V_{bi} - V_G)^{\frac{3}{2}}]$$

整理得:

$$I_D = \frac{-2aqN_d\mu_n Z}{L} \left\{ V_D - \frac{2}{3} \sqrt{\frac{1}{V_{p0}}} [(V_D + V_{bi} - V_G)^{\frac{3}{2}} - (V_{bi} - V_G)^{\frac{3}{2}}] \right\}$$

# 理想JFET的 $I$ - $V$ 特性

沟道夹断前的  $I$ - $V$  特性:

$$I_D = \frac{-2aqN_d\mu_nZ}{L} \left\{ V_D - \frac{2}{3} \sqrt{\frac{1}{V_{p0}}} [(V_D + V_{bi} - V_G)^{\frac{3}{2}} - (V_{bi} - V_G)^{\frac{3}{2}}] \right\}$$

把式中负号表示电流沿 $-x$ 方向，即从漏极到源极。以下讨论中，为简便起见，将该负号去掉，表示为：

$$I_D = G_0 \left\{ V_D - \frac{2}{3} \sqrt{\frac{1}{V_{p0}}} [(V_D + V_{bi} - V_G)^{\frac{3}{2}} - (V_{bi} - V_G)^{\frac{3}{2}}] \right\}$$

此式称为肖克莱 (Shockley) 模型，其中:  $G_0 = \frac{2aqN_d\mu_nZ}{L}$

$G_0$ 为没有任何耗尽层时的沟道电导，即冶金学电导，也称为增益因子，它是JFET能提供的最大电导。

上述肖克莱模型公式描述了在达到夹断条件之前漏极电流 $I_D$ 与漏极电压 $V_D$ 和栅极 $V_G$ 之间的函数关系，夹断后漏极电流取为常数。

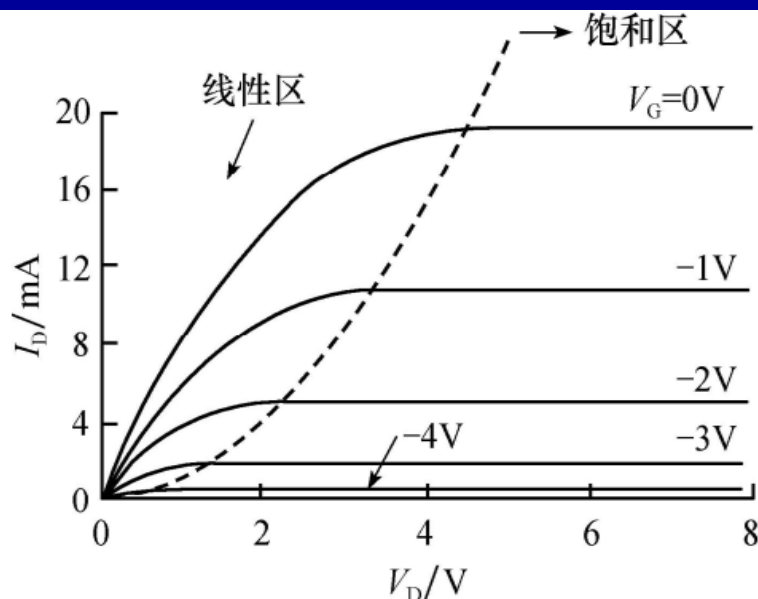


# 理想JFET的 $I$ - $V$ 特性

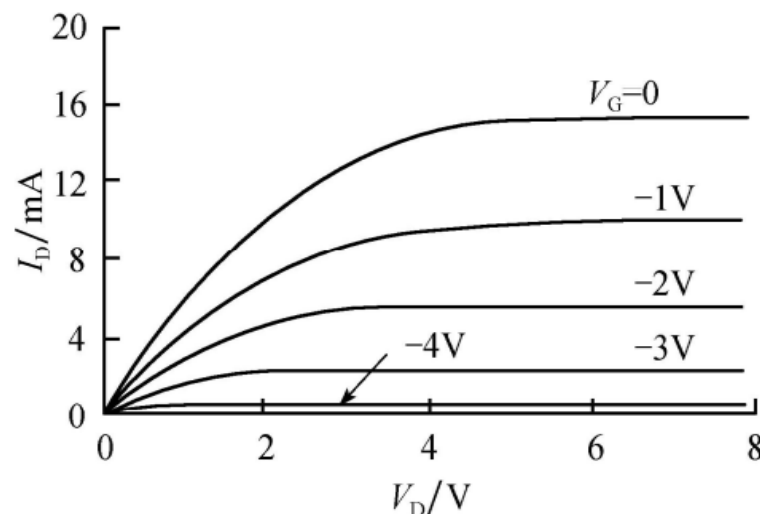
沟道夹断前的  $I$ - $V$  特性:

$$I_D = G_0 \left\{ V_D - \frac{2}{3} \sqrt{\frac{1}{V_{p0}}} [(V_D + V_{bi} - V_G)^{\frac{3}{2}} - (V_{bi} - V_G)^{\frac{3}{2}}] \right\}$$

$$G_0 = \frac{2aqN_d\mu_n Z}{L}$$



(a)  $R_s=0$  时式(5-2-5)的理论曲线



(b) 实验结果(爱德华, 1981)

JFET  $I$ - $V$  特性曲线 ( $a=1.5\mu\text{m}$ ,  $Z/L=170$ ,  $N_d=2.5\times 10^{15}\text{cm}^{-3}$ )

图(a)中的曲线是在上式所表示的理论模型基础上绘成的, 图(b)给出了实验器件的数据以供比较。理论数据与实验的差异可以由串联电阻的影响来解释。

# 理想JFET的 $I$ - $V$ 特性

**例：**一个N沟道JFET，相关参数为： $N_d=5\times 10^{15}\text{cm}^{-3}$ ， $N_a=10^{19}\text{cm}^{-3}$ ， $\varepsilon_r=12$ ， $a=1\mu\text{m}$ ， $L=30\mu\text{m}$ ， $Z=0.1\text{cm}$ ， $\mu_n=1350\text{cm}^2/\text{V}\cdot\text{S}$ 。

**求：**(1) 求内夹断电压 $V_{p0}$ 和夹断电压 $V_p$ ；(2) 在栅极和源极两者接地且 $V_D=V_p$ 时的漏极电流。

**解：**(1) 内夹断电压：

$$V_{p0} = \frac{qa^2N_d}{2\varepsilon_s} = \frac{(1.6\times 10^{-19})(10^{-8})(5\times 10^{15})}{2\times 12\times (8.85\times 10^{-14})} = 3.77\text{V}$$

$$V_{bi} = \frac{kT}{q} \ln\left(\frac{N_aN_d}{n_i^2}\right) = 0.026 \ln\left(\frac{5\times 10^{15}\times 10^{19}}{2.25\times 10^{20}}\right) = 0.86\text{V}$$

由：

$$V_p + V_{bi} = \frac{qa^2N_d}{2\varepsilon_s} = V_{p0}$$

可知夹断电压：

$$V_p = V_{p0} - V_{bi} = 3.77\text{V} - 0.86\text{V} = 2.91\text{V}$$

# 理想JFET的 $I$ - $V$ 特性

**例：**一个N沟道JFET，相关参数为： $N_d=5\times 10^{15}\text{cm}^{-3}$ ， $N_a=10^{19}\text{cm}^{-3}$ ， $\varepsilon_r=12$ ， $a=1\mu\text{m}$ ， $L=30\mu\text{m}$ ， $Z=0.1\text{cm}$ ， $\mu_n=1350\text{cm}^2/\text{V}\cdot\text{S}$ 。

**求：**(1) 求内夹断电压 $V_{p0}$ 和夹断电压 $V_p$ ；(2) 在栅极和源极两者接地且 $V_D=V_p$ 时的漏极电流。

**解：**(2) 漏极电流：

$$G_0 = \frac{2aqN_d\mu_n Z}{L} = \frac{2(1.6 \times 10^{-19})(10^{-4})(5 \times 10^{15}) \times 1350 \times (0.1)}{0.003}$$

$$G_0 = 7.2 \times 10^{-3} \Omega^{-1}$$

由于：  $V_G=0$      $V_D=V_p$

因此： 
$$I_D = G_0 \left\{ V_p - \frac{2}{3} \sqrt{\frac{1}{V_{p0}}} [(V_p + V_{bi})^{\frac{3}{2}} - (V_{bi})^{\frac{3}{2}}] \right\} = 4.8\text{mA}$$

# JFET小结

- ◆ **场效应**(JFET基本工作原理): 随着栅电压和漏电压的变化, 耗尽层的宽度发生变化, 耗尽层中的载流子耗尽。结果使沟道截面积发生变化, 从而沟道电导发生变化, 源和漏之间流过的电流就受到栅电压的调制;
- ◆ JFET是**多子器件**, 易于实现高频、高速、抗辐射、低噪声;
- ◆ 沟道夹断首先发生在漏端, 随着漏电压的增加, 夹断点向源端移动;
- ◆ 夹断电压由**栅电压和漏电压**共同提供

夹断电压公式:

$$V_p + V_{bi} = \frac{qa^2 N_d}{2\epsilon_s} = V_{p0}$$

- ◆ **肖克莱模型**:

$$I_D = G_0 \left\{ V_D - \frac{2}{3} \sqrt{\frac{1}{V_{p0}}} [(V_D + V_{bi} - V_G)^{\frac{3}{2}} - (V_{bi} - V_G)^{\frac{3}{2}}] \right\}$$

$$G_0 = \frac{2aqN_d\mu_n Z}{L}$$

- ◆ 由于夹断之后, 夹断电压固定不变, 若忽略沟道长度调制效应, 沟道夹断以后**漏电流饱和**。