

第三章： 双极型晶体管

§3.1 双极型晶体管基本原理

§3.2 直流 IV 特性

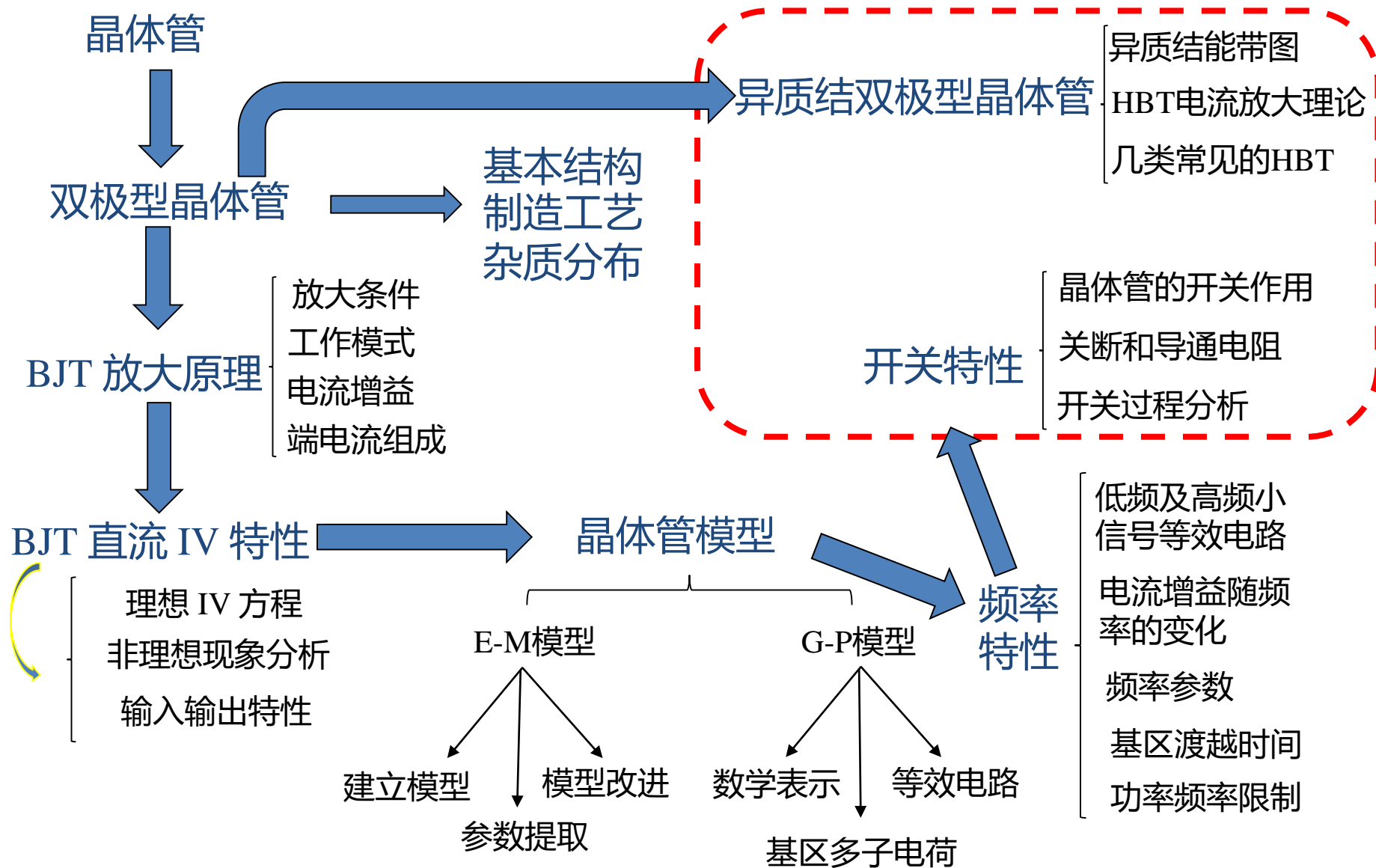
§3.3 晶体管模型

§3.4 频率特性

§3.5 开关特性

§3.6 异质结晶体管HBT

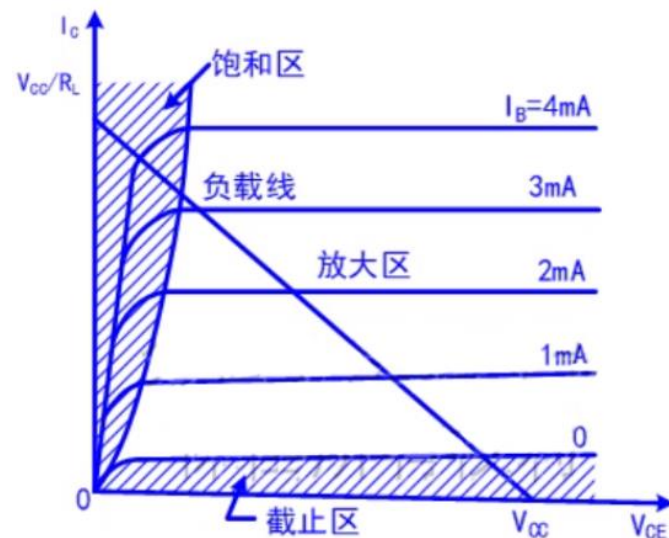
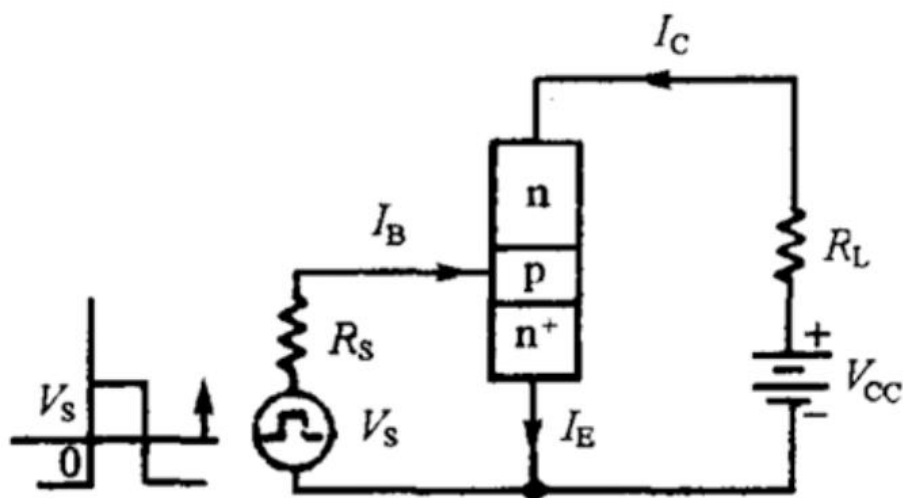
双极型晶体管基本知识体系框架



§3.5 开关特性

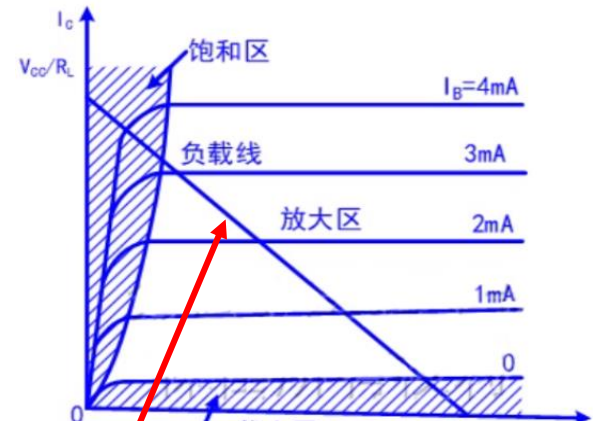
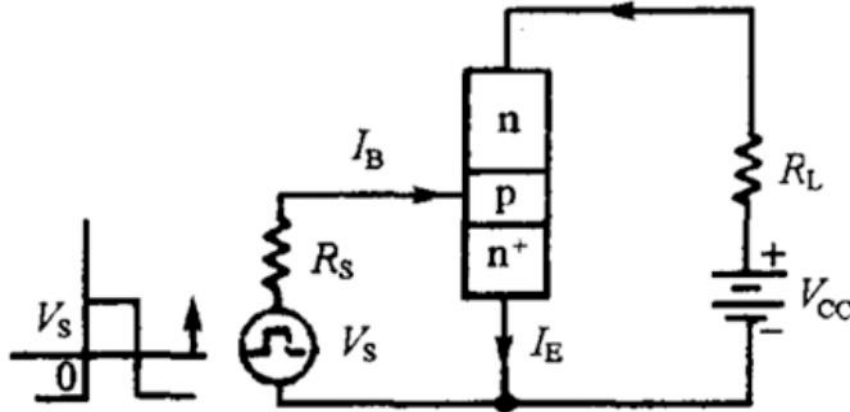
1、晶体管的开关作用

晶体管除了具有放大特性外，还有开关作用，所谓开关作用指的是通过改变基极电流来改变集电极电流，使得晶体管在短时间内从高电压、低电流的关断状态变化到低电压、高电流的导通状态，或者相反。下面两图分别是基本开关电路和相应的输出特性曲线及负载 R_L 的电流电压曲线（负载线）。



1、晶体管的开关作用

$$V_{CE} = V_{CC} - I_C R_L$$



$$I_C = -V_{CE}/R_L + V_{CC}/R_L$$

电路工作状态：在输出回路中 I_C 和 V_{CE} 间的关系既要满足负载线，也要满足晶体管的输出特性曲线，所以电路的工作状态为负载线和输出特性曲线的交点。

关断状态：当发射结反偏时($V_s < 0$)， I_B 和 I_C 都很小， V_{CE} 约等于 V_{CC} ，集电结也反偏，晶体管处于截止状态，整个电路工作在高 V_{CE} 低 I_C 的关断状态。

导通状态：当 V_s 增大使发射结正偏时， I_B 增大， I_C 增大 V_{CE} 减小(沿着负载线变化)，当两个结均正偏晶体管处于饱和状态时，整个电路工作在低 V_{CE} 高 I_C 的导通状态。

2、关断和导通阻抗

利用E-M模型来讨论晶体管的开关阻抗，第3节中已经得到了E-M模型的基本方程如下

$$I_E = -\frac{1}{1-\alpha_F\alpha_R} I_{EBO} \left[\exp\left(\frac{qV_{BE}}{kT}\right) - 1 \right] + \frac{\alpha_R}{1-\alpha_F\alpha_R} I_{CBO} \left[\exp\left(\frac{qV_{BC}}{kT}\right) - 1 \right]$$

$$I_C = \frac{\alpha_F}{1-\alpha_F\alpha_R} I_{EBO} \left[\exp\left(\frac{qV_{BE}}{kT}\right) - 1 \right] - \frac{1}{1-\alpha_F\alpha_R} I_{CBO} \left[\exp\left(\frac{qV_{BC}}{kT}\right) - 1 \right]$$

1)关断阻抗

在截止状态下， V_{BE} 和 V_{BC} 均小于0，集电极电流为

近似处理：

$$I_C = \frac{I_{CBO} - \alpha_F I_{EBO}}{1 - \alpha_F \alpha_R} \quad \exp\left(\frac{qV_{BE}}{kT}\right) \approx 0 \quad \exp\left(\frac{qV_{BC}}{kT}\right) \approx 0$$

所以关断阻抗近似为

$$R_{off} = \frac{V_{CE}}{I_C} = \frac{V_{CE}(1 - \alpha_F \alpha_R)}{I_{CBO} - \alpha_F I_{EBO}}$$

反向饱和电流 I_{CBO} 和 I_{EBO} 都比较小且相近时，所以关断阻抗就很大

2、关断和导通阻抗

$$I_E = -\frac{1}{1-\alpha_F\alpha_R} I_{EBO} \left[\exp\left(\frac{qV_{BE}}{kT}\right) - 1 \right] + \frac{\alpha_R}{1-\alpha_F\alpha_R} I_{CBO} \left[\exp\left(\frac{qV_{BC}}{kT}\right) - 1 \right]$$

$$I_C = \frac{\alpha_F}{1-\alpha_F\alpha_R} I_{EBO} \left[\exp\left(\frac{qV_{BE}}{kT}\right) - 1 \right] - \frac{1}{1-\alpha_F\alpha_R} I_{CBO} \left[\exp\left(\frac{qV_{BC}}{kT}\right) - 1 \right]$$

2)导通阻抗

在饱和状态下， V_{BE} 和 V_{BC} 均大于0， $\exp(\frac{qV_{BE}}{kT}) \gg 1$ ， $\exp(\frac{qV_{BC}}{kT}) \gg 1$ ，上面公式重新书写为

$$I_E = -\frac{1}{1-\alpha_F\alpha_R} I_{EBO} \exp\left(\frac{qV_{BE}}{kT}\right) + \frac{\alpha_R}{1-\alpha_F\alpha_R} I_{CBO} \exp\left(\frac{qV_{BC}}{kT}\right)$$

$$I_C = \frac{\alpha_F}{1-\alpha_F\alpha_R} I_{EBO} \exp\left(\frac{qV_{BE}}{kT}\right) - \frac{1}{1-\alpha_F\alpha_R} I_{CBO} \exp\left(\frac{qV_{BC}}{kT}\right)$$

2、关断和导通阻抗

2)导通阻抗

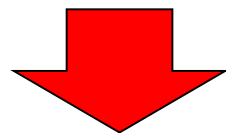
$$I_E = -\frac{1}{1-\alpha_F\alpha_R} I_{EBO} \exp\left(\frac{qV_{BE}}{kT}\right) + \frac{\alpha_R}{1-\alpha_F\alpha_R} I_{CBO} \exp\left(\frac{qV_{BC}}{kT}\right)$$

$$I_C = \frac{\alpha_F}{1-\alpha_F\alpha_R} I_{EBO} \exp\left(\frac{qV_{BE}}{kT}\right) - \frac{1}{1-\alpha_F\alpha_R} I_{CBO} \exp\left(\frac{qV_{BC}}{kT}\right)$$

I_C 的表达式两边同时乘以 α_R ，与 I_E 表达式相加消掉带有 V_{BC} 的项得到

$$I_E + \alpha_R I_C = -I_{EBO} \exp\left(\frac{qV_{BE}}{kT}\right)$$

$$I_E + I_B + I_C = 0$$



$$V_{BE} = \frac{kT}{q} \ln\left[\frac{I_B + (1-\alpha_R)I_C}{I_{EBO}}\right]$$

2、关断和导通阻抗

2)导通阻抗

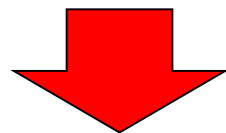
$$I_E = -\frac{1}{1-\alpha_F\alpha_R} I_{EBO} \exp\left(\frac{qV_{BE}}{kT}\right) + \frac{\alpha_R}{1-\alpha_F\alpha_R} I_{CBO} \exp\left(\frac{qV_{BC}}{kT}\right)$$

$$I_C = \frac{\alpha_F}{1-\alpha_F\alpha_R} I_{EBO} \exp\left(\frac{qV_{BE}}{kT}\right) - \frac{1}{1-\alpha_F\alpha_R} I_{CBO} \exp\left(\frac{qV_{BC}}{kT}\right)$$

I_E 的表达式两边同时乘以 α_F ，与 I_C 表达式相加消掉带有 V_{BE} 的项得到

$$\alpha_F I_E + I_C = -I_{CBO} \exp\left(\frac{qV_{BC}}{kT}\right)$$

$$I_E + I_B + I_C = 0$$



$$V_{BC} = \frac{kT}{q} \ln \left[\frac{\alpha_F I_B - (1 - \alpha_F) I_C}{I_{CBO}} \right]$$

2、关断和导通阻抗

2)导通阻抗

$$V_{BE} = \frac{kT}{q} \ln \left[\frac{I_B + (1 - \alpha_R) I_C}{I_{EBO}} \right]$$
$$V_{BC} = \frac{kT}{q} \ln \left[\frac{\alpha_F I_B - (1 - \alpha_F) I_C}{I_{CBO}} \right]$$

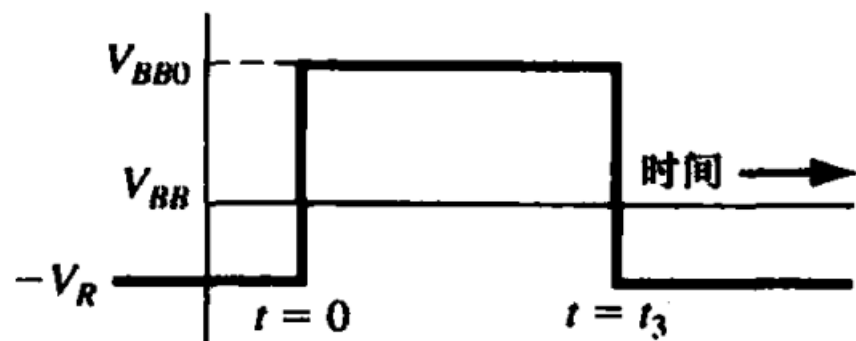
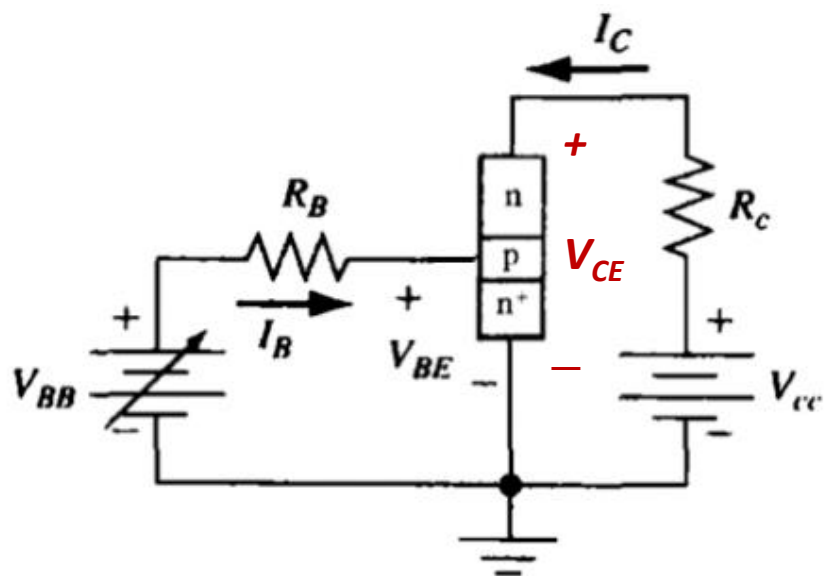
导通阻抗为

$$R_{on} = \frac{V_{CE, \text{饱和}}}{I_C} = \frac{V_{BE} - V_{BC}}{I_C}$$
$$= \frac{kT}{qI_C} \ln \left[\frac{1 + (1 - \alpha_R) \frac{I_C}{I_B}}{\alpha_R \left[1 - \left(\frac{1 - \alpha_F}{\alpha_F} \right) \frac{I_C}{I_B} \right]} \right]$$

导通阻抗近似地反比于 I_C ，当 I_C 很大时，导通阻抗很小

3、开关过程分析

1) 导通过程分析—截止态向饱和态转变

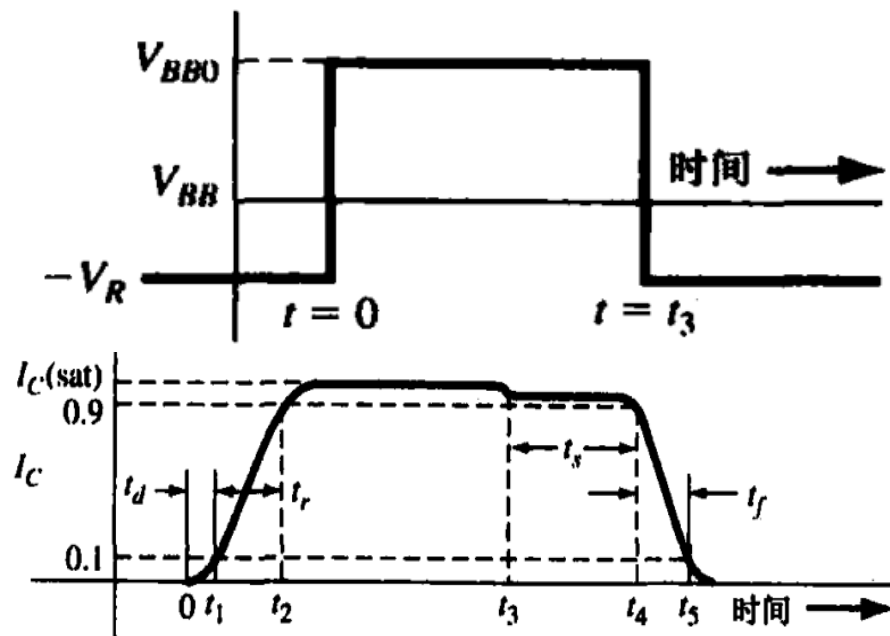
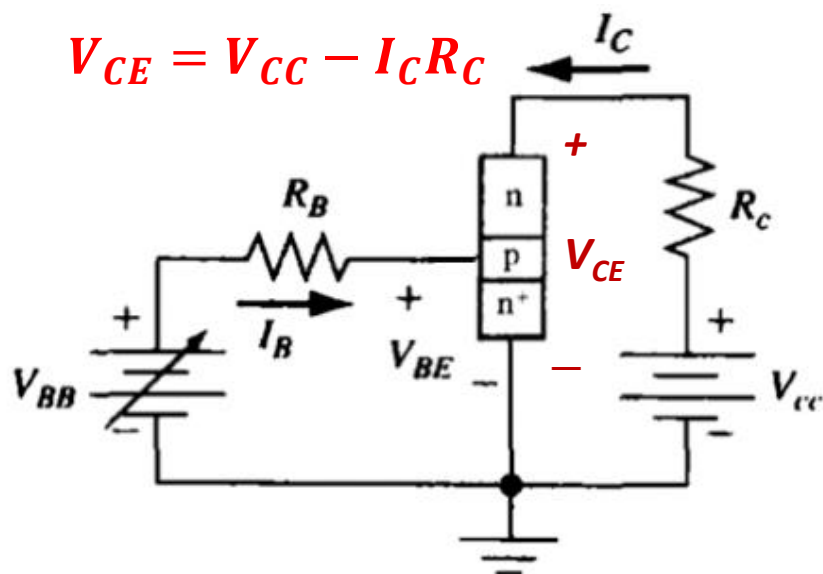


初始状态： $V_{BB} < 0$ ，发射结反偏， I_B I_C 几乎为0， V_{CE} 较大，集电结也反偏，晶体管处于截止状态。

$t = 0$ 时： V_{BB} 突变到 V_{BB0} ，发射结偏压 V_{BE} ，基极电流 I_B ，集电结偏压 V_{CE} ，集电极电流 I_C 都将渐变。

3、开关过程分析

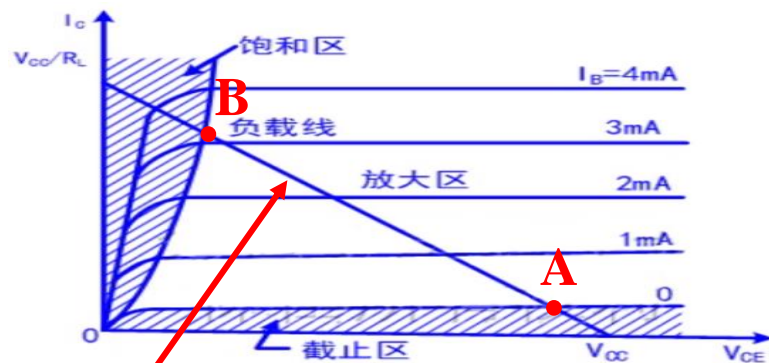
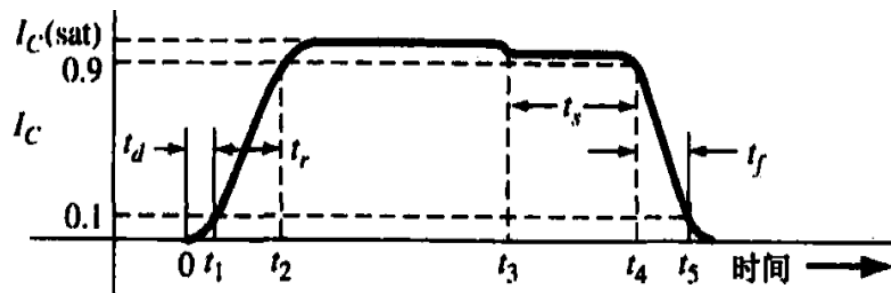
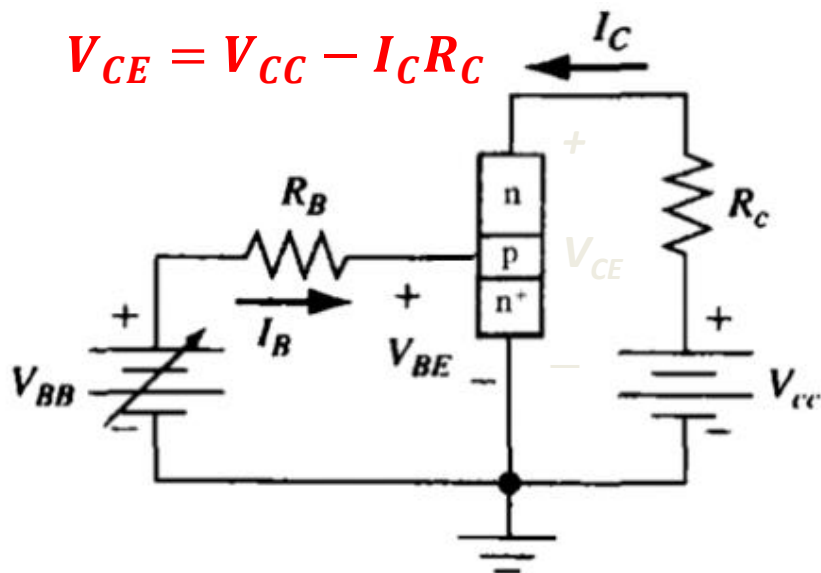
1) 导通过程分析—截止态向饱和态转变



$0 \leq t \leq t_1$: V_{BE} 从小于0变化到等于0, I_B 略微增大, 只有少量电子从发射区注入到基区, I_C 从0上升为它最大值的10%, V_{CE} 较大, 集电结仍保持反偏, $0 \sim t_1$ 这段时间称为延迟时间。

3、开关过程分析

1) 导通过程分析—截止态向饱和态转变

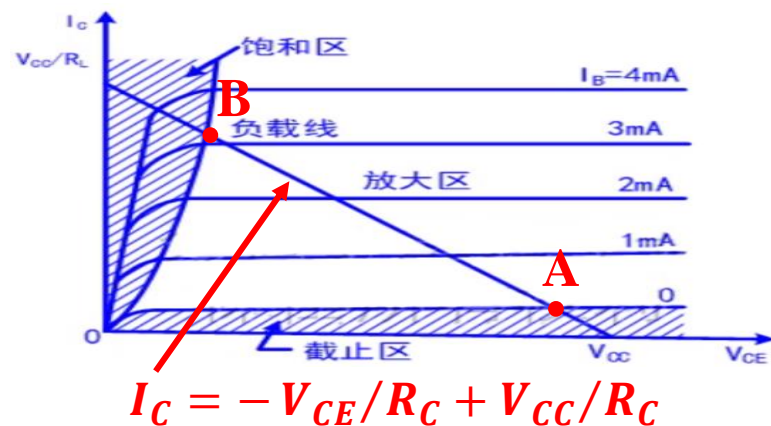
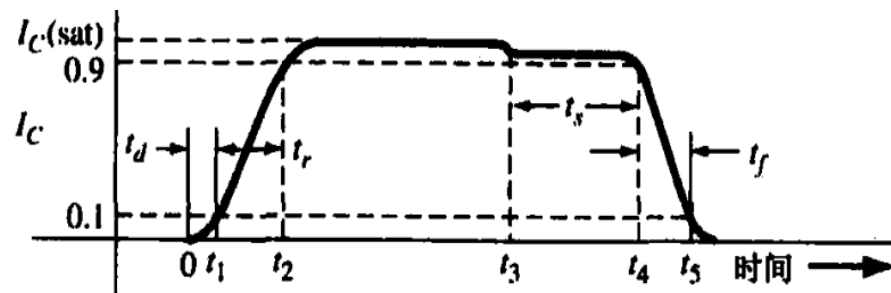
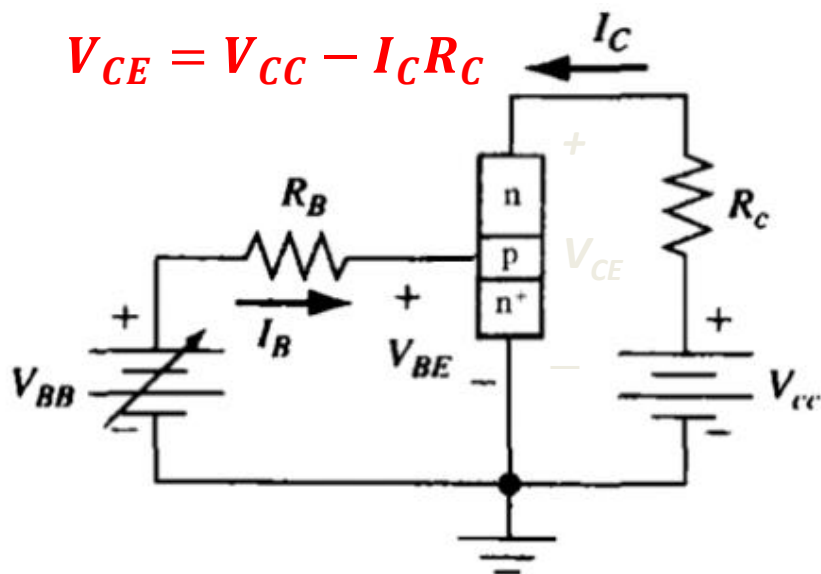


$$I_C = -V_{CE}/R_C + V_{CC}/R_C$$

$t_1 < t \leq t_2$: t_1 时刻 V_{BE} 为 0, I_B I_C 均很小, 电路工作在临界放大状态 (上面右下图 A 点)。 t_1 之后, V_{BE} 增大, 发射结正偏, I_B 增大, 更多电子从发射区注入到基区, 与此同时 I_C 也将增大, 直到 t_2 时刻 I_C 由它最大值的 10% 上升到最大值的 90%, 此时 $V_{CE} = V_{BE}$, 集电结零偏, 电路工作在临界饱和状态 (B 点), $t_1 \sim t_2$ 称为上升时间。

3、开关过程分析

1) 导通过程分析—截止态向饱和态转变

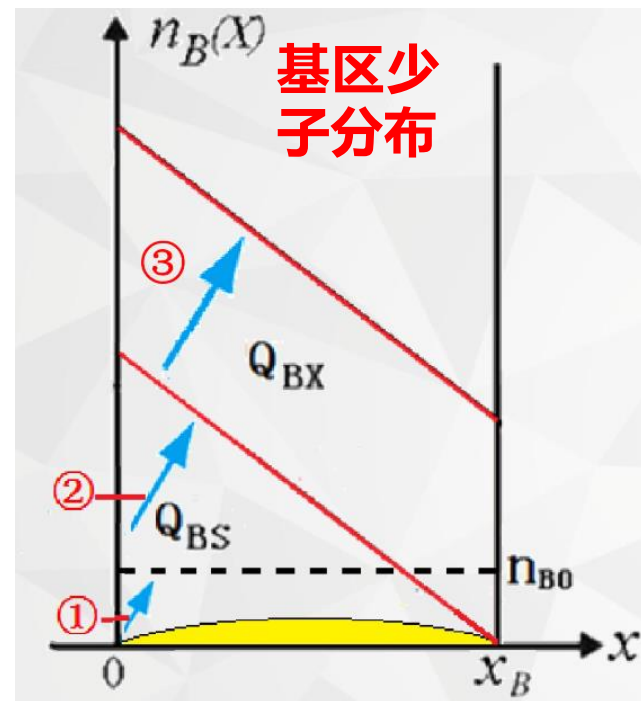
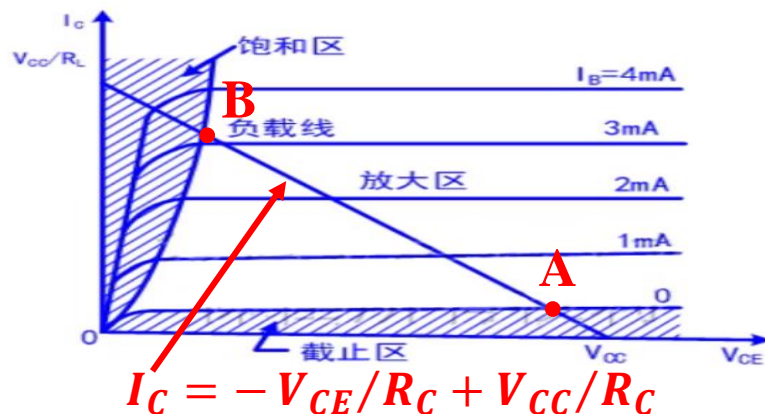
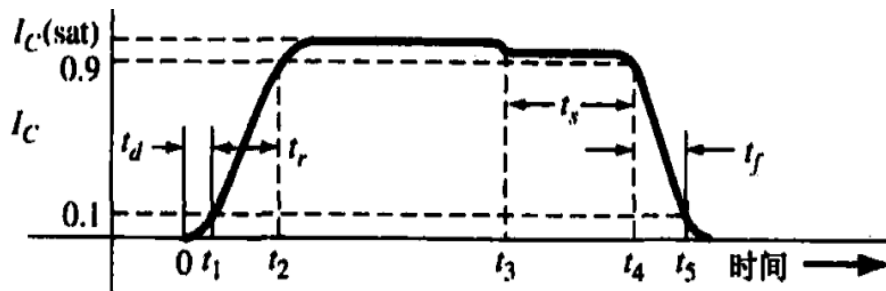


$t_2 < t$: t_2 之后 V_{BE} 和 I_B 继续增大, 发射结仍然正偏, 还会有电子从发射区注入到基区, 此时 I_C 会略微增大, V_{CE} 会减小, 使 $V_{CE} < V_{BE}$, 集电结变成正偏, 电路工作在饱和区, 基区中的电子分布也趋于稳定。

3、开关过程分析

1) 导通过程分析—截止态向饱和态转变

现在来分析导通过程中基区少子分布变化的情况

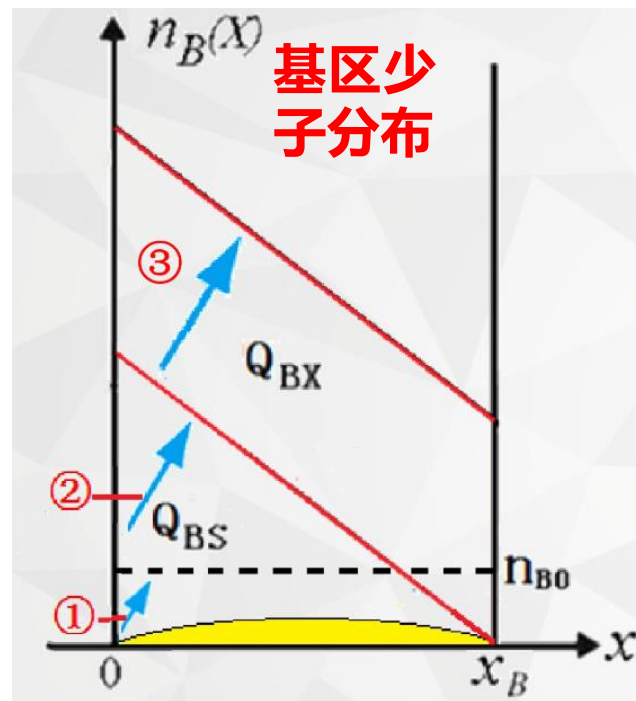
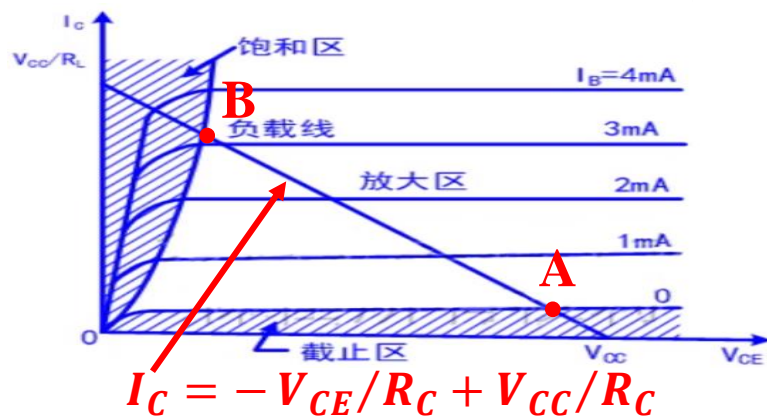
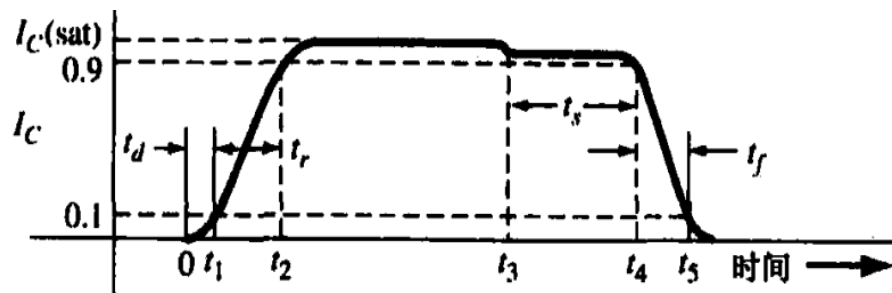


$0 \leq t \leq t_1$: 第一阶段最终结果是 $V_{BE} = 0$, 发射结零偏集电结反偏, 电路工作在临界放大状态。发射结靠基区一侧边界处的电子浓度从0变成 n_{B0} , 如上面右图所示。

3、开关过程分析

1) 导通过程分析—截止态向饱和态转变

现在来分析导通过程中基区少子分布变化的情况

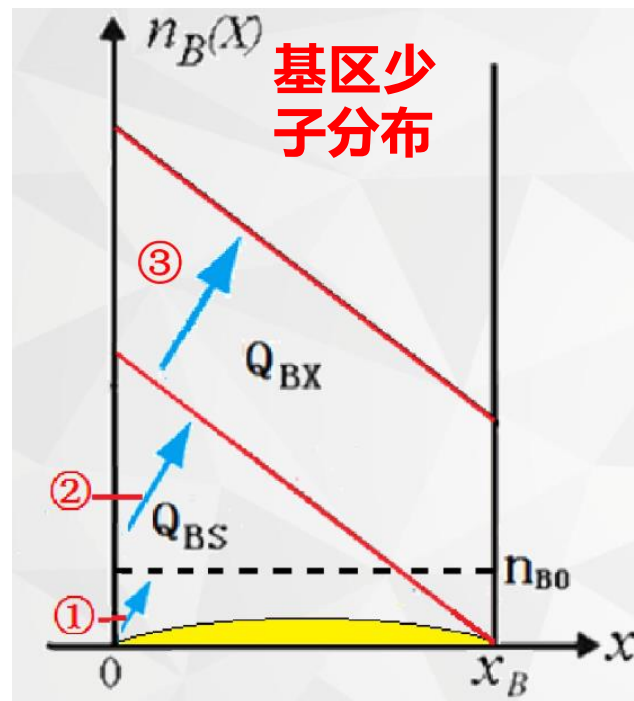
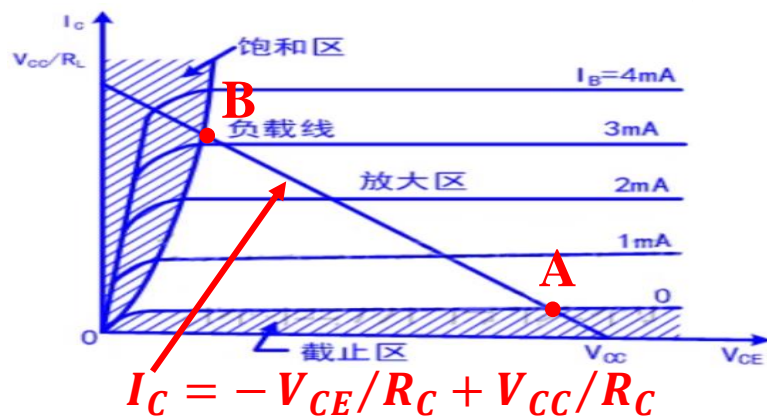
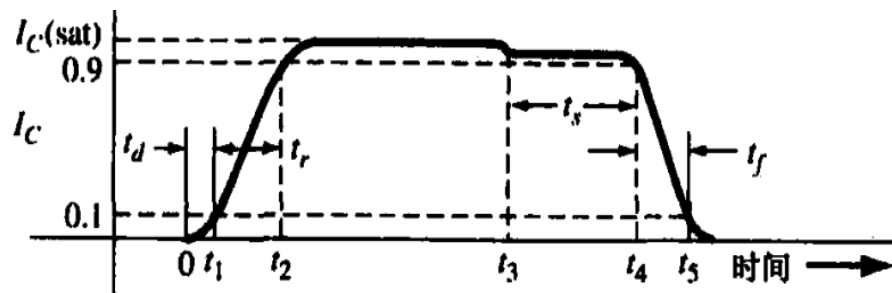


$t_1 < t \leq t_2$: 第二阶段电路在放大区工作（负载线上AB两点之间），基区中的电子浓度变成线性分布，如上面右图所示。随着 $I_B(I_C)$ 的增大，分布曲线斜率增大。

3、开关过程分析

1) 导通过程分析—截止态向饱和态转变

现在来分析导通过程中基区少子分布变化的情况

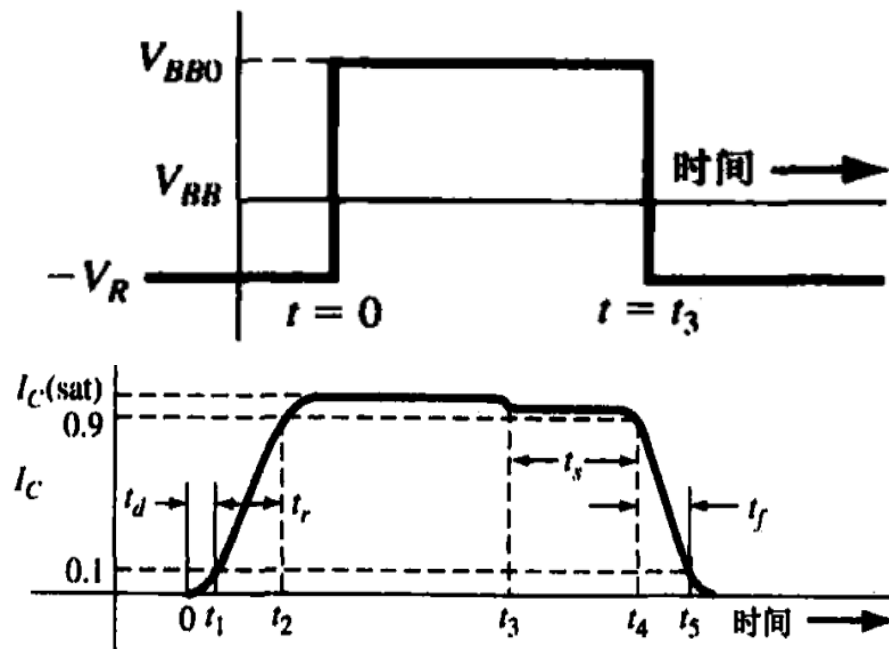
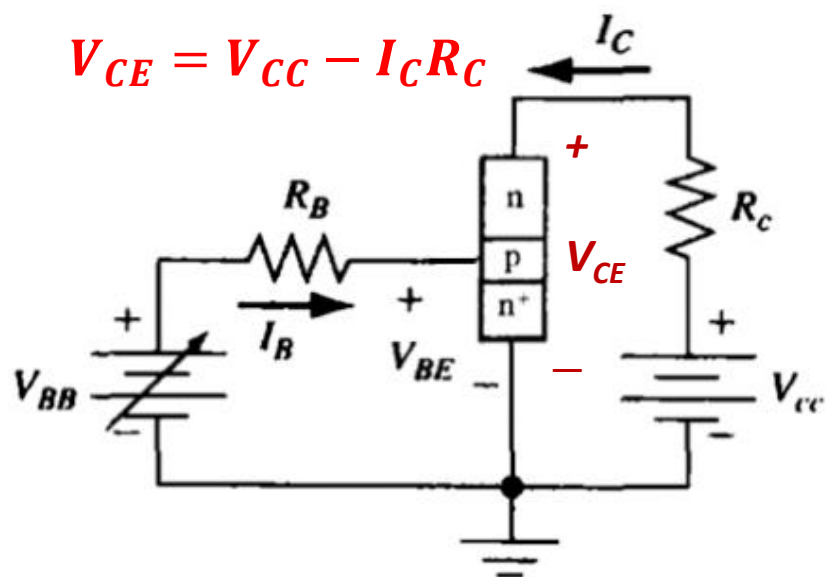


$t_2 < t$: 第三阶段电路工作在饱和区, 基区中的电子浓度曲线平行上移, 如上面右图所示。基区中将有较多的过饱和存储电荷 Q_{BX} 。

3、开关过程分析

2) 关断过程分析—饱和态向截止态转变

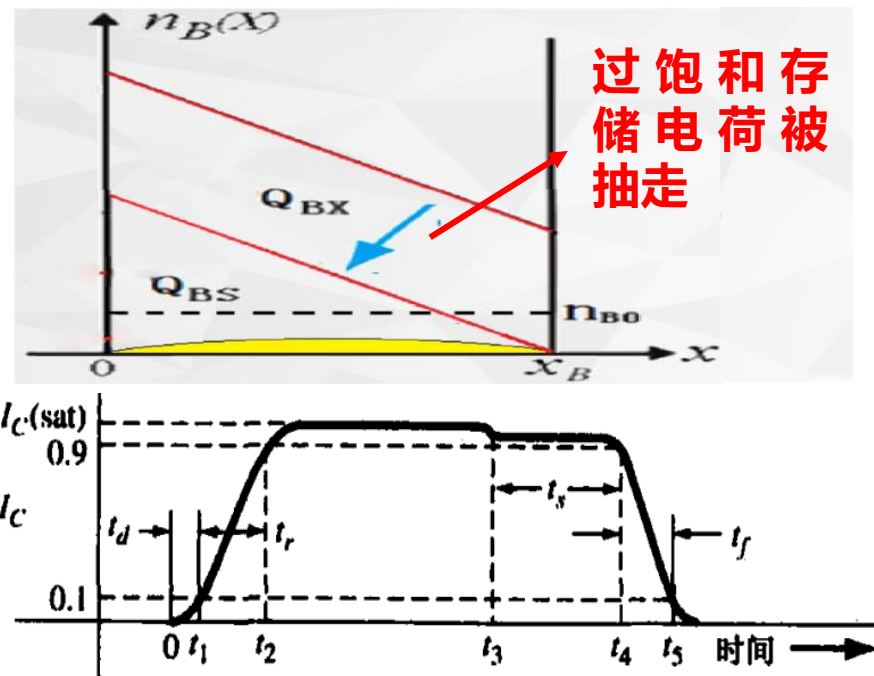
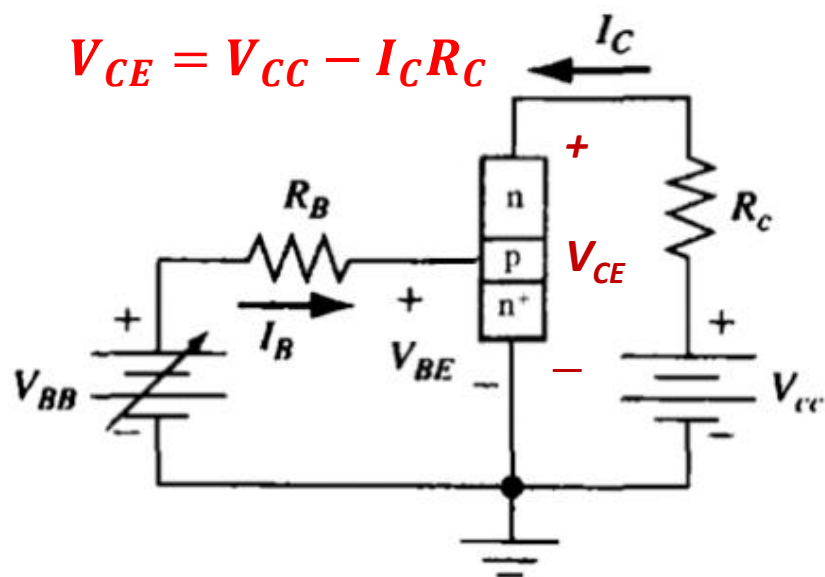
晶体管从饱和态向截止态转变是抽取基区中存储的过量少子电子的过程。



$t = t_3$ 时: V_{BE} 从 V_{BB0} 突变成 $-V_R$, 此时晶体管发射结由正偏变成反偏, 基区内的过饱和存储电荷将被抽取到发射区, 因为基区内的少子电子浓度梯度没有立即发生明显的变化, I_C 从最大值只减小为最大值的90%。

3、开关过程分析

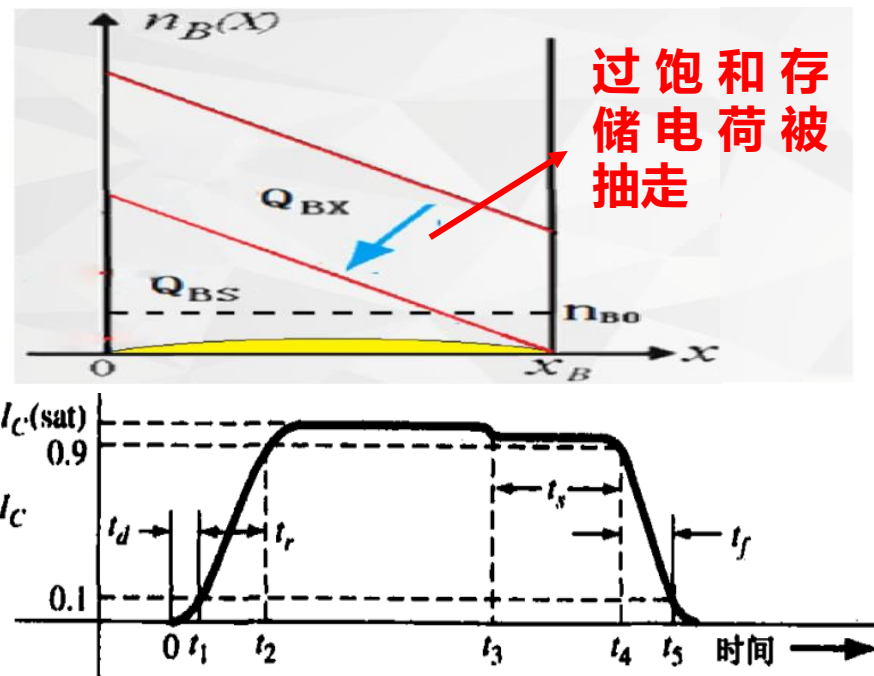
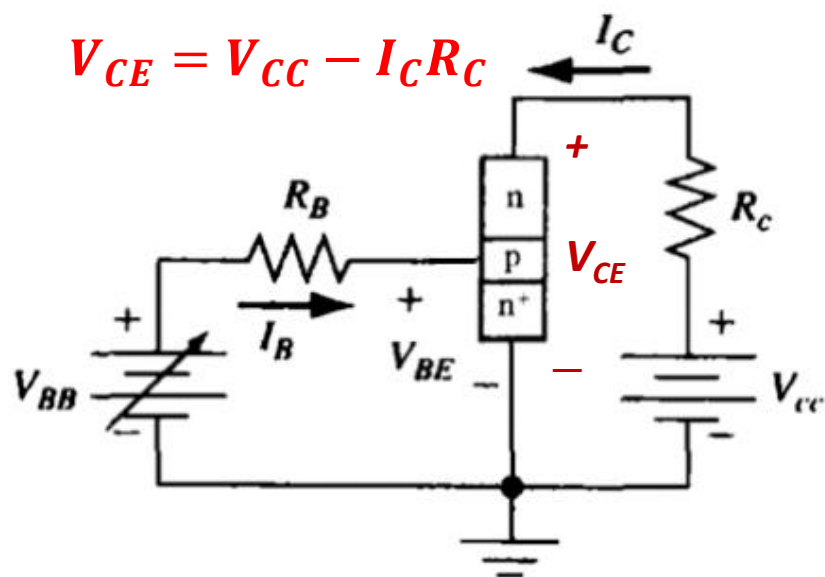
2) 关断过程分析—饱和态向截止态转变



$t_3 < t \leq t_4$: 这段时间发射结反偏，基区内的过饱和存储电荷被继续抽到发射区，基区内的少子电子浓度梯度不变，所以 I_C 基本保持不变，且 I_C 较大， V_{CE} 较小，集电结正偏。直到 $t = t_4$ 时，基区内的过饱和存储电荷被完全抽走， I_C 才开始减小。 $t_3 \sim t_4$ 称为**存储时间**。

3、开关过程分析

2) 关断过程分析—饱和态向截止态转变



$t_4 \leq t \leq t_5$: t_4 之后反射结仍然反偏，基区内的电子继续被抽走，但这时基区内电子浓度梯度较小，使 I_C 减小进而使 V_{CE} 增大， V_{CE} 增大使集电结反偏。直至 t_5 时刻 I_C 减小为最大值的10%， $t_4 \sim t_5$ 称为延迟时间。

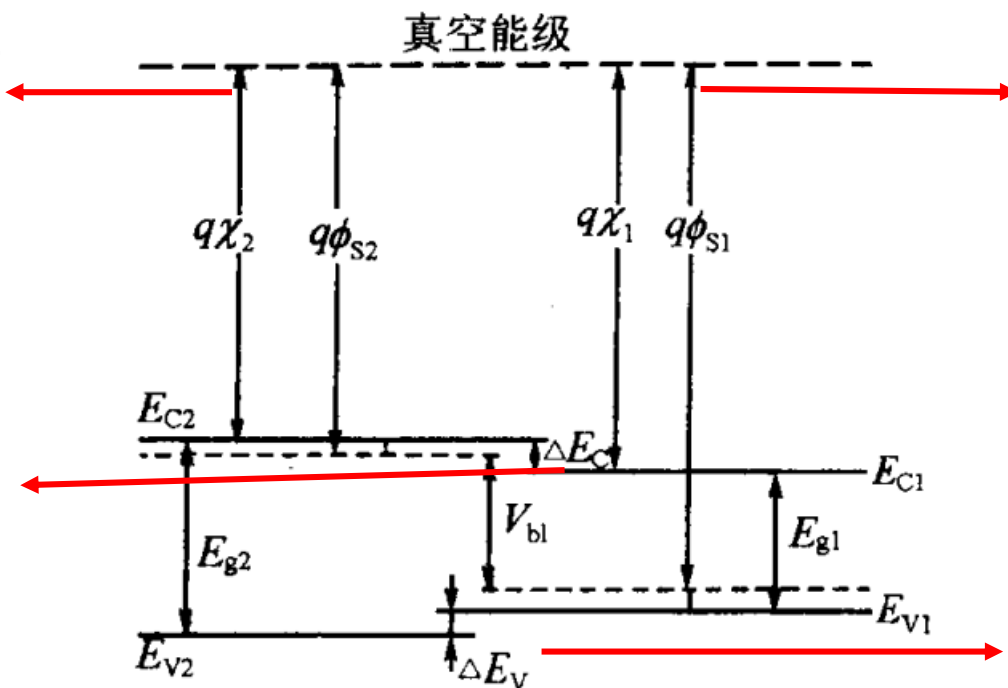
§3.6 异质结晶体管HBT

异质结是两种不同的半导体之间形成的结，例如在p型GaAs上形成n型 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 。 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 是AlAs和GaAs这两种Ⅲ-V族化合物半导体固溶形成的合金， x 是AlAs在合金中的摩尔分数。室温（300K）时，AlAs的禁带宽度是2.15eV，GaAs的禁带宽度是1.42eV，它们固溶形成的二元合金 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 的禁带宽度比GaAs的大。异质结具有许多独有的性质，这些性质是常规半导体同质结所不具备的。异质结已经得到了许多重要的应用，特别是在光电器件和量子效应器件方面。

1、异质结能带图

电子亲和能 $q\chi$ 定义为将一个电子从导带底 E_C 移动到真空能级所需要的能量

ΔE_C 表示两种半导体导带边缘的能量差



功函数 $q\phi_s$ 定义为将一个电子从费米能级 E_F 移动到真空能级所需要的能量

下标“1”“2”分别代表窄禁带半导体和宽禁带半导体的物理量

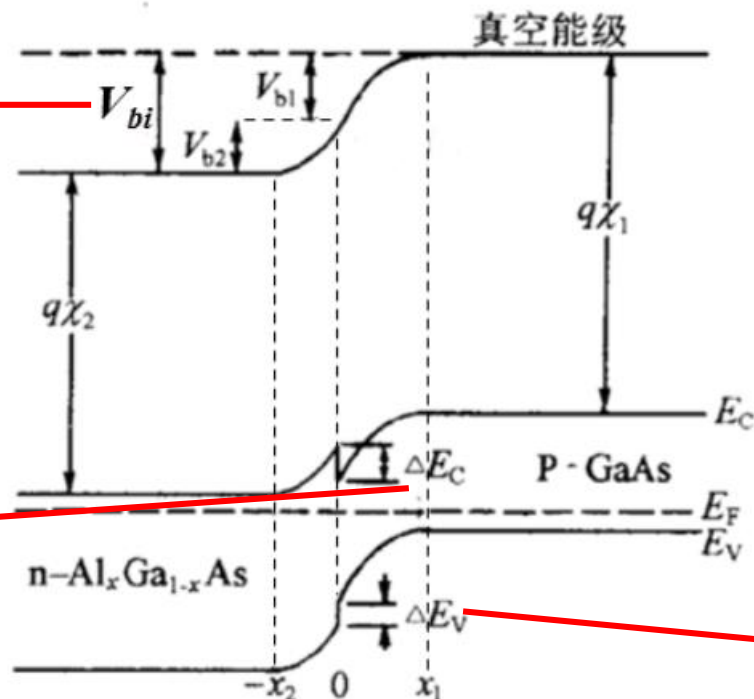
ΔE_V 表示两种半导体价带边缘的能量差

上图表示形成异质结之前分离的两块半导体(n型 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 和p型GaAs)的能带图。这两块半导体有不同的禁带宽度 E_g ，不同的介电常数 ϵ_s ，不同的功函数 $q\phi_s$ 及不同的电子亲和能 $q\chi$ 。

1、异质结能带图

总内建电势 V_{bi} 等于两部分内建电势之和($V_{bi} = V_{b1} + V_{b2}$), V_{b1} 和 V_{b2} 分别是半导体1和半导体2在热平衡时的静电势

ΔE_C 表示两种半导体导带边缘的能量差, 界面处形成尖峰和凹口



下标“1”“2”分别代表窄禁带半导体和宽禁带半导体的物理量

ΔE_V 表示两种半导体价带边缘的能量差, 界面处形成台阶

上图表示这两种半导体形成理想突变异质结在热平衡态下的能带图。能带图的形成要满足两个基本要求：

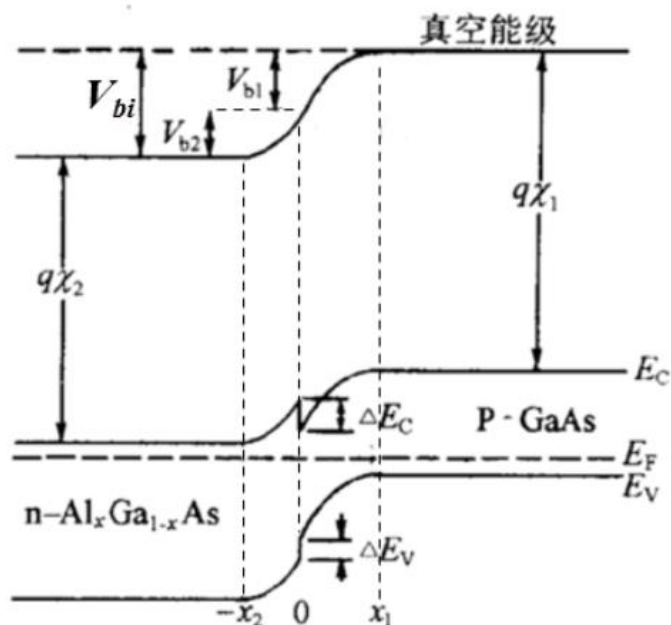
- ◆ 热平衡下界面两边的费米能级必须相同
- ◆ 真空能级必须连续, 且平行于能带边缘

1、异质结能带图

对于理想突变异质结，耗尽区中的电势分布 $\psi(x)$ 满足下面的泊松方程

$$\frac{d^2\psi}{dx^2} = \begin{cases} -\frac{qN_D}{\epsilon_2} & (-x_2 \leq x \leq 0) \\ \frac{qN_A}{\epsilon_1} & (0 \leq x \leq x_1) \end{cases}$$

ϵ_1 ϵ_2 分别表示p型半导体和n型半导体的介电常数， N_A N_D 分别表示p型半导体掺杂浓度和n型半导体掺杂浓度

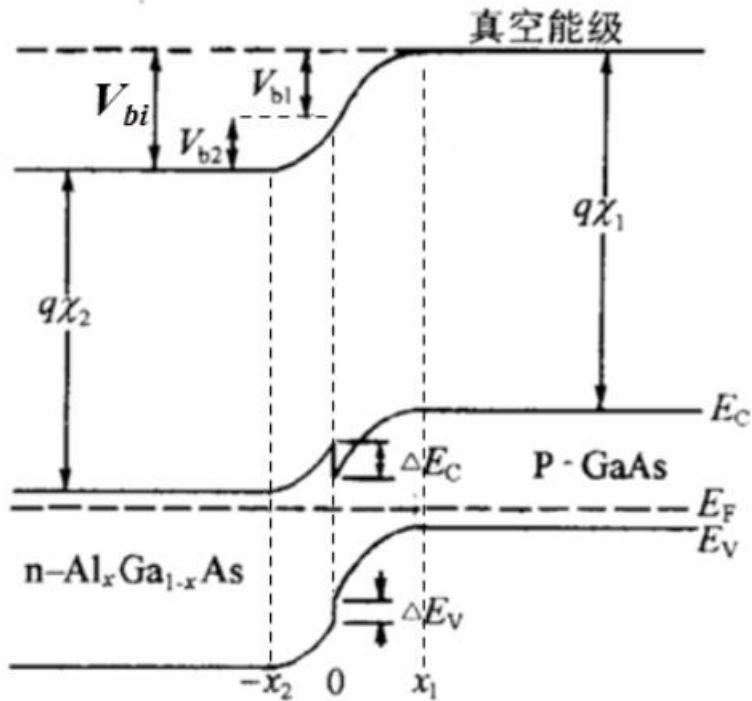


选择 $x=x_1$ 为零电势点， $\psi(x_1) = 0$ ，且 $\psi(-x_2) = V_{bi}$ 。对泊松方程积分两次，边界条件是 $x = -x_2$ 和 $x = x_1$ 处电场是零，可得耗尽区内的电势分布为

$$\psi(x) = \begin{cases} V_{bi} - \frac{qN_D(x + x_2)^2}{2\epsilon_2} & (-x_2 \leq x \leq 0) \\ \frac{qN_A(x + x_1)^2}{2\epsilon_1} & (0 \leq x \leq x_1) \end{cases}$$

1、异质结能带图

利用上面求得的耗尽层电势分布，并根据第2章中的求解，可以知道p型一侧耗尽区宽度 x_1 和n型一侧耗尽区宽度 x_2 分别为

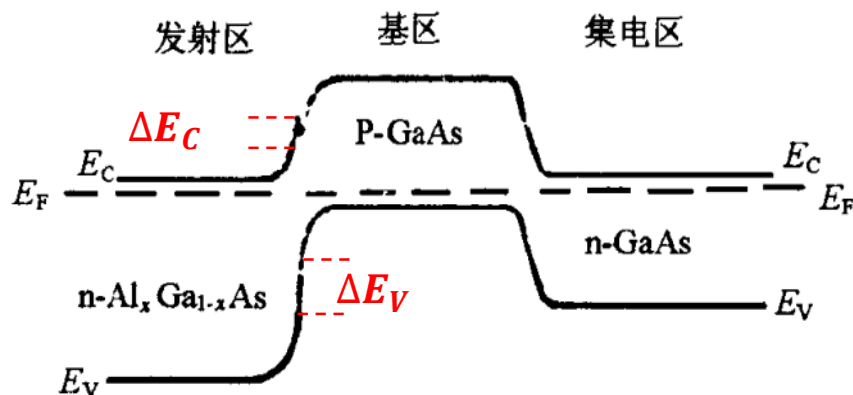


$$x_1 = \left[\frac{2N_D\epsilon_1\epsilon_2(V_{bi} - V)}{qN_A(\epsilon_1N_A + \epsilon_2N_D)} \right]^{1/2}$$

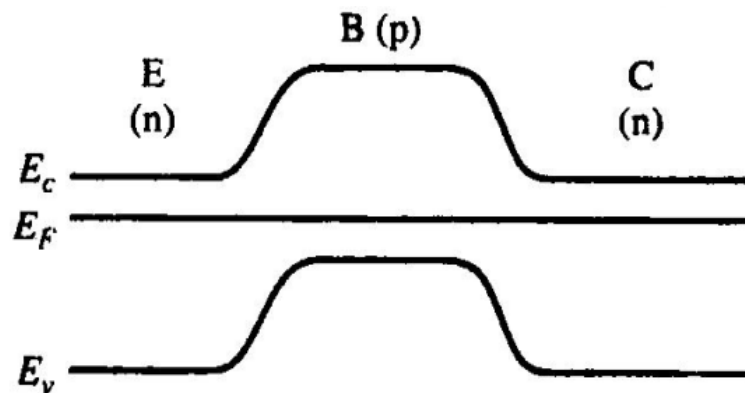
$$x_2 = \left[\frac{2N_A\epsilon_1\epsilon_2(V_{bi} - V)}{qN_D(\epsilon_1N_A + \epsilon_2N_D)} \right]^{1/2}$$

ϵ_1 ϵ_2 分别表示p型半导体和n型半导体的介电常数， N_A N_D 分别表示p型半导体掺杂浓度和n型半导体掺杂浓度

2、HBT电流放大的基本理论



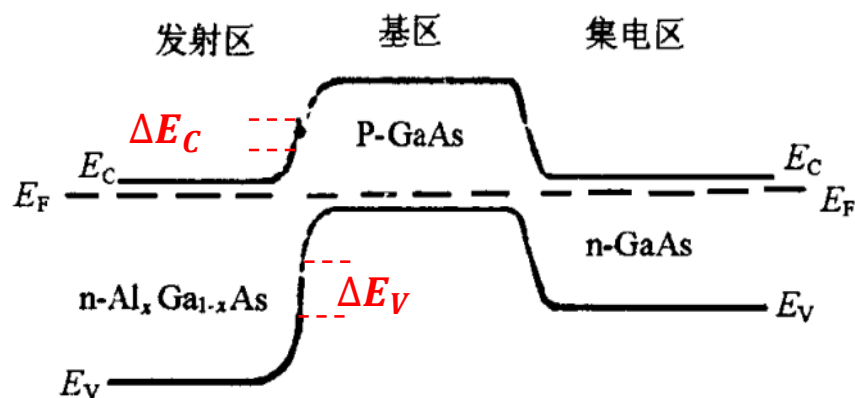
热平衡态下HBT能带图



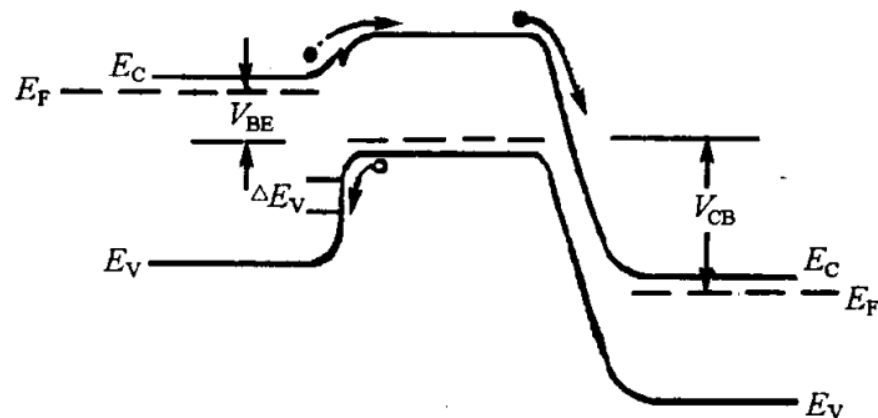
热平衡态下普通BJT能带图

上面两图分别表示热平衡态下HBT和普通BJT的能带图，两者能带形状大体相似，但是HBT三种半导体的禁带宽度不一样，且HBT两种半导体材料界面处的导带会形成能带尖峰和凹口，价带会形成能带台阶。

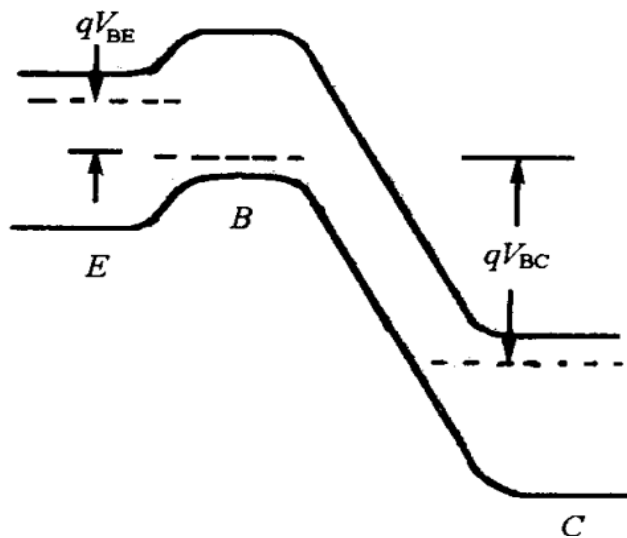
2、HBT电流放大的基本理论



热平衡态下HBT能带图



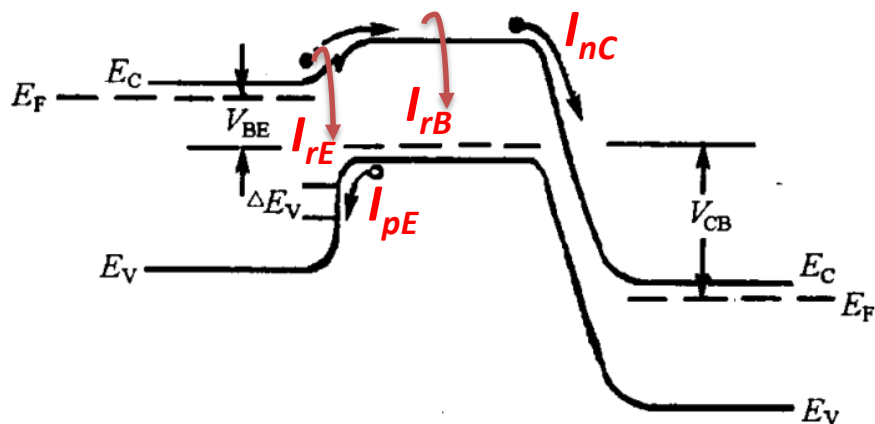
放大状态下HBT能带图



放大状态下普通BJT能带图

放大状态下，同普通BJT一样，HBT的发射结势垒高度会减小，集电结势垒高度会增大，与普通BJT不一样的是，HBT空穴由基区注入发射区时要克服一个附加的台阶 ΔE_V (电子由发射区注入基区时不需要)，这会使得HBT发射结注入比 I_{nE}/I_{pE} 很大。

2、HBT电流放大的基本理论



放大状态下HBT能带图

在放大状态下，HBT的基极电流主要来自：发射结耗尽层内的复合电流 I_{rE} ，基区内的复合电流 I_{rB} ，基区向发射区注入的空穴电流 I_{pE} ；集电极电流主要来自发射结注入并穿过基区的电流 I_{nC} 。于是HBT共发射极电流增益可表示为

$$\beta_0 = \frac{I_C}{I_B} \approx \frac{I_{nC}}{I_{pE} + I_{rB} + I_{rE}} < \beta_{max} = \frac{I_{nC}}{I_{pE}}$$

β_{max} 表示注入比，也是HBT的最大共发射极电流增益。

2、HBT电流放大的基本理论

前面第2节中已经求到理想NPN型BJT的 I_{nE} 和 I_{pE} 可表示为

$$I_{En} = qA \frac{D_n n_{p0}}{W} (e^{qV_{BE}/k_B T} - 1)$$

$$I_{Ep} = qA \frac{D_{pE} p_{e0}}{L_{pE}} (e^{qV_{BE}/k_B T} - 1)$$

n_{p0} :热平衡时基区电子浓度

D_n :基区电子扩散系数

W :基区宽度

D_{pE} :发射区空穴扩散系数

p_{e0} :热平衡时发射区空穴浓度

L_{pE} :发射区空穴扩散长度

上面 I_{nE} 和 I_{pE} 的表达式也适用于HBT, 利用

$$n_{p0} = n_{iB}^2 / N_B \quad p_{e0} = n_{iE}^2 / N_E$$

n_{iB} :基区本征载流子浓度

N_B :基区掺杂浓度

n_{iE} :发射区本征载流子浓度

N_E :发射区掺杂浓度

将 n_{p0} 和 p_{e0} 代入 I_{nE} 和 I_{pE} , 并利用 $\beta_{max} = \frac{I_{nE}}{I_{pE}}$, 所以有

$$\beta_{max} = \frac{D_n}{D_{pE}} \cdot \frac{L_{pE}}{W} \cdot \frac{N_E}{N_B} \cdot \frac{n_{iB}^2}{n_{iE}^2}$$

2、HBT电流放大的基本理论

根据半导体物理的知识有： $n_i^2 = N_C N_V \exp\left(-\frac{E_g}{kT}\right)$

如果忽略不同半导体材料之间的有效态密度 $N_C N_V$ 的差别，有

$$\frac{n_{iB}^2}{n_{iE}^2} = \exp\left(\frac{E_{gE} - E_{gB}}{kT}\right) = \exp\left(\frac{\Delta E_g}{kT}\right)$$

E_{gE} E_{gB} 分别是发射区材料和基区材料的禁带宽度，将上面的式子代入前面一页已经求到的HBT的 β_{max} 的表达式中，有

$$\beta_{max} = \frac{D_n}{D_{pE}} \cdot \frac{L_{pE}}{W} \cdot \frac{N_E}{N_B} e^{\Delta E_g / kT}$$

普通BJT的 $\beta_{max} = \frac{I_{nE}}{I_{pE}} = \frac{D_n}{D_{pE}} \frac{L_{pE}}{W} \frac{n_{p0}}{p_{e0}}$ ，普通BJT存在 $n_{iB} = n_{iE}$

所以对普通BJT： $\beta_{max} = \frac{I_{nE}}{I_{pE}} = \frac{D_n}{D_{pE}} \frac{L_{pE}}{W} \frac{N_E}{N_B}$ $n_{p0} = n_{iB}^2 / N_B$ $p_{e0} = n_{iE}^2 / N_E$

2、HBT电流放大的基本理论

HBT的 β_{max} (HBT)与普通BJT的 β_{max} (BJT)相比可得

$$\frac{\beta_{max}(HBT)}{\beta_{max}(BJT)} = e^{\Delta E_g / kT} \quad \Delta E_g = E_{gE} - E_{gB}$$

从上式可知，宽禁带发射区异质结可以使晶体管的电流增益大幅提高。通常选取 ΔE_g 大于250meV($10kT$)，与普通BJT相比HBT β_{max} 提高 2×10^4 倍。这样选取大的 ΔE_g 时可以使基区高掺杂而不至于降低晶体管的电流增益。普通BJT基区掺杂浓度不能太高，否则将使发射效率减小，从而使电流增益减小。

$$\gamma = \left(1 + \frac{\mu_{pe}}{\mu_{nb}} \frac{N_b}{N_e} \frac{W_b}{L_{pe}}\right)^{-1} \quad \text{基区掺杂浓度 } N_b \text{ 大, } \gamma \text{ 会减小, 进而使 } \alpha_0 \beta_0 \text{ 减小}$$

2、HBT电流放大的基本理论

基区高掺杂将使器件性能大大改善，主要表现在下面几个方面：

- ◆ 基区不容易穿通，从而可以把基区厚度做的很小，从而减小器件尺寸

$$V_{PT} \simeq \frac{q}{2\epsilon_s} \frac{N_B}{N_C} (N_B + N_C) W_B^2$$

N_B 越大，穿通电压 V_{PT} 也越大，设计一定 V_{PT} 的时 N_B 越大基区宽度 W_B 可以越小

- ◆ 基区电阻可以显著降低
- ◆ 基区高掺杂使得大注入时基区电导不会明显改变，从而有效抑制大注入效应

3、几类常见的HBT

AlGaAs/GaAs HBT

这类HBT的发射区采用 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 材料，Al的摩尔分数 x 选择在0.25左右，基区采用 $\text{p}^+\text{-GaAs}$ 材料，典型掺杂浓度 N_A 为 $5 \times 10^{18} \sim 1 \times 10^{20} \text{cm}^{-3}$ ，集电区通常也采用GaAs材料（n型）。这类HBT的一个重要优点是 $\text{Al}_x\text{Ga}_{1-x}\text{As}/\text{GaAs}$ 材料体系可以有良好的晶格匹配，由于AlAs和GaAs的晶格常数十分接近，而且它们热膨胀系数之间的差别也很小，无论怎样选择Al的摩尔分数 x 都能实现晶格匹配。其次，在微波电路中，单片微波集成电路用GaAs材料容易实现。

3、几类常见的HBT

InGaAs HBT

同 InP 晶格匹配的 III-V 族化合物半导体中包括 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ (以下简写为 InGaAs) 和 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ (简写为 InAlAs), InGaAs 的禁带宽度是 0.75eV, InAlAs 的禁带宽度是 1.5eV, 而 InP 的禁带宽度是 1.35eV。用 InGaAs 作为基区而 InP 或 InAlAs 作为发射区构成 HBT, 其主要优点是 InGaAs 中的电子迁移率很高, 对于本征材料其电子迁移率是 GaAs 的 1.6 倍, Si 的 9 倍。

3、几类常见的HBT

Si/Si_{1-x}Ge_x HBT

加入Ge会降低Si的禁带宽度，形成可以用于HBT基区的合金。由于Ge和Si的晶格常数（分别是5.6575Å和5.4310Å）相差超过4%，SiGe合金的晶格常数将和Si的相差很大，不可能实现晶格匹配。但是，如果SiGe合金层的厚度低于临界值，SiGe合金和Si之间可以弹性调节，而不出现晶格失配，这就是所谓的应变层结构。实验表明，SiGe合金层的厚度（基区宽度）超多0.2μm时，基极电流增加，这就是失配所致。SiGe合金中Ge的摩尔分数达到20%，基区和发射区相应的禁带宽度差约为 $8kT$ ，这类的HBT注入效率很高。

BJT(HBT)研究进展

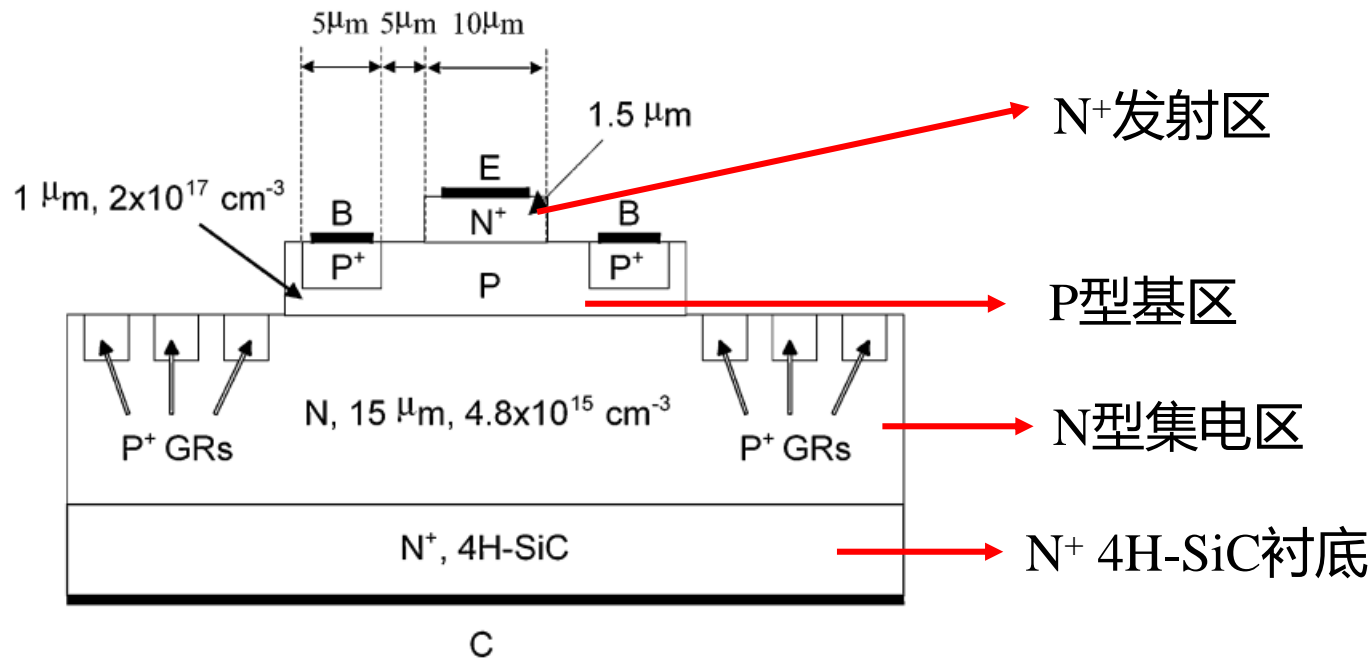
高电流增益4H-SiC BJT之一

1000-V, 30-A 4H-SiC BJTs With High Current Gain

Sumi Krishnaswami, Anant Agarwal, Sei-Hyung Ryu, Craig Capell, James Richmond, John Palmour, Santosh Balachandran, T. Paul Chow, Stephen Bayne, Bruce Geil, Kenneth Jones, and Charles Scozzie

- ◆介绍了具有高直流电流增益的4H-SiC双极结型晶体管 (BJT) 的开发
- ◆ BJT器件的有效面积为 $3 \times 3 \text{ mm}^2$
- ◆对比了25°C下和225°C下器件的共发射极电流增益、集电极电流以及导通阻抗

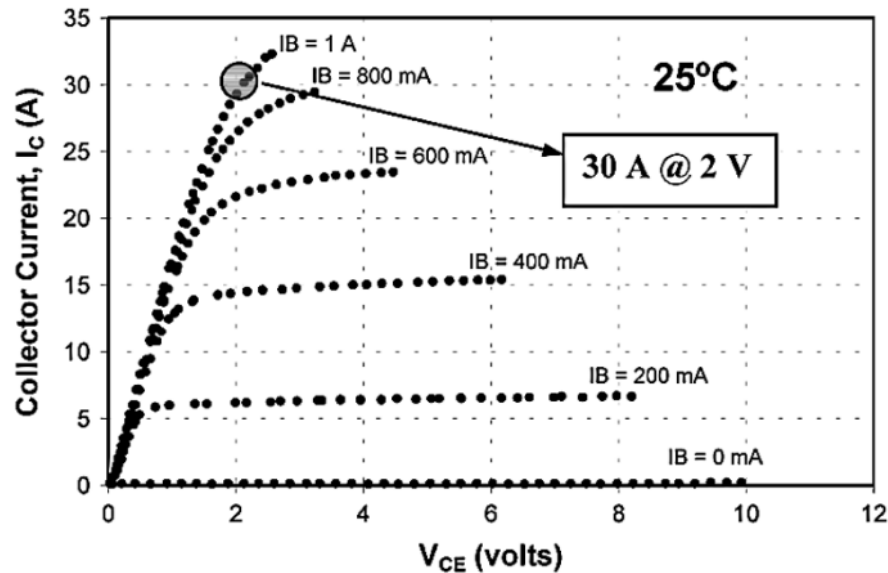
高电流增益4H-SiC BJT之一



器件制备:

- ◆ 在N⁺ 4H-SiC衬底上长一层15 μm厚的N型集电区
- ◆ 在N型集电区上长一层1 μm厚的P型基区
- ◆ 在P型基区上长一层1.5 μm厚的N⁺发射区

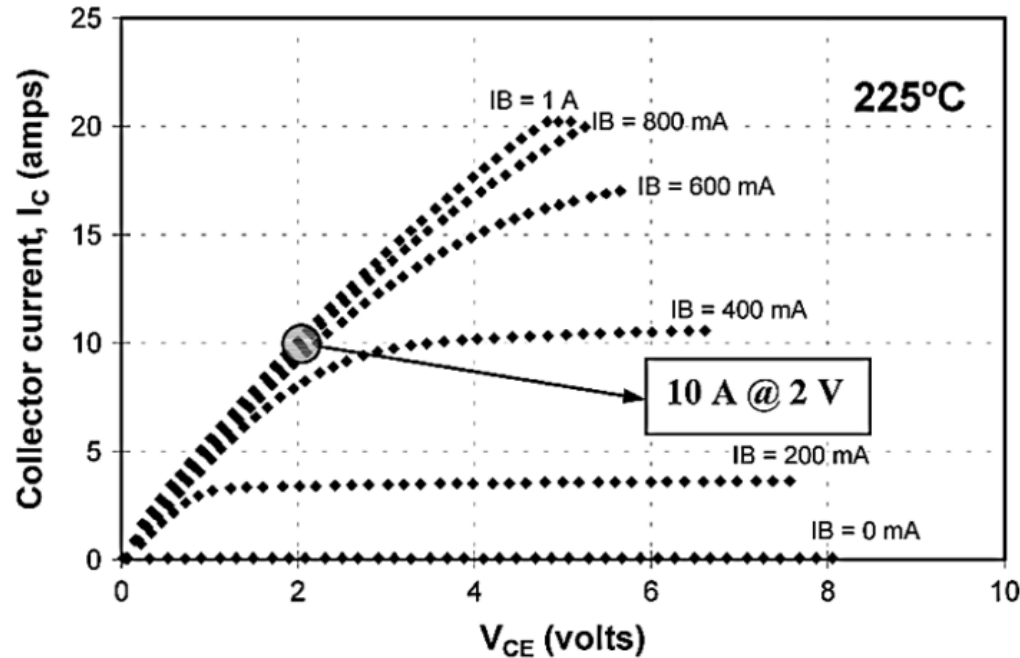
高电流增益4H-SiC BJT之一



25°C下实测的器件 $I_C - V_{CE}$ 曲线:

- ◆ 利用实测曲线放大区的数据计算得到共发射极电流增益 β 大于40，相比其他材料的BJT而言这是一个比较高的值
- ◆ $V_{CE} = 2\text{ V}$, $I_B = 1\text{ A}$ 时, $I_C = 30\text{ A}$, 这是个比较大的值
- ◆ 此外还测得25°C下, 器件的导通阻抗是 $6\text{ m}\Omega \cdot \text{cm}^2$

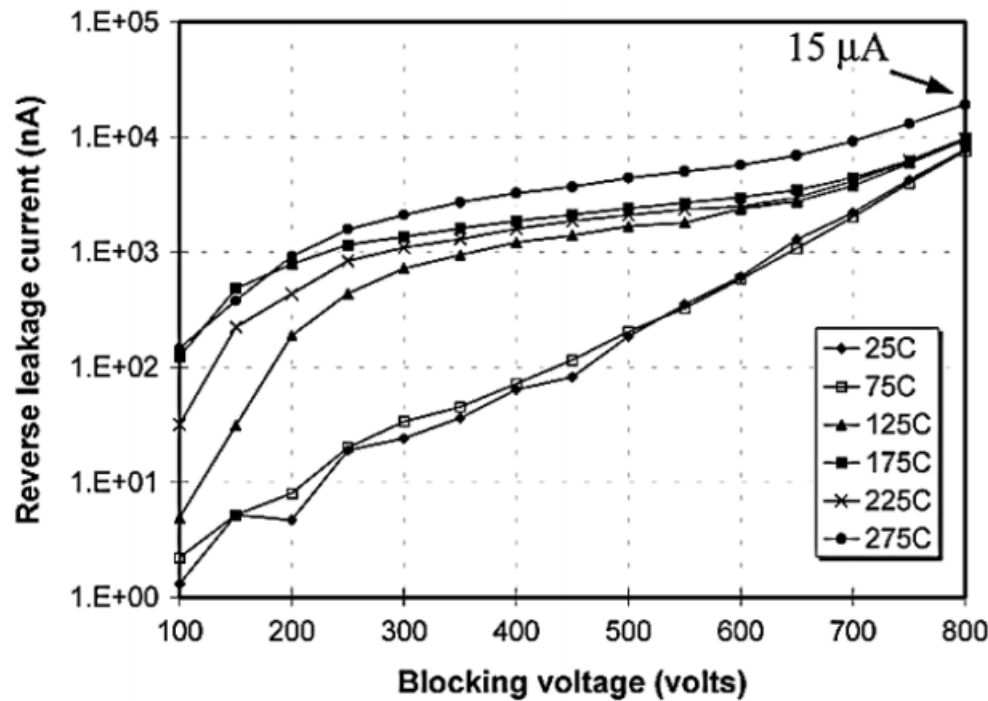
高电流增益4H-SiC BJT之一



225°C下实测的器件 $I_C - V_{CE}$ 曲线:

- ◆ 同样计算得到共发射极电流增益 β 减小为35
- ◆ $V_{CE} = 2$ V, $I_B = 1$ A时, $I_C = 10$ A, 相比于25°C下的减小了20 A
- ◆ 225°C下, 器件的导通阻抗是22 m $\Omega \cdot \text{cm}^2$, 比25°C下的增大了

高电流增益4H-SiC BJT之一



实测的器件漏电流曲线：

器件反向漏电流是温度的函数，漏电流从25°C时的8 nA小幅增加到275°C时的15 nA左右

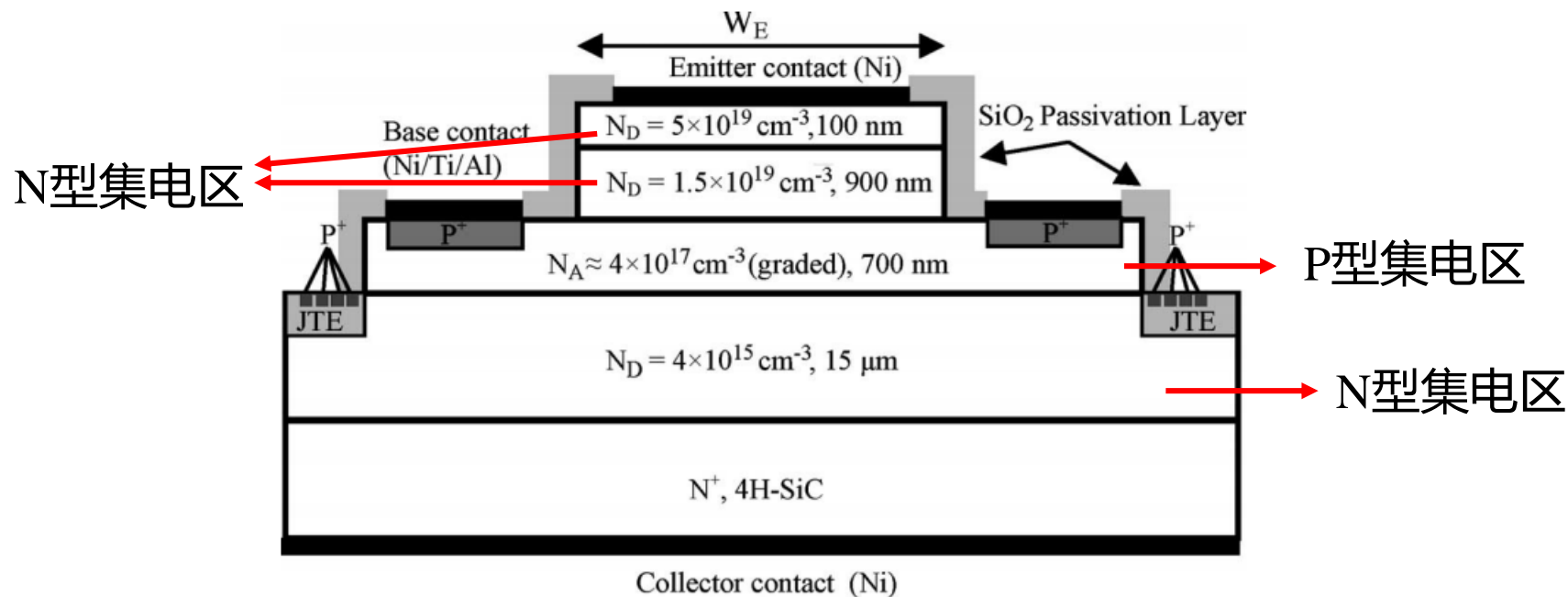
高电流增益4H-SiC BJT之二

1200-V 5.2-m $\Omega \cdot \text{cm}^2$ 4H-SiC BJT With a High Common-Emitter Current Gain

Hyung-Seok Lee, *Student Member, IEEE*, Martin Domeij, Carl-Mikael Zetterling, *Senior Member, IEEE*, Mikael Östling, *Fellow, IEEE*, Fredrik Allerstam, and Einar Ö. Sveinbjörnsson

- ◆制备了4H-SiC衬底上生长4层外延层的BJT
- ◆ BJT器件的有效面积为0.04 mm²
- ◆测量了室温下器件的 $I_C - V_{CE}$ 曲线, 分析了器件的电流增益、导通阻抗以及击穿电压
- ◆分析了两种氧化方法以及发射极尺寸对器件电流增益的影响

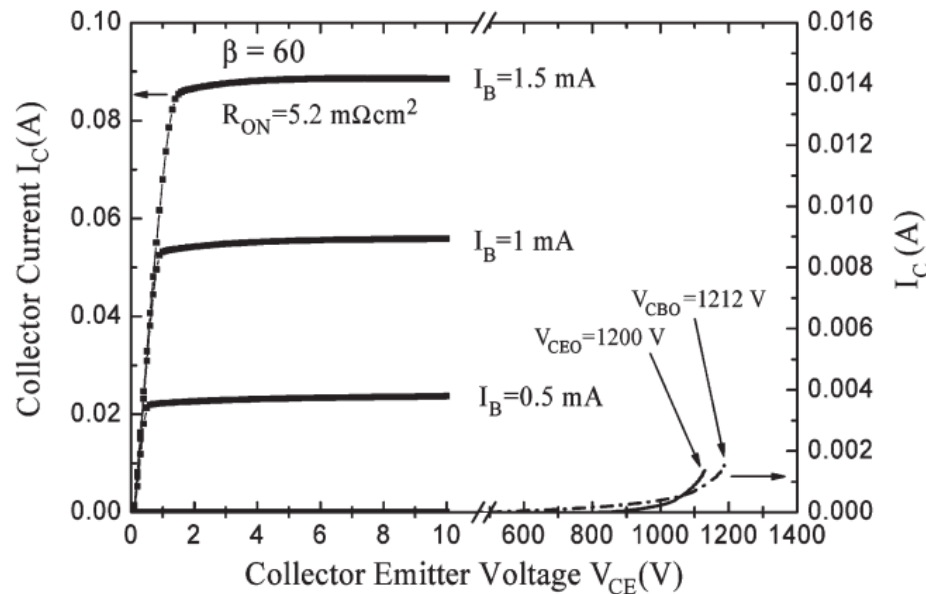
高电流增益4H-SiC BJT之二



器件制备:

- ◆ 在N型4H-SiC上长出四个外延层
- ◆ 掺杂浓度的一层集电区是为了形成低的接触电阻，掺杂浓度低的一层集电区是为了优化发射区注入效率
- ◆ 通过电感耦合等离子体刻蚀SiO₂钝化层形成发射极窗口和基极窗口

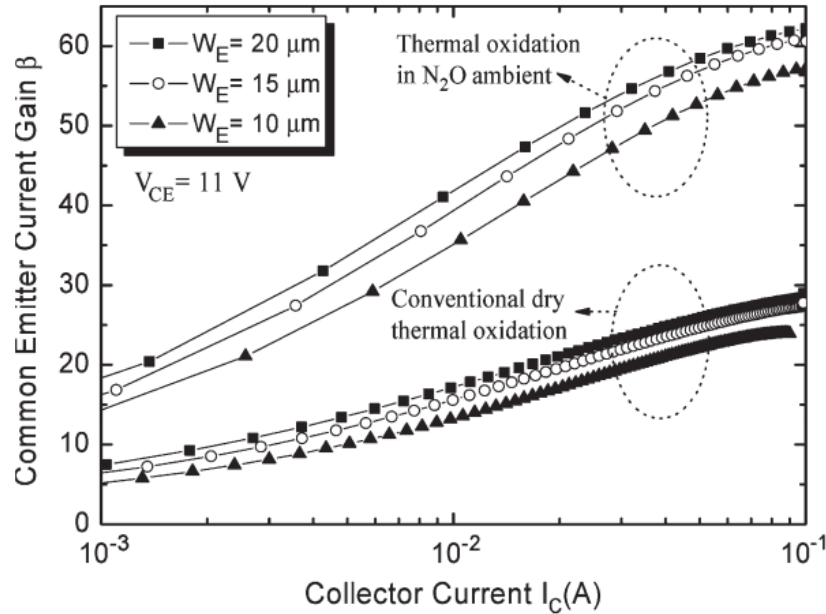
高电流增益4H-SiC BJT之二



室温下的实测 $I_C - V_{CE}$ 曲线:

- ◆ $I_C = 100$ mA, $V_{CE} = 3.6$ V时器件共发射极电流增益是60
- ◆ 基极开路 and 发射极开路的击穿电压分别是1200 V和1212 V
- ◆ 器件的导通电阻是5.2 m Ω ·cm², 如此低的导通电阻是因为电极材料选用了Al, 使得接触电阻低
- ◆ 低导通电阻和高击穿电压能使器件应用于高压场景

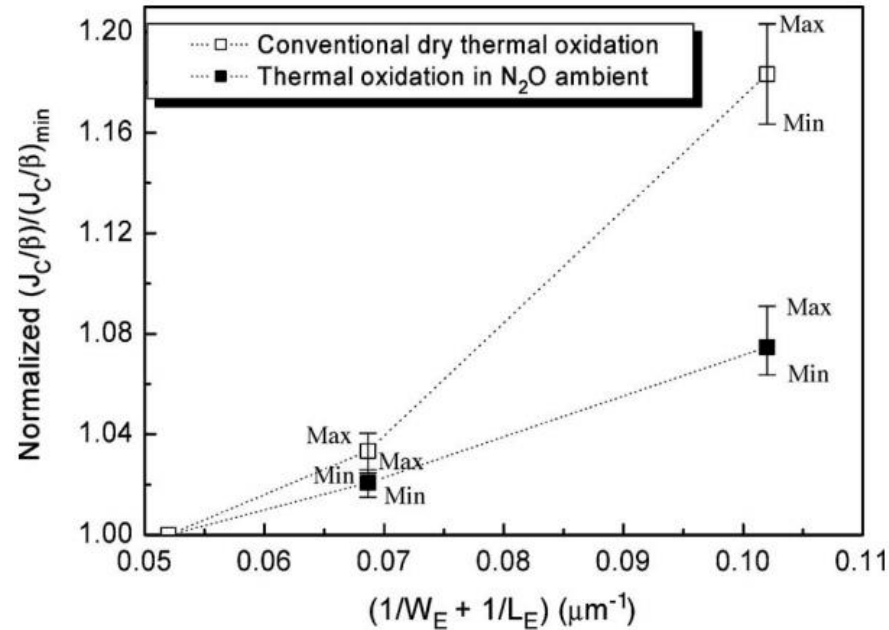
高电流增益4H-SiC BJT之二



不同氧化处理的BJT的 $\beta - I_C$ 曲线:

- ◆ 在 N_2O 气氛下氧化的BJT的最大电流增益是传统干法热氧化处理后的BJT的2倍多
- ◆ 对两种氧化方法而言，发射极宽度越大电流增益均会越大

高电流增益4H-SiC BJT之二



发射极尺寸 W_E 与电流增益 β 间的关系曲线:

- ◆ N_2O 气氛下氧化后BJT的电流增益受发射极尺寸的影响更小
- ◆ 表明优化氧化方法可能会进一步改善BJT的电流增益

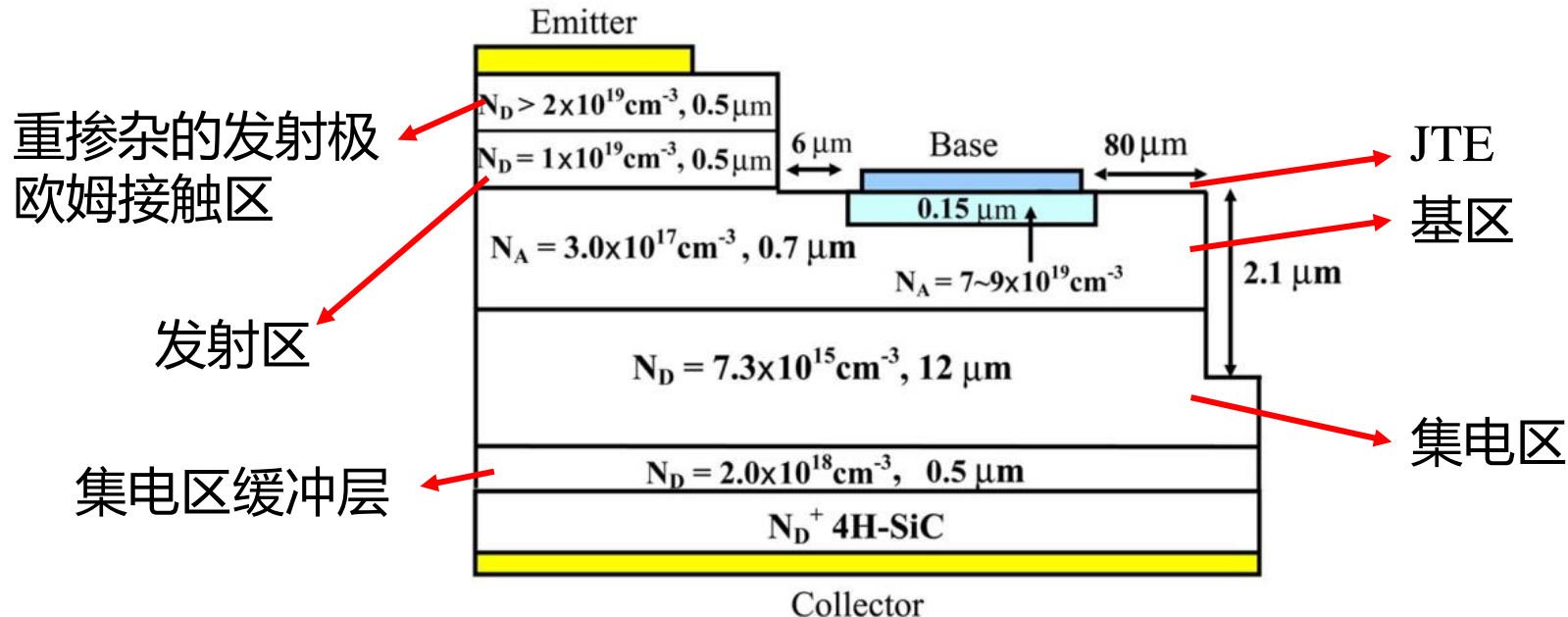
高电流增益4H-SiC BJT之三

Fabrication and Characterization of High-Current-Gain 4H-SiC Bipolar Junction Transistors

Jianhui Zhang, *Member, IEEE*, Xueqing Li, Petre Alexandrov, *Member, IEEE*, Leonid Fursin, Xiaohui Wang, and Jian H. Zhao, *Senior Member, IEEE*

- ◆在相同的4H-SiC衬底上制备了三种不同尺寸的BJT
- ◆测量了器件的 $I_C - V_{CE}$ 曲线以及击穿电压曲线，分析了器件的电流增益、导通阻抗以及击穿电压

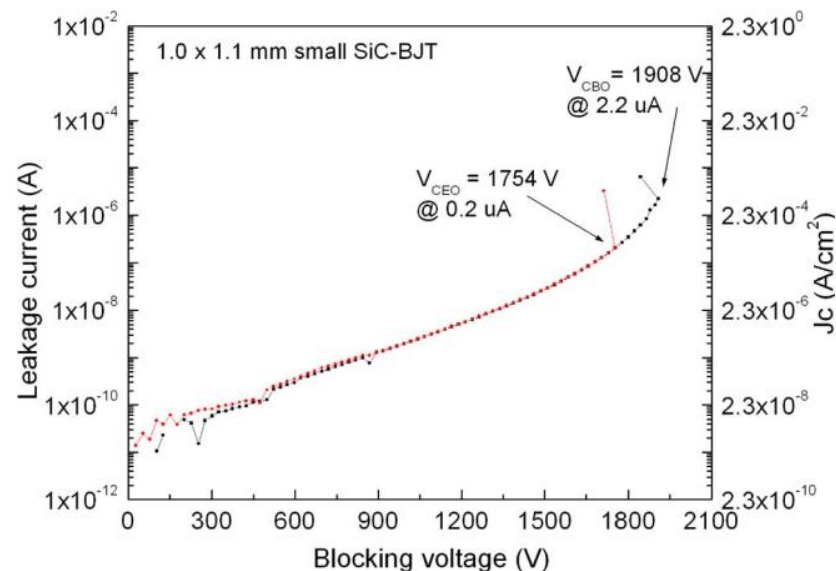
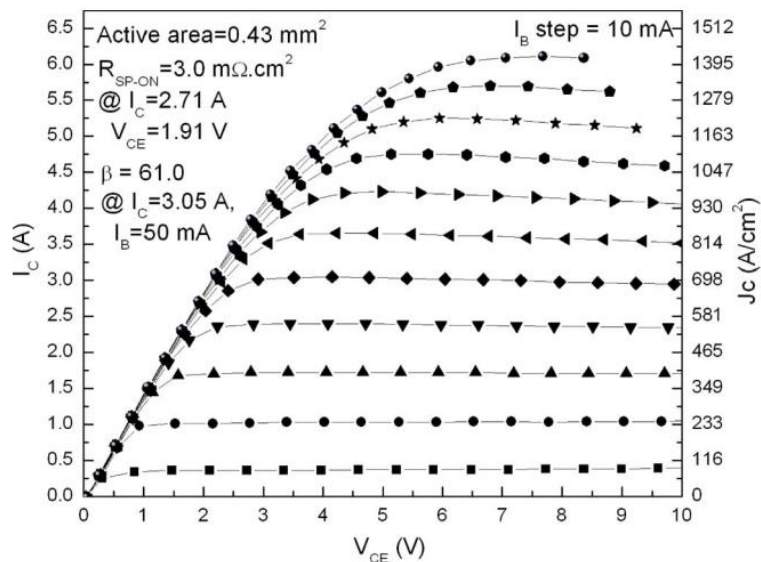
高电流增益4H-SiC BJT之三



器件制备:

- ◆ 在4H-SiC上长了五个外延层
- ◆ 器件有一个边缘终端, 即, $80\mu\text{m}$ 的结终端扩展区(JTE)
- ◆ 用同样的工艺, 在相同的4H-SiC晶片上制备了大中小三种不同尺寸的BJT

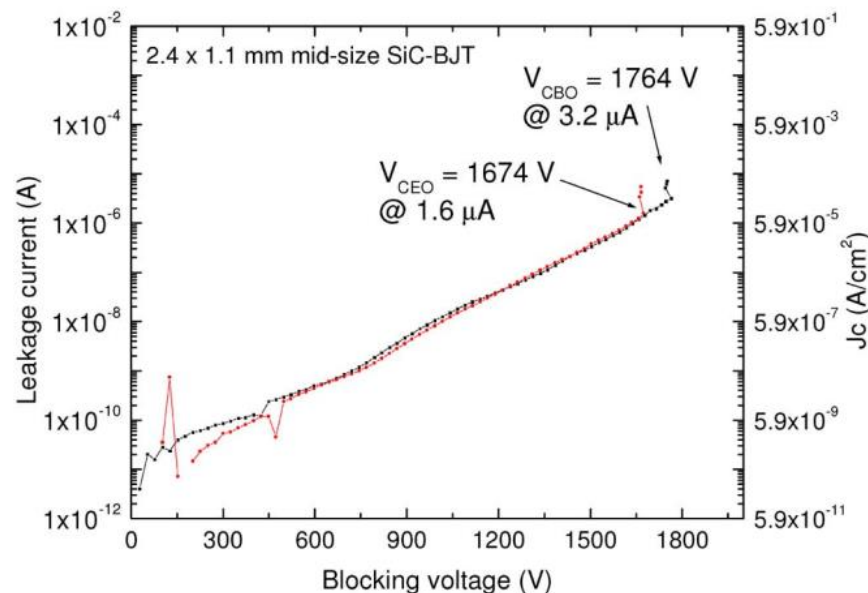
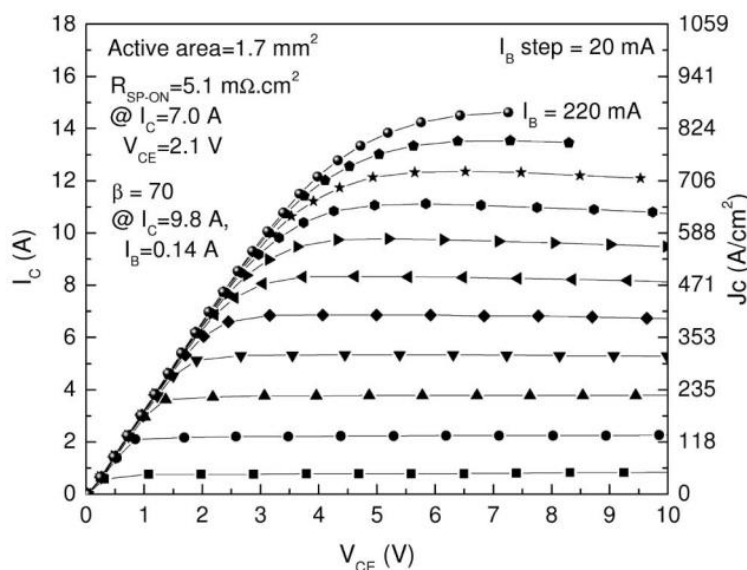
高电流增益4H-SiC BJT之三



小尺寸BJT(0.43mm^2)的实测 $I_C - V_{CE}$ 曲线及击穿电压测试曲线:

- ◆ $I_C = 2.71\text{A}$, $V_{CE} = 1.91\text{V}$ 对应的导通阻抗是 $3.0\text{m}\Omega\cdot\text{cm}^2$
- ◆ $I_C = 3.05\text{A}$, $I_B = 50\text{mA}$ 对应的器件电流增益61.0
- ◆ 器件基极开路的击穿电压 $V_{CEO} = 1754\text{V}$, 此时的漏电流是 $0.2\mu\text{A}$; 发射极开路的击穿电压 $V_{CBO} = 1908\text{V}$, 相应的漏电流是 $2.2\mu\text{A}$

高电流增益4H-SiC BJT之三



中尺寸BJT(1.7mm²)的实测 $I_C - V_{CE}$ 曲线及击穿电压测试曲线:

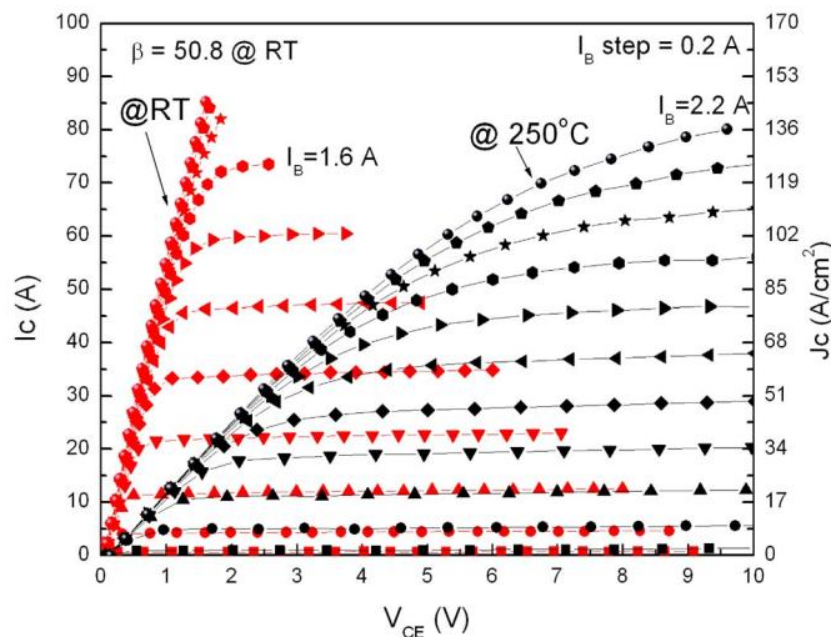
- ◆ $I_C = 7.0 \text{ A}$, $V_{CE} = 2.1 \text{ V}$ 对应的导通阻抗是 $5.1 \text{ m}\Omega \cdot \text{cm}^2$
- ◆ $I_C = 9.8 \text{ A}$, $I_B = 0.14 \text{ A}$ 对应的器件电流增益70
- ◆ 器件基极开路的击穿电压 $V_{CEO} = 1674 \text{ V}$, 此时的漏电流是 $1.6 \mu\text{A}$; 发射极开路的击穿电压 $V_{CBO} = 1764 \text{ V}$, 相应的漏电流是 $3.2 \mu\text{A}$

高电流增益4H-SiC BJT之三



四个大尺寸的BJT(每个大尺寸BJT的有效面积是 14.7mm^2)和四个SiC肖特基势垒二极管封装在一起，对这个封装整体在室温和 250°C 下进行 I - V 曲线测试

高电流增益4H-SiC BJT之三



封装整体在室温和250°C下的实测 $I_C - V_{CE}$ 曲线:

- ◆ 室温下, $I_C = 81.3\text{A}$, $V_{CE} = 1.52\text{V}$ 对应的导通阻抗是 $10.9\text{m}\Omega\cdot\text{cm}^2$, 整体的电流增益是50.8
- ◆ 250°C下, $I_C = 80.1\text{A}$, $V_{CE} = 9.6\text{V}$ 对应的电流增益是36.4, 说明随着温度升高, 封装整体的电流增益减小

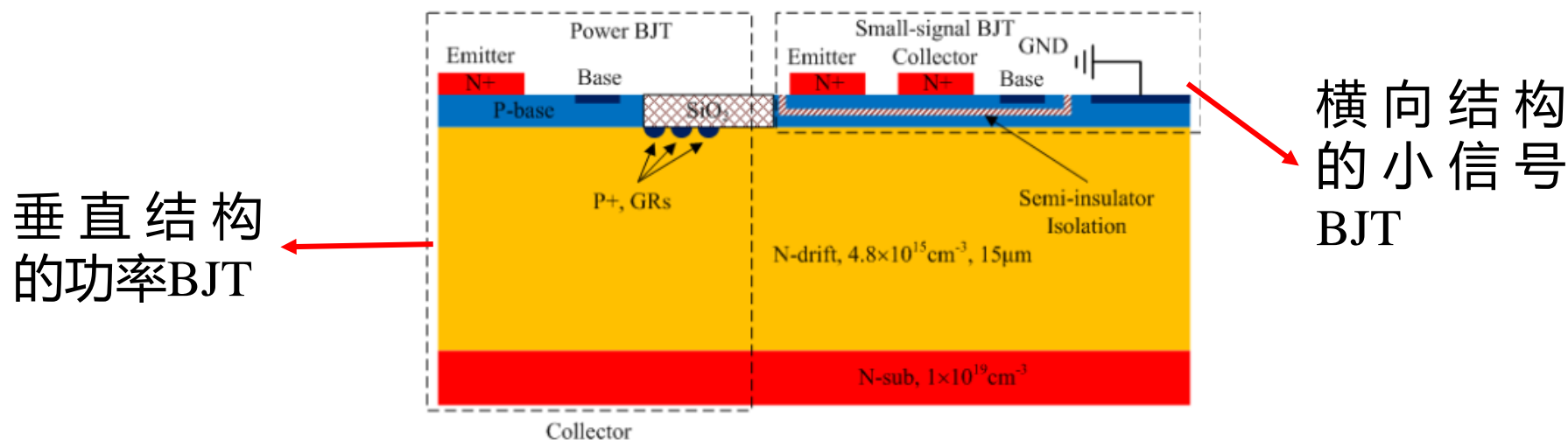
单片集成的功率BJT和小信号BJT

Monolithic Integration of SiC Power BJT and Small-Signal BJTs for Power ICs

Shiwei Liang^{ID}, *Student Member, IEEE*, Jun Wang^{ID}, *Senior Member, IEEE*, Linfeng Deng, Fang Fang, and Z. John Shen, *Fellow, IEEE*

- ◆将功率BJT和小信号BJT集成在同一块4H-SiC衬底上
- ◆测试分析了室温下集成器件中各器件的 $I_C - V_{CE}$ 曲线, 电流增益随 I_C 的变化情况以及击穿电压

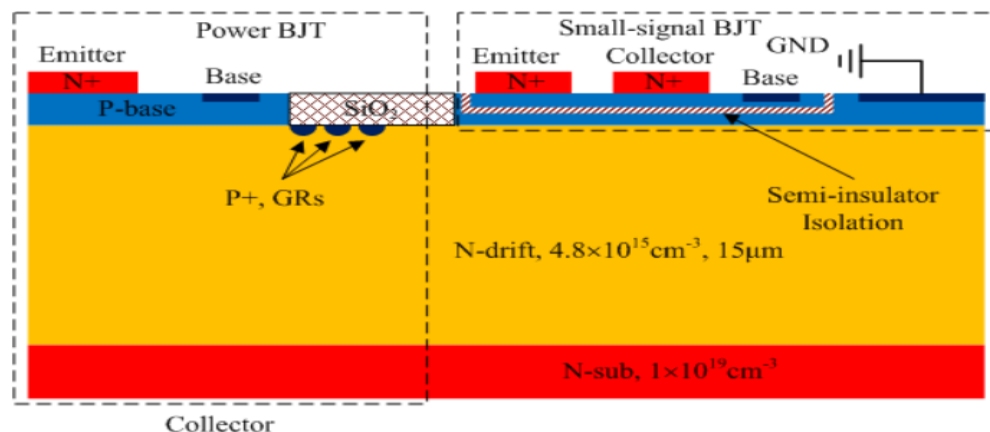
单片集成的SiC功率BJT和小信号BJT



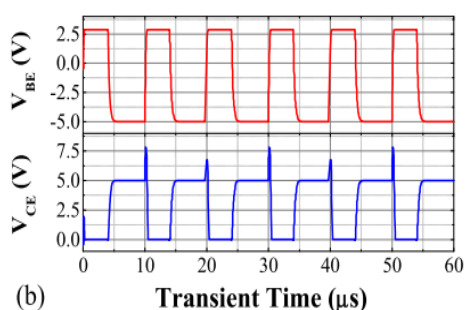
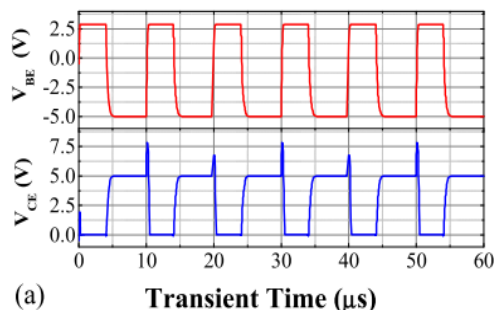
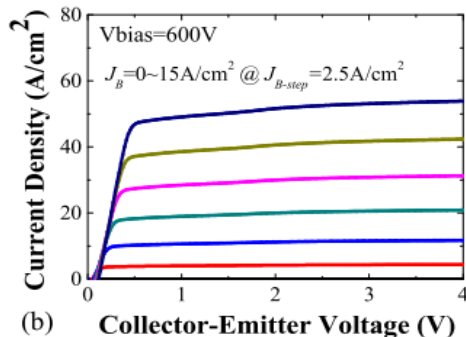
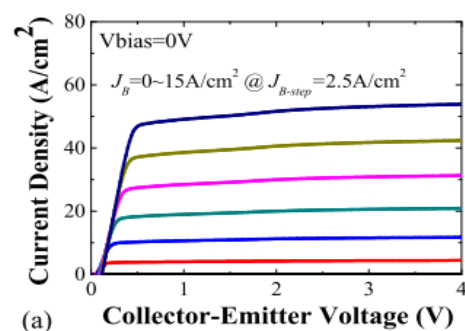
器件制备（功率BJT和小信号BJT集成在一块4H-SiC衬底上）：

- ◆ 垂直结构的功率BJT以N型4H-SiC衬底为集电区，在衬底上长一层N型漂移区，再长一层P型基区，最后长一层N⁺发射区
- ◆ 横向结构的小信号BJT以横向的P型层为基区，发射区和集电区是相同的N⁺层，这样制作发射极和集电极只需一个步骤，
- ◆ 小信号BJT的集电极位于发射极和基极之间，这样可以减小发射极和集电极之间的距离以提高基区传输因子

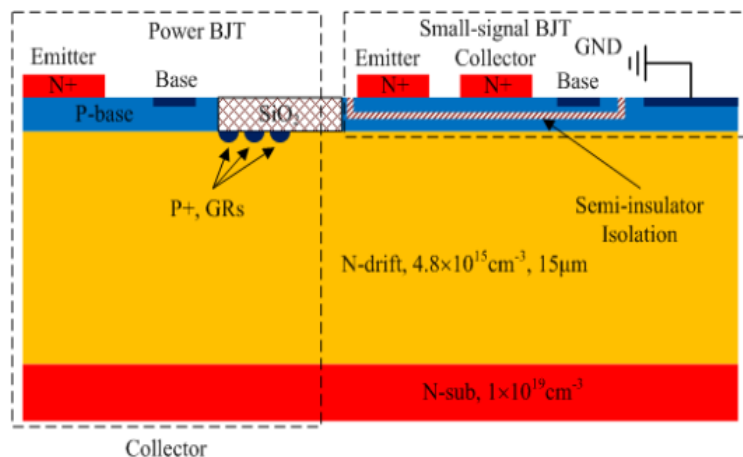
单片集成的SiC功率BJT和小信号BJT



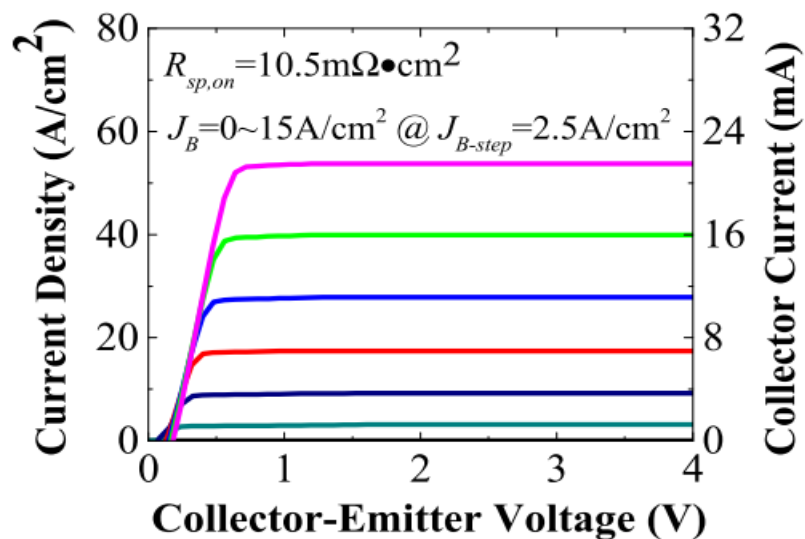
小信号BJT在应用时衬底也会加偏压，左边下面的图是衬底分别加0V和600V偏压时测得的 $I_C - V_{CE}$ 曲线及 V_{BE} V_{CE} 波形。两种偏压下的测试结果表明这种集成工艺下衬底偏压对小信号BJT性能的影响几乎可以忽略



单片集成的SiC功率BJT和小信号BJT



设计的小信号BJT可以用于模拟/逻辑电路以控制、检测和保护功率BJT，这样能提高单片集成器件的性能和稳定性



小信号BJT的实测 $I_C - V_{CE}$ 曲线:

小信号BJT的 $I_C - V_{CE}$ 曲线和常规的BJT的 $I_C - V_{CE}$ 曲线基本一样，证明小信号BJT可以用来作为模拟/逻辑电路的开关元件

单片集成的SiC功率BJT和小信号BJT

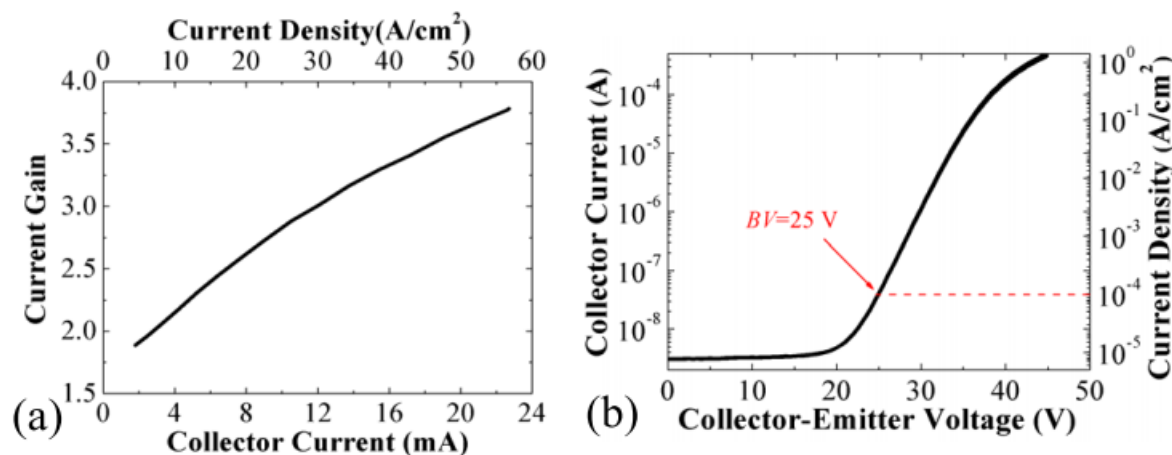
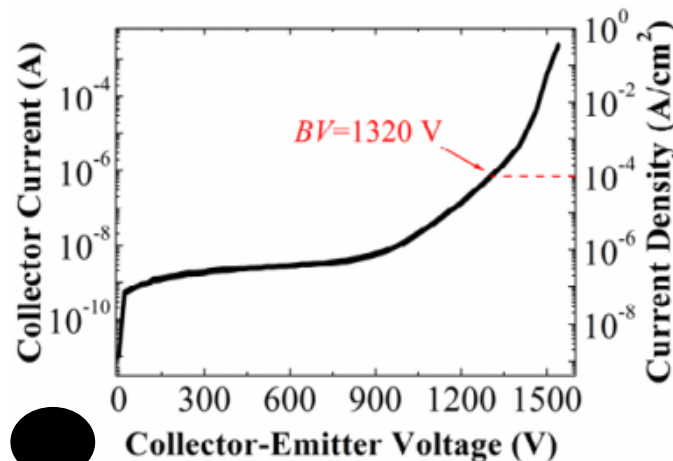
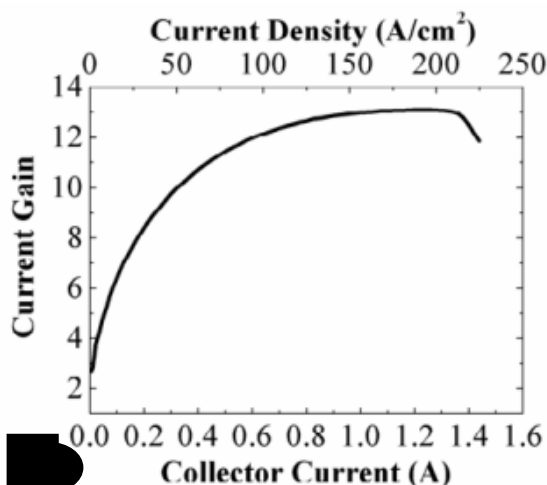


Fig. 11. Lateral SiC BJT's measured (a) current gain as a function of collector current and (b) blocking I - V characteristics.

小信号BJT的实测 $\beta - I_C$ 曲线（左）及击穿电压测试曲线（右）：

- ◆ 共射极电流增益 β 是 I_C 的函数，集电极电流密度为 56.8A/cm^2 时， β 为3.8
- ◆ 击穿电压测试表明这种小信号BJT的击穿电压为25V

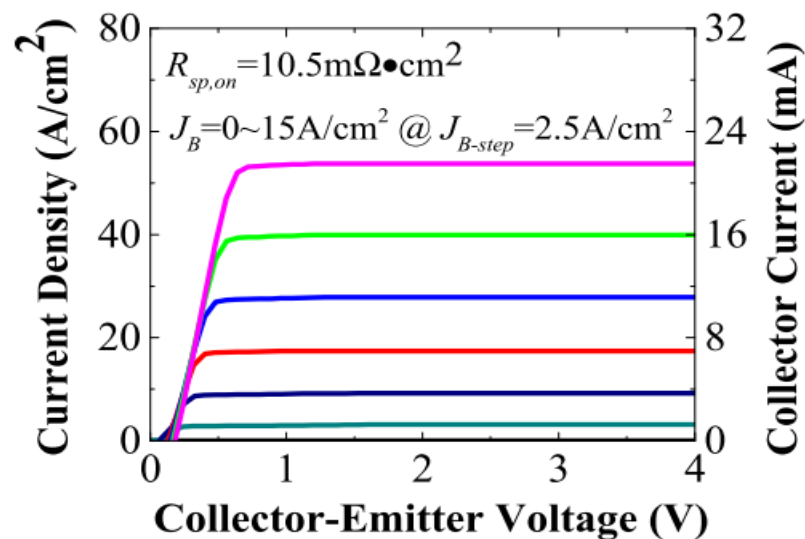
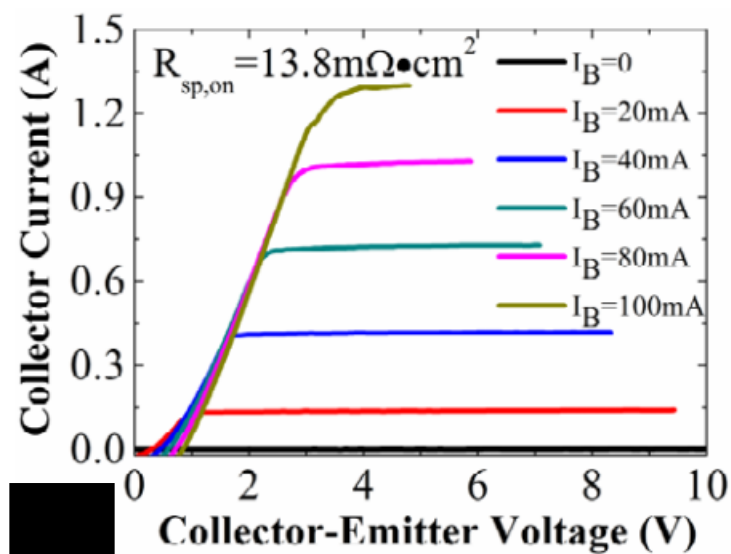
单片集成的SiC功率BJT和小信号BJT



功率BJT的实测 $\beta - I_C$ 曲线（左）及击穿电压测试曲线（右）：

- ◆ 与小信号BJT一样功率BJT的 β 是 I_C 的函数， I_C 为1.25A时电流增益最大，最大值为13.1
- ◆ 功率BJT的击穿电压为1320V远大于小信号BJT的击穿电压（25V）

单片集成的SiC功率BJT和小信号BJT



功率BJT实测 $I_C - V_{CE}$ (左)与小信号BJT实测 $I_C - V_{CE}$ (右)曲线对比:

功率BJT能处理的电流信号远大于小信号BJT所能处理的电流信号

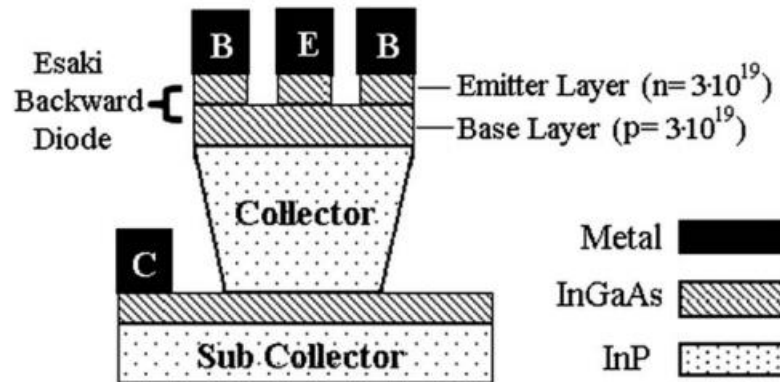
简并掺杂的 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ BJT

A Degenerately Doped $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ Bipolar Junction Transistor

E. Yalon, D. Cohen Elias, A. Gavrilov, S. Cohen, R. Halevy, and D. Ritter

- ◆制备了一个发射区和基区简并掺杂的BJT
- ◆测试并分析了这种BJT电流电压特性以及共发射极电流增益

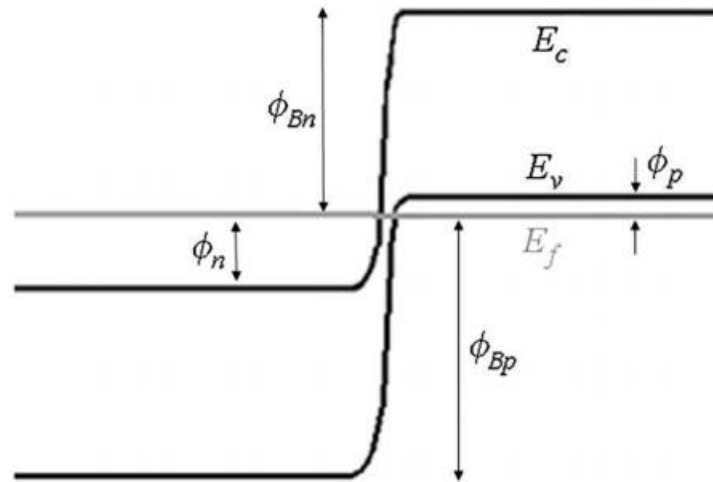
简并掺杂的 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ BJT



器件结构:

- ◆ 100nm厚的InP作为衬底，20nm厚的InGaAs是集电极与集电区之间的接触层，集电区是未掺杂的70nm厚的InP，基区是掺杂了C的 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ (25nm)，发射区是掺杂了Si的 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ (20nm)
- ◆ 基区和发射区是简并掺杂的同质结，基极和集电极是同时在发射区上沉积而成的

简并掺杂的 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ BJT

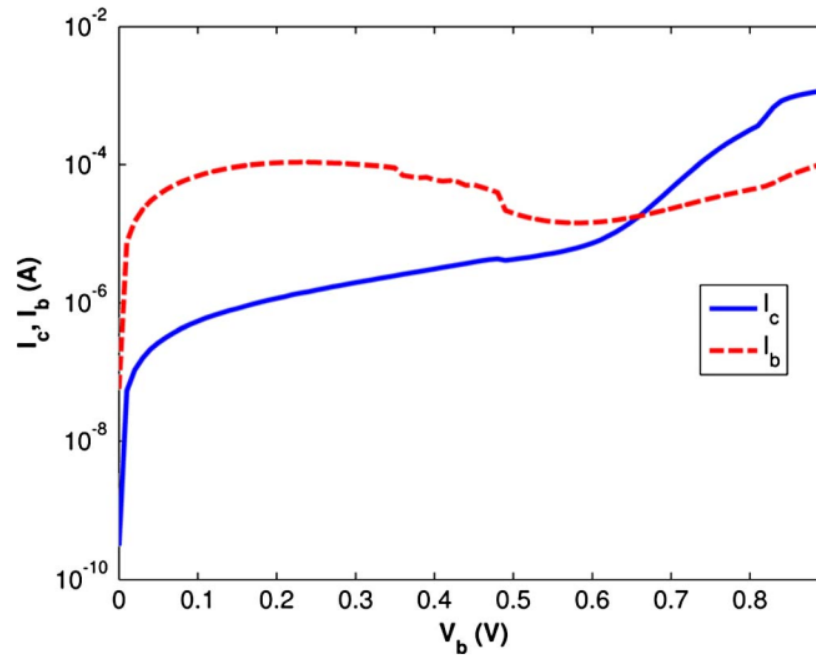


简并掺杂的同质结能带图：

- ◆ 简并掺杂会提高BJT的发射效率，因为简并掺杂后使发射区和基区的导带的态密度不对称，两者的价带的态密度也会不对称
- ◆ 简并掺杂的BJT的最大共射极电流增益遵循下面的公式

$$\beta_{\max} \sim \frac{N_E}{N_B} \frac{v_{nB}}{v_{pE}} \exp \left(\frac{\phi_{Bp} - \phi_{Bn}}{k_B T} \right)$$

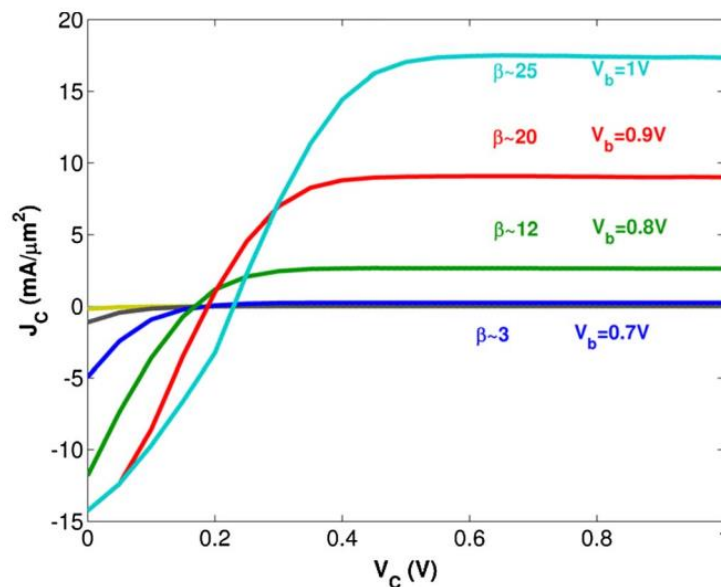
简并掺杂的 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ BJT



共发射极接法实测的 I_c 、 I_b 与 V_b 的关系：

- ◆ 简并掺杂的BJT在放大状态下 I_c 随基极电压变化的幅度比较大，而 I_b 基本上保持不变

简并掺杂的 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ BJT



共发射极接法实测的集电极电流密度与集电极电压的关系：

- ◆ 测量选取 V_b 为一系列固定值，因为放大区要满足 $V_c > V_b$ ，所以图中 J_c 恒定区域不完全是放大区，即，这种简并掺杂的BJT和常规BJT有较大的差别
- ◆ 最大的电流增益是25，对于简并掺杂的BJT而言，这个增益值较为理想

低开启电压和高电流的双异质结BJT

Low Turn-On Voltage and High-Current InP/In_{0.37}Ga_{0.63}As_{0.89}Sb_{0.11}/In_{0.53}Ga_{0.47}As Double Heterojunction Bipolar Transistors

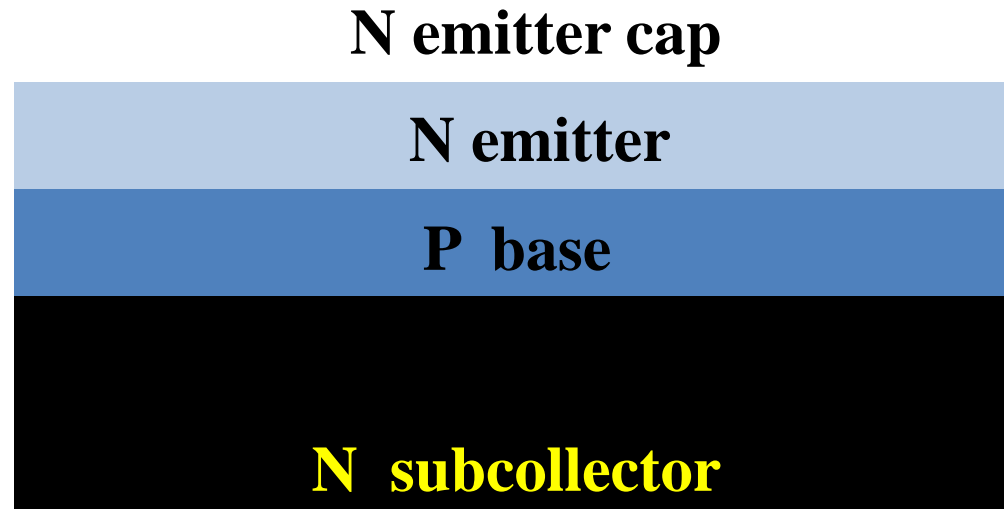
Shu-Han Chen, *Student Member, IEEE*, Kuo-Hung Teng, Hsin-Yuan Chen,
Sheng-Yu Wang, and Jen-Inn Chyi, *Senior Member, IEEE*

- ◆制备了一个发射结集电结都是异质结的双异质结BJT(DHBT)
- ◆从能带角度分析了DHBT基极电流和集电极电流接近理想的原因
- ◆比较了DHBT和SHBT（单异质结BJT）的截止频率

Shu-Han Chen, et al. Low Turn-On Voltage and High-Current InP/In_{0.37}Ga_{0.63}As_{0.89}Sb_{0.11}/In_{0.53}Ga_{0.47}As Double Heterojunction Bipolar Transistors.

IEEE ELECTRON DEVICE LETTERS, VOL. 29, NO. 7, JULY 2008.

低开启电压和高电流的双异质结BJT



器件制备:

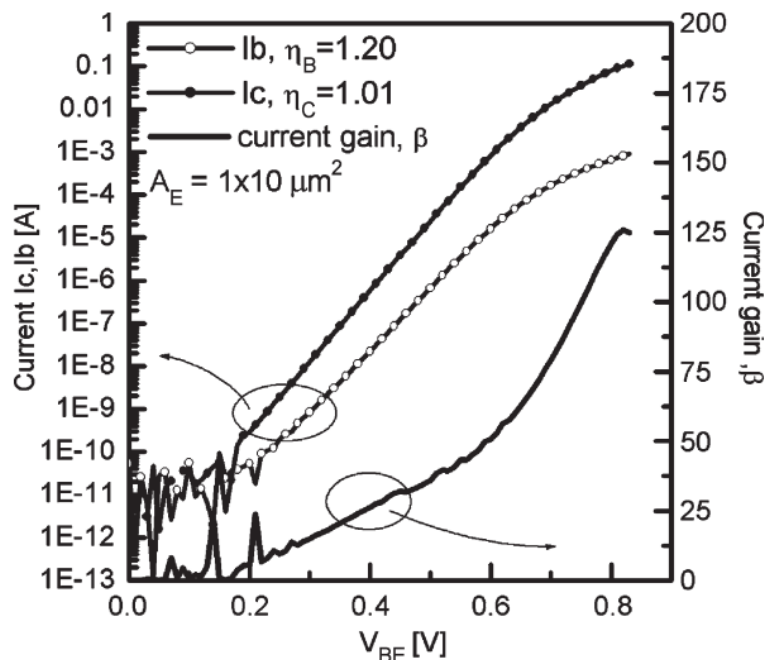
- ◆ 集电区衬底和集电区都是N型的 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ ，厚度分别为400nm和150nm
- ◆ 基区是P型的 $\text{In}_{0.37}\text{Ga}_{0.63}\text{As}_{0.89}\text{Sb}_{0.11}$ ，厚度为42nm
- ◆ 发射区为N型的InP，厚度为50nm
- ◆ 三个区的材料各不相同，集电结和发射结都是异质结

Shu-Han Chen, et al. Low Turn-On Voltage and High-Current InP/In_{0.37}Ga_{0.63}As_{0.89}Sb_{0.11}/In_{0.53}Ga_{0.47}As Double Heterojunction Bipolar Transistors.

IEEE ELECTRON DEVICE LETTERS, VOL. 29, NO. 7, JULY 2008.

低开启电压和高电流的双异质结BJT

当集电极电流密度为 $1\text{A}/\text{cm}^2$ 时，对应的 V_{BE} 为器件开启电压



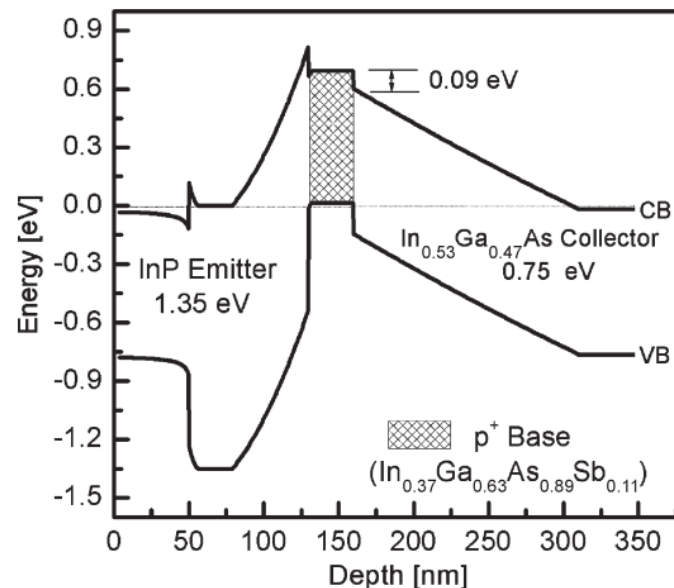
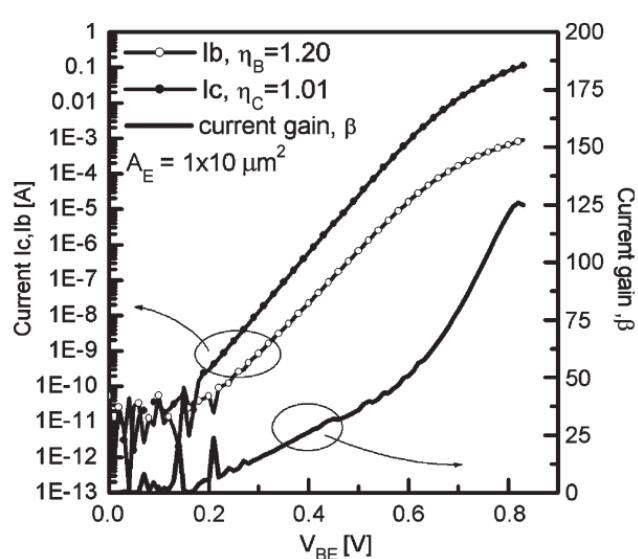
共发射极接法实测的 I_c , I_b 及电流增益 β 与 V_{BE} 的关系:

- ◆ 从 I_c , I_b 与 V_{BE} 的关系得到双异质结BJT的开启电压约为 0.35V ($\text{InP}/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 单异质结BJT开启电压为 0.5V)
- ◆ 这种双异质结BJT的最大电流增益为125，此时集电极电流密度为 $1020\text{kA}/\text{cm}^2$

Shu-Han Chen, et al. Low Turn-On Voltage and High-Current $\text{InP}/\text{In}_{0.37}\text{Ga}_{0.63}\text{As}_{0.89}\text{Sb}_{0.11}/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ Double Heterojunction Bipolar Transistors.

IEEE ELECTRON DEVICE LETTERS, VOL. 29, NO. 7, JULY 2008.

低开启电压和高电流的双异质结BJT



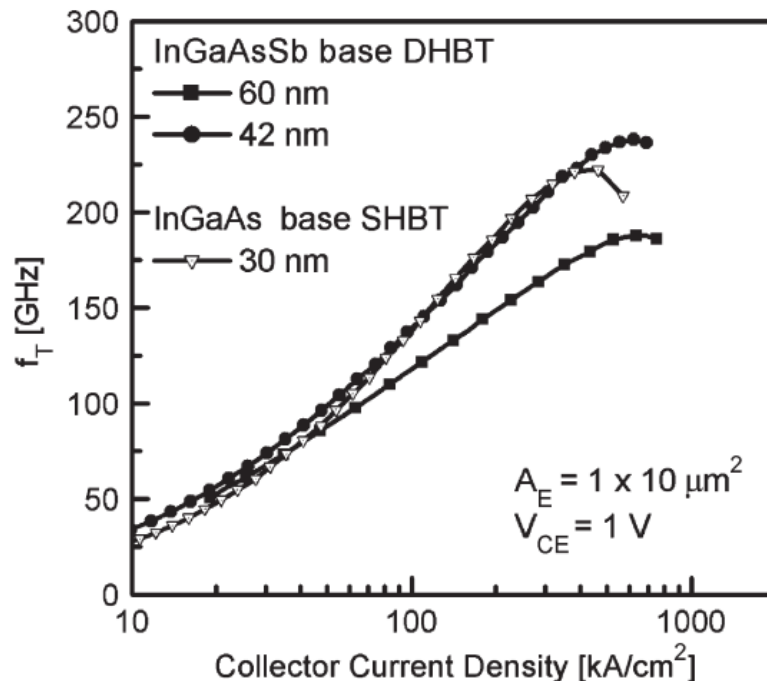
I_b, I_c 理想因子 η_b, η_c 很小（接近理想情况）：

- ◆ $\eta_b = 1.20$ ，说明发射结复合电流被有效抑制了，原因之一是上面右图显示的基区价带比较高，发射结势垒比较陡
- ◆ $\eta_c = 1.01$ ，说明发射区向基区注入电子的注入效率很理想，原因是发射结导带的势垒高度相对价带的低很多

Shu-Han Chen, et al. Low Turn-On Voltage and High-Current InP/ $In_{0.37}Ga_{0.63}As_{0.89}Sb_{0.11}$ / $In_{0.53}Ga_{0.47}As$ Double Heterojunction Bipolar Transistors.

IEEE ELECTRON DEVICE LETTERS, VOL. 29, NO. 7, JULY 2008.

低开启电压和高电流的双异质结BJT



双异质结BJT(DHBT)和单异质结BJT(SHBT)截止频率 f_T 比较:

- ◆ 对同样材料的DHBT, 基区越宽, 同一 I_C 水平下 f_T 越小
- ◆ 集电极电流密度为 621 kA/cm^2 时, 基区宽度为 42 nm 的DHBT的 f_T 达到最大(238 GHz)
- ◆ 集电极电流密度为 463 kA/cm^2 , SHBT的 f_T 最大(222 GHz)

Shu-Han Chen, et al. Low Turn-On Voltage and High-Current InP/In_{0.37}Ga_{0.63}As_{0.89}Sb_{0.11}/In_{0.53}Ga_{0.47}As Double Heterojunction Bipolar Transistors.

IEEE ELECTRON DEVICE LETTERS, VOL. 29, NO. 7, JULY 2008.