



数字集成电路设计

第二次习题课

——第六章、第十章、第十三章

本章你需要掌握的知识有：

- 互连线的 π 模型及其延时计算（重点）
- 中继器设计

互连线的 π 模型：

- 薄层电阻的概念（右图）
- 电阻计算（下图）

例：计算65-nm工艺厚0.22 μm 的铜线薄层电阻。如果导线宽0.125 μm ，长1 mm，求出其总电阻。忽略阻挡层和凹陷效应。

解：薄层电阻为

$$R_{\square} = \frac{2.2 \times 10^{-8} \Omega \cdot \text{m}}{0.22 \times 10^{-6} \text{ m}} = 0.10 \Omega/\square$$

总电阻为

$$R = (0.10 \Omega/\square) \frac{1000 \mu\text{m}}{0.125 \mu\text{m}} = 800 \Omega$$

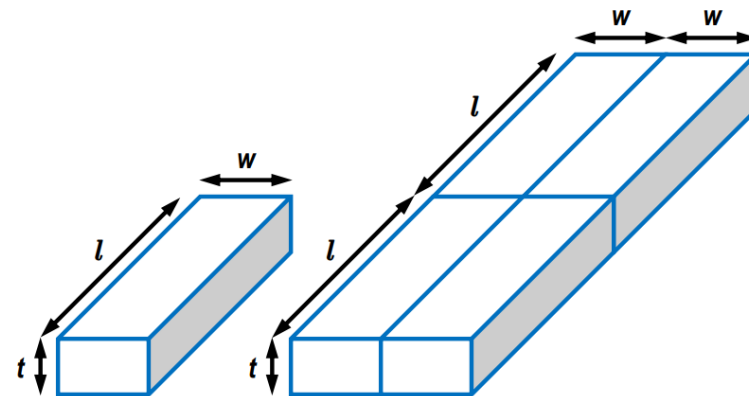
电阻的计算

- 均匀平板导电材料的电阻为

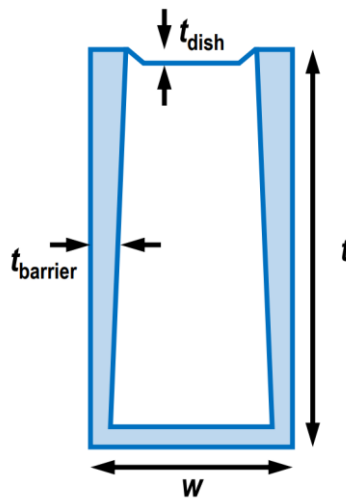
$$R = \frac{\rho}{t} \frac{l}{w} = R_{\square} \frac{l}{w}$$

- 电阻率 ρ
- 薄层电阻 (Sheet Resistance)

$$R_{\square} = \rho/t; \text{ unit: } \Omega/\square$$



具有相同电阻的导体



铜的阻挡层和凹陷效应

3. π 模型延时计算

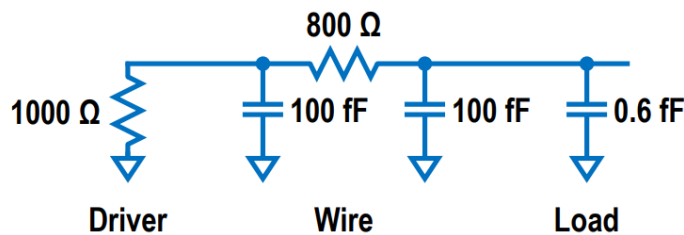
依然采用Elmore模型，具体内容请见第一次习题课

例：一个10倍单位尺寸的反相器驱动1 mm长连线末端的2倍反相器。若连线电容为0.2 fF/ μ m，单位尺寸NMOS管的 $R=10\text{ k}\Omega$ ， $C=0.1\text{ fF}$ 。忽略扩散电容。试估算其Elmore传播延时。

解：驱动器电阻为1 k Ω ，连线电容为200 fF，接收器输入电容为0.6 fF。

该系统单段 π 模型等效电路如下图所示，Elmore延时为

$$t_{pd} = (1000\ \Omega)(100\text{ fF}) + (1000\ \Omega + 800\ \Omega)(100\text{ fF} + 0.6\text{ fF}) = 281\text{ ps}$$



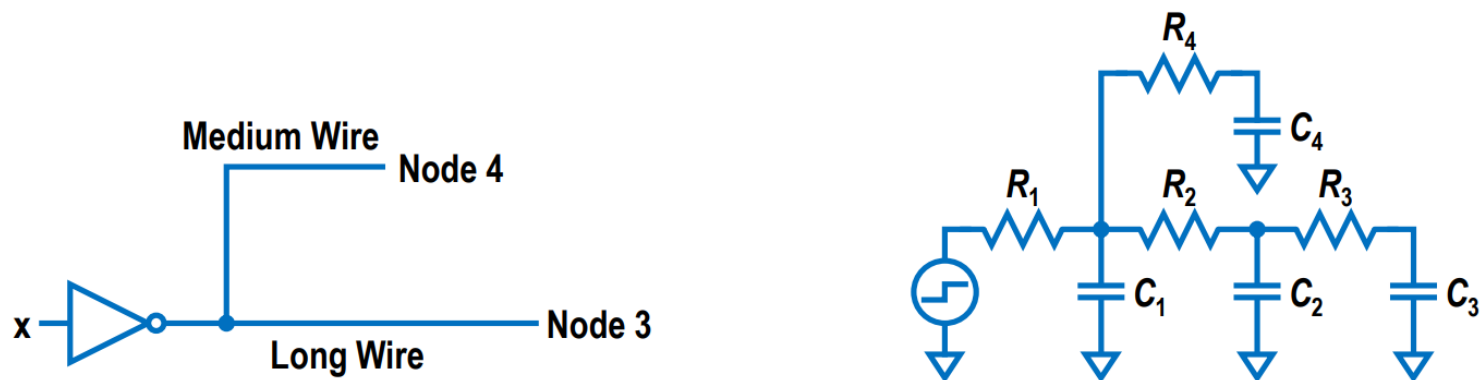
单段 π 模型等效电路

注意：计算时要采用**公共电阻**，如 (T_{D4})

例：一个门驱动连至两个终端的导线，等效电路如下图。连至节点3的长导线表示为一对 π 段，连至节点4的导线用单段表示。求从输入至各接收器的**Elmore**延时。

解： $T_{D_3} = R_1 C_1 + (R_1 + R_2) C_2 + (R_1 + R_2 + R_3) C_3 + R_1 C_4$

$$T_{D_4} = R_1 C_1 + R_1 (C_2 + C_3) + (R_1 + R_4) C_4$$



RC树结构互连线模型

6.2

0.6 μm 工艺、5mm长、4 λ 宽的金属导线，它的薄层电阻为0.08 Ω/\square 而电容为0.2fF/ μm 。为这条导线建立一个3段 π 模型。

解：

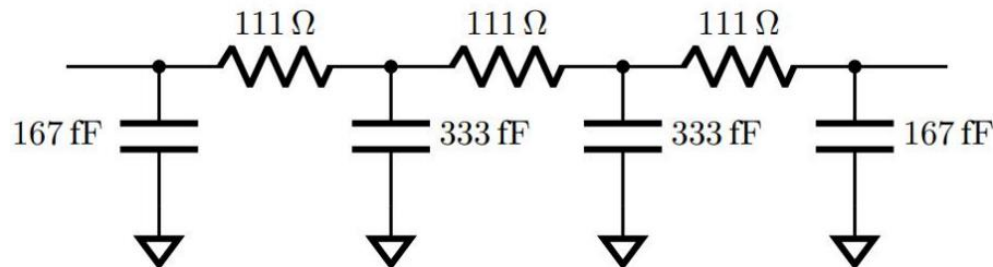
导线电阻：

$$R = 0.08 \times \left(\frac{5mm}{1.2\mu m} \right) \Omega = 333.3\Omega$$

导线电容：

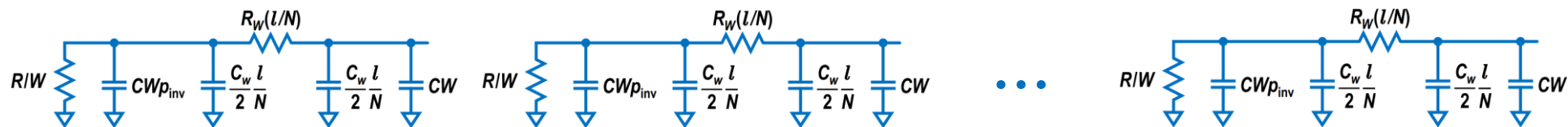
$$C = 5mm \times 0.2fF/\mu m = 1fF$$

3段模型将上述参数均分到3个“ π ”上即可，作图如下：



4. 中继器

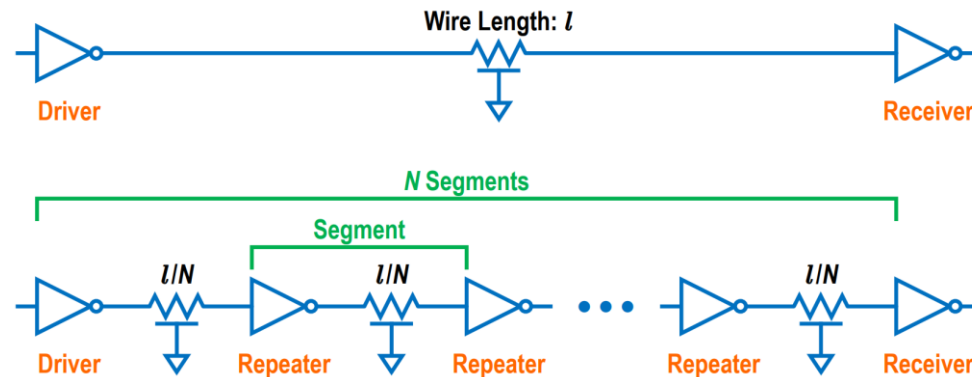
- $R, C \propto \text{长度}$ ，延时 $\propto \text{长度}^2$ ，因此需要中继（插入缓冲器或偶数个反相器），如右图所示：
- 注意等效电路中间要断开，这是反相器内部结构导致的，但认为间断处信号瞬时传播，如下图所示：



假设上面相同的电路重复了N段，则Elmore延时为（常规计算）：

$$t_{pd} = N \left[\frac{R}{W} \left(C_w \frac{l}{N} + CW(1 + p_{inv}) \right) + R_w \frac{l}{N} \left(\frac{C_w}{2} \frac{l}{N} + CW \right) \right]$$

中继器的每段最优长度、对应导线延时、导线能耗等参数在第6章习题解答中已经讲述，建议理解后记在开卷A4纸上



不包含和包含中继器的导线

本章你需要掌握的知识有：

- 时序参数基本概念
- 时序约束计算（重点）
- 时间借用计算（重点）

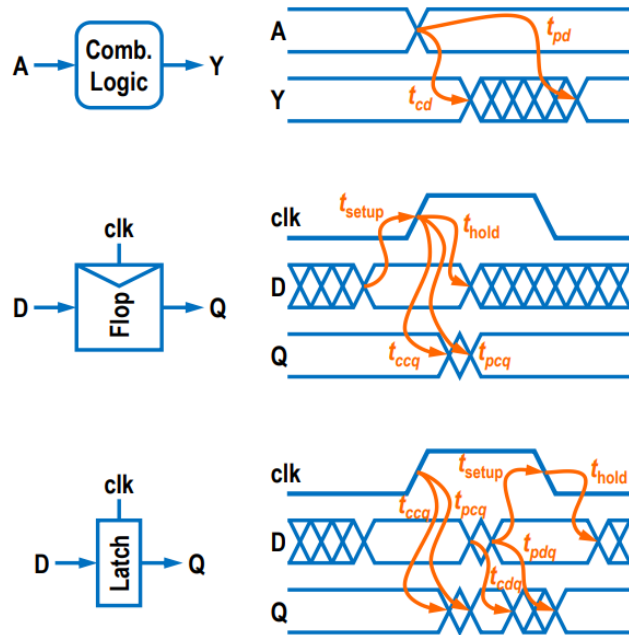
基本时序参数如右图所示，建议理解后记在A4纸上

传播p(ropagate) 污染c(ontaminate)

数据d(ata) 时钟c(lock)

建立时间：在时钟触发到来**之前**，数据信号必须保持稳定的时间长度

保持时间：在时钟触发**之后**，数据信号必须继续保持稳定的时间长度



时序图

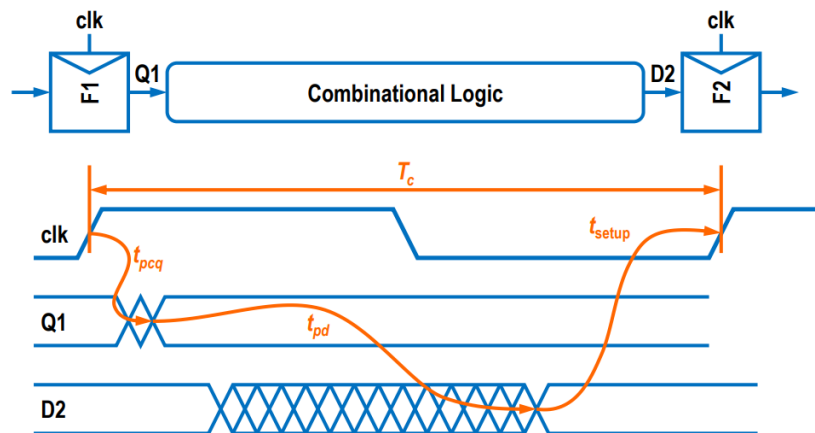
时序参数和符号

符号	意义
t_{pd}	组合逻辑传播延时
t_{cd}	组合逻辑污染延时
t_{pcq}	锁存器/触发器时钟至输出传播延时
t_{ccq}	锁存器/触发器时钟至输出污染延时
t_{pdq}	锁存器输入数据至输出传播延时
t_{cdq}	锁存器输入数据至输出污染延时
t_{setup}	锁存器/触发器建立时间
t_{hold}	锁存器/触发器保持时间

时序约束计算：

1. 最大延时约束

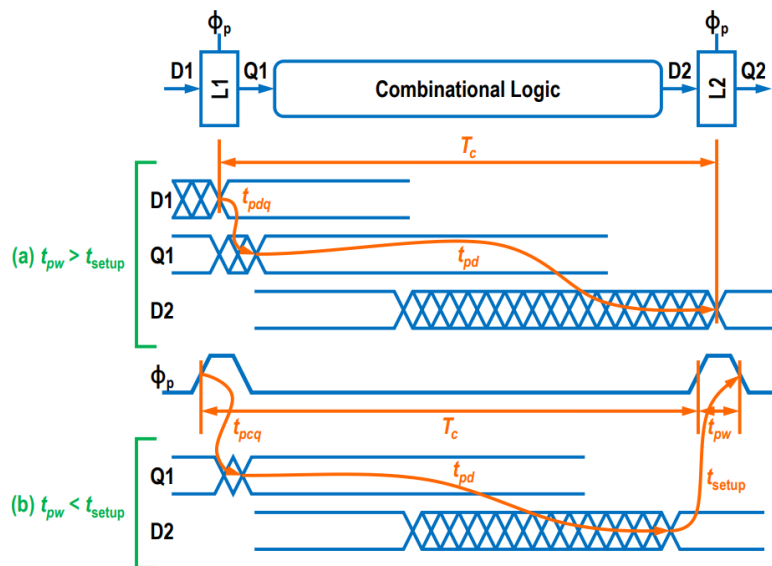
- 触发器（重点）：一个时钟周期，**除去**时钟传播延时和对下个时钟的建立时间，剩余的时间均可用于组合逻辑计算
- 两相位锁存器：（因为触发电平时间一般大于建立时间，故无需考虑建立时间）**除去**数据传播延时，剩余的时间均可用于组合逻辑计算
- 脉冲锁存器（重点）：（因为不知道脉冲时间是否大于建立时间，故**分开**讨论），ab两种情况分别类比两相位锁存器和触发器分析



触发器的最大延时约束

$$T_c \geq t_{pcq} + t_{pd} + t_{setup}$$

$$t_{pd} \leq T_c - (t_{setup} + t_{pcq})$$



脉冲锁存器的最大延时约束

$$T_c \geq \max(t_{pdq} + t_{pd}, t_{pcq} + t_{pd} + t_{setup} - t_{pw})$$

$$t_{pd} \leq T_c - \max(t_{pdq}, t_{pcq} + t_{setup} - t_{pw})$$

2. 最小延时约束：

之所以讨论最小延时约束，是因为时钟触发后一段时间（保持时间）内寄存器输入不应发生改变。

- 触发器（重点）

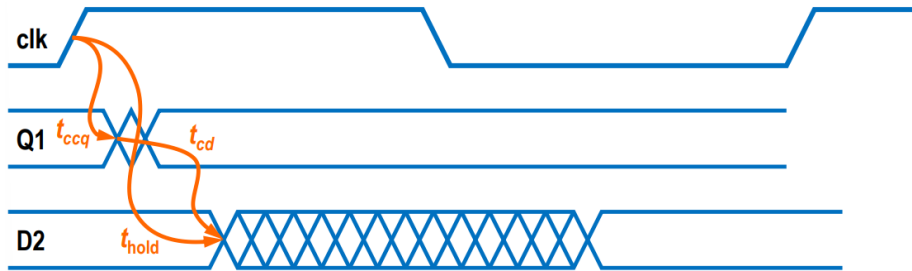
边沿触发，参考右图：

- 两相位锁存器

额外减 $t_{\text{nonoverlap}}$

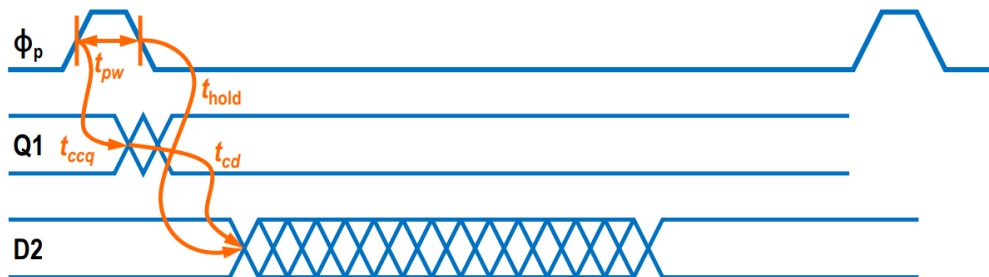
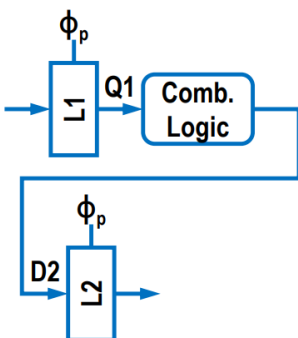
- 脉冲锁存器（重点）

额外加 t_{pw}



触发器的最小延时约束

$$t_{cd} \geq t_{\text{hold}} - t_{ccq}$$



脉冲锁存器的最小延时约束

$$t_{cd} \geq t_{\text{hold}} - t_{ccq} + t_{pw}$$

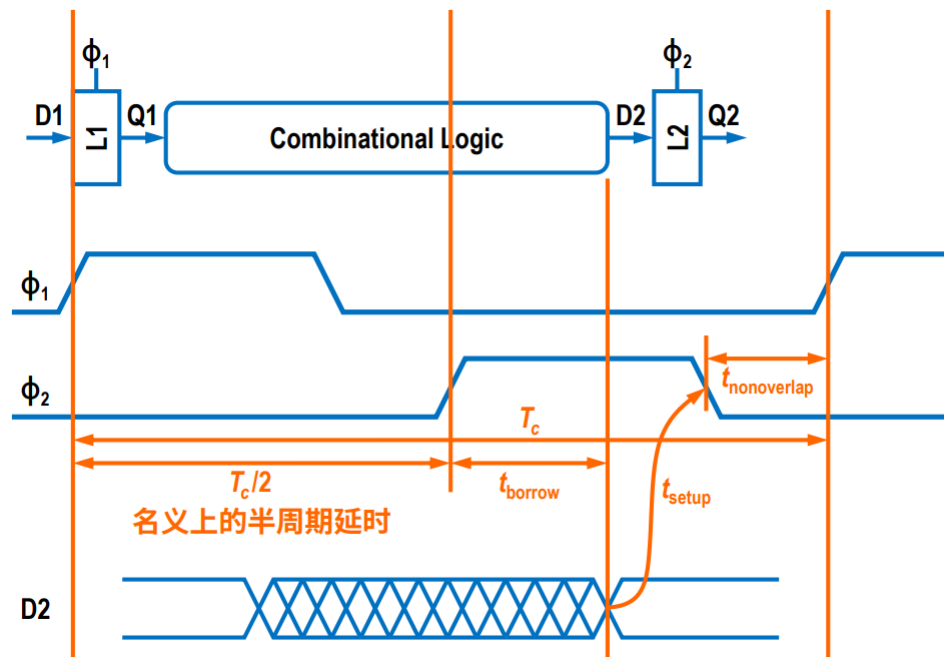
时钟借用计算：

注意到下一段时钟触发信号会维持一段时间（触发器除外），故只要在下一段时钟触发信号结束前生成组合逻辑的结果即可，即为时钟借用。

- 触发器具有硬边沿，是**无法进行时钟借用的**；
- 脉冲锁存器可以认为是触发电平时长很短的特殊锁存器，与两相位锁存器类似，一并考虑；
- 注意 t_{borrow} 的定义， $t_{\text{nonoverlap}}$ 不包括在内。

时钟偏斜情况：

所有时钟偏斜均**按照最坏情况处理**（两相位透明锁存器的最大传播延时不受影响；最大延时减去偏斜时间，最小延时加上偏斜时间，借用时间减去偏斜时间；或者认为 \leq 就减去， \geq 就加上；习题10.2 10.4 10.6，不再赘述）



两相位锁存器系统能借用的最长时间

$$t_{\text{borrow}} \leq \frac{T_c}{2} - (t_{\text{setup}} + t_{\text{nonoverlap}})$$

10.10 当逻辑延时为以下每一种情形时，确定图 10.55 中的电路能正确工作的最小时钟周期。假设时钟偏斜为 0 并且锁存器的延时已包含在传播延时中：

- a) $\Delta_1 = 300 \text{ ps}$, $\Delta_2 = 400 \text{ ps}$, $\Delta_3 = 200 \text{ ps}$, $\Delta_4 = 350 \text{ ps}$;
- b) $\Delta_1 = 300 \text{ ps}$, $\Delta_2 = 400 \text{ ps}$, $\Delta_3 = 400 \text{ ps}$, $\Delta_4 = 550 \text{ ps}$;
- c) $\Delta_1 = 300 \text{ ps}$, $\Delta_2 = 900 \text{ ps}$, $\Delta_3 = 200 \text{ ps}$, $\Delta_4 = 350 \text{ ps}$ 。

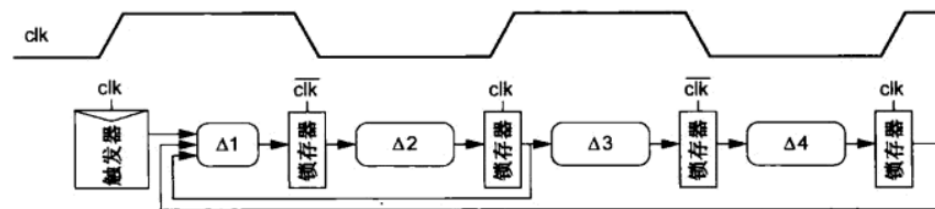


图 10.55 习题 10.10 中的路径例子

本题涉及两相位锁存器的时钟借用，保证两条环路的平均周期均小于实际时钟周期即可。

时间借用既可以跨半周期又可以跨流水线，对于回路，内部可以借用但必须在指定的周期内完成。图中共有两个回路，分别是 Δ_1, Δ_2 对应的 1 个周期的回路和 $\Delta_1, \Delta_2, \Delta_3, \Delta_4$ 对应的 2 个周期的回路。因此借用也需要满足以下关系

$$\begin{cases} T \geq \Delta_1 + \Delta_2 \\ T \geq \frac{\Delta_1 + \Delta_2 + \Delta_3 + \Delta_4}{2} \end{cases}$$

a) 代入得

$$\begin{cases} T \geq \Delta_1 + \Delta_2 = 700 \text{ ps} \\ T \geq \frac{\Delta_1 + \Delta_2 + \Delta_3 + \Delta_4}{2} = 625 \text{ ps} \end{cases}$$

最小为 $T = 700 \text{ ps}$ 。

b) 代入得

$$\begin{cases} T \geq \Delta_1 + \Delta_2 = 700 \text{ ps} \\ T \geq \frac{\Delta_1 + \Delta_2 + \Delta_3 + \Delta_4}{2} = 825 \text{ ps} \end{cases}$$

最小为 $T = 825 \text{ ps}$ 。

c) 代入得

$$\begin{cases} T \geq \Delta_1 + \Delta_2 = 1200 \text{ ps} \\ T \geq \frac{\Delta_1 + \Delta_2 + \Delta_3 + \Delta_4}{2} = 875 \text{ ps} \end{cases}$$

最小为 $T = 1200 \text{ ps}$ 。



本章你需要掌握的知识有：

- 无（但最好按照老师的提纲把一些内容写在A4纸上）

PPT上的例题可以看一下：

例：某芯片结至封装的热阻为 $0.9^{\circ}\text{C}/\text{W}$ ，封装至周围空气的热阻包括散热器热阻 $4.0^{\circ}\text{C}/\text{W}$ 加上封装和散热器之间黏合剂热阻 $0.1^{\circ}\text{C}/\text{W}$ 。系统机箱周围的温度可达 55°C 。若芯片结温不超过 100°C ，则芯片最大功耗是多少？

解：总热阻 $\Theta_{ja} = 0.9 + 0.1 + 4.0 = 5 (^{\circ}\text{C}/\text{W})$

最大温差 $\Delta T = 100 - 55 = 45 (^{\circ}\text{C})$

最大功耗 $P_{\max} = \Delta T / \Theta_{ja} = 45 / 5 = 9 (\text{W})$

关于考试的一些建议：

- 题型：往年是**20分填空**，**80分大题**，今年应该也一样
- **A4纸**：按照老师的提纲来写，主要记录一些和填空题可能有关的知识，尽可能详细一些，**可用电脑排版**；也可以记录一些易混淆的知识点，如第十章的公式及时序参数概念。
- **考试重点（章）**：
引论（版图、逻辑式、CMOS图）、延时（重中之重）、功耗、互连线、鲁棒性、组合时序电路设计、数据通路子系统（BOOTH编码）、阵列子系统（存储器的基本原理）
- **建议复习按照作业题进行复习**，确保作业的每种题型都会做

祝考试顺利！