



中国科学技术大学

University of Science and Technology of China

国家示范性微电子学院

School of Microelectronics

模拟集成电路设计课程

第2章 MOS器件物理基础

程 林，韩 旭

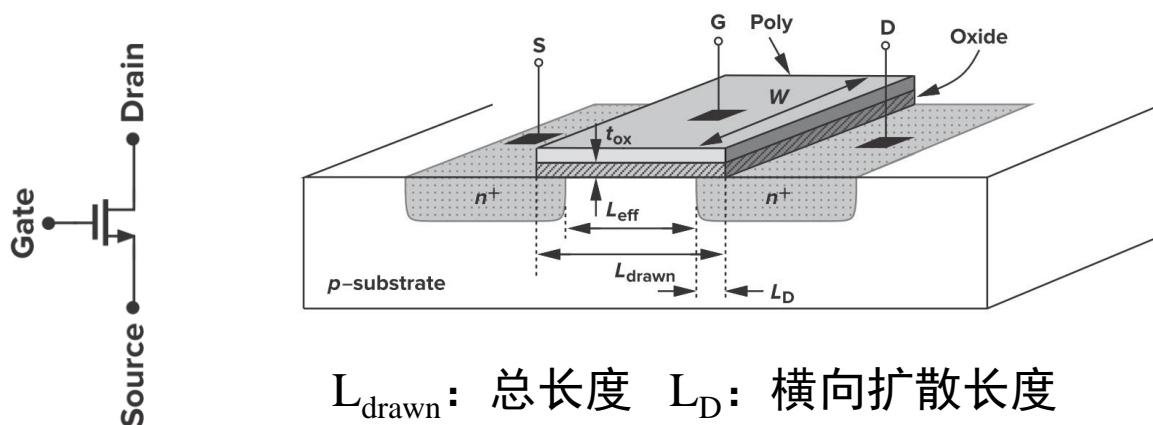
eecheng@ustc.edu.cn



本章内容

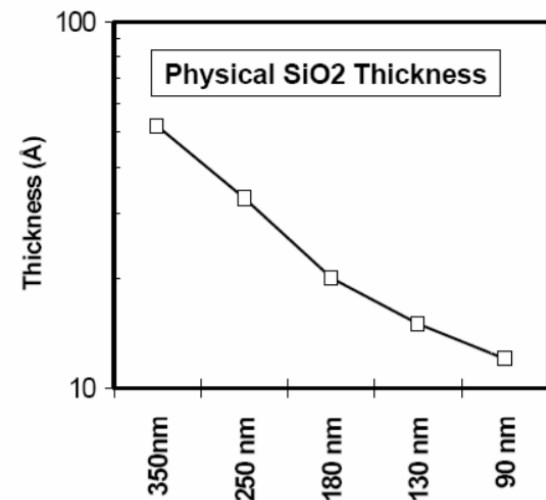
- 2.1 MOS器件结构
- 2.2 MOS的I-V特性
- 2.3 MOS的二级效应
- 2.4 MOS器件模型

2.1 MOS器件结构



L_{drawn} : 总长度 L_D : 横向扩散长度

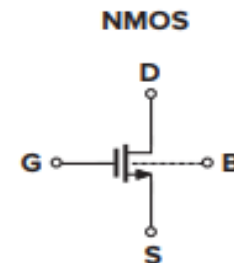
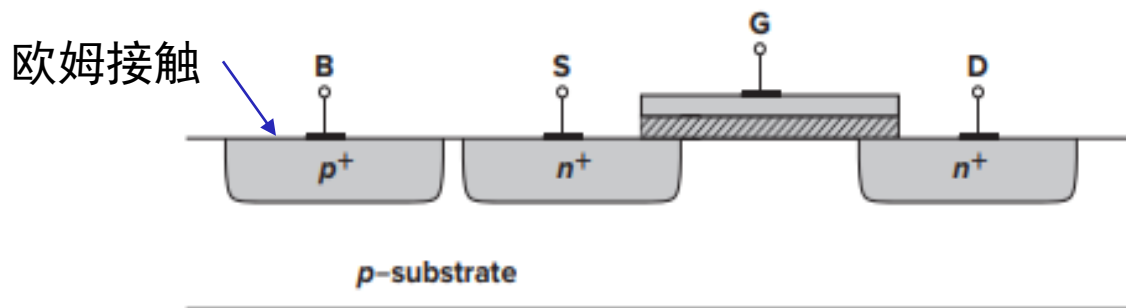
L_{eff} : 有效长度 $L_{\text{eff}} = L_{\text{drawn}} - 2L_D$



- MOS: Metal-oxide-semiconductor 金属氧化物半导体
- 栅(Gate)、源(Source)、漏(Drain)、衬底(Bulk/Body)
- 源漏端是对称的，源端提供载流子，漏端收集载流子；源漏由相对电平确定；
- 栅长 L ；栅宽 W
- 氧化层 SiO_2 （栅氧）使栅端与衬底隔离
- 一般使用p型衬底，PN结应反偏

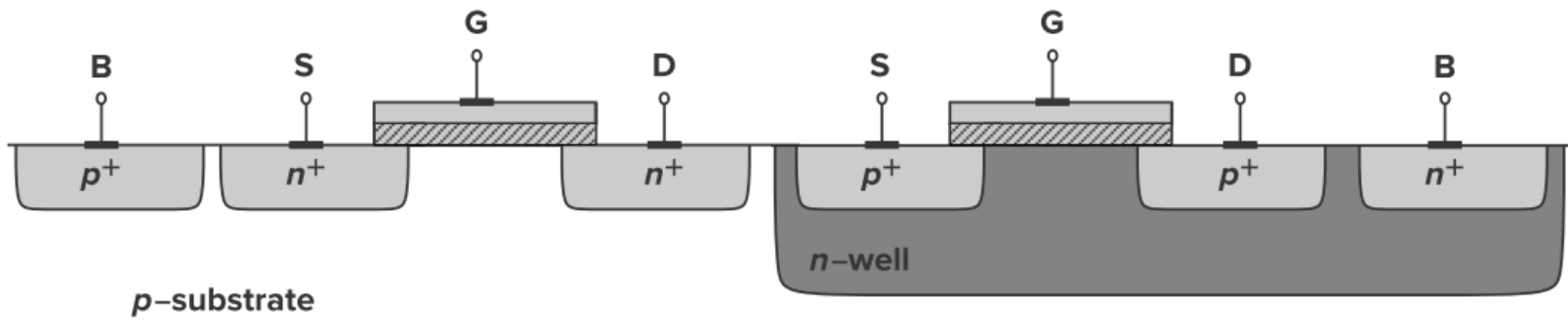
2.1 MOS器件结构

- MOS是四端器件，衬底B（body）接最低电平



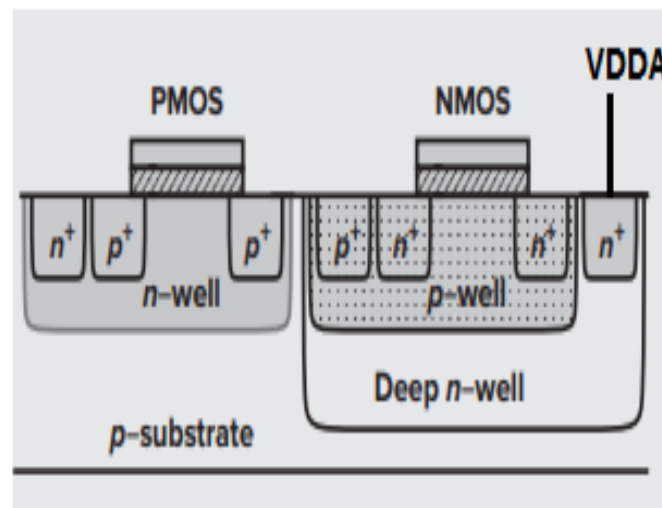
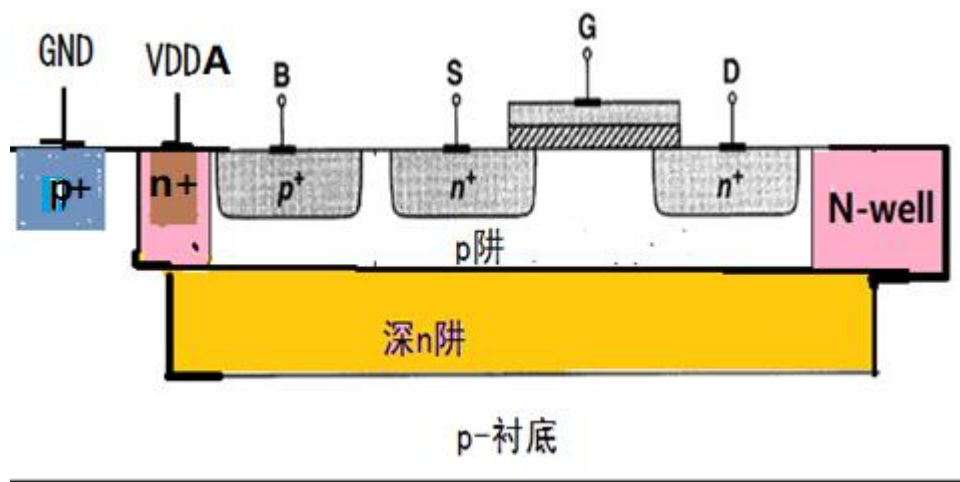
- CMOS=NMOS+PMOS

- NMOS衬底（p阱）与p衬底（体）电位相同，接最低电位
- 每个PMOS有一个可独立的N阱作为局部衬底



深n-well工艺(三阱工艺)

- 大多数mixed-signal CMOS工艺，具有深N阱（3阱工艺），则每个NMOS衬底电平可单独设置。

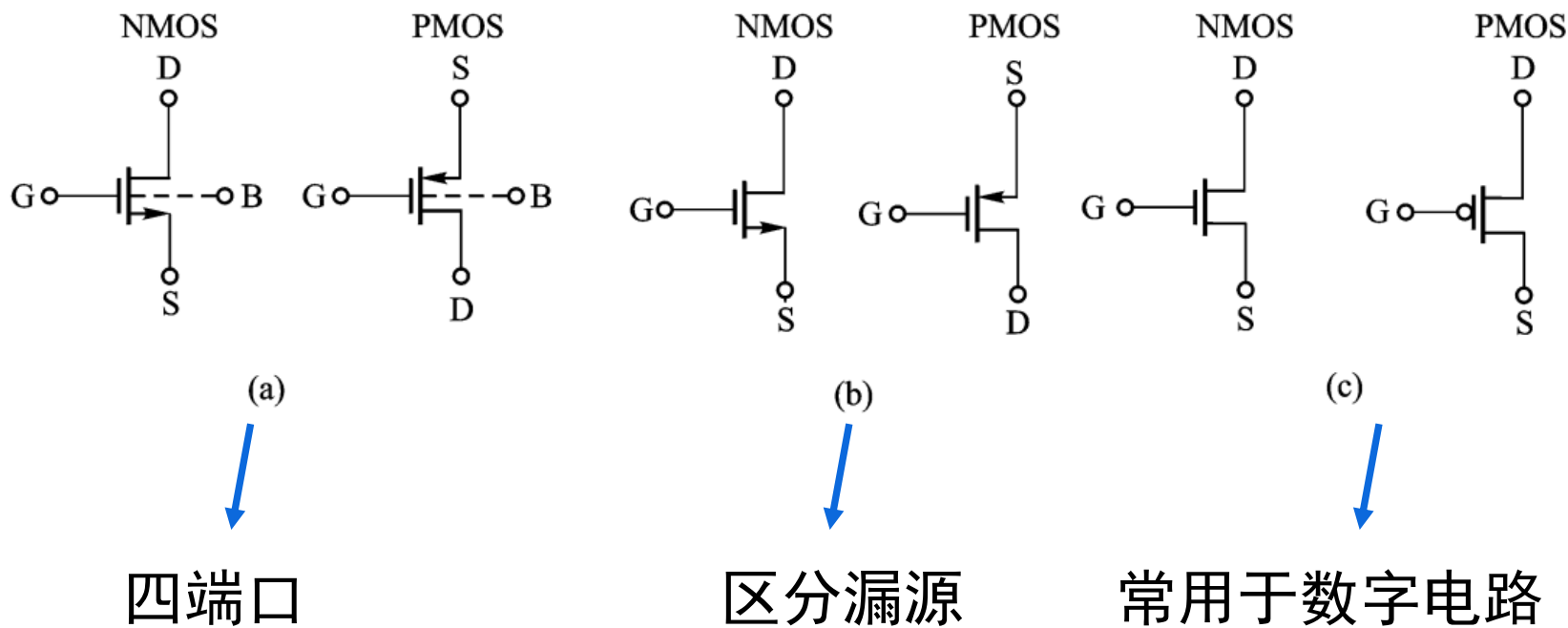


优点: NMOS衬底独立，噪声隔离好，适合射频/微波IC；
无衬偏效应。

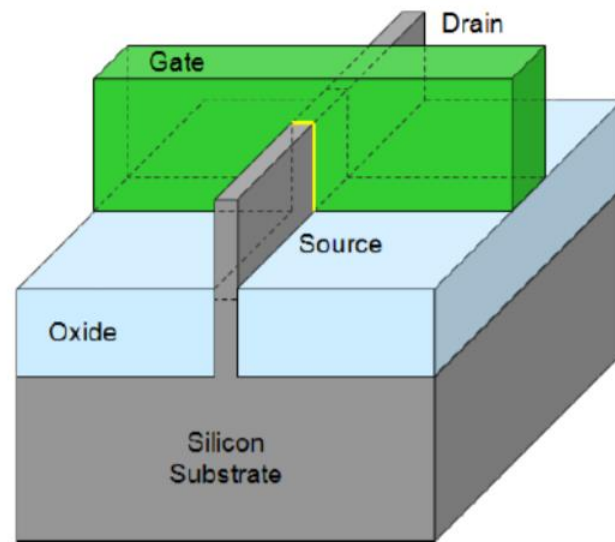
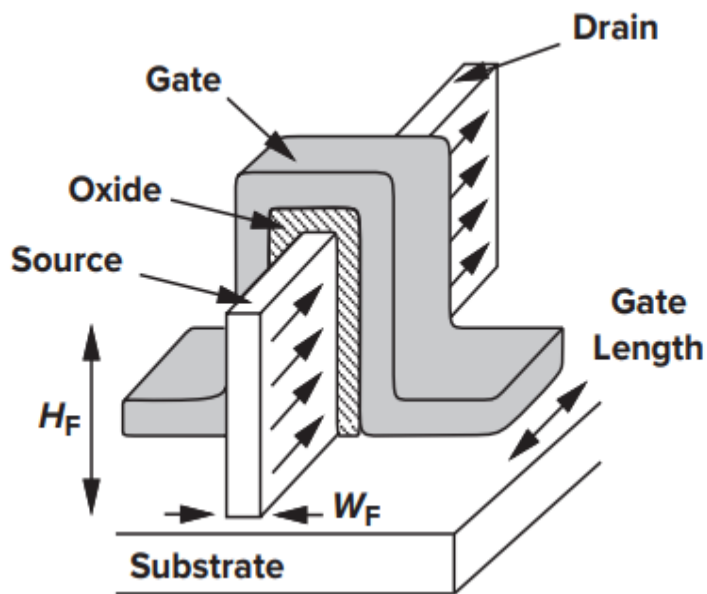
缺点: 面积大，在p阱外伸展N-well，与常规N-well保持一定间隔。



MOS符号



箭头表示电流流向

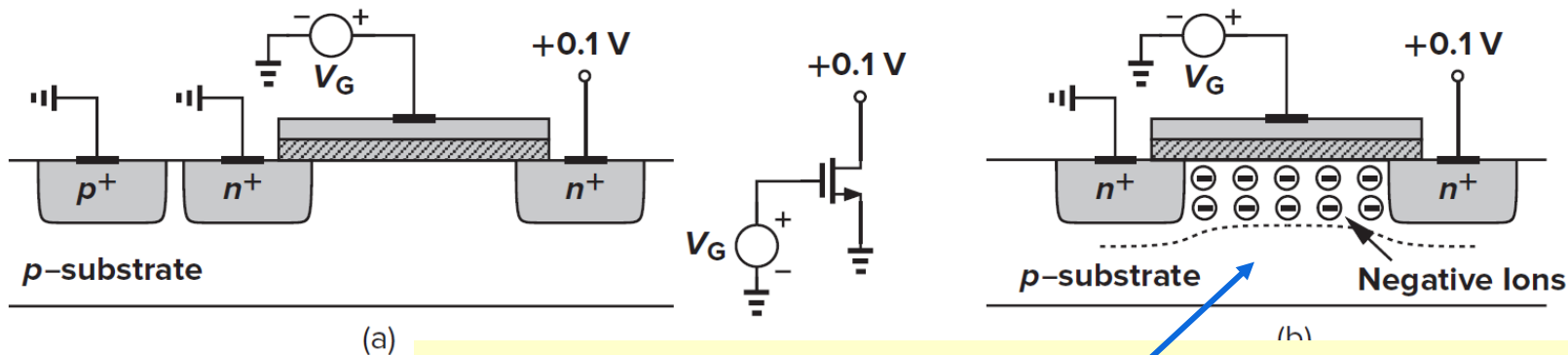


22nm工艺之后，3D架构FINFET，由胡正明发明

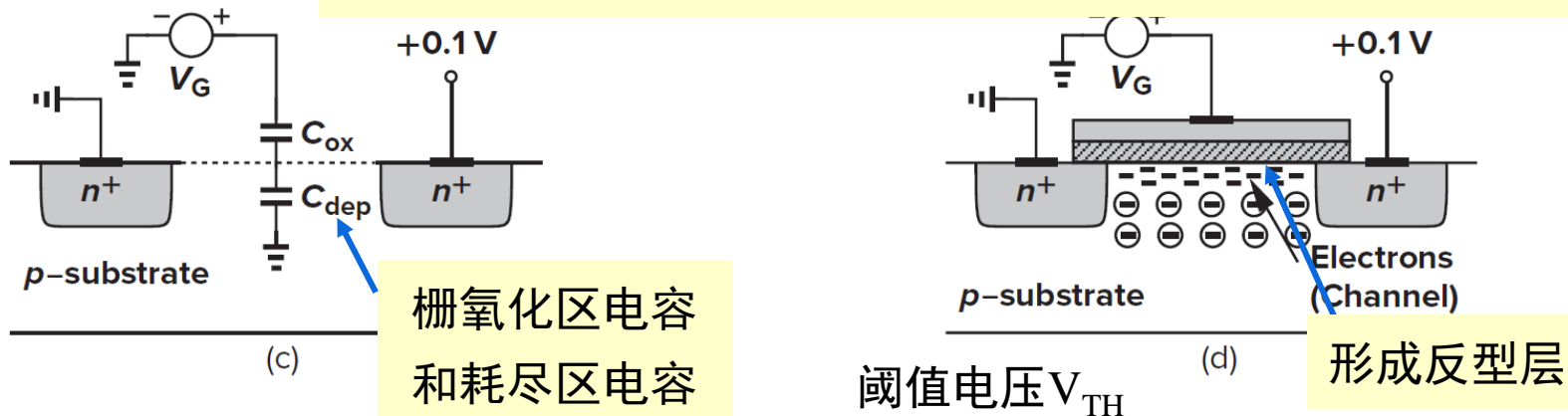
- 3D架构FINFET，增加沟道有效宽度，减小芯片面积。
- 沟道宽度 $W = W_F + 2H_F$ ； W_F 典型值为6nm， H_F 为50nm，都是固定值，所以 W 只能取离散值
- 栅控能力增强，亚阈值泄漏电流减小约一个数量级

2.2 MOS I/V特性

• NMOS沟道形成反型层的过程



空穴被赶离栅区，留下负离子以镜像栅上的电荷，形成耗尽层



栅氧化区电容
和耗尽区电容

形成反型层

V_{GS} 增加 \rightarrow 耗尽层厚度增加 \rightarrow 当 V_{GS} 增加到某个值时，耗尽区不再增加，栅氧层下出现可自由移动电子，形成反型层N沟道。



2.2.1 阈值电压 V_{TH} 的定义

- 导通现象是栅电压的渐变函数，明确地定义 V_{TH} 比较困难
- 在半导体物理中， V_{TH} 定义为沟道电子浓度等于p衬底空穴浓度时的栅源电压

$$V_{TH} = \Phi_{MS} + 2\Phi_F + Q_{dep}/C_{ox}$$

Φ_{MS} 栅与衬底的功函数差的电压值；

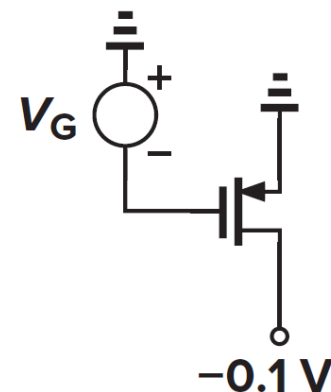
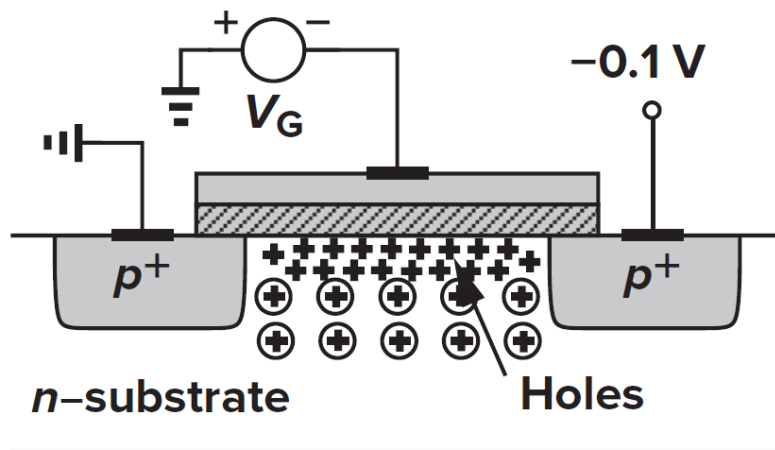
Φ_F 费米电势 $= (kT/q) \ln(N_{sub}/n_i)$ ，

Q_{dep} 是耗尽区上的电荷； C_{ox} = 栅氧电容

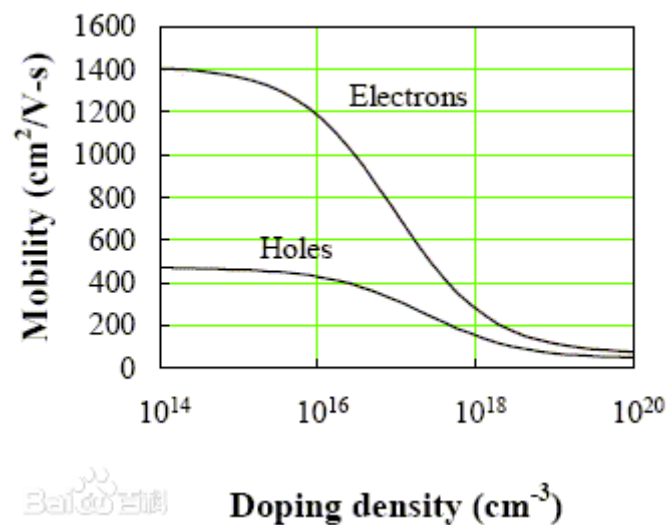
- 思考： V_{TH} 与哪些因素相关？
- 调整衬底掺杂或栅氧厚度得到不同阈值电压 V_{TH} ，设计者需要根据情况选择



PMOS反型层的形成

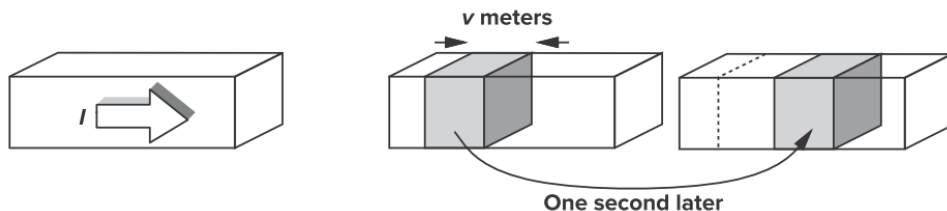


- 反型层为空穴
- PMOS阈值电压是负的
- 比电子迁移率低





2.2.2 I-V特性的推导

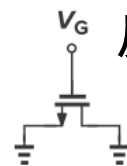
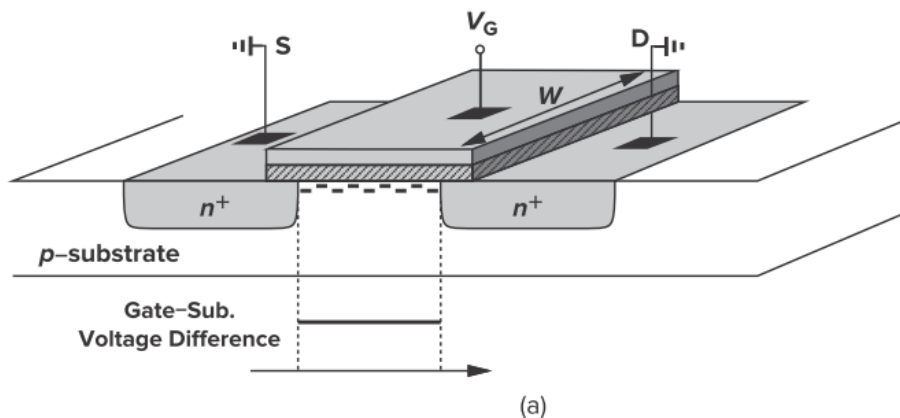


电流的定义：

$$I = Q_d \cdot v$$

单位长度上的
电荷密度

电荷移动
速度

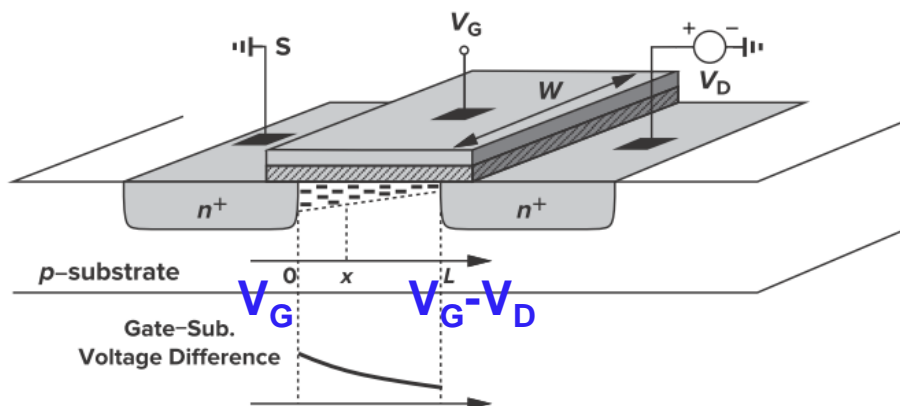


反型层中的电荷密度：

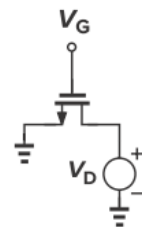
$$Q_d = W C_{ox} (V_{GS} - V_{TH})$$

单位长度的总电容

$V_{GS} = V_{TH}$
开始反型



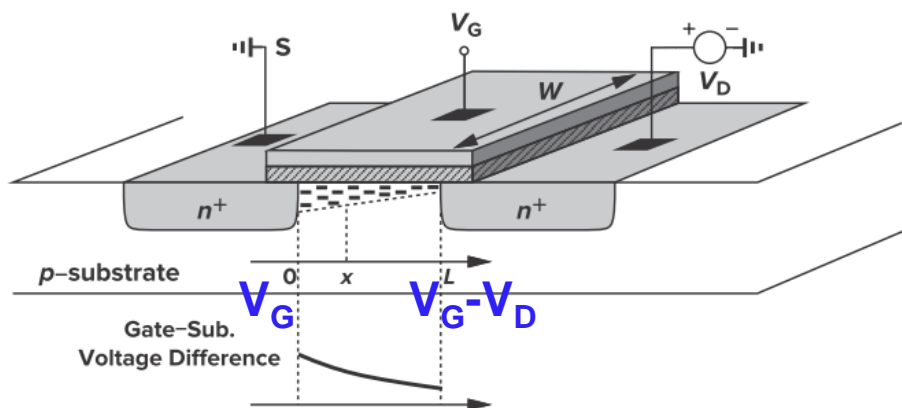
沿沟道x点处的电荷密度：



$$Q_d(x) = W C_{ox} [V_{GS} - V(x) - V_{TH}]$$



I-V特性的推导



沟道电子
漂移速度

在x点处的电流：

$$I_D = -WC_{ox}[V_{GS} - V(x) - V_{TH}]v$$

$$I_D = WC_{ox}[V_{GS} - V(x) - V_{TH}]\mu_n \frac{dV(x)}{dx}$$

电流在沟道
是相同的：

$$\int_{x=0}^L I_D dx = \int_{V=0}^{V_{DS}} WC_{ox}\mu_n[V_{GS} - V(x) - V_{TH}]dV$$

$$I_D = \mu_n C_{ox} \frac{W}{L} \left[(V_{GS} - V_{TH})V_{DS} - \frac{1}{2}V_{DS}^2 \right]$$

$$v = \mu E$$

$$E(x) = -dV/dx$$

μ ：载流子迁移率

E：电场

$\frac{W}{L}$ 宽长比

L 有效沟道长度

器件工作在“三极管区”或“线性区”



三极管区(线性区)

- 工作在三极管区的条件:

$$V_{GD} = V_{GS} - V_{DS} \geq V_{TH}$$

$$V_{DS} \leq V_{GS} - V_{TH}$$

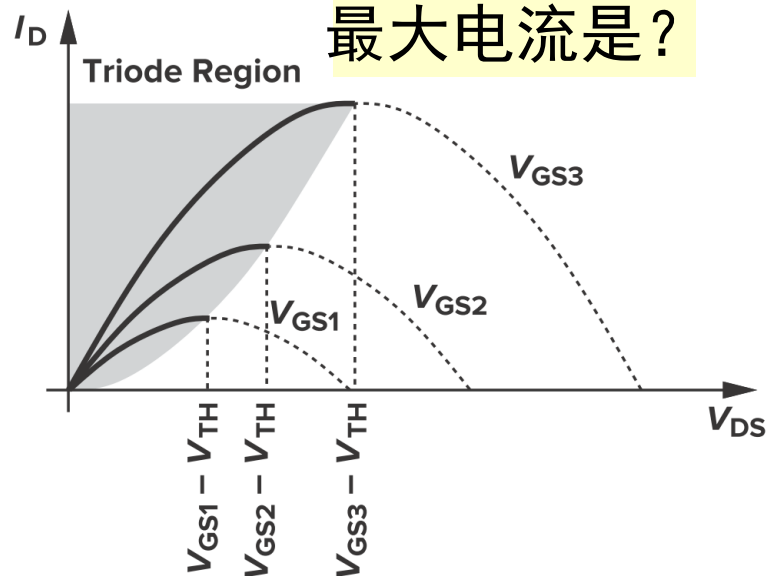
$V_{GS} - V_{TH}$: 过驱动电压

- 如果 $V_{DS} \ll 2(V_{GS} - V_{TH})$

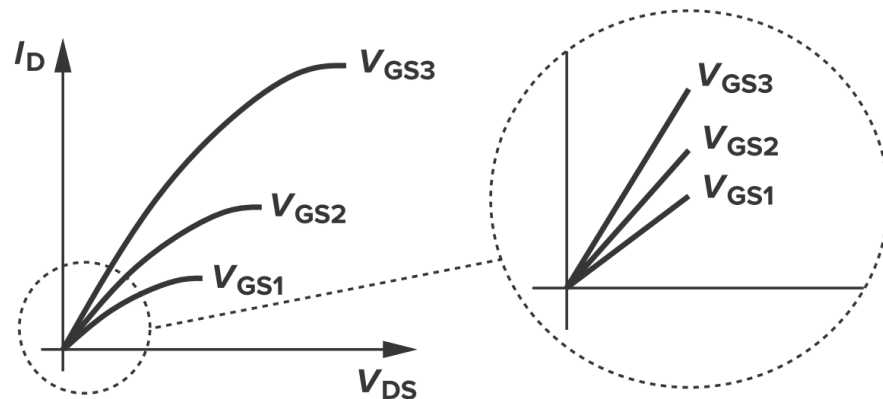
$$I_D \approx \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH}) V_{DS}$$

$$R_{on} = \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})}$$

实现压控电阻
的MOSFET



最大电流是?



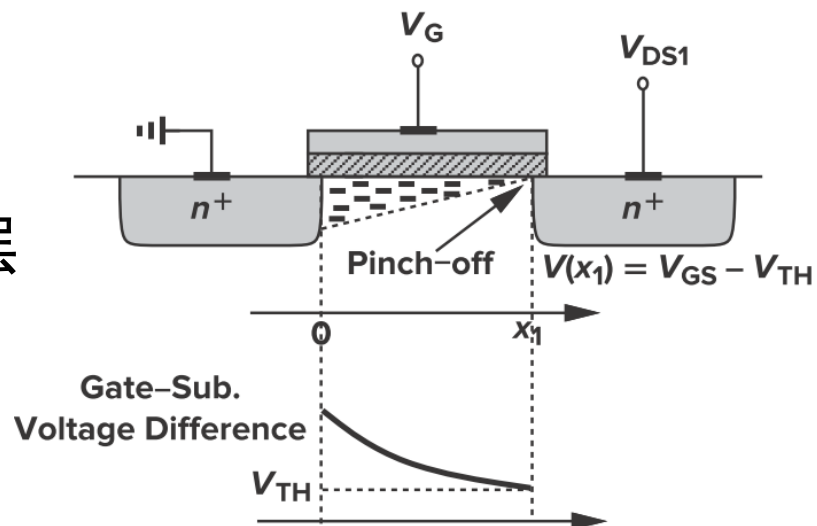
深三极管区



$V_{DS} > V_{GS} - V_{TH}$ 饱和区I-V特性

- 当 $V_{DS1} = V_{GS} - V_{TH}$,
沟道在 $x_1 = L$ 处被夹断, 没有反型层

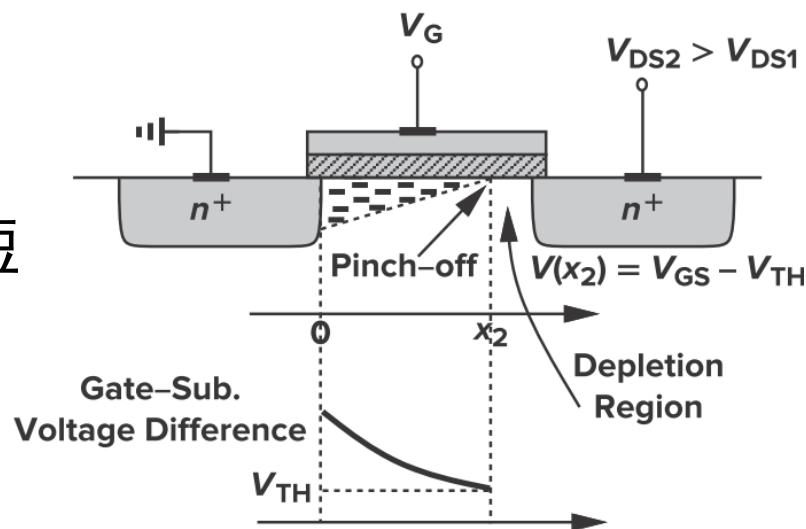
电流并没有被夹断



- 当 $V_{DS2} > V_{GS} - V_{TH}$, 进入
夹断点向源端移动, 实际沟道变短

$$\int_{x=0}^{L'} I_D dx = \int_{V=0}^{V_{GS}-V_{TH}} W C_{ox} \mu_n [V_{GS} - V(x) - V_{TH}] dV$$

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L'} (V_{GS} - V_{TH})^2$$





饱和区“平方律”特性

- 在长沟道器件中，可假设 $L' \approx L$

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2$$

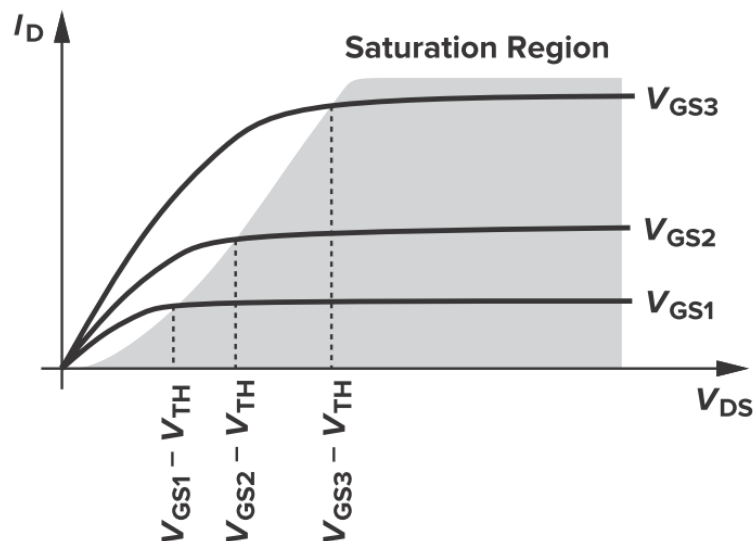
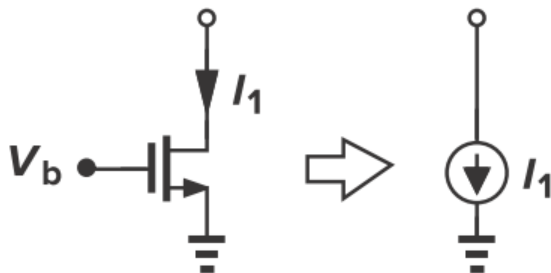
电流与漏源电压
无关！

- 工作在饱和区的条件：

$$V_{DS} \geq V_{D,sat} \quad (V_{D,sat} = V_{GS} - V_{TH})$$

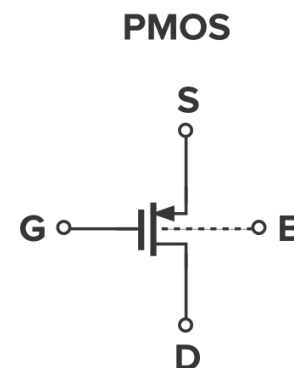
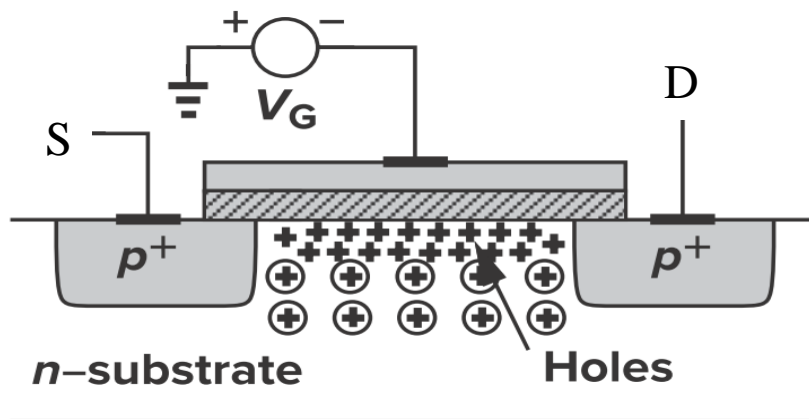
如何选择
 $V_{D,sat}$ ？

- 这一特性可用作**当电流源**





PMOS的I-V特性

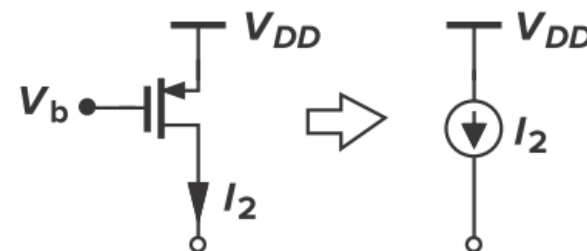


- 三极管区

$$I_D = -\mu_p C_{ox} \frac{W}{L} \left[(V_{GS} - V_{TH}) V_{DS} - \frac{1}{2} V_{DS}^2 \right]$$

- 饱和区

$$I_D = -\frac{1}{2} \mu_p C_{ox} \frac{W}{L'} (V_{GS} - V_{TH})^2$$





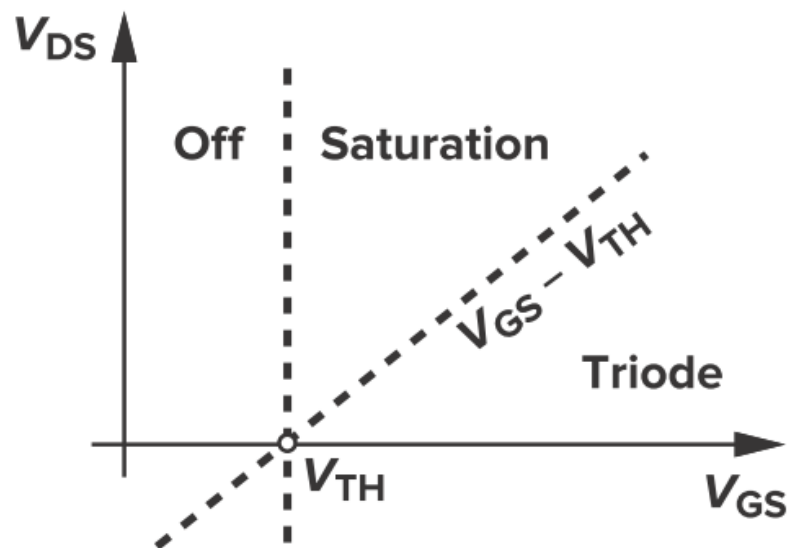
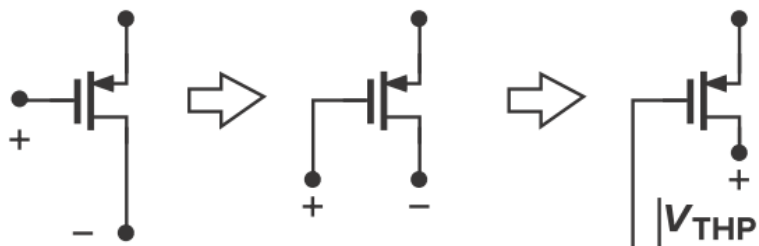
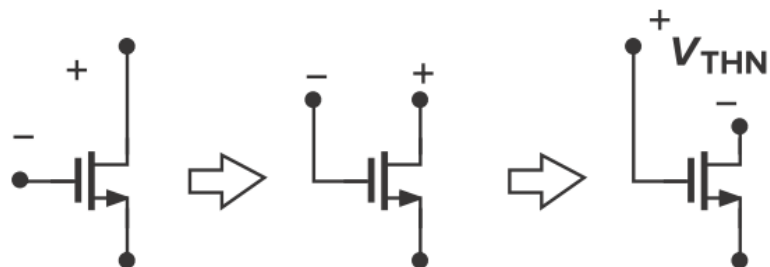
工作状态小结

Saturation

Edge of Triode Region

Saturation

Edge of Triode Region





MOS与三极管的工作区比较

MOS工作区名称	Bipolar三极管工作区名称	直流偏置 (以NMOS/NPN为例)	应用电路	备注
截止区/亚阈值	截止区	NMOS: $0 < V_{GS} < V_{TH}$ npn: $V_{be} < \text{开启}(0.6V)$	数字电路 (关断)	
三极管区(线性区)	饱和区	NMOS: $V_{GS} > V_{TH}$, $V_{DS} < V_{GS} - V_{TH}$ npn: $V_{be} > \text{开启电压}$, 集电结 正偏	数字电路 (导通)	可控输出电阻(较小)
饱和区	放大区	NMOS: $V_{GS} > V_{TH}$, $V_{DS} > V_{GS} - V_{TH}$ npn: $V_{be} > \text{开启电压}$, 集电结反偏	模拟电路 (信号放大)	理想情况下输出电流与输出电压无关, 仅由MOS输入电压或三极管输入电流控制
积累区	倒置区	NMOS: $V_{GS} < 0$ npn: 发射结反偏, 集电结正偏	基本无用	MOS可用作电容



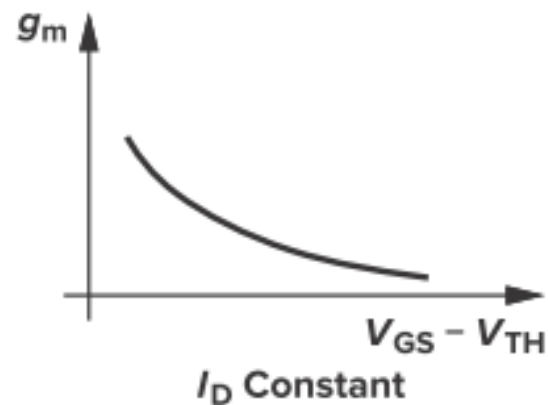
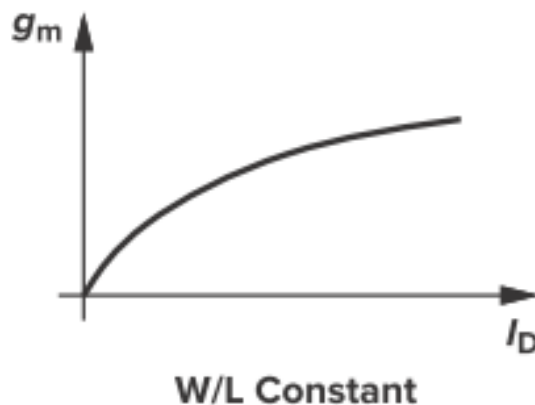
2.2.3 MOS的跨导 Transconductance

- 跨导 g_m 定义:
$$g_m = \left. \frac{\partial I_D}{\partial V_{GS}} \right|_{V_{DS} \text{ const.}} \quad I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2$$
- 饱和区的 g_m :
$$g_m = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})$$

代表了器件
的灵敏度

$$\begin{aligned} &= \sqrt{2 \mu_n C_{ox} \frac{W}{L} I_D} \\ &= \frac{2I_D}{V_{GS} - V_{TH}} \end{aligned}$$

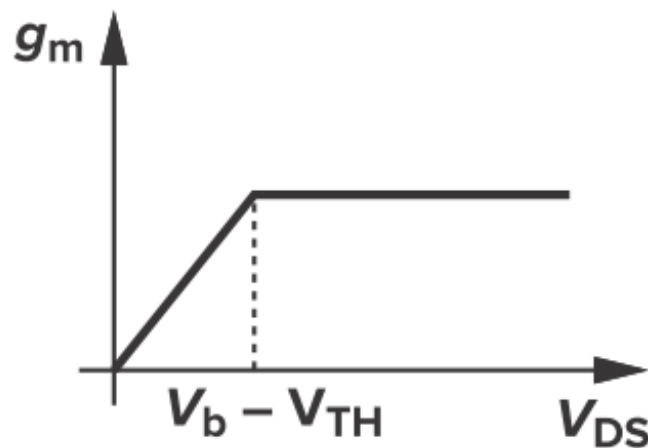
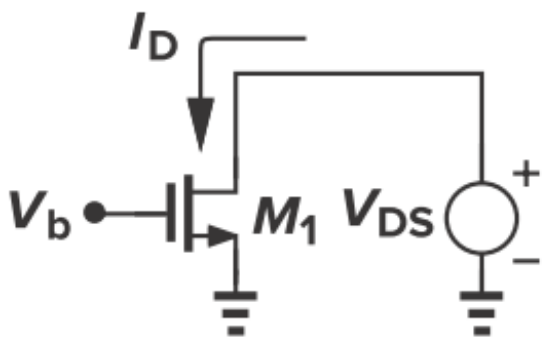
如何理解?





MOS的跨导

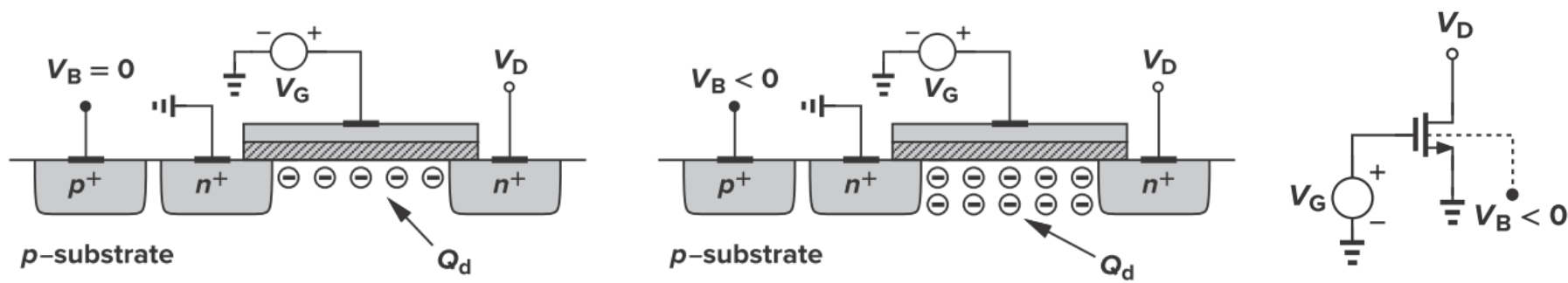
- 饱和区:
$$g_m = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})$$
- 线性区:
$$g_m = \frac{\partial}{\partial V_{GS}} \left\{ \frac{1}{2} \mu_n C_{ox} \frac{W}{L} [2(V_{GS} - V_{TH}) V_{DS} - V_{DS}^2] \right\}$$
$$= \mu_n C_{ox} \frac{W}{L} V_{DS}$$
 随 V_{DS} 变化, 且较小





2.3 二级效应-体效应

- 体效应，也称衬偏效应，即源极与衬底电位不同引起阈值电压变化



- V_B 下降，更多的空穴被吸引到衬底，留下大量的负电荷，耗尽层变宽

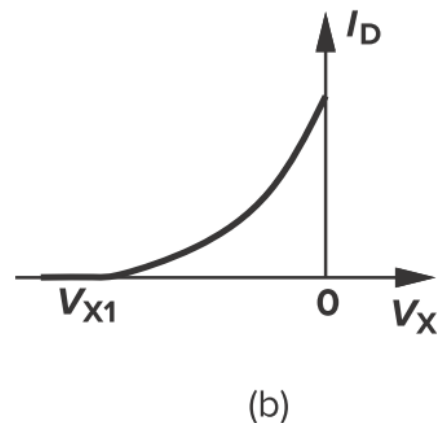
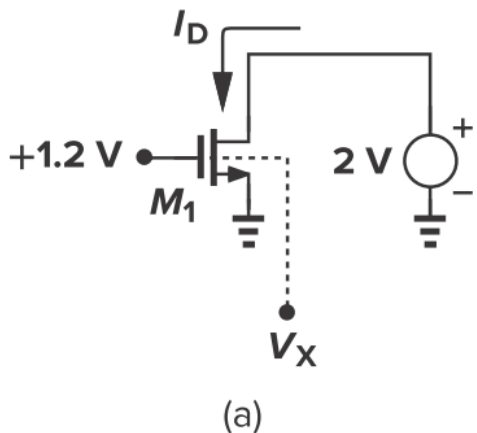
$$V_{TH} = \Phi_{MS} + 2\Phi_F + Q_{dep}/C_{ox}$$

随着 V_B 下降， Q_{dep} 增大， V_{TH} 也增大



体效应

- 考虑体效应后: $V_{TH} = V_{TH0} + \gamma \left(\sqrt{2\Phi_F + V_{SB}} - \sqrt{|2\Phi_F|} \right)$
 $\gamma = \sqrt{2q\epsilon_{si}N_{sub}}/C_{ox}$ 体效应系数, 一般为 $0.3 \sim 0.4 \text{ V}^{1/2}$
- 例2.3: plot the drain current if V_X varies from $-\infty$ to 0.
 Assume $V_{TH0} = 0.3 \text{ V}$, $\gamma = 0.4 \text{ V}^{1/2}$, and $2\Phi_F = 0.7 \text{ V}$.

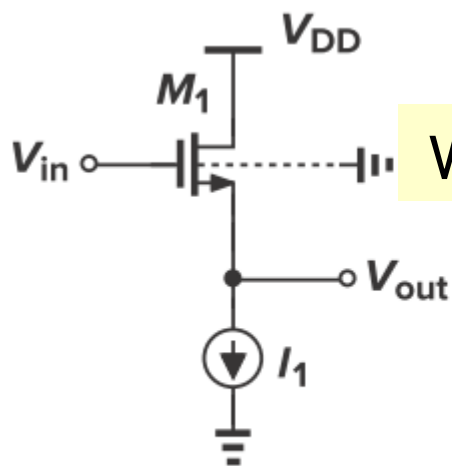


$$1.2 \text{ V} = 0.3 + 0.4 \left(\sqrt{0.7 - V_{X1}} - \sqrt{0.7} \right) \Rightarrow V_{X1} = -8.83 \text{ V}.$$

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} \left[V_{GS} - V_{TH0} - \gamma \left(\sqrt{2\Phi_F - V_X} - \sqrt{2\Phi_F} \right) \right]^2.$$

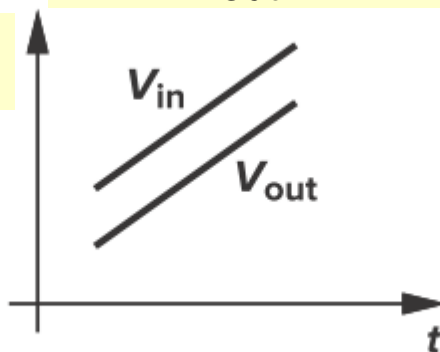


体效应的影响



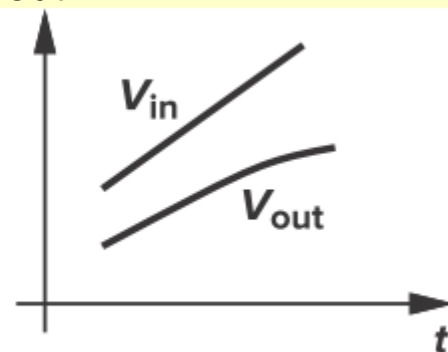
(a)

$V_{in} - V_{out}$ 恒定



(b)

$V_{in} - V_{out}$ 增大, 导致非线性



(c)

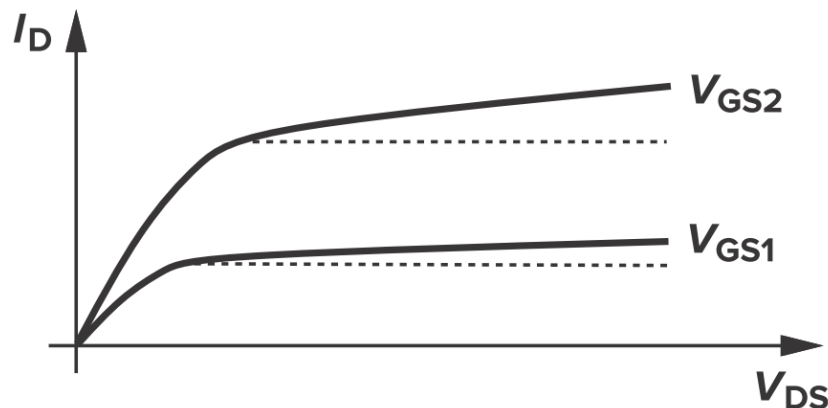
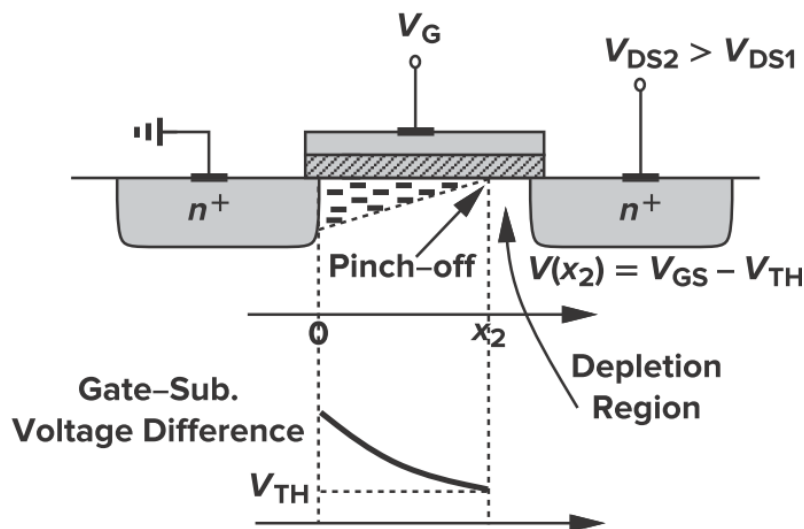
$$I_1 = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{in} - V_{out} - V_{TH})^2$$

- 可以用体效应减小 V_{TH} 吗?
- 自适应体电位偏置 (adaptive body biasing) 技术: 利用体效应改变阈值电压, 减小泄露电流或者降低阈值电压。

前提: 深N阱工艺, 即NMOS沟道衬底与衬底能隔离。



二级效应-沟道长度调制效应



$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L'} (V_{GS} - V_{TH})^2 \quad L' \text{ 是实际夹断点沟道长度}$$

$$L' = L - \Delta L, \text{ i.e., } 1/L' \approx (1 + \Delta L/L)/L, \quad \Delta L/L = \lambda V_{DS}$$

$$\Rightarrow I_D \approx \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS})$$

- λ 沟道长度调制系数。沟道 L 越长, λ 越小。

在三极管区,
存在沟道长度
效应吗?

模拟电路设计中, L 设计尽可能大



沟道长度调制效应

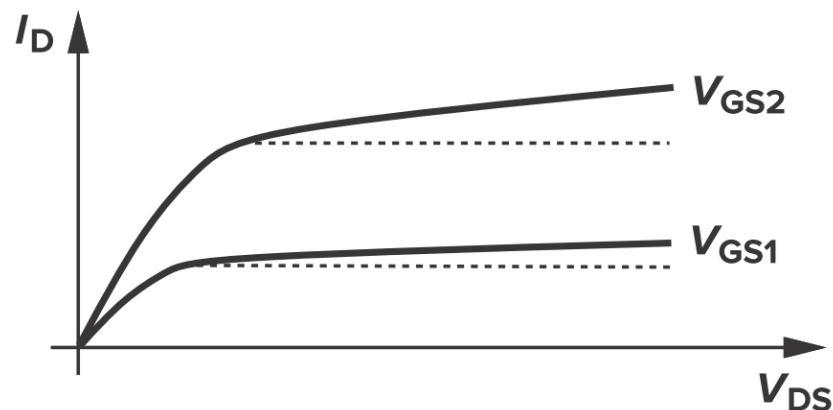
$$I_D \approx \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS})$$

$$g_m = \left. \frac{\partial I_D}{\partial V_{GS}} \right|_{V_{DS} \text{ const.}}$$

$$g_m = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH}) (1 + \lambda V_{DS})$$

$$= \sqrt{2 \mu_n C_{ox} (W/L) I_D (1 + \lambda V_{DS})}$$

$$= \frac{2I_D}{V_{GS} - V_{TH}}$$

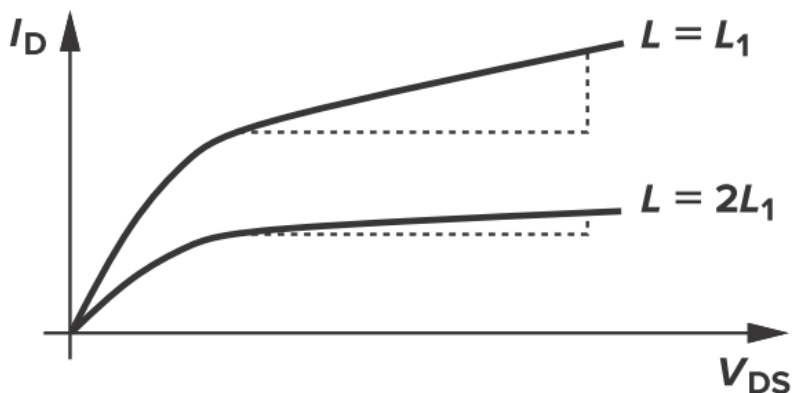


较长沟道（例如
 $L > 0.5 \mu\text{m}$ 时）MOS，
手工计算 g_m 可忽略沟
道长度调制



沟道长度调制效应

- 保持其他参数不变，改变 L 的 I - V 特性曲线



L 增加1倍，斜率变为 $1/4$ ，
但是器件电流能力减小

W 也增加1倍，电流不变，
斜率变为之前的 $1/2$ ，

$$I_D \approx \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS})$$

$$\lambda \propto 1/L,$$

- 在短沟道器件中， $\Delta L/L \propto V_{DS}$ 的线性近似精确度降低，斜率变得不是常数。
- V_{DS} 对 I_D 影响弱，不用 V_{DS} 来确定电流，对 I_D 的影响被认为是缺陷。



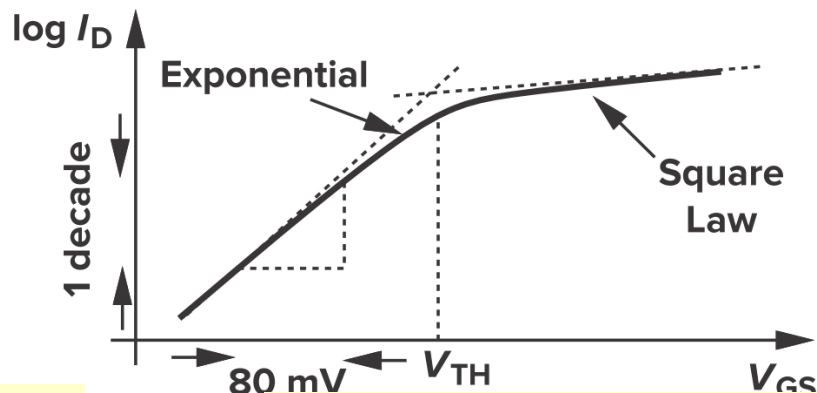
二级效应-亚阈值导电

- 当 V_{GS} 稍小于 V_{TH} , 存在弱反型层沟道, I_D 与 V_{GS} 呈指数关系

$$I_D = I_0 \exp \frac{V_{GS}}{\xi V_T} \quad g_m = I_D / (\xi V_T)$$

比饱和区大

$I_0 \propto W/L$, $\xi > 1$ 非理想因子, $V_T = kT/q = 26\text{mV}$ (室温).



称器件工作在弱反型区或亚阈值区

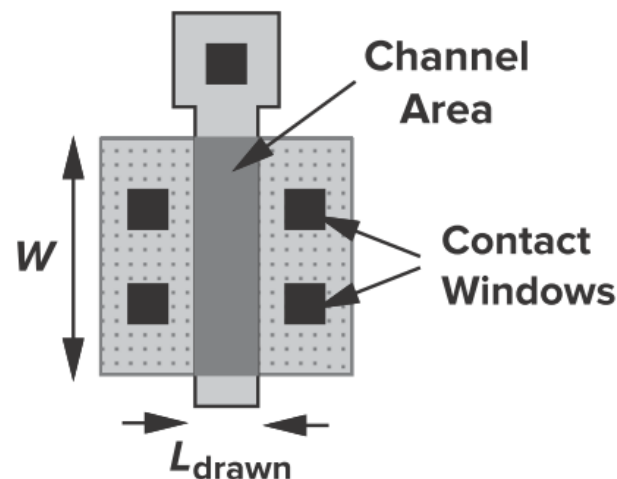
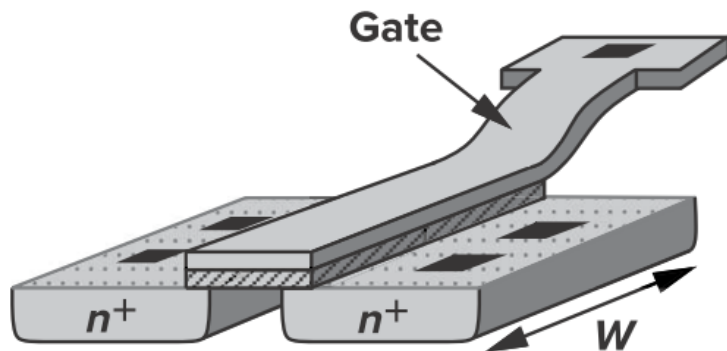
- 当 V_{GS} 下降到小于 V_{TH} , I_D 只以有限的速度下降。比如, V_{GS} 下降80mV, 才可使 I_D 下降1个数量级。

假设 $V_{TH}=0.3\text{V}$, $V_{GS}=0$ 时, 电流降低到原值多少?

- 在先进工艺中 V_{TH} 不能按比例缩小, 否在漏电流太大。导致电源电压也0.13 μm 工艺后无法按比例缩小。
- 阈值电压不可减小给模拟电路设计带来挑战。

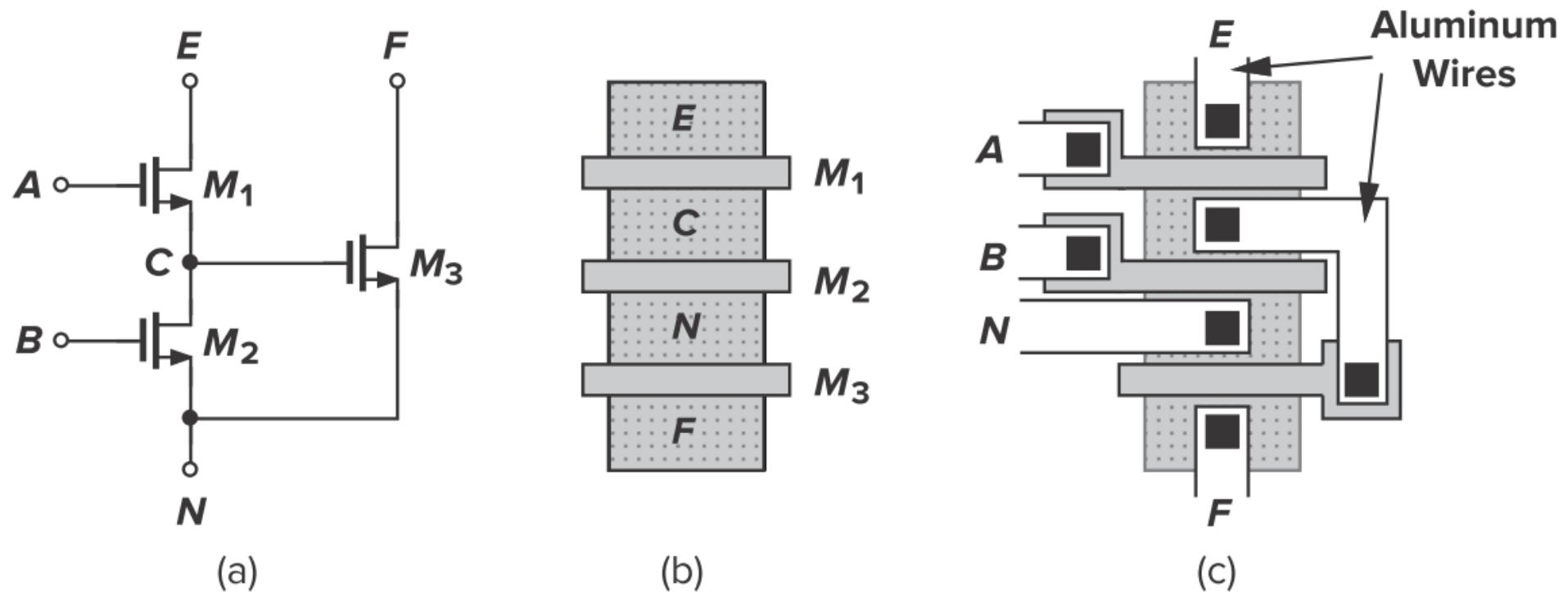
2.4 MOS器件模型

• 2.4.1 MOS器件版图



- 多晶硅栅和源漏端需要由金属互连线（低电阻和电容）连出。
- 每个区域必须有多个“接触窗口”，这些窗口填满了金属并与上层金属线连接。
- 满足接触孔的工艺要求条件下，尽量减小漏源的面积，降低寄生电容。

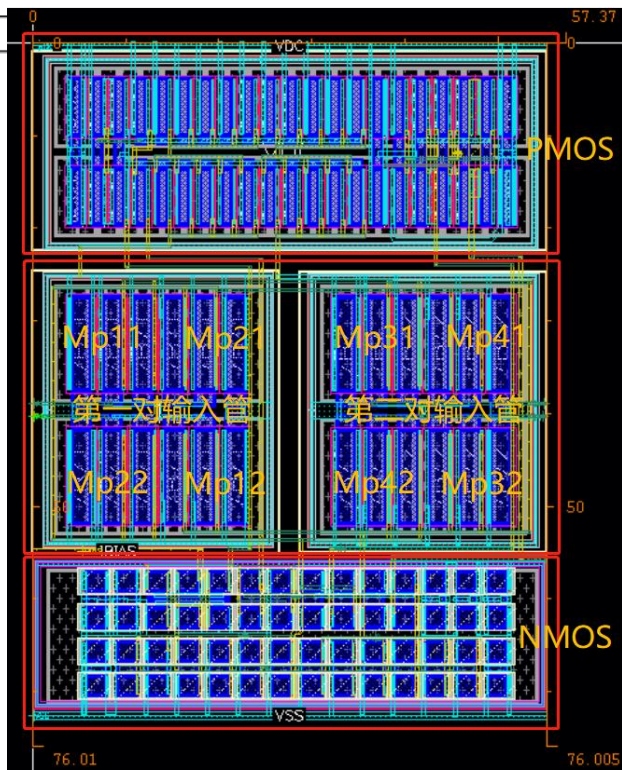
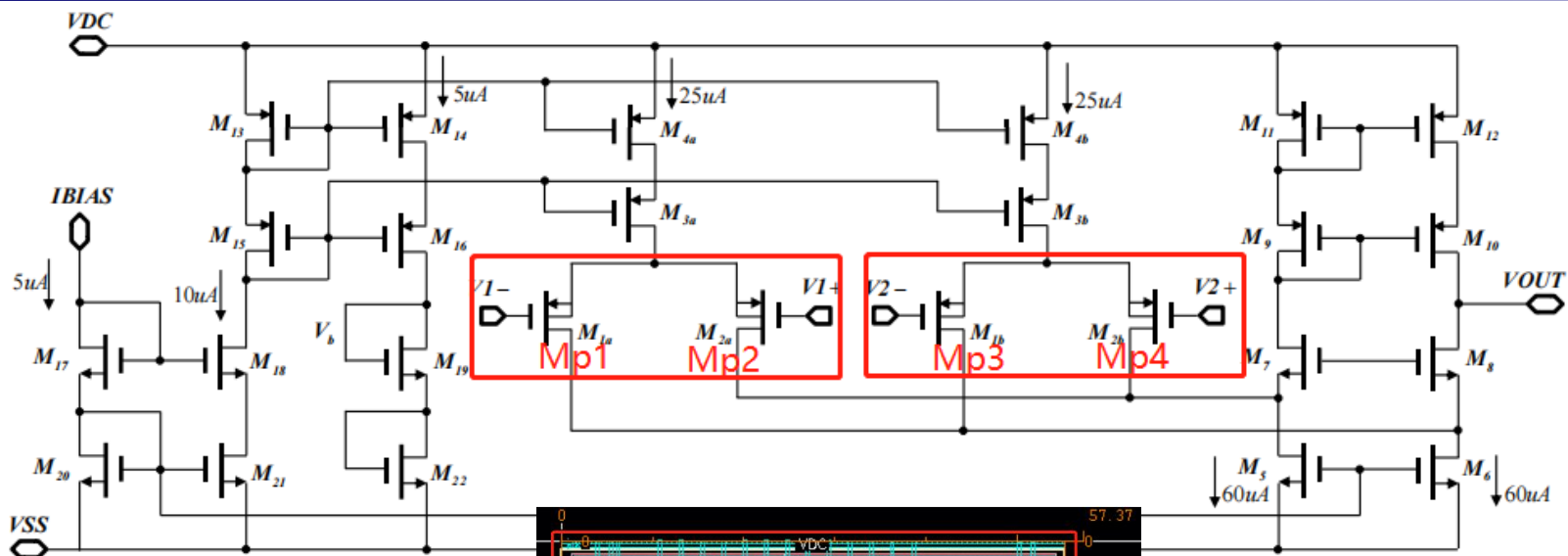
MOS器件版图



版图的画法影响了寄生电容的大小

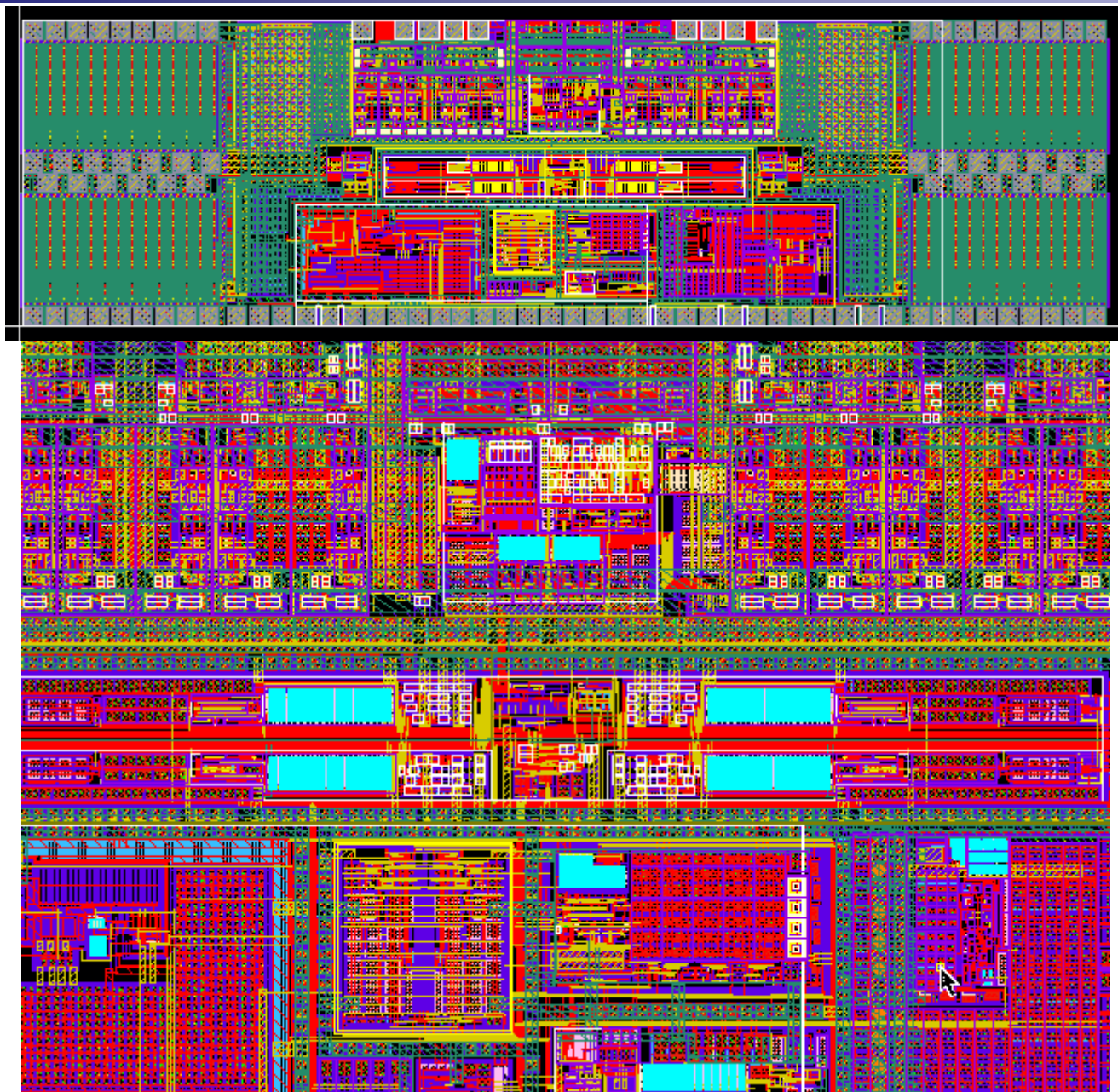


放大器的版图



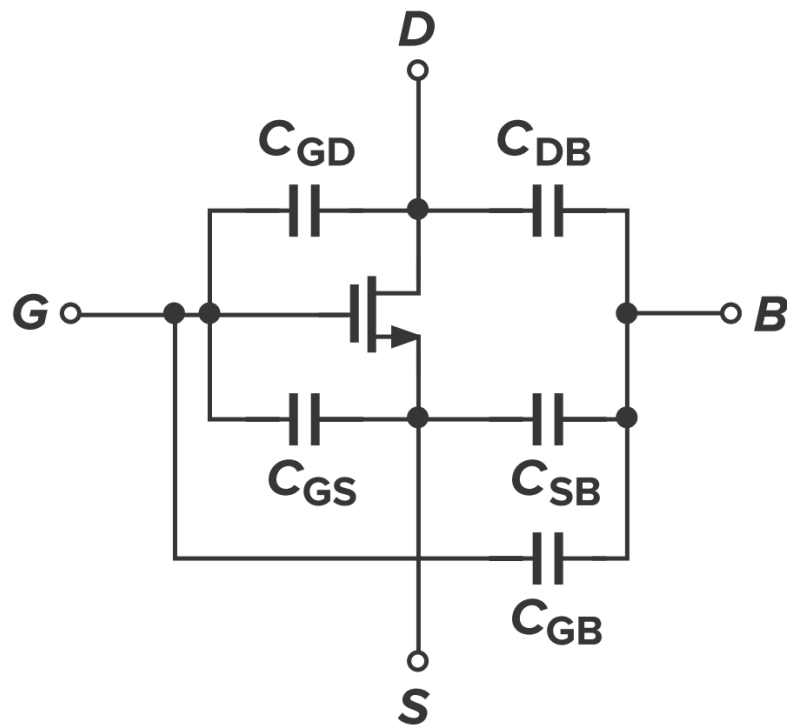


芯片版图

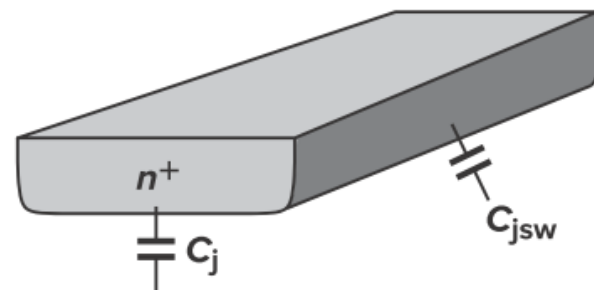
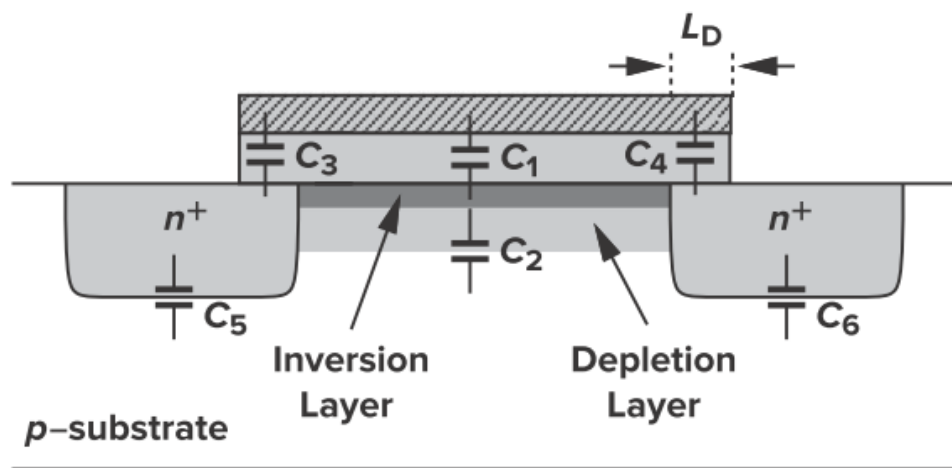




MOS器件电容



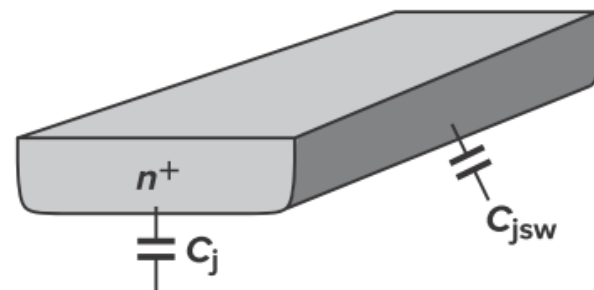
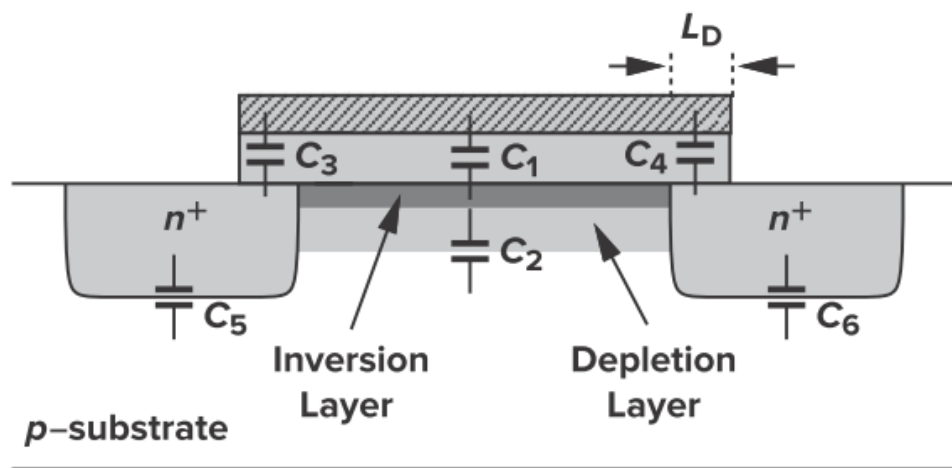
- 需要考虑寄生电容，来预测器件的高频特性。
- 电容存在于四个端口中的任意两个之间。



- 栅与沟道之间的氧化层电容 C_1
- 衬底与沟道之间的耗尽层电容 C_2
- 栅与源漏端的覆盖产生的电容 C_3 和 C_4
- 源漏区与衬底之间的结电容 C_5 和 C_6



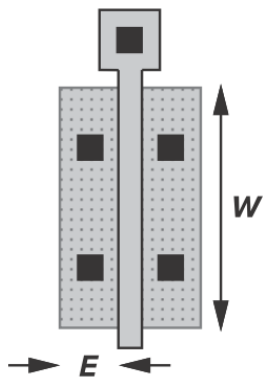
2.4.2 MOS器件电容



- $C_1 = WLC_{ox}$
- $C_2 = WL\sqrt{q\epsilon_{si}N_{sub}/(4\Phi_F)}$
- C_3 和 C_4 计算比较复杂，假设单位宽度的电容为 C_{OV} ，则其为 WC_{OV}
- C_5 和 C_6 包括两部分：
 - 与结的底部相关的下极板，单位面积电容为 C_j
 - 结周边引起的侧壁，单位长度电容为 C_{jsw}

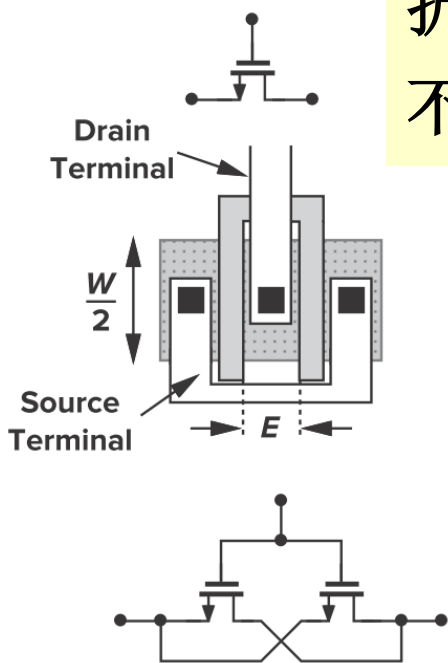


计算源漏的结电容



$$C_{DB} = C_{SB} = WEC_j + 2(W + E)C_{jsw}$$

折叠后W/L相同，
不改变W和栅面积

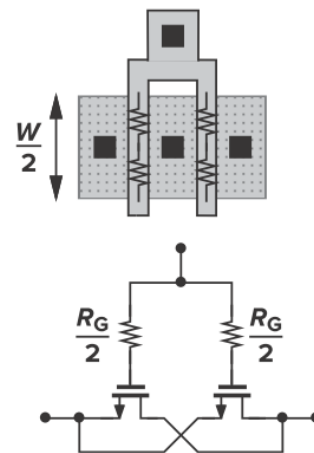
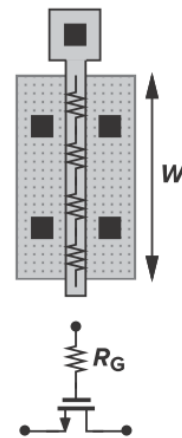


$$C_{DB} = \frac{W}{2}EC_j + 2\left(\frac{W}{2} + E\right)C_{jsw}$$

$$C_{SB} = 2\left[\frac{W}{2}EC_j + 2\left(\frac{W}{2} + E\right)C_{jsw}\right]$$

$$= WEC_j + 2(W + 2E)C_{jsw}$$

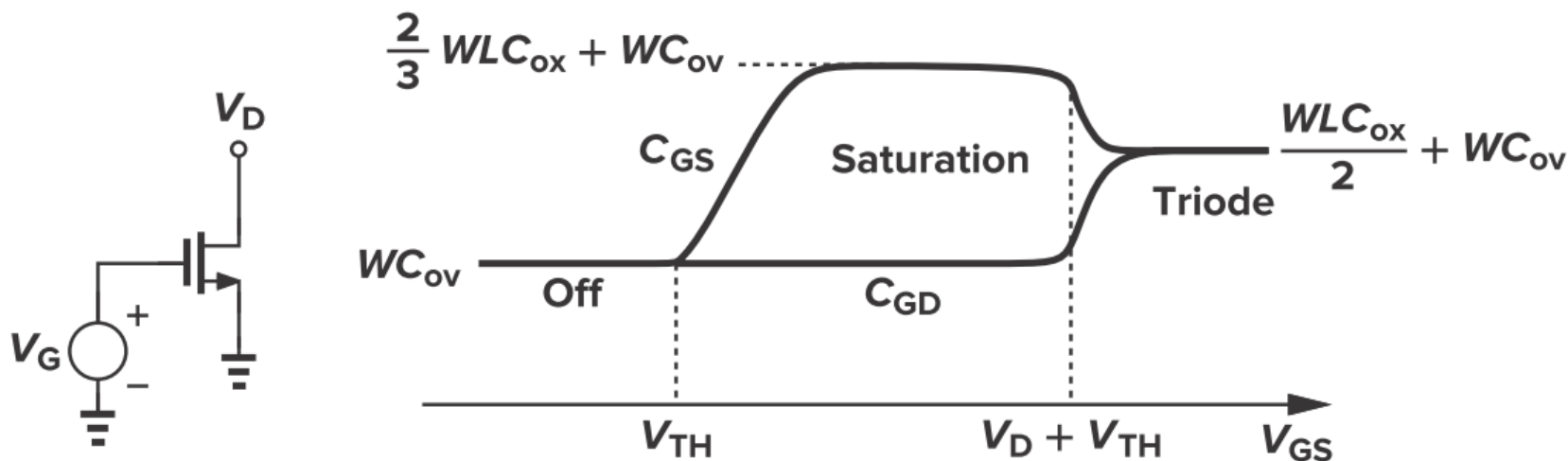
还有什么改善了？



漏结电容
小很多！



在不同工作区域MOS各端口之间的电容



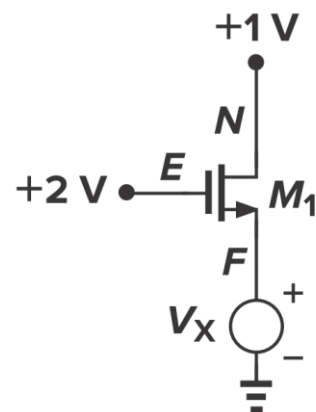
- 截止区：
 - $C_{GS}=C_{GD}=WC_{ov}$;
 - $C_{GB}=(WLC_{ox})C_d/(WLC_{ox}+C_d)$
- 饱和区： $C_{GD}=WC_{ov}$; $C_{GS}=2WL_{eff}C_{ox}/3+WC_{ov}$
- 线性区： $C_{GD}=C_{GS}=WLC_{ox}/2+WC_{ov}$

C_{GB} 在线性区和饱和区为何可忽略不计？

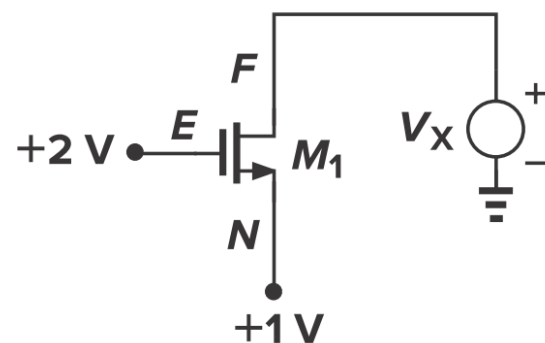
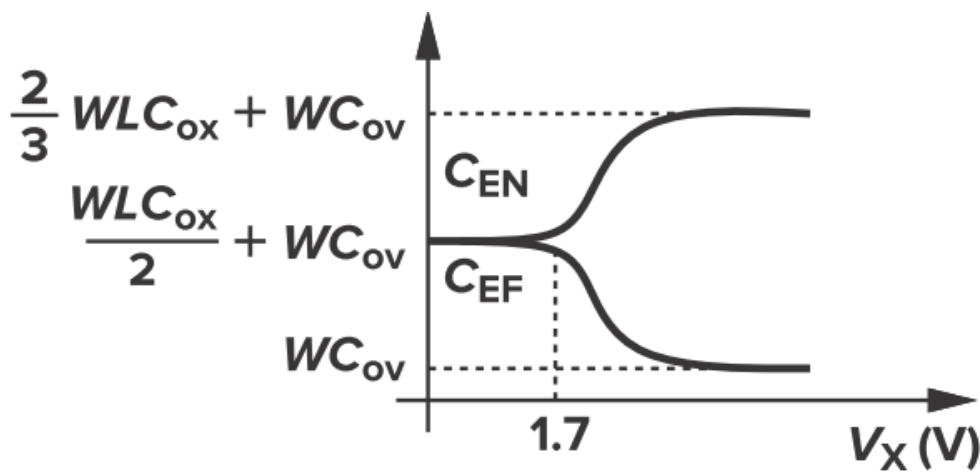


例2.11

- 画出 V_X 从0到3V变化时, C_{EN} 和 C_{EF} 的电容草图
 - 当 $0 < V_X < 1V$ 时, M1处于线性区
 - 当 $V_X > 1V$ 时, 源漏互换!
 - 当 $1.7V > V_X > 1V$ 时, 仍然处于线性区
 - 当 $V_X > 1.7V$ 时, 处于饱和区



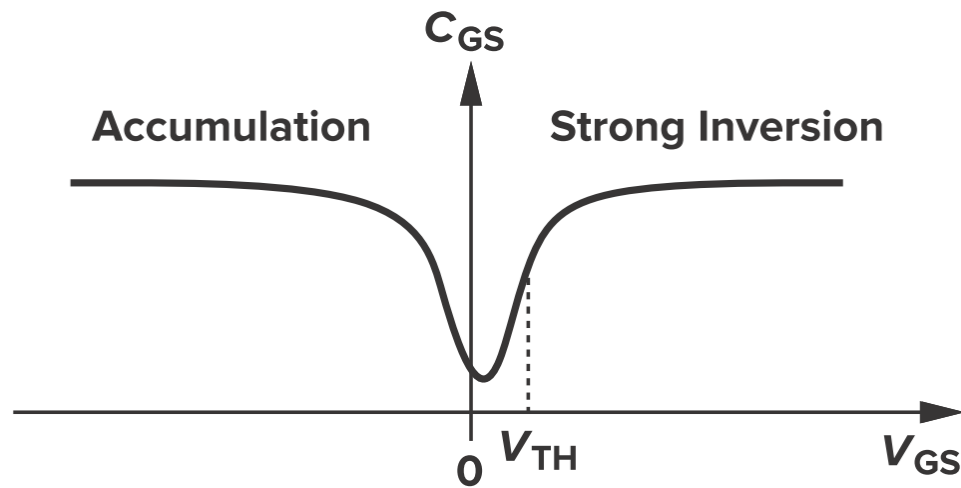
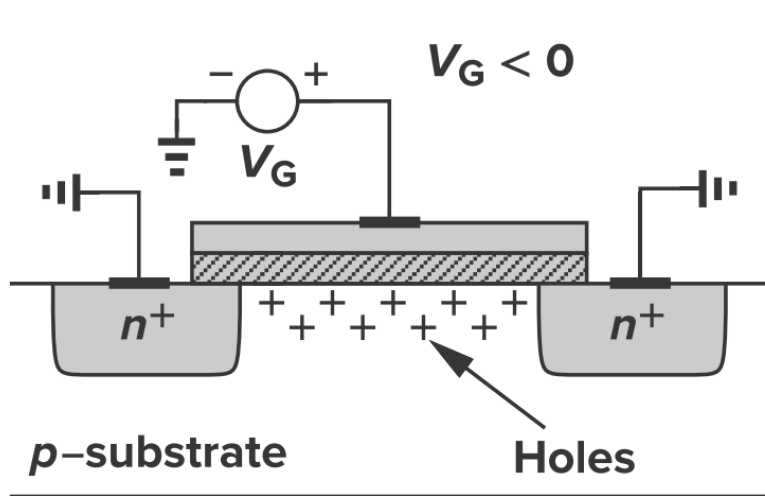
$$V_{TH} = 0.3V$$
$$\lambda = \gamma = 0$$



寄生电容计算复杂, 只需定性了解, 定量计算由EDA工具完成



使用MOS器件作为电容器



- MOS电容：栅为一端，源漏体三端连在一起作为一端
 - 积累区：负栅压时，将衬底中的空穴吸引到氧化层界面，形成单位面积电容为 C_{OX} 的电容器。
 - 弱反型区， C_{OX} 和 C_{dep} 串联。
 - 强反型区，沟道形成，单位面积电容仍为 C_{OX}

MOS可做可变电容，且电容密度高



2.4.3 MOS小信号模型

- 小信号模型和大信号模型均针对含有非线性元件的电路
 - 大信号模型：所加的信号幅度较大，导致电路的非线性因素不可忽略，分析比较复杂。
 - 小信号模型：所加的信号幅度较小（交流小信号），对直流工作点几乎无影响，可以将电路进行线性化近似，简化分析。
- 如何得到小信号模型？
 - 给器件的各个端口施加一个偏置电压；
 - 在两个端口之间产生一个电压增量，而其他端口电压保持不变；
 - 测量所有端口的电流变化。



MOS小信号模型

- 理想MOS器件

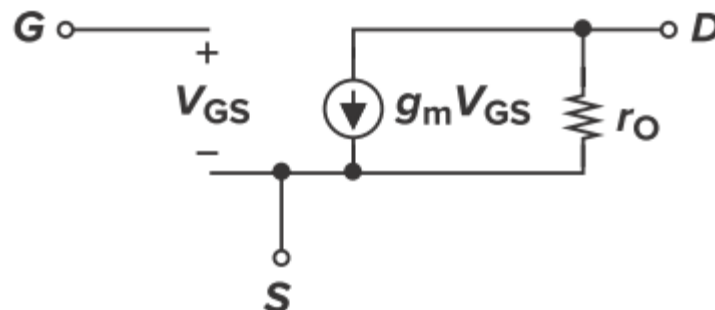
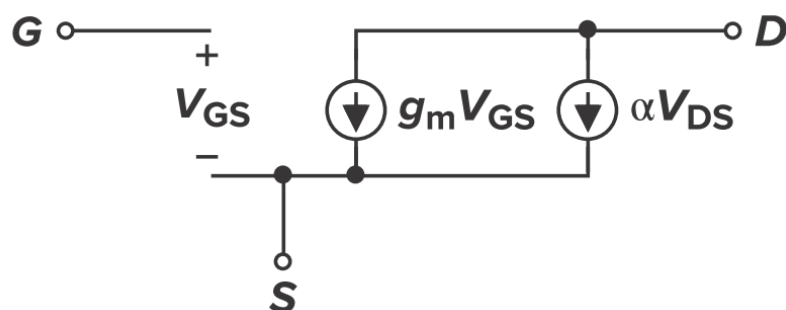
$$\Delta V = V_{GS} \Rightarrow \Delta I = g_m V_{GS}$$

- 考虑沟道长度调制效应

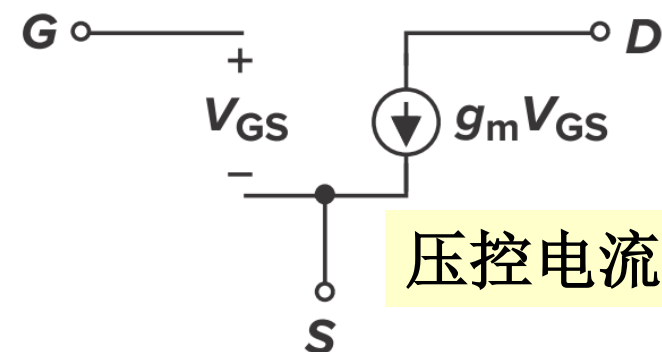
$$I_D \approx \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS})$$

$$\Delta I_D = \frac{\partial I_D}{\partial V_{GS}} \Delta V_{GS} + \frac{\partial I_D}{\partial V_{DS}} \Delta V_{DS}$$

$$\frac{\partial V_{DS}}{\partial I_D} = \frac{1}{\partial I_D / \partial V_{DS}} = \frac{1}{\frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 \cdot \lambda} \approx \frac{1 + \lambda V_{DS}}{\lambda I_D} \approx \frac{1}{\lambda I_D}$$



理想MOS的小信号模型



压控电流源

输出电阻 r_o



MOS小信号模型

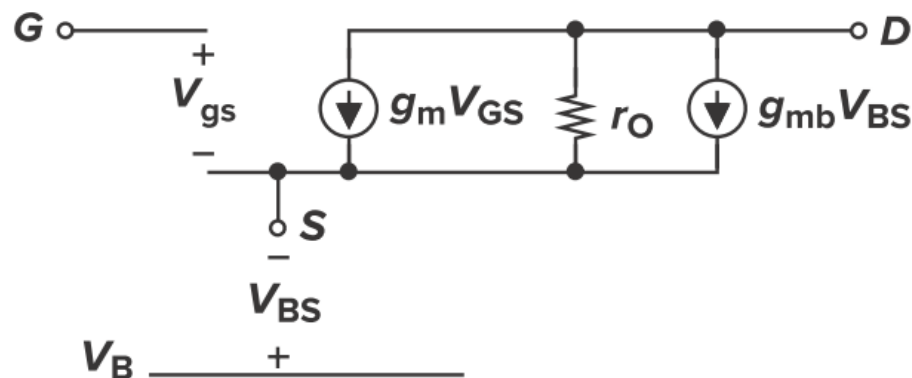
- 考虑体效应

$$g_{mb} = \frac{\partial I_D}{\partial V_{BS}} = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH}) \left(-\frac{\partial V_{TH}}{\partial V_{BS}} \right)$$

$$\frac{\partial V_{TH}}{\partial V_{BS}} = -\frac{\partial V_{TH}}{\partial V_{SB}} = -\frac{\gamma}{2} (2\Phi_F + V_{SB})^{-1/2}$$

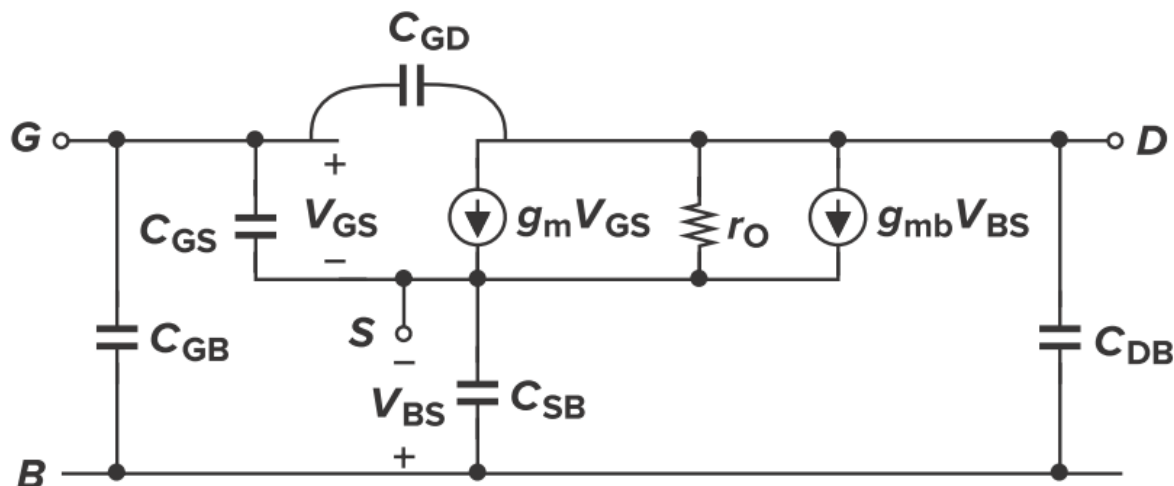
$$g_{mb} = g_m \frac{\gamma}{2\sqrt{2\Phi_F + V_{SB}}} = \eta g_m$$

($\eta = g_{mb}/g_m$, 典型值约为0.25)

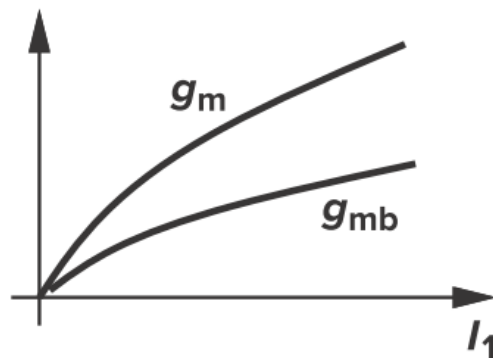
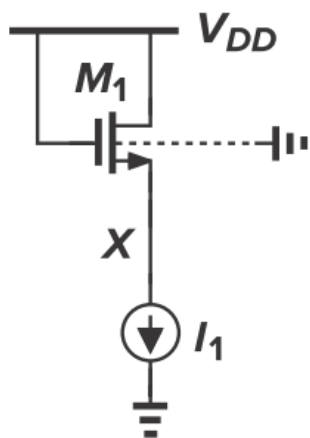




MOS小信号模型



完整的MOS小信号模型



$$g_m \propto \sqrt{I_1}$$

I_1 增加, V_X 减小, V_{SB} 减小



2.4.4 MOS SPICE模型

Table 2.1 Level 1 SPICE models for NMOS and PMOS devices.

NMOS Model

LEVEL = 1	VTO = 0.7	GAMMA = 0.45	PHI = 0.9
NSUB = $9e+14$	LD = $0.08e-6$	UO = 350	LAMBDA = 0.1
TOX = $9e-9$	PB = 0.9	CJ = $0.56e-3$	CJSW = $0.35e-11$
MJ = 0.45	MJSW = 0.2	CGDO = $0.4e-9$	JS = $1.0e-8$

PMOS Model

LEVEL = 1	VTO = -0.8	GAMMA = 0.4	PHI = 0.8
NSUB = $5e+14$	LD = $0.09e-6$	UO = 100	LAMBDA = 0.2
TOX = $9e-9$	PB = 0.9	CJ = $0.94e-3$	CJSW = $0.32e-11$
MJ = 0.5	MJSW = 0.3	CGDO = $0.3e-9$	JS = $0.5e-8$



SPICE模型参数定义

VTO:	$V_{SB}=0$ 时的阈值电压	(单位: V)
GAMMA:	体效应系数	(单位: $V^{1/2}$)
PHI:	$2\Phi_F$	(单位: V)
TOX:	栅氧厚度	(单位: m)
NSUB:	衬底掺杂浓度	(单位: cm^{-3})
LD:	源/漏侧扩散长度	(单位: m)
UO:	沟道迁移率	(单位: $\text{cm}^2/\text{V}/\text{s}$)
LAMBDA:	沟道长度调制系数	(单位: V^{-1})
CJ:	单位面积的源/漏结电容	(单位: F/m^2)
CJSW:	单位长度的源/漏侧壁结电容	(单位: F/m)
PB:	源/漏结内建电势	(单位: V)
MJ:	CJ 公式中的幂指数	(无单位)
MJSW:	CJSW 等式中的幂指数	(无单位)
CGDO:	单位宽度的栅-漏覆盖电容	(单位: F/m)
CGSO:	单位宽度的栅-源覆盖电容	(单位: F/m)
JS:	源/漏结单位面积的漏电流	(单位: A/m^2)

Thank you

程 林

Email: eecheng@ustc.edu.cn