



中国科学技术大学

University of Science and Technology of China

数字集成电路设计

第一章 引 论

白雪飞

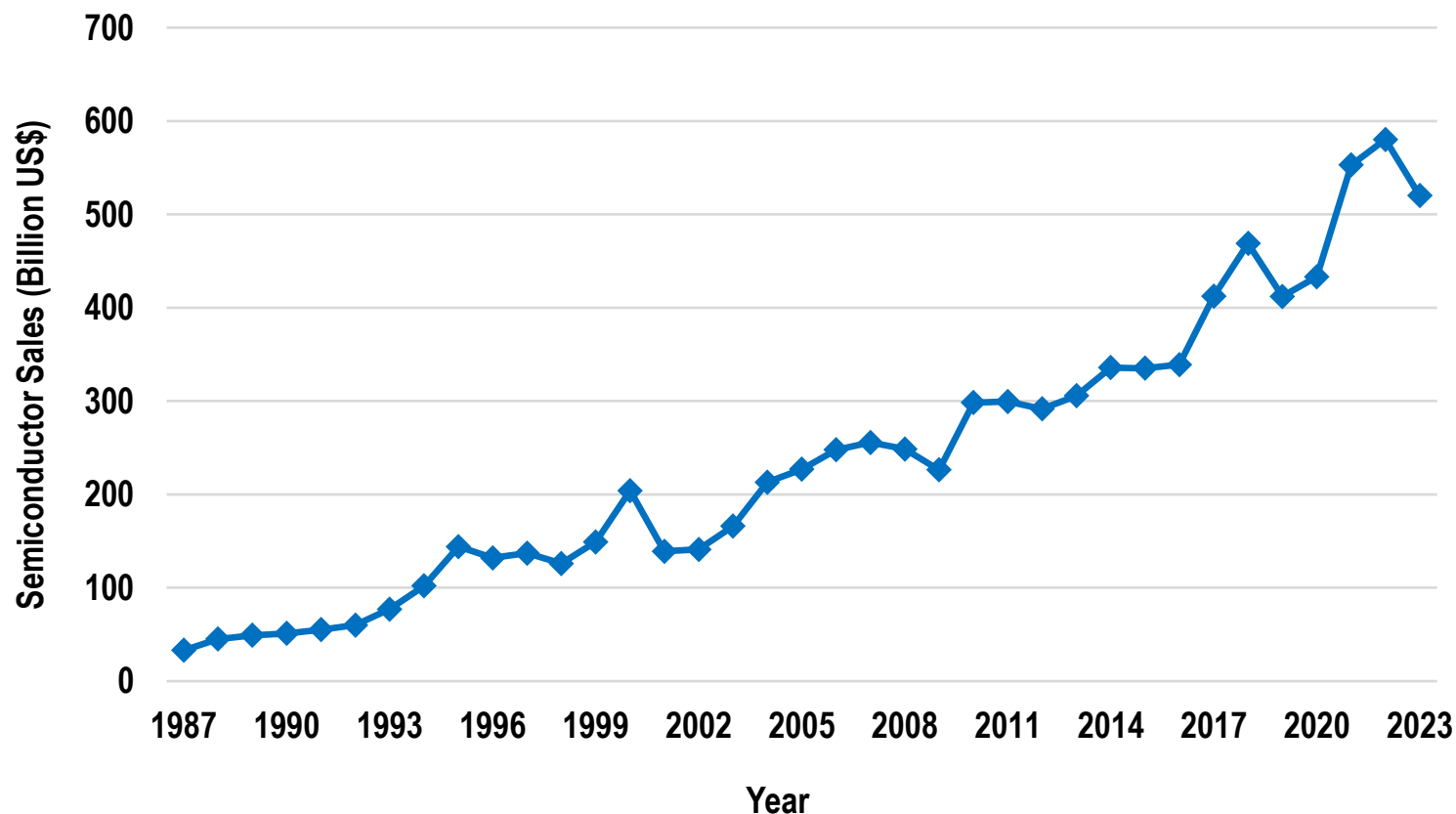
中国科学技术大学微电子学院

- 集成电路简史
- MOS晶体管
- CMOS逻辑
- CMOS工艺和版图
- 集成电路设计与验证



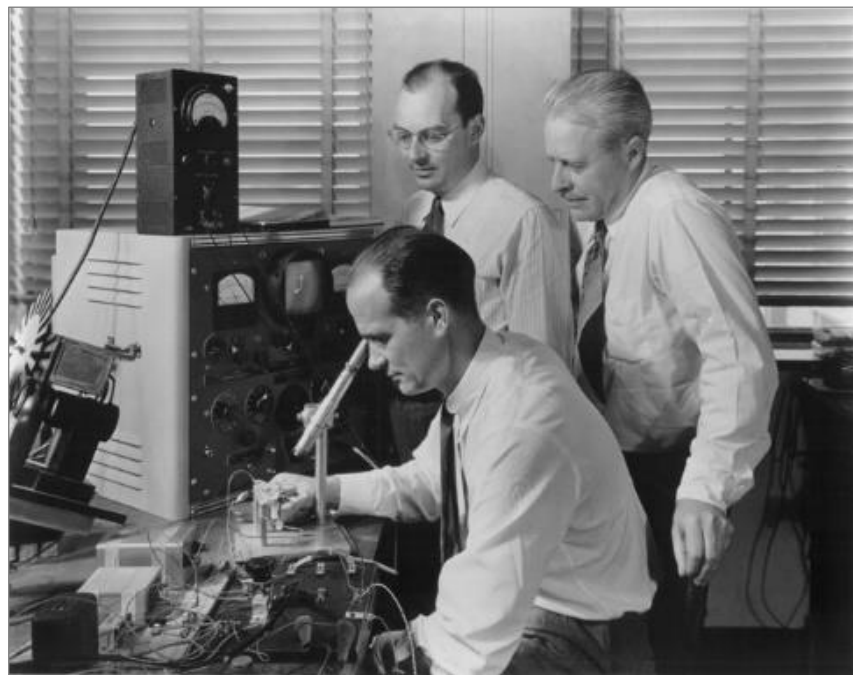
集成电路简史

世界半导体市场规模



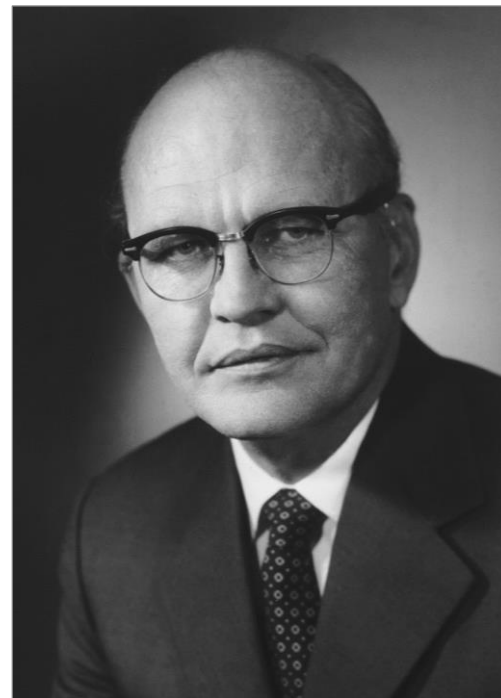
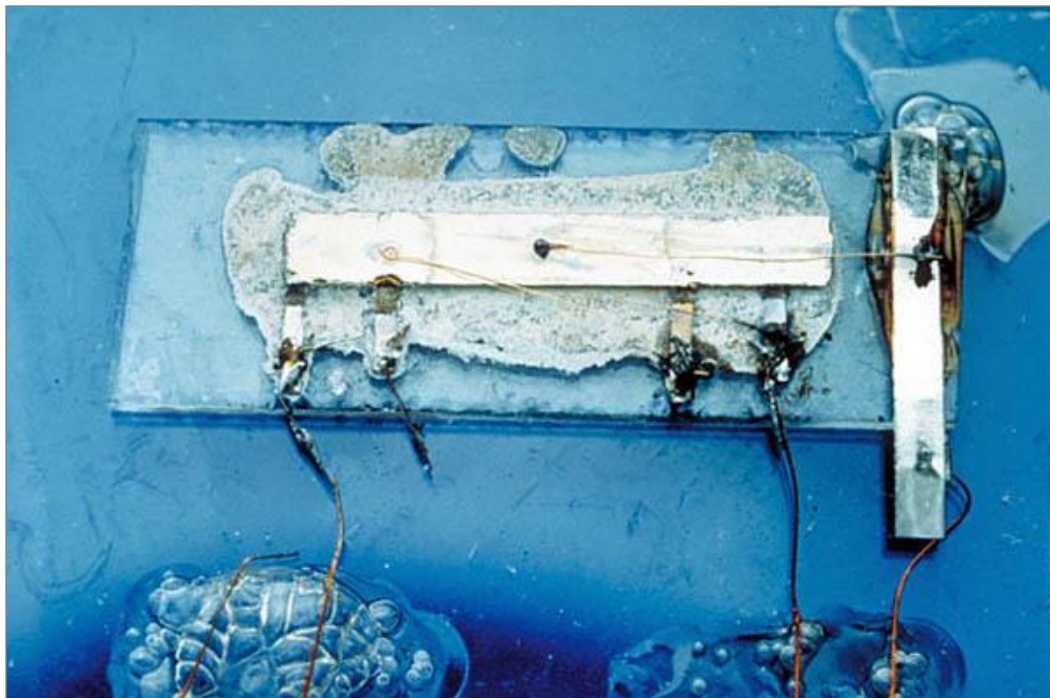
■ 数据来源: <https://www.statista.com/statistics/266973/global-semiconductor-sales-since-1988>

第一个晶体管



- John Bardeen, Walter Brattain, William Shockley
- 贝尔实验室，1947
- 点接触型锗晶体管

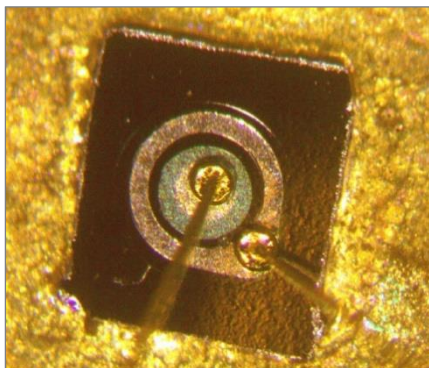
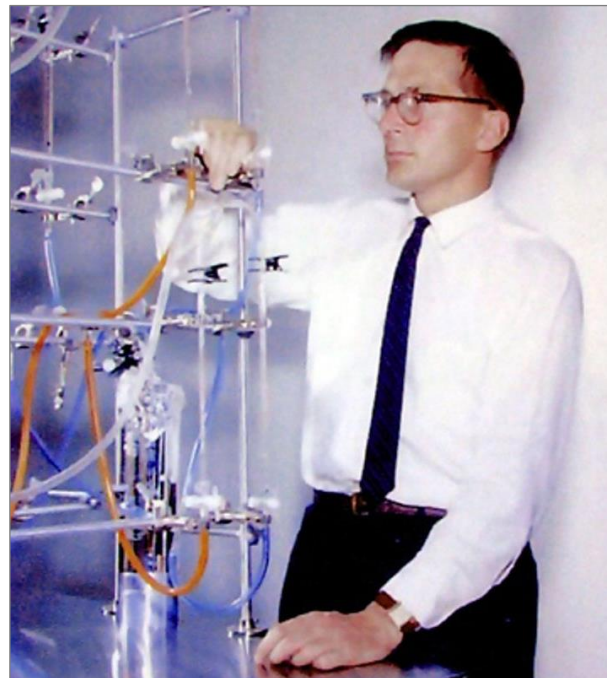
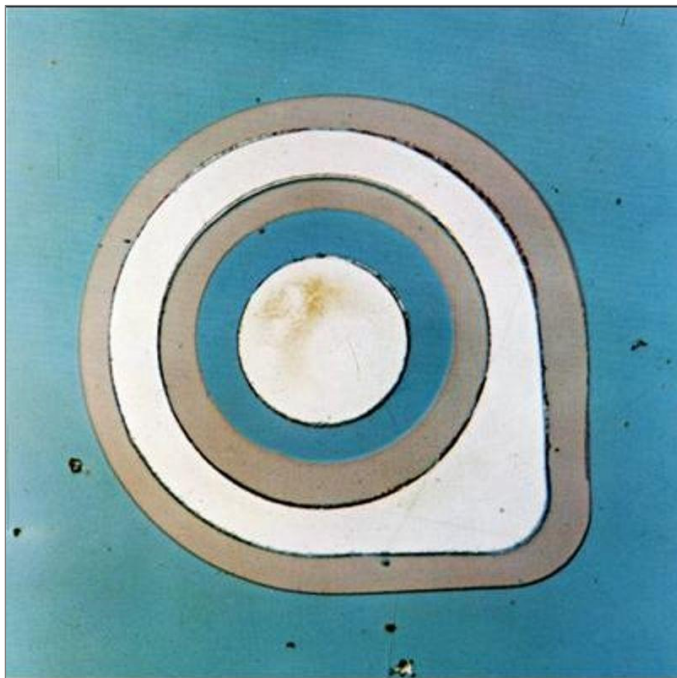
第一块集成电路



- Jack Kilby, 德州仪器, 1958
- 锗材料, $7/16 \text{ inch} \times 1/16 \text{ inch}$
- 相移振荡器, 包括一个双极型晶体管、三个电阻器、一个电容器

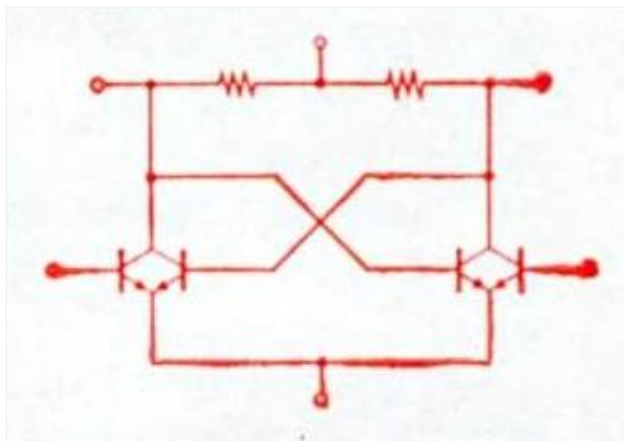
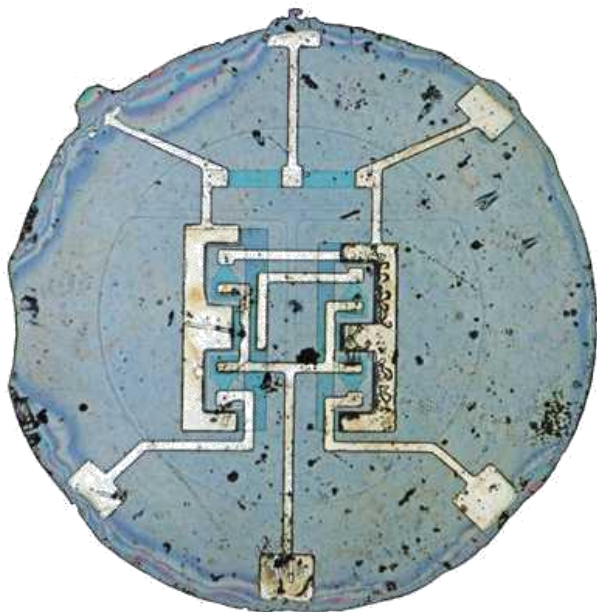


第一个平面晶体管



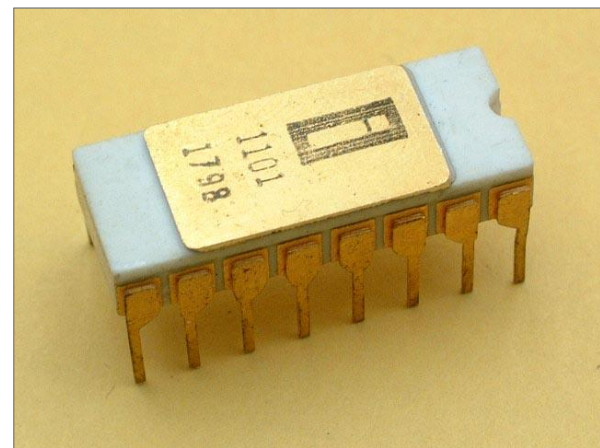
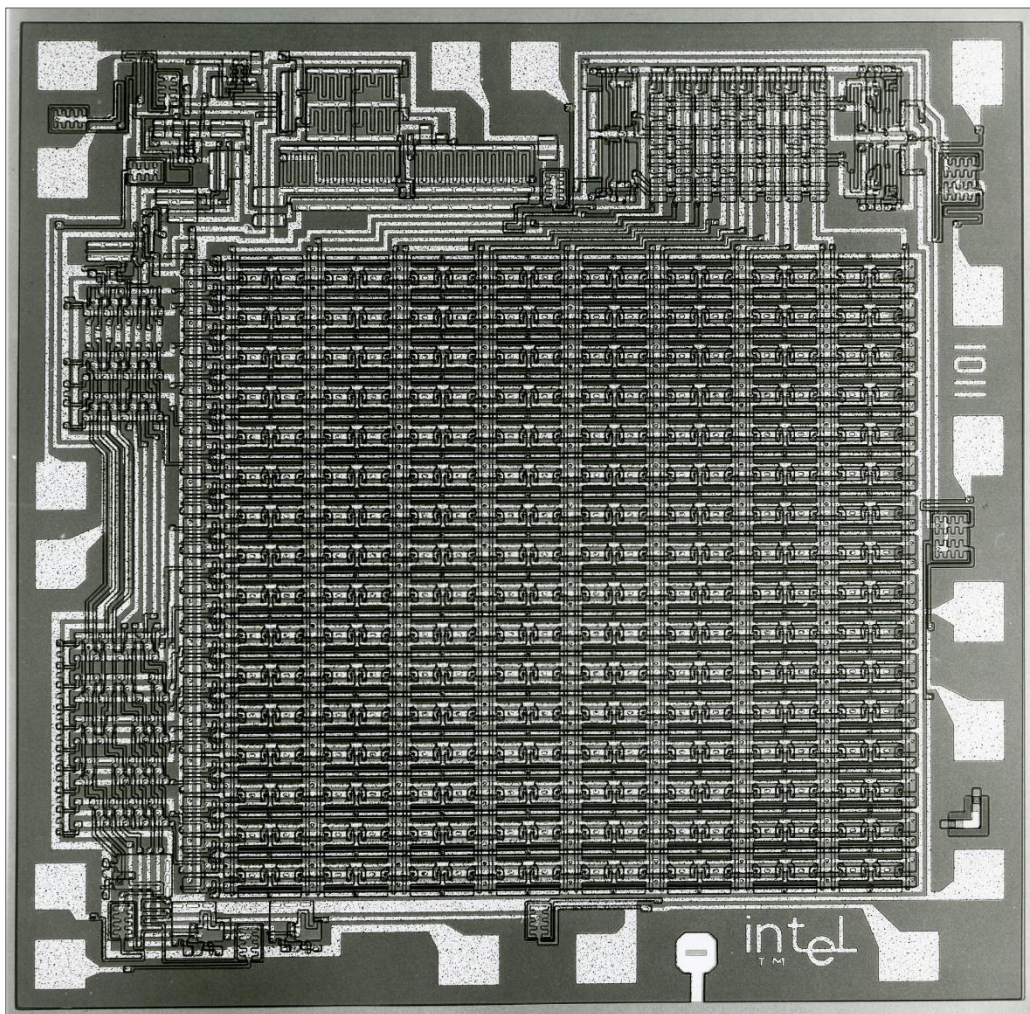
- Jean Hoerni, Fairchild, 1959
- 硅材料，平面工艺
- 二氧化硅钝化层保护PN结
- 双极型晶体管

第一个单片集成电路



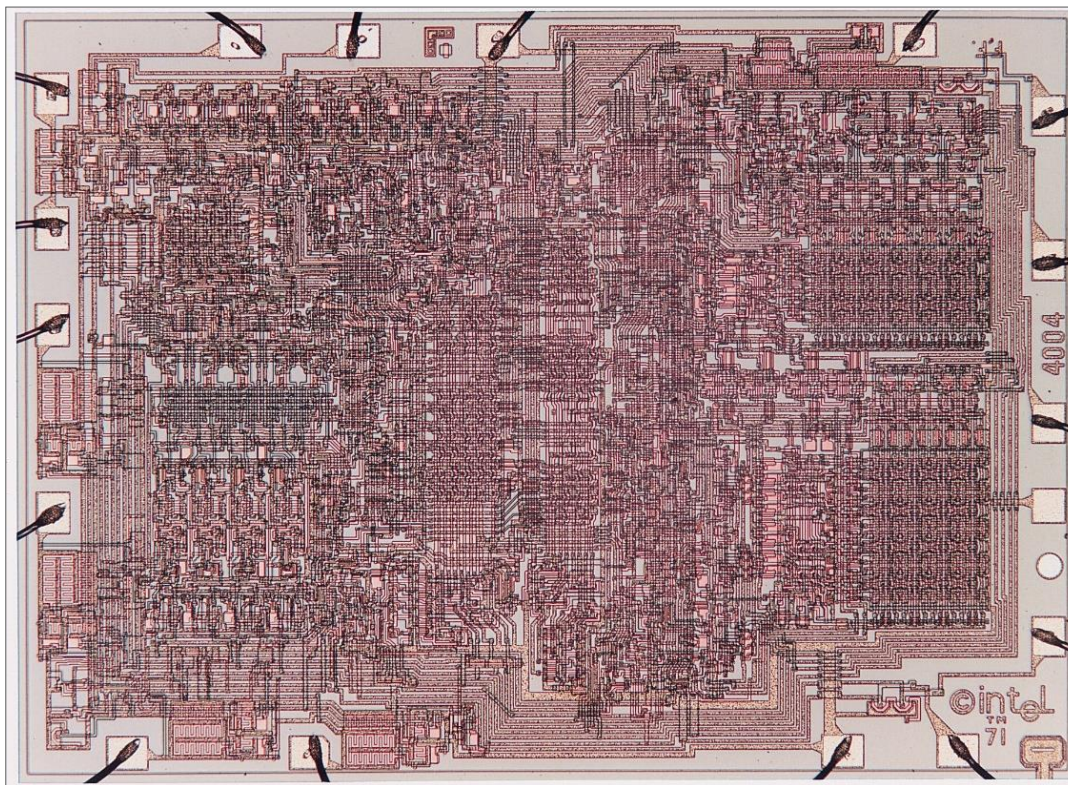
- Robert Noyce, Fairchild, 1961
- 硅材料，平面工艺
- 金属薄膜层互连
- 电阻-晶体管逻辑触发器
- 四个双极型晶体管、两个电阻器

第一款大容量MOS存储器

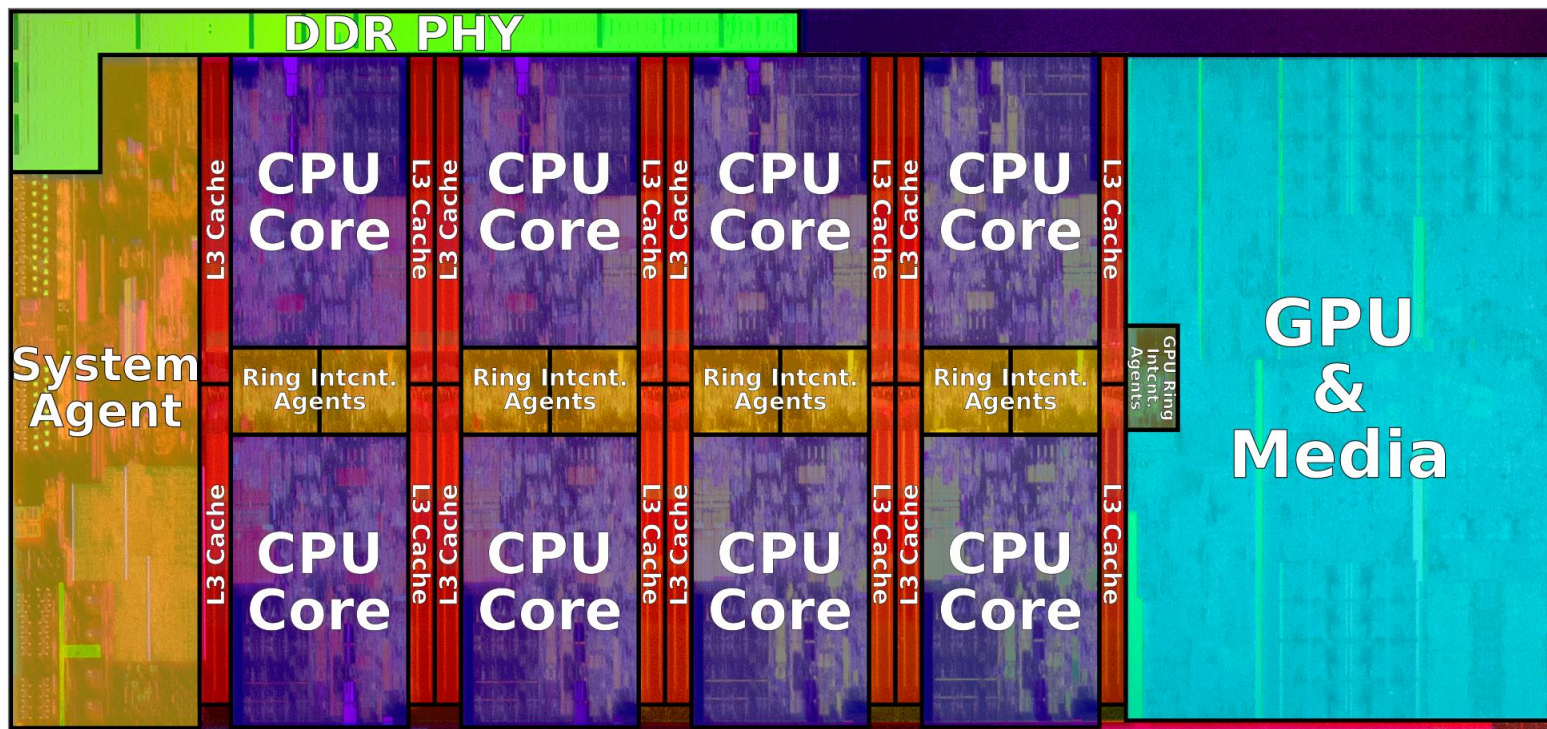


- Intel 1101, 1969
- 256-bit SRAM
- 12- μm MOS工艺
- 硅栅工艺 (SGT)
- 16针双列直插封装

第一款微处理器

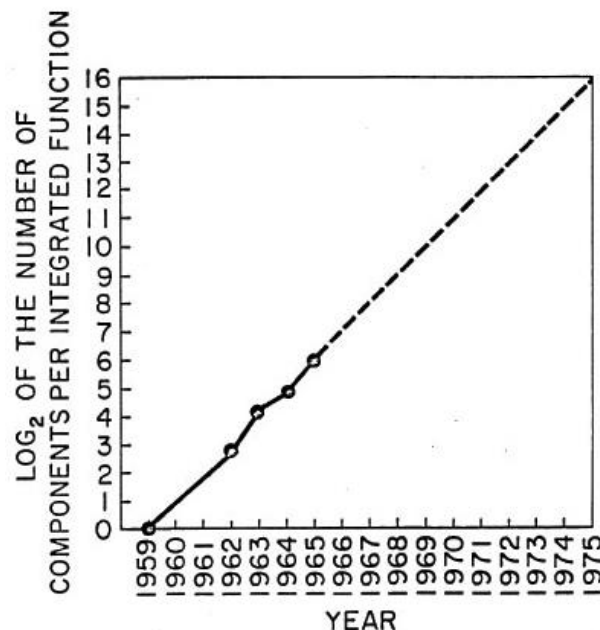
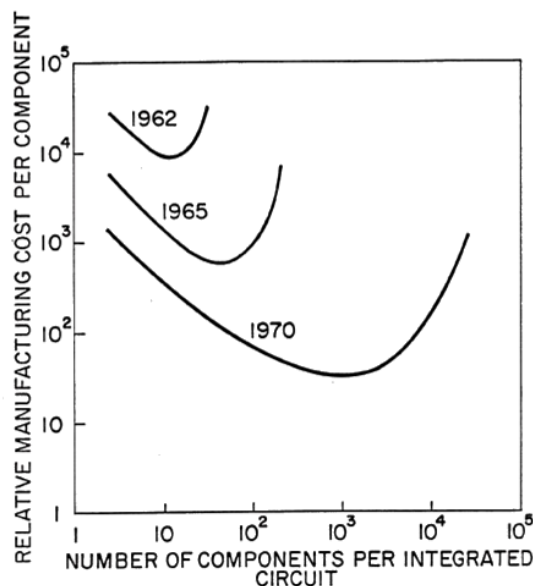


- Intel 4004, 1971
- 四位微处理器
- 主频：108 kHz ~ 740 kHz
- 寻址范围：640 B
- 10- μ m PMOS工艺
- 2300个晶体管
- 芯片尺寸：3 mm \times 4 mm
- 16针双列直插封装



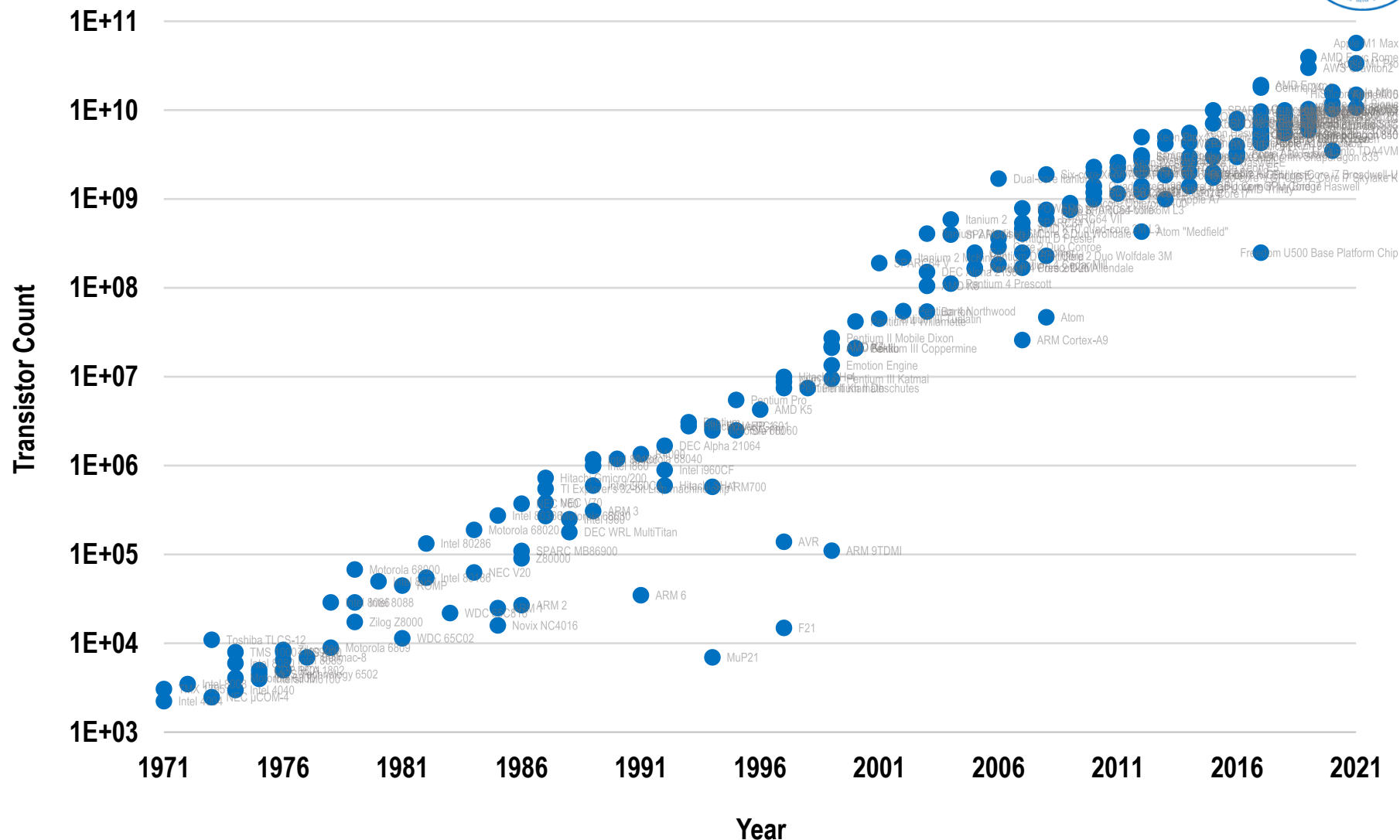
- Intel Core i9-9900, 2019
- 14-nm CMOS工艺
- 11层金属互连
- 8个64位CPU核
- 24个GPU执行单元
- 基准频率: 3.10 GHz
- 支持内存: 128 GiB
- FCLGA-1151封装

摩尔定律 (Moore's Law)

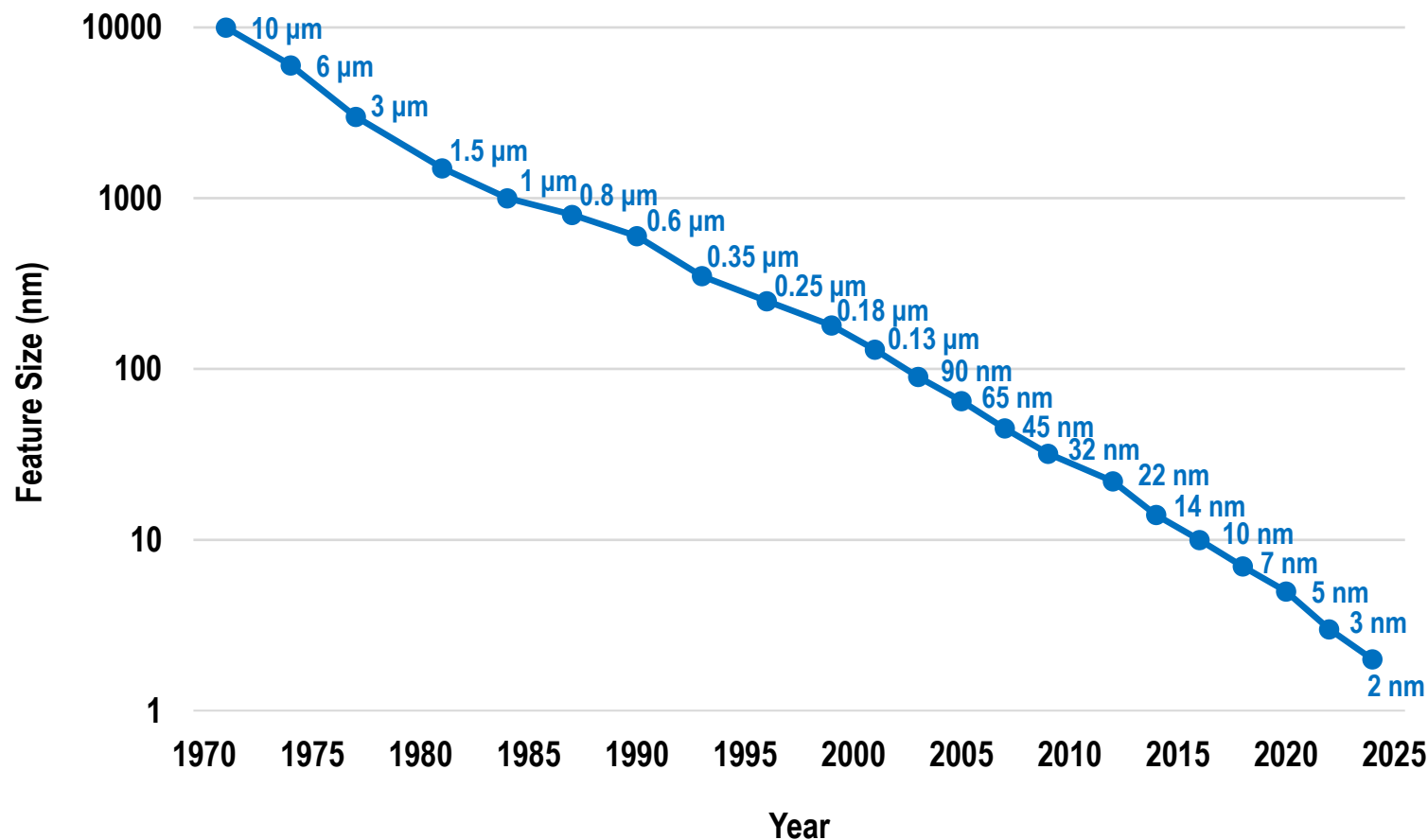


- The complexity for minimum component costs has increased at a rate of roughly a factor of two per year.
—— Gordon Moore, 1965
- The new slope might approximate a doubling every two years, rather than every year, by the end of the decade.
—— Gordon Moore, 1975
- Moore's Law is not a law of nature, it is an expectation of continued innovation.
—— Michael Mayberry, 2011

摩尔定律：微处理器芯片中晶体管数量

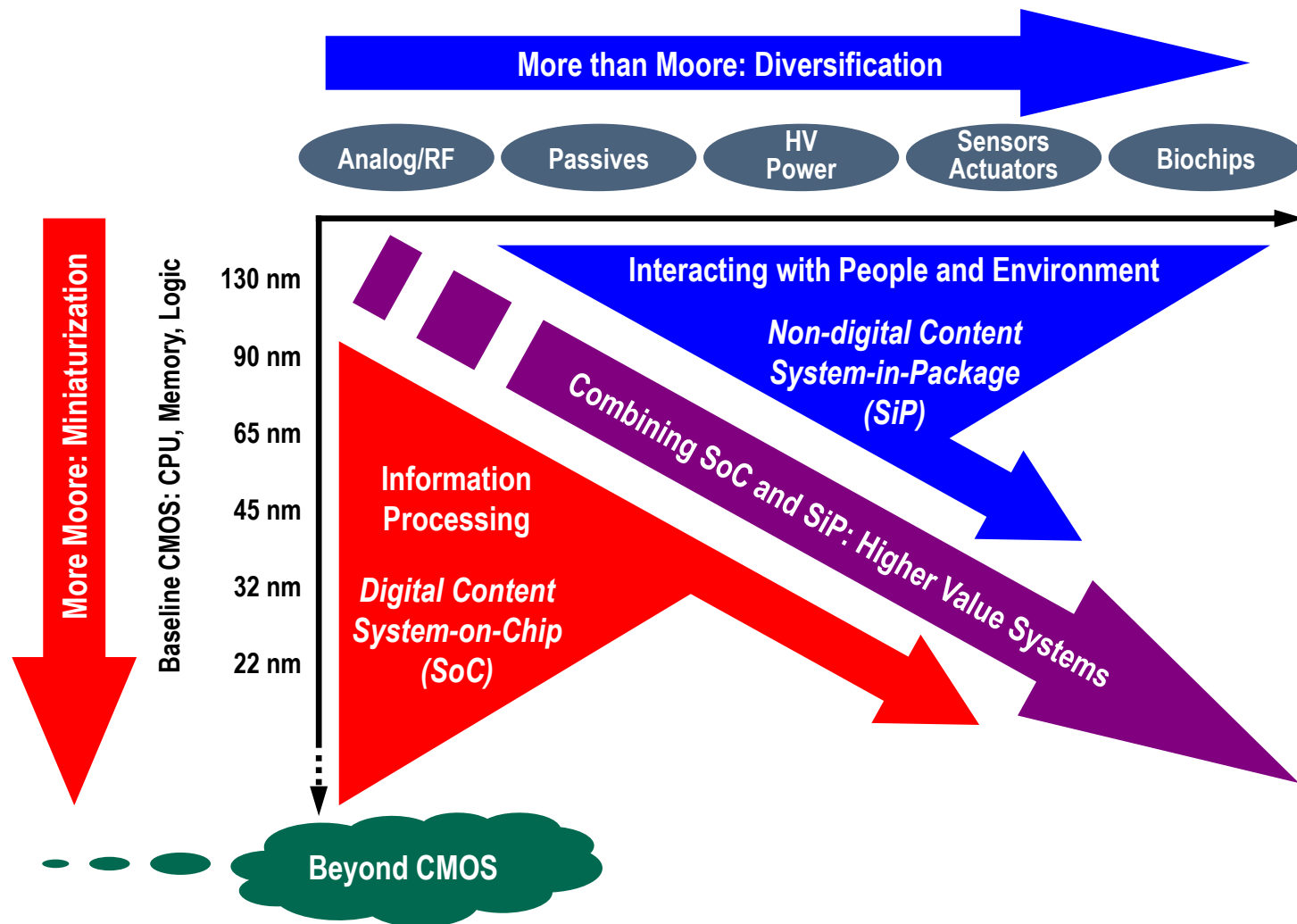


摩尔定律：半导体工艺节点



■ 数据来源: https://en.wikipedia.org/wiki/Semiconductor_device_fabrication

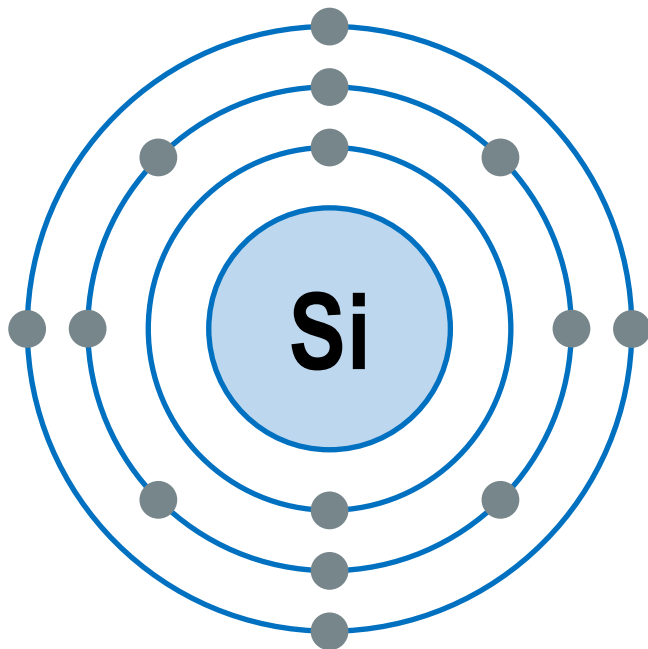
半导体技术的发展趋势



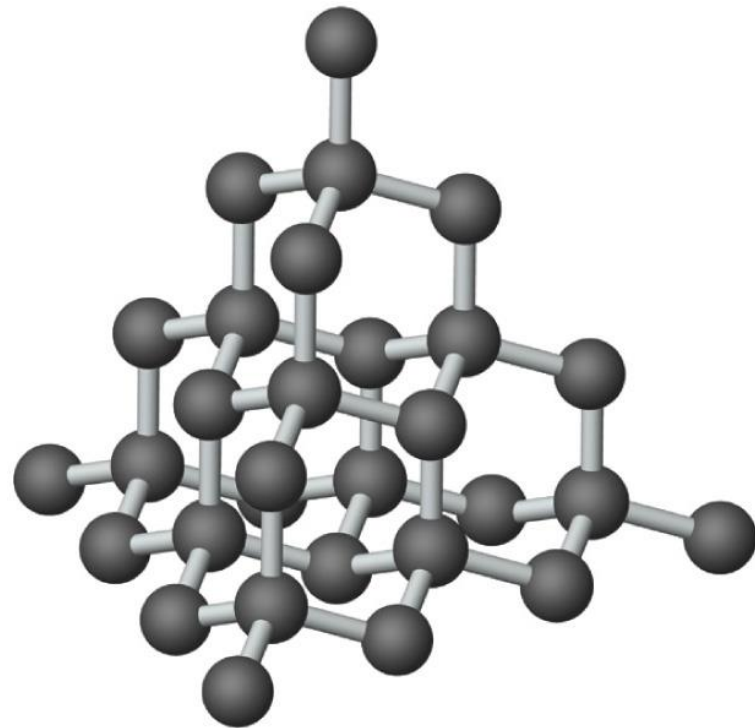
More Moore, More than Moore, and Beyond CMOS

(The International Technology Roadmap for Semiconductors (ITRS), 2005)

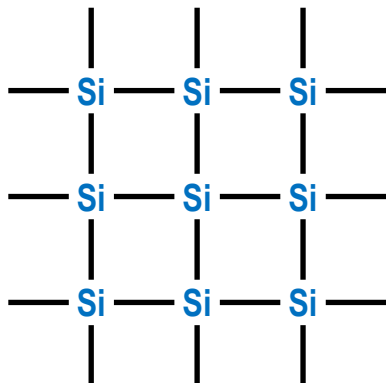
MOS晶体管



硅原子结构示意图

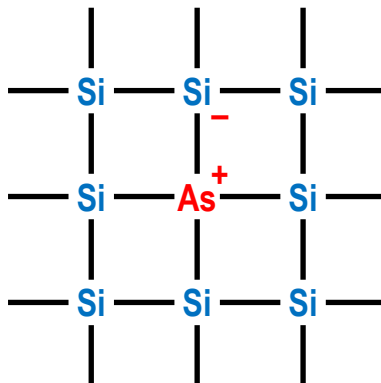


硅晶体的金刚石结构



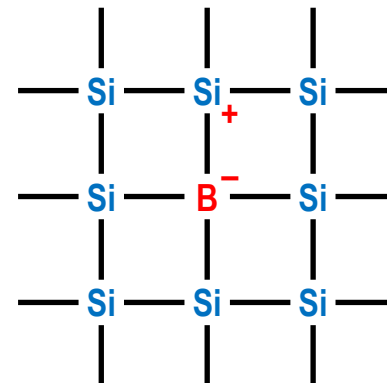
本征硅

- 无掺杂
- 不良导体
- 可通过引入掺杂物提高导电性能



N型掺杂硅

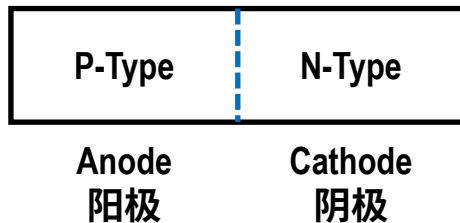
- 掺杂剂：VA族
- 磷(P)、砷(As)、锑(Sb)、铋(Bi)
- 多子：自由电子
- 少子：空穴



P型掺杂硅

- 掺杂剂：IIIA族
- 硼(B)、铝(Al)、镓(Ga)、铟(In)
- 多子：空穴
- 少子：自由电子

PN结二极管 (PN Junction Diode)



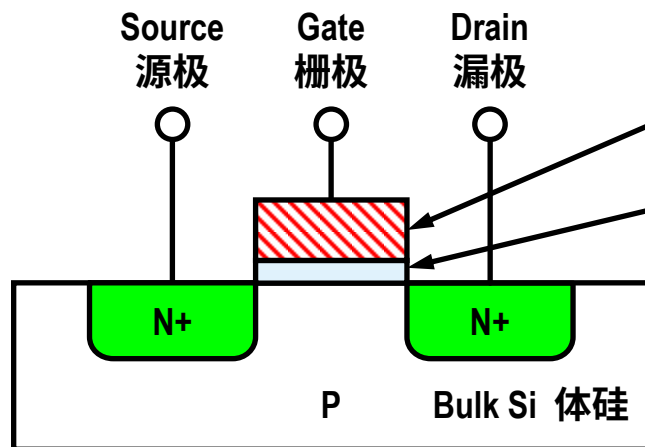
PN结二极管的结构



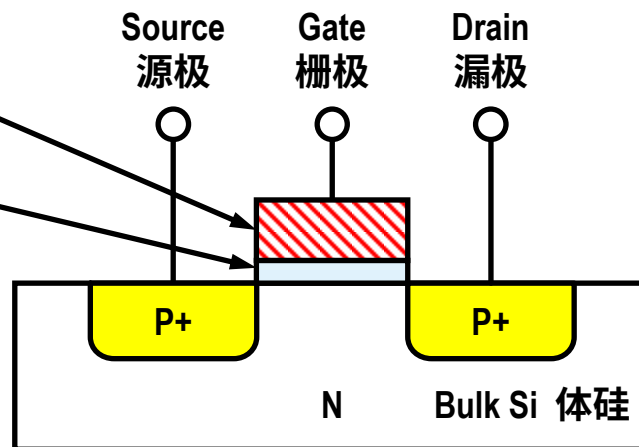
PN结二极管的符号

- 正向偏置：阳极电压高于阴极电压，有电流通过
- 反向偏置：阴极电压高于阳极电压，几乎没有电流

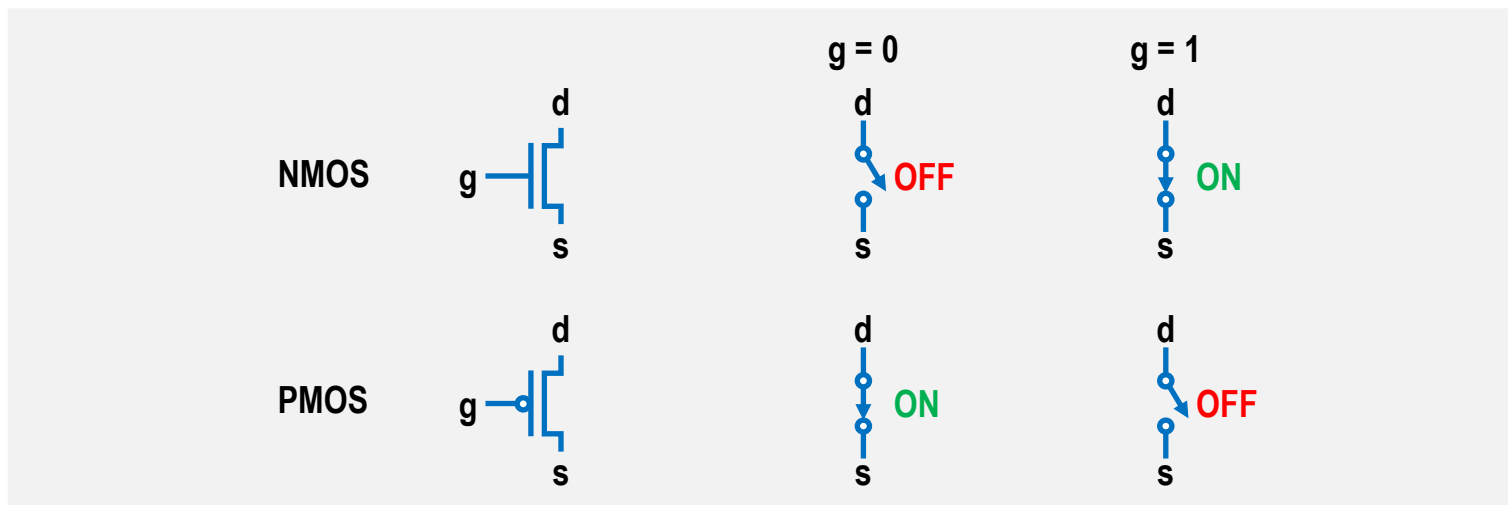
MOS晶体管 (MOS Transistor)



NMOS晶体管的结构

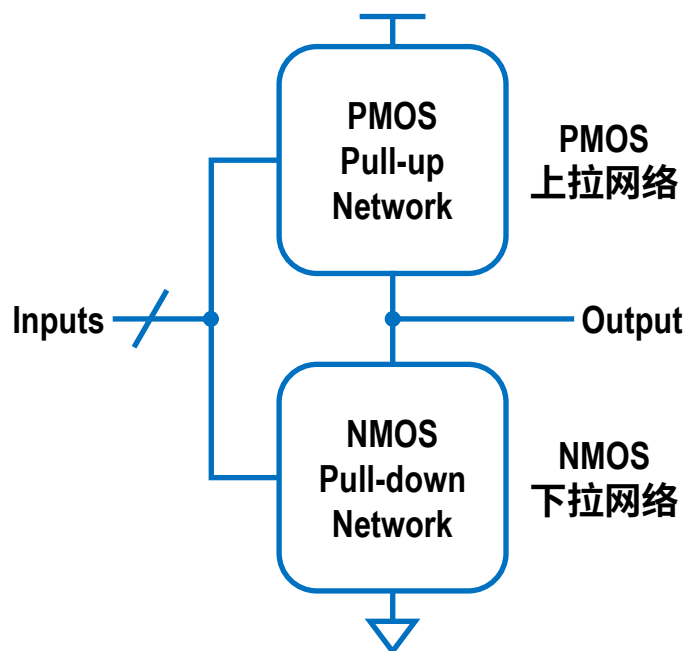


PMOS晶体管的结构



MOS晶体管的符号和开关级模型

CMOS逻辑



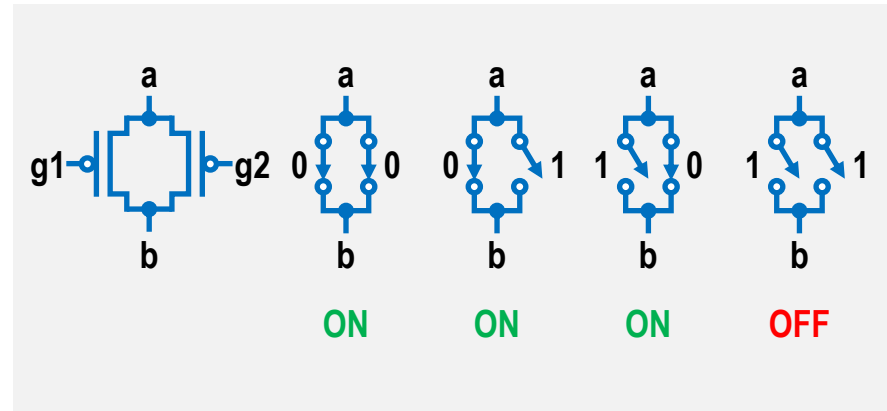
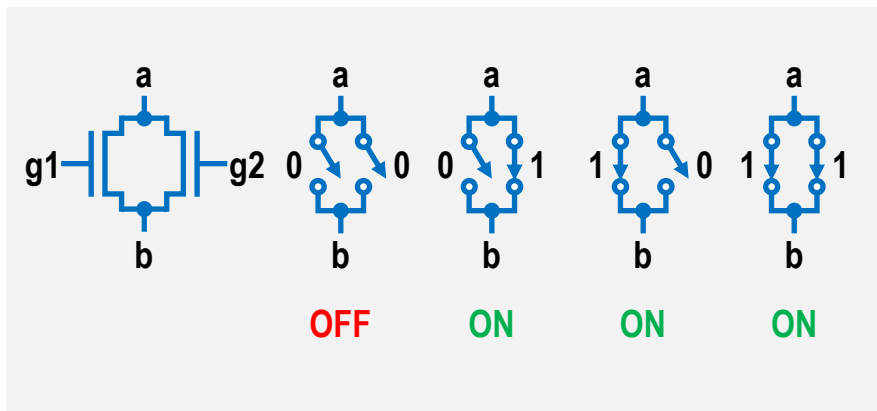
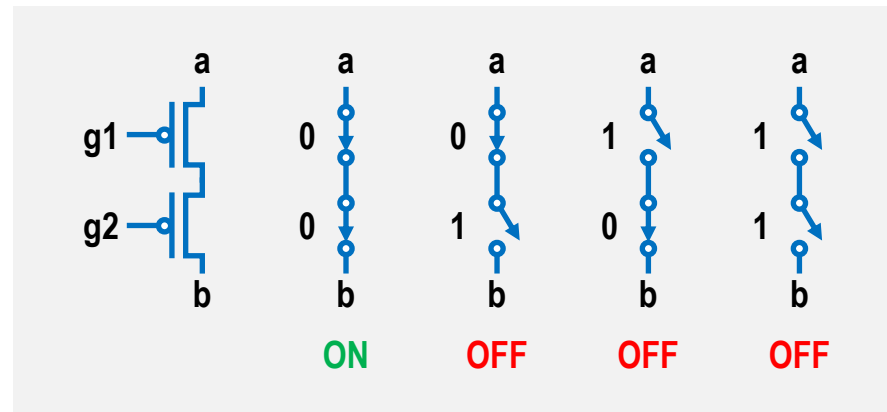
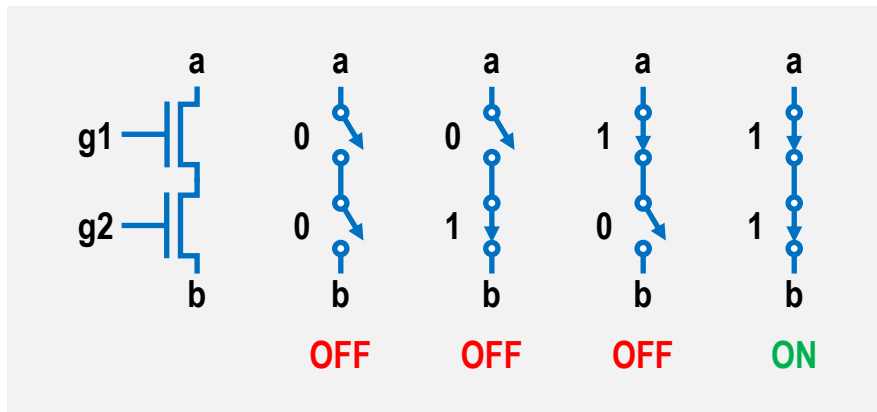
CMOS逻辑门一般形式

CMOS逻辑门输出状态

	上拉关断	上拉导通
下拉关断	Z	1
下拉导通	0	X

- Z: 高阻态, 输出浮空断开
- X: 不定态, 输出不确定电平

串联和并联晶体管

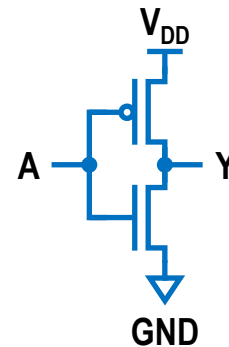


串联和并联晶体管的连接方式及行为

反相器 (Inverter)



反相器的符号



反相器原理图

$$Y = \overline{A}$$

反相器真值表

A	$Y = \overline{A}$
0	1
1	0

与非门 (NAND Gate)



$$Y = \overline{A \cdot B}$$

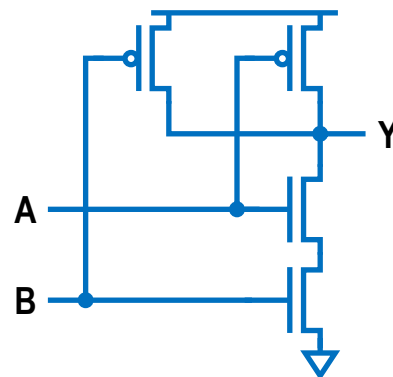


$$Y = \overline{A} + \overline{B}$$

二输入与非门符号

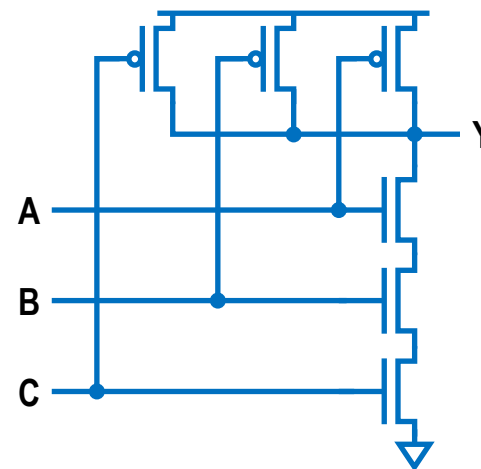
二输入与非门真值表

A	B	上拉网络	下拉网络	$Y = \overline{A \cdot B}$
0	0	ON	OFF	1
0	1	ON	OFF	1
1	0	ON	OFF	1
1	1	OFF	ON	0



二输入与非门原理图

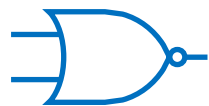
$$Y = \overline{A \cdot B}$$



三输入与非门原理图

$$Y = \overline{A \cdot B \cdot C}$$

或非门 (NOR Gate)



$$Y = \overline{A + B}$$

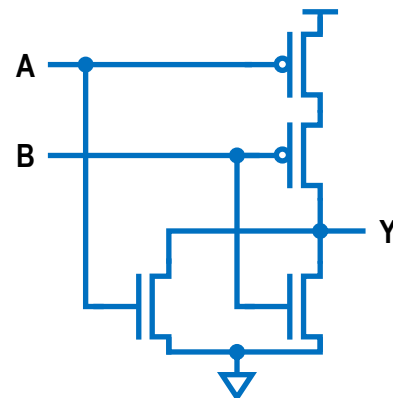


$$Y = \overline{A} \cdot \overline{B}$$

二输入或非门符号

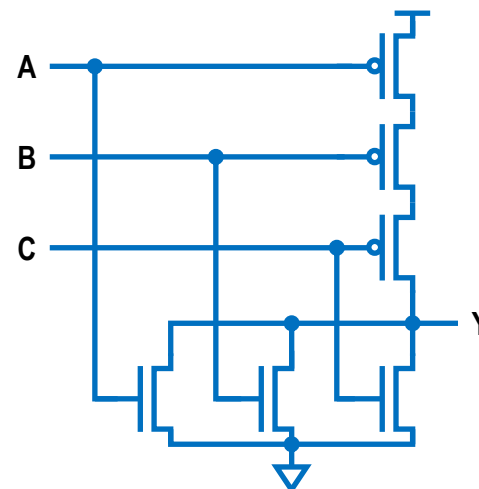
二输入或非门真值表

A	B	上拉网络	下拉网络	$Y = \overline{A+B}$
0	0	ON	OFF	1
0	1	OFF	ON	0
1	0	OFF	ON	0
1	1	OFF	ON	0



二输入或非门原理图

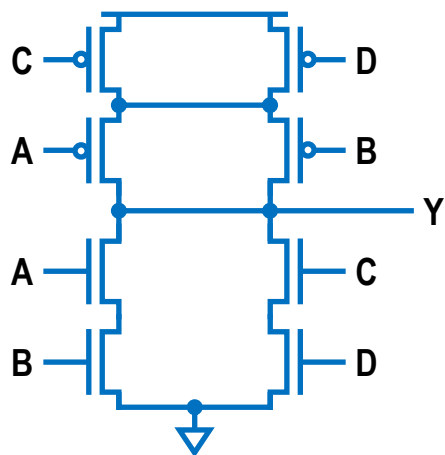
$$Y = \overline{A + B}$$



三输入或非门原理图

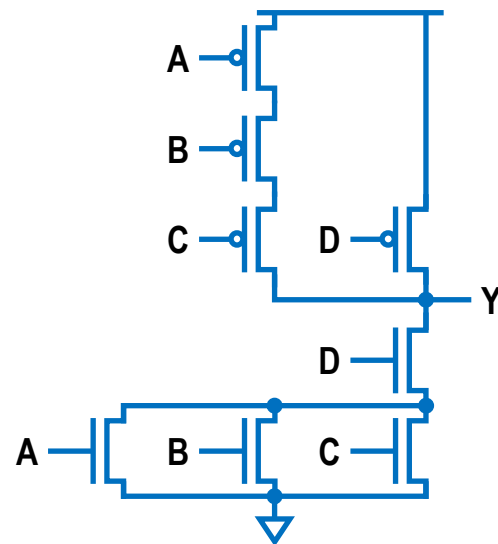
$$Y = \overline{A + B + C}$$

复合门 (Compound Gate)



AND-OR-INVERT-22 (AOI22)

$$Y = \overline{(A \cdot B) + (C \cdot D)}$$

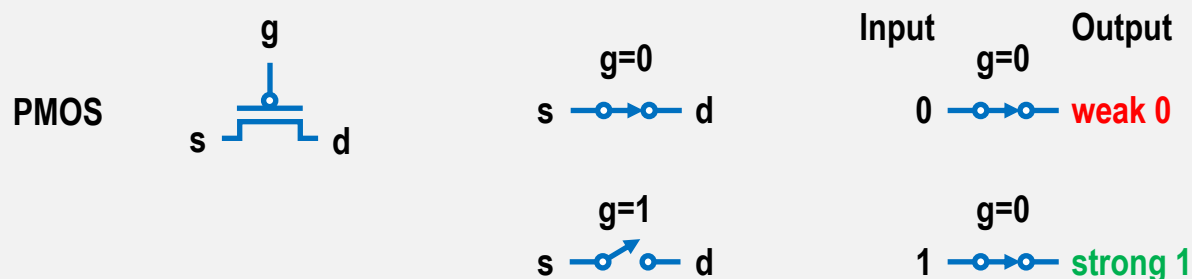
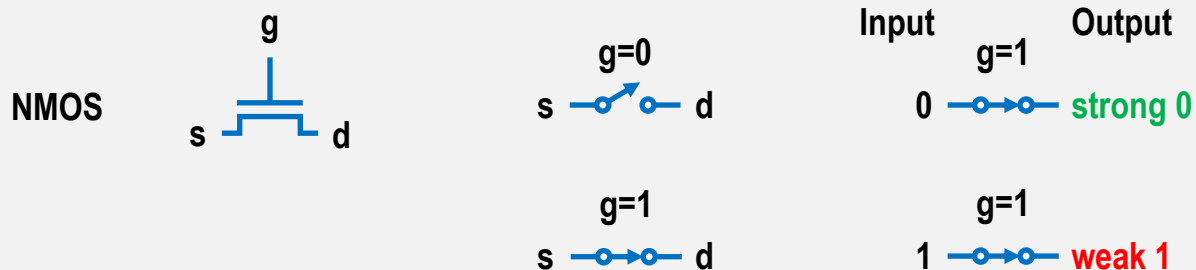


OR-AND-INVERT-31 (OAI31)

$$Y = \overline{(A + B + C) \cdot D}$$

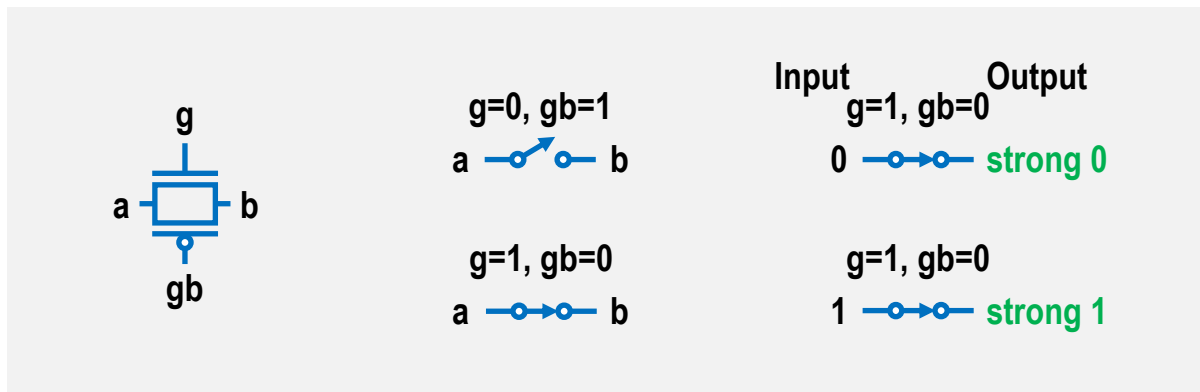
- 互补导通 (Conduction Complements)
- 上拉网络和下拉网络互补：并联 \Leftrightarrow 串联

传输管 (Pass Transistor)

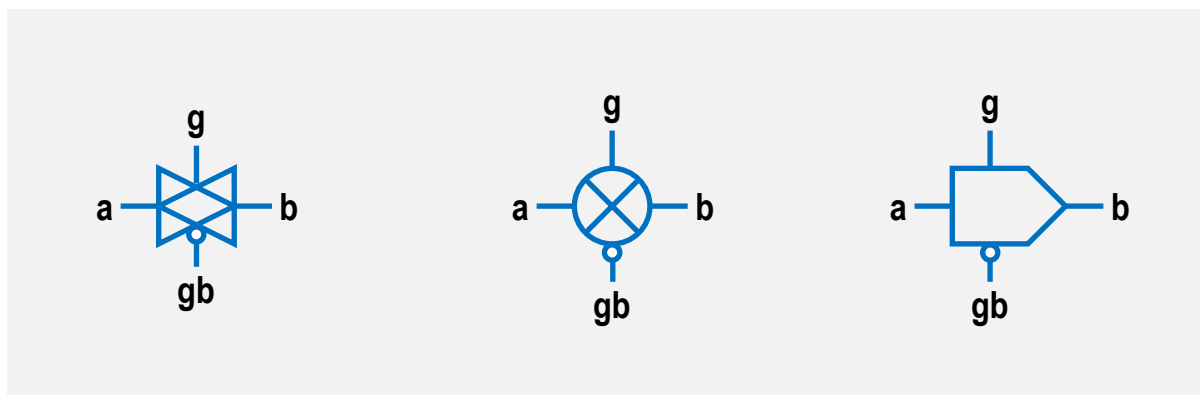


传输管的强输出和弱输出

传输门 (Transmission Gate)

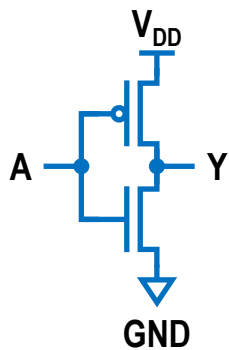


传输门的结构和输出

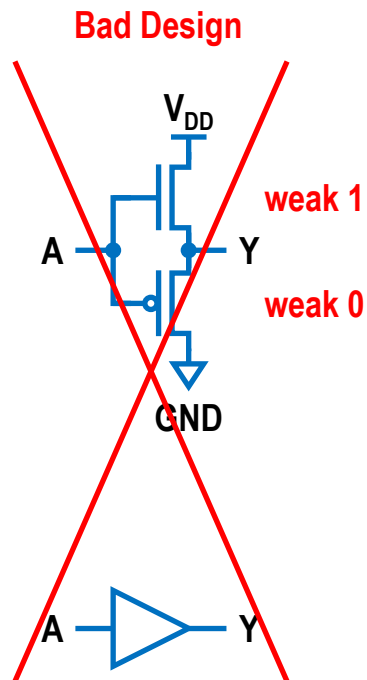


传输门的符号

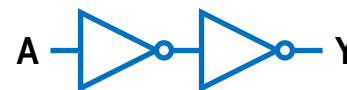
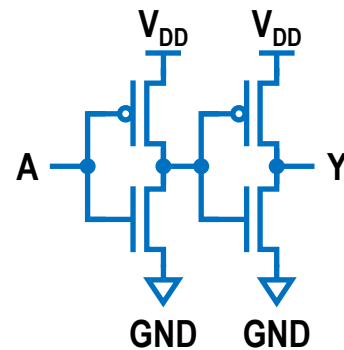
静态CMOS门为什么是反相的？



反相器

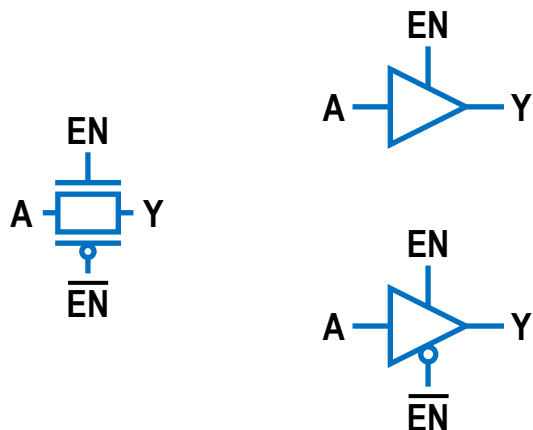


缓冲器？

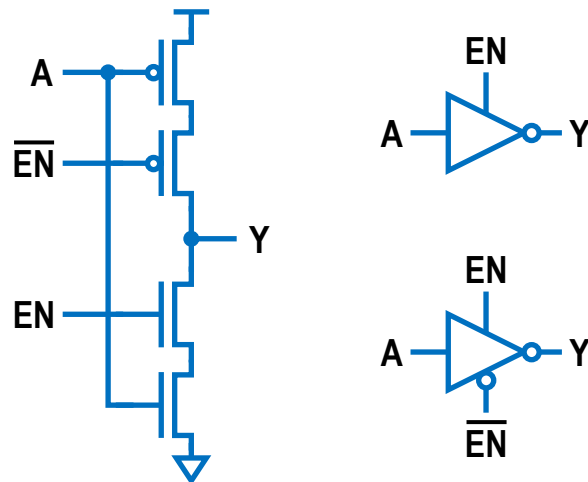


缓冲器 (Buffer)

三态门 (Tristate Gate)



三态缓冲器 (Tristate Buffer)



三态反相器 (Tristate Inverter)

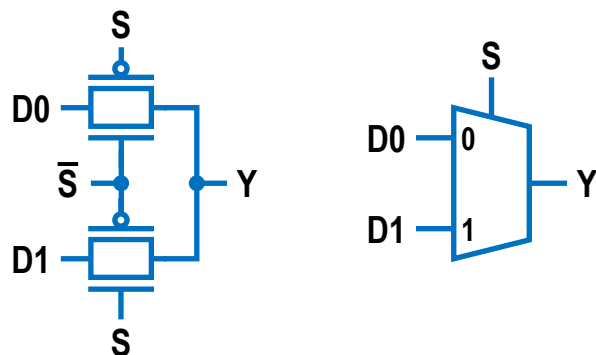
三态缓冲器真值表

EN	\overline{EN}	A	Y
0	1	0	Z
0	1	1	Z
1	0	0	0
1	0	1	1

三态反相器真值表

EN	\overline{EN}	A	Y
0	1	0	Z
0	1	1	Z
1	0	0	1
1	0	1	0

多路开关 (Multiplexer, MUX)

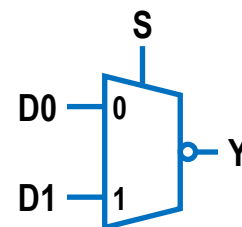
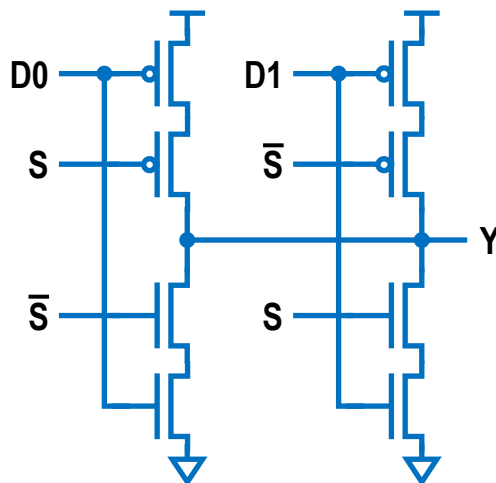
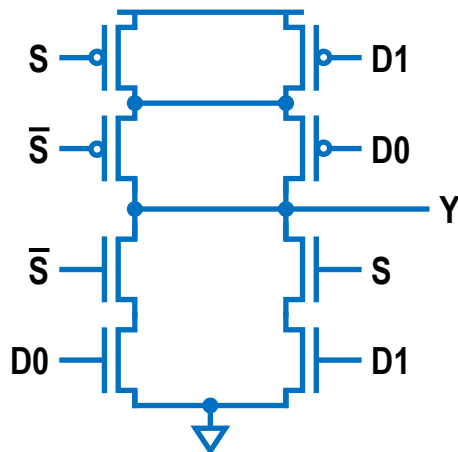


传输门多路开关

$$Y = \bar{S} \cdot D0 + S \cdot D1$$

多路开关真值表

S	\bar{S}	D1	D0	Y
0	1	X	0	0
0	1	X	1	1
1	0	0	X	0
1	0	1	X	1



反相多路开关 (Inverting Multiplexer)

$$Y = \bar{S} \cdot \overline{D0} + S \cdot \overline{D1}$$

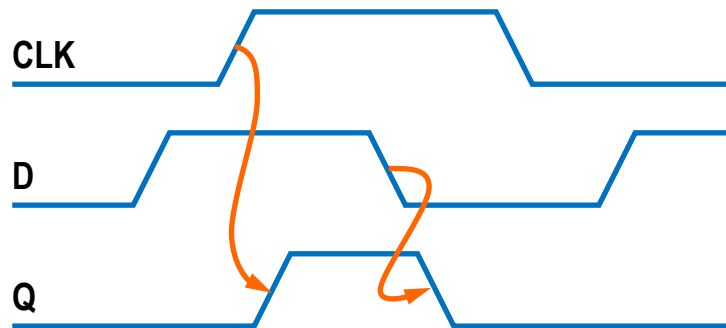
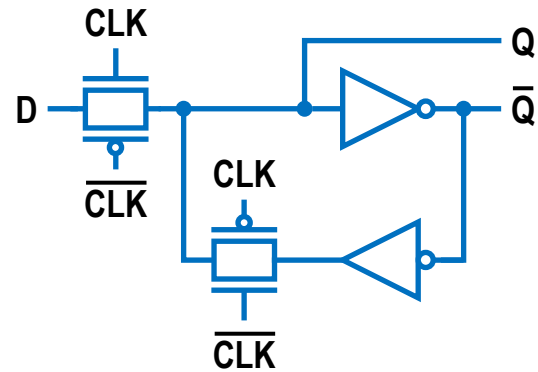
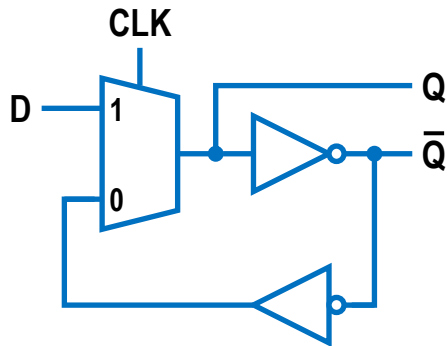
■ 组合电路

- Combinational Circuit
- 输出仅取决于当前输入
- 基本模块是逻辑门
- 反相器、与非门、或非门、缓冲器、与门、或门、复合门、多路开关等

■ 时序电路

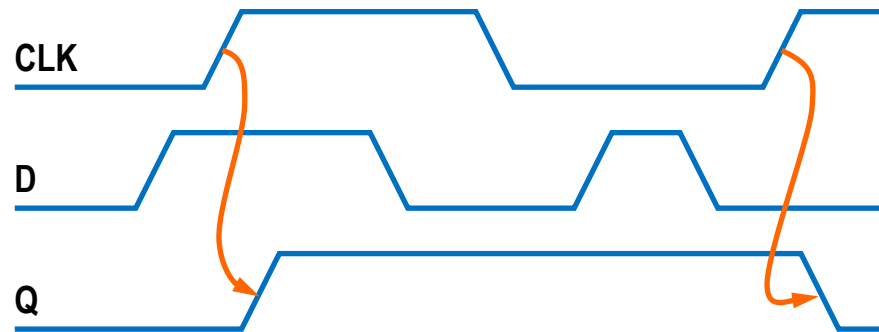
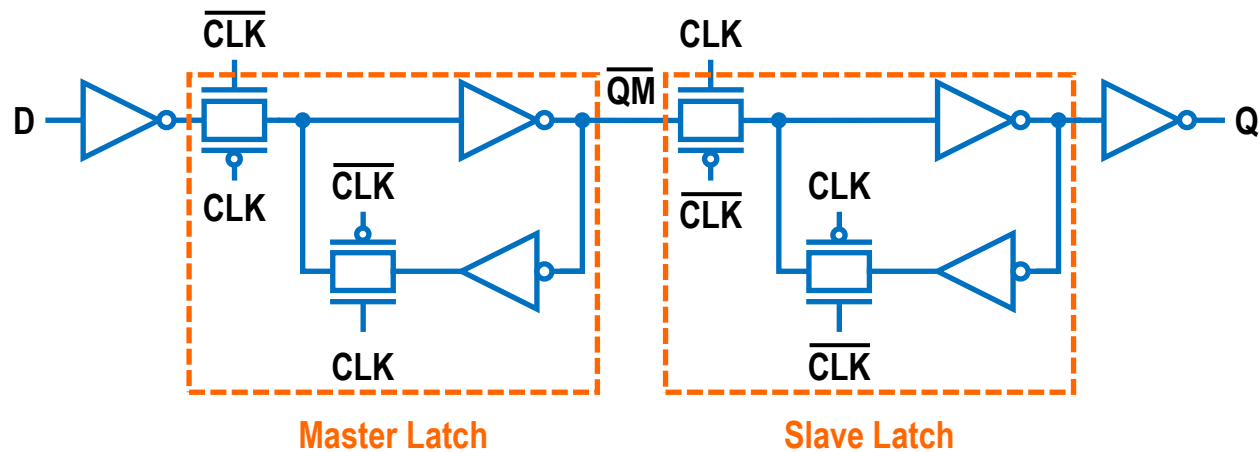
- Sequential Circuit
- 输出不仅取决于当前输入，还取决于以前的输入
- 基本模块是存储元件
- 锁存器 (Latch)、触发器 (Flip-Flop)

锁存器 (Latch)



CMOS高电平敏感D锁存器

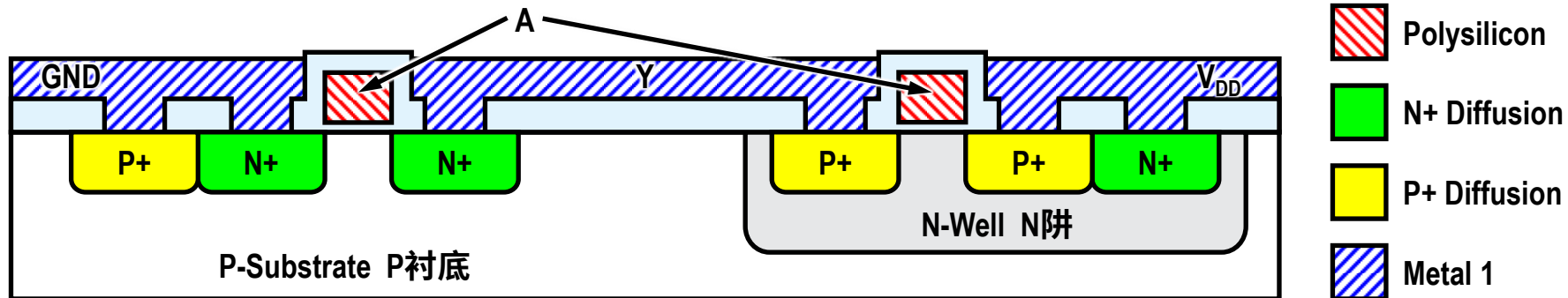
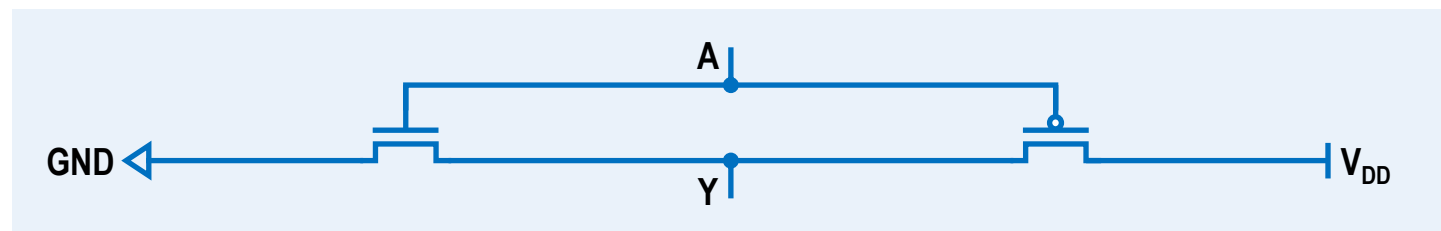
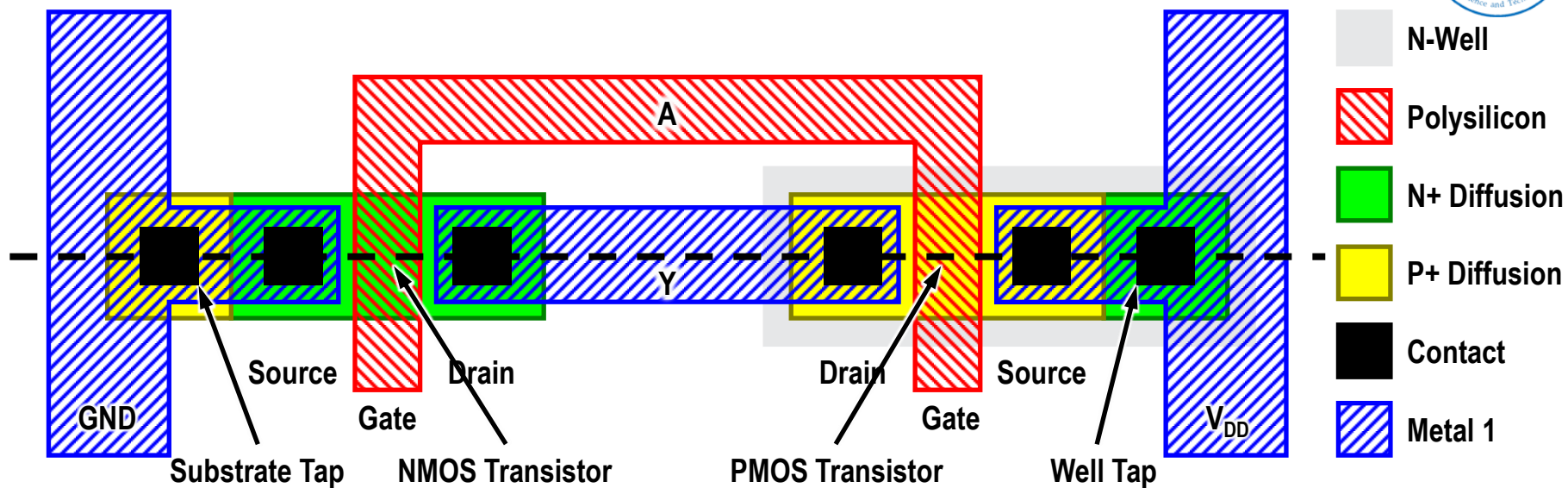
触发器 (Flip-Flop)



CMOS上升沿触发D触发器

CMOS工艺和版图

反相器的版图、原理图及剖面图



■ P型晶圆

P-Substrate P衬底

- P型晶圆
- 热氧化



CMOS工艺简要流程



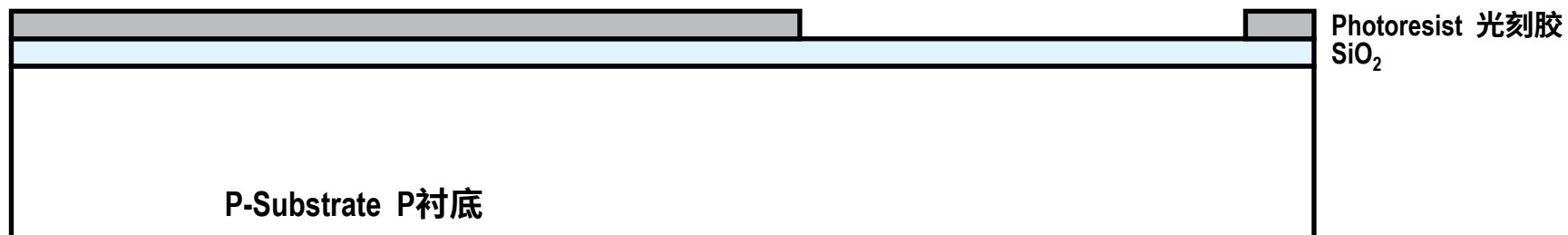
- P型晶圆
- 热氧化
- 光刻胶涂敷



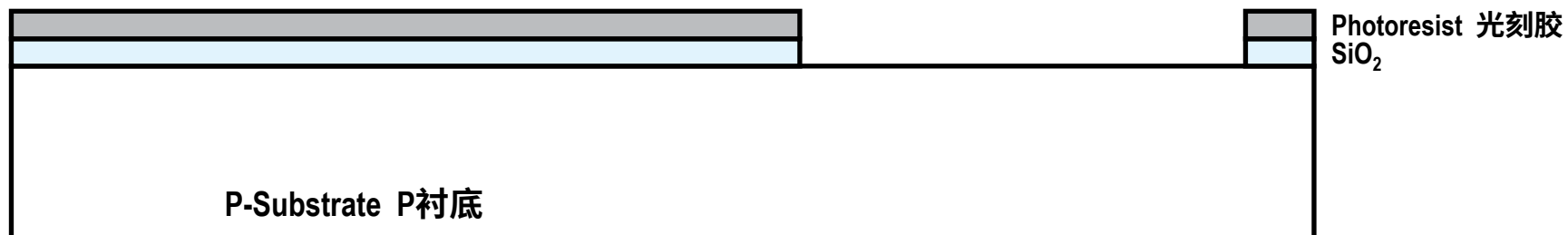
CMOS工艺简要流程



- P型晶圆
- 热氧化
- 光刻胶涂敷
- 曝光、显影



- P型晶圆
- 热氧化
- 光刻胶涂敷
- 曝光、显影
- 刻蚀二氧化硅



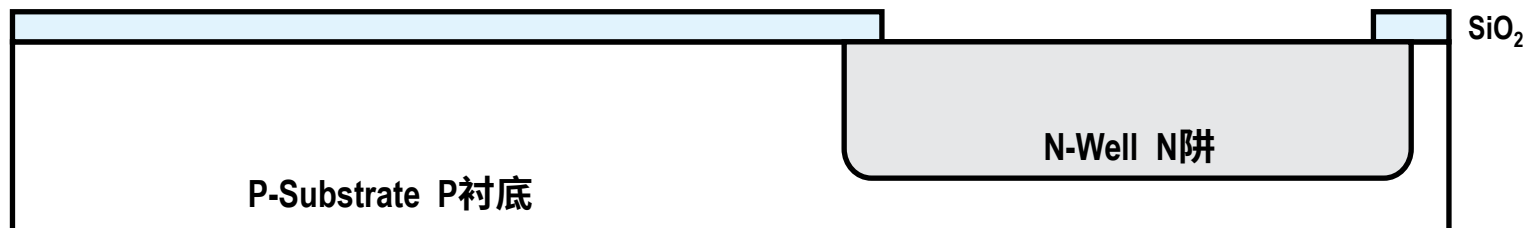
- P型晶圆
- 热氧化
- 光刻胶涂敷
- 曝光、显影
- 刻蚀二氧化硅
- 去除光刻胶



CMOS工艺简要流程



- P型晶圆
- 热氧化
- 光刻胶涂敷
- 曝光、显影
- 刻蚀二氧化硅
- 去除光刻胶
- N阱离子注入



- P型晶圆
- 热氧化
- 光刻胶涂敷
- 曝光、显影
- 刻蚀二氧化硅
- 去除光刻胶
- N阱离子注入
- 去除二氧化硅



- P型晶圆
- 热氧化
- 光刻胶涂敷
- 曝光、显影
- 刻蚀二氧化硅
- 去除光刻胶
- N阱离子注入
- 去除二氧化硅
- 生长栅氧化层

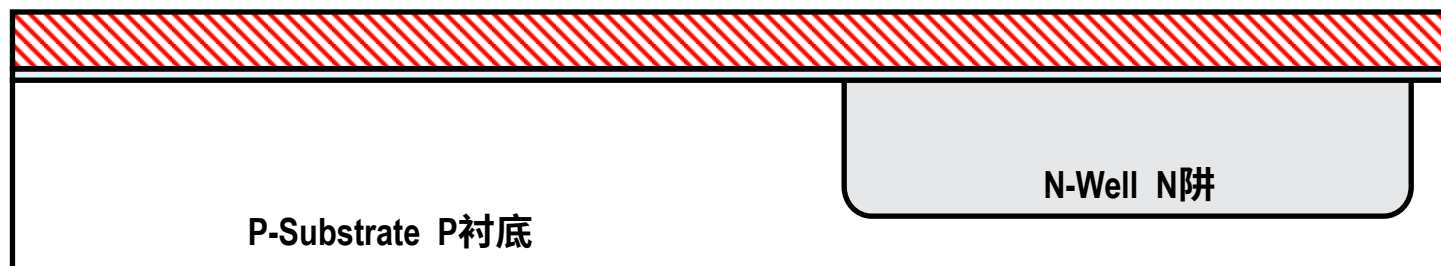


Thin Gate Oxide 薄栅氧

CMOS工艺简要流程



- P型晶圆
- 热氧化
- 光刻胶涂敷
- 曝光、显影
- 刻蚀二氧化硅
- 去除光刻胶
- N阱离子注入
- 去除二氧化硅
- 生长栅氧化层
- 沉积多晶硅



Polysilicon 多晶硅
Thin Gate Oxide 薄栅氧

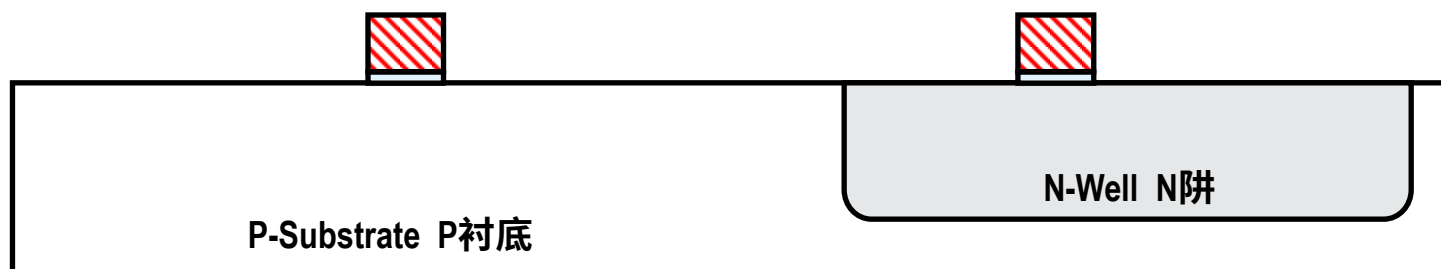
P-Substrate P衬底

N-Well N阱

CMOS工艺简要流程



- P型晶圆
- 热氧化
- 光刻胶涂敷
- 曝光、显影
- 刻蚀二氧化硅
- 去除光刻胶
- N阱离子注入
- 去除二氧化硅
- 生长栅氧化层
- 沉积多晶硅
- 光刻
- 刻蚀多晶硅
- 刻蚀栅氧化层

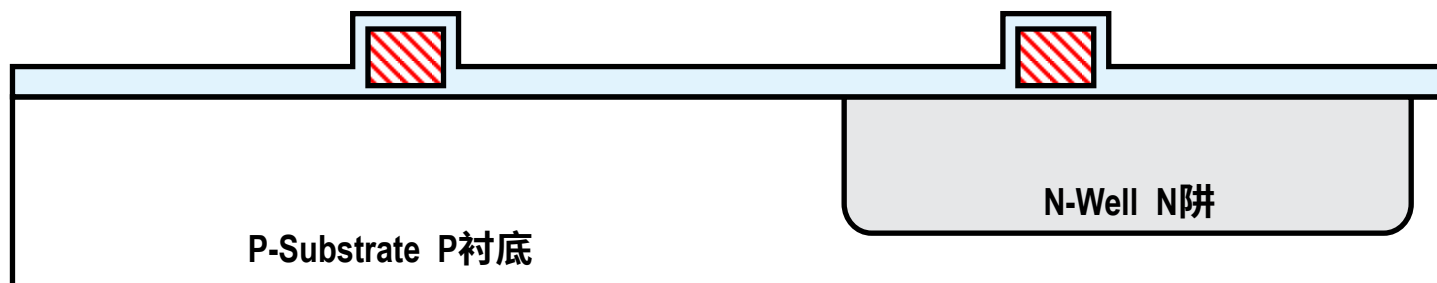


Polysilicon 多晶硅
Thin Gate Oxide 薄栅氧

CMOS工艺简要流程



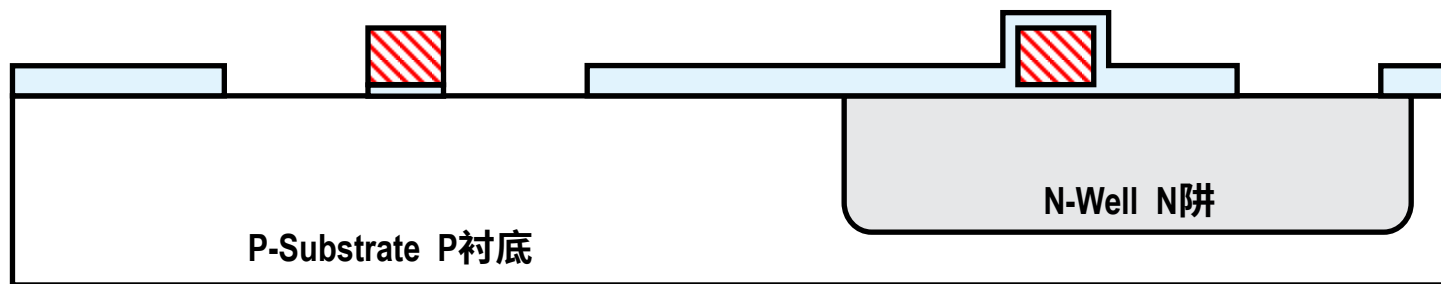
- P型晶圆
- 热氧化
- 光刻胶涂敷
- 曝光、显影
- 刻蚀二氧化硅
- 去除光刻胶
- N阱离子注入
- 去除二氧化硅
- 生长栅氧化层
- 沉积多晶硅
- 光刻
- 刻蚀多晶硅
- 刻蚀栅氧化层
- 沉积二氧化硅



CMOS工艺简要流程



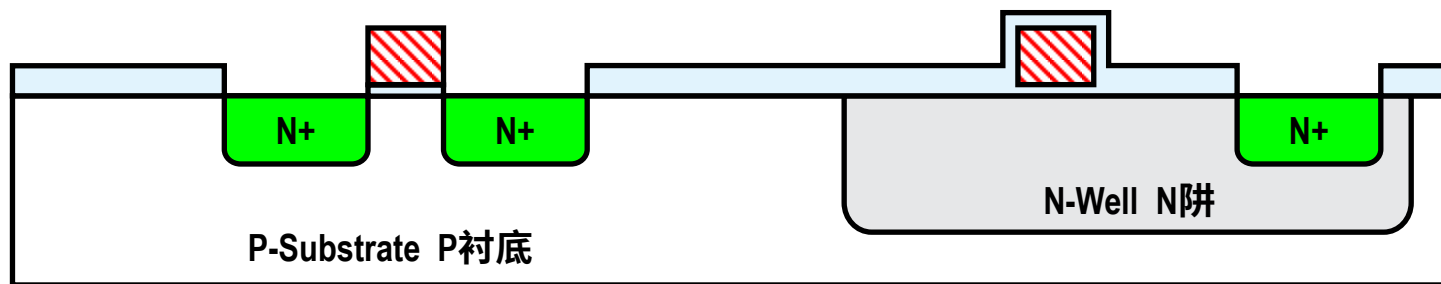
- P型晶圆
- 热氧化
- 光刻胶涂敷
- 曝光、显影
- 刻蚀二氧化硅
- 去除光刻胶
- N阱离子注入
- 去除二氧化硅
- 生长栅氧化层
- 沉积多晶硅
- 光刻
- 刻蚀多晶硅
- 刻蚀栅氧化层
- 沉积二氧化硅
- 光刻
- 刻蚀二氧化硅



CMOS工艺简要流程



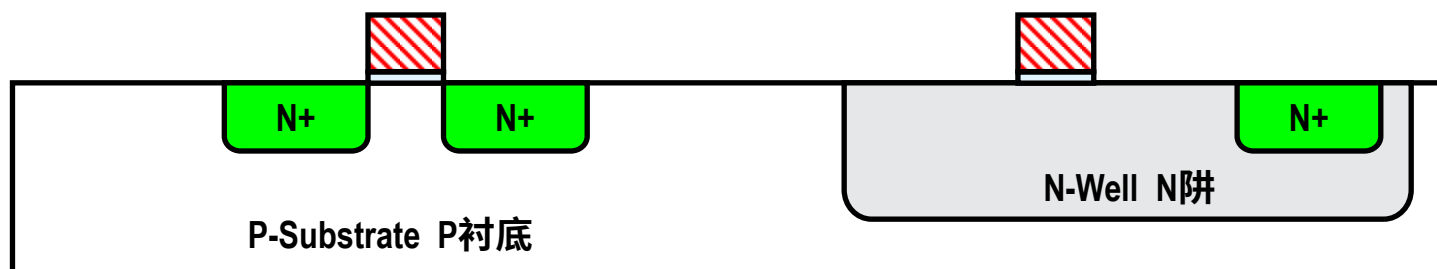
- P型晶圆
- 热氧化
- 光刻胶涂敷
- 曝光、显影
- 刻蚀二氧化硅
- 去除光刻胶
- N阱离子注入
- 去除二氧化硅
- 生长栅氧化层
- 沉积多晶硅
- 光刻
- 刻蚀多晶硅
- 刻蚀栅氧化层
- 沉积二氧化硅
- 光刻
- 刻蚀二氧化硅
- N型有源区离子注入



CMOS工艺简要流程



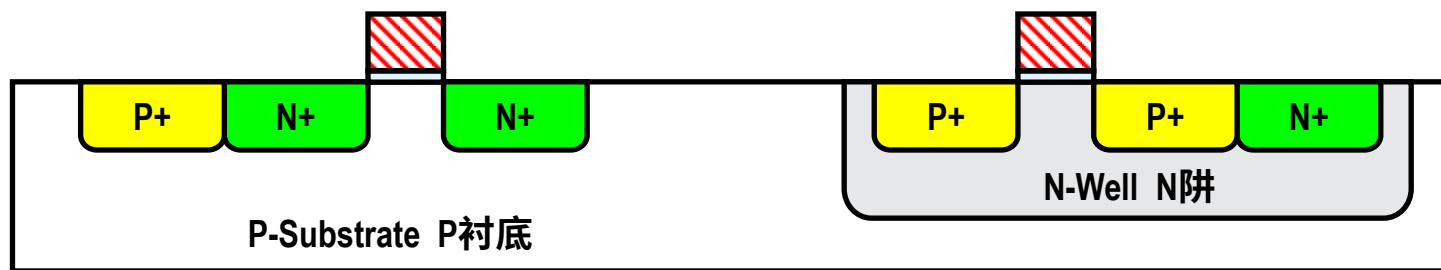
- P型晶圆
- 热氧化
- 光刻胶涂敷
- 曝光、显影
- 刻蚀二氧化硅
- 去除光刻胶
- N阱离子注入
- 去除二氧化硅
- 生长栅氧化层
- 沉积多晶硅
- 光刻
- 刻蚀多晶硅
- 刻蚀栅氧化层
- 沉积二氧化硅
- 光刻
- 刻蚀二氧化硅
- N型有源区离子注入
- 去除二氧化硅



CMOS工艺简要流程



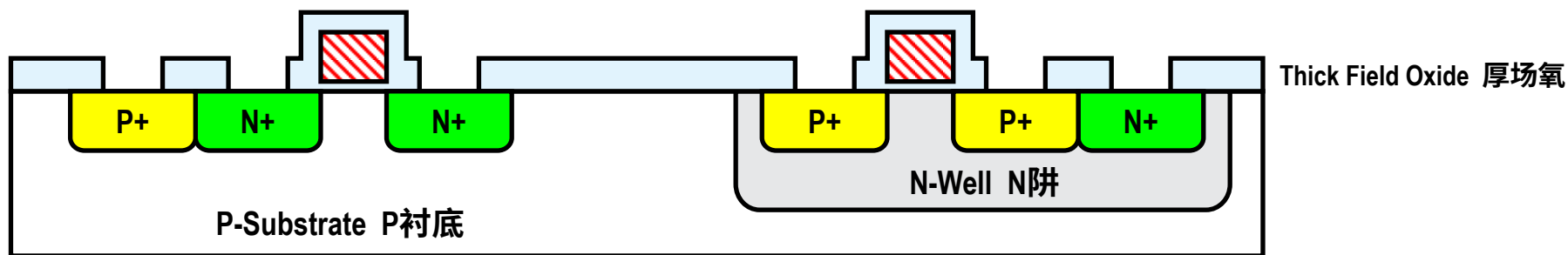
- P型晶圆
- 热氧化
- 光刻胶涂敷
- 曝光、显影
- 刻蚀二氧化硅
- 去除光刻胶
- N阱离子注入
- 去除二氧化硅
- 生长栅氧化层
- 沉积多晶硅
- 光刻
- 刻蚀多晶硅
- 刻蚀栅氧化层
- 沉积二氧化硅
- 光刻
- 刻蚀二氧化硅
- N型有源区离子注入
- 去除二氧化硅
- P型有源区掺杂
(工艺步骤与N型类似)



CMOS工艺简要流程



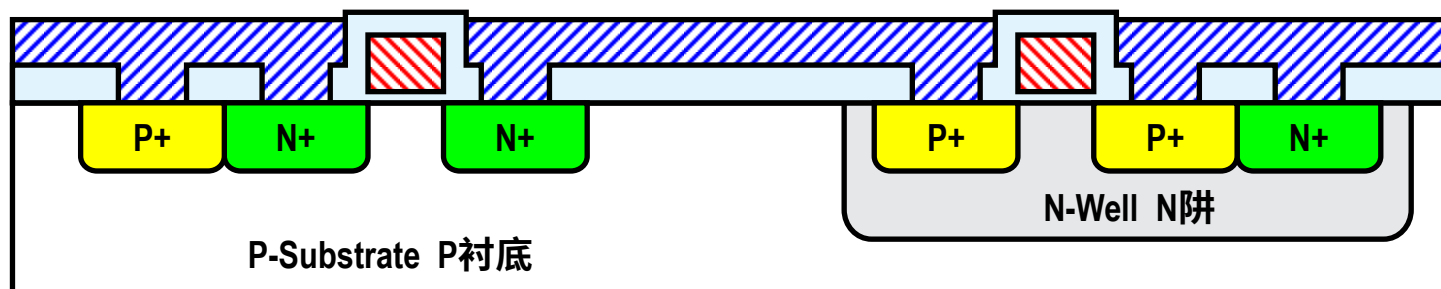
- P型晶圆
- 热氧化
- 光刻胶涂敷
- 曝光、显影
- 刻蚀二氧化硅
- 去除光刻胶
- N阱离子注入
- 去除二氧化硅
- 生长栅氧化层
- 沉积多晶硅
- 光刻
- 刻蚀多晶硅
- 刻蚀栅氧化层
- 沉积二氧化硅
- 光刻
- 刻蚀二氧化硅
- N型有源区离子注入
- 去除二氧化硅
- P型有源区掺杂
(工艺步骤与N型类似)
- 沉积场氧化层
- 光刻
- 刻蚀场氧化层



CMOS工艺简要流程



- P型晶圆
- 热氧化
- 光刻胶涂敷
- 曝光、显影
- 刻蚀二氧化硅
- 去除光刻胶
- N阱离子注入
- 去除二氧化硅
- 生长栅氧化层
- 沉积多晶硅
- 光刻
- 刻蚀多晶硅
- 刻蚀栅氧化层
- 沉积二氧化硅
- 光刻
- 刻蚀二氧化硅
- N型有源区离子注入
- 去除二氧化硅
- P型有源区掺杂
(工艺步骤与N型类似)
- 沉积场氧化层
- 光刻
- 刻蚀场氧化层
- 沉积金属层
- 光刻
- 刻蚀金属层



Metal 金属
Thick Field Oxide 厚场氧

- [illegible]

■ 版图 (Layout)

- 集成电路各层组成部分的平面几何形状描述
- 版图由不同层的图形要素组成，版图层用于制作掩模或其他设计用途

■ 版图设计规则 (Layout Design Rule)

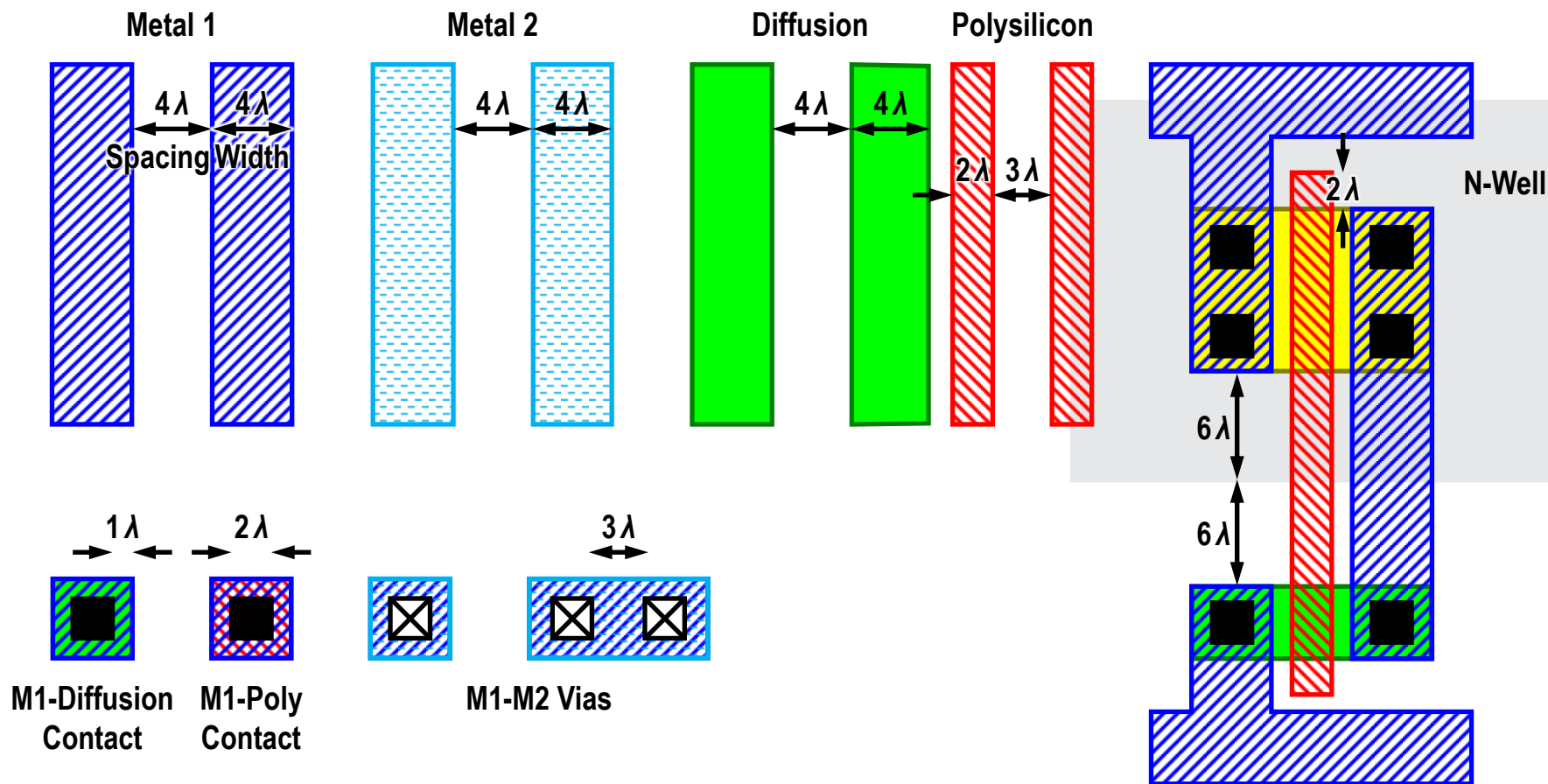
- 版图设计中所需遵守的一系列参数和规则

■ 微米设计规则

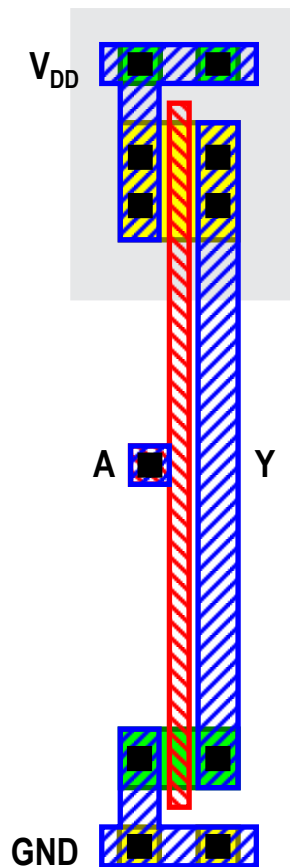
- 以微米为单位规定的设计规则
- 可以带来集成密度的优势
- 难以从一种工艺转向更先进的工艺或不同代工厂(Foundry)

■ λ 设计规则

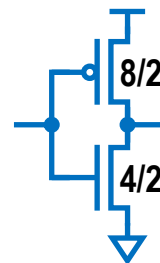
- λ 为特征尺寸(Feature Size)的一半，工艺的特征尺寸是指晶体管最小沟道长度
- 设计规则中的所有尺寸都向上舍入成 λ 的整数倍
- 比较简单和易于按比例缩小，但牺牲了集成密度



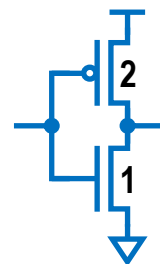
简化的 λ 设计规则



反相器版图



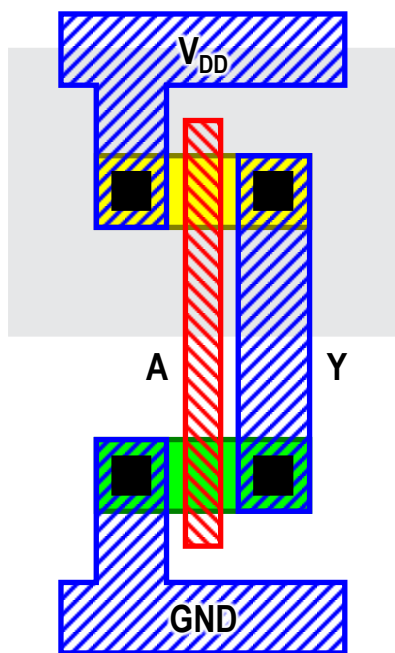
晶体管尺寸以 λ 为
单位标注长宽比



若晶体管的沟道
长度为最小尺寸
则只标注宽度是
最小宽度的倍数

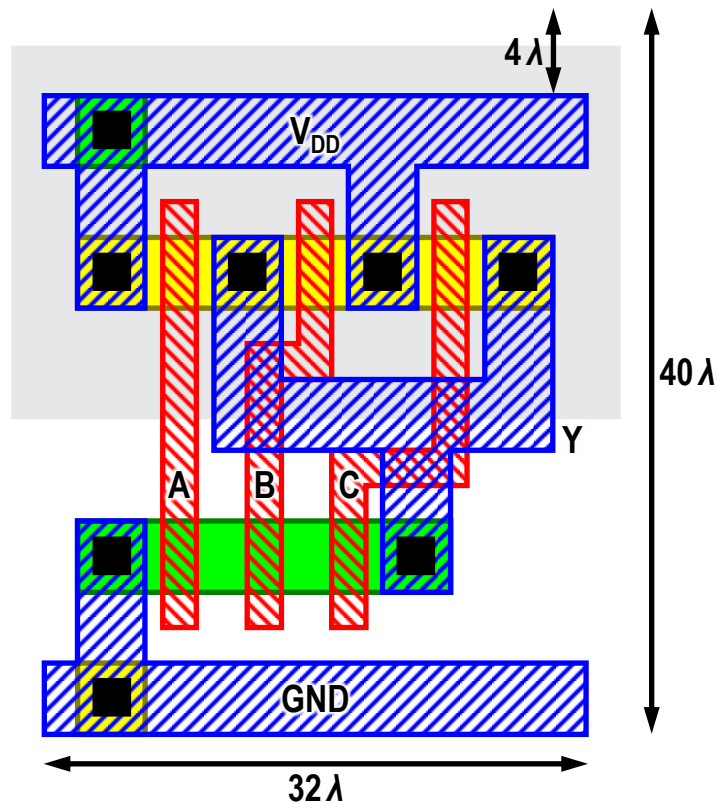
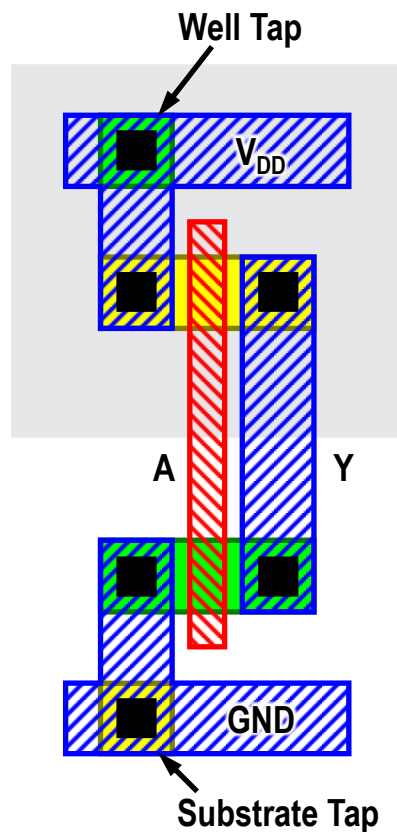
晶体管尺寸标注方式

没有衬底和阱连接
需要间隔一定距离
额外添加连接单元



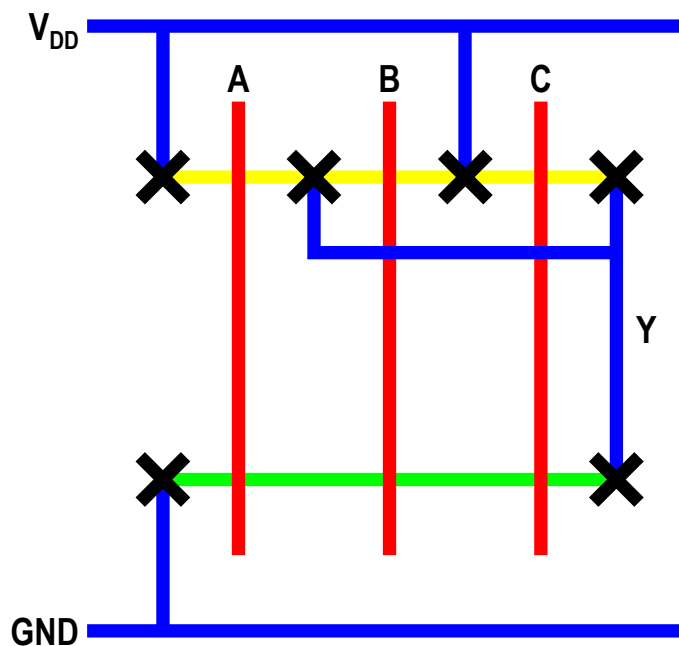
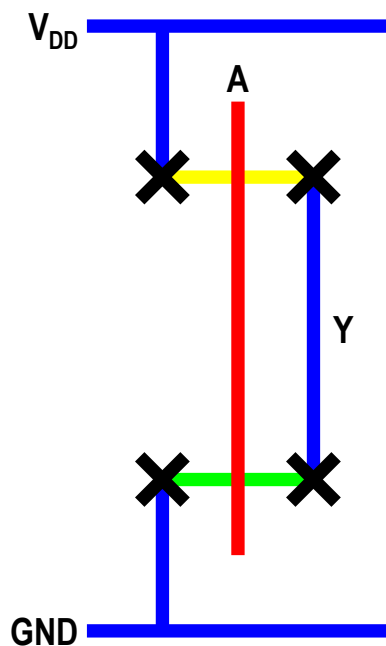
反相器标准单元版图

带有衬底和阱连接



三输入与非门标准单元版图

棒图 (Stick Diagram)



✕ Contact

— Metal 1

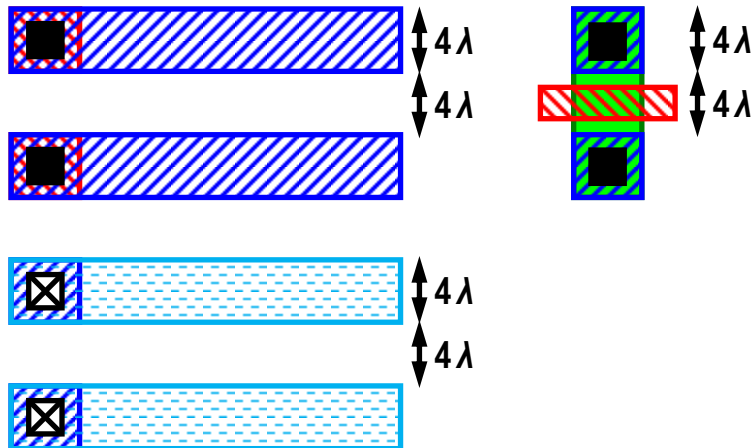
— P+ Diffusion

— N+ Diffusion

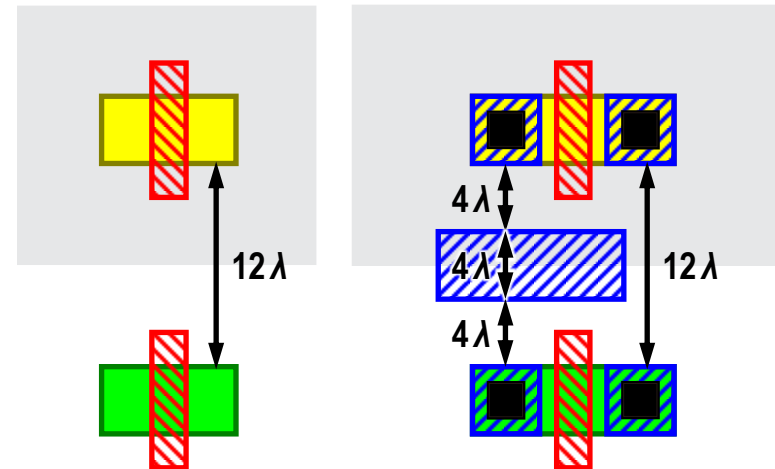
— Polysilicon

反相器和三输入与非门的棒图

布线通道 (Routing Track)



布线通道的节距(Pitch)



NMOS管和PMOS管之间的间距

集成电路设计与验证

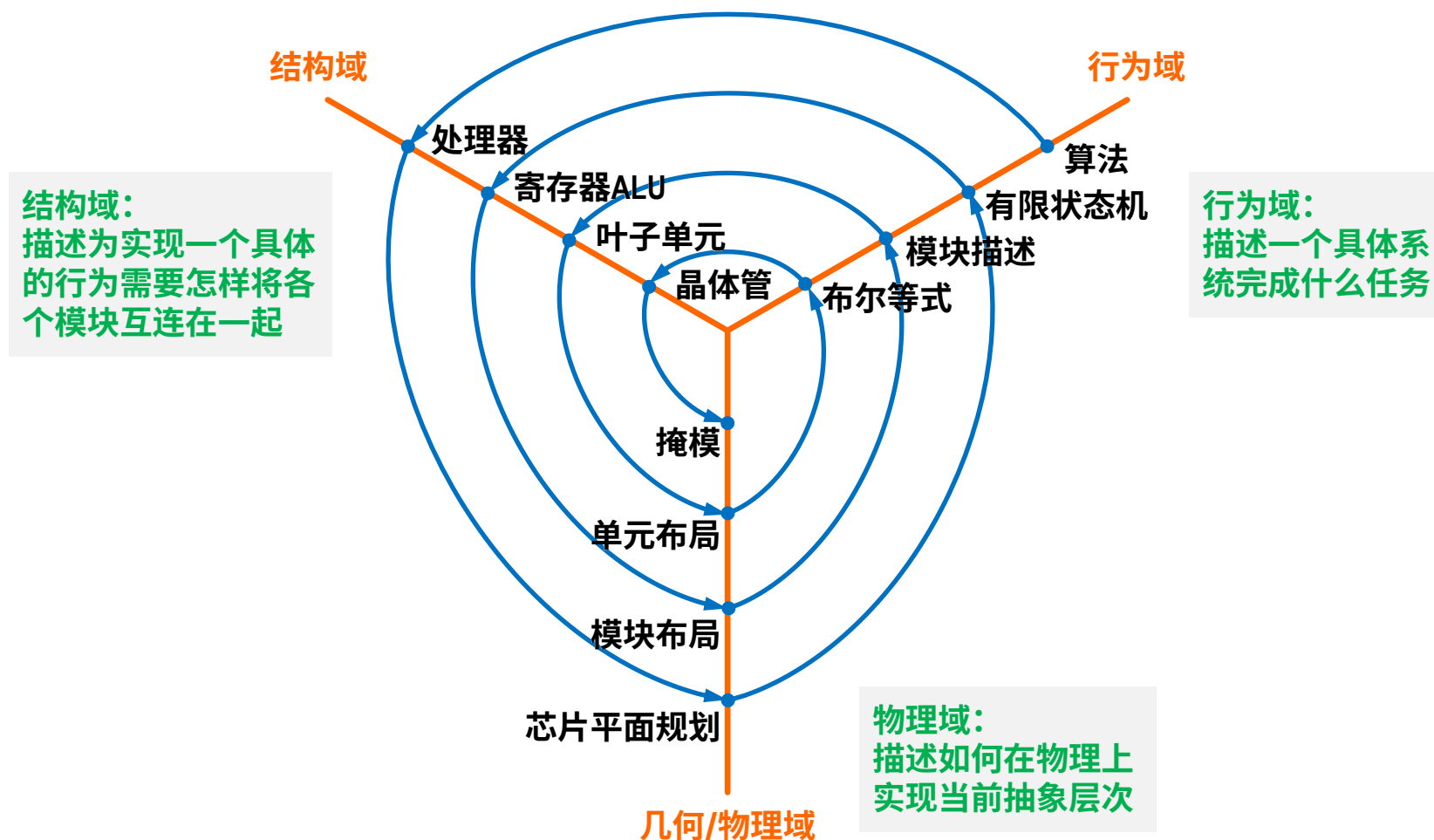
■ 设计抽象 (Design Abstraction)

- 体系结构设计 (Architecture Design): 系统功能
- 微结构设计 (Microarchitecture Design): 体系结构如何划分成寄存器和功能部件
- 逻辑设计 (Logic Design): 如何构成功能部件
- 电路设计 (Circuit Design): 如何用晶体管实现逻辑
- 物理设计 (Physical Design): 芯片版图

■ 结构化设计 (Structured Design)

- 层次化 (Hierarchy): 分而治之, 把系统分层次地划分为模块组成的树形结构
- 规整化 (Regularity): 尽可能复用已经设计验证的功能块
- 模块化 (Modularity): 功能块具有确切的接口和功能定义, 可以看作黑盒子
- 局域化 (Locality): 信息保持在使用它的物理位置和时间段上

行为、结构和物理设计域



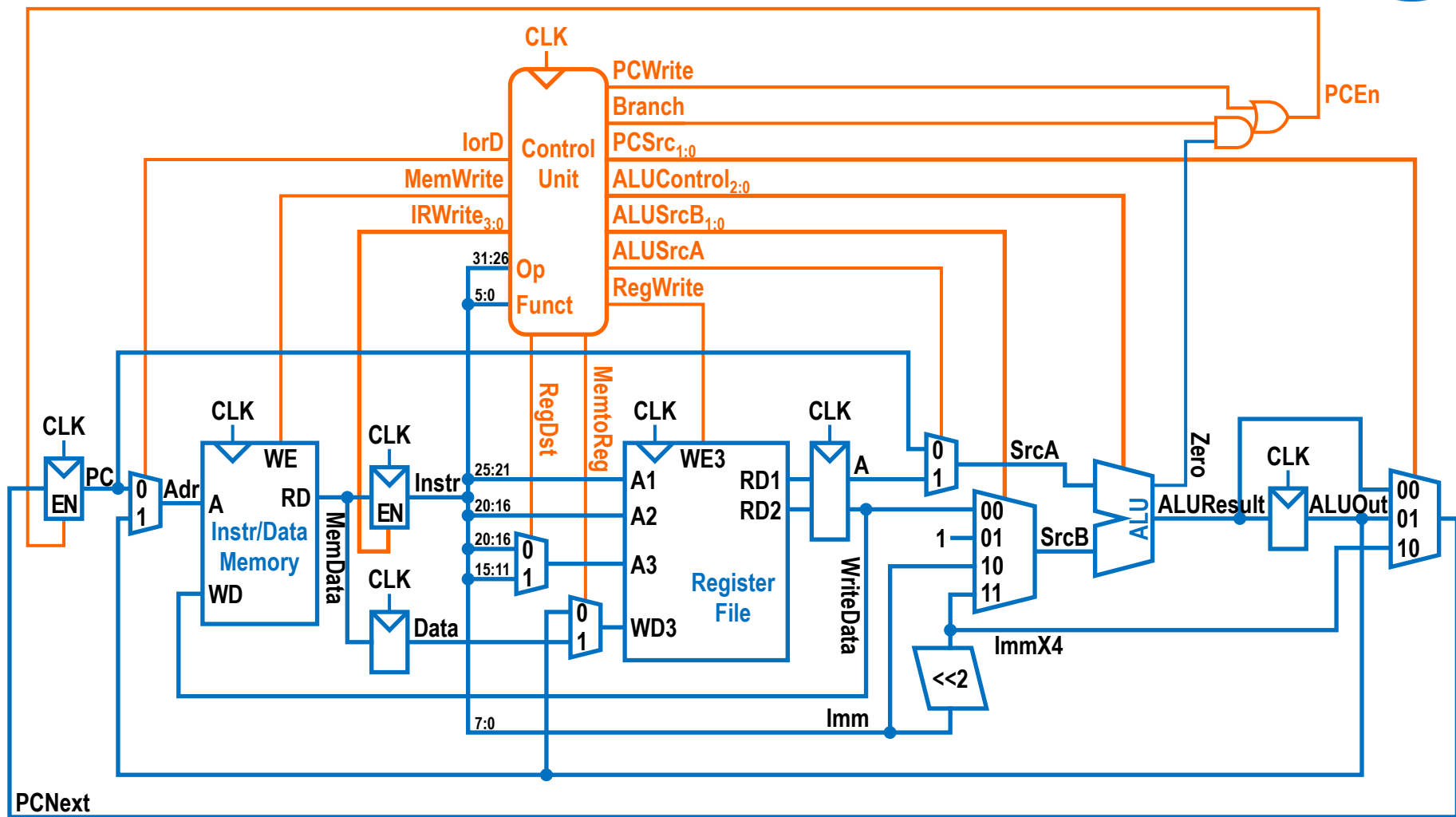
S. Kang Y图

设计实例：简单的MIPS微处理器



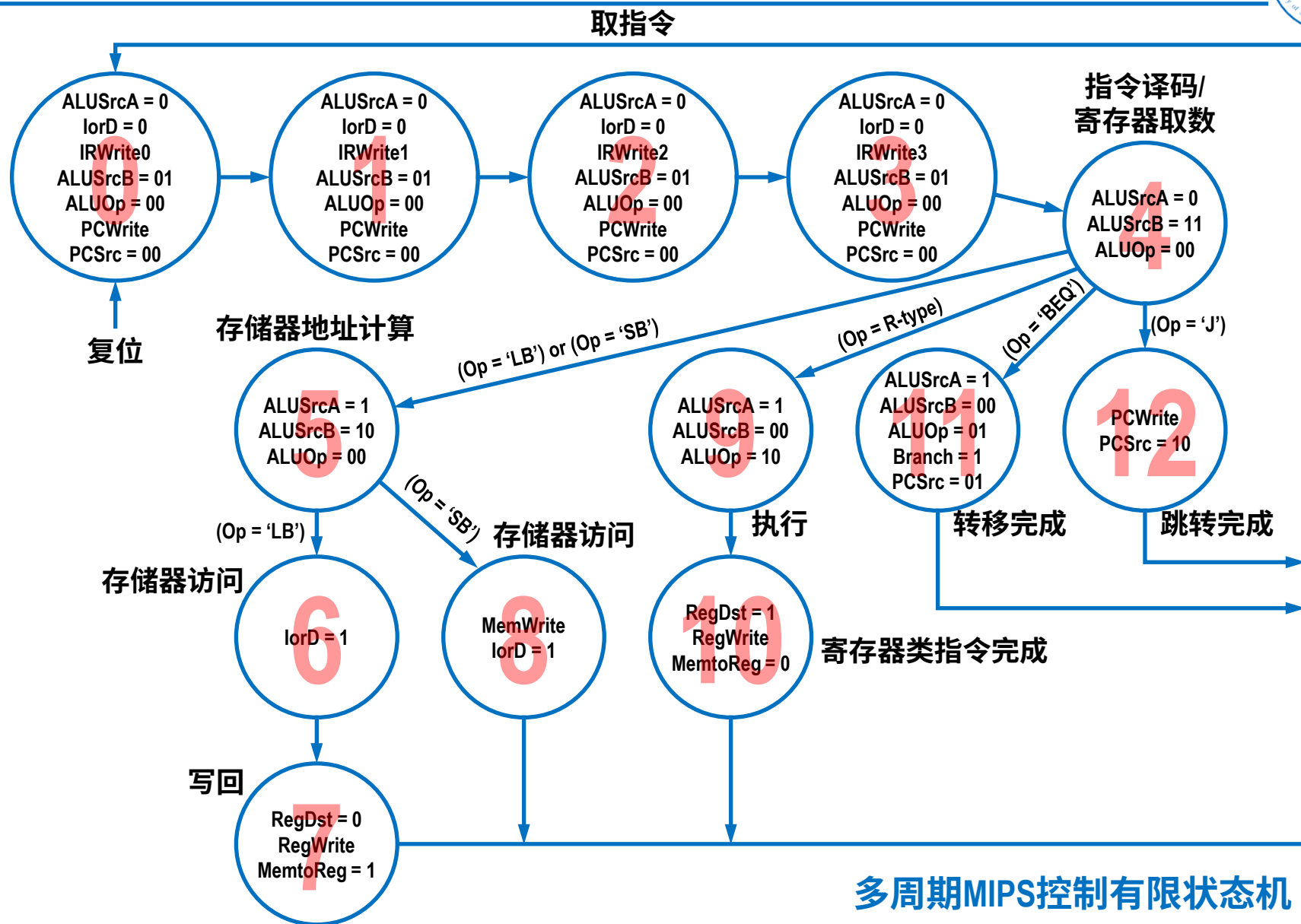
8-bit MIPS微处理器指令集

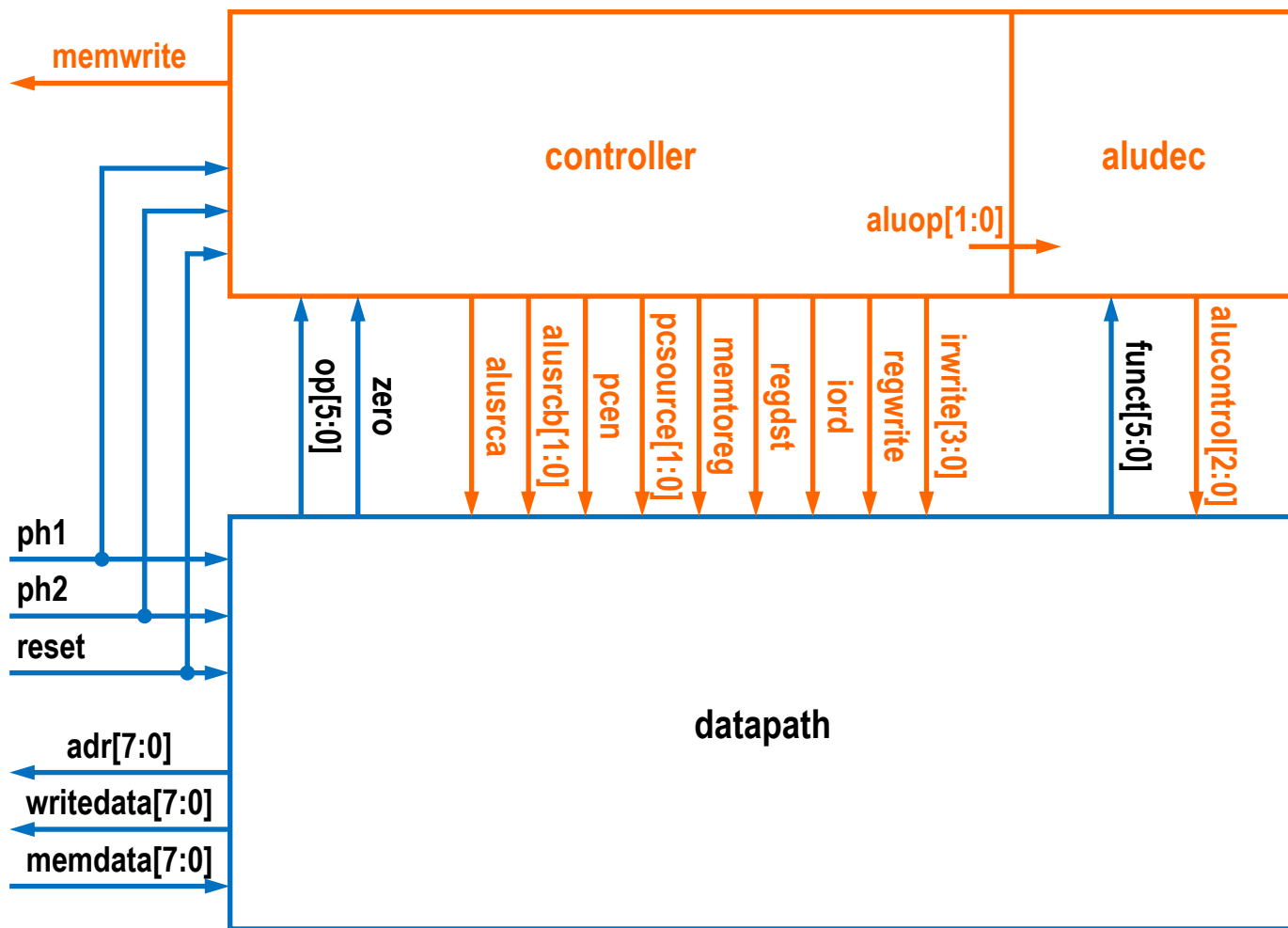
Instruction	Function	Encoding	Op	Funct
add \$1, \$2, \$3	addition: $\$1 \leftarrow \$2 + \$3$	R	000000	100000
sub \$1, \$2, \$3	subtraction: $\$1 \leftarrow \$2 - \$3$	R	000000	100010
and \$1, \$2, \$3	bitwise and: $\$1 \leftarrow \$2 \text{ and } \$3$	R	000000	100100
or \$1, \$2, \$3	bitwise or: $\$1 \leftarrow \$2 \text{ or } \$3$	R	000000	100101
slt \$1, \$2, \$3	set less than: $\$1 \leftarrow 1 \text{ if } \$2 < \$3$ $\$1 \leftarrow 0 \text{ otherwise}$	R	000000	101010
addi \$1, \$2, imm	add immediate: $\$1 \leftarrow \$2 + \text{imm}$	I	001000	N/A
beq \$1, \$2, imm	branch if equal: $\text{PC} \leftarrow \text{PC} + \text{imm} \times 4$	I	000100	N/A
j destination	jump: $\text{PC} \leftarrow \text{destination}$	J	000010	N/A
lb \$1, imm(\$2)	load byte: $\$1 \leftarrow \text{mem}[\$2 + \text{imm}]$	I	100000	N/A
sb \$1, imm(\$2)	store byte: $\text{mem}[\$2 + \text{imm}] \leftarrow \1	I	101000	N/A



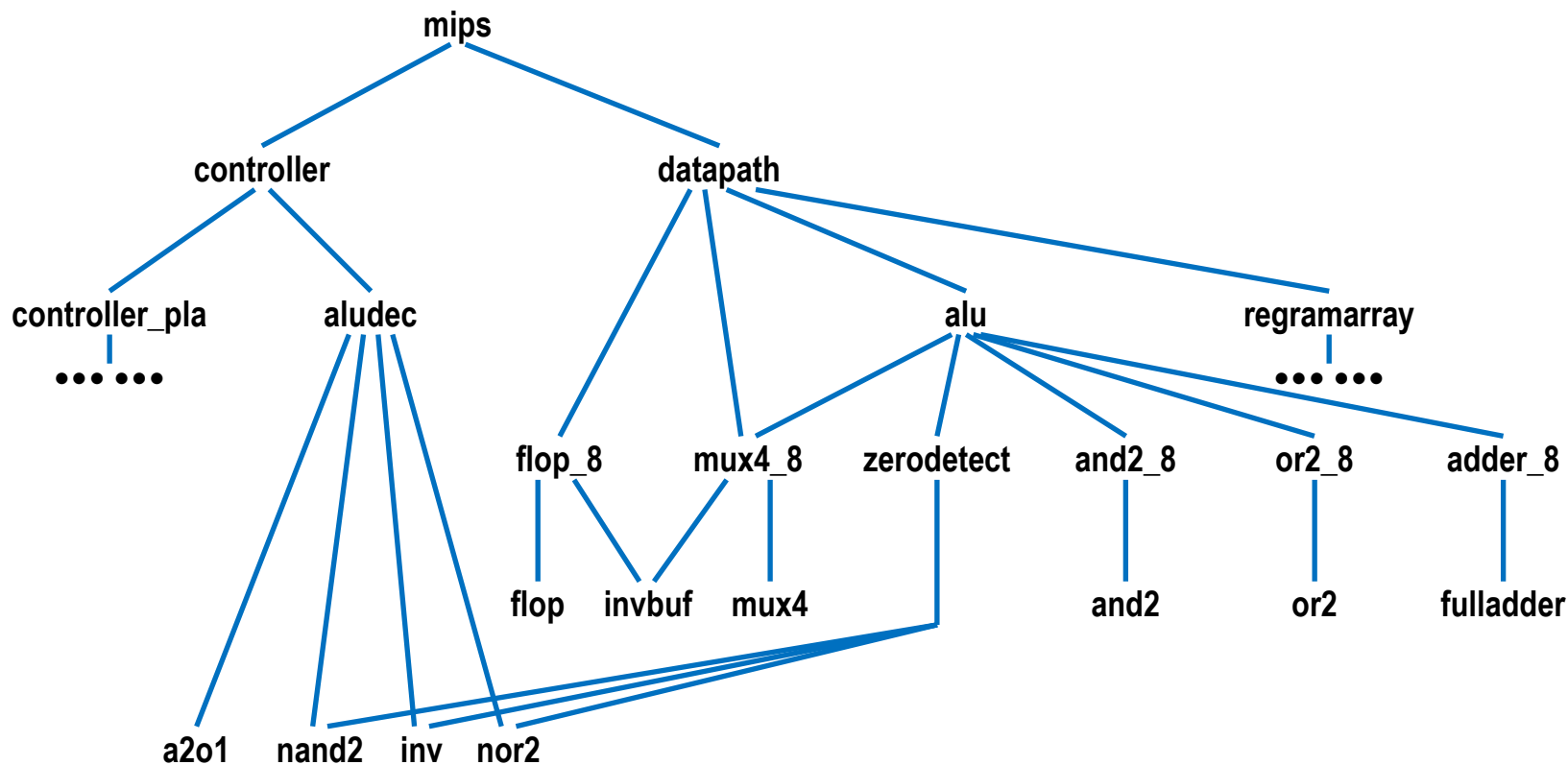
多周期MIPS微结构

有限状态机 (Finite State Machine, FSM)

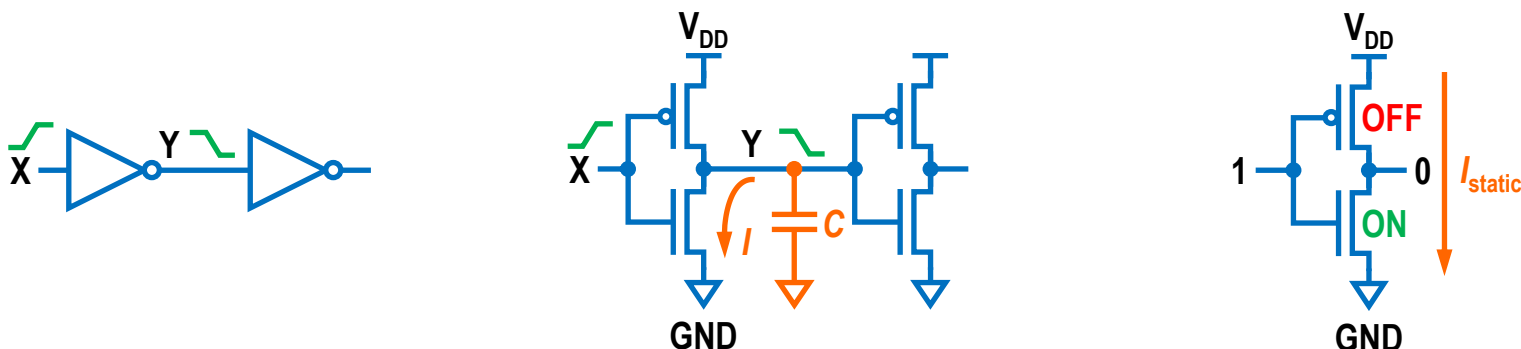




MIPS顶层方块图和接口

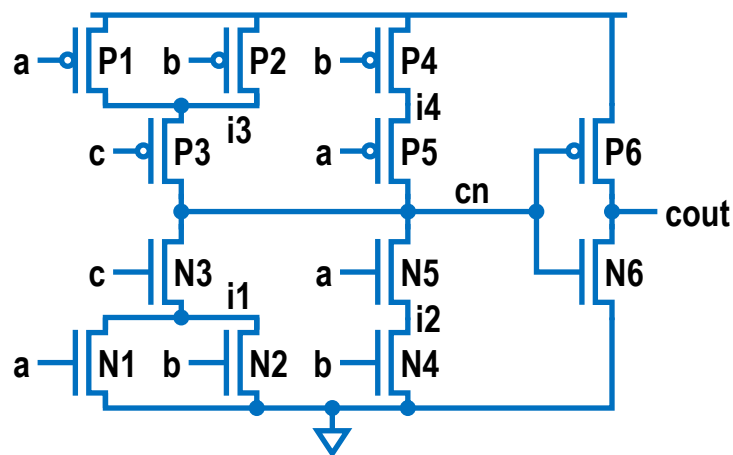
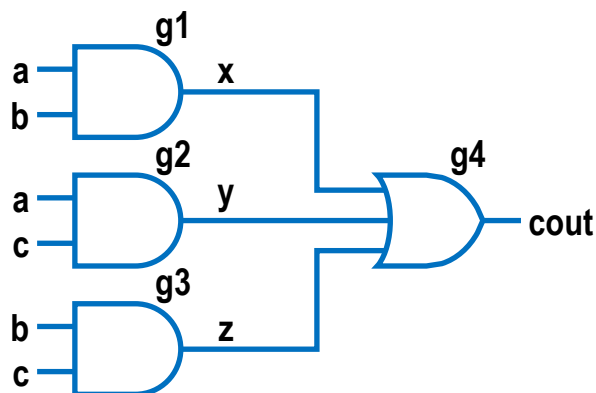


MIPS设计层次



$$I = C \frac{dV}{dt}; \quad t = \frac{C}{I_{avg}} V_{DD}; \quad P_{dynamic} = C V_{DD}^2 f; \quad P_{static} = I_{static} V_{DD}$$

电路的延时和功耗



进位电路的不同设计方案

```
module fulladder(input logic a, b, c,  
                output logic s, cout);  
  
    sum    s1(a, b, c, s);  
    carry  c1(a, b, c, cout);  
endmodule
```

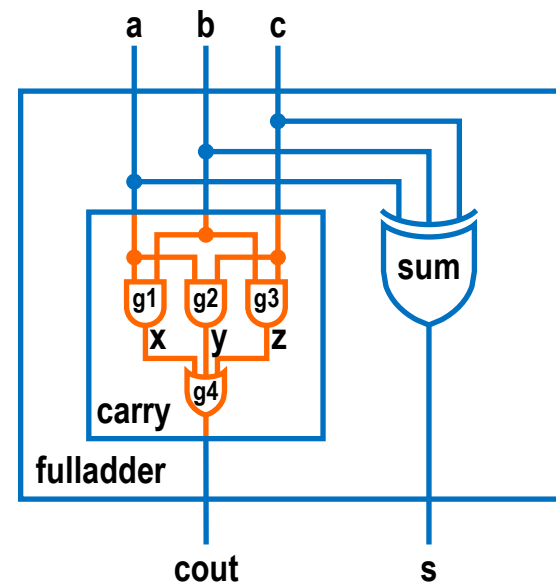
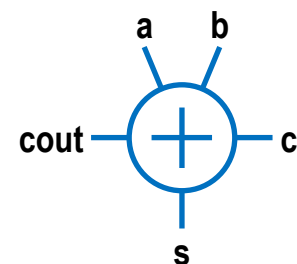
结构描述

```
module sum(input logic a, b, c,  
           output logic s);  
  
    assign s = a ^ b ^ c;  
endmodule
```

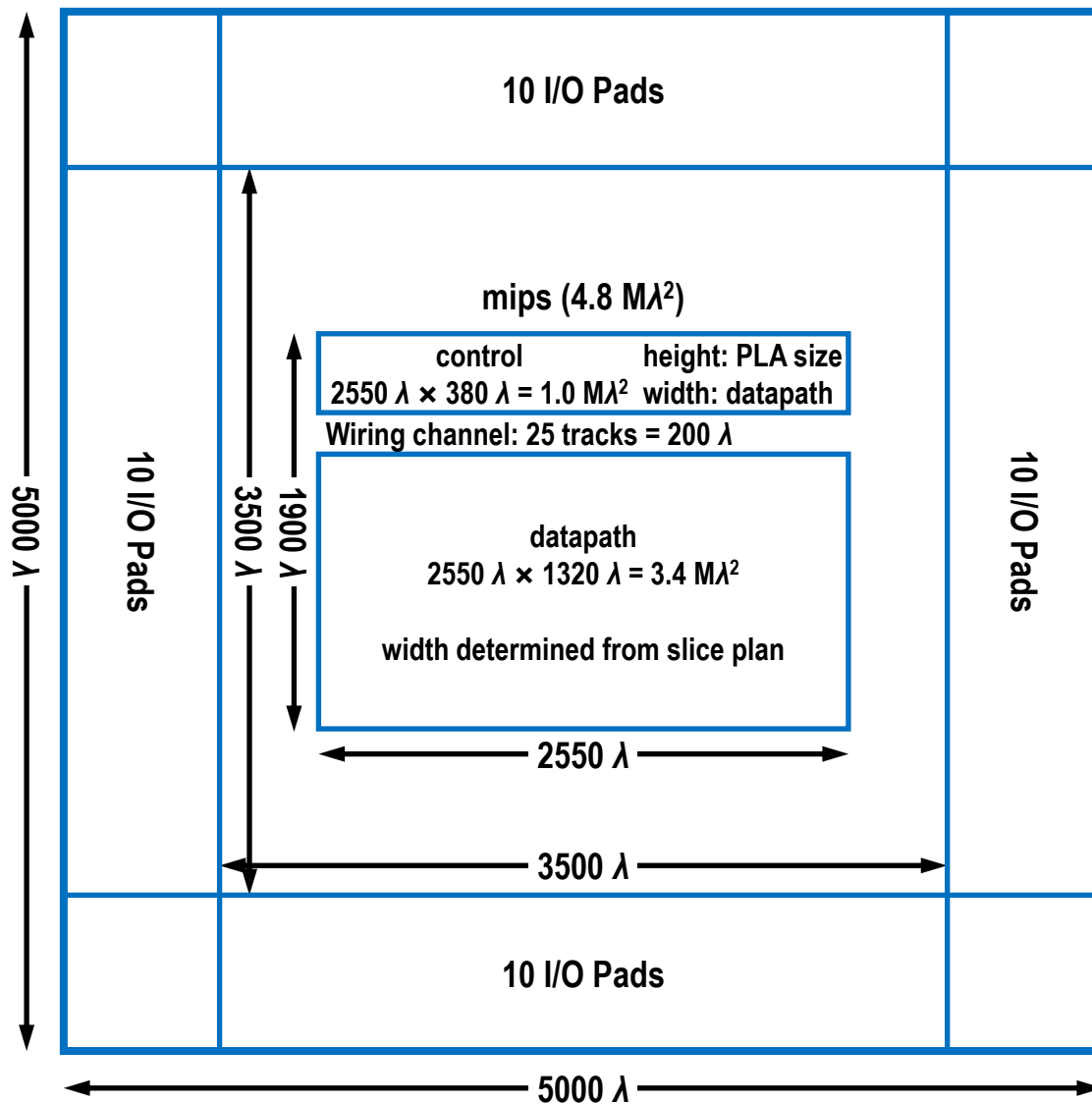
行为描述

```
module carry(input logic a, b, c,  
             output logic cout);  
  
    logic x, y, z;  
    and g1(x, a, b);  
    and g2(y, a, c);  
    and g3(z, b, c);  
    or  g4(cout, x, y, z);  
endmodule
```

结构描述



全加器及其Verilog语言描述



MIPS平面规划 (Floorplan)

标准单元 (Standard Cell)

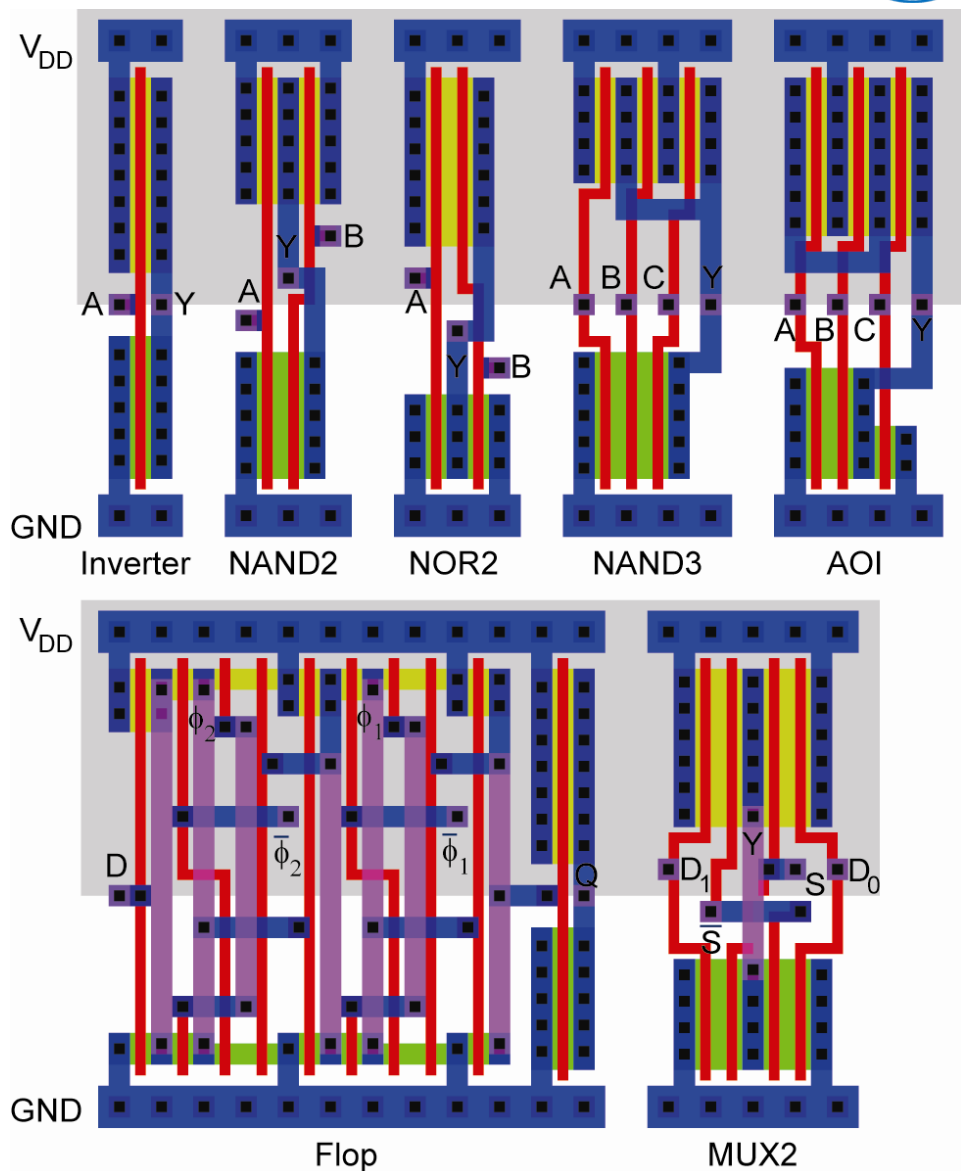


■ 标准单元的特点

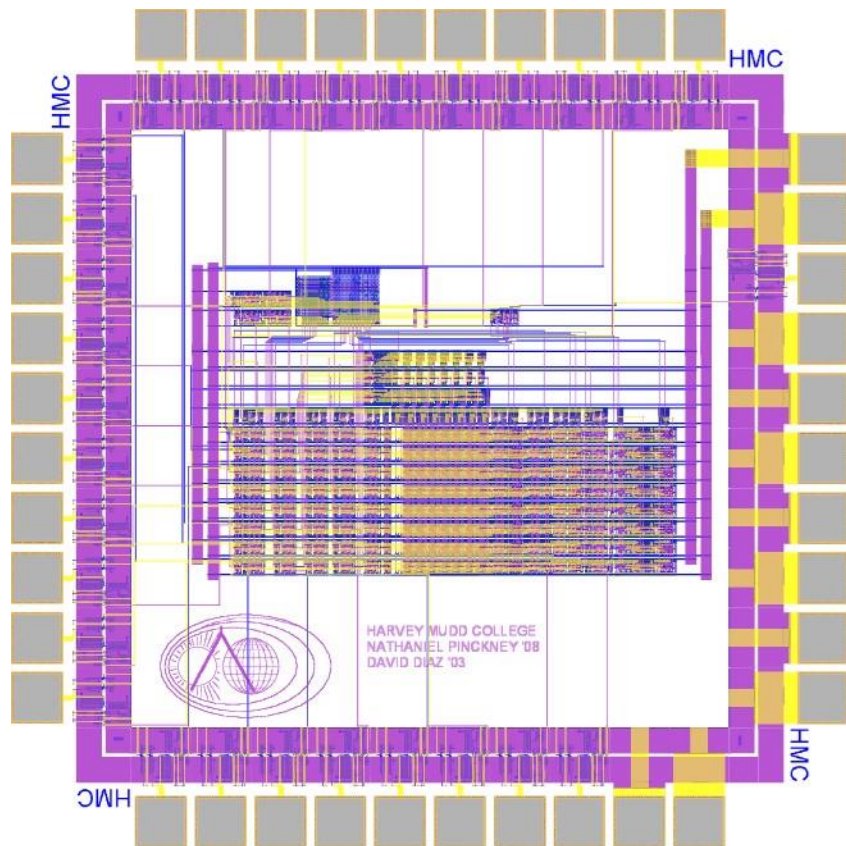
- 统一的单元高度
- 统一的阱高度
- 水平方向金属1电源和地轨线
- 阱和衬底偏置连接
- NMOS管布置在单元下部
- PMOS管布置在单元上部
- 可以邻接而不违反设计规则

■ 标准单元的作用

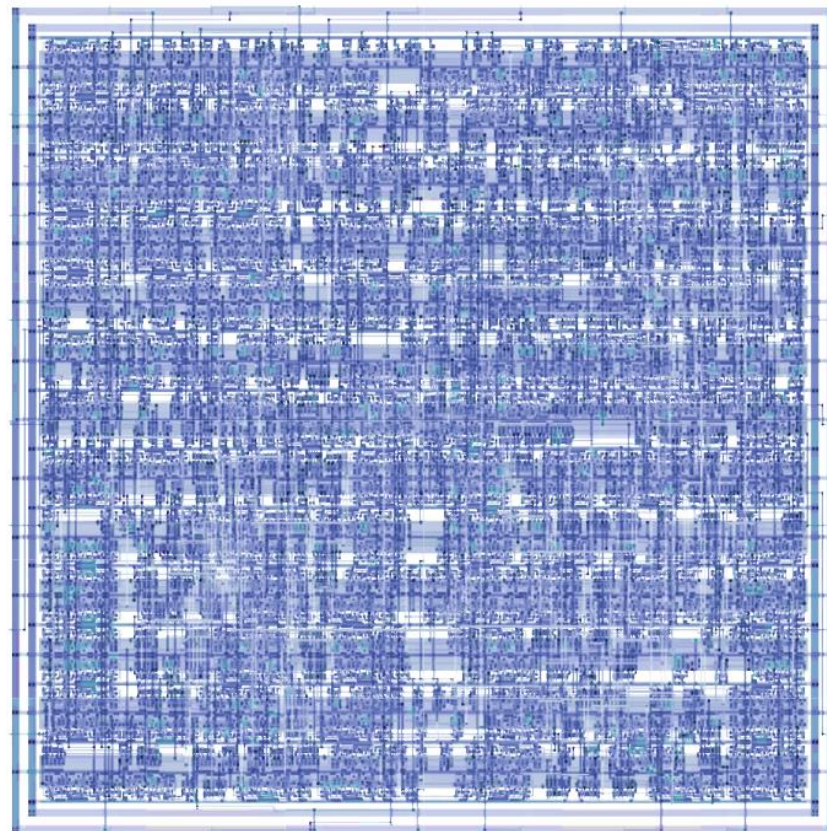
- 逻辑综合和自动布局布线
- 把设计映射到标准单元组成的电路网表和版图



8-bit MIPS版图实例



全定制版图



逻辑综合和布局布线生成的版图

■ 功能仿真 (Functional Simulation)

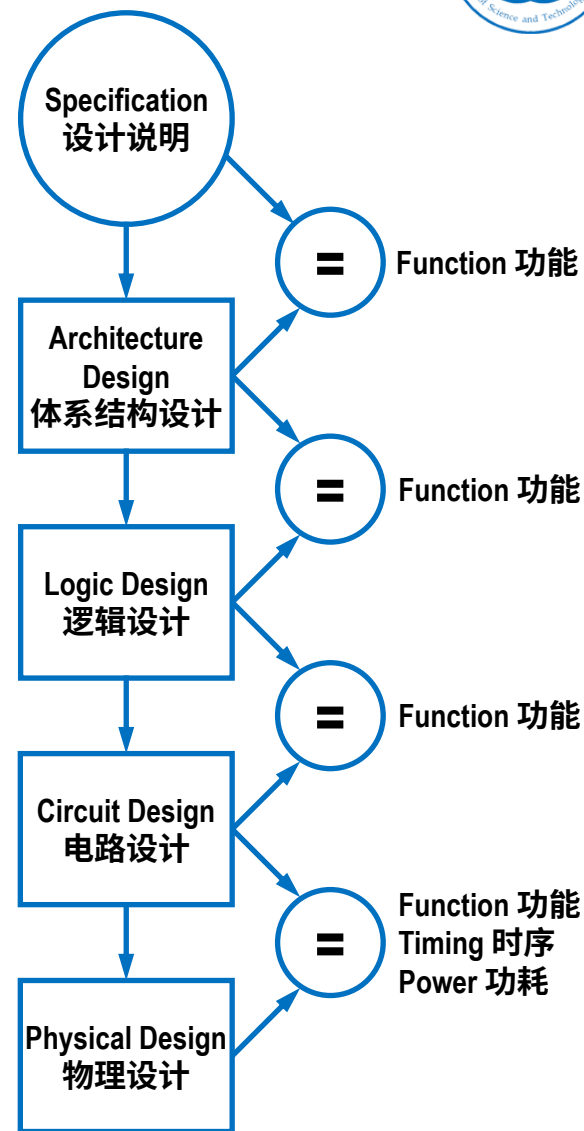
- 结构级模型仿真
- 逻辑级HDL代码仿真
- 门级网表仿真
- 晶体管级网表仿真

■ 形式验证 (Formal Verification)

- 逻辑等效性检查 (Logic Equivalence Check, LEC)

■ 物理验证 (Physical Verification)

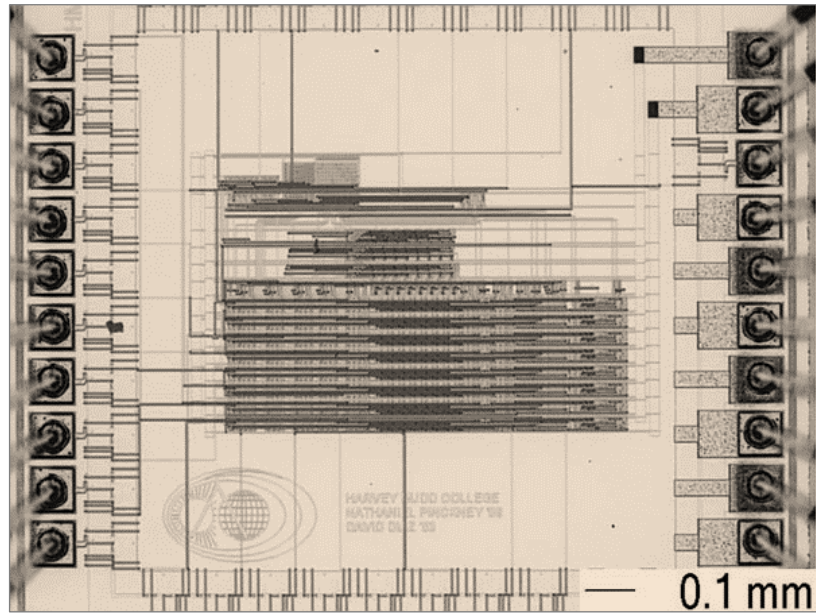
- 设计规则检查 (Design Rule Check, DRC)
- 电气规则检查 (Electrical Rule Check, ERC)
- 版图原理图对比 (Layout vs. Schematic, LVS)
- 版图寄生参数抽取 (Layout Parasitic Extraction, LPE)



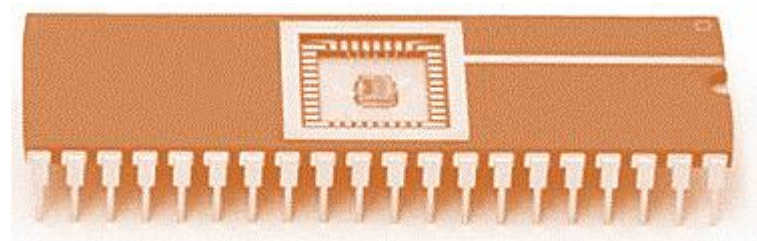
设计和验证序列



12-inch/300-mm晶圆



8-bit MIPS处理器显微照片



40针双列直插封装 (DIP-40)

本章结束