chapter1 引论

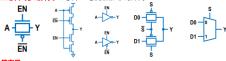
♣成申路管史 晶体管(John Bardeen, Walter Brattain, William Shocklev, 1947, 点接触锗晶 体管),集成电路(Jack Kilby, Ti, 958),平面晶体管(Jean Hoerni, Fairchild, 1959),单片集成 电路(Robert Noyce, Fairchild, 1961), 大容量 MOS 存储器(Intel 1101, 1969), 微处理器(Intel 4004, 1971, 108-740kHz, 12um), 先进微处理器(Intel Core i9-9900, 2019, 3. 10GHz, 14nm)

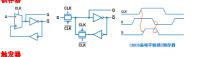
摩尔定律 集成电路上可以容纳的晶体管数目在大约每经过 18 个月到 24 个月便会增加一倍。 换言之,处理器的性能大约每两年翻一倍,同时价格下降为之前的一半。

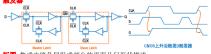








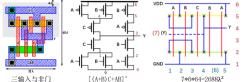




版图 集成电路各层组成部分的平面几何形状描述

微米设计规则 以微米为单位规定的设计规则,可以带来集成密度的优势,难以从一种工艺转向 更先讲的工艺或不同代工厂

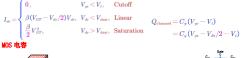
λ<mark>设计规则</mark> λ是最小沟道长度(特征尺寸)的一半,设计中所有尺寸都向上舍入为λ的整数倍,比 较简单和易于按比例缩小,但牺牲了集成密度。金属扩散区线宽=4,线距=4or3,栅宽=2,pn阱 金属接触 2*2 外包 1 圈,棒图:一个金属通道=8 λ 一个 track=64λ²



设计抽象 体系结构设计(系统功能)、微结构设计(体系结构如何划分寄存器和功能部件)、逻 辑设计(如何构成功能部件)、电路设计(如何用晶体管实现逻辑)、物理设计(芯片版图) 构化设计 层次化、规整化、模块化、局域化

功能仿真 结构级模型仿真、逻辑级 HDL 代码仿真、门级网表仿真、晶体管级网表仿真 形式验证 逻辑等效性检查(LEC) 物理验证 设计规则检查(DRC)、电气规则检查(ERC)、版

图原理图对比(LVS)、版图寄生参数抽取(LPE) $C_g = k_{ox} \varepsilon_0 \frac{WL}{t} = \varepsilon_{ox} \frac{WL}{t_{ox}} = C_{ox} WL$ chapter2 MOS 晶体管原理 长沟道模型

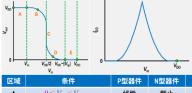




阈值泄露 载流子热致发射越过由阈值决定的势垒而引起,电流不会在阈值下立即截止而是

$$I_{ds} \! = \! I_{off} 10^{\frac{V_{o} + \eta(V_{o} - V_{so}) - k_{i}V_{o}}{S}} \! \! \left(\! 1 - \mathbf{e}^{\frac{-V_{o}}{v_{r}}} \! \right) \! \! ; \; \; S \! = \! \left[\frac{\mathbf{d}(\log_{10}I_{do})}{\mathbf{d}V_{gs}} \right]^{-1} \! = \! nv_{T} \! \ln 10$$

静态 CMOS 反相器的直流传输特例



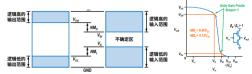
i 上 以	ボロ	「五程」」	NEWL	初山
Α	$0 \leqslant V_{ m in} < V_{tn}$	线性	截止	$V_{ m out} = V_{ m DD}$
В	$V_{tn} \leqslant V_{ ext{in}} < V_{ ext{DD}}/2$	线性	饱和	$V_{ m out} > V_{ m DD}/2$
С	$V_{ m in} = V_{ m DD}/2$	饱和	饱和	$V_{ m out}$ 陡峭下降
D	$V_{ m DD}/2 < V_{ m in} \leqslant V_{ m DD} - V_{tp} $	饱和	线性	$V_{\rm out}{<}V_{\rm DD}/2$
E	$V_{ m in}\!>\!V_{ m DD}\!- V_{tp} $	截止	线性	$V_{ m out} = 0$



当 $\beta_n \neq \beta_p$ 时, V_{inv} 偏离 $V_{DD}/2$ 若 $\beta_{n} < \beta_{n}$,称为高偏斜门(HI-Skewed Gate)

若 $\beta_n > \beta_n$,称为低偏斜门(LO-Skewed Gate) 若 $\beta_n = \beta_p$,称为不偏斜门(Unskewed Gate)

噪声容限 逻辑门输出正确的情况下,输入端允许出现的最大噪声电压



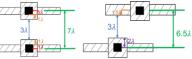
若有一种状态下噪声较大,可以设计为偏斜门,但会辆牲另一种状态的噪声容限 传输管的直流特件

$$V_{00}$$
 V_{00}
 V

版图的构成 集成电路各层组成部分的平面几何形状描述,由不同层的图形要素组成,路径、 矩形、多边形、文字等,版图层用于制造掩模或其他设计用途,版图的图形必须符合一定设 计规则

版图常用数据格式 GDSII OASIS CIF DEF LEF EDIF

设计规则 集成电路制造所需要掩模的设计制备说明和规定,以特征尺寸、间距、覆盖、延伸 等定义,目的是为了在尽可能小的面积上构建能够可靠工作的电路,代表了性能和成品率之 间的一种折中



阱规则 N 阱和相邻 N 型有源区需要保持足够的外间距/N 阱和内部的 P 型有源区需要保持足够 的内间距/双阱工艺中,通常只定义N阱的版图,P阱默认为N阱的逻辑非

晶体管规则 有源区 (Active Area, AA; Oxide Diffusion, OD)、有源区类型选择 (N-Select/P-Select: NIMP/PIMP: NPLUS/PPLUS: NP/PP)、多晶硅 (Polysilicon, PO: Gate, GT)、源漏区由有源区和类型选择层定义,或由NDIFF/PDIFF等直接定义、栅极由多晶硅和有 源区的"逻辑与"定义、N 阱连接点由 N 阱内的 N 型有源区定义, P 阱连接点由 P 阱内的 P 型有源区定义、多晶硅需要延伸到有源区之外一定距离,确保源漏区不会短路、有源区需要 延伸到多晶硅之外一定距离,确保源漏区的存在、不组成晶体管的多晶硅和有源区需要分开

接触规则 金属-有源区、金属-多晶硅、金属-阱/衬底、金属与轻掺杂阱/衬底之间的连接很 差,需要在接触下方放置重掺杂有源区、接触通常具有相同的固定尺寸

金属规则 金属厚度越大,宽度和间距规则越大、金属宽度越大,间距规则可能随之增加、金 属有限制最大宽度的规则、金属对接触的覆盖规则可能为零或不为零 通孔规则 同一层的通孔通常具有相同的固定尺寸、金属厚度越大,通孔尺寸规则也越大、平

纯化层规则 在焊盘(Pad)处需要在钝化层有尺寸合适的开口

附加规则 多晶硅或金属线超出接触或通孔的延伸、器件长度不同时多晶硅延伸也不同、特征 结构的最大宽度和最小面积、凹槽(Notch)的最小尺寸

划片槽 (Scribe Line): 把晶圆切割成芯片的位置、

密封环 (Seal Ring): 芯片与划片槽之间由有源区、接触、金属、通孔、钝化层等按照特定 规则叠加组成的保护环、在晶圆切割及芯片使用过程中,保护芯片四周免受机械、静电、电 磁干扰、湿气、污染物等的影响和侵入

可制造性设计 Design for Manufacturability, DFM 在设计流程早期预估工艺效应和偏差, 并讲行修正, 以提高自品率

chapter4 延时

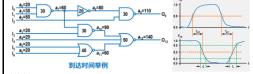
传播延时tm 输入越过 50%到输出越过 50%的最长时间 污染延时t_{cd} 输入越过 50%到输出越过 50%的最短时间

上升时间t. 从稳态值 20%上升至 80%所需时间 下降时间t, 从稳态值 80%下降至 20%所需时间

边沿速率t_{rf} 上升时间和下降时间的平均值= $(t_r + t_f)/2$

驱动器 对一个节点充电或放电的门 负载 被驱动的门和导线 到达时间(Arrival Time) 逻辑块中各节点翻转的最迟时间,可分为输入/输出/内部节点

剩余时间(Slack)要求到达时间与实际到达时间之差



长键路径 限制系统工作速度的逻辑路径

逻辑优化层次 结构/微结构级 (流水线级数、执行单元数量、存储器大小)、逻辑级 (功能块 类型、时钟周期内的逻辑门级数、门的扇入扇出)、电路级(晶体管尺寸、CMOS 逻辑类型)版 图级(平面规划、导线长度、寄生电容) 高层次影响大



$$p_{pd} = \sum_{i} R_{is} C_{i}$$
 节点上的电容 C_{i} 从信号源到节点、和信号源到该叶节点的公共路径的等效电阻 R_{is}

与非门		4/3	5/3	6/3	(n+2)/3		
或非门		5/3	7/3	9/3	(2n+1)/3		
三态门、多路开关	2	2	2	2	2		
异或门、异或非门		4, 4	6, 12, 6	8, 16, 16, 8			
门的类型	输入数量						
I Juy失主	1	2	3	4	n		
反相器	1						
与非门		2	3	4	n		
或非门		2	3	4	n		
三态门、多路开关	2	4	6	8	2n		
■ 计算路径努力 F=GBH		名称	单级表达	at 8	路径表达式		
		1117		REIC BRIEREIC			
■ 估算最优级数	級数	1		N			
$\hat{N} = \log_4$	逻辑努力	g	($G = \prod g_i$			
■ 画出路径草图:共N级 ■ 估算最小延时		电气努力	$h = \frac{C_{\text{out}}}{C_{\text{in}}}$	H	$H = \frac{C_{\text{out(path)}}}{C_{\text{In(path)}}}$		
$D = \hat{N}F^{1}$	分支努力	$b = \frac{C_{\text{compath}} + C_{\text{compath}}}{C_{\text{compath}}}$	O _{offpath}	$B = \prod b_i$			
■ 确定最优每级 f = F ^{1/k}	努力	f = gh	1	F = GBH			
■ 从路径末端开始由后向前 求出各级尺寸		努力延时	f	L	$D_F = \sum f_i$		
		寄生延时	p	1	$p = \sum p_i$		

计算 Cin 别忘了不在路径的支路电容 Cout!

逻辑努力 逻辑门的输入电容与能够提供相同输出电流的反相器的输入电容之比 寄生延时 逻辑门驱动零负载时的延时

延时-d, 寄生延时-p, 单级努力-f $\tau = 3RC, d = \frac{t_{pd}}{t}, d_{FO4} = 1 + h = 5\tau$ 扇出(电气努力)(F0)=h,逻辑=g $d = f + p = g\dot{h} + p$

 $p = R_{out}C_{out}/3RC$ 输出的电阻*电容(输出端晶体管的宽度之和)/标准反相器的 $g = R_{out}C_{in}/3RC$ 输入电容输出电阻/标准反相器的

 $h = C_{out}/C_{in}$ 负载电容/输入电容(栅极)

下降最坏: 下拉所有电容, 上升最坏: 下拉除尾电容, 上拉一个电阻

下降最好: 下拉无电容,上升最好: 上拉所有并联电阻

■ 逻辑努力的启示

■ 用逻辑努力数值表征逻辑门或路径复杂度,能够对不同电路拓扑进行比较

d = f + p $D = \sum d_i = D_F + P$

■ 在静态CMOS电路中,与非结构比或非结构更快

■ 当路径中各级努力延时大约相等且接近4时,该路径最快

■ 路径延时对适度偏离最优值的情况不敏感,包括级数、晶体管尺寸等

■ 稍大于4的每级努力可以减少面积和功耗,但会稍微降低速度

■ 采用较少的级数,或增加门的尺寸,并不能使电路更快

■ 设计很好的路径的延时大约为log_F个F04反相器的延时

■ 逻辑门每个输入端的逻辑努力随输入数量的增加而增加

■ 具有较小逻辑努力的反相器或二输入与非门最话干驱动大分支努力的节点

■ 当路径发生分叉时,应缓冲非关键支路以减小关键路径的分支努力

■ 逻辑努力没有考虑互连线的影响

■ 逻辑努力没有说明如何设计电路使其在速度约束下具有最小的面积或功耗

■ 当路径具有不均衡的分支或重新聚合的扇出时,难以进行手工分析

■ 线性延时模型不能包括输入斜率的影响

瞬时功率 电路原件消耗或提供的瞬时功率定义为电流电压乘积 能量 在某一时间间隔 T 内消耗或提供的能力是瞬时功率的积分

平均功率 时间 T 内对瞬时功率积分,再除 T

电容的能量 $E = \frac{1}{2}CV_c^2$

反相器输入 1 到 0 对电容充电,电源提供能量为 $E_{V_{DD}}=C_LV_{DD}^2$

反相器输入0到1 电容放电,电源不提供能量 动态功耗=动态+静态,动态=翻转功耗+短路电流

静态功耗=亚阈值泄漏+栅泄漏(I_gate)+结泄漏+有比电路中的竞争

亚阈值电流 $I_{sub} = Ae^{-V_{gs}/(nU_T)}$

动态功耗 翻转功耗+短路电流功耗

翻转功耗 $P_{switching} = \alpha CV_{DD}^2 f_{sw}$ α 叫做活动因子,时钟的活动因子为 1 静态约为 0.1 节点

的电容是栅电容、扩散电容、连线电容之和,等效电容还需乘活动因子 活动因子 $\alpha = 0.5 \cdot$ 电平转换频率/时钟频率

短路功耗 晶体管翻转过程中,上拉网络和下拉网络同时部分导通造成的短路电流功耗,大约 是翻转功耗的10%

动态功能的优化方法 选择能满足目标性能的最低工作频率、选择能支持目标工作频率的最低 电源电压、通过使不需要工作的模块进入休眠状态来减小活动因子、通过优化电路减小每-

时钟门控的作用 将时钟信号与使能信号相"与"来关断闲置电路模块的时钟,能有效降低活 动因子和节点电容, 时钟门控降低α, α=0.1, 延时加 x%, 压降 x%VDD

翻转概率 令 P_i 为节点 i 处于逻辑 1 的概率,则 $\alpha_i = P_i(1 - P_i)$

翻转电容 来自电路中连线和晶体管,良好的平面规划和布局能降低连线电容,选择较少的逻 辑级数和较小的晶体管可以降低器件电容

晶体管尺寸选择 非关键路径上最小尺寸、缩小具有较大活动因子或较大尺寸的门、采用反相 器或缓冲器驱动长连线,而不采用具有较高逻辑努力的复杂门、采用较大的每级努力,仅比 最小延迟稍微增加,就可以显著减小晶体管尺寸节省能量

电压和频率选择 每个电路模块都允许在满足性能需求的最低电压和最低频率

DVS DVFS UDVS 动态电压调整 动态电压/频率调整 超动态电压调整

静态功耗 $P_{stastic} = \sum NW\lambda (I_{sub} + I_{gate})V_{DD}$ 亚阈值泄露电流+栅泄露电流(栅极电容)+结 泄露电流(源漏与衬底构成反偏二极管)+有比电路中的竞争电流的功耗,约占总功耗的1/3 **维尋效应** 串联截止晶体管的亚阈值泄露电流显著降低,两个能使降低至 1/10

栅泄露 电压应用于栅极时载流子隧穿薄栅介质引起,PMOS 比 NMOS 低很多忽略不讨

结泄露 源漏扩散区与衬底不同单位时发生,通常很小

电源门控 关断休眠模块的电容,由虚拟电源供电,输出门控以免无效电平传至下游电路 细 粒度指对单个逻辑门进行电源门控 粗粒度指整个模块共享一个 开关管要足够大来缩小延时 只有电路休眠时间足够长这个方案才比较有效

泄露与延时的权衡 休眠模式低泄露 工作模式低延时

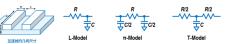
降低泄露的方法 多阈值电压、堆叠效应、可变阈值电压

微结构 处理器 (多内核)、存储器 (大存储器进行任务加速)、专用功能单元

最小小能耗-延时积 $EDP = k \left(C_{eff} V_{DD}^3 \right) / (V_{DD} - V_t)^{\alpha}$ 最小值: $V_{DD} = 3/(3 - \alpha)V_t$, $\alpha = 1~2$

chapter6 互连线

互连线 将晶体管连接在一起的导线 影响:速度(互连线延时)、翻转功耗、噪声 几何参数 宽度 w, 长度 1, 厚度 t, 相邻导线距离 s, 电介质高度 h, 节距 w+s, 高宽比 AR



电阻计算 $R = \rho l/tw = R l/w$ 薄层电阻= ρ/t

互连线对延时的影响 连线电容增加门的负载,长连线具有较大电阻,影响分布 RC 延时或飞 行时间,对于 pi 模型,无论采用多少段,其 Elmore 延时都是 RC/2

串扰 电容不能瞬时改变其两端电压,导致导线 A 翻转时通过电容耦合使与之相邻的导线 B 和 它一起翻转,若此时B也翻转,串扰会增加或减小B的翻转延时,若B不翻转则会引起噪 声。串扰对长导线影响很大。

■扰控制方法 增大与相邻导线间距、屏蔽导线、确保相邻导线在不同时间翻转、抵消串扰

(交错排列中继器、电荷补偿技术、双绞线差分信号传输)

延时估算方法: Elmore 延时、渐进波形估计 (AWE)、Arnoldi 算法

插入 W 倍单位尺寸的中继器导线的 Elmore 延时

$$t_{pd} = N \bigg[\frac{R}{W} \bigg(C_w \frac{l}{N} + CW (1 + p_{\text{inv}}) \bigg) + R_w \frac{l}{N} \bigg(\frac{C_w}{2} \frac{l}{N} + CW \bigg) \bigg]$$

导线最优长度 $\frac{1}{N} = \sqrt{\frac{2RC(1+P_{Inv})}{R_w c_w}} \approx 0.77 \sqrt{\frac{FOs}{R_w c_W}}$ 反向中继器中 NMOS 管的宽度 $W = \sqrt{\frac{RCw}{R_w c}}$ 单位长度延时 $\frac{t_{pd}}{t} = (2 + \sqrt{2(1+P_{Inv})})\sqrt{RCR_w C_w} \approx 1.67\sqrt{FO4R_w C_w}$

单位长度导线能耗 $\frac{E}{l} = \left(C_w + \frac{NWC(1+p_{inv})}{l}\right)V_{DD}^2 = \left(1 + \sqrt{\frac{1+p_{inv}}{2}}\right)C_wV_{DD}^2 \approx 1.87C_wV_{DD}^2$

缓冲中继器 使用一堆反相器来避免信号极性问题,前级尺寸 W_1 ,后级 kW_1 ,当 $p_{inv}=0.5$ 时,

$$\begin{split} \frac{1}{N} &= \sqrt{\frac{2RC(k+\frac{1}{k}+P_{\mathrm{inv}})}{R_{\mathrm{w}C_{\mathrm{w}}}}} \approx 1.22\sqrt{\frac{FO4}{R_{\mathrm{w}C_{\mathrm{w}}}}} \quad W_1 = \sqrt{\frac{RC_{\mathrm{w}}}{kR_{\mathrm{w}C}}} \quad W_2 = \sqrt{\frac{kRC_{\mathrm{w}}}{R_{\mathrm{w}C}}} \\ \frac{1}{p_{\mathrm{d}}} &= \left(2\sqrt{\frac{1}{k}} + \sqrt{2\left(k + \frac{1}{k} + 2p_{\mathrm{inv}}\right)}\right)\sqrt{RCR_{\mathrm{w}}C_{\mathrm{w}}} \approx 1.81\sqrt{FO4R_{\mathrm{w}}C_{\mathrm{w}}} \end{split}$$

 $\frac{E}{l} = \left(1 + \frac{(1+k)(1+p_{inv})}{\sqrt{2(k^2+1+2kp_{inv})}}\right)C_wV_{DD}^2 \approx 2.20C_wV_{DD}^2$

再生器 反相器与导线并联





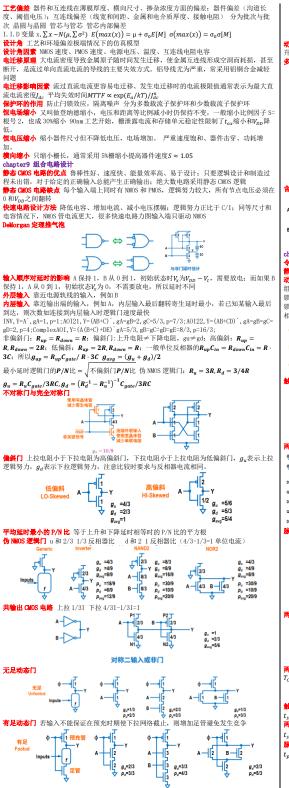
chapter7 鲁棒性

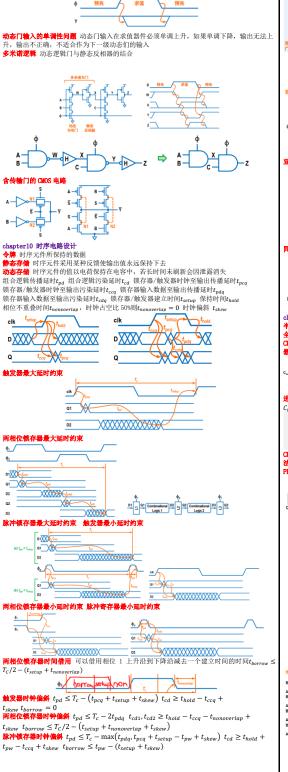
 $C_i(R_{i-1} + R_{w_{i-1}}) = R_i(C_{i+1} + C_w)$ 反相器展荡环 反相器频率=1/Nd

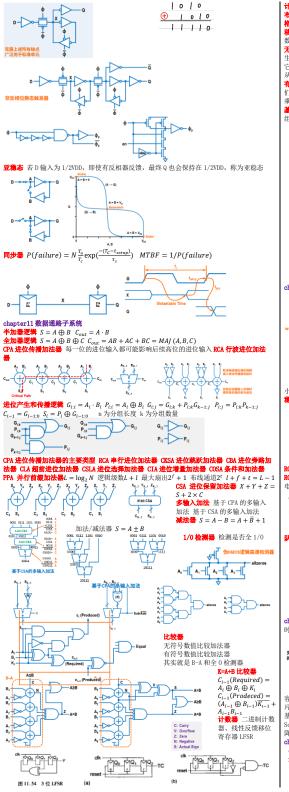
偏差的影响因素 工艺偏差 (Process) 电源电压 (Voltage) 工作温度 (Temperature)

偏差建模 电源电压可以用均匀分布 工艺偏差用正态分布

电源电压偏差 电源电压随时间和空间而变化,额定值 $\pm 10\%$ 以内,衰减: $\ln(t) = aU + b$ 温度偏差 晶体管结温是环境温度和功耗导致温升之和 分布与功耗有关 高电压时,漏极电流 随温度上升而减小 低电压时,漏极电流随温度上升而增大







计数器特点 可复位、可装载、使能、可逆、重点计数 布尔逻辑运算 用选择器实现逻辑运算

格雷码 $G_{N-1} = B_{N-1} G_i - B_{i+1} \oplus B_i$ $B_i = B_{i+1} \oplus G_i$

移位器 循环移位、逻辑移位、算数移位 阵列移位器、对 数移位器、漏斗移位器、桶式移位器



无符号乘法的基本过程 1. 部分积生成: 通过将被乘数乘以乘数的每一位,

生成一系列部分积。每个部分积对应于乘数的一个二进制位 2. 部分积移位: 每个部分积根据 它对应的乘数位进行相应的左移操作。左移的位数等于乘数位的位置,从右向左数起,位置 从 0 开始 3. 部分积累加: 将所有部分积进行累加, 得到最终的乘积

有符号乘法的基本过程 1. 确定符号和绝对值:首先需要确定两个操作数的符号,然后根据它 们的符号确定最终结果的符号。然后,取两个操作数的绝对值进行乘法运算。2.使用无符号 乘法运算: 生成部分积、部分积移位、累加部分积。3. 确定最终符号, 如果为负需要取补码 基 4Booth 编码 通过将乘数分成多个基 4 的数码进行处理,每个数码由三个相邻的二进制为 组成。通过观察这三个位,可以确定如何生成部分积,具体步骤如下;

1. 编码规则 位拓展最低位补 0, 最高位补两个符号位, 分组每次移动 2 位

Inputs			Partial Product	Booth Selects		
X ₂₅₊₁	X _{2i}	X _{2i-1}	PP;	SINGLE;	DOUBLE;	NEG;
0	0	0	0	0	0	0
0	0	1	Y	1	0	0
0	1	0	Y	1	0	0
0	1	1	2Y	0	1	0
1	0	0	-2Y	0	1	1
1	0	1	-Y	1	0	1
1	1	0	-Y	1	0	1
1	1	1	-0	0	0	1

2. 部分积移位: 根据处理的二进制,每个部分积需要相应的左移操作,符号位补满 3, 部分积累加: 将所有生成的部分积累加, 得到最终乘积

举例: A=1101 (13) B= (1011) A 的补码是 0011 (符号位为 1)

1. 对 B 编码: 0010110 分组: 110/101/001 (-1, -1, 1)

2.-Y 11110011 前四个1是补充的符号位

-Y 110011 前两个1是补充的符号位

+Y 1101

3. 结果 10001111(143)

chapter12 阵列子系统

D1, D2: 驱动管 (Driver Transistor) A1, A2: 存取管 (Access Transistor



SRAM 的特点 比触发器的密度更高、与标准 CMOS 工艺兼容 比 DRAM 速度快且更易于使用;应用于主存储器、高速缓存、 寄存器堆、查找表、便签存储器等; SRAM 单元面积较小, 连线较短,动态功耗较低,需要较复杂的外围电路进行读写 读操作 先将一对位线预充至高电平并浮空; 然后升高字线

的电压, 其中一条位线被下拉, 即读出数据

写操作 先将待写入的值及其补值分别驱动到一对位线; 然 后升高字线的电压 稳定性约束 为了保证读稳定性和可写性,晶体管必须满足

尺寸比例约束 (NMOS 下拉管最强, 存取管强度中等, PMOS 上拉管最弱); 为了使版图密度较高, 所有晶体管都必须较

小;存储单元必须在工艺、电压、温度偏差范围内都能正确工作

稳定性的定量表示 保持余量、读余量、写余量,由静态噪声容限决定

DRAM 的特点 存储内容作为电荷存储在电容上、基本单元比 SRAM 小得多、单元必须被周期性读出并刷新,以使其存储内容不会因 电荷泄漏而丢失、密度比 SRAM 更大, 等待时间更长 DRAM 工作原理 写操作通过激活字线使晶体管导通,再通过位线

写入相应的电容 读操作通过激活字线使晶体管导通,存储单元的 电容通过晶体管将其电荷状态传输到位线。位线上的感应放大器 检测到电压变化并放大,确定存储单元的状态。

ROM 的特点 非挥发存储结构,状态长期保持不变、每存储位可以只由一个晶体管构成 ROM 的种类 掩模 ROM 可编程 ROM (PROM 一次可编程熔丝、EPROM 电可编程紫外线擦除、EEPROM

电可擦除,可精确控制被擦除的位、Flash 电可擦除,整块擦除 后三都是浮栅晶体管)

空,满,几乎空,几乎满



移位寄存器 图中是触发器构成的移位寄存器 种类 有串行输入并行输出 SIPO,并行输入串行输出 PISO 队列的特点 允许数据以不同速率读出和写入,内部 以指针形式指示下一步应访问的数据,标志信号有

以列的分类 先进先出 FIFO 后进先出 LIFO 堆栈

CAM 内容寻址存储器 PLA 可编程逻辑阵列 以规则结构实现用积之和规范形式表示的组合逻辑

chapter13 专用子系统

时钟生成单元 调整全局时钟频率或相位,包括PLL、DLL等



时钟分布网络 将时钟分布到整个芯片上, 并使时钟偏斜最小 局部时钟门控 沿短导线将物理时钟驱动

至一组种控单元中 全局时钟分布 网格 H 树 鱼骨 特定 混合

IO 子系统功能 提供芯片与外部之间的通 信、驱动片外大电容、工作在与其他芯片兼

容的电平上、提供合适带宽、限制摆率以控制高频噪声、保护芯片免收静电放电损坏、保护芯 片兔收过电压损坏、使用较少的引脚数量成本较低

基本 10 单元 电源、低 数字 10 单元: 输入输出双向 模拟 10 单元

Schmitt 触发器的作用 具有迟滞效应,当输入为低电平时它提高翻转点,当输入为高电平时它 降低翻转点,有助于滤除因输入上升太慢或含较大噪声时可能产生的毛刺

chapter14设计方法学与工具

chapter15 测试、调试与验证

逻辑验证 形式验证 测试向量等价性 时序分析 噪声分析 版图原理图对比 LVS 设计规则检 查 DRC 电气规则检查 ERC 寄生参数提取 PEX 测试向量 测试平台 扫描测试