



中国科学技术大学

University of Science and Technology of China

数字集成电路设计

第十五章 测试、调试与验证

白雪飞

中国科学技术大学微电子学院

- 引言
- 逻辑验证
- 硅片调试
- 制造测试
- 可测性设计



引言

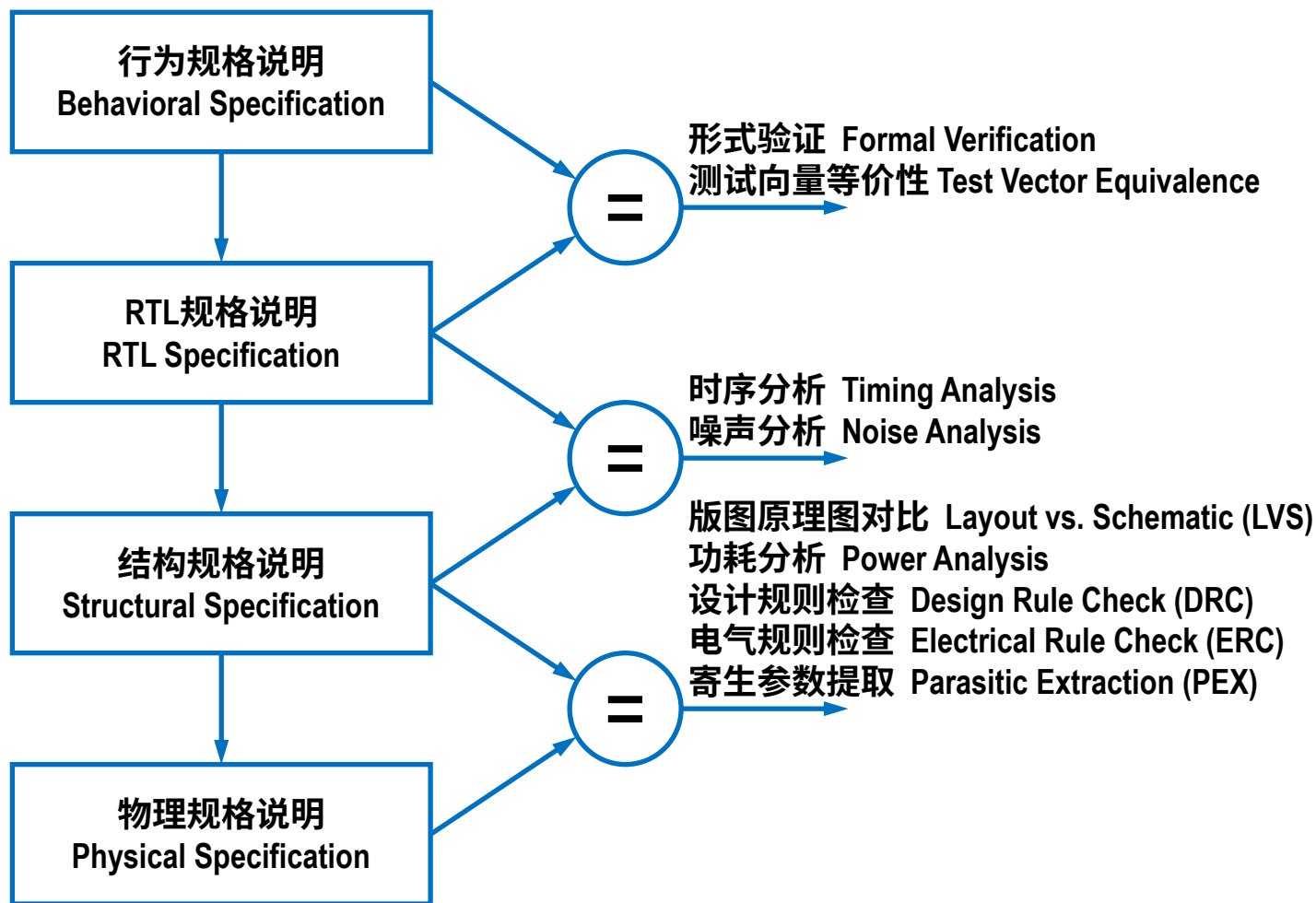
■ 测试类型

- 功能测试 (Functionality Test)、逻辑验证 (Logic Verification)
 - 验证芯片设计能否执行其预定的功能
- 硅片调试 (Silicon Debug)
 - 确认芯片能否如其预定的方式工作，并帮助调试所出现的任何差异
- 制造测试 (Manufacturing Test)
 - 验证芯片中每个器件是否能正确工作，验证芯片是否完好无误

■ 管芯测试级别

- 晶圆级 (Wafer Level)
- 封装后的芯片级 (Packaged Chip Level)
- 电路板级 (Board Level)
- 系统级 (System Level)
- 现场级 (Field Level)

逻辑验证



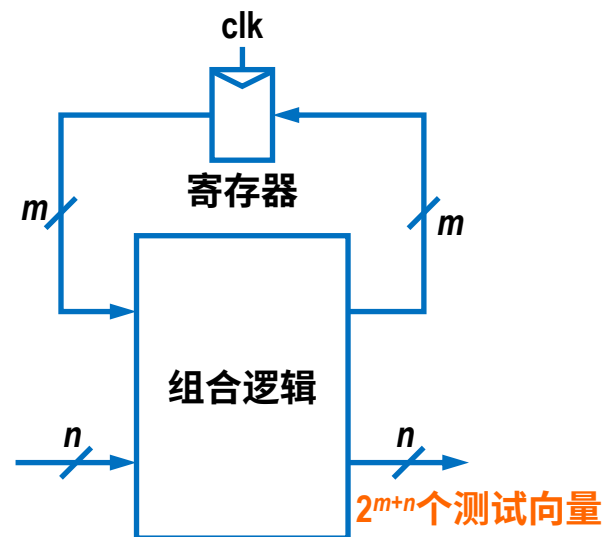
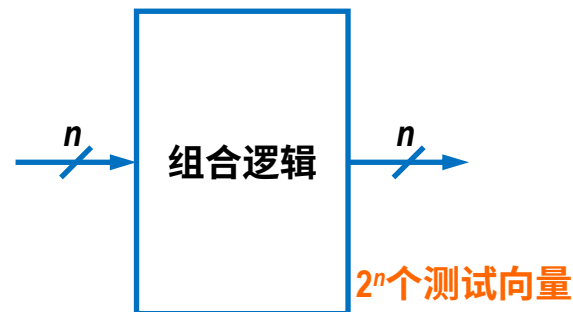
不同抽象级别上的功能等价性

■ 测试向量 (Test Vector)

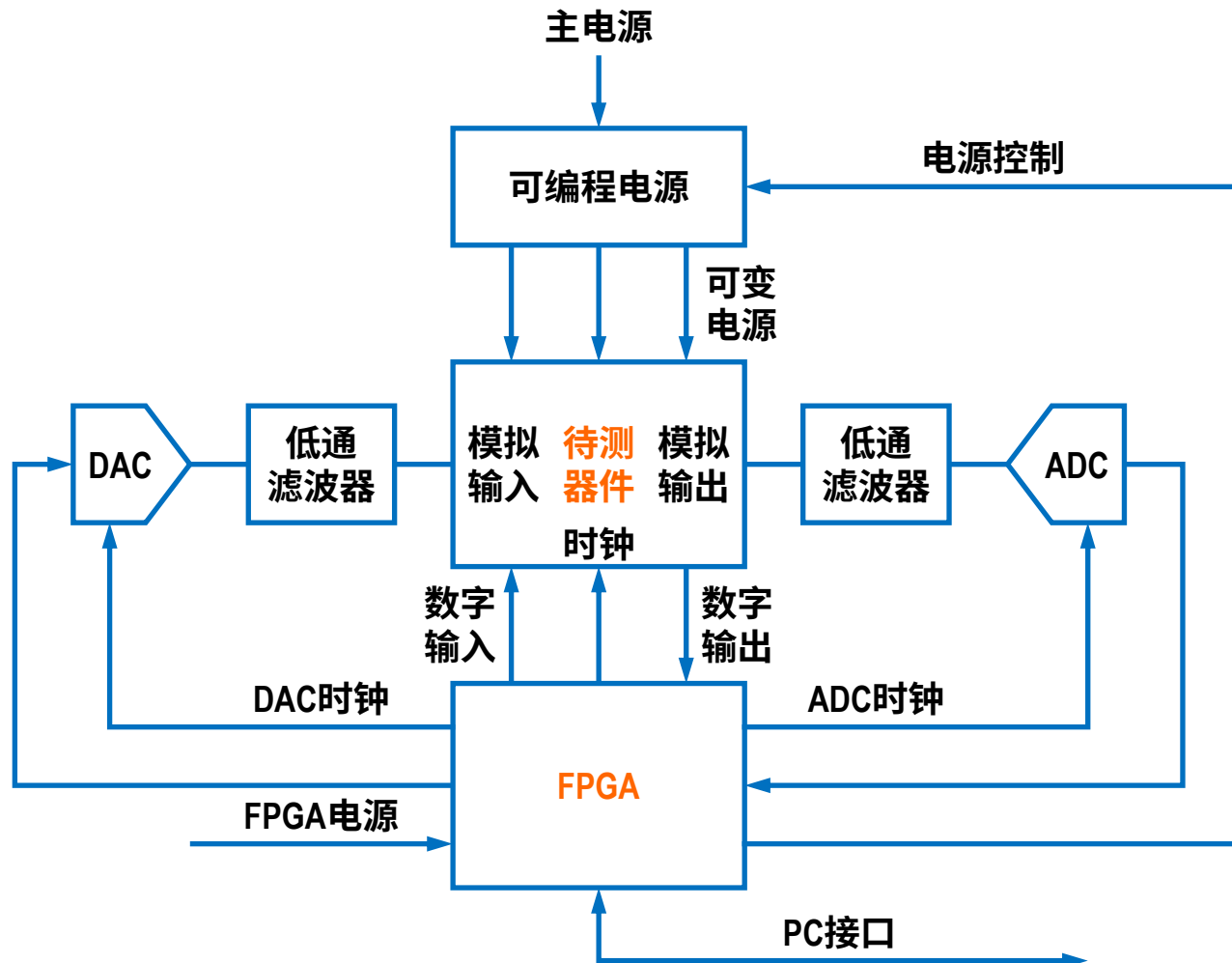
- 应用到输入端的一组模式及期望的输出结果
- 应足够大以捕获所有逻辑错误和制造缺陷
- 应足够小以保持合理的测试时间和测试成本
- 定向向量覆盖系统最可能出错的极端情形
- 随机向量检测比较难以察觉的错误

■ 测试平台 (Testbench)

- 一段硬件描述语言代码
- 作为一个外壳放在待测模块代码外围
- 加载输入测试向量到待测模块上
- 检查输出是否与期望的结果一致

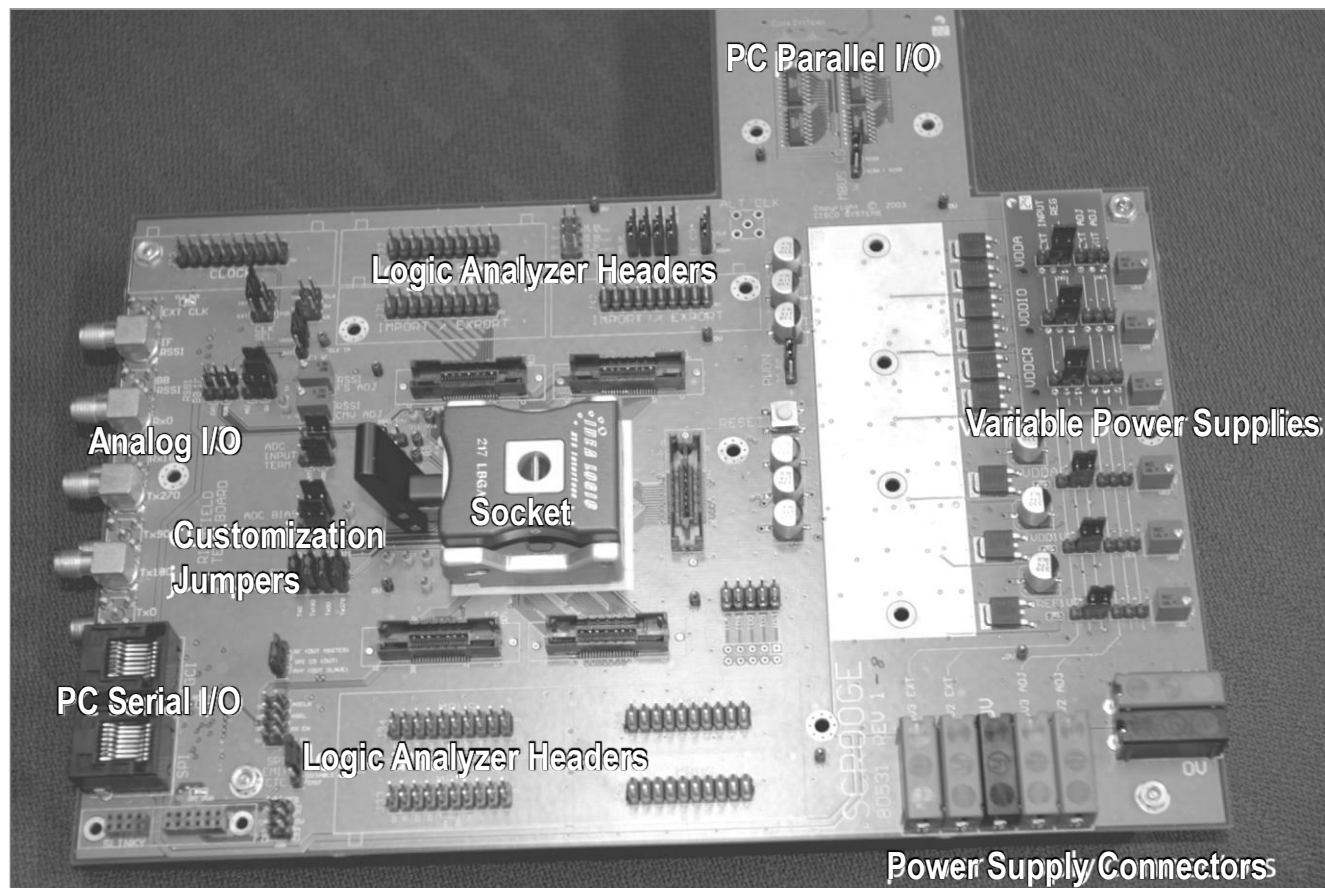


穷举测试的测试向量数量



FPGA辅助测试系统典型结构

硅片调试



典型的测试电路板



GGB Industries Picoprobe Model 35探针



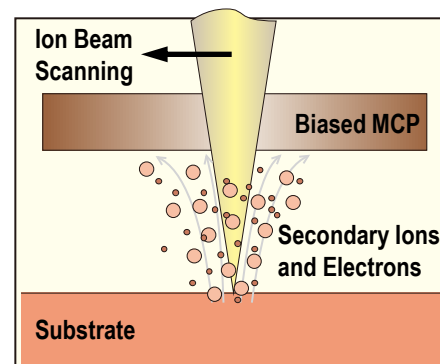
ESDEMC ES62X-CMPS小型手动探针台

聚焦离子束

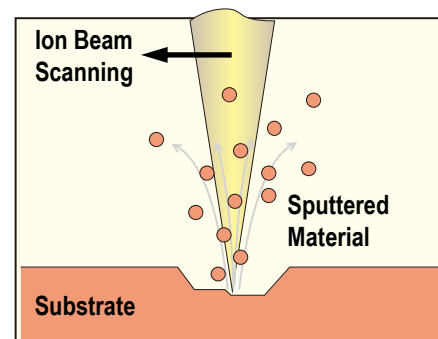


▲ Micrion 2500聚焦离子束系统 (Focused Ion Beam, FIB)

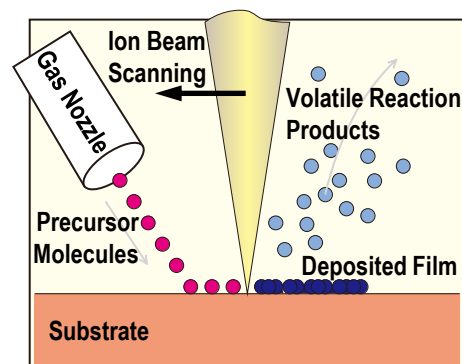
► 聚焦离子束系统工作原理



成像
Imaging



研磨
Milling



沉积
Deposition

制造测试

■ 典型的制造缺陷(Defect)

- 层与层之间短路，如金属至金属
- 不连续的连线，如金属线越过垂直方向突出结构时变薄
- 缺少通孔或通孔损坏
- 通过薄栅氧短路至衬底或阱

■ 制造缺陷引发的电路故障(Fault)

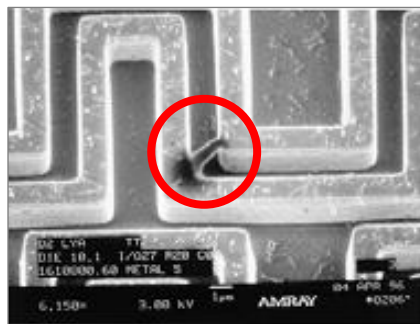
- 节点与电源或地短路
- 节点之间短路
- 输入浮空或输出断开

■ 制造测试

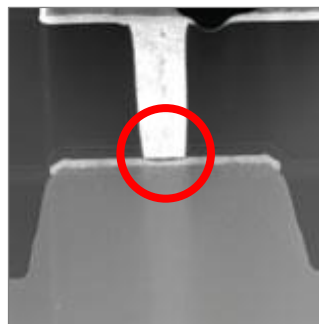
- 内部逻辑门和寄存器测试
- 输入/输出电平测试
- 速度测试



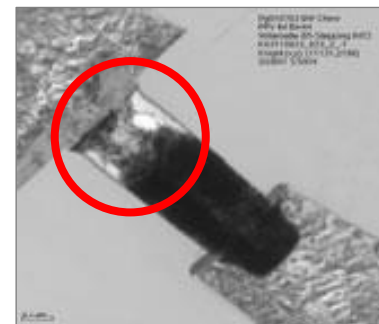
金属1架板
Metal1 Shelving



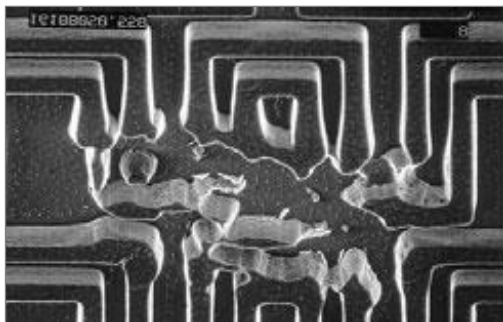
金属5薄膜颗粒 (桥接缺陷)
Metal5 Film Particle
(Bridging Defect)



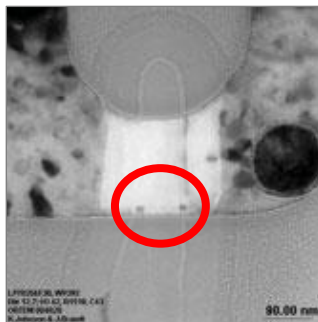
开路缺陷
Open Defect



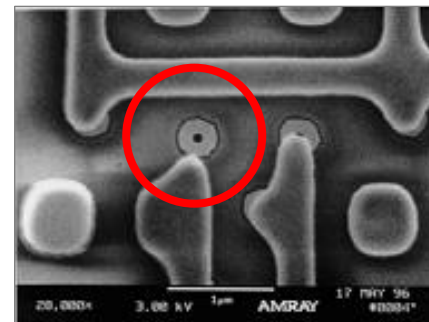
海绵状通孔2 (早期失效)
Spongy Via2
(Infant Mortality)



金属5刻蚀受阻 (图案缺陷)
Metal5 Blocked Etch
(Patterning Defect)

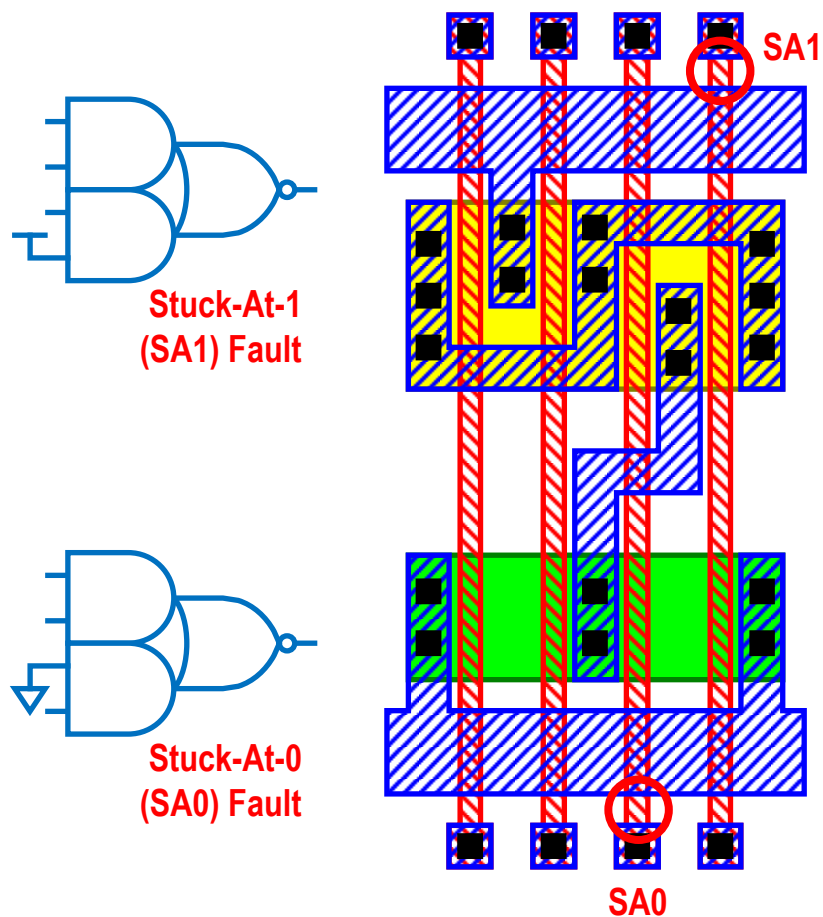


点缺陷
Spot Defect

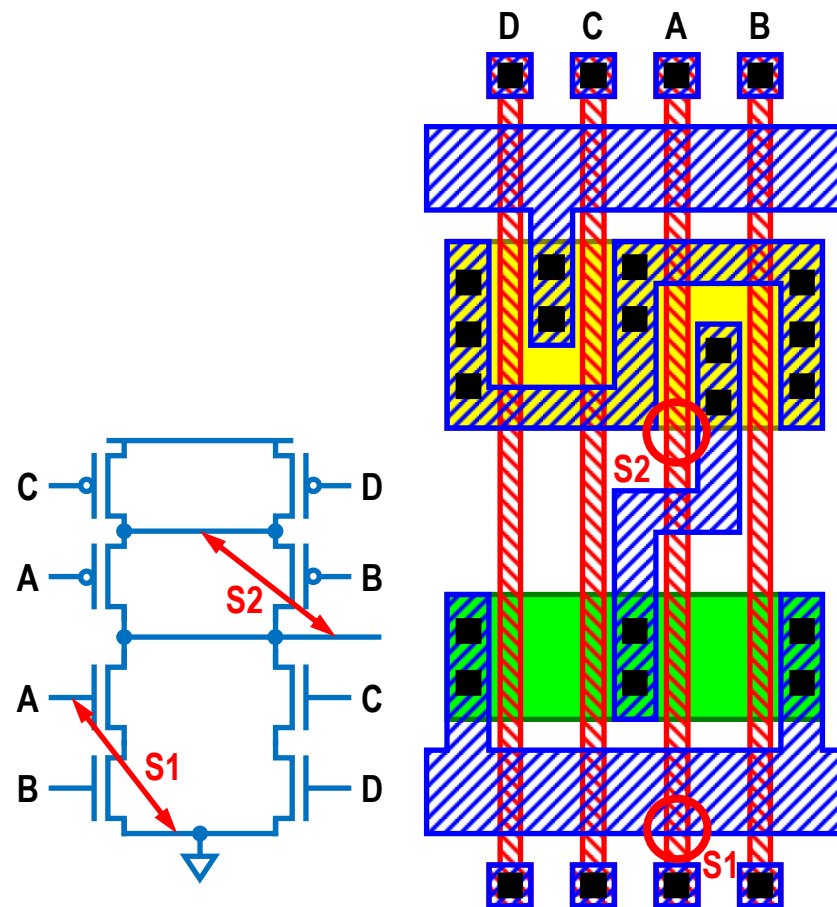


金属1图案缺失 (接触处开路)
Metal1 Missing Pattern
(Open at Contact)

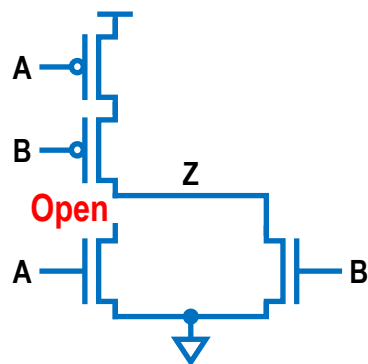
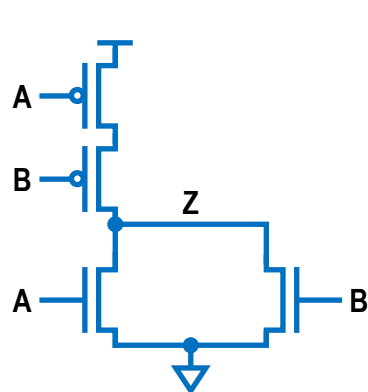
制造缺陷的扫描电子显微镜照片



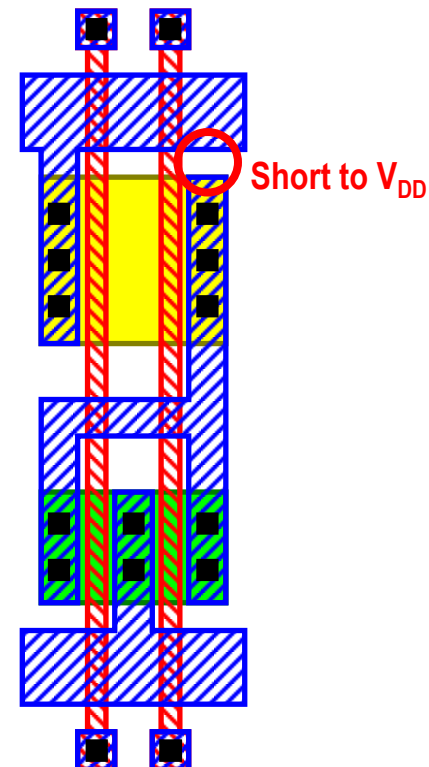
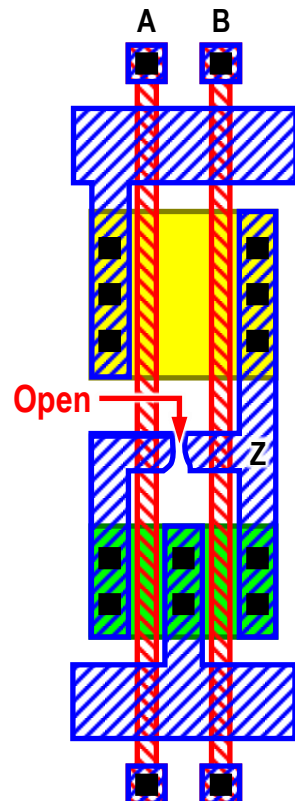
固定故障 (Stuck-At Fault)



桥接故障 (Bridging Fault)



固定开路故障 (Stuck-Open Fault)



固定闭路故障 (Stuck-Closed Fault)

■ 可观察性 (Observability)

- 能够通过芯片输出引脚观察到某内部电路节点的难易程度
- 可测性设计技术可以极大地提高可观察性

■ 可控制性 (Controllability)

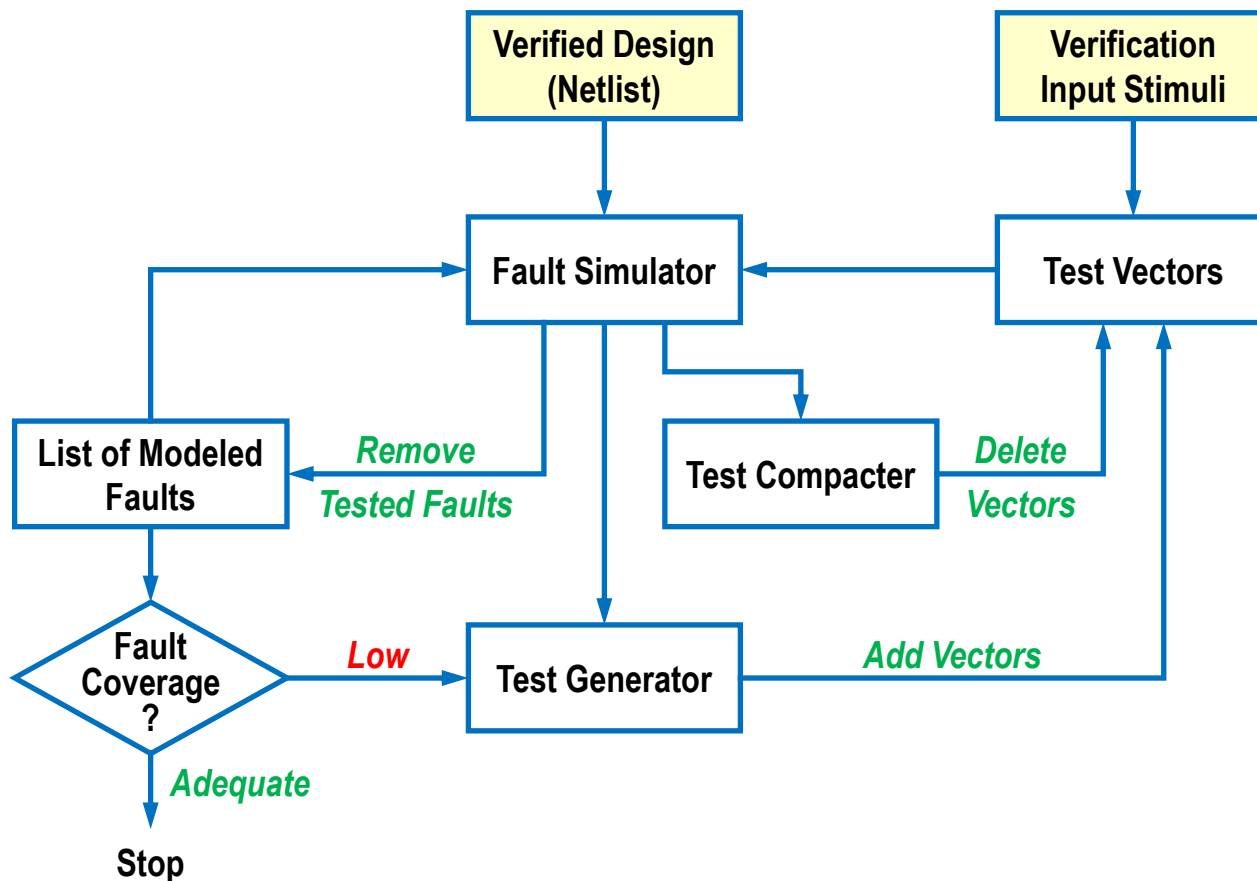
- 能够对芯片内部某电路节点设置为“0”或“1”状态的难易程度
- 可测性设计技术可以帮助实现所有节点易于控制

■ 可重复性 (Repeatability)

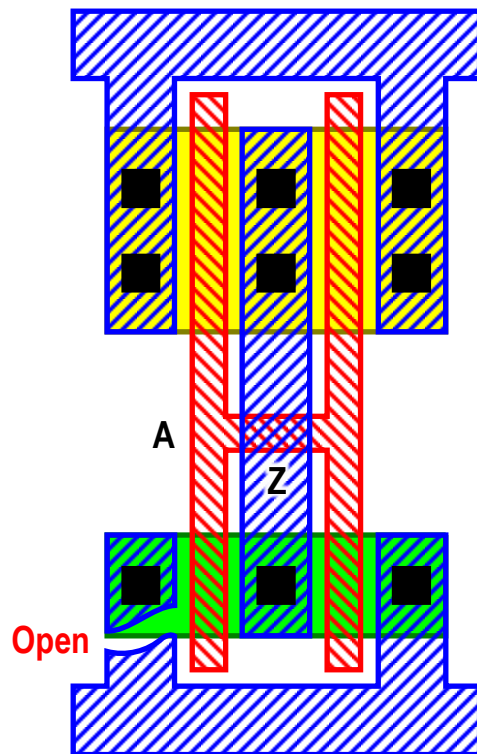
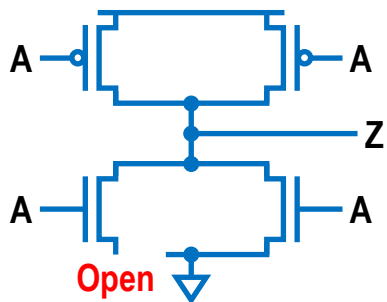
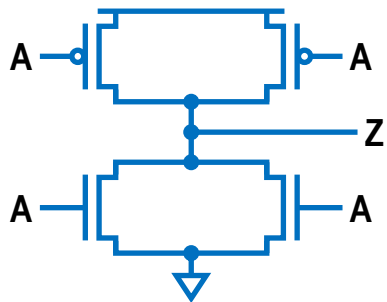
- 在给定相同输入时系统产生相同输出的能力
- 组合逻辑和同步时序逻辑总是可重复的，但某些异步时序电路是不确定的

■ 可生存性 (Survivability)

- 系统出现故障之后仍能继续工作的能力
- 纠错码、存储器中的冗余行和列、备用内核、自适应技术等提高可生存性

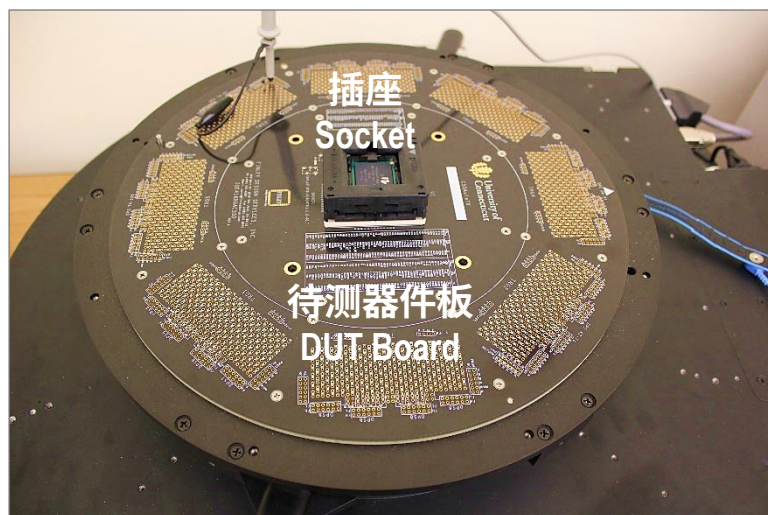


故障仿真和测试生成



延时故障举例

电路逻辑功能仍正确，但下降传播时间 t_{pdf} 增加，可能造成时序问题



- ▶ Teradyne Catalyst产品测试仪
- ▲ Epson NS-6040集成电路装卸机
- ◀ 测试负载板

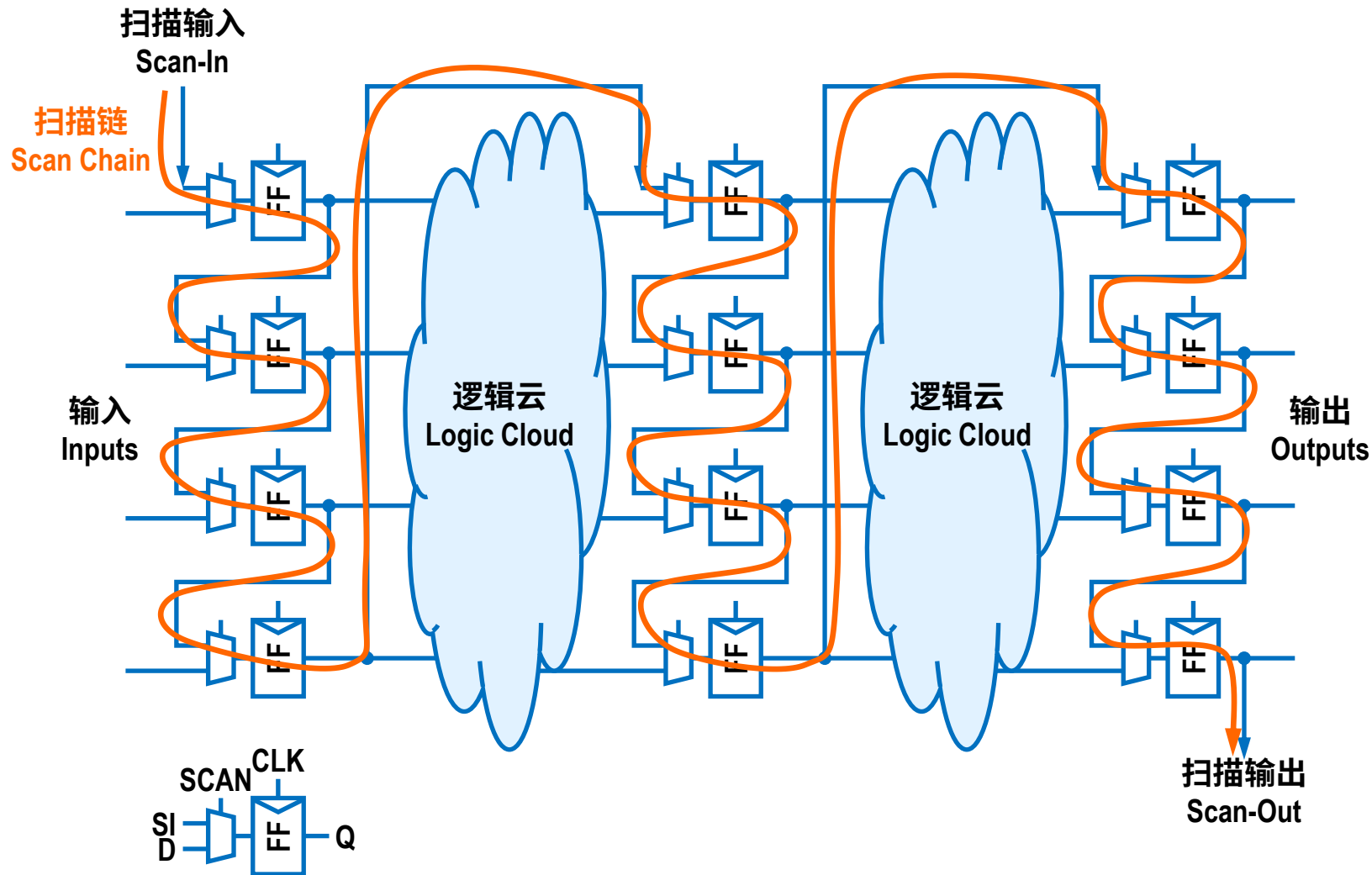
■ 测试程序对测试仪的设置

- 设置电源电压
- 分配激励文件信号名与测试仪引脚之间的映射关系
- 设置测试仪引脚的输入/输出属性以及高电平
- 设置测试仪时钟
- 设置输入模式和输出断言的时序

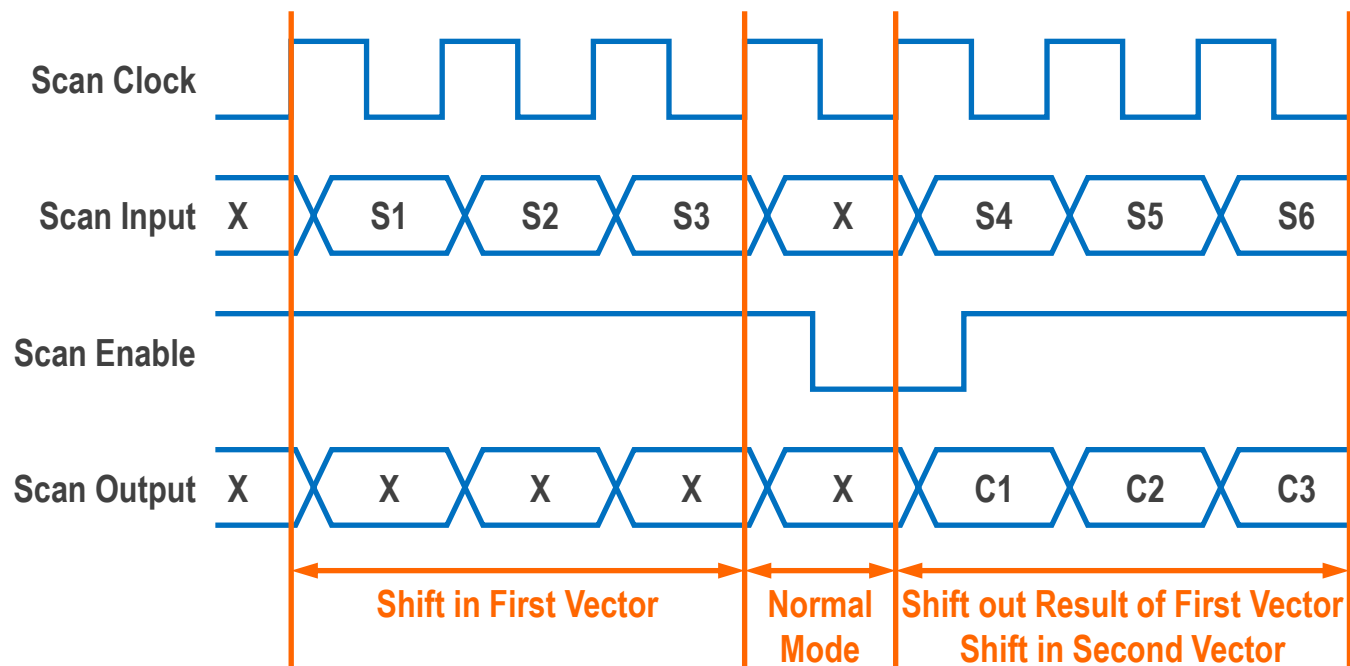
■ 测试程序对每个芯片的操作

- 施加电源电压
- 施加数字激励并记录响应
- 对照断言检查响应
- 报告和记录错误

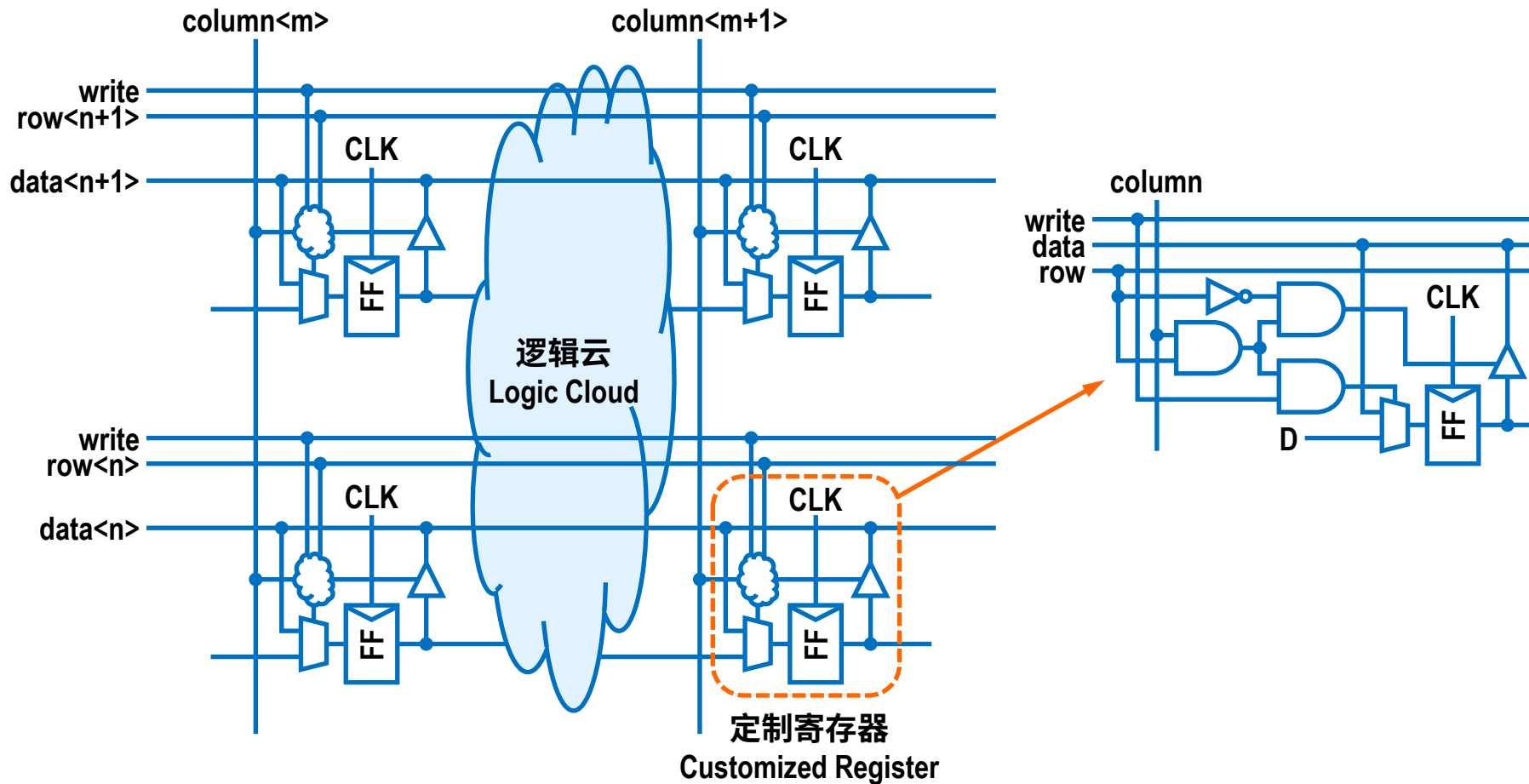
可测性设计



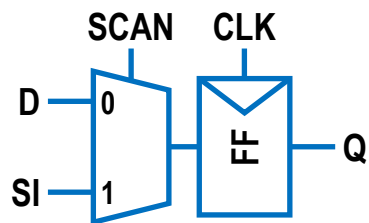
基于扫描的测试结构



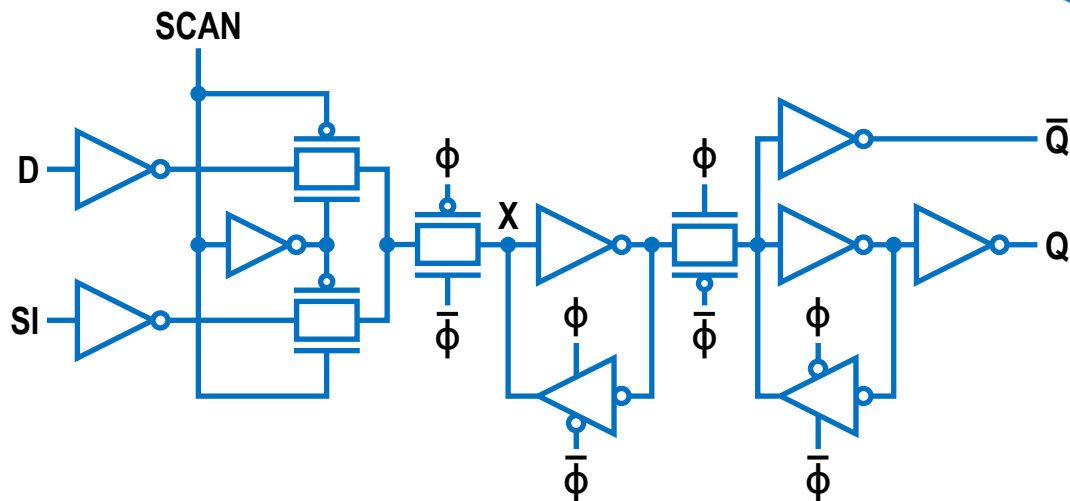
有三个触发器的扫描测试时序



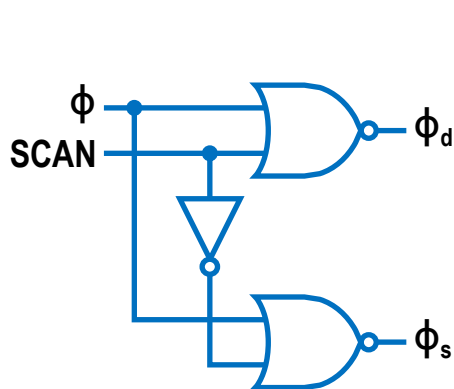
并行扫描基本结构



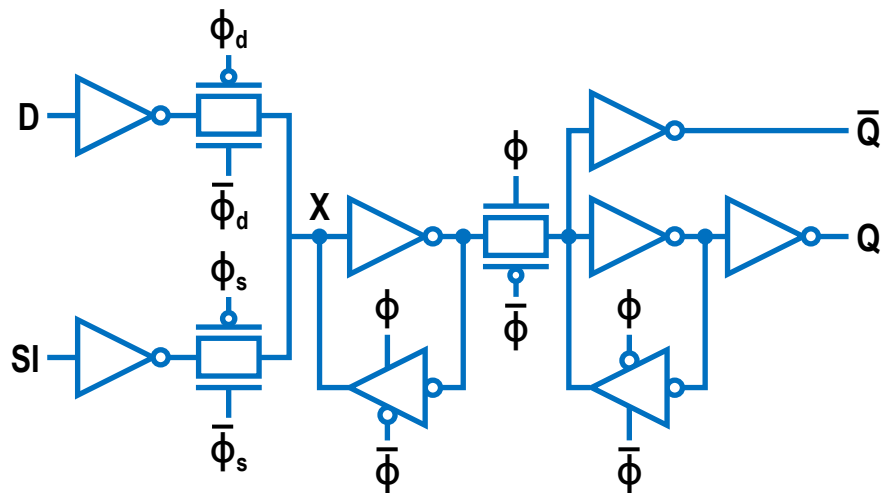
扫描触发器

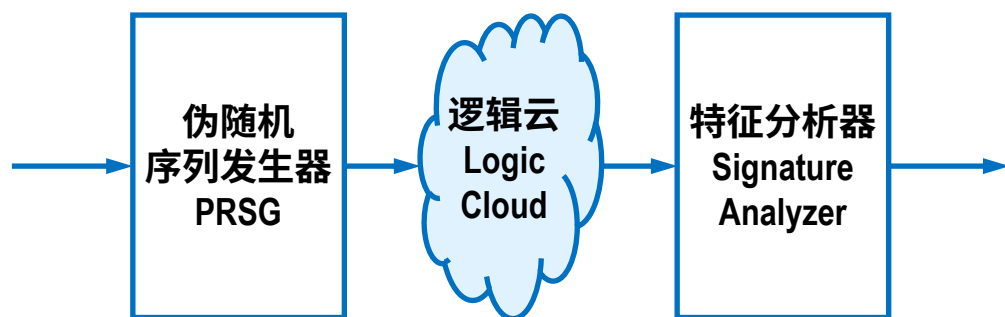
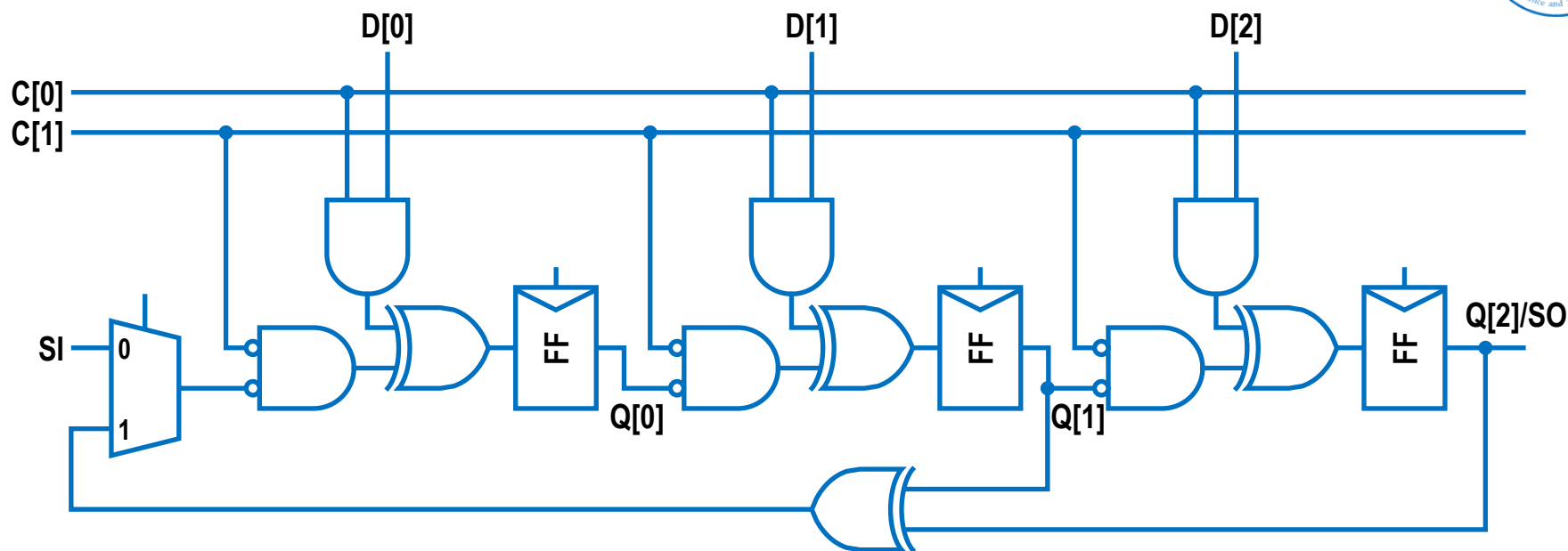


采用传输门多路开关实现的扫描触发器



采用时钟门控实现的扫描触发器

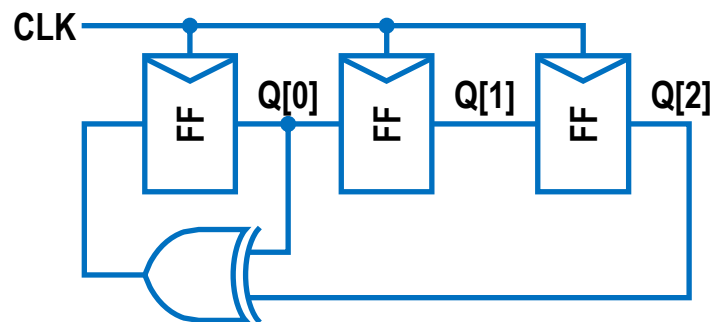




模式	C[1]	C[0]
扫描	0	0
测试	0	1
复位	1	0
正常	1	1

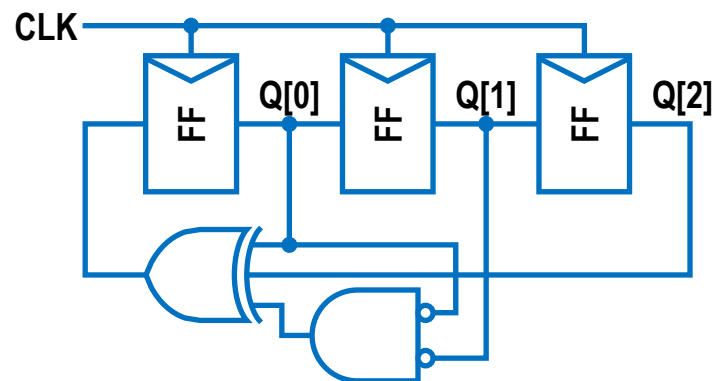
内建自测试 (Built-In Self-Test, BIST)

内建逻辑块观察 (Built-In Logic Block Observation, BILBO)



线性反馈移位寄存器

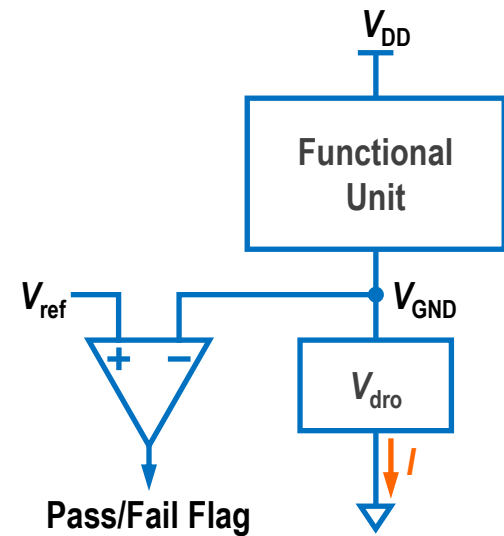
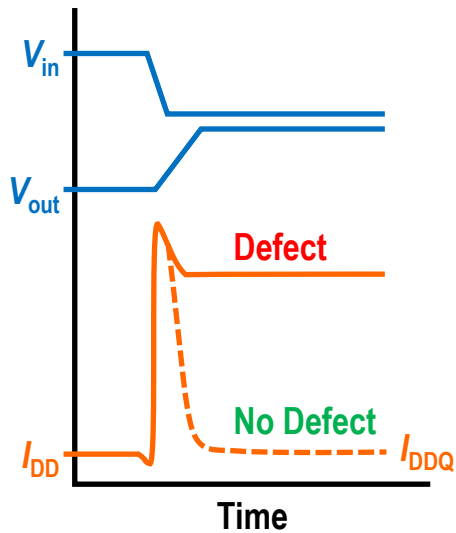
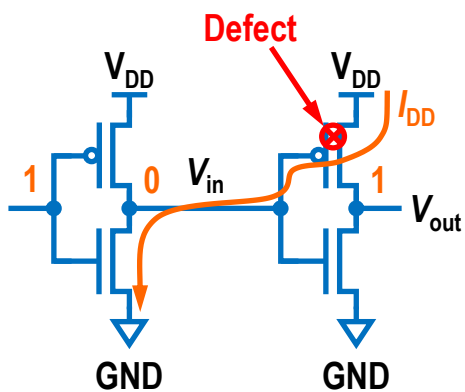
Linear Feedback Shift Register, LFSR



全反馈移位寄存器

Complete Feedback Shift Register, CFSR

伪随机序列发生器 (Pseudo-Random Sequence Generator, PRSG)



IDDQ测试原理

■ 物理级

- 通过减少工艺缺陷的影响，可以提高成品率，因而改善可制造性
- 增加导线间距、增加对接触和通孔的覆盖、增加通孔数目

■ 冗余结构

- 采用冗余结构替补芯片上有缺陷的部件

■ 功率

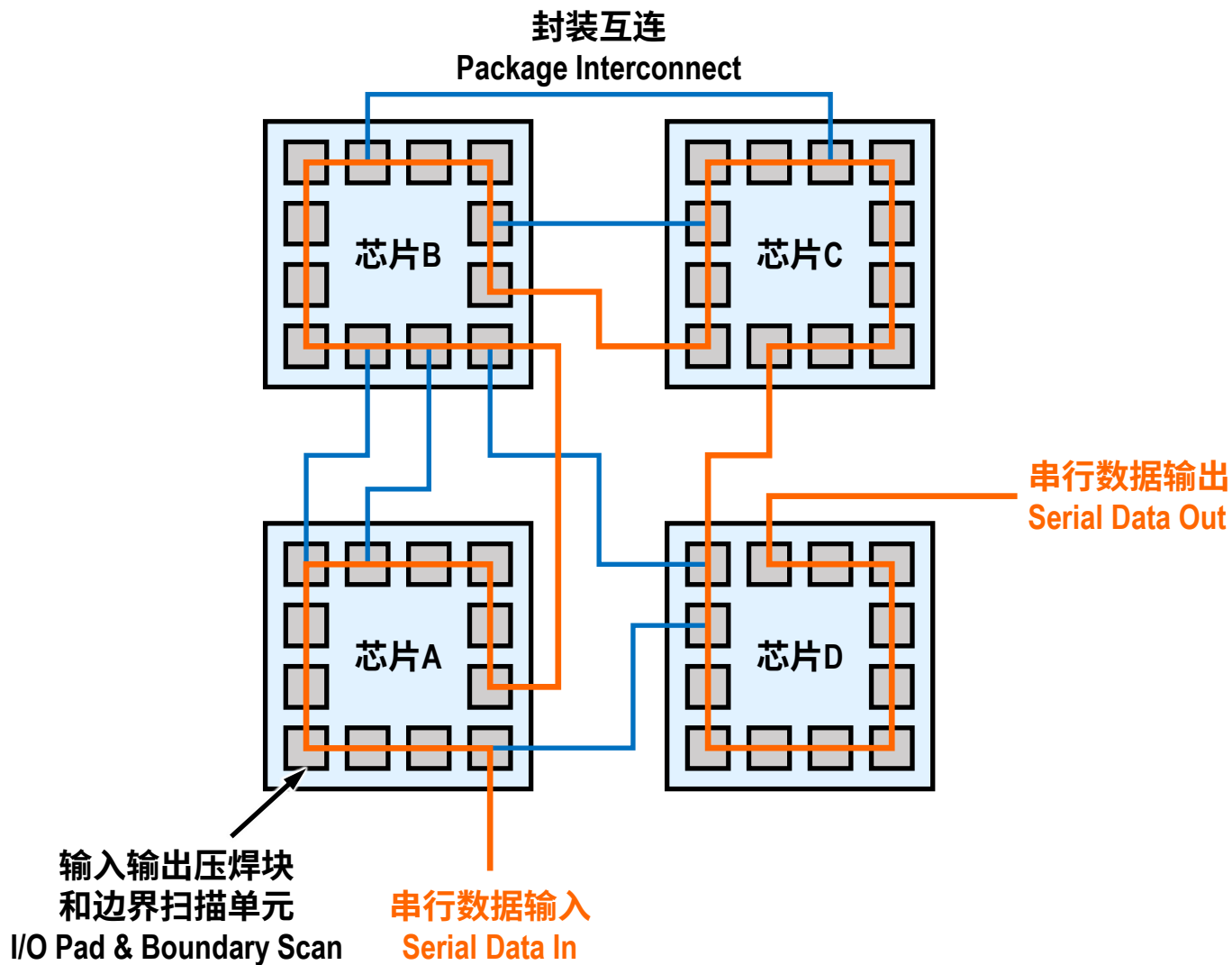
- 功率增加导致电流过大、金属电迁移、管芯温度升高、器件参数偏移等失效
- 通过低功耗技术降低功耗，选择合适的封装和散热器

■ 工艺分散性

- 蒙特卡洛分析可以为工艺分散性提供更好的模型

■ 成品率分析

- 将未通过制造测试的管芯进行成品率分析以找出失效根源，重新设计版图



IEEE 1149.1 JTAG边界扫描结构

本章结束