

文献报告

汇报人：丁书平 李霄奕

我们小组阅读的文献是 *Dependence of V_{TH} Stability on Gate Bias Under Reverse – Bias Stress in E – mode GaN MIS – FET*. 下面是我们的文献汇报：

摘要：

本文主要研究的是增强型 GaN MIS-FET 阈值电压的稳定性对栅极反向偏压的依赖性。当 V_{GS} 为 0V 时， V_{TH} 的偏移很小并且可以恢复，但当 V_{GS} 达到 -20V 时， V_{TH} 的偏移大幅增加。为解释这种现象本文提出了一种空穴引起的退化模型。最后指出在一些大功率开关应用中我们应该合理的限制栅极反偏电压从而保证稳定的 V_{TH} 。

研究背景与意义：

全凹栅的金属绝缘半导体结构场效应管在大功率开关器件中被广泛应用。然而栅介质可靠性以及阈值电压稳定性是目前 MIS-FET 发展面临的主要问题。前者最关键的问题是经时击穿，即施加的电场低于栅氧的本征击穿场强，并未引起本征击穿，但经历一定时间后仍发生了击穿。这是由于施加电压过程中，氧化层产生并积聚了缺陷。后者便是本文要探究的问题。

GaN 器件的开关应用中，我们通常施加足够大的 V_{GS} 以得到足够大的过驱动电压，从而使器件完全导通，减小功率损失。但在负栅压下，电子脱离栅介质中的陷阱束缚可能会导致 V_{TH} 负偏以致于出现错误的导通。PBTI 和 NBTI 都是重要的稳定性问题，此类问题通常源于高的表面态密度。因此可以通过改善工艺来减少表面缺陷从而有效缓解 BTI 问题。尽管 BTI 和 TDDB 问题已经被深入研究，GaN MIS-FET 器件在关态以及大的 V_{GD} 负偏压下的 V_{TH} 稳定性研究还相当少。

本文通过对器件进行测试探究了不同反向栅压下 V_{TH} 的稳定性并提出模型解释这种负栅偏压下加速退化的原因。

实验器件介绍：

本文使用的器件（图 1）为增强型 GaN MIS-FET，在硅衬底上外延一层 GaN，与 AlGaIn 形成异质结。器件参数为 $L_{GS}/L_G/L_{GD} = 2/1.5/15\mu m$ 。该器件采用全凹陷栅极结构，以增加厚度的方式增大栅长，从而抑制短沟道效应，减少器件面积，增大集成度。栅极被两层绝缘介质包裹，其中底层的 PECVD-SiN_x 的作用是在 LPCVD 相对较高的温度中保护栅极凹槽刻蚀后暴露出来的 GaN，从而减少界面态密度和提高 V_{th} 的稳定性，这是工艺上缓解经时击穿效应的措施。AlGaIn 与 GaN 组成的异质结可以在界面处形成一个二维势阱，将电子限制在其中作二维运动，从而产生二维电子气。二维电子气中的电子具有高迁移率，既可以提高器件的速度，又能减小器件的亚阈值摆幅。

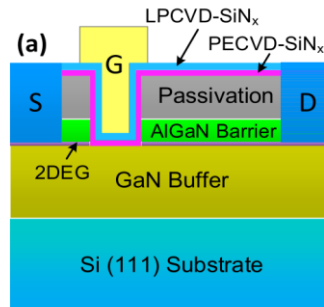


图 1: GaN MIS-FET 器件结构剖面图

图 2 是该器件的转移特性曲线和输出特性曲线，由转移特性曲线得出 V_{DS} 为 1V 时阈值电

压约为 2.4V，亚阈值摆幅为 97mV/dec。由输出特性曲线得出导通电阻约为 13.2 欧姆。

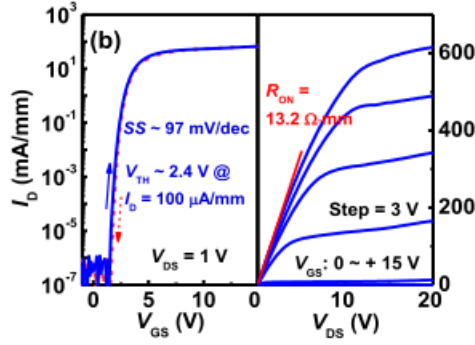


图 2: GaN MIS-FET 器件的转移（左）和输出（右）特性曲线

实验内容以及现象描述:

本文的实验过程是首先让 MIS-FET 处于截止区，即保持 V_{GS} 为 0，然后以 20V 为步长不断增加 V_{DG} 的电压，每次保持 10 分钟，同时测量漏电流。而阈值电压的检测则通过每次增加 V_{DG} 的电压后快速进行转移特性曲线的测量，期间保持 V_{DS} 为 1V。测量结果如图 3。可见阈值电压只有一个较小的偏移，并且亚阈值摆幅也保持相对稳定。在电压测试之后 UV 照射可以完全消除 V_{TH} 的偏移，这表明在 V_{GS} 为 0 时，在步进增压过程中没有新的陷进态产生或可以忽略不计。

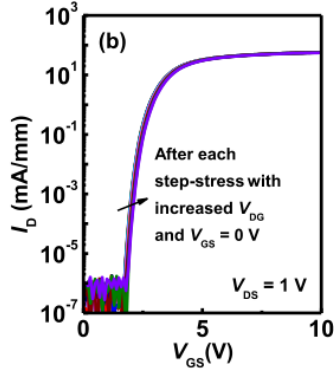


图 3: 第一次步进增压后的转移特性曲线

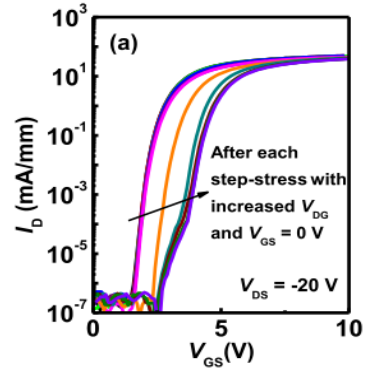


图 4: 第二次步进增压后的转移特性曲线

在 V_{GS} 为-20V 偏压下重复上述实验，此时 V_{TH} 表现出明显的正偏，转移特性曲线如图 4 所示。可以看出此时 V_{TH} 比 V_{GS} 为 0 时偏移更大。此外， V_{TH} 的偏移不能通过 UV 照射恢复。由于栅注入产生的可动离子电荷或者齐纳击穿引起的电子陷阱可以通过 UV 照射而恢复，因此我们可以推断在负栅压以及高的漏极电压下触发或者明显增强了某种破坏性的退化过程。此后，在相同的 V_{DS} 下再增加栅极负偏压则对 V_{TH} 的影响甚微。在 V_{GS} 为-30V 情况下维持 10000s 对应的 V_{TH} 偏移量远小于 V_{GS} 为-20V， V_{DG} 大于 100V 情况下对应的偏移量。因此 V_{TH} 的加速偏移不仅仅是因为栅源侧的电压增大而造成的。此外还进行了静态导通电阻和动态导通电阻的测量，以排除 V_{TH} 漂移对导通电阻的影响。结果如图 5，静态电阻和动态电阻在两次测量中几乎不变，说明静态电阻和动态电阻与 V_{GS} 的变化几乎无关，因此负栅压引起的退化集中在栅极电介质中，而不是栅极边缘附近的 GaN 沟道或接入区中。

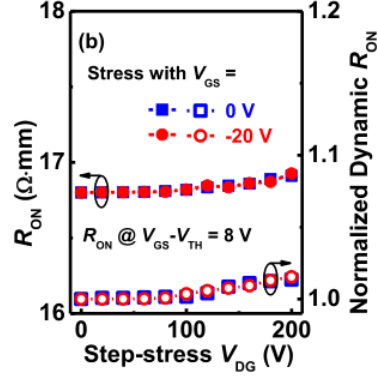


图 4：第二次步进增压后的转移特性曲

此外，本文还探究了温度对 V_{TH} 的影响，结果如图 5。当 $V_{GS} = 0V$ 时，温度越高， V_{TH} 偏移越大，这是由于源漏泄露增大导致碰撞电离的发生，使得栅介质界面电子陷阱增加。然而， $V_{GS} = -20V$ 时， V_{TH} 偏移在温度较高时有所下降这是由于电子能量升高更不易被捕获。

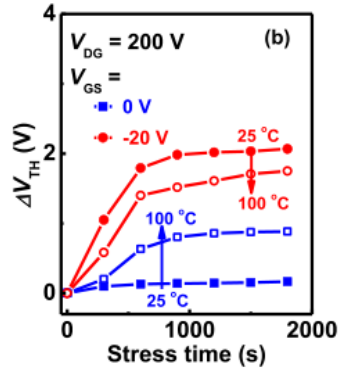


图 5： V_{TH} 的温度特性

理论解释：

空穴诱导退化模型： V_{TH} 偏移对负栅压强烈的依赖性可以用空穴诱导退化模型来解释。在反向偏压应力测试中，由于在栅极到漏极边缘形成高电场，高场加剧碰撞电离以及带间隧穿从而产生空穴。空穴将随着电势分布流向源极和栅极。更负的栅偏压会使空穴流增大。空穴经过栅介质时会导致栅介质产生新的缺陷。其机制类似于主导氮化硅的时间相关电介质击穿。负栅压产生的新陷阱态在转移特性曲线的测量中可能会捕获电子，相当于在栅介质中引入了负电荷，从而导致 V_{TH} 的正偏移。

整个测试过程的解释如下：首先，在反偏栅极与高漏极偏压下，陷阱态在栅介质中产生，如图 6(a)。然后器件从关态切换到开态转移特性测量，即 V_{GS} 逐渐增加。在 I 区，有限的沟道电子被栅区的陷阱态捕获，如图 6(b)。随着栅偏压的增大，陷阱态被拉低到费米能级，电子开始在栅介质和 GaN 表面积累并填满陷阱态，如图 6(c)。陷阱态有很大的捕获和发射时间常数，表明新产生的陷阱位于栅介质内部而不是 SiNx/GaN 的表面。当所有陷阱态被填满后，转移曲线的斜率变得和加压之前一样，即图中的区域 III。

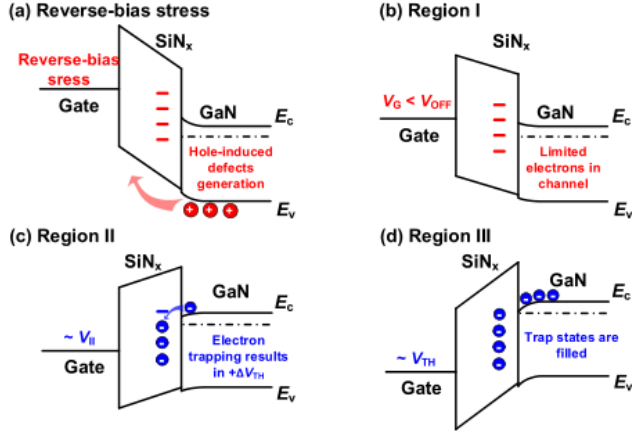


图 6: 应力测试能带图

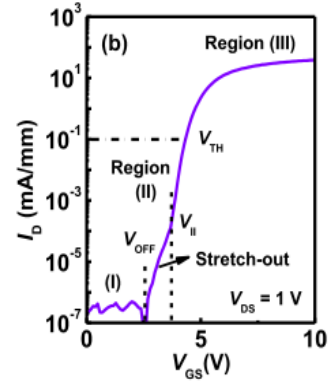


图 7: 转移特性

V_{TH} 变化量与 V_{DG} 的关系如图 7。在加压测试中，很大范围的漏极偏压下都没有出现 V_{TH} 偏移，表明栅介质中的弱空穴陷阱和低表面态密度趋于缓慢发射被捕获的电子以造成负的 V_{TH} 偏移。在相同的 V_{DG} 下，电场主要集中于漏极侧，因为漏极侧的反偏结电压比源极侧更大，耗尽区更宽。这说明漏极侧也有相似的空穴生成过程。因此在更负的 V_{GS} 偏压下栅极空穴流的增强是 V_{TH} 偏移增大的主要原因。而在 V_{DG} 处于 100–160V 之间时 ΔV_{TH} 变化剧烈，此后趋于稳定。表明陷阱的产生达到了饱和或新产生的陷阱态离 SiNx/GaN 表面很远，不能被转移曲线的测量方法检测到。

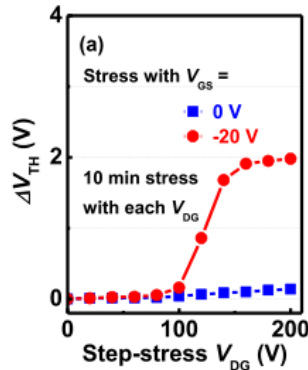


图 7: ΔV_{TH} 与 V_{DG} 的关系图

V_{TH} 偏移变缓的准确原因还需要更加深入的调查。为了获得较好的栅极稳定性，实际应用中应该把栅极关断电压限制在一个很小的范围内。较小的负偏压可以使栅介质中产生较少的高能空穴并抑制缺陷的生成，从而使 V_{TH} 更为稳定。

总结：

增强型 GaN MISFET 器件的栅极负偏压会影响阈值电压的稳定性。在相同的 V_{DG} 下，增大 V_{GS} 的负偏压将导致更大的 V_{TH} 偏移。这是因为在大的 V_{GS} 负偏压下，高能空穴穿过栅介质，导致栅介质中新的缺陷产生，当 V_{GS} 正偏后电子会填充这些陷阱态，从而使 V_{TH} 正偏。

本文对负栅压使阈值电压正偏移的现象作出了合理的解释，对 GaN 器件的应用作了深入的研究，并告诉我们当增强型 GaN MIS-FETs 被应用于大功率开关器件时，栅极负偏压最好被限制在一个合适的范围内以获得一个稳定的 V_{TH} 值。