

数字集成电路设计 第一次习题课

内容范围：第一章、第四章作业

预备知识:

如何绘制晶体管级电路图?

- 逻辑式转化为“非”的形式

将逻辑式转换为“与非”或“或非”形式, 如 $\overline{ABC + D}$ 、 $\overline{(AB + C) \cdot D}$.

思考: 为什么这样做? 与门或门可不可以直接实现?

- 遵循“由外到内”原则

一般逻辑式由多层逻辑嵌套, 如 $\overline{(AB + C) \cdot D}$, 逐层分析。

最外层的与逻辑、第二层的或逻辑、第三层的与逻辑。

- 分析与（非）逻辑、或（非）逻辑何时为1, 何时为0

与非: 全1为0, 有0为1, 与逻辑相反

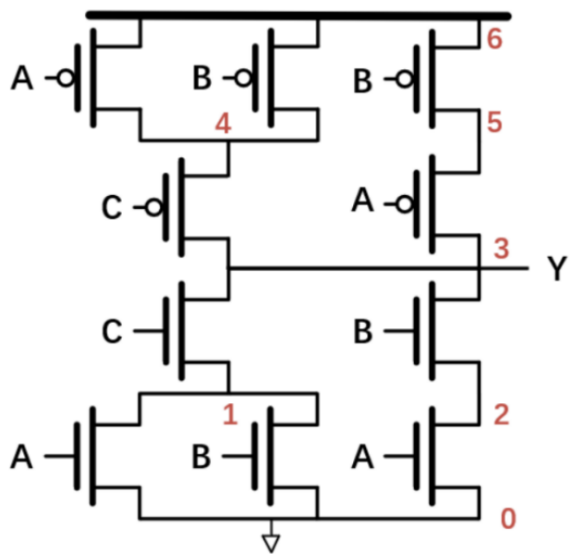
或非: 全0为1, 有1为0, 或逻辑相反

- 根据以上分析绘图, 注意化简

习题1.18:

当一个三输入的多数决定门(majority gate)至少有两个输入为 1 时 输出就为 1, 而一个少数决定门 (minority gate) 是它的互补门。用单级逻辑设计一个三输入的 CMOS 少数决定门。

(a) 画出它的晶体管级电路图逻辑表达式



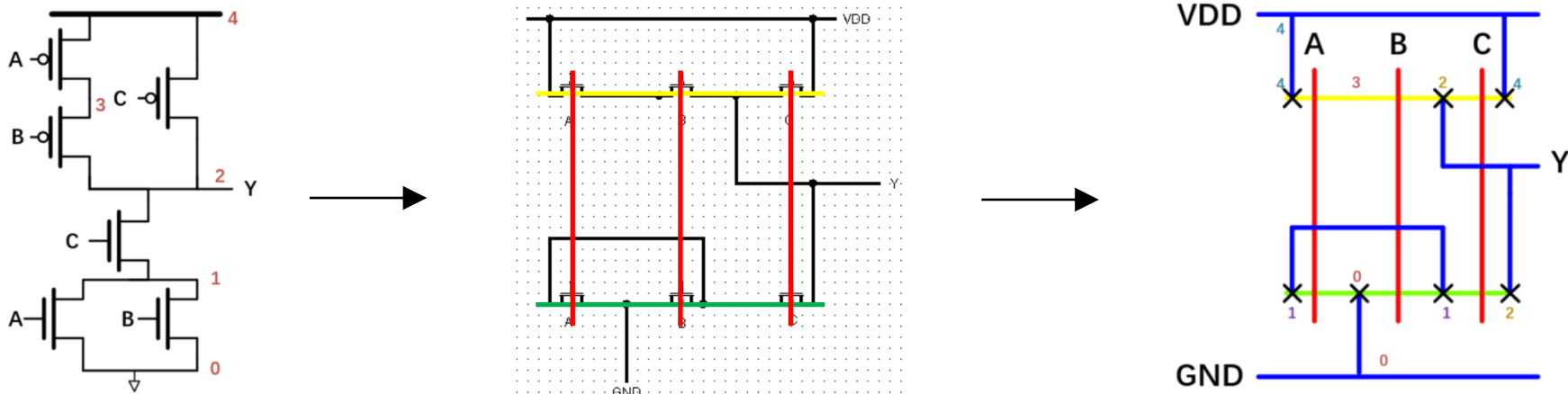
- 逻辑式转化为“非”的形式
- 遵循“由外到内”原则
- 分析与（非）逻辑、或（非）逻辑何时为1，何时为0
- 根据分析绘图并化简

注意要求使用单级逻辑，即复合门

预备知识:

如何理解棒图?

- 晶体管级电路的重新排布和抽象表达



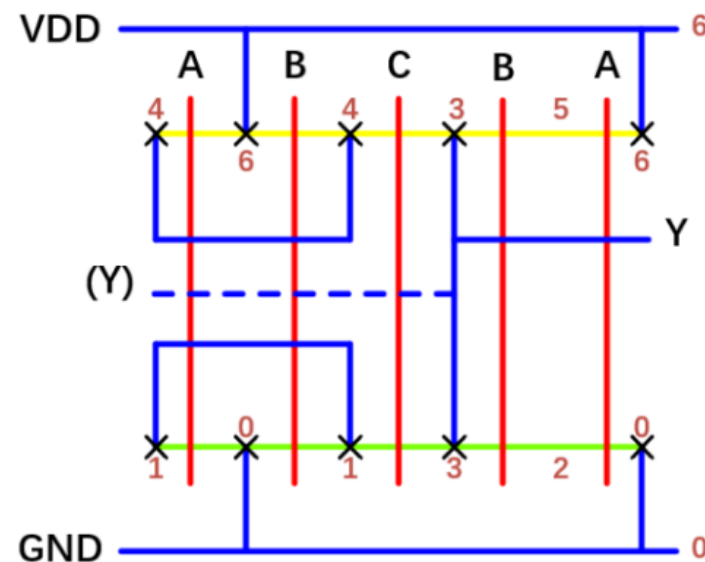
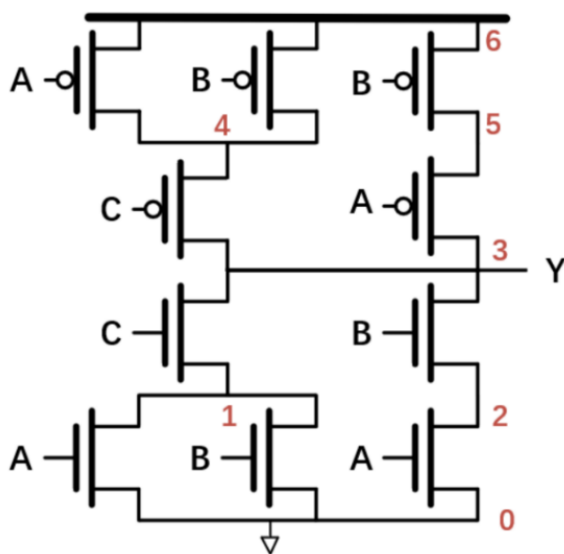
如何绘制棒图?

- 鉴于晶体管之间相对位置不发生改变, 采用**编号绘制方法**
在节点处编号, 保证每个晶体管的两端都有编号

习题1.18:

当一个三输入的多数决定门(majority gate)至少有两个输入为 1 时 输出就为 1, 而一个少数决定门 (minority gate) 是它的互补门。用单级逻辑设计一个三输入的 CMOS 少数决定门。

(b) 画出它的棒图



预备知识:

如何估算面积:

- 横向: 数金属线、数扩散区
- 纵向: 数金属线
- 不对答案作严格要求, 但要有理有据

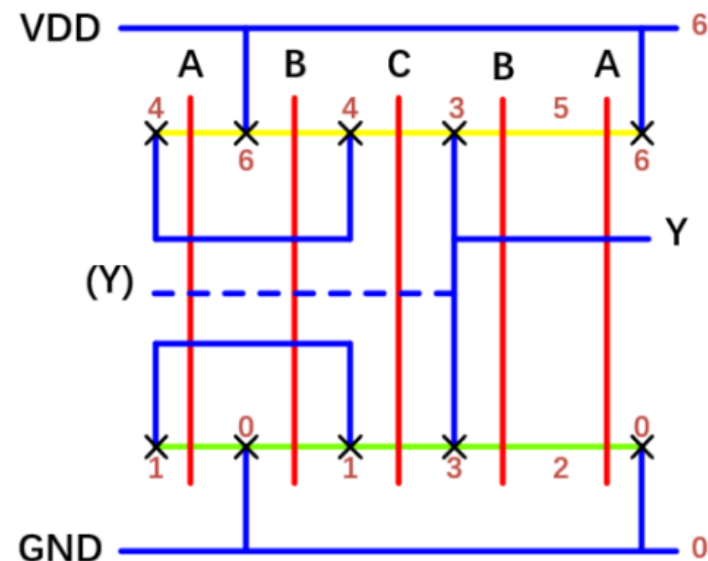
习题1.18:

(b) 根据棒图估算面积

题答案不唯一

- 1、输出 Y 在左侧则纵向是 7tracks, 否则是 6tracks
- 2、考虑 A 和 B 之间的多晶硅间距则横向是 6tracks, 否则是 5tracks, 1track=8λ

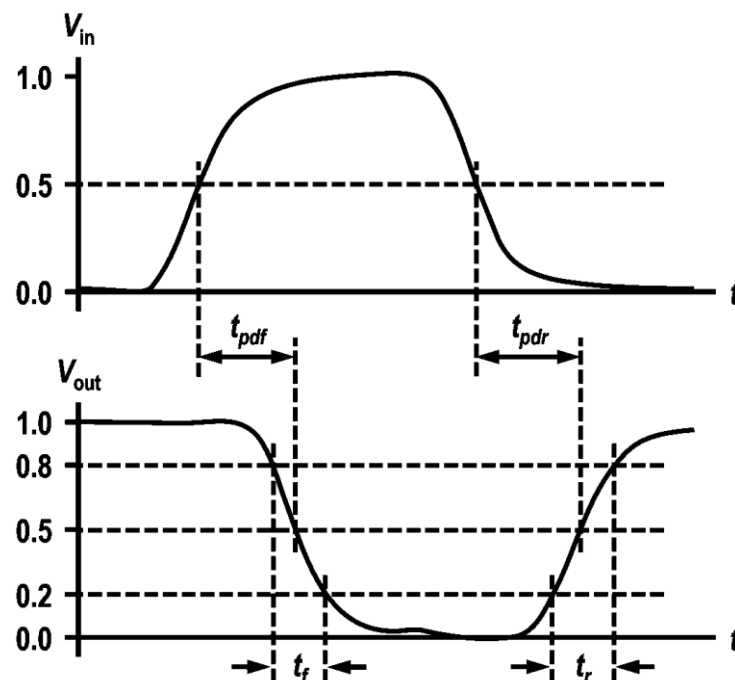
$$S = 7 / 6 \times 6 / 5 \text{tracks} = 1920 / 2240 / 2304 / 2688 \lambda^2$$

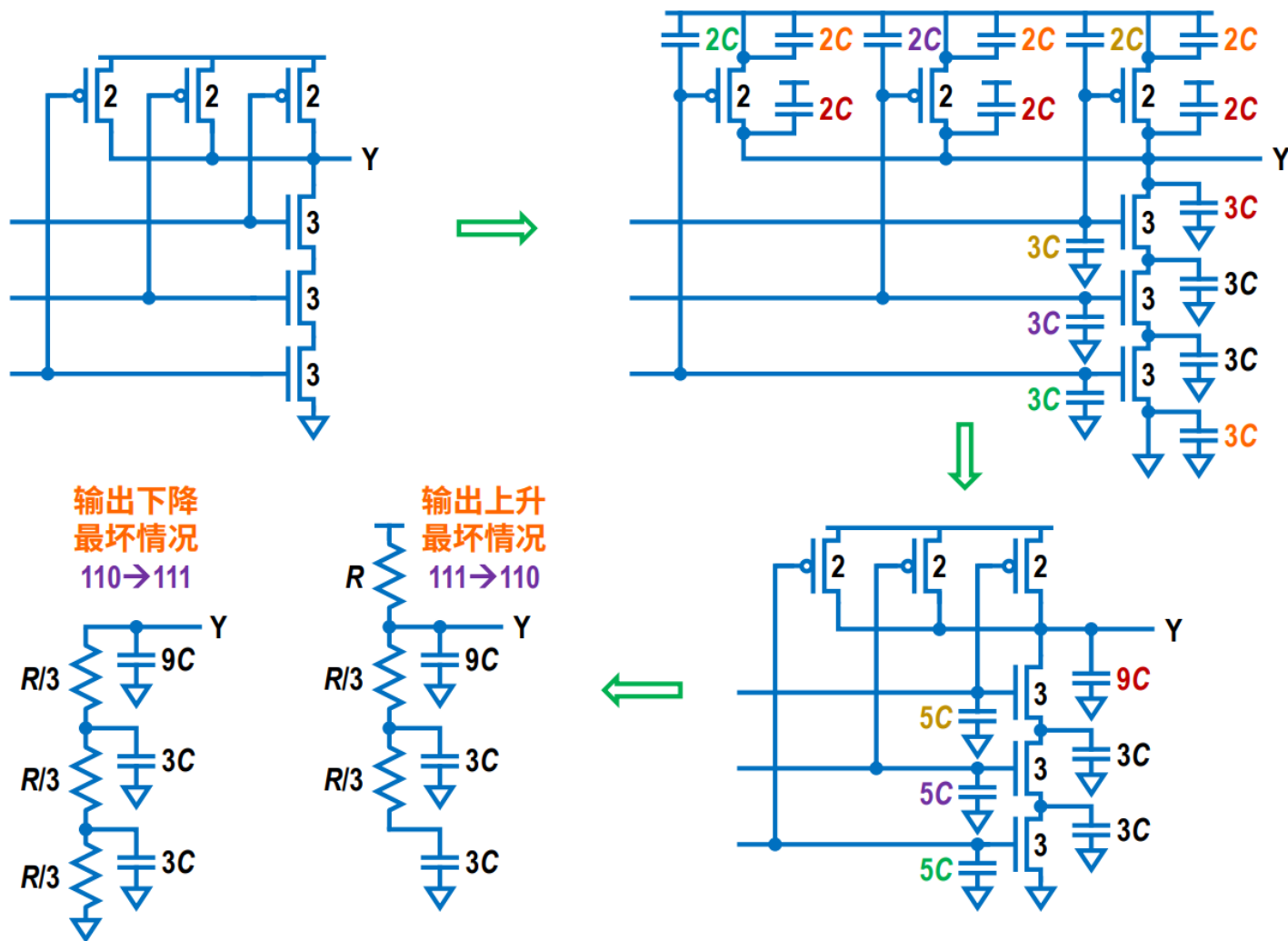


预备知识:

- 传播延时: 输入越过50%至输出越过50%最长时间, 又称最大延时
- 污染延时: 输入越过50%至输出越过50%最短时间, 又称最小延时

电路的输入输出可能有多种情况, 要求计算传播延时就是选取延时最大的情况 (最坏情况) 计算





三输入与非门的等效RC电路模型

- 最坏情况：由RC延时模型可知，电容充放电导致了输出延时，因此最坏情况即尽可能让更多电容充放电
- 以右图为例

- 输出下降情况：

初始：输出为1，上半导通。红色电容满电荷，黑色电容不确定

结束：输出为0，下半导通。红色电容零电荷，黑色电容零电荷

本着让更多电容充放电的原则，初始黑色电容应该满电荷

这要求AB为1，那么C必不能为1，否则不满足上半导通

故初始110，结束111

- 输出上升情况：

初始：红色电容零电荷，黑色电容零电荷

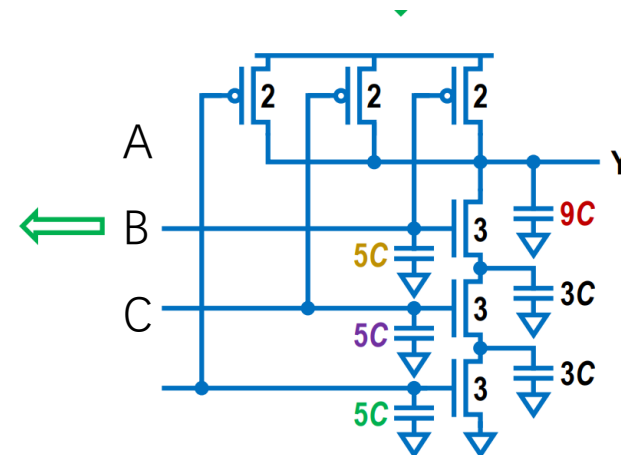
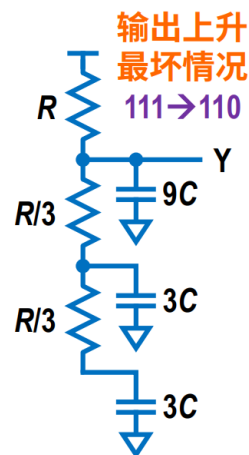
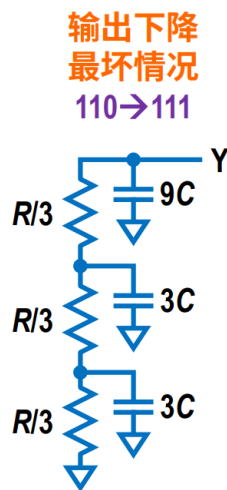
结束：红色电容满电荷，黑色电容不确定

结束黑色电容应该满电荷

这要求AB为1，那么C必不能为1

故初始111，结束110

- 最好情况类似，请同学们自行推导



- Elmore延时模型：一种计算RC延时的具体方法，公式如下

$$t_{pd} = \sum_i R_{is} C_i$$

其中 R_{is} 为从信号源到该叶节点的**公共路径**的等效电阻

习题4.1:

电路如右图，计算下降传播延时。

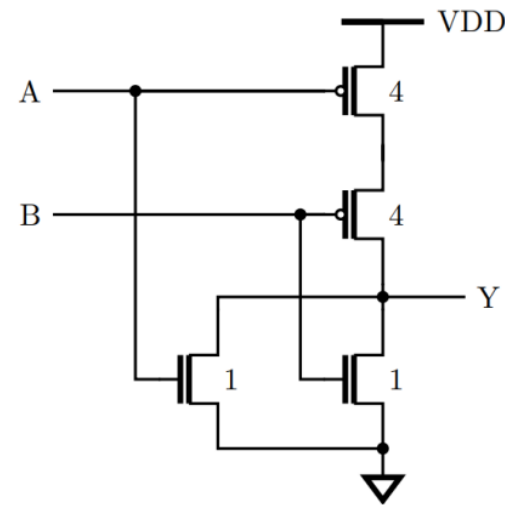
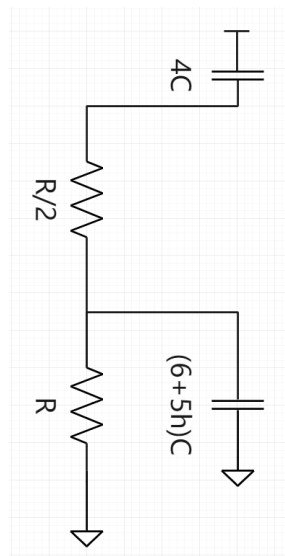
分析：最坏情况00->10

计算延时：

$$t_{pd} = (6 + 5h)C \cdot R + 4C \cdot R = (10 + 5h)RC$$

不少同学误写成

$$t_{pd} = (6 + 5h)C \cdot R + 4C \cdot (R + \frac{R}{2}) = (10 + 5h)RC$$



预备知识:

- 归一化延时: 以扇出1且无寄生电容的理想反相器延时 $3RC$ 作为1
- 线性延时模型: 一种工艺无关的归一化延时

$$d = gh + p$$

- 逻辑努力 g

逻辑门的输入电容与能够提供相同输出电流的反相器的输入电容之比

- 电气努力 h

负载电容与输入电容之比

- 寄生延时 p

与非或非门的寄生延时近似认为等于输入信号数量

习题4.6

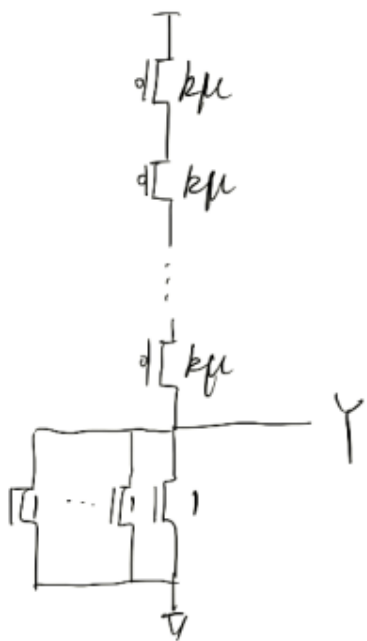
4.6 一个 4x 反相器的晶体管宽度是单位反相器的 4 倍。如果一个单位反相器有三个单位的输入电容，寄生延时为 p_{inv} ，那么 4x 反相器的输入电容是多少？它的逻辑努力是多少？寄生延时是多少？

宽度变宽，相当于电阻电容并联，所以电容变为原来的 4 倍，也就是 12 单位电容，电阻变为原来的 1/4，所以根据 Elmore 延时模型，寄生延时不变。

逻辑努力要求和提供相同电流（也就是电阻相同）的反相器做比，这里大家不要和单位反相器比，和自身比就行，所以是 1。

习题4.20

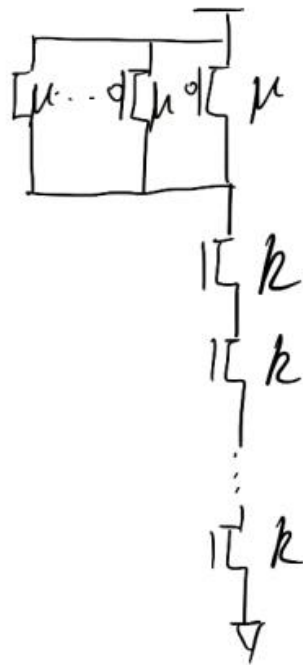
4.20 如果 pMOS 管的等效电阻是 nMOS 管的 μ 倍，试推导出习题 4.19 中逻辑努力的一般表达式。推导出一个 k 输入与非门和一个 k 输入或非门的逻辑努力的一般表达式。当 μ 增大时，分析一下在与非门和或非门中更希望采用哪一种门。



或非

$$g = \frac{k\mu + 1}{\mu + 1}$$

令 $\mu \rightarrow \infty$, $g = k$



与非

$$g = \frac{\mu + k}{\mu + 1}$$

令 $\mu \rightarrow \infty$, $g = 1$

比较可知， μ 为 1 时两者相等，大于 1 时与非门延时更小，故采用与非门。