

第一章习题解答

TA_滕子涵

1.6

对以下各个布尔函数，画出其 CMOS 复合逻辑门的晶体管级电路图：

(a) $Y = \overline{ABC + D}$

分析：对于这类逻辑我们画它的晶体管级电路图一般遵循以下步骤：

0、分析逻辑：这是一个或非形式的逻辑（把 ABC 看成整体）。想一想，Y 之所以能输出是因为晶体管导通把 Y 拉到的相应电平，所以输出 1 时上半导通，输出 0 时下半导通。

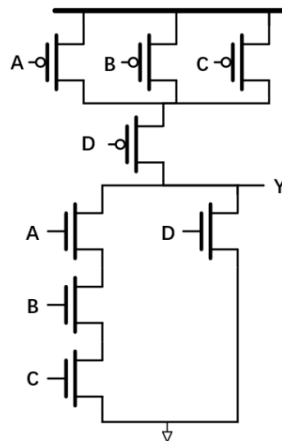
思考：会不会出现上下半同时导通的情况？如果出现会有什么影响？

注意：这是一个复合逻辑门，有同学画了几个普通逻辑门串联起来，这是不合要求的。

1、或非形式，输入全 0 输出为 1。如果想输出 1 要求 ABC 和 D 都要为 0，所以 ABC 和 D 串联。ABC 为 0 要求 A 或 B 或 C 为 0，所以 A、B、C 并联。这部分电路放上半；

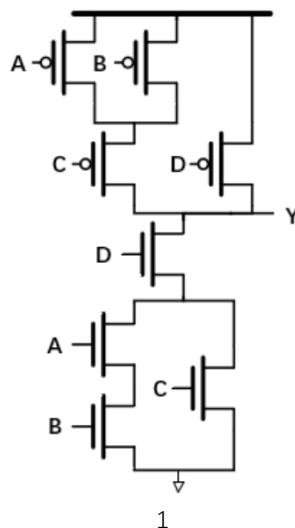
2、或非形式，输入有 1 输出为 0。如果想输出 0 要求 ABC 或 D 为 1，所以 ABC 整体和 D 并联。ABC 为 1 要求 ABC 均为 1，所以 A、B、C 串联。这部分电路放下半。

综合以上，作图如下：

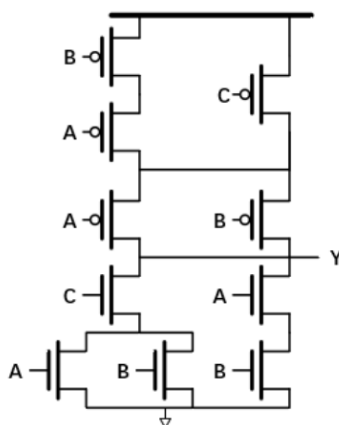


下面 b c 两题思路类似，同学们可以自己尝试分析。

(b) $Y = \overline{(AB + C) \cdot D}$



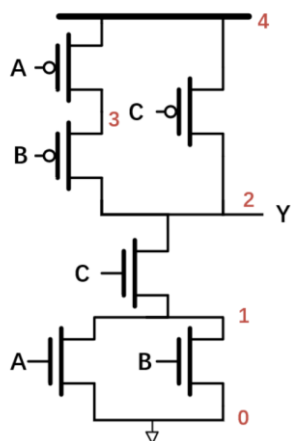
(c) $Y = \overline{AB + C \cdot (A + B)}$



1.16

考虑设计一个计算 $(A + B) \cdot C$ 的 CMOS“或-与-非”(OR-AND INVERT, 即 OAI21)CMOS 复合门:

a) 画出它的晶体管级电路图



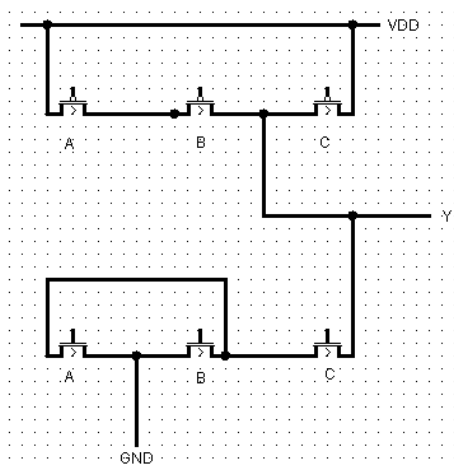
b) 画出它的棒图

注意：棒图比版图简单，但是两种不同概念。好多同学画成了版图，最好按照题目要求来。

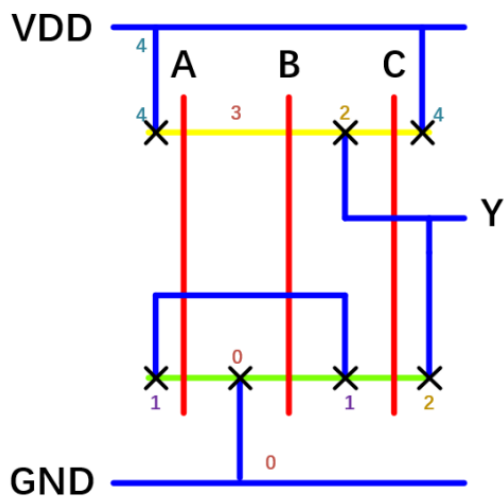
分析：版图设计是将设计电路转化为物理电路的一个环节，这里版图设计我们一般用一条 N (P) 型参杂区来形成多个晶体管。因此步骤如下：

方法一

1、在上面晶体管级电路图的基础上，不改变任何逻辑，仅仅将晶体管旋转并平移，N、PMOS 各排列成一排

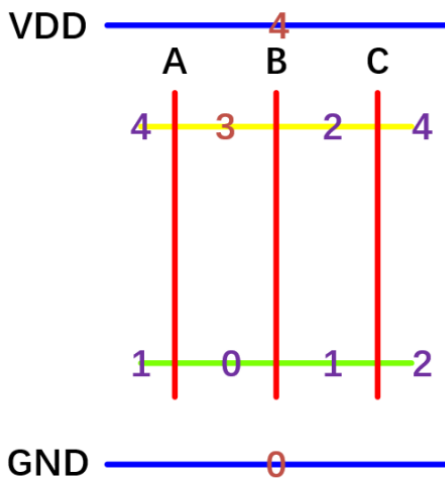


2、将晶体管擦除并画上相应参杂区（即黄线和绿线）和金属导线，晶体管栅极由多晶硅连接，金属连接处画 x，得到棒图如下：

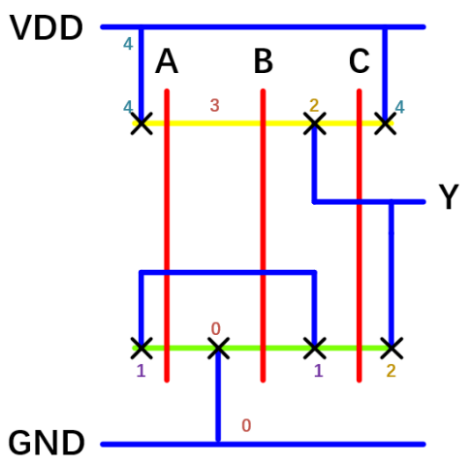


方法二

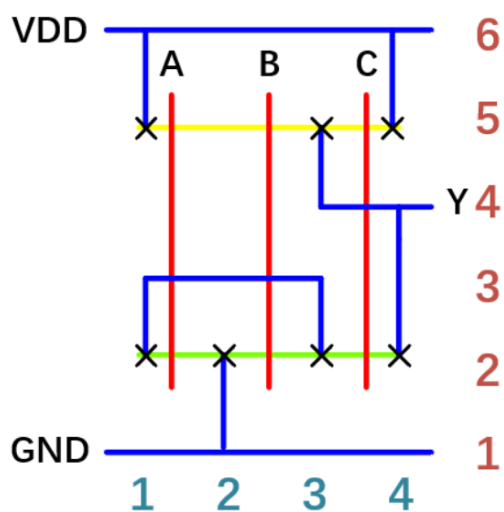
1、当然你也可以通过编号连接的方式，先编号：



再连线



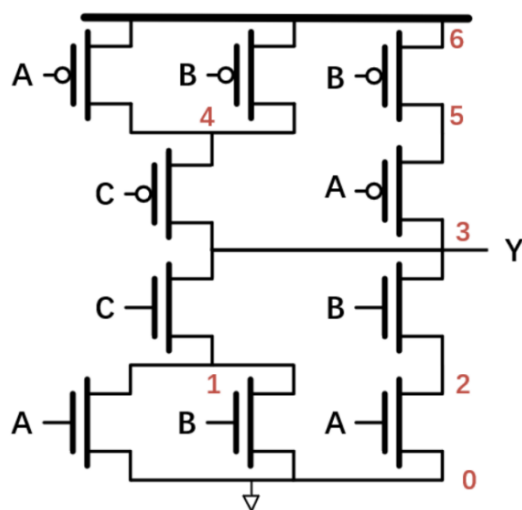
先标注出 track



具体算法参照第一章课件 44 页或课本 22、23 页，建议多看课本。

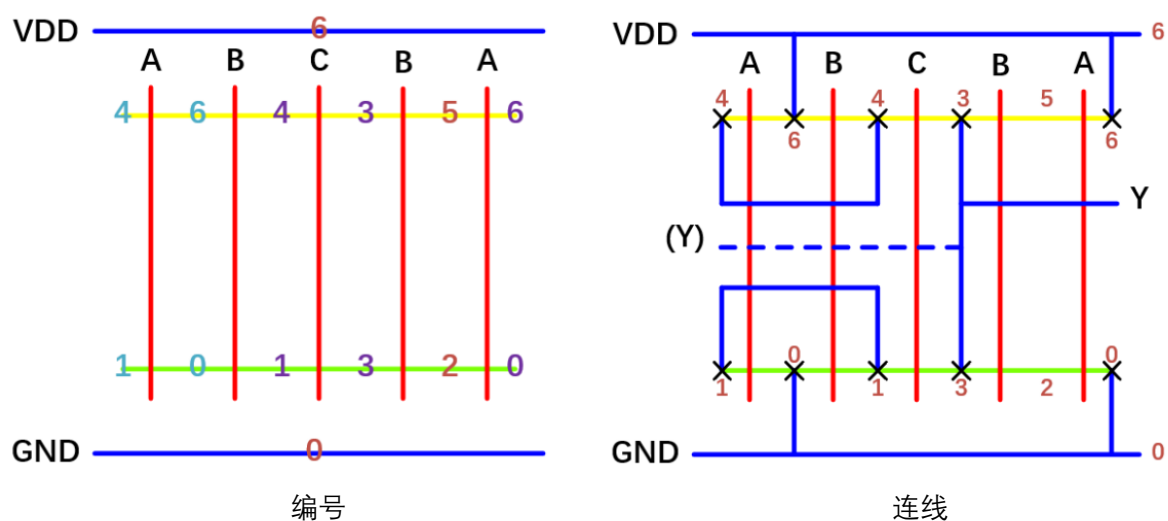
当一个三输入的多数决定门(majority gate)至少有两个输入为 1 时 输出就为 1, 而一个少数决定门 (minority gate) 是它的互补门。用单级逻辑设计一个三输入的 CMOS 少数决定门。

逻辑式 $\overline{AB + BC + CA}$ 与 1.6(c) 相同，作图如下（稍作修改，实际上，1.6c 图中 AB 串联后再串联 AB 的并，是不必要的）：

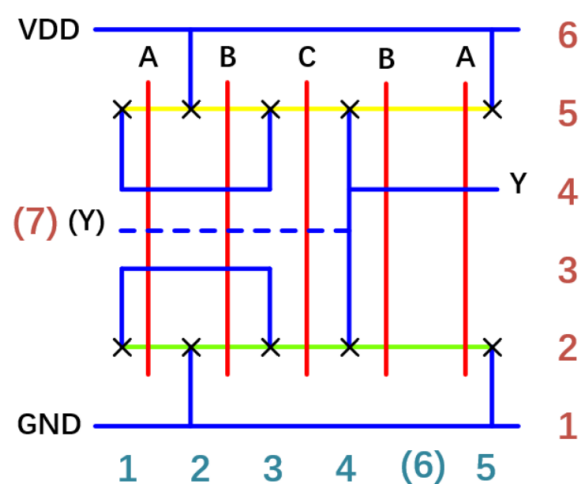


(b) 画出它的棒图

由电路图，A 和 B 存在多处源漏共用，因此 A 和 B 需要多条多晶硅



(c) 由棒图估算它的面积



本题答案不唯一

1、输出 Y 在左侧则纵向是 7tracks，否则是 6tracks

2、考虑 A 和 B 之间的多晶硅间距则横向是 6tracks，否则是 5tracks

$$S = 7 / 6 \times 6 / 5 \text{tracks} = 1920 / 2240 / 2304 / 2688 \lambda^2$$