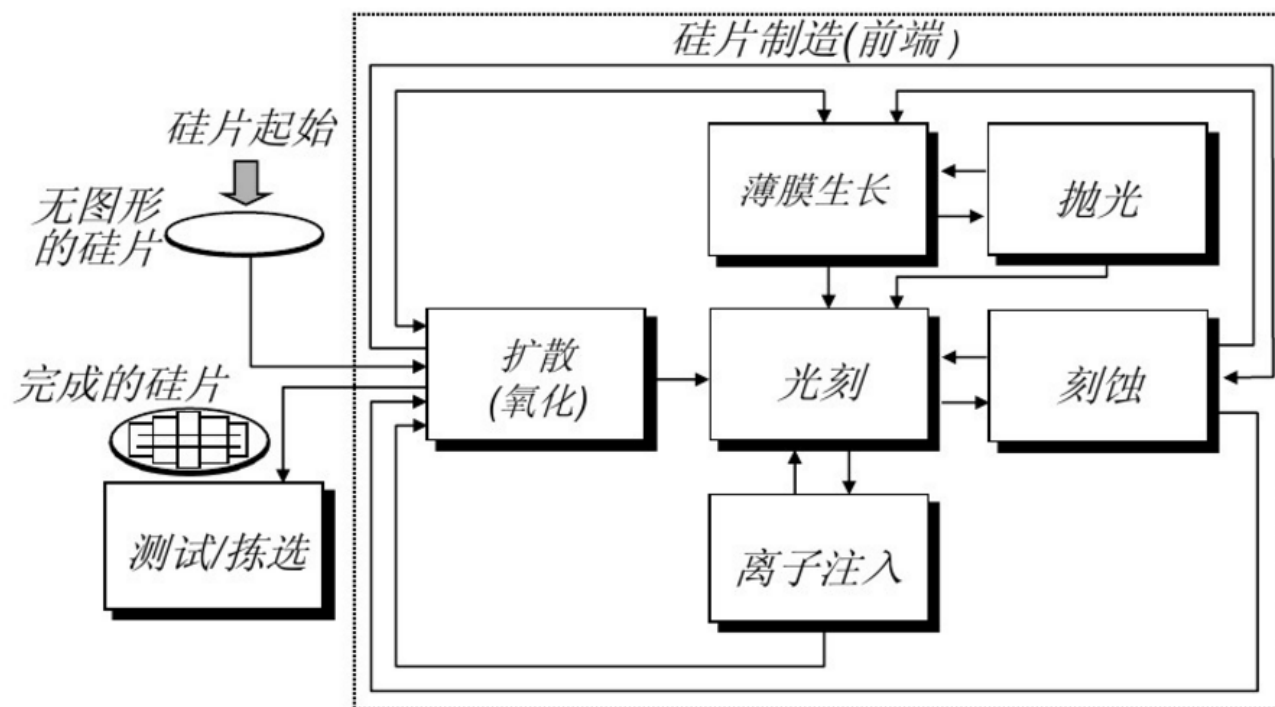


课程回顾和复习

- **第0讲 绪论**
- **第1讲 芯片的加工环境和衬底材料**
- **第2讲 热氧化**
- **第3讲 扩散**
- **第4讲 离子注入**
- **第5讲 光刻与刻蚀**
- **第6讲 化学气相沉积**
- **第7讲 物理气相沉积**
- **第8讲 其他工艺概述**
- **第9讲 工艺集成**

集成电路制造过程



- **扩散区：**进行高温工艺及薄膜淀积的区域；氧化、淀积、退火、合金、清洗。
- **光刻区：**将layout图形转移到覆盖于wafer表面的光刻胶上；涂胶、显影设备；FAB中心位置；经过光刻处理的wafer，只送往刻蚀区和注入区。
- **刻蚀区：**在wafer上没有光刻胶保护的区域留下永久的图形；刻蚀机、去胶机、湿法清洗设备；
- **离子注入区：**通过调节注入的离子种类、能量、角度等参数，实现各种类型的掺杂。
- **薄膜生长区：**主要负责生产步骤中各类介质层及金属层的淀积。
- **CMP区域：**使得硅片表面平坦化；便于后续工艺执行。

VLSI芯片制造的基本工艺



典型的CMOS工艺大约要花较长的周期，一个CMOS基础单元晶体管的制备就已经包括上百个工艺步骤，更不用说是CPU。但在其极其复杂的工艺过程背后，是**反复多次**地运用**有限的几种基本工艺步骤**、结合一系列化学或物理过程，从而把设计的几何图形转移到硅片上

- ❖ **图形加工** (pattern): 将设计的电路图形转移到半导体晶片的各材料层上。包括**光刻**、**刻蚀**等
- ❖ **薄膜制备** (thin film/layer): 形成不同材料构成的工艺层；包括**氧化**、**CVD**、**PVD**等
- ❖ **掺杂** (doping): 将各种杂质掺杂在特定的位置上，形成晶体管、接触等结构；包括**扩散**、**注入**等

- **集成电路相关概念**
- **集成电路发展现况**
- **集成电路工艺的发展**
- **芯片制造技术的发展趋势**

芯片加工环境与衬底材料



- 芯片的加工环境是什么，沾污种类及相关介绍，净化级概念及区分
- 芯片的衬底材料及其特点
- 材料的分类及定义和区别，晶胞分类及硅的结构
- 如何定义和区分晶向、晶面和堆积模型
- 硅晶体中的缺陷种类和区别及特点
- 硅中杂质的分类和杂质的作用

- 集成电路中的 SiO_2 —结构、性质、用途
- 硅的热氧化工艺-干氧、湿氧和水汽氧化
- 热氧化的生长动力学
- 影响氧化速率的因素-压力、杂质浓度、晶向等
- 热氧化过程中的杂质再分布
- 氧化工艺和氧化系统

扩散

- 扩散的概念、条件及重要意义；与离子注入区别
- 不同杂质在形成不同器件结构时用什么方式掺杂
- 杂质扩散包括哪些机制和过程：恒定（有限）表面源、两步扩散及其重要特点
- 理解扩散方程中各个参数对掺杂的影响；
- 扩散后杂质分布遵从哪些规律
- 实际的在硅中扩散工艺是怎么实现的，如何验证扩散效果？
- 思考：影响杂质分布的所有因素中，哪些因素在什么条件下起主导作用

- **核碰撞和电子碰撞**
- **注入离子在无定形靶中的分布**
- **注入损伤及热退火**
- **离子注入系统**

- 光刻中的基本概念
- 光刻工艺的基本步骤
- 分辨率
- 光刻胶的基本属性
- 紫外光曝光
- 电子束曝光 (EBL)

- 一. 光刻的定义与目的
- 二. 光刻的基本要求
- 三. 光刻的关键性能指标
- 四. 光刻三要素

光刻工艺的基本步骤

Ten Steps of Photolithography

光刻·第一次图形转移

1. 气相成底膜 Vapor Prime
2. 涂胶 Photoresist Application
3. 前烘 Soft Bake
4. 对准&曝光 Align & Expose
5. 曝光后烘焙 Post-Exposure Bake
6. 显影 Develop
7. 坚膜烘焙 Hard Bake
8. 显影目检 Develop Inspection

刻蚀·第二次图形转移

9. 刻蚀 Etch
10. 去胶及最终目检 Final Inspection

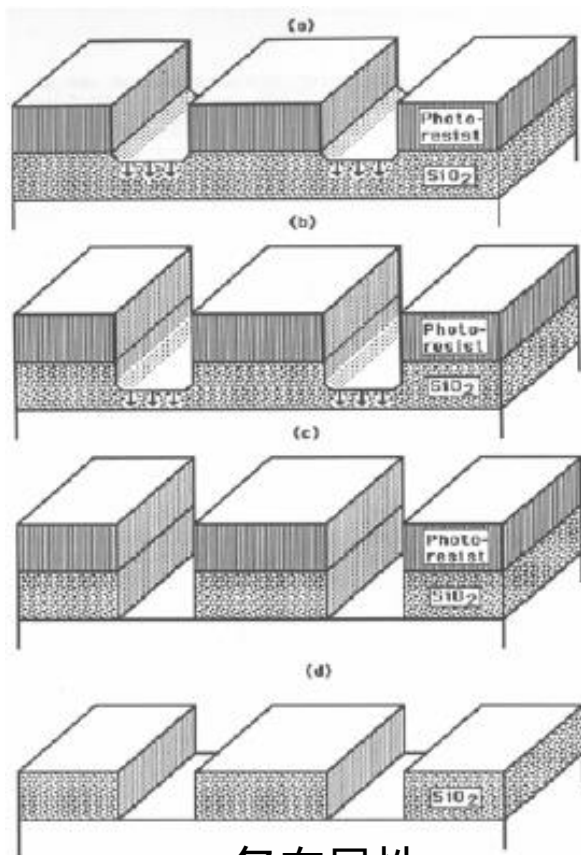
刻蚀工艺

刻蚀

- **离子束 (IE) 技术** – 物理刻蚀 (垂直刻蚀)
- **湿法 (Wet) 技术** – 化学刻蚀 (由基片晶向决定的各向异性)
- **反应离子束 (RIE) 技术** – 物理化学刻蚀 (几乎各向同性)
- **感应耦合等离子 (ICP-RIE, ICP: Inductively-Coupled Plasma)** 刻蚀技术 – 具有可控定向性的物理化学刻蚀

刻蚀工艺

干法刻蚀 vs. 湿法刻蚀



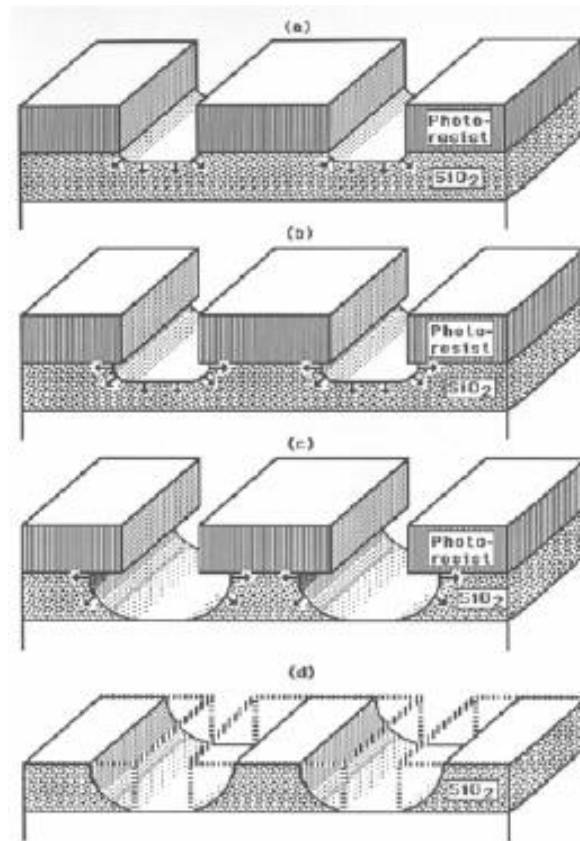
光刻胶掩模图形

刻蚀薄膜

刻蚀完成

去除光刻胶

各向异性
(如：反应离子刻蚀)



各向同性
(如：湿法刻蚀)

薄膜淀积方法



两类主要的淀积方式

物理气相淀积(PVD:Physical Vapor Deposition)

利用某种**物理过程**（即物质的相变过程）**实现物质的转移**，即将原子或分子转移到衬底(硅)表面上，并淀积成薄膜的技术。

化学气相淀积(CVD:Chemical Vapor Deposition)

一种或数种物质的气体，以某种方式激活后，在衬底表面发生**化学反应**，并淀积出所需固体薄膜的**生长**技术。

化学气相沉积

- **CVD 模型**
- **CVD 系统**
- **淀积膜**
- **CVD 中的掺杂**
- **CVD质量测量与检查**

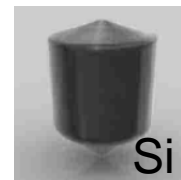
物理气相淀积



- 真空蒸发
- 溅射
- 材料外延技术
- 外延的应用

外延概念

- 在微电子工艺中，外延(epitaxy)是指在单晶衬底上，用物理的或化学的方法，按衬底晶向排列（生长）单晶膜的工艺过程。
- 新排列的晶体称为外延层，有外延层的硅片称为（硅）外延片。
- 与先前描述的单晶（硅，大的晶体块，熔融炉生长）生长不同在于**外延生长温度低于熔点许多**。
- 外延是在**晶体上生长晶体**，生长出的晶体的**晶向**与衬底晶向相同，**掺杂类型**、**电阻率**可不同。 n/n^+ ， n/p ，GaAs/Si。



同质外延和异质外延



- **同质外延**又称为均匀外延，是外延层与衬底材料相同的外延（**共度生长**）。如Si/Si、GaAs/GaAs
- **异质外延**也称为非均匀外延，外延层与衬底材料不相同，甚至物理结构也与衬底完全不同。GaAs/Si、SOI (SOS) 等材料就可通过异质外延工艺获得。

异质外延的相容性：

1. **衬底与外延层不发生化学反应**，不发生大量的溶解现象；
2. **衬底与外延层热力学参数相匹配**，即热膨胀系数接近。以避免外延层由生长温度冷却至室温时，产生残余热应力，界面位错，甚至外延层破裂。
3. **衬底与外延层晶格参数相匹配**，即晶体结构，晶格常数接近，以避免晶格参数不匹配引起的外延层与衬底接触的界面晶格缺陷多和应力大的现象。



金属有机化合物化学气相沉积

(Metal-organic Chemical Vapor Deposition)

MOCVD是在气相外延VPE的基础上发展起来的新型气相外延技术。

MOCVD是以Ⅲ族、Ⅱ族元素的有机化合物和V、VI族元素的氢化物等作为晶体生长源材料，以热分解反应方式在衬底上进行气相外延，生长各种Ⅲ-V族、Ⅱ-VI族化合物半导体以及它们的多元固溶体的薄层单晶材料。通常MOCVD系统中的晶体生长都是在常压或低压(10-100Torr)下通H₂的冷壁石英(不锈钢)反应室中进行，衬底温度为500-1200℃,用直流加热石墨基座(衬底基片在石墨基座上方),H₂通过温度可控的液体源鼓泡携带金属有机物到生长区。

分子束外延 (MBE)



分子束外延设备复杂、价格昂贵，真空室真空度达 $10^{-9} \sim 10^{-11}$ Torr，喷射炉可以根据需要喷射出多种分子（原子），另外监测装置可以对外延层生长速率、气体成分、结构和厚度进行实时监控。因此，分子束外延具有许多优点。

- 分子束外延（外延物质是原子的也叫原子束外延）是近年来才被普遍采用的一种物理气相外延工艺。
- 在超高真空下，热分子束由喷射炉喷出，射到衬底表面，外延生长出外延层。

- **VLSI中的电介质薄膜**
- **金属化工艺**
- **平坦化工艺**
- **CMOS工艺流程（以反相器为例）**
- **先进半导体工艺**

VLSI芯片制造的基本工艺



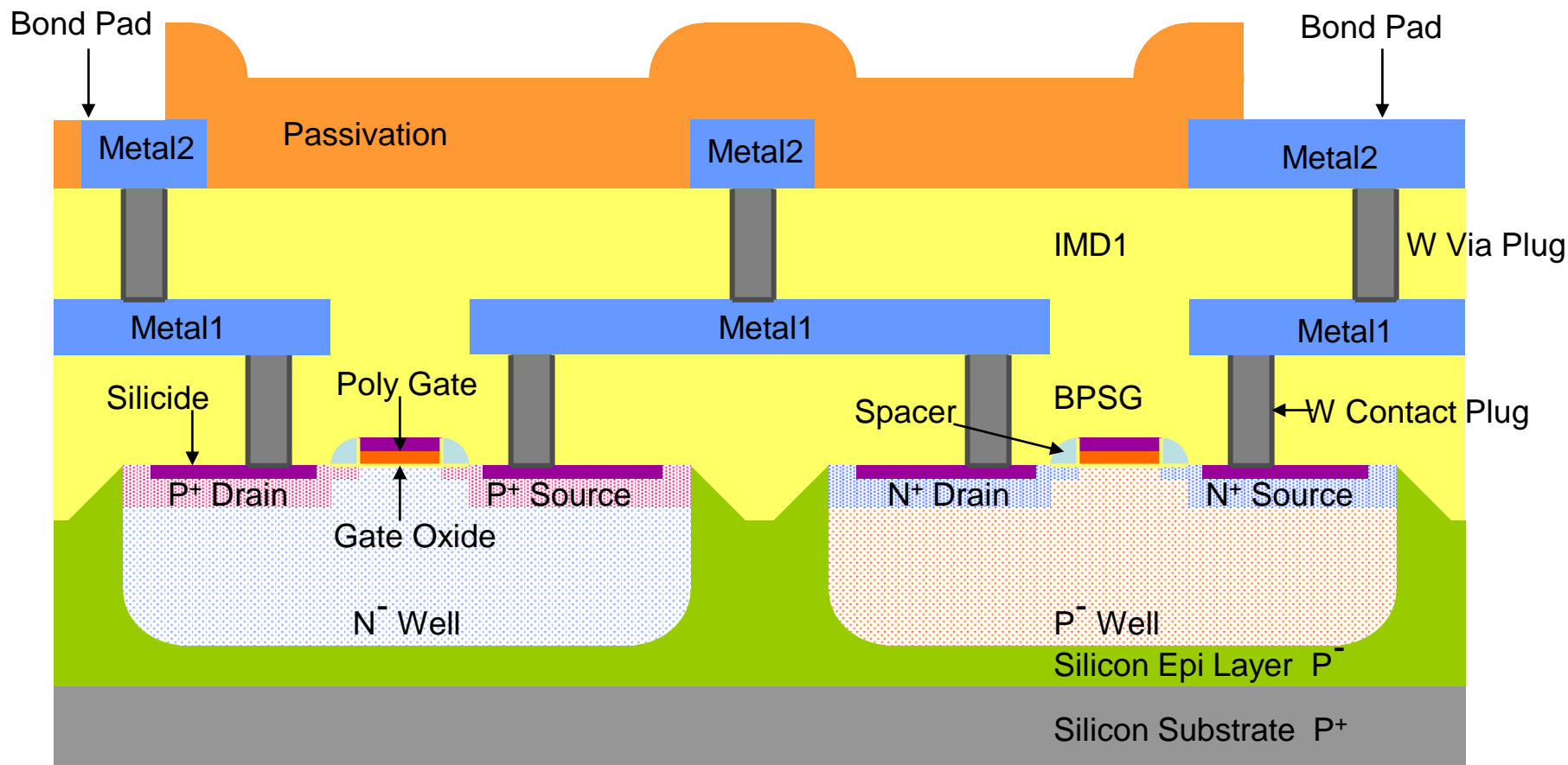
典型的CMOS工艺大约要花较长的周期，一个CMOS基础单元晶体管的制备就已经包括上百个工艺步骤，更不用说是CPU。但在其极其复杂的工艺过程背后，是**反复多次**地运用**有限的几种基本工艺步骤**、结合一系列化学或物理过程，从而把设计的几何图形转移到硅片上

- ❖ **图形加工** (pattern): 将设计的电路图形转移到半导体晶片的各材料层上。包括**光刻**、**刻蚀**等
- ❖ **薄膜制备** (thin film/layer): 形成不同材料构成的工艺层；包括**氧化**、**CVD**、**PVD**等
- ❖ **掺杂** (doping): 将各种杂质掺杂在特定的位置上，形成晶体管、接触等结构；包括**扩散**、**注入**等

CMOS工艺流程



剖面视图

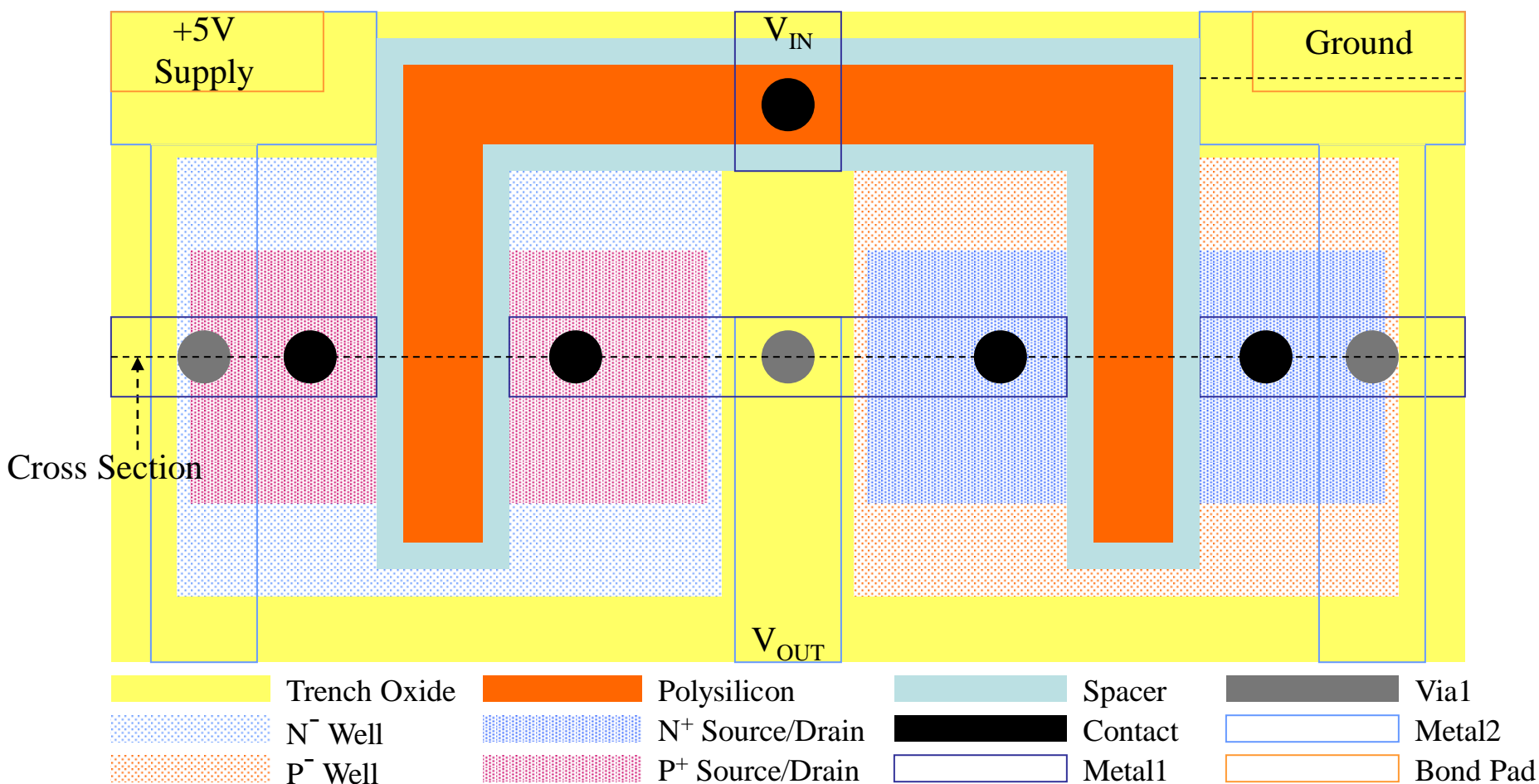


CMOS工艺流程



平面视图

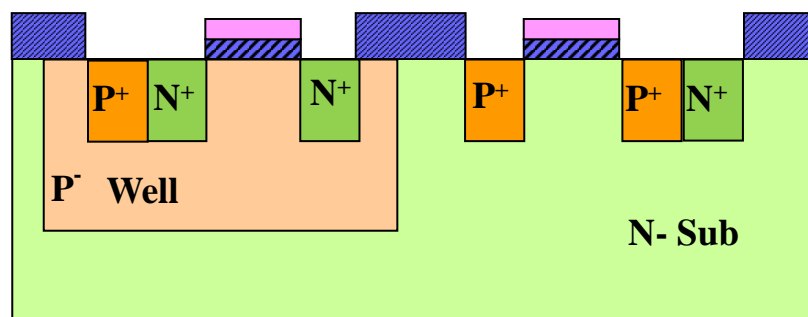
显示了电气连接和部分压焊点



P阱CMOS工艺



- 以**中度掺杂的N型单晶硅为衬底**，在其上首先制作P阱；在P阱内做NMOS管，PMOS管做在阱外N型衬底上；

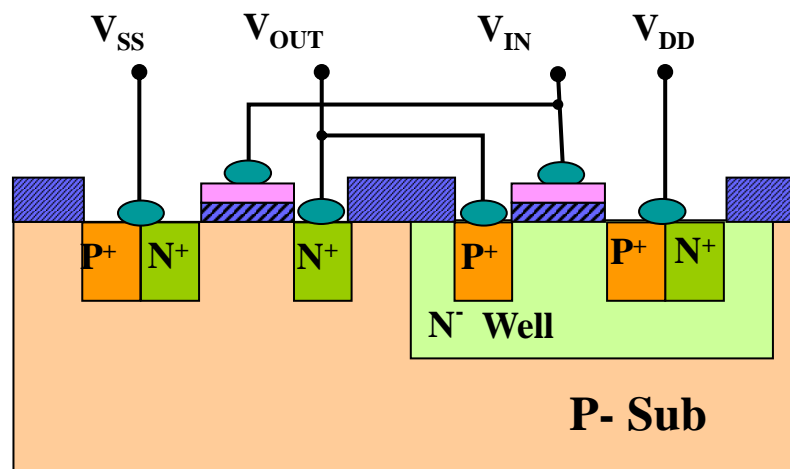


- 用**离子注入**在N型衬底中补偿掺杂形成P阱，并在此区域制备N沟道器件。**P阱杂质浓度的典型值要比N型衬底的高5~10倍**才能保证器件性能，因此NMOS晶体管会受到过度掺杂的影响

N阱CMOS工艺



- 在P型衬底上形成N阱，在阱内做PMOS管。NMOS管做在阱外P型衬底上。

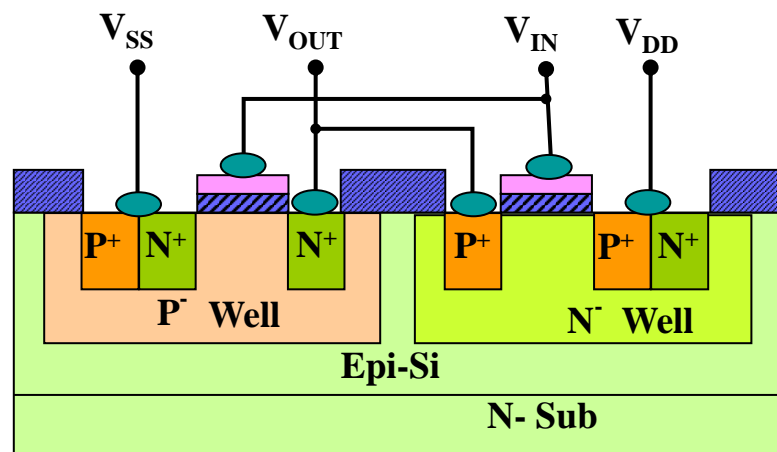


- 早期N阱工艺和P阱工艺两者并存发展，但由于N阱CMOS中NMOS管直接在P型硅衬底上制作，有利于发挥NMOS器件高速的特点，因此成为常用工艺。

双阱CMOS工艺



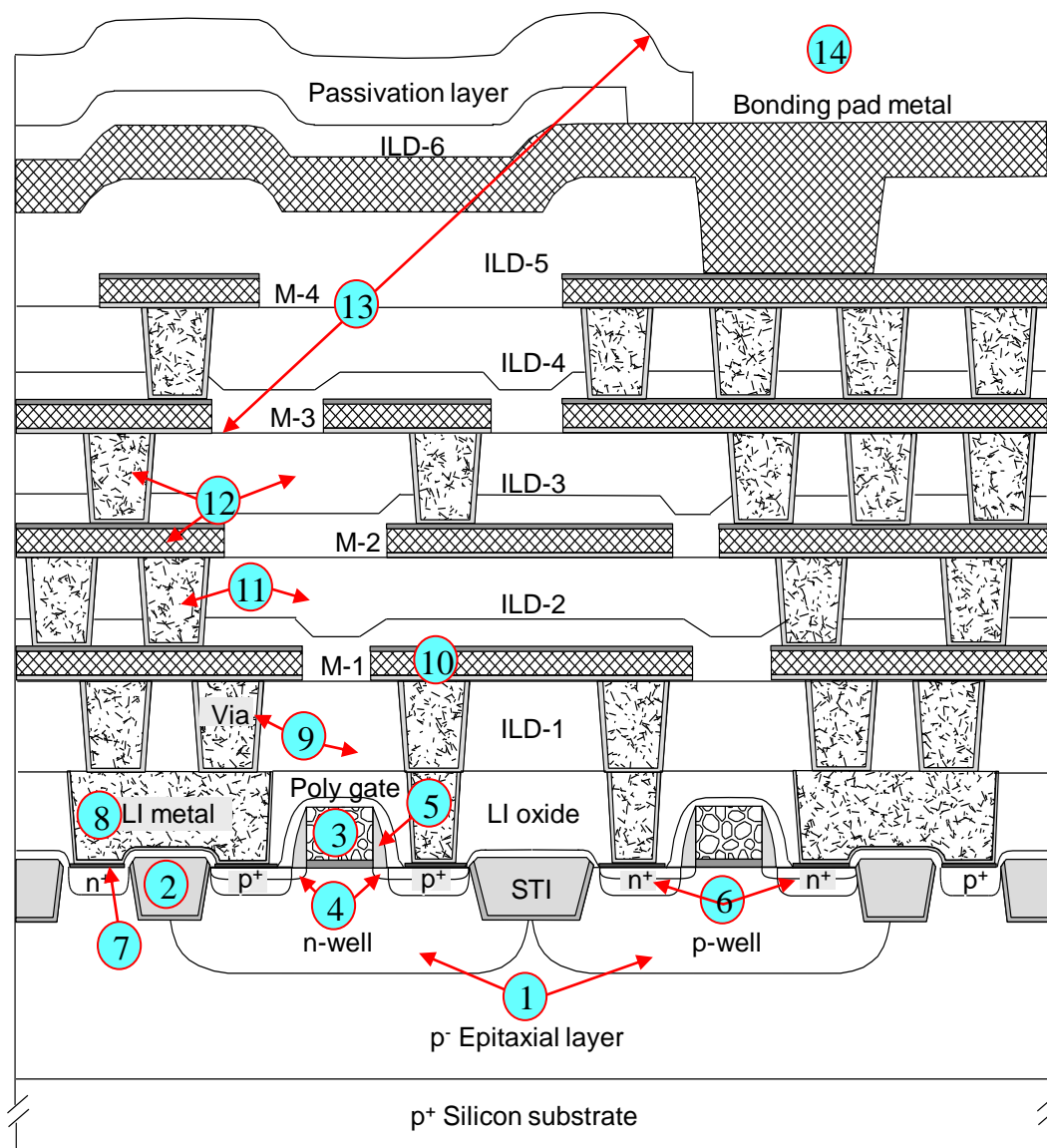
- 通常是在N+或P+衬底上**外延生长一层厚度及掺杂浓度可精确控制**的高纯度硅外延层，在外延层中用离子注入的方法**分别制作做N阱和P阱**，N阱中做PMOS管，P阱中做NMOS管。



标准CMOS工艺主要制作步骤

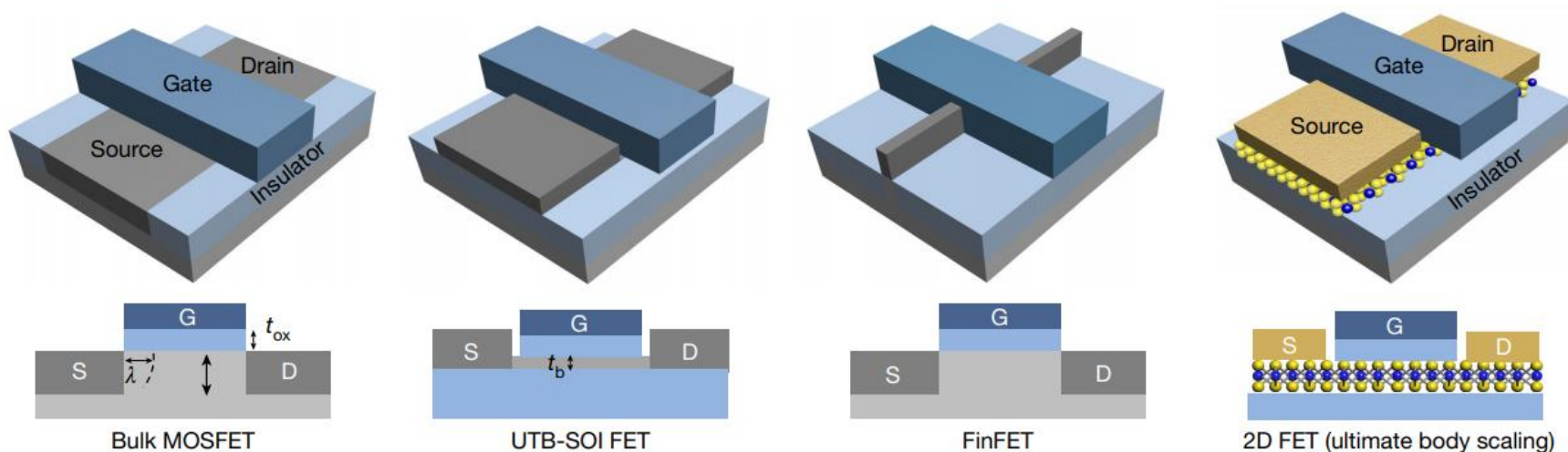


- 14、参数测量;
- 13、形成金属3直到压点(Pad);
- 12、形成金属2互连,通孔3, ILD-3
- 11、形成通孔2和层间介质ILD-2;
- 10、形成金属1互连(M-1);
- 9、形成通孔1和层间介质ILD-1;
- 8、局部互连 LI metal;
- 7、形成接触孔;
- 6、源/漏注入;
- 5、侧墙形成;
- 4、轻掺杂漏注入;
- 3、多晶硅栅淀积;
- 2、浅槽沟道隔离;
- 1、双阱注入;

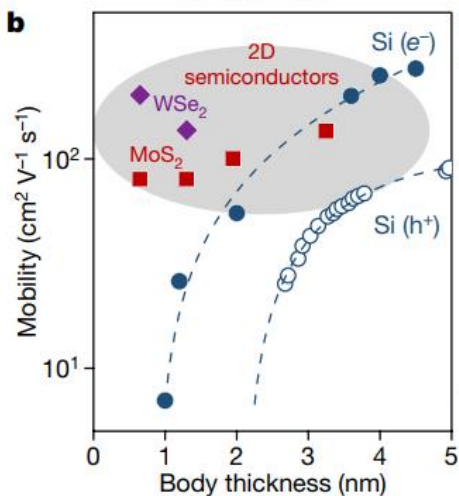


Promises and prospects of two-dimensional transistors

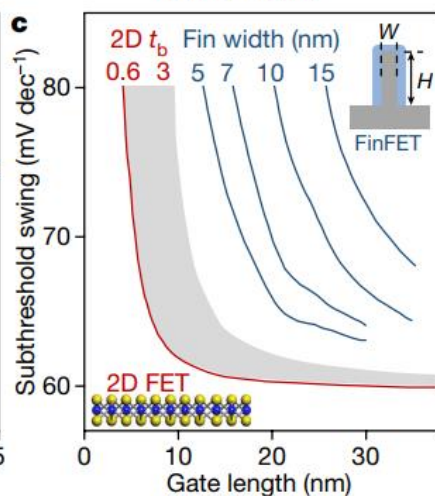
a



b



c



d

