



中国科学技术大学

University of Science and Technology of China

# 数字集成电路设计

## 第四章 延 时

白雪飞

中国科学技术大学微电子学院

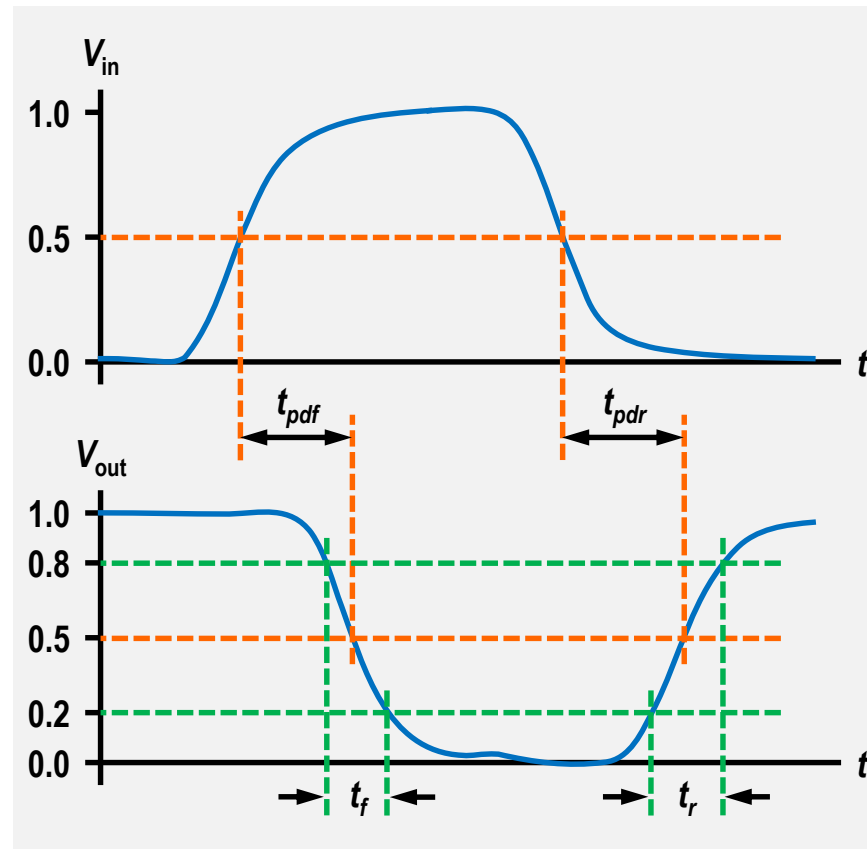
- 引言
- 瞬态响应
- RC延时模型
- 线性延时模型
- 路径逻辑努力



# 引言

- **传播延时 (Propagation Delay Time)  $t_{pd}$** 
  - 又称最大延时，通常简称延时
  - 输入越过50%至输出越过50%最长时间
- **污染延时 (Contamination Delay Time)  $t_{cd}$** 
  - 又称最小延时
  - 输入越过50%至输出越过50%最短时间
- **上升时间 (Rise Time)  $t_r$** 
  - 从稳态值20%上升至80%所需时间
- **下降时间 (Fall Time)  $t_f$** 
  - 从稳态值80%下降至20%所需时间
- **边沿速率 (Edge Rate)  $t_{rf}$**

$$t_{rf} = (t_r + t_f) / 2$$



传播延时和上升/下降时间

## ■ 驱动器 (Driver)

- 对一个节点充电或放电的门

## ■ 到达时间 (Arrival Time)

- 逻辑块中各节点翻转的最迟时间
- 可分为输入、输出、内部节点

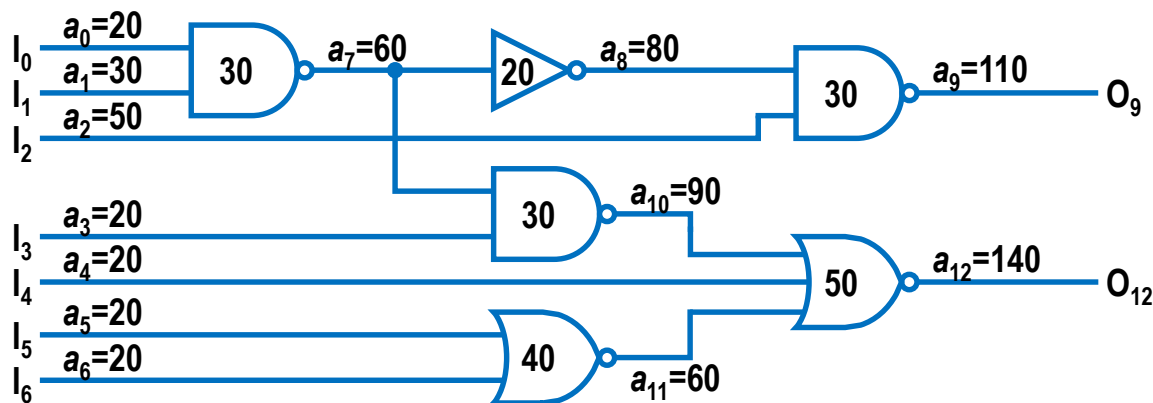
$$a_i = \max_{j \in \text{fanin}(i)} \{a_j\} + t_{pd_i}$$

## ■ 负载 (Load)

- 被驱动的门和导线

## ■ 剩余时间 (Slack)

- 要求到达时间和实际到达时间之差
- 正剩余时间说明电路满足时序要求
- 负剩余时间说明电路存在时序违例



到达时间举例

## ■ 关键路径 (Critical Path)

- 限制系统工作速度的逻辑路径

## ■ 逻辑优化层次

- 结构/微结构级：流水线级数、执行单元数量、存储器大小等
- 逻辑级：功能块类型、时钟周期内的逻辑门级数、门的扇入扇出等
- 电路级：晶体管尺寸、CMOS逻辑类型等
- 版图级：平面规划、导线长度、寄生电容等
- 高层次优化影响更大，低层次优化无法克服高层次设计留下的问题

# 瞬态响应

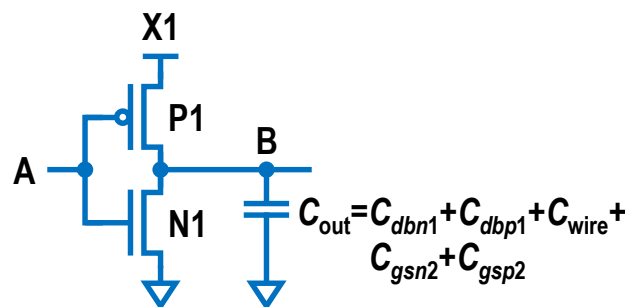
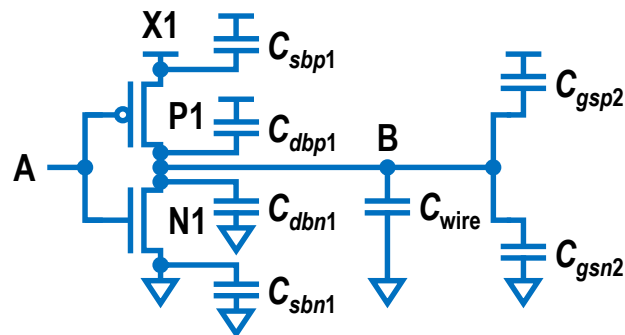
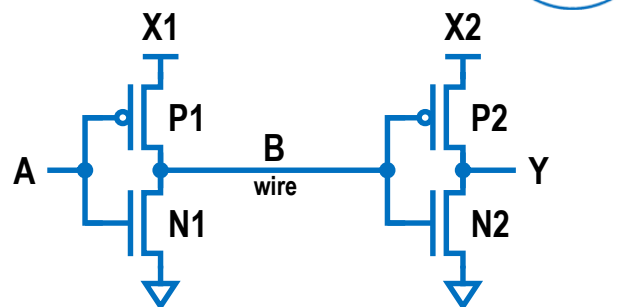
## ■ 瞬态响应 (Transient Response)

- 描述输出电压和输入电压及时间关系的微分方程的解
- 微分方程基于电路中对电容的充放电

$$I = C \frac{dV}{dt}$$

## ■ 电路中的电容

- 负载晶体管栅电容、驱动器晶体管扩散电容、互连线电容
- 互连线经常是电容的主要来源
- 以如图所示反相器驱动器和负载为例
  - $C_{sbn1}$  和  $C_{sbp1}$  两端接固定电压，不影响翻转电容
  - 电容一端接电源或地的，都等效为此端接地
  - 所有电容集总为输出电容  $C_{out}$



用于计算反相器延时的电容



# 阶跃响应 (Step Response)

## ■ 应用电压阶跃之前

- $A=0$ , N1截止, P1导通,  $V_B = V_{DD}$

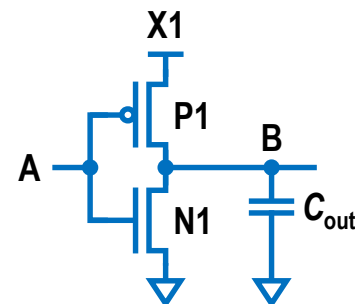
## ■ 应用电压阶跃之后

- $A=1$ , N1导通, P1截止,  $V_B$ 下降至零

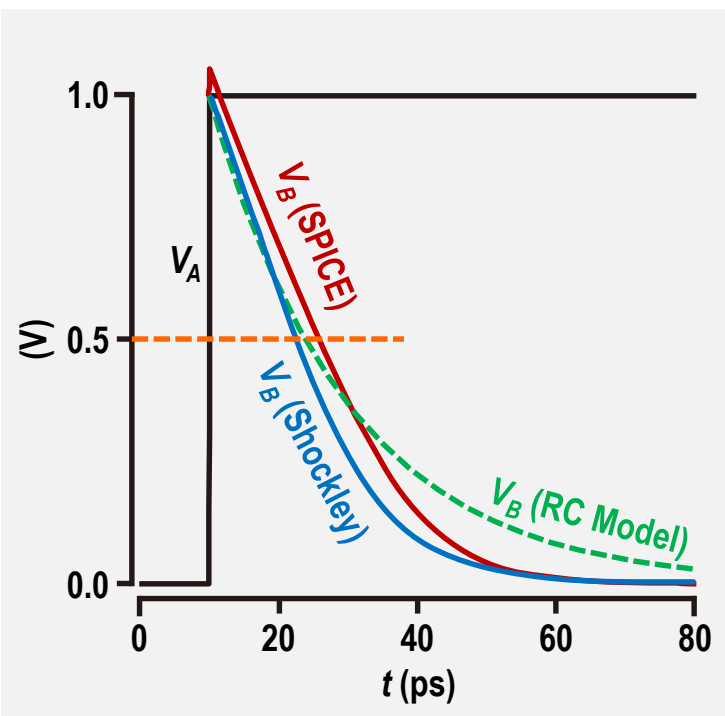
$$C_{out} \frac{dV_B}{dt} = -I_{dsn1}$$

- 对于N1管,  $V_{gs} = V_{DD}$ ,  $V_{ds} = V_B$
- 当  $V_B > V_{DD} - V_t$  时, N1处于饱和状态
- 当  $V_B < V_{DD} - V_t$  时, N1处于线性状态
- 由晶体管长沟道模型可得

$$\frac{dV_B}{dt} = -\frac{\beta}{C_{out}} \begin{cases} \frac{(V_{DD} - V_t)^2}{2}, & V_B > V_{DD} - V_t \\ \left(V_{DD} - V_t - \frac{V_B}{2}\right)V_B, & V_B < V_{DD} - V_t \end{cases}$$



反相器及输出电容



反相器的阶跃响应

# 斜坡响应 (Ramp Response)

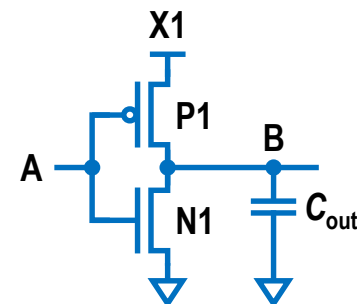


## ■ 反相器的斜坡响应

Phase 1:  $V_B = V_{DD}$

Phase 2:  $\frac{dV_B}{dt} = \frac{I_{dsp1} - I_{dsn1}}{C_{out}}$

Phase 3:  $\frac{dV_B}{dt} = \frac{-I_{dsn1}}{C_{out}}$



反相器及输出电容

反相器斜坡响应的三个阶段 ( $V_{tn} + |V_{tp}| < V_{DD}$ )

阶段	$V_A$	N1	P1	$V_B$
1	$0 < V_A < V_{tn}$	截止	导通	$V_{DD}$
2	$V_{tn} < V_A < V_{DD} -  V_{tp} $	导通	导通	中间值
3	$V_{DD} -  V_{tp}  < V_A < V_{DD}$	导通	截止	下降至零

## ■ 串联晶体管

- 串联晶体管具有较小的 $V_{ds}$ ，并提供较小的电流
- 若逻辑门中串联晶体管尺寸和负载都相同，则延时随串联晶体管数目而增加

# RC延时模型

## ■ RC延时模型

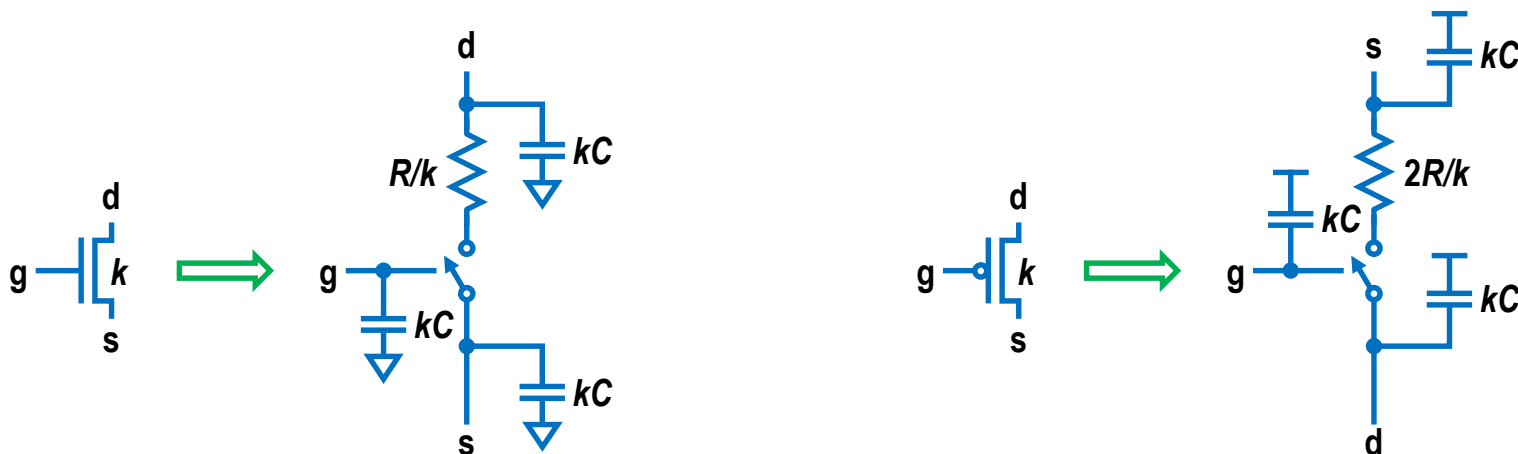
- 采用逻辑门翻转区间的平均电阻和电容来近似非线性晶体管的特性

## ■ 等效电阻 (Effective Resistance)

- 翻转时间间隔内的 $V_{ds}$ 和 $I_{ds}$ 之比的平均值
- 一个单位NMOS晶体管的等效电阻定义为 $R$ ， $R$ 的值一般在10 k $\Omega$ 数量级
- 一个 $k$ 倍单位宽度的NMOS晶体管的等效电阻为 $R/k$
- 一个单位PMOS晶体管的等效电阻为 $2R \sim 3R$ （以下取 $2R$ 简化运算）
- 根据长沟道模型，晶体管等效电阻正比于沟道长度
- 由于速度饱和，串联晶体管的总电阻比各晶体管电阻之和稍低

## ■ 栅电容和扩散电容

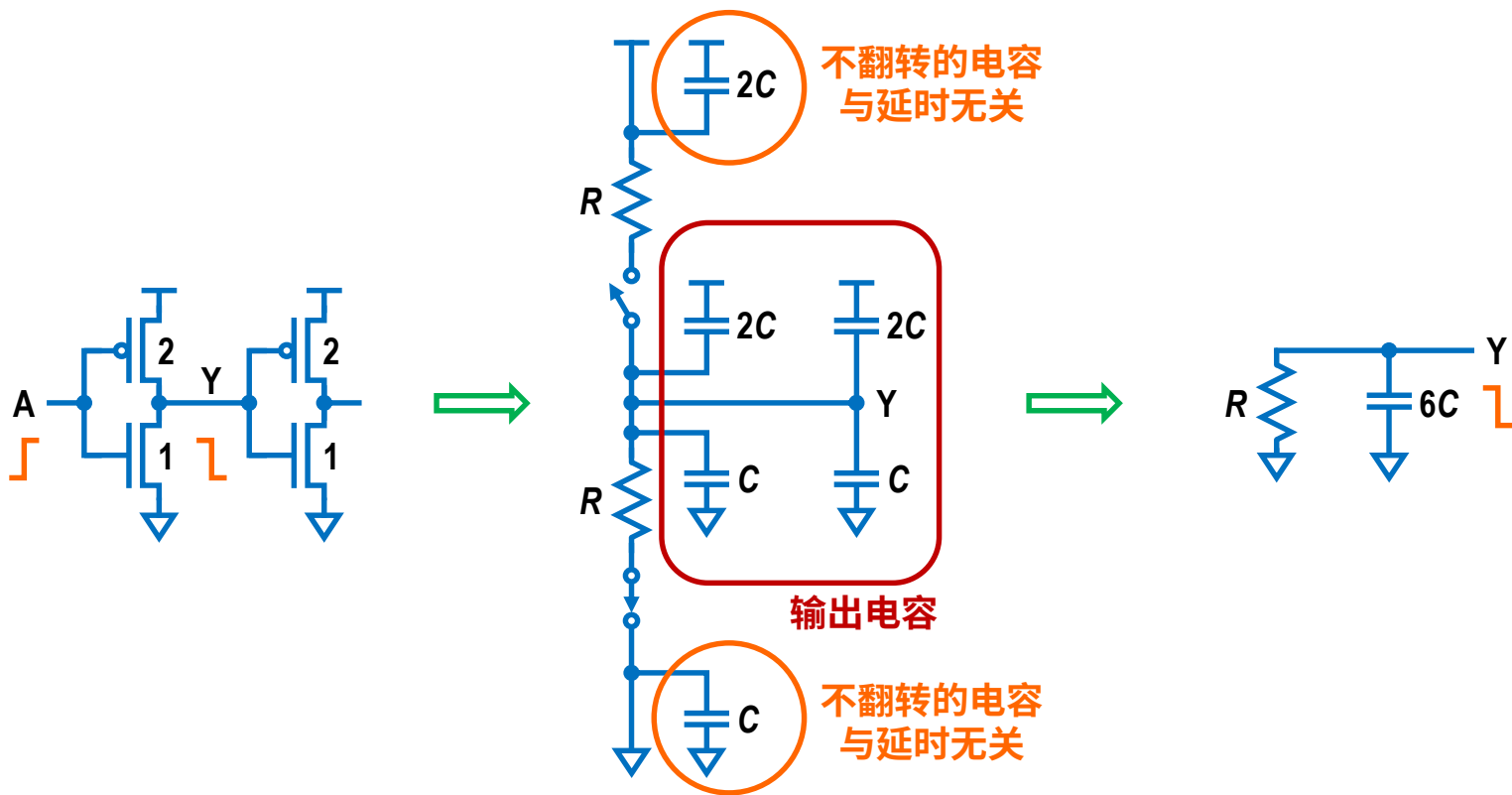
- 一个单位晶体管的栅电容定义为 $C$ ，其带接触的源/漏区扩散电容近似为 $C$
- 一个 $k$ 倍单位宽度的晶体管的栅电容为 $kC$ ，扩散电容近似为 $kC$
- 增加沟道长度，晶体管栅电容按比例增加，但扩散电容不受影响
- 最小长度晶体管的 $C$ 值可粗略估计为1.0 fF/ $\mu\text{m}(\text{width})$



## NMOS和PMOS晶体管的等效RC电路模型

$k$ 倍单位宽度，源极和漏极均为带接触的扩散区

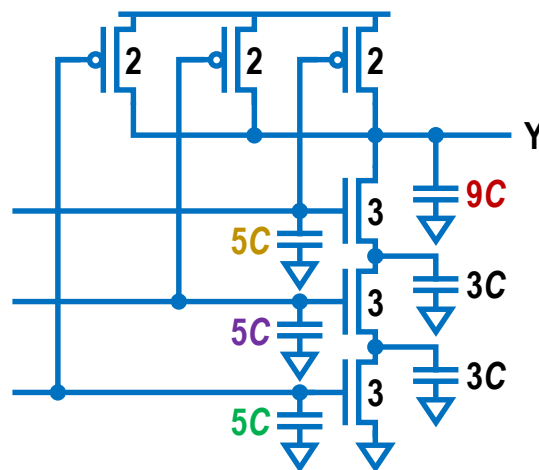
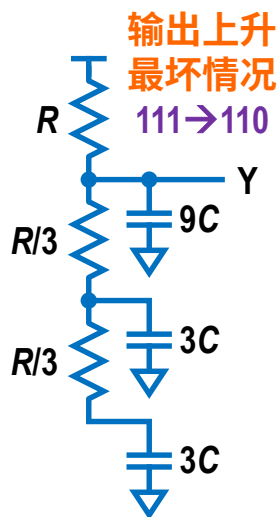
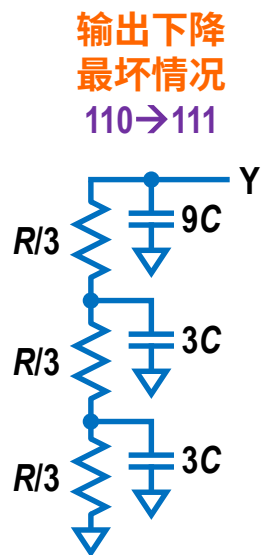
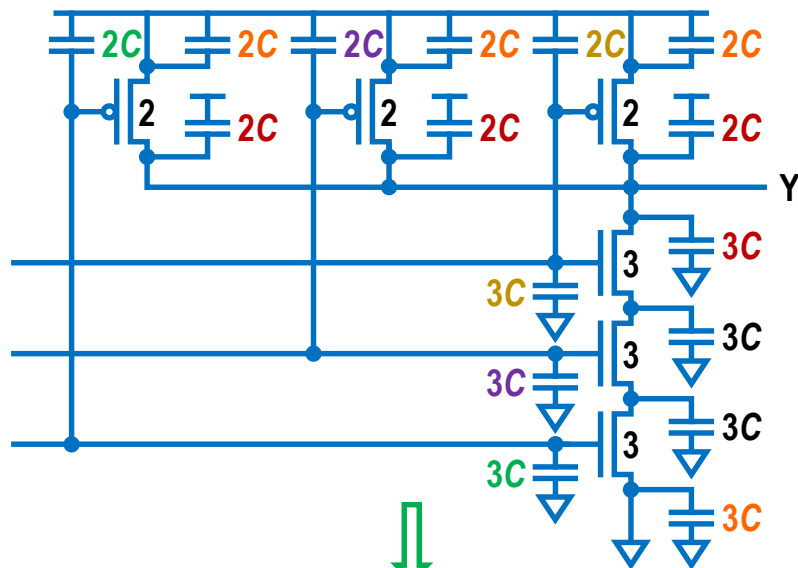
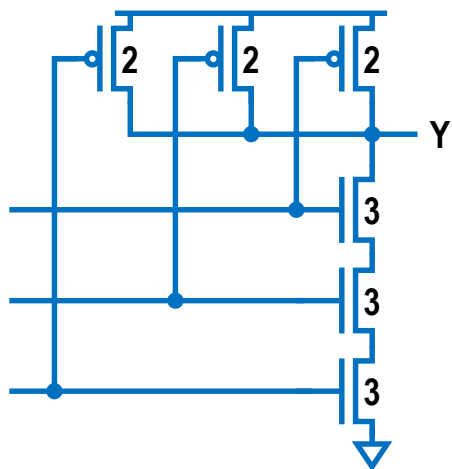
# 反相器的等效电路



## 反相器的等效RC电路模型

扇出为1，忽略互连线电容，输入A上升

# 三输入与非门的等效电路



三输入与非门的等效RC电路模型

# 一阶系统阶跃响应

## ■ 一阶系统

- 很好的反相器模型

## ■ 传输函数

$$H(s) = \frac{1}{1 + sRC}$$

## ■ 阶跃响应

$$V_{\text{out}}(t) = V_{\text{DD}} e^{-t/\tau}; \quad \tau = RC$$

- 传播延时为 $V_{\text{out}}$ 达到 $V_{\text{DD}}/2$ 的时间

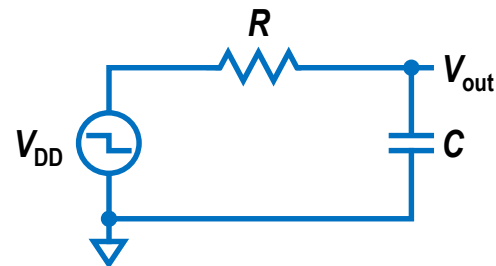
$$t_{pd} = RC \ln 2$$

- 因子 $\ln 2$ 与等效电阻 $R$ 合并，定义新的等效电阻

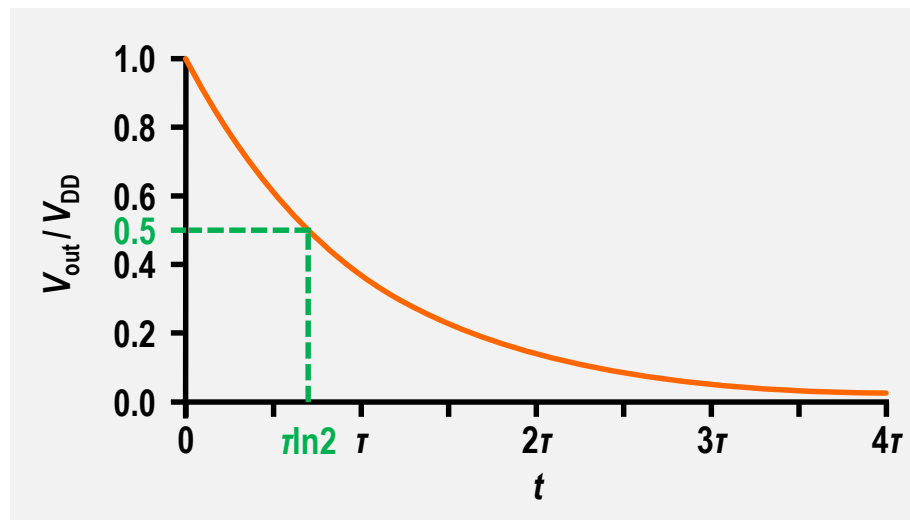
$$R' = R \ln 2$$

- 为方便起见， $R'$ 通常仍直接写作 $R$

$$t_{pd} = RC$$



一阶RC系统



一阶阶跃响应



# 二阶系统阶跃响应



## ■ 二阶系统

- 模拟与非门中两个串联NMOS晶体管，或反相器驱动电阻不可忽略的导线

## ■ 阶跃响应

$$V_{\text{out}}(t) = V_{\text{DD}} \frac{\tau_1 e^{-t/\tau_1} - \tau_2 e^{-t/\tau_2}}{\tau_1 - \tau_2}$$

- 其中

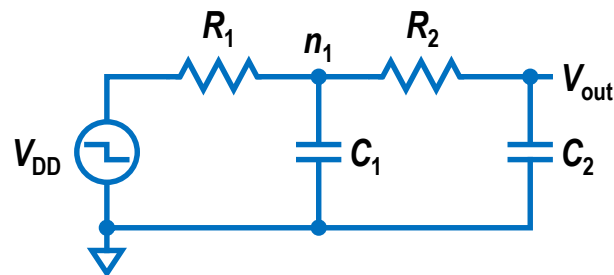
$$\tau_{1,2} = \frac{\tau}{2} \left( 1 \pm \sqrt{1 - \frac{4R^*C^*}{[1 + (1 + R^*)C^*]^2}} \right)$$

$$\tau = \tau_1 + \tau_2 = R_1 C_1 + (R_1 + R_2) C_2$$

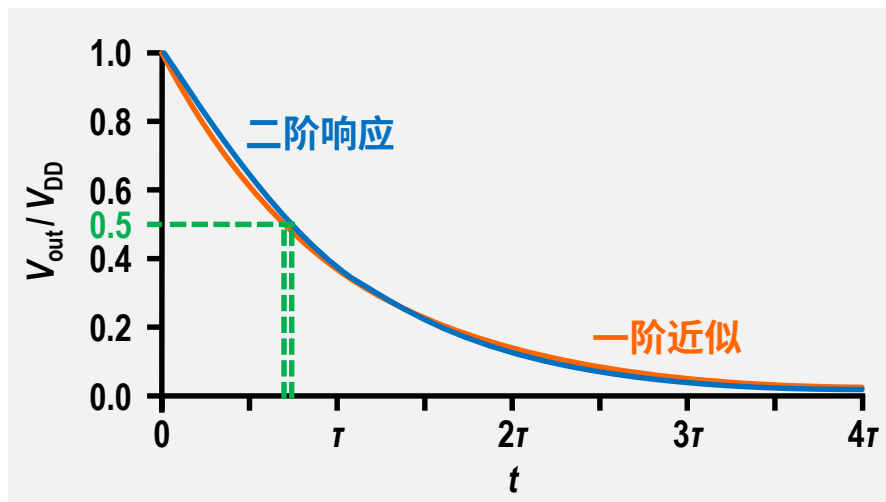
$$R^* = R_2 / R_1; \quad C^* = C_2 / C_1$$

## ■ 一阶近似

- 当 $\tau_1$ 和 $\tau_2$ 其中之一明显大于另一个时，可以近似为时间常数为 $\tau$ 的一阶系统



二阶RC系统



二阶响应与一阶近似

$$R_1 = R_2 = R, \quad C_1 = C_2 = C$$

## ■ Elmore延时模型

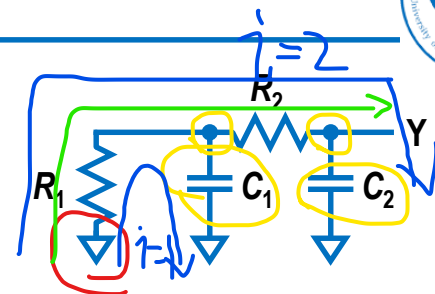
- 大部分电路可以表示为一个RC树
- 根为电压源，叶节点为支路末端的电容
- 从信号源翻转到某叶节点发生变化的延时估计

$$t_{pd} = \sum_i R_{is} C_i$$

- 节点 $i$ 上的电容  $C_i$
- 从信号源到节点 $i$ 和信号源到该叶节点的公共路径的等效电阻  $R_{is}$

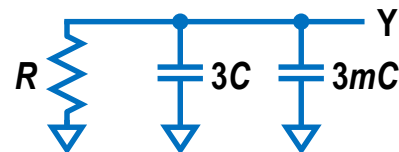
## ■ 扇出 (Fanout, FO) $h$

- 负载电容与输入电容之比
- 扩散电容不计入扇出



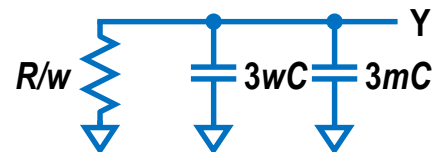
$$t_{pd} = R_1 C_1 + (R_1 + R_2) C_2$$

## 二阶RC系统Elmore延时



$$t_{pd} = (3 + 3m) RC$$

## 扇出 $m$ 的单位反相器



$$t_{pd} = (3 + 3m/w) RC = (3 + 3h) RC$$

## $w$ 倍宽的反相器

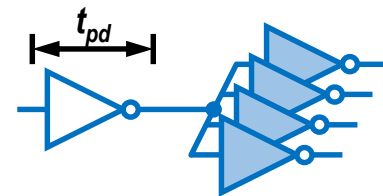
# 归一化延时

## ■ 归一化延时 $d$

- 扇出1且无寄生电容的理想反相器延时  $\tau = 3RC$
- 归一化延时定义为  $d = t_{pd} / \tau$
- 扇出 $h$ 的反相器归一化延时  $d = h + 1$

## ■ 扇出4(FO4)反相器延时

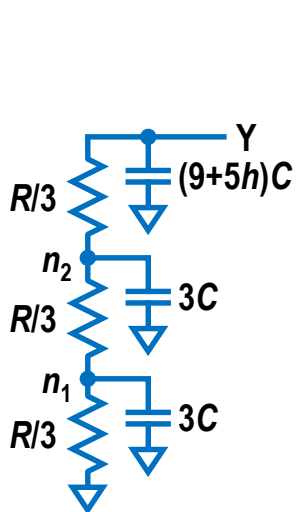
- 扇出4的反相器延时为 $5\tau$
- 若扩散电容稍大或稍小，FO4延时只改变很小的数值
- 用FO4延时度量的电路延时几乎不随工艺改变
  - 忽略互连线的RC延时



扇出4(FO4)的反相器

- 例：三输入与非门输出端负载为 $h$ 个完全相同的与非门，估算传输延时和污染延时。

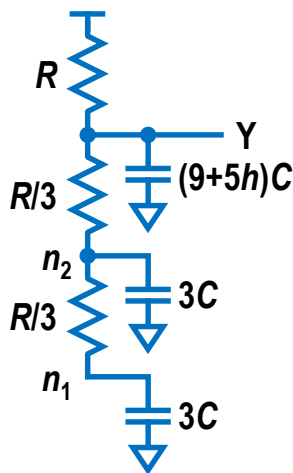
输出下降  
最坏情况  
110→111



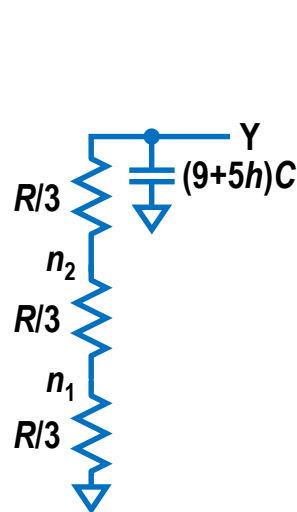
$$t_{pdf} = (12 + 5h)RC$$

$$t_{pdr} = (15 + 5h)RC$$

输出上升  
最坏情况  
111→110



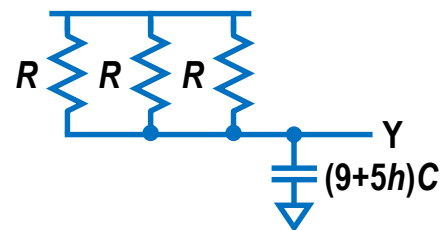
输出下降  
最好情况  
011→111



$$t_{cdf} = (9 + 5h)RC$$

$$t_{cdr} = (3 + (5/3)h)RC$$

输出上升  
最好情况  
111→000



计算传输延时的NAND3等效电路

计算污染延时的NAND3等效电路

## ■ 延时的组成

- 延时  $d$  : 由寄生延时和努力延时组成
- 寄生延时  $p$  : 门驱动内部扩散电容所需时间, 理想情况下与门的尺寸无关
- 努力延时  $f$  : 取决于负载电容和输入电容的比, 也取决于门的复杂程度
- 电气努力  $h$  : 负载电容和输入电容的比, 也称为扇出
- 逻辑努力  $g$  : 代表门的复杂程度

$$d = f + p = gh + p$$

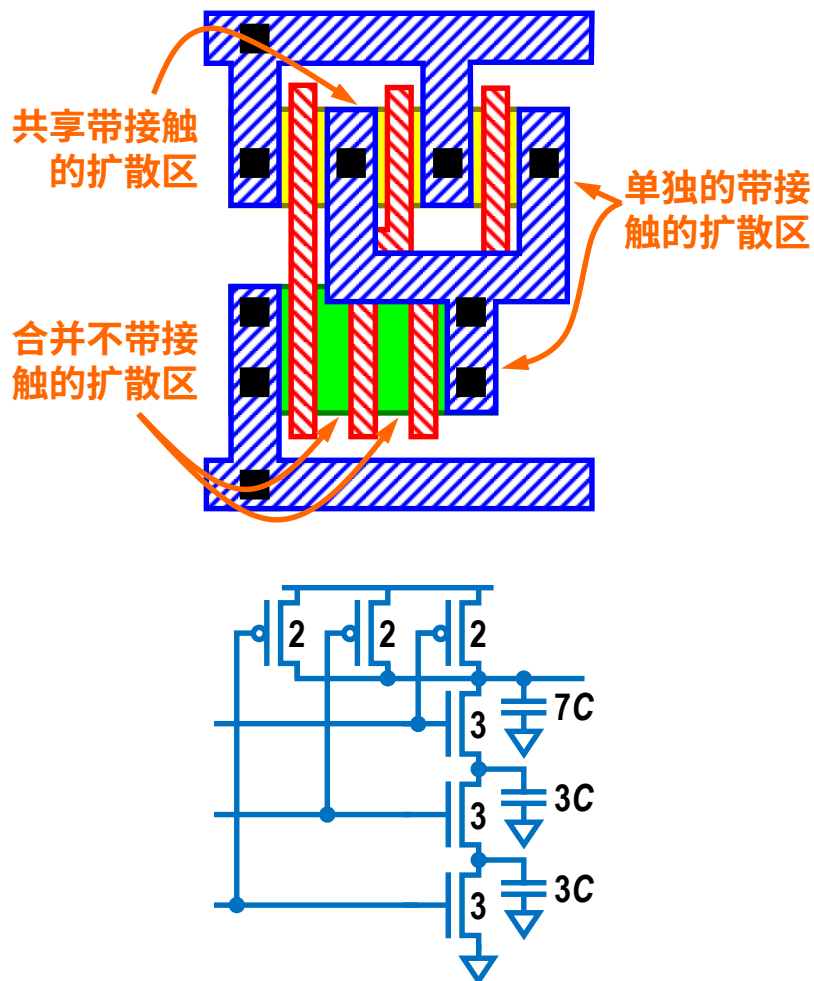
## ■ 延时举例

- 反相器延时

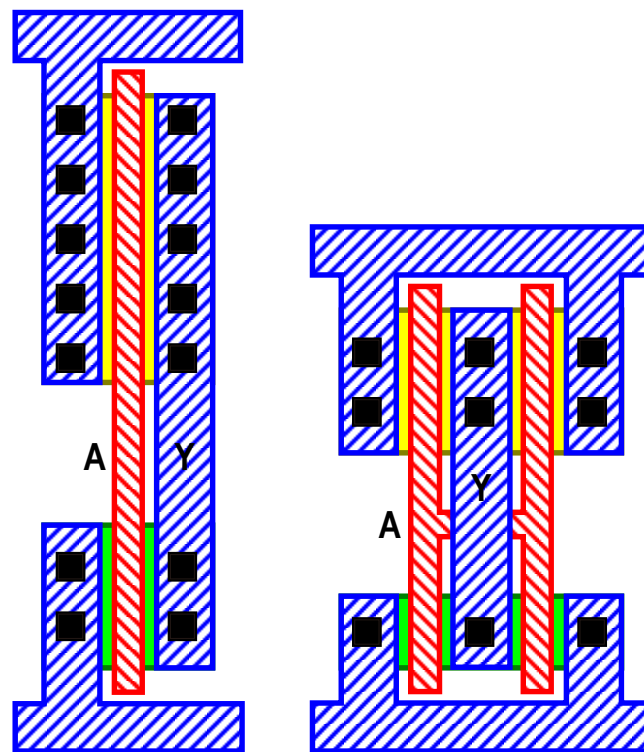
$$d = h + 1; \quad p = 1; \quad g = 1$$

- 三输入与非门最坏情况延时

$$d = (5/3)h + 5; \quad p = 5; \quad g = 5/3$$



共享扩散节点减少扩散电容



折叠版图减少扩散电容

# 线性延时模型

# 线性延时模型



## ■ 归一化延时 $d$

- 以 $\tau=3RC$ 为单位的工艺无关表达形式
- 由寄生延时和努力延时组成  $d = f + p$

## ■ 寄生延时 (Parasitic Delay) $p$

- 逻辑门未驱动任何负载时的延时
- 来自于内部寄生电容的固有延时

## ■ 努力延时 (Effort Delay) $f$

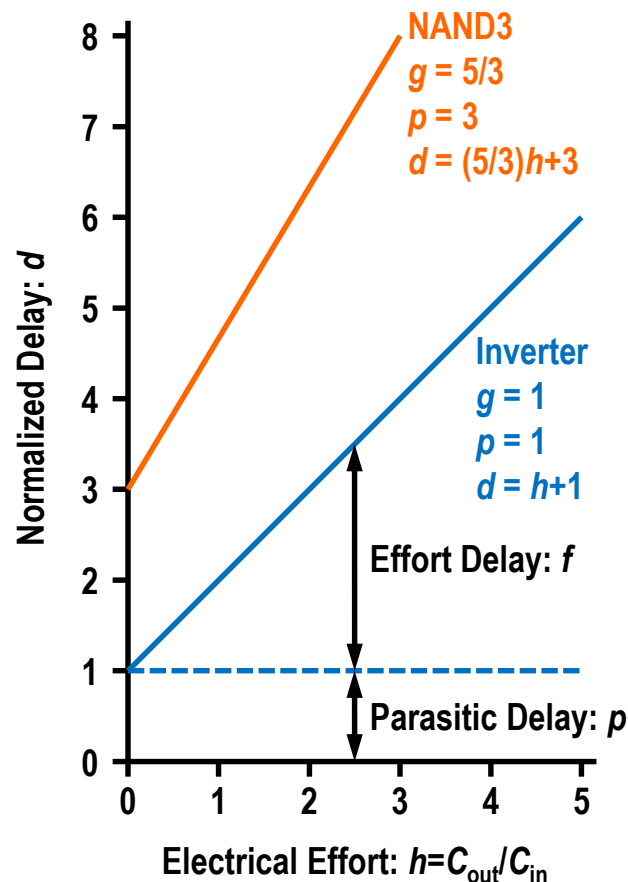
- 由逻辑努力和电气努力组成  $f = gh$

## ■ 逻辑努力 (Logical Effort) $g$

- 表示门的复杂度
- 较复杂的门具有较大的逻辑努力
- 反相器的逻辑努力定义为  $g \equiv 1$

## ■ 电气努力 (Electrical Effort) $h$

- 又称为扇出(Fanout)
- 负载电容与输入电容之比  $h = C_{out}/C_{in}$



归一化延时与扇出的关系

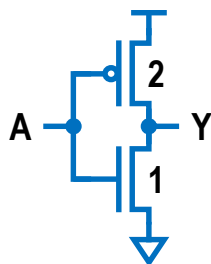


## ■ 定义

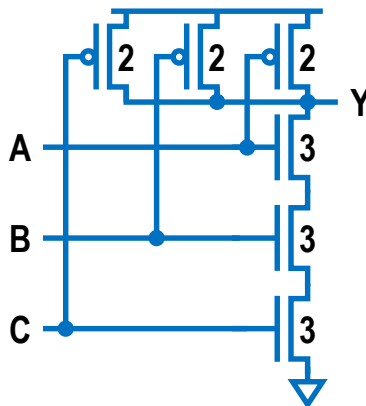
- 逻辑门的输入电容与能够提供相同输出电流的反相器的输入电容之比

## ■ 计算方法

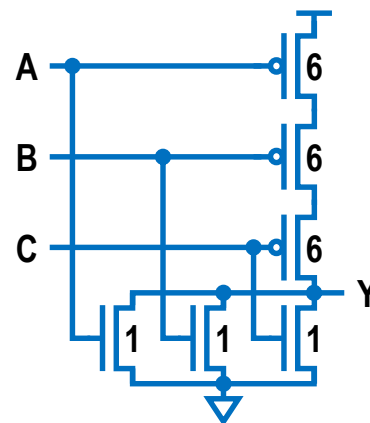
- 可以通过仿真结果，从延时与扇出的关系图中求出
- 可以通过画出逻辑门的草图进行估算



$$C_{in}=3, g=3/3$$



$$C_{in}=5, g=5/3$$



$$C_{in}=7, g=7/3$$

具有单位电阻的逻辑门及其逻辑努力

## ■ 定义

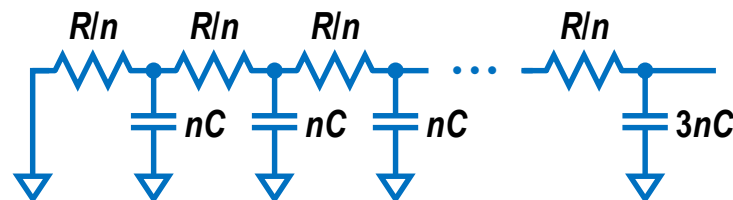
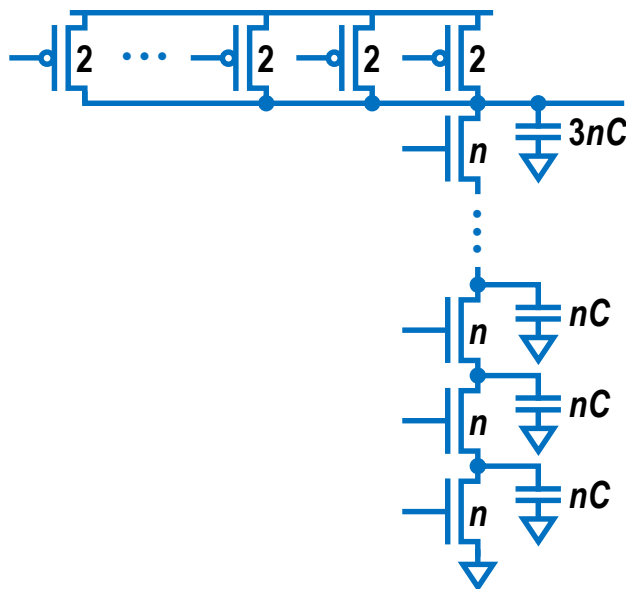
- 逻辑门驱动零负载时的延时

## ■ 计算方法

- 可以只计算输出节点上的扩散电容进行粗略估算
- 可以用包括寄生参数的Elmore延时模型进行比较精确的估算
- 可以通过仿真结果提取精确的寄生延时

## ■ 说明

- 反相器的归一化寄生延时称为 $p_{inv}$
- $p_{inv}$ 是具体工艺中扩散电容与栅电容之比，通常近似为1
- 在一阶近似上，寄生延时与门的尺寸无关
- 宽晶体管可以通过折叠设计降低寄生电容，较大的逻辑门寄生延时通常稍低
- 实际的多输入门电路中，寄生延时随输入数量的增加大于线性增长
- 不建议使用超过4个以上的串联晶体管构造一个门



$$t_{pd} = R(3nC) + \sum_{i=1}^{n-1} \left( \frac{iR}{n} \right) (nC) = \left( \frac{n^2}{2} + \frac{5}{2}n \right) RC$$

## 多输入与非门的RC等效电路和寄生延时

最下面的输入信号上升，其他输入信号都保持为1

# 常见门的逻辑努力和寄生延时



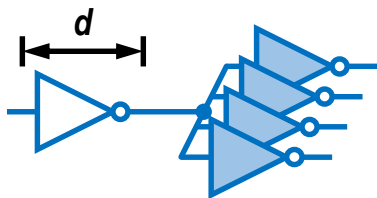
## 常见逻辑门的逻辑努力

门的类型	输入数量				
	1	2	3	4	$n$
反相器	1				
与非门		$4/3$	$5/3$	$6/3$	$(n+2)/3$
或非门		$5/3$	$7/3$	$9/3$	$(2n+1)/3$
三态门、多路开关	2	2	2	2	2
异或门、异或非门		4, 4	6, 12, 6	8, 16, 16, 8	

## 常见逻辑门的寄生延时

门的类型	输入数量				
	1	2	3	4	$n$
反相器	1				
与非门		2	3	4	$n$
或非门		2	3	4	$n$
三态门、多路开关	2	4	6	8	$2n$

- 例：采用线性延时模型估算扇出4(FO4)的反相器延时。



扇出4(FO4)的反相器

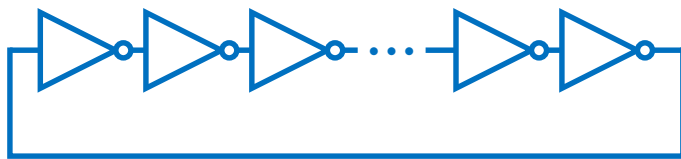
$$g = 1, h = 4, p = 1$$

$$d = gh + p = 5$$

0.6- $\mu\text{m}$ 工艺，延时约300 ps

65-nm工艺，延时约15 ps

- 例：采用线性延时模型估算 $N$ 级环形振荡器(Ring Oscillator)的频率。



环形振荡器

$$g = 1, h = 1, p = 1$$

$$d = gh + p = 2$$

$$f_{\text{osc}} = 1 / (2 \times N \times d) = 1 / 4N$$

$N=31$ 时，

0.6- $\mu\text{m}$ 工艺，频率约200 MHz

65-nm工艺，频率约2.7 GHz

## ■ 基于斜率的线性模型

- 增加能反映输入斜率的关系项，扩展线性延时模型
- 不能处理范围很广的斜率和负载情形

## ■ 非线性延时模型

- Nonlinear Delay Model (NLDM)
- 根据负载电容和输入斜率通过查表和插值方法计算延时

## ■ 电流源模型

- 将单元输出直流电流表示成其输入和输出电压的非线性函数
- 复合电流源模型 (Composite Current Source Model, CCSM)
- 有效电流源模型 (Effective Current Source Model, ECSM)

# 路径逻辑努力

# 路径努力

## ■ 路径逻辑努力 (Path Logical Effort) $G$

- 沿该路径各级逻辑努力之积

$$G = \prod g_i$$

## ■ 路径电气努力 (Path Electrical Effort) $H$

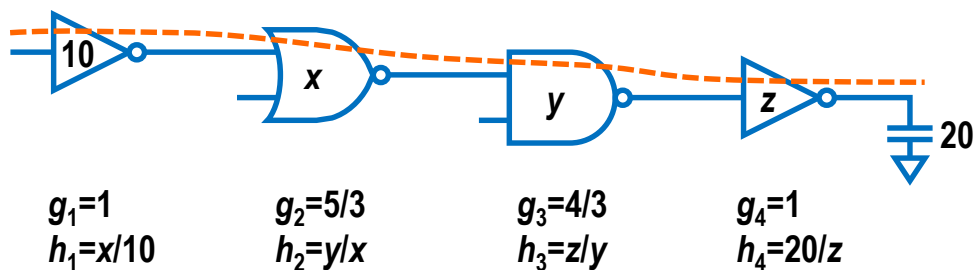
- 该路径驱动的输出电容与该路径输入电容之比

$$H = \frac{C_{\text{out}(\text{path})}}{C_{\text{in}(\text{path})}}$$

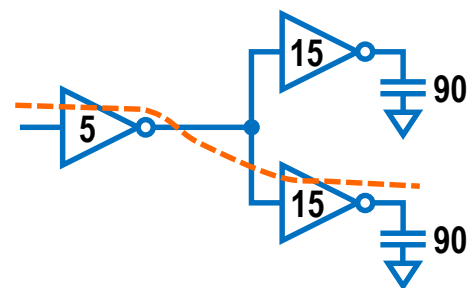
## ■ 路径努力 (Path Effort) $F$

- 沿该路径各级努力延时之积
- 在有分支的路径中,  $F \neq GH$

$$F = \prod f_i = \prod g_i h_i$$



多级逻辑网络



具有两条支路的电路



# 多级逻辑网络的延时

## ■ 分支努力 (Branching Effort) $b$

- 某级所见总电容与沿该路径的电容之比

$$b = \frac{C_{\text{onpath}} + C_{\text{offpath}}}{C_{\text{onpath}}}$$

## ■ 路径分支努力 (Path Branching Effort) $B$

- 沿该路径各级分支努力之积

$$B = \prod b_i$$

## ■ 路径努力 (Path Effort) $F$

- 该路径逻辑努力、电气努力和分支努力之积

$$F = GBH; \quad BH = \prod h_i$$

## ■ 路径延时 (Path Delay) $D$

- 该路径各级延时之和

$$D = \sum d_i = D_F + P$$

## ■ 路径努力延时 (Path Effort Delay) $D_F$

- 该路径各级努力延时之和

$$D_F = \sum f_i$$

## ■ 路径寄生延时 (Path Parasitic Delay) $P$

- 该路径各级寄生延时之和

$$P = \sum p_i$$

# 路径最小延时

## ■ 路径最小延时

- 路径努力 $F$ 是各级努力延时之积，并且与中间各级门的尺寸无关
- 路径努力延时 $D_F$ 是各级努力延时之和
- 当路径中各级都承担相同的努力时，路径延时 $D$ 达到最小
- 若一条路径有 $N$ 级，且各级承担相同的努力，则该努力为

$$\hat{f} = g_i h_i = F^{1/N}$$

- 此时该路径的最小延时为

$$D = NF^{1/N} + P$$

- 只需知道某路径的级数、路径努力、寄生延时，即可估算该路径的最小延时

## ■ 逻辑门尺寸的确定

- 从路径末端的负载电容开始，由后向前确定每级逻辑门的尺寸

$$\hat{f} = g_i h_i = g_i \frac{C_{\text{out}_i}}{C_{\text{in}_i}} \Rightarrow C_{\text{in}_i} = \frac{C_{\text{out}_i} \times g_i}{\hat{f}}$$

# 路径最小延时举例



- **例：**试估算如图中从A至B路径的最小延时，并选择达到这一延时的晶体管尺寸。
- **解：**该路径的逻辑努力相关参数如下：

$$G = (4/3) \times (5/3) \times (5/3) = 100/27$$

$$H = 45/8$$

$$B = 3 \times 2 = 6$$

$$F = GBH = 125$$

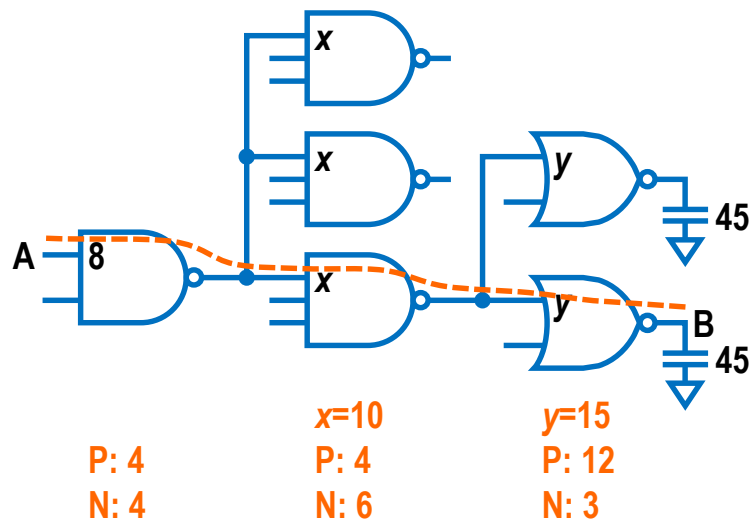
$$\hat{f} = \sqrt[3]{125} = 5$$

$$P = 2 + 3 + 2 = 7$$

$$D = 3 \times 5 + 7 = 22$$

$$y = 45 \times (5/3) / 5 = 15$$

$$x = (15 + 15) \times (5/3) / 5 = 10$$



路径最小延时示例电路

# 不同级数的路径延时举例

- **例：**某控制单元通过一个单位反相器产生控制信号，该信号必须驱动64位数据通路中每个位片上的单位尺寸负载。设计者可以增加反相器来缓冲这一信号以驱动这个大负载。假设不需要考虑信号的极性。

**问：**需要增加的反相器最优数量是多少？能达到的延时是多少？

- **解：**该路径的逻辑努力相关参数如下：

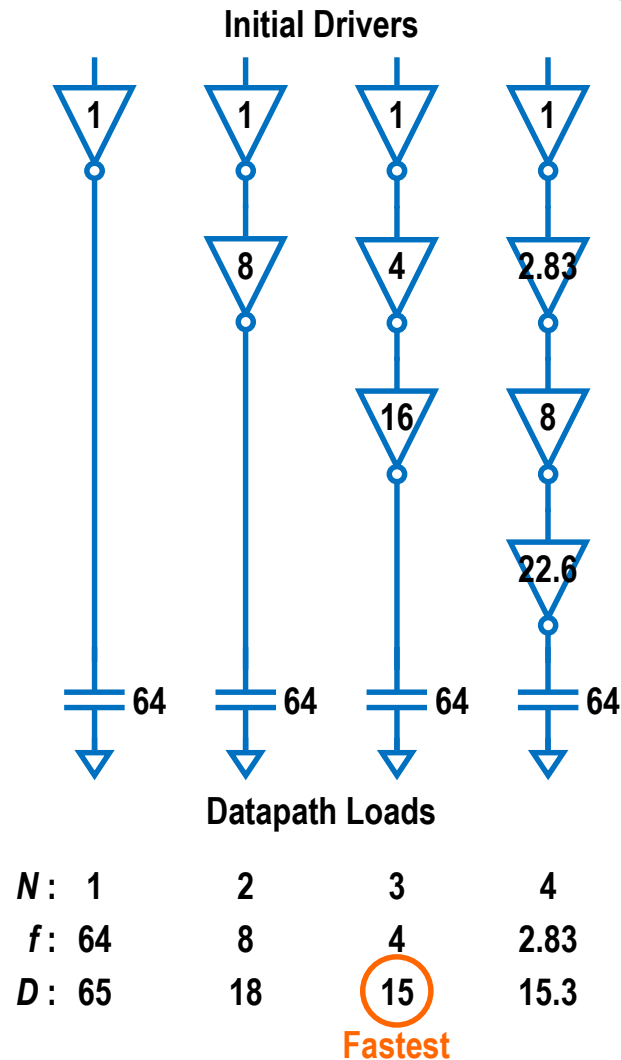
$$H = 64$$

$$G = 1$$

$$F = 64$$

$$D = N\sqrt[N]{64} + N$$

增加0~3个反相器的情形如图所示，3级反相器的设计延时最小。



不同级数反相器延时比较

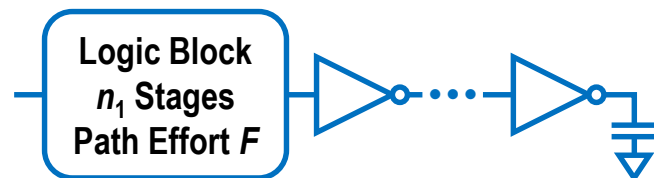
## ■ 最优级数的推导

- 如图逻辑块有 $n_1$ 级，路径努力为 $F$
- 在其末端添加 $N-n_1$ 个反相器，使其总级数为 $N$ ，则新的路径延时为

$$D = NF^{1/N} + \sum_{i=1}^{n_1} p_i + (N - n_1) p_{\text{inv}}$$

- 定义最优级数 $\hat{N}$ 及最优每级努力 $\rho = F^{1/\hat{N}}$

$$\begin{aligned} \frac{\partial D}{\partial N} &= -F^{1/N} \ln F^{1/N} + F^{1/N} + p_{\text{inv}} = 0 \\ \Rightarrow p_{\text{inv}} + \rho(1 - \ln \rho) &= 0 \end{aligned}$$



末端添加反相器的逻辑块

## ■ 最优级数的选择

- 若忽略寄生延时， $p_{\text{inv}}=0$ ，得到 $\rho=e(2.71828\dots)$
- 若取 $p_{\text{inv}}=1$ ，数值求解得到 $\rho=3.59$
- 当 $\rho=2.4\sim 6$ 时，所得到的延时与最优延时的差别不超过15%
- 通常可取 $\rho=4$ 便于运算
- 当 $p_{\text{inv}}=0.7\sim 2.5$ 时，取 $\rho=4$ 所得到的延时与最小延时的差别不超过2%

# 逻辑努力方法步骤



## ■ 计算路径努力

$$F = GBH$$

## ■ 估算最优级数

$$\hat{N} = \log_4 F$$

## ■ 画出路径草图：共 $\hat{N}$ 级

## ■ 估算最小延时

$$D = \hat{N}F^{1/\hat{N}} + P$$

## ■ 确定最优每级努力

$$\hat{f} = F^{1/\hat{N}}$$

## ■ 从路径末端开始由后向前 求出各级尺寸

$$C_{in_i} = \frac{C_{out_i} \times g_i}{\hat{f}}$$

名称	单级表达式	路径表达式
级数	1	$N$
逻辑努力	$g$	$G = \prod g_i$
电气努力	$h = \frac{C_{out}}{C_{in}}$	$H = \frac{C_{out(path)}}{C_{in(path)}}$
分支努力	$b = \frac{C_{onpath} + C_{offpath}}{C_{onpath}}$	$B = \prod b_i$
努力	$f = gh$	$F = GBH$
努力延时	$f$	$D_F = \sum f_i$
寄生延时	$p$	$P = \sum p_i$
延时	$d = f + p$	$D = \sum d_i = D_F + P$

■ **例：**设计一个寄存器堆译码器，要求如下：

- (1) 16字寄存器堆，32位字宽；
- (2) 寄存器的每位在字线上表现出的负载相当于3个单位尺寸晶体管；
- (3) 地址位A[3:0]的真值和互补值都可以直接使用；
- (4) 每个地址输入可以驱动10个单位尺寸晶体管。

■ **解：**(1) 每条字线输出负载为32位，每位负载3个单位电容，共计96个单位电容，因此，路径电气努力为  $H=96/10=9.6$

(2) 每位地址信号用于计算16条字线中的8条，其互补值用于计算另外8条，因此，路径分支努力为  $B=8$

(3) 考虑到译码逻辑很简单，忽略逻辑努力，即  $G=1$

(4) 估算路径努力为  $F=GBH=76.8$

(5) 若使最优每级努力  $\rho=4$ ，则最优级数为  $N=\log_4 76.8=3.1$

若忽略逻辑努力影响，可以选择3级设计。

若考虑逻辑努力影响，最优级数将会稍大，4级设计也可能是更优选择。

可以对3级和4级设计的不同方案进行比较和分析。

## ■ 解 (续) :

(1) 考虑3级设计(INV–NAND4–INV):

实际逻辑努力为  $G=(1)(6/3)(1)=2$

实际路径努力为  $F=(2)(8)(9.6)=154$

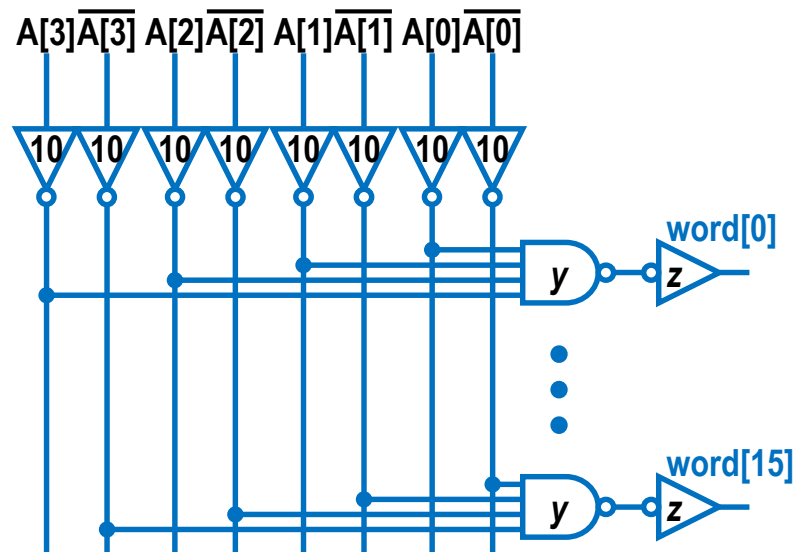
每级努力为  $\hat{f}=154^{1/3}=5.36$

寄生延时为  $P=1+4+1=6$

路径延时为  $D=3 \times 5.36 + 6 = 22.1$

门的尺寸分别为  $z=96 \times 1/5.36=18$

$y=18 \times 2/5.36=6.7$



3级设计的译码器

(2) 考虑4级设计(NAND2–INV–NAND2–INV):

实际逻辑努力为  $G=(4/3)(1)(4/3)(1)=16/9$

实际路径努力为  $F=(16/9)(8)(9.6)=136.5$

每级努力为  $\hat{f}=136.5^{1/4}=3.42$

寄生延时为  $P=2+1+2+1=6$

路径延时为  $D=4 \times 3.42 + 6 = 19.7$



## ■ 逻辑努力的启示

- 用逻辑努力数值表征逻辑门或路径复杂度，能够对不同电路拓扑进行比较
- 在静态CMOS电路中，与非结构比或非结构更快
- 当路径中各级努力延时大约相等且接近4时，该路径最快
- 路径延时对适度偏离最优值的情况不敏感，包括级数、晶体管尺寸等
- 稍大于4的每级努力可以减少面积和功耗，但会稍微降低速度
- 采用较少的级数，或增加门的尺寸，并不能使电路更快
- 设计很好的路径的延时大约为 $\log_4 F$ 个FO4反相器的延时
- 逻辑门每个输入端的逻辑努力随输入数量的增加而增加
- 具有较小逻辑努力的反相器或二输入与非门最适于驱动大分支努力的节点
- 当路径发生分叉时，应缓冲非关键支路以减小关键路径的分支努力

## ■ 逻辑努力的局限性

- 逻辑努力没有考虑互连线的影响
- 逻辑努力没有说明如何设计电路使其在速度约束下具有最小的面积或功耗
- 当路径具有不均衡的分支或重新聚合的扇出时，难以进行手工分析
- 线性延时模型不能包括输入斜率的影响

**本章结束**