IEEE电子器件快报，第39卷第3期，2018年3月413期

E型GaN MIS-FET反偏应力下VTH稳定性与栅偏压的关系

[](https://orcid.org/0000-0003-3016-1588)[](https://orcid.org/0000-0001-6124-0110)[](https://orcid.org/0000-0002-1406-1256)[](https://orcid.org/0000-0002-0659-2022)Mengyuan、Jin Wei、Qilong Bao、Zhaofu Zhang、Zheng和Kevin J. Chen，IEEE研究员

***摘要——在本文中，我们研究了增强（enhance）型LPCVD-SiNx/PECVD-SiNx/GaN MIS-FET在反向偏置阶跃应力下的阈值电压VTH稳定性。在具有相同净栅漏电压（VGD）的截止状态反向偏压应力下，VTH位移显示出明显的负栅偏压依赖性。当VGS为0 V时，VTH偏移很小且可恢复，而栅极偏压越负，VTH偏移越大（VGS***

**−**

**=**

***20伏）。这种较大的VTH偏移是由负VGS引起的***

***可以用空穴诱导退化模型来解释。该模型揭示的一个重要指示是，在GaN E-mode MIS-FET的高功率开关应用中，应很好地限制负栅极偏置，以实现稳定的VTH。***

***索引术语—氮化镓、增强型、MIS-FET、反向偏置阶跃应力。***

1. 介绍

**G**

一种场效应晶体管（FET），具有完全凹陷的栅极结构和金属-绝缘体-半导体（MIS）

gate对于高功率开关应用尤其具有吸引力【1】、【2】。然而，MIS-FET的发展一直受到栅极电介质可靠性和VTH稳定性的主要问题的阻碍。

栅极电介质最关键的可靠性问题是时间相关电介质击穿（TDDB）。用通过原子层沉积（ALD）或等离子体增强化学气相沉积（PECVD）制备的Al2O3或SiO2作为栅极电介质很难获得长的栅极工作寿命，因为低沉积温度（300℃）往往导致具有高缺陷密度的低膜质量。为了克服这个问题，通过低压化学气相沉积（LPCVD）在800°C左右的温度下沉积的氮化硅（SiNx）作为MIS-FET中的栅极电介质受到了广泛的研究，并在低栅极泄漏、大栅极摆幅和长TDDB寿命方面表现出了良好的性能【3】、【4】。

∼

为了充分利用GaN功率开关的低损耗优势，通常采用大的正栅极偏置VGS

稿件收于2017年12月29日；2018年1月5日受理。发布日期2018年1月10日；当前版本日期2018年2月22日。这项工作由香港研究资助局拨款16207115资助，并由创新科技署拨款ITS/192/14FP资助。编辑T. Egawa负责审阅这封信。（通讯作者:陈凯文。)

作者来自香港科技大学电子与计算机工程系（电子邮件:eekjchen@ust.hk）。

这封信中一个或多个图形的彩色版本可在线获取[http://ieeexplore.ieee.org。](http://ieeexplore.ieee.org/)

数字对象标识符10.1109/led . 59906 . 99999999991

对于大栅极过驱动（VGS *VTH）来完全开启E模式MIS-fet。同时，在负栅极偏压应力下，电子去俘获可能导致负VTH频移【5】，并加剧GaN MIS-fet的错误导通。因此，正/负偏置温度不稳定性（PBTI/NBTI）是GaN MIS-fet的重要稳定性/可靠性问题【6】–【8】，这些问题通常源于界面/边界陷阱态。得益于可靠的栅极电介质和降低的界面/边界陷阱密度，LPCVD-SiNx MIS-FET获得了较小的BTI【4】。尽管BTI和TDDB问题已得到深入研究，但在GaN MIS-FET中，具有大的负栅极-漏极电压VGD（在本研究中定义为反向偏置）的关断状态高漏极偏置应力下的VTH稳定性仍然很少得到研究。在反向偏压应力下，栅极边缘附近的电位分布与NBTI应力下的电位分布相似，因为栅极长度相对较长【9】，但由于漏极偏压较大，耗尽区进一步向漏极端子延伸。即使在关断状态下，非零泄漏电流也表明在栅极-漏极区域中会产生热电子（尽管数量很少），并诱发碰撞电离，从而产生电子空穴。在电场的影响下，空穴会向栅极和源极移动。由于关态沟道中没有电子，空穴可能会在沟道中存活并积累很长一段时间【10】。GaN MIS-fet栅极下方这些空穴的影响如下*

对设备的稳定性和可靠性非常重要。

−

在这项工作中，我们研究了在不同栅偏压的反向偏压阶跃应力下全凹陷E型GaN MIS-FET的VTH稳定性。即使当施加相同的VGD时，在应力下更负的栅极偏压也观察到更大的正VTH位移。传递曲线中导通行为的延长也发生在栅极偏压更负的应力期间。提出了空穴诱导退化模型来解释反向偏压应力下负栅偏压加速退化的原因。

1. 反向偏置步进应力测量

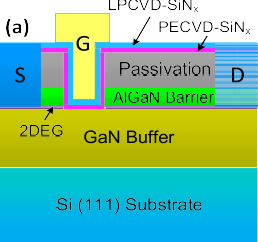
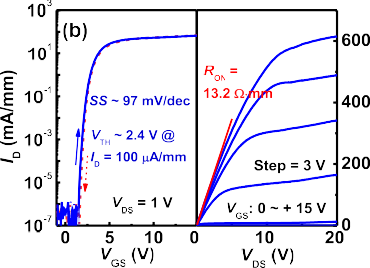
本工作中研究的尺寸为LGS/LG/LGD 2/1.5/15微米的E型金属场效应晶体管采用与【4】中所述相同的工艺制造。图1（a）示出了示意性的器件结构。薄PECVD-SiNx（2nm）夹层用于保护栅极凹槽蚀刻后暴露的GaN表面在高温LPCVD过程中免受降解（例如分解或化学反应）【4】。这

=

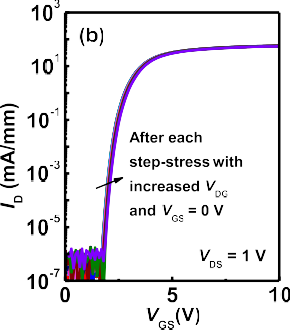
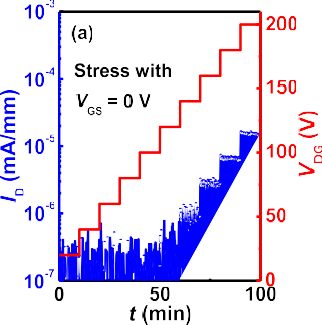
∼

0741-3106 2018 IEEE。个人使用是允许的，但是重新发布/重新分发需要IEEE许可。

看见[http://www . IEEE . org/publications \_ standards/publications/rights/index . html](http://www.ieee.org/publications_standards/publications/rights/index.html)了解更多信息。

图一。（a）具有PECVD-SiNx界面保护层和全凹陷栅极结构的LPCVD-SiNx MIS-FET的横截面示意图。（b）LPCVD-辛克斯MIS-FET的传输和输出特性。



图二。（a）VGS为0 V的反向偏置阶跃应力期间漏极偏置VDS和漏极泄漏ID的波形，（b）阶跃应力期间监控的转移特性。

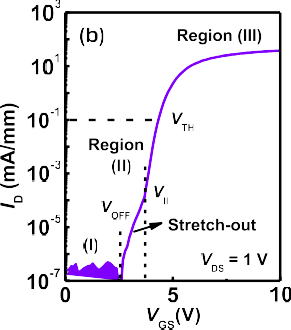
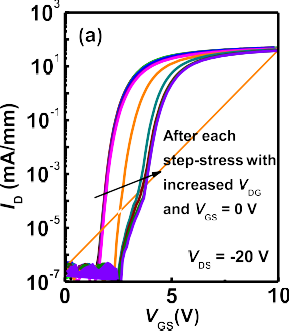
界面保护层被证明是降低界面/边界陷阱密度和提高VTH稳定性所必需的。E模式MIS-FET的正VTH为2.4 V，导通电阻RON为13.2mm（图1（b））。这些器件没有场板，并且在栅极边缘附近的电场强度方面受到苛刻的电应力。

反向偏置阶跃应力是在栅极偏置为0 V且漏极至栅极电压VDG以20 V的步长从20 V扫描至200 V的情况下进行的。每个阶跃应力持续10分钟（图2（a））。在步进应力期间，通过重复中断应力实验以执行ID-VGS测量来监控阈值电压VTH。用VDS测量了传递曲线 1 V和0.7 V/s的扫描速率（图2（b））。阈值电压VTH显示出小的正偏移（VTH《0.14V），并且亚阈值摆幅（SS 97 mV/dec）保持良好。从栅电极到栅电介质的栅极注入【11】和齐纳俘获【7】都可能导致正VTH频移。小VTH表明:1）得益于LPCVD- SiNx中的低体陷阱密度，来自栅电极的弱电子注入；以及2）AlGaN/GaN异质结中的低缺陷密度导致的弱齐纳陷阱。在反向偏压阶跃应力之后，用UV照射（波长为360nm）5分钟可以完全消除VTH位移，这表明在阶跃应力期间产生了可以忽略的新陷阱态。

=

∼

本质上，E-mode GaN器件不需要负栅极偏置来关闭。然而，在一些高功率开关应用中仍然使用负栅极偏置来防止错误导通，并确保安全工作以防止栅极上的电压尖峰。因此，我们还进行了

图3。（a）VGS步进应力期间的传递特性

20 V和VDG从20 V到200 V扫描。（b）伸展

−

=

传递曲线。

反向偏置阶跃应力，20 V的负栅极偏置VGS和20 V至200 V的相同VDG。VTH显示出加重的正偏移。在应力期间还观察到传递曲线的拉长（图3）。正VTH位移比VGS为0 V的阶跃应力期间的位移大得多（图4（a）），尤其是对于高于100 V的VDG。此外，VGS为20 V的阶跃应力下的VTH位移在紫外线照射10分钟后无法恢复。由于栅极注入或齐纳俘获引起的电子俘获可以通过紫外照射完全释放，不可恢复的VTH位移表明在高漏极电压的反向偏压下负栅极偏压触发或明显增强了不同的破坏性退化过程。在相同的VGD下，源极至栅极电压VSG也随着负栅极偏压的增加而增加，但这对于VTH频移的影响并不明显，这可以从【4】中的负栅极偏压应力测试中得到证实。VGS 30 V应力下持续104 s后的VTH偏移比VGS 20 V和VDG》100V的反向偏置应力下的VTH偏移小得多（≈VTH《0.1V）。因此，负栅极偏置加速的VTH偏移不是由于栅极-源极间的电应力增大造成的

−

= −

= −

= −

但是可以源于不同的机制。

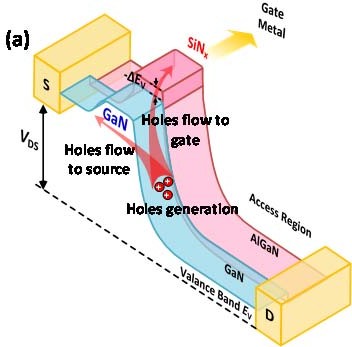
相比之下，静态和动态RON在应力期间仅略有增加，但与应力中使用的VGS无关（图4（b））。静态导通电阻和动态导通电阻采用恒定栅极过驱动（VGS-VTH 8 V）进行测量，以排除VTH漂移对导通电阻的影响。具体而言，动态导通电阻是在VDS关断电压为200 V时测量的，设置与【12】中描述的相同。这表明负VGS引起的退化集中在栅极电介质中，而不是栅极边缘附近的GaN沟道或接入区中。

=

=

1. 机制与讨论

如图4（b）所示，VTH频移对负栅极偏压的强烈依赖性可以用空穴诱导退化模型来解释。在反向偏压应力测试中，由于栅极至漏极边缘形成了高电场，因此碰撞电离【13】或带间隧道效应（或带隙状态下的齐纳陷阱）【7】会产生空穴。产生的空穴将按照电势分布流向源极和栅极【10】。一个更消极的



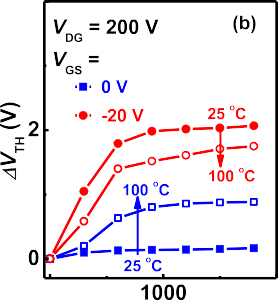
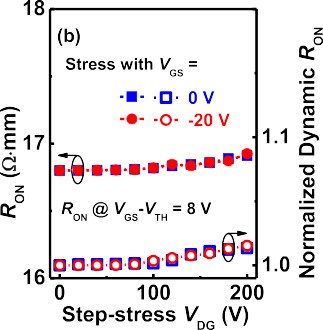


图4。（a）VTH频移和（b）VGS = 0V和20 V时反向偏置阶跃应力期间的导通电阻和归一化动态导通电阻下降

栅极偏置时，空穴向栅极侧的流动增强。穿过栅极电介质的空穴可能导致在栅极电介质中产生新的缺陷（图5（a）），其机制类似于主导SiNx的时间相关介电击穿（TDDB）的机制。在反向偏压应力下产生的新的陷阱态将在转移曲线测量过程中捕获电子，导致VTH的正位移。由于空穴生成和与VGS相关的空穴传输不仅发生在LPCVD-辛克斯金属氧化物半导体场效应晶体管中，在具有其他栅极电介质的金属氧化物半导体场效应晶体管中的反向偏压应力期间，也可以观察到类似的与VGS相关的VTH频移，尽管空穴传输机制会随着不同的电介质材料而变化。

为了揭示温度依赖性，反向偏压应力（VDG 200 V，VGS 0 V和20 V）分别在25℃和100℃下进行。如图5（b）所示，在较高温度下，VGS 0 V的VTH频移增加，这可能是由于启动碰撞电离过程的源极到漏极泄漏增大。另一方面，在较高的温度下，VGS 20 V的VTH位移减小，表明碰撞电离减弱。在阶跃应力测试中，在大范围的负漏极偏压下不存在负VTH偏移，这表明栅极电介质中的弱空穴捕获【14】和低密度界面/边界陷阱倾向于缓慢发射捕获的电子，从而导致负VTH偏移。在VGD相同的情况下，由于沟道相对较长，漏极侧的电场相同，表明漏极侧的空穴生成过程相似。因此，在更负的VGS下增强的空穴流向栅极是大幅度降低的主要原因

=

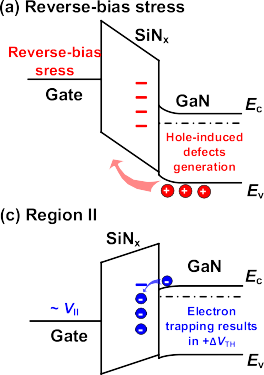
= −

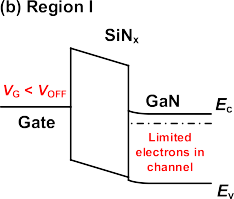
= = −

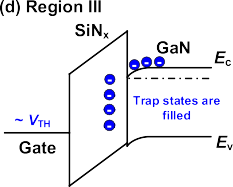
VTH频移增加。

传递曲线的拉长可以用图6所示的详细俘获过程来解释。在具有高漏极偏压的反向偏压应力下，在栅极电介质中产生陷阱态（图6（a））。然后，器件从关态应力切换到开态转移特性测量。在区域I中（VG《VOFF）（图6（b）），在沟道中有有限的电子被栅极区域中的陷阱态捕获。随着栅极偏压的增加，陷阱态被拉低至费米能级，电子开始在栅极电介质/GaN界面处积累并填充陷阱态（图6（c））。在该栅极偏置区域中，随着VGS增加，VTH保持正向移动，导致转移曲线拉长，如图3（b）所示。陷阱

图5。（a）沿通道的横向带状示意图，用于说明

空穴加速退化模型。（b）在25°C和100°C的反向偏置应力下，VGS分别为0 V和20 V时，VTH偏移。



图6。垂直于MIS gate的带状示意图，用于说明I -V测量期间应力和V偏移期间的空穴诱发缺陷。

状态具有大的俘获和发射时间常数，表明新产生的陷阱位于栅极电介质内部，而不是在SiNx/GaN界面。然后，在所有陷阱状态被填充之后（图6（d）），转移曲线的斜率变得与应力之前的斜率相同。在VDG》160V的应力期间，VTH的正移减慢。它表示饱和陷阱生成过程，或者新生成的陷阱态离SiNx/GaN界面较远，无法通过传输曲线测量检测到。仍然需要进一步的调查来确定VTH漂移减缓的确切原因。为了获得良好的栅极可靠性，建议在应用中将截止状态栅极偏置限制在较窄的范围内。较小的负栅极偏压将导致电介质中能量较小的空穴并抑制缺陷产生，这导致较好的VTH稳定性。

1. 结论

在E模式LPCVD-SiNx/PECVD-SiNx/GaN MIS-fet中，在具有不同栅极偏压的反向偏压阶跃应力下表征阈值电压稳定性。在相同VGD的反向偏压下，更多的负VGS将导致更大的VTH偏移。这是由于在较大的负VGS下增强的空穴传输通过栅极电介质，这可能导致在栅极电介质中产生新的缺陷以及在正VGS下产生更多的电子陷阱。因此，如果采用E-mode GaN MIS-fet，则优选将负栅极偏压限制在合适的范围内，以在高功率开关应用中获得稳定的VTH。

参考

1. T.Oka和T. Nozawa，“用于电力电子应用的具有高阈值电压常关操作的AlGaN/GaN嵌入式MIS-gate HFET”，IEEE电子器件列特。，第29卷第7期，第668-670页，2008年7月，doi:[10.1109/LED](http://dx.doi.org/10.1109/LED.2008.2000607)
2. K.J. Chen等，“GaN-on-Si功率技术:器件和应用”，IEEE Trans。电子器件，第64卷第3期，第779-795页，2017年3月，doi:[10.1109/ted . 2017 . 265776525767](http://dx.doi.org/10.1109/TED.2017.2657579)
3. Z.张等，“使用Si3N4作为栅介质和钝化层的高压GaN-on-Si MIS-HEMT的研究”，IEEE Trans。电子器件，第63卷第2期，第731–738页，2016年2月，doi:[10.1109/ted . 2015 . 255125525326](http://dx.doi.org/10.1109/TED.2015.2510445)
4. 米（meter的缩写））华等人，《SiNx栅介质与凹栅E型GaN MIS-fet的集成:高性能、高稳定性和长TDDB寿命》，载于理工大学。挖吧。，2016年12月，第10 . 4 . 1-10 . 4 . 4页，doi:[10.1109/IEDM](http://dx.doi.org/10.1109/IEDM.2016.7838388)
5. 米（meter的缩写））Meneghini等人，“GaN-on-Si功率HEMTs中负偏压引起的阈值电压不稳定性”，IEEE电子器件列特。，第37卷第4期，第474-477页，2016年4月。
6. F.Sang等人，“采用不同栅极凹陷技术的常关GaN MOSFET中由界面陷阱引起的时间相关阈值电压漂移”，应用物理实验。，第9卷，第9期，第091001页，2016年，doi:[10.7567/APEX](http://dx.doi.org/10.7567/APEX.9.091001)
7. A.郭和J. A. del Alamo，“GaN MOSFETs的负偏压温度不稳定性”，载于Proc。IEEE Int。Rel。物理症状。（IRPS），2016年4月，4A-1-1–4A-1-6，doi:[10.1109/irps . 2016 . 155752952526](http://dx.doi.org/10.1109/IRPS.2016.7574526)
8. T.-L. Wu等人，“理解全凹栅GaN MISFETs中的正偏置温度不稳定性”，IEEE Trans。电子器件，第63卷第5期，第1853–1860页，2016年5月，doi:[10.1109/ted . 2016 . 299599599996](http://dx.doi.org/10.1109/TED.2016.2539341)
9. 米（meter的缩写））华等，“无空穴势垒E型SiNx/GaN MIS-fet的反向偏置稳定性和可靠性”，载于理工大学。挖吧。，2017年12月，第33 . 2 . 1–33 . 2 . 4页。
10. 南R. Bahl、M. Van Hove、X. Kang、D. Marcon、M. Zahid和S. Decoutere，“AlGaN/GaN绝缘栅HEMTs中新的源极侧击穿机制”，载于Proc。第25国际。症状。功率半导体。器件集成电路（ISPSD），2013年5月，第419–422页，doi:[10.1109/ispsd . 19913 . 199999999915](http://dx.doi.org/10.1109/ISPSD.2013.6694434)
11. 米（meter的缩写））ta pajna等人，“栅极电介质中的体和界面俘获

GaN基金属氧化物半导体高电子迁移率晶体管，”列特应用物理杂志。，第102卷，第24期，第243509页，2013年，doi:[10.1063/1.4811754.](http://dx.doi.org/10.1063/1.4811754)

1. Z.唐，黄，江，刘，刘，陈国军，“高电压（600）低泄漏低电流崩溃AlGaN/GaN HEMT与AlN/SiNx钝化”，IEEE电子器件。，第34卷，第3期，第366-368页，2013年3月，doi:[10.1109/led . 2012 . 222329525326](http://dx.doi.org/10.1109/LED.2012.2236638)
2. G.Meneghesso等人，“GaN高电子迁移率晶体管的可靠性:技术水平和前景”，IEEE Trans。设备Mater。Rel。，第8卷第2期，第332-343页，2008年6月。
3. X.Kang等人，“AhOs/GaN mis fet的器件击穿优化”，载于Proc。IEEE Int。Rel。物理症状。（IRPS），2016年4月，第CD-5-1-CD-5-4页，doi:[10.1109/irps . 2016 . 155775952526](http://dx.doi.org/10.1109/IRPS.2016.7574589)