## 介绍

增强型GaN MIS-FET在反向偏压下阈值电压稳定性与栅偏压的关系

器件：GaN功率器件

栅极介质的不同：MIS-FET（I=绝缘体），

SiN= 10^15-10^16Ω.cm，绝缘陶瓷

高温掺杂，增强器件使用寿命

## 器件

1左图：

硅衬底异质生长GaN，成本

plasma-enhanced chemical vapor deposition (PECVD)

low-pressure chemical vapor deposition (LPCVD)

PECVD是为了在高温下LPCVD的器件更好的保护，提升质量

1右图：

参数提取，转移特性和输出特性曲线

2左图：宏观压力施加

VDG以10min为周期，每周期增长20V，从20V增长到200V，ID在VDG大于120V时也随着VDG稳定指数型增长（纵坐标是对数坐标）

2右图：微观测量转移特性曲线

在每次10min的压力过后，立即测量转移特性曲线

VTH出现小幅度的偏移，可能原因有：

1栅极绝缘体出现电荷泄露，这是由于衬底-栅极仍然存在少量的界面态（trap state）密度，部分栅压被这个界面态屏蔽，充放电了

2在AlGaN-GaN界面也存在齐纳陷阱

验证：UV光照射5min，VTH的偏移被消除

3左图：

再用VDS=-20V的情况，发现在这种偏压下，VTH发生明显偏移，不能被UV消除

因此排除界面态带来的干扰

3右图：

这是一个转移曲线，我们学过三个区

4图：

作图显示0V和-20V，VTH的转变不一样，但是右边发现RON却没有改变

RON关系到沟道，所以VTH转变和沟道无关

UV照射不能恢复，排除界面态带来的干扰

因此是栅极绝缘层有问题

5左图：

论文的理论解释模型：空穴参与的退化模型

首先，VGD的负压很大，这使得可以通过类似碰撞电离或者齐纳击穿的模式产生空穴流

然后，因为这个负压很大，这个空穴流会从漏极D向栅极G流动，且能量较高

然后，能量较高的空穴撞击到栅极形成陷阱态（表面态）

然后，表面态会俘获电子

最后，多余的电子会造成VTH的正向偏移

5右图：

对这个理论的进行实验验证

首先对比相同温度下的不同VGS偏压的VTH偏移随时间的变化曲线。

VGS=-20V的VTH正偏移比VGS=0V时候更大，用模型解释，就是VGS负压时候，VGS和VGD同时处于反偏状态，电场线更加垂直于栅极面，空穴打进去栅极的绝缘层形成陷阱态，VGS=0时，电场直接平行于栅极，打到栅极的空穴极少。

然后对比同一偏压下的不同温度，0V的VTH正偏移继续提升，温度提升，粒子动能提升，碰撞电离提升，更多空穴，更多陷阱态更多电子俘获，-20V的VTH正偏移降低了，这是因为温度升高，陷阱态已经足够多了，但是电子动能增大，电子更容易脱离陷阱态的束缚，所以VTH正偏移反而减少

6图a

长期的高反偏压关断状态，发生上述模型的事情

6图b

开关打开，在沟道中有有限的电子被栅极区域中的陷阱态捕获。

6图c

随着栅极偏压的增加，陷阱态被拉低至费米能级，电子开始在栅极电介质/GaN界面处积累并填充陷阱态。在该栅极偏置区域中，随着VGS增加，VTH保持正向移动，导致转移曲线拉长

6图d

所有陷阱状态被填充之后，转移曲线的斜率变得与应力之前的斜率相同。

而且，通过测量，电子被填充和释放陷阱态的时间常数较大，也就是速度较慢，说明陷阱态不存在表面，而是在栅极的绝缘层内部分布

结论

发现在增强型MISFET，在长时间高负偏压VGS的VTH会发生偏移，VGS负偏压越大，VTH越大

提出了一种空穴参与的退化模型来解释这种现象

在实际运用例如MISFET这类的功率开关器件的时候，关断所施加的负偏压VGS不宜太大，应当保持在一个合适的范围来获得一个稳定的VTH