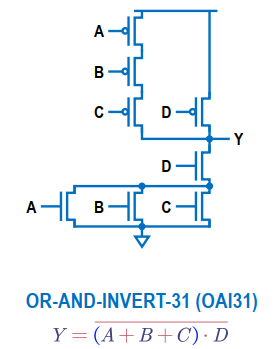
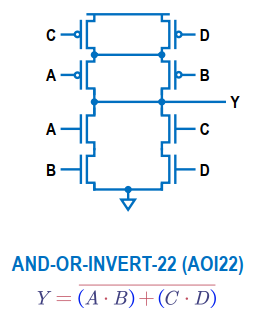
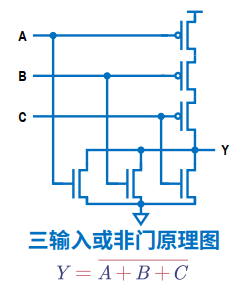
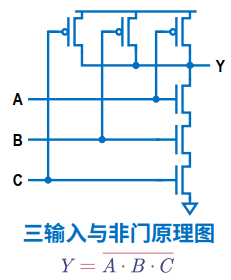
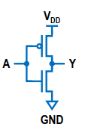
**chapter1引论**

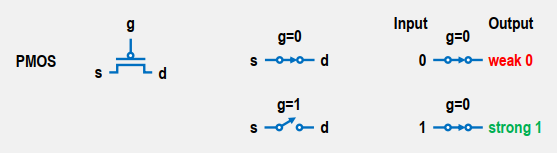
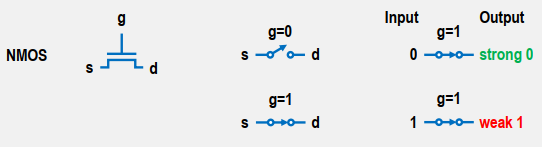
**集成电路简史** 晶体管(John Bardeen,Walter Brattain,William Shockley,1947,点接触锗晶体管),集成电路(Jack Kilby,Ti,958),平面晶体管(Jean Hoerni,Fairchild,1959),单片集成电路(Robert Noyce,Fairchild,1961),大容量MOS存储器(Intel 1101,1969),微处理器(Intel 4004,1971,108-740kHz,12um),先进微处理器(Intel Core i9-9900,2019,3.10GHz,14nm)

**摩尔定律** 集成电路上可以容纳的晶体管数目在大约每经过18个月到24个月便会增加一倍。换言之，处理器的性能大约每两年翻一倍，同时价格下降为之前的一半。

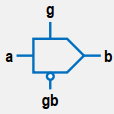
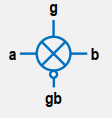
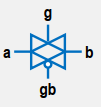
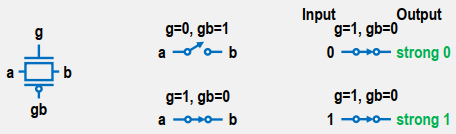
**组合逻辑门**



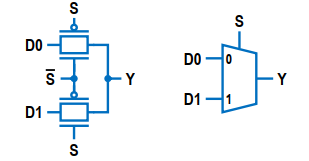
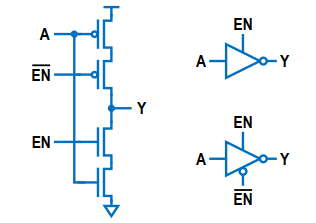
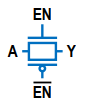
**传输管**weak1=VG-VT weak=VT



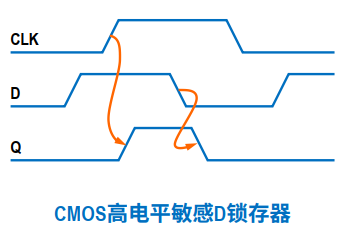
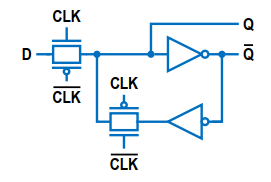
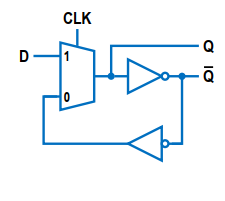
**传输门**



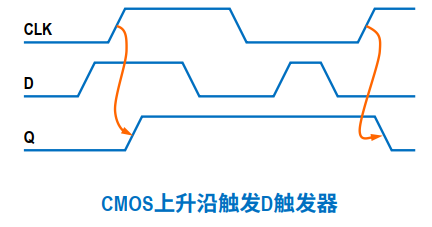
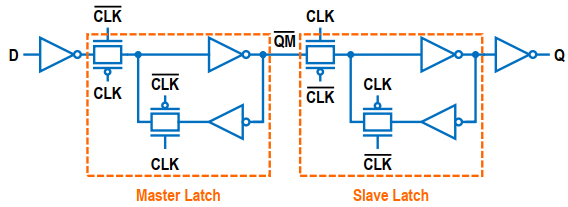
**三态门与多路开关** 三态门 三态反相器 多路开关



**锁存器**



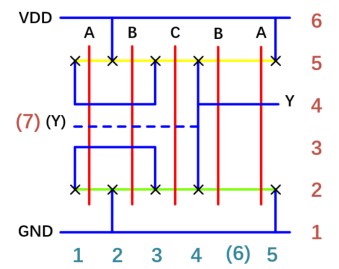
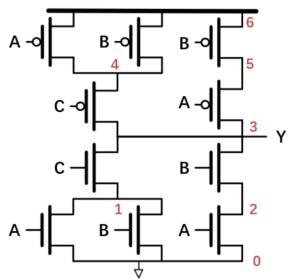
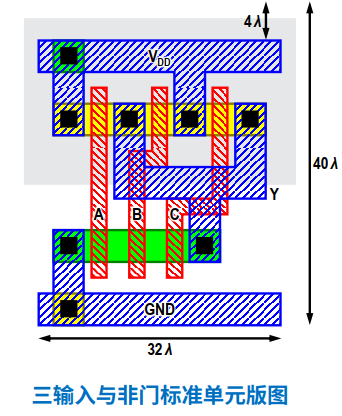
**触发器**



**版图** 集成电路各层组成部分的平面几何形状描述

**微米设计规则** 以微米为单位规定的设计规则，可以带来集成密度的优势，难以从一种工艺转向更先进的工艺或不同代工厂

**设计规则** 是最小沟道长度(特征尺寸)的一半，设计中所有尺寸都向上舍入为的整数倍，比较简单和易于按比例缩小，但牺牲了集成密度。金属扩散区线宽=4，线距=4or3，栅宽=2，pn阱=12，金属接触2\*2外包1圈，棒图：一个金属通道=8λ一个track=64



三输入与非门 [(A+B)C+AB]’  7\*6\*64=2688

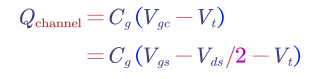
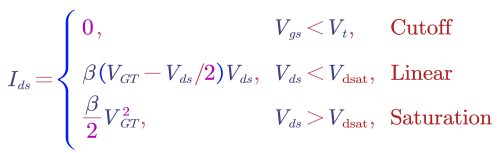
**设计抽象** 体系结构设计（系统功能）、微结构设计（体系结构如何划分寄存器和功能部件）、逻辑设计（如何构成功能部件）、电路设计（如何用晶体管实现逻辑）、物理设计（芯片版图） **结构化设计** 层次化、规整化、模块化、局域化

**功能仿真** 结构级模型仿真、逻辑级HDL代码仿真、门级网表仿真、晶体管级网表仿真

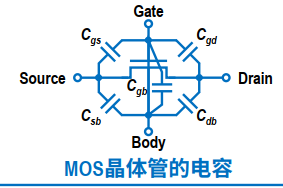
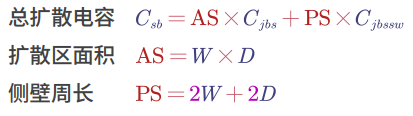
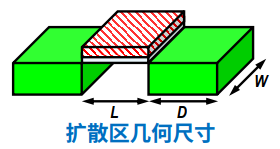
**形式验证** 逻辑等效性检查（LEC） **物理验证** 设计规则检查（DRC）、电气规则检查（ERC）、版图原理图对比（LVS）、版图寄生参数抽取（LPE）

**chapter2 MOS晶体管原理**

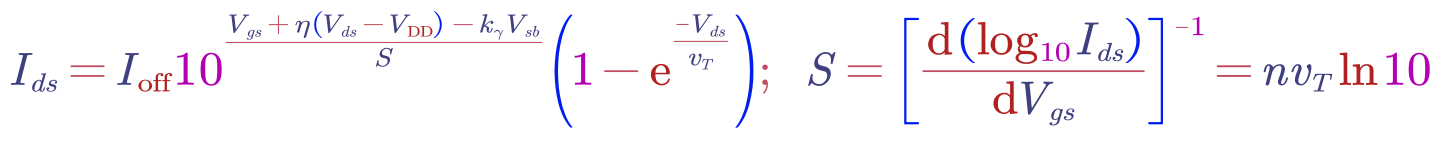
**长沟道模型**



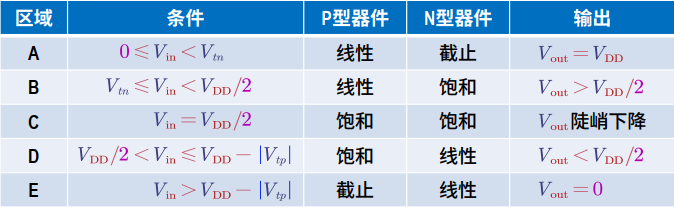
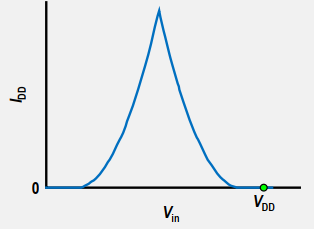
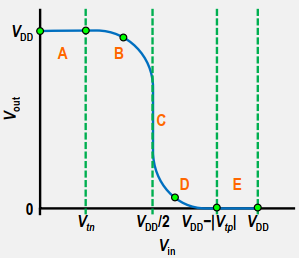
**MOS电容**



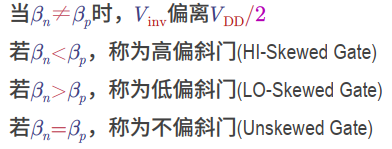
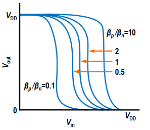
**亚阈值泄露** 载流子热致发射越过由阈值决定的势垒而引起，电流不会在阈值下立即截止而是以指数规律下降



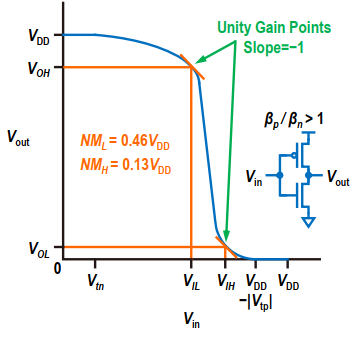
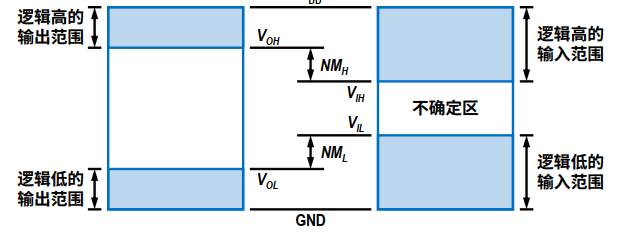
**静态CMOS反相器的直流传输特性**



**偏斜门**

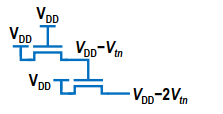
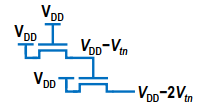
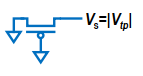
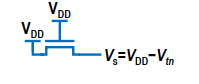


**噪声容限** 逻辑门输出正确的情况下，输入端允许出现的最大噪声电压。



若有一种状态下噪声较大，可以设计为偏斜门，但会牺牲另一种状态的噪声容限

**传输管的直流特性**

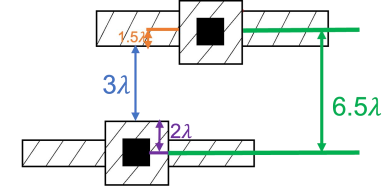
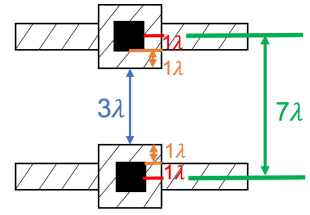


**chapter3 CMOS制造工艺**

**版图的构成** 集成电路各层组成部分的平面几何形状描述，由不同层的图形要素组成，路径、矩形、多边形、文字等，版图层用于制造掩模或其他设计用途，版图的图形必须符合一定设计规则

版图常用数据格式 GDSII OASIS CIF DEF LEF EDIF

**设计规则** 集成电路制造所需要掩模的设计制备说明和规定，以特征尺寸、间距、覆盖、延伸等定义，目的是为了在尽可能小的面积上构建能够可靠工作的电路，代表了性能和成品率之间的一种折中



**阱规则** N阱和相邻N型有源区需要保持足够的外间距/N阱和内部的P型有源区需要保持足够的内间距/双阱工艺中，通常只定义N阱的版图，P阱默认为N阱的逻辑非

**晶体管规则** 有源区 (Active Area, AA; Oxide Diffusion, OD)、有源区类型选择 (N-Select/P-Select; NIMP/PIMP; NPLUS/PPLUS; NP/PP)、多晶硅 (Polysilicon, PO; Gate, GT)、源漏区由有源区和类型选择层定义，或由NDIFF/PDIFF等直接定义、栅极由多晶硅和有源区的“逻辑与”定义、N阱连接点由N阱内的N型有源区定义， P阱连接点由P阱内的P型有源区定义、多晶硅需要延伸到有源区之外一定距离，确保源漏区不会短路、有源区需要延伸到多晶硅之外一定距离，确保源漏区的存在、不组成晶体管的多晶硅和有源区需要分开足够的间距

**接触规则** 金属−有源区、金属−多晶硅、金属−阱/衬底、金属与轻掺杂阱/衬底之间的连接很差，需要在接触下方放置重掺杂有源区、接触通常具有相同的固定尺寸

**金属规则** 金属厚度越大，宽度和间距规则越大、金属宽度越大，间距规则可能随之增加、金属有限制最大宽度的规则、金属对接触的覆盖规则可能为零或不为零

**通孔规则** 同一层的通孔通常具有相同的固定尺寸、金属厚度越大，通孔尺寸规则也越大、平坦化工艺允许叠层通孔

**钝化层规则** 在焊盘(Pad)处需要在钝化层有尺寸合适的开口

**附加规则** 多晶硅或金属线超出接触或通孔的延伸、器件长度不同时多晶硅延伸也不同、特征结构的最大宽度和最小面积、凹槽(Notch)的最小尺寸

**划片槽 (Scribe Line)**：把晶圆切割成芯片的位置 、

**密封环 (Seal Ring)**：芯片与划片槽之间由有源区、接触、金属、通孔、钝化层等按照特定规则叠加组成的保护环、在晶圆切割及芯片使用过程中，保护芯片四周免受机械、静电、电磁干扰、湿气、污染物等的影响和侵入

可制造性设计Design for Manufacturability, DFM在设计流程早期预估工艺效应和偏差，并进行修正，以提高良品率

**chapter4延时**

**传播延时** 输入越过50%到输出越过50%的最长时间

**污染延时** 输入越过50%到输出越过50%的最短时间

**上升时间** 从稳态值20%上升至80%所需时间

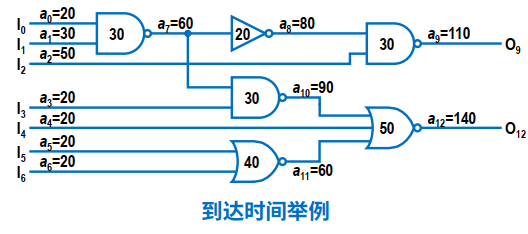
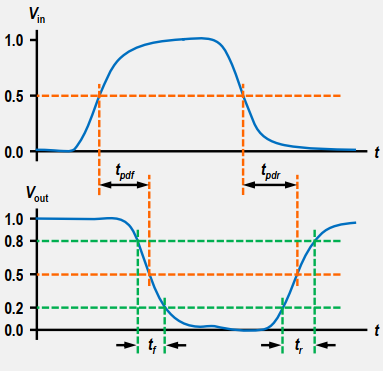
**下降时间** 从稳态值80%下降至20%所需时间

**边沿速率** 上升时间和下降时间的平均值=

**驱动器** 对一个节点充电或放电的门 负载 被驱动的门和导线

**到达时间(Arrival Time)** 逻辑块中各节点翻转的最迟时间，可分为输入/输出/内部节点

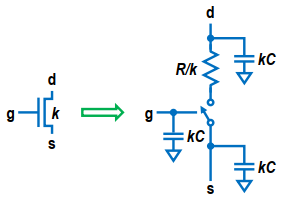
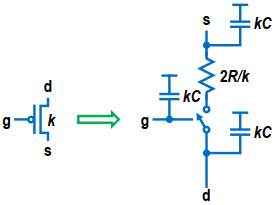
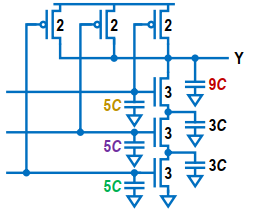
**剩余时间(Slack)**要求到达时间与实际到达时间之差

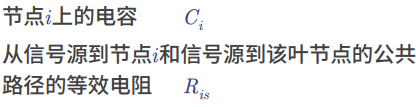
**关键路径** 限制系统工作速度的逻辑路径

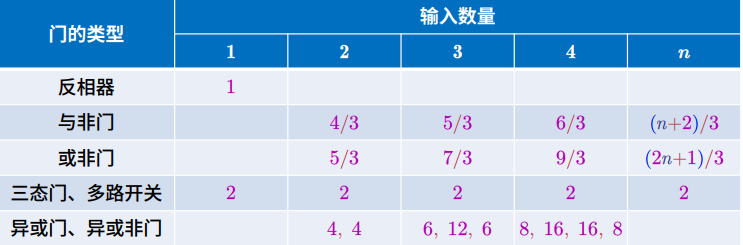
**逻辑优化层次** 结构/微结构级（流水线级数、执行单元数量、存储器大小）、逻辑级（功能块类型、时钟周期内的逻辑门级数、门的扇入扇出）、电路级（晶体管尺寸、CMOS逻辑类型）版图级（平面规划、导线长度、寄生电容） 高层次影响大

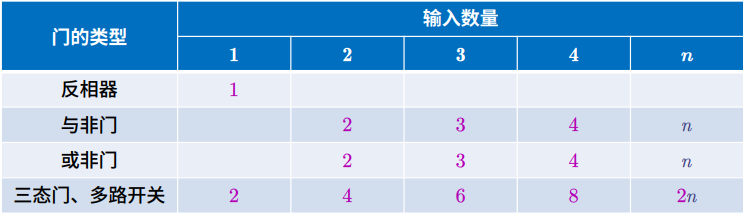
**RC延时模型**

**Elmore延时**





计算Cin别忘了不在路径的支路电容Cout！

逻辑努力 逻辑门的输入电容与能够提供相同输出电流的反相器的输入电容之比

寄生延时 逻辑门驱动零负载时的延时

延时=d, 寄生延时=p, 单级努力=f

扇出(电气努力)(FO)=h,逻辑=g

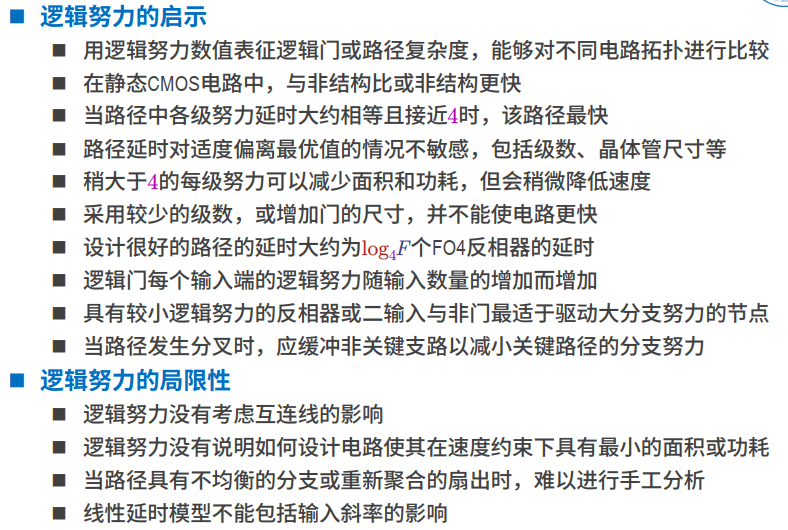
输出的电阻\*电容（输出端晶体管的宽度之和）/标准反相器的

输入电容输出电阻/标准反相器的

负载电容/输入电容(栅极)

下降最坏：下拉所有电容,上升最坏：下拉除尾电容，上拉一个电阻

下降最好：下拉无电容,上升最好：上拉所有并联电阻



**chapter5功耗**

**瞬时功率** 电路原件消耗或提供的瞬时功率定义为电流电压乘积

**能量** 在某一时间间隔T内消耗或提供的能力是瞬时功率的积分

**平均功率** 时间T内对瞬时功率积分，再除T

**电容的能量**

**反相器输入1到0** 对电容充电，电源提供能量为

**反相器输入0到1** 电容放电，电源不提供能量

动态功耗=动态+静态，动态=翻转功耗+短路电流

静态功耗=亚阈值泄漏+栅泄漏(I\_gate)+结泄漏+有比电路中的竞争

**亚阈值电流**

**动态功耗** 翻转功耗+短路电流功耗

**翻转功耗** 叫做活动因子，时钟的活动因子为1 静态约为0.1节点的电容是栅电容、扩散电容、连线电容之和，等效电容还需乘活动因子

**活动因子**

**短路功耗** 晶体管翻转过程中，上拉网络和下拉网络同时部分导通造成的短路电流功耗，大约是翻转功耗的10%

**动态功耗的优化方法** 选择能满足目标性能的最低工作频率、选择能支持目标工作频率的最低电源电压、通过使不需要工作的模块进入休眠状态来减小活动因子、通过优化电路减小每一部分的总负载电容

**时钟门控的作用** 将时钟信号与使能信号相“与”来关断闲置电路模块的时钟，能有效降低活动因子和节点电容,**时钟门控降低α，α=0.1，延时加x%，压降x%VDD**

**翻转概率** 令为节点i处于逻辑1的概率，则

**翻转电容** 来自电路中连线和晶体管，良好的平面规划和布局能降低连线电容，选择较少的逻辑级数和较小的晶体管可以降低器件电容

**晶体管尺寸选择** 非关键路径上最小尺寸、缩小具有较大活动因子或较大尺寸的门、采用反相器或缓冲器驱动长连线，而不采用具有较高逻辑努力的复杂门、采用较大的每级努力，仅比最小延迟稍微增加，就可以显著减小晶体管尺寸节省能量

**电压和频率选择** 每个电路模块都允许在满足性能需求的最低电压和最低频率

**DVS DVFS UDVS** 动态电压调整 动态电压/频率调整 超动态电压调整

**静态功耗** 亚阈值泄露电流+栅泄露电流（栅极电容）+结泄露电流（源漏与衬底构成反偏二极管）+有比电路中的竞争电流的功耗，约占总功耗的1/3

**堆叠效应** 串联截止晶体管的亚阈值泄露电流显著降低，两个能使降低至1/10

**栅泄露** 电压应用于栅极时载流子隧穿薄栅介质引起，PMOS比NMOS低很多忽略不计

**结泄露** 源漏扩散区与衬底不同单位时发生，通常很小

**电源门控** 关断休眠模块的电容，由虚拟电源供电，输出门控以免无效电平传至下游电路 细粒度指对单个逻辑门进行电源门控 粗粒度指整个模块共享一个 开关管要足够大来缩小延时 只有电路休眠时间足够长这个方案才比较有效

**泄露与延时的权衡** 休眠模式低泄露 工作模式低延时

**降低泄露的方法** 多阈值电压、堆叠效应、可变阈值电压

**微结构** 处理器（多内核）、存储器（大存储器进行任务加速）、专用功能单元

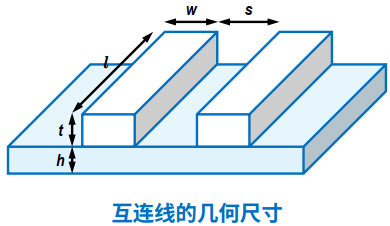
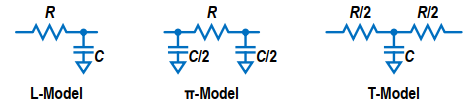
**最小小能耗−延时积**

最小值：

**chapter6 互连线**

**互连线** 将晶体管连接在一起的导线 影响：速度（互连线延时）、翻转功耗、噪声

**几何参数** 宽度w，长度l，厚度t，相邻导线距离s，电介质高度h，节距w+s，高宽比AR t/w

**电阻计算** **薄层电阻**=

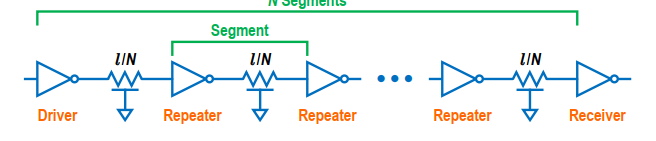
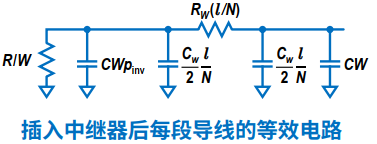
**互连线对延时的影响** 连线电容增加门的负载，长连线具有较大电阻，影响分布RC延时或飞行时间，对于pi模型，无论采用多少段，其Elmore延时都是RC/2

**串扰** 电容不能瞬时改变其两端电压，导致导线A翻转时通过电容耦合使与之相邻的导线B和它一起翻转，若此时B也翻转，串扰会增加或减小B的翻转延时，若B不翻转则会引起噪声。串扰对长导线影响很大。

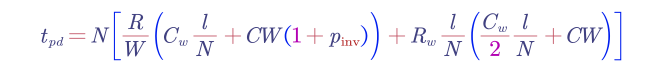
**串扰控制方法** 增大与相邻导线间距、屏蔽导线、确保相邻导线在不同时间翻转、抵消串扰（交错排列中继器、电荷补偿技术、双绞线差分信号传输）

延时估算方法：Elmore延时、渐进波形估计（AWE）、Arnoldi算法

**中继器设计**

插入W倍单位尺寸的中继器导线的Elmore延时

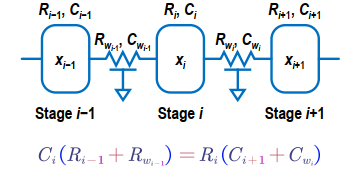
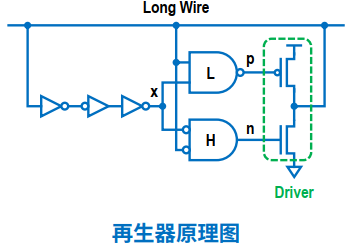
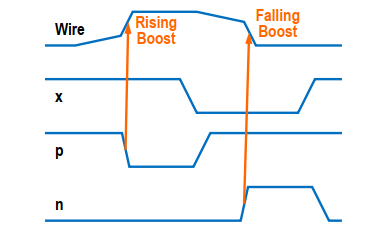


导线最优长度 反向中继器中NMOS管的宽度 单位长度延时

单位长度导线能耗

**缓冲中继器** 使用一堆反相器来避免信号极性问题，前级尺寸，后级，当时，

**再生器** 反相器与导线并联

**chapter7 鲁棒性**

**反相器震荡环** 反相器频率=1/Nd

**偏差的影响因素** 工艺偏差（Process）电源电压（Voltage）工作温度（Temperature）

**偏差建模** 电源电压可以用均匀分布 工艺偏差用正态分布

**电源电压偏差** 电源电压随时间和空间而变化，额定值10%以内,衰减：

**温度偏差** 晶体管结温是环境温度和功耗导致温升之和 分布与功耗有关 高电压时，漏极电流随温度上升而减小 低电压时，漏极电流随温度上升而增大

**工艺偏差** 器件和互连线在薄膜厚度、横向尺寸、掺杂浓度方面的偏差；器件偏差（沟道长度、阈值电压）；互连线偏差（线宽和间距、金属和电介质厚度、接触电阻） 分为批次与批次 晶圆与晶圆 管芯与管芯 管芯内部偏差

I.I.D变量x,

**设计角** 工艺和环境偏差极端情况下的仿真模型

**设计角因素** NMOS速度、PMOS速度、电源电压、温度、互连线电阻电容

**电迁移原理** 大电流密度导致金属原子随时间发生迁移，使金属互连线形成空洞而耗损，甚至断开，是流过单向直流电流的导线的主要失效方式。铝导线尤为严重，常采用铝铜合金减轻问题

**电迁移影响因素** 流过直流电流更容易电迁移、发生电迁移时的电流极限值通常表示为最大直流电流密度 平均失效时间

**保护环的作用** 防止闩锁效应，隔离噪声 分为多数载流子保护环和少数载流子保护环

**恒电场缩小** 又叫做登纳德缩小，电压和距离等比例减小时仍保持不变，一般缩小比例因子S=根号2，也成30%缩小 90nm工艺开始，栅泄露电流和存储单元稳定性限制了缩小和降低。

**恒电压缩小** 缩小器件尺寸但不降低电压，电场增加。 严重速度饱和、器件击穿、功耗增加。

**横向缩小** 只缩小栅长，通常采用5%栅缩小提高器件速度

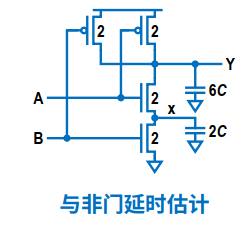
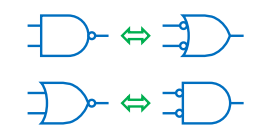
**chapter9 组合电路设计**

**静态CMOS电路的优点** 鲁棒性好、速度快、能量效率高、易于设计；只要逻辑设计和制造过程未出错，对于给定的正确输入总能产生正确输出；绝大数电路采用静态CMOS逻辑

**静态CMOS电路缺点** 每个输入端上同时有NMOS和PMOS，逻辑努力较大，所有节点电压必须在0和之间翻转

**快速电路设计方法** 降低电容、增加电流、减小电压摆幅；逻辑努力正比于C/I；同等尺寸和电容情况下，NMOS管电流更大，很多快速电路力图输入端只驱动NMOS

**DeMorgan定理推气泡**



**输入顺序对延时的影响** A保持1，B从0到1，初始状态时为，需要放电；而如果B保持1，A从0到1，初始状态为0，不需要放电，所以延时不同

**外层输入** 靠近电源轨线的输入，例如B

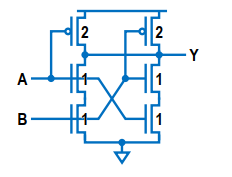
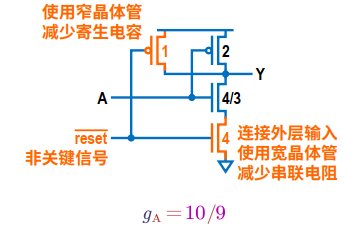
**内层输入** 靠近输出端的输入，例如A，内层输入最后翻转寄生延时最小，若已知某输入最后到达，则次数如连接到内层输入时逻辑门速度最快

INV,Y=A`,gA=1,p=1;AOI21,Y=(AB+C)`,gA=gB=2,gC=5/3,p=7/3;AOI22,Y=(AB+CD)`,gA=gB=gC=gD=2,p=4;ComplexAOI,Y=(A(B+C)+DE)`gA=5/3,gB=gC=gD=gE=8/3,p=16/3;

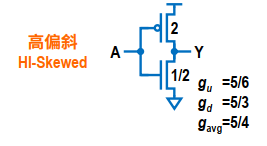
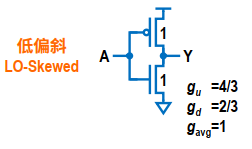
非偏斜门：；偏斜门:上升电阻≠下降电阻，gu≠gd；高偏斜：；低偏斜：；一般单位反相器的；所以

伪NMOS逻辑门：

**不对称门与完全对称门**

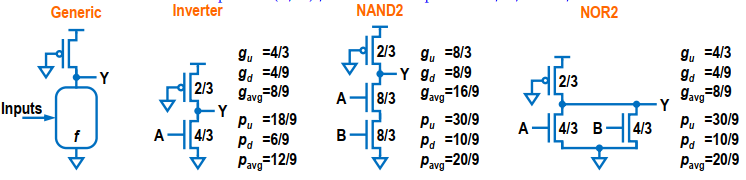


**偏斜门** 上拉电阻小于下拉电阻为高偏斜门，下拉电阻小于上拉电阻为低偏斜门，表示上拉逻辑努力，表示下拉逻辑努力，注意比较时要求与反相器电流相同。

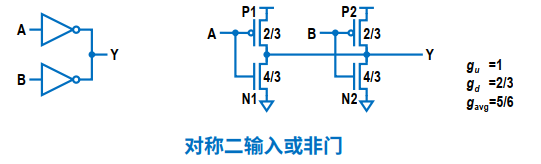


**平均延时最小的P/N比** 等于上升和下降延时相等时的P/N比的平方根

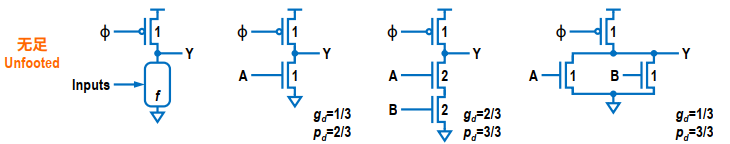
**伪NMOS逻辑门** u和2/3 1/3反相器比 d和2 1反相器比（4/3-1/3=1单位电流）



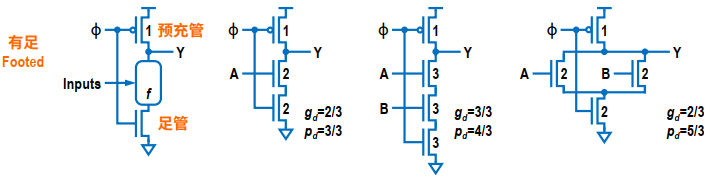
**共输出CMOS电路** 上拉1/3I 下拉4/3I-1/3I=I

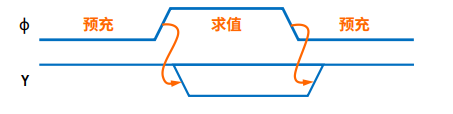


**无足动态门**



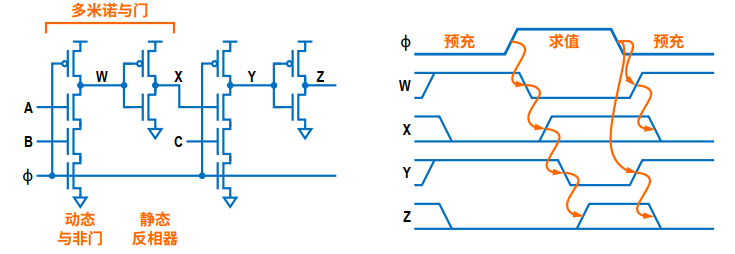
**有足动态门** 若输入不能保证在预充时期使下拉网络截止，则增加足管避免发生竞争

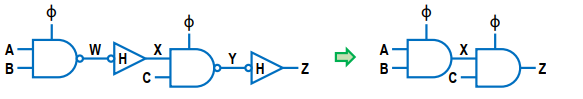




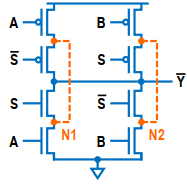
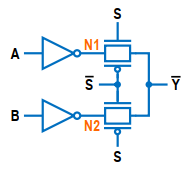
**动态门输入的单调性问题** 动态门输入在求值器件必须单调上升，如果单调下降，输出无法上升，输出不正确，不适合作为下一级动态们的输入

**多米诺逻辑** 动态逻辑门与静态反相器的结合





**含传输门的CMOS电路**



**chapter10 时序电路设计**

**令牌** 时序元件所保持的数据

**静态存储** 时序元件采用某种反馈使输出值永远保持下去

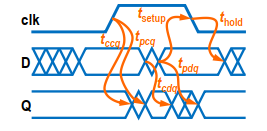
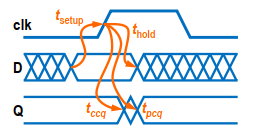
**动态存储** 时序元件的值以电荷保持在电容中，若长时间未刷新会因泄露消失

组合逻辑传播延时 组合逻辑污染延时 锁存器/触发器时钟至输出传播延时

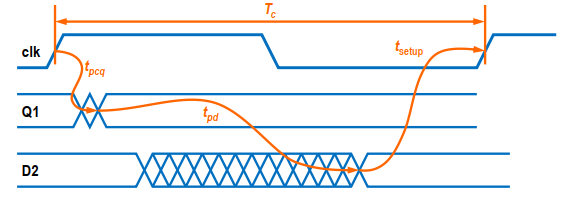
锁存器/触发器时钟至输出污染延时 锁存器输入数据至输出传播延时

锁存器输入数据至输出污染延时 锁存器/触发器建立时间 保持时间

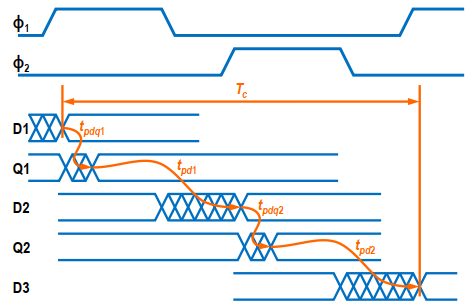
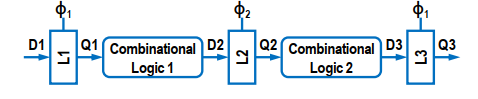
相位不重叠时间，时钟占空比50%则 时钟偏斜



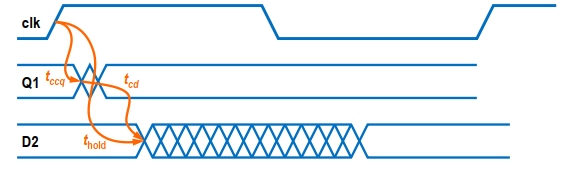
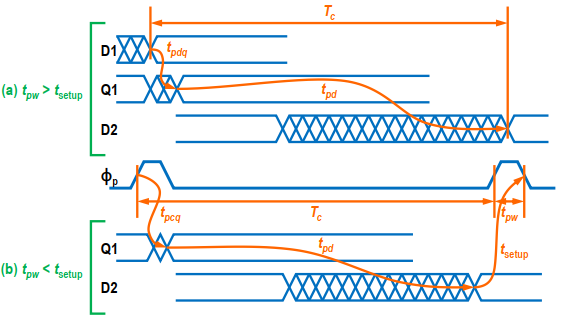
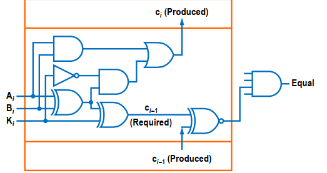
**触发器最大延时约束**



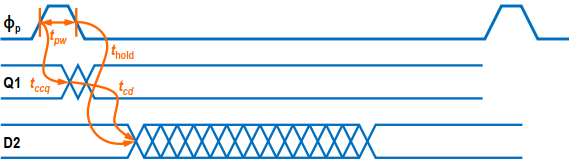
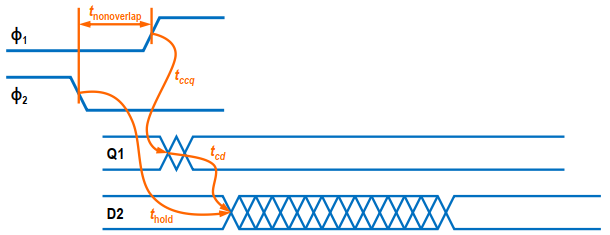
**两相位锁存器最大延时约束**

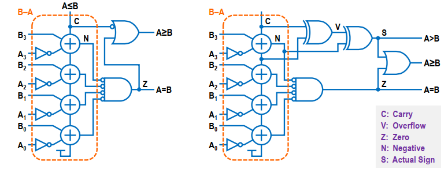
 

**脉冲锁存器最大延时约束** **触发器最小延时约束**



**两相位锁存器最小延时约束** **脉冲寄存器最小延时约束**

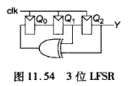


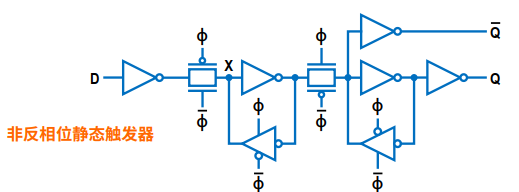
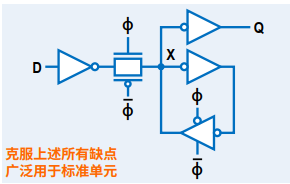
**两相位锁存器时间借用** 可以借用相位1上升沿到下降沿减去一个建立时间的时间

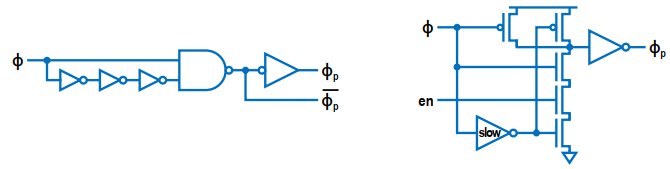
****

**触发器时钟偏斜**

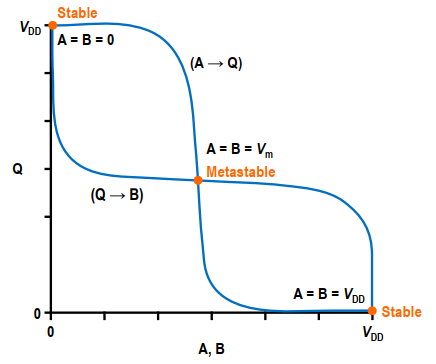
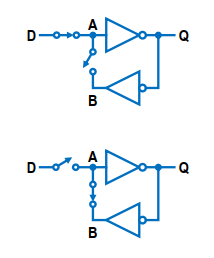
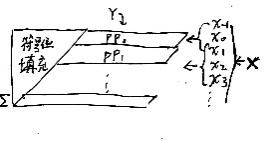
**两相位锁存器时钟偏斜**

**脉冲锁存器时钟偏斜**

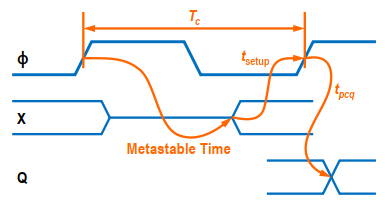
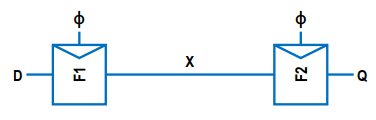




**亚稳态** 若D输入为1/2VDD，即使有反相器反馈，最终Q也会保持在1/2VDD，称为亚稳态



**同步器**

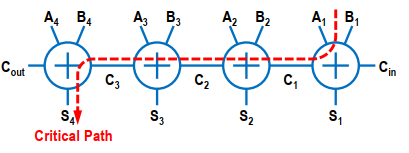
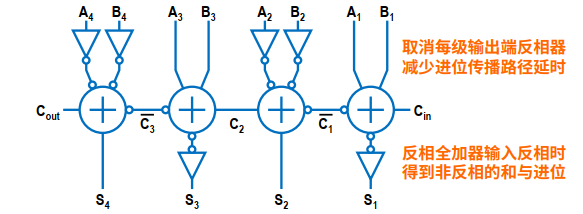
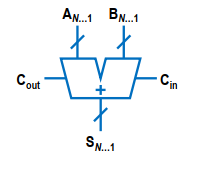


**chapter11数据通路子系统**

**半加器逻辑**

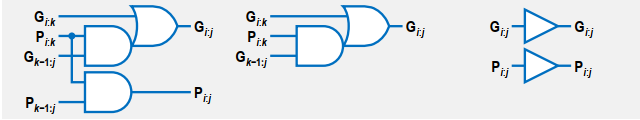
**全加器逻辑**

**CPA进位传播加法器** 每一位的进位输入都可能影响后续高位的进位输入**RCA行波进位加法器**

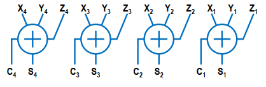
**进位产生和传播逻辑**

n为分组长度 k为分组数量

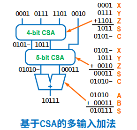


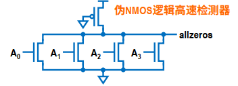
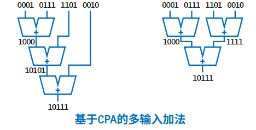
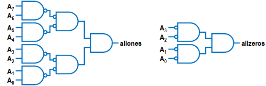
**CPA进位传播加法器的主要类型 RCA串行进位加法器 CKSA进位跳跃加法器 CBA进位旁路加法器 CLA超前进位加法器 CSLA进位选择加法器 CIA进位增量加法器** **COSA条件和加法器**

**PPA 并行前缀加法器** 逻辑级数 最大扇出 布线通道

**CSA 进位保留加法器**

**多输入加法** 基于CPA的多输入加法 基于CSA的多输入加法

**减法器** 加法/减法器

**1/0检测器** 检测是否全1/0

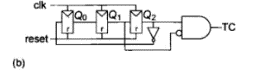
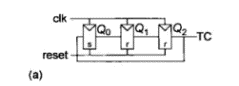
**比较器**

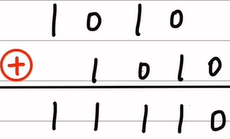
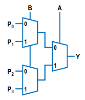
无符号数值比较加法器

有符号数值比较加法器

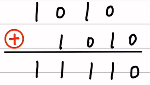
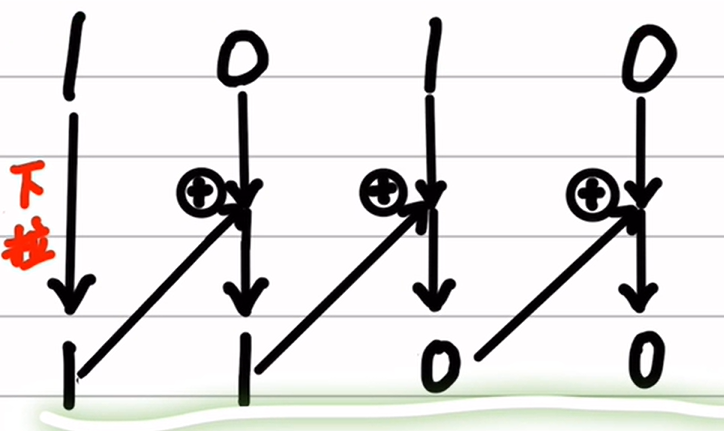
其实就是B-A和全0检测器

**K=A+B比较器**

**计数器** 二进制计数器、线性反馈移位寄存器LFSR

**计数器特点** 可复位、可装载、使能、可逆、重点计数

**布尔逻辑运算** 用选择器实现逻辑运算

**格雷码** 

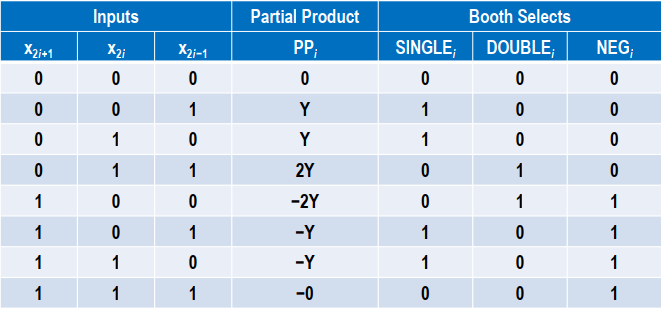
**移位器** 循环移位、逻辑移位、算数移位 阵列移位器、对数移位器、漏斗移位器、桶式移位器

**无符号乘法的基本过程** 1.部分积生成：通过将被乘数乘以乘数的每一位，生成一系列部分积。每个部分积对应于乘数的一个二进制位 2.部分积移位：每个部分积根据它对应的乘数位进行相应的左移操作。左移的位数等于乘数位的位置，从右向左数起，位置从0开始 3.部分积累加：将所有部分积进行累加，得到最终的乘积

**有符号乘法的基本过程** 1.确定符号和绝对值：首先需要确定两个操作数的符号，然后根据它们的符号确定最终结果的符号。然后，取两个操作数的绝对值进行乘法运算。2.使用无符号乘法运算：生成部分积、部分积移位、累加部分积。3.确定最终符号，如果为负需要取补码

**基4Booth编码** 通过将乘数分成多个基4的数码进行处理，每个数码由三个相邻的二进制为组成。通过观察这三个位，可以确定如何生成部分积，具体步骤如下：

1.编码规则 位拓展最低位补0，最高位补两个符号位，分组每次移动2位



2.部分积移位：根据处理的二进制，每个部分积需要相应的左移操作，符号位补满

3.部分积累加：将所有生成的部分积累加，得到最终乘积

举例：A=1101（13）B=（1011）A的补码是0011（符号位为1）

1.对B编码： 0010110 分组：110/101/001（-1，-1，1）

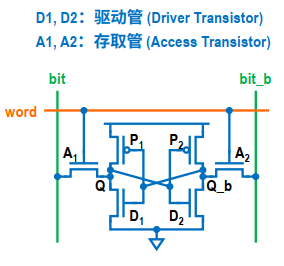
2.-Y 11110011 前四个1是补充的符号位

-Y 110011 前两个1是补充的符号位

+Y 1101

3.结果 10001111(143)

**chapter12阵列子系统**

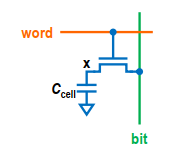
**SRAM的特点** 比触发器的密度更高、与标准CMOS工艺兼容、比DRAM速度快且更易于使用；应用于主存储器、高速缓存、寄存器堆、查找表、便签存储器等；SRAM单元面积较小，连线较短，动态功耗较低，需要较复杂的外围电路进行读写，

**读操作** 先将一对位线预充至高电平并浮空；然后升高字线的电压，其中一条位线被下拉，即读出数据

**写操作** 先将待写入的值及其补值分别驱动到一对位线；然后升高字线的电压

**稳定性约束** 为了保证读稳定性和可写性，晶体管必须满足尺寸比例约束（NMOS下拉管最强，存取管强度中等， PMOS上拉管最弱）；为了使版图密度较高，所有晶体管都必须较小；存储单元必须在工艺、电压、温度偏差范围内都能正确工作

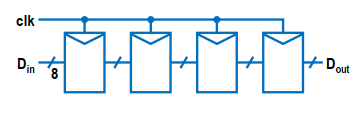
**稳定性的定量表示** 保持余量、读余量、写余量，由静态噪声容限决定

**DRAM的特点** 存储内容作为电荷存储在电容上、基本单元比SRAM小得多、单元必须被周期性读出并刷新，以使其存储内容不会因电荷泄漏而丢失、密度比SRAM更大，等待时间更长

**DRAM工作原理** 写操作通过激活字线使晶体管导通，再通过位线写入相应的电容 读操作通过激活字线使晶体管导通，存储单元的电容通过晶体管将其电荷状态传输到位线。位线上的感应放大器检测到电压变化并放大，确定存储单元的状态。

**ROM的特点** 非挥发存储结构，状态长期保持不变、每存储位可以只由一个晶体管构成

**ROM的种类** 掩模ROM 可编程ROM（PROM一次可编程熔丝、EPROM电可编程紫外线擦除、EEPROM电可擦除，可精确控制被擦除的位、Flash 电可擦除，整块擦除 后三都是浮栅晶体管）

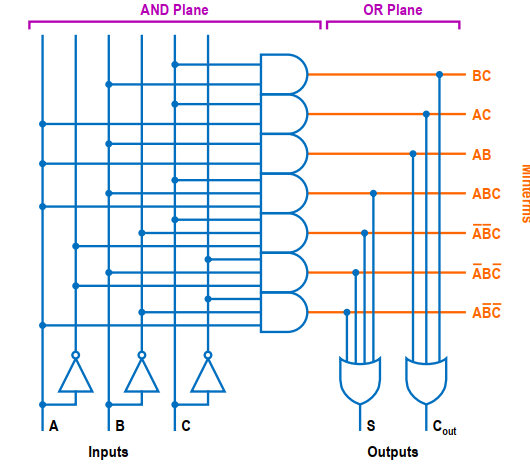
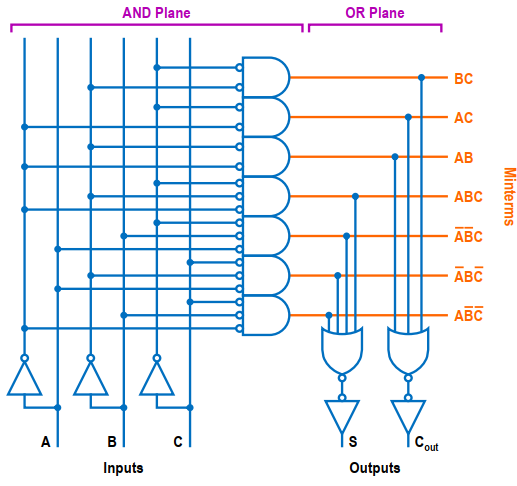
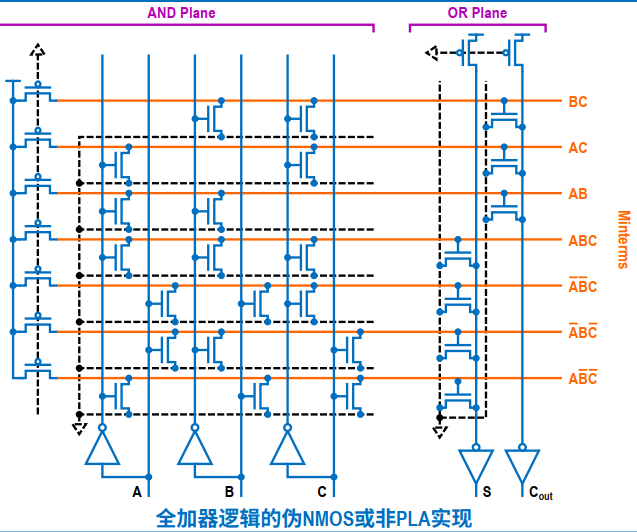
**移位寄存器** 图中是触发器构成的移位寄存器 种类有串行输入并行输出SIPO，并行输入串行输出PISO

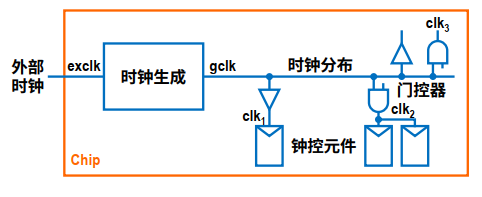
**队列的特点** 允许数据以不同速率读出和写入，内部以指针形式指示下一步应访问的数据，标志信号有空，满，几乎空，几乎满

**队列的分类** 先进先出FIFO 后进先出LIFO 堆栈

**CAM内容寻址存储器**

**PLA可编程逻辑阵列** 以规则结构实现用积之和规范形式表示的组合逻辑

**chapter13 专用子系统**

时钟生成单元 调整全局时钟频率或相位，包括PLL、DLL等

时钟分布网络 将时钟分布到整个芯片上，并使时钟偏斜最小

局部时钟门控 沿短导线将物理时钟驱动至一组种控单元中

全局时钟分布 网格H树 鱼骨 特定 混合

IO子系统功能 提供芯片与外部之间的通信、驱动片外大电容、工作在与其他芯片兼容的电平上、提供合适带宽、限制摆率以控制高频噪声、保护芯片免收静电放电损坏、保护芯片免收过电压损坏、使用较少的引脚数量成本较低

基本IO单元 电源、低 数字IO单元：输入输出双向 模拟IO单元

Schmitt触发器的作用 具有迟滞效应，当输入为低电平时它提高翻转点，当输入为高电平时它降低翻转点，有助于滤除因输入上升太慢或含较大噪声时可能产生的毛刺

**chapter14设计方法学与工具**

**chapter15测试、调试与验证**

**逻辑验证** 形式验证 测试向量等价性 时序分析 噪声分析 版图原理图对比LVS 设计规则检查DRC 电气规则检查 ERC 寄生参数提取 PEX 测试向量 测试平台 扫描测试