# 第5章作业

5.2 请简述哈佛结构的主要优缺点。

5.6 MMU和MPU的功能有何异同？

5.9 Cortex-M系列处理器定义的存储器映射关系是固定不变的，这样做有何利弊？

5.10 Cortex-M3与Cortex-M4使用两个堆栈的目的是什么？在中断响应时，程序断点和程序状态寄存器的内容保存在哪个堆栈中？

5.11 Cortex-M3/M4的CODE区选用总线互连矩阵与总线复用器有什么区别？

5.13 Cortex-M3/M4从SRAM域读取指令执行时有什么缺点？

5.14 I-Code和D-Code总线全部连接到同一片Flash芯片上会有什么问题？

5.16 如果非特权线程试图访问内核私有区域，将会导致哪一类异常？如果Cortex-M3使用了一条SIMD运算指令，结果又将如何？

5.19 某段程序需要跳转到0x0100 0000执行，有人写了如下两行汇编指令代码：

MOV R0, #0x0100 0000

MOV R15， R0

请问这样会有什么问题？

5.22 某基于Cortex-M4的SOC芯片共有64级外部中断，BASEPRI寄存器的宽度共有几位？如果想屏蔽所有优先级大于16的中断，请写出对BASEPRI寄存器进行设置的汇编指令。如果想屏蔽所有优先级大于0的中断，又该如何设置？

5.23 有人写了一段对Cortex-M4的进程栈进行初始化的代码，其中PSP的初始值设为0x8765 4321，并且使用了如下一条语句：“MOV PSP, R0”对PSP进行赋值（其中R0=0x8765 4321）。这样做存在哪些问题？请逐一说明。

5.25 在特权线程模式下如何切换到非特权线程模式？在非特权线程模式下能否采用类似方法切换到特权线程模式？为什么？

5.31 写出利用位段操作读取0x4000 1000的第3位的代码。

5.32 存储器访问属性包括哪些？

5.35 Cortex-M系列处理器不会改变代码的执行顺序，因而不需要存储器屏障指令，这个观点对吗？为什么？

5.36 处理器进入异常处理子程序之前保护现场需要把哪些寄存器的值保护起来？

5.38 解释Cortex-M处理器的中断优先级分组机制。

附加题：

* 1. 外部中断包括不可屏蔽中断(NMI)和可屏蔽中断。下列关于外部中断的叙述中，错误的是（ ）

1. CPU处于关中断状态时，也能响应NMI请求
2. 一旦可屏蔽中断请求信号有效，CPU将立即响应
3. 不可屏蔽中断的优先级比可屏蔽中断的优先级高
4. 可通过中断屏蔽字改变可屏蔽中断的处理优先级

【2020考研真题】

* 1. 下列是关于多重中断系统中CPU响应中断的叙述，错误的是（ ）

1. 仅在用户态（执行用户程序）下，CPU才能检测和响应中断
2. CPU只有在检测到中断请求信号后，才会进入中断响应周期
3. 进入中斯响应周期时，CPU一定处于中断允许（开中断）状态
4. 若CPU检测到中断请求信号，则一定存在未被屏蔽的中断源请求信号

【2021考研真题】

* 1. 下列关于外部I/O中断的叙述中，正确的是（ ）

1. 中断控制器按所接收中断请求的先后次序进行中断优先级排队
2. CPU响应中断时，通过执行中断隐指令完成通用寄存器的保护
3. CPU只有在处于中断允许状态时，才能响应外部设备的中断请求
4. 有中断请求时，CPU立即暂停当前指令执行，转去执行中断服务程序

【2018考研真题】