实验报告

姓名 李霄奕 日期 2024年5月31日 No PB21511897

**实验题目：**整数平方根电路设计与实现

**实验目的：**

练习使用所学的功能仿真、逻辑综合、等价性检查、物理设计等设计流程，独立完成电路模块的前后端设计。

**实验原理：**

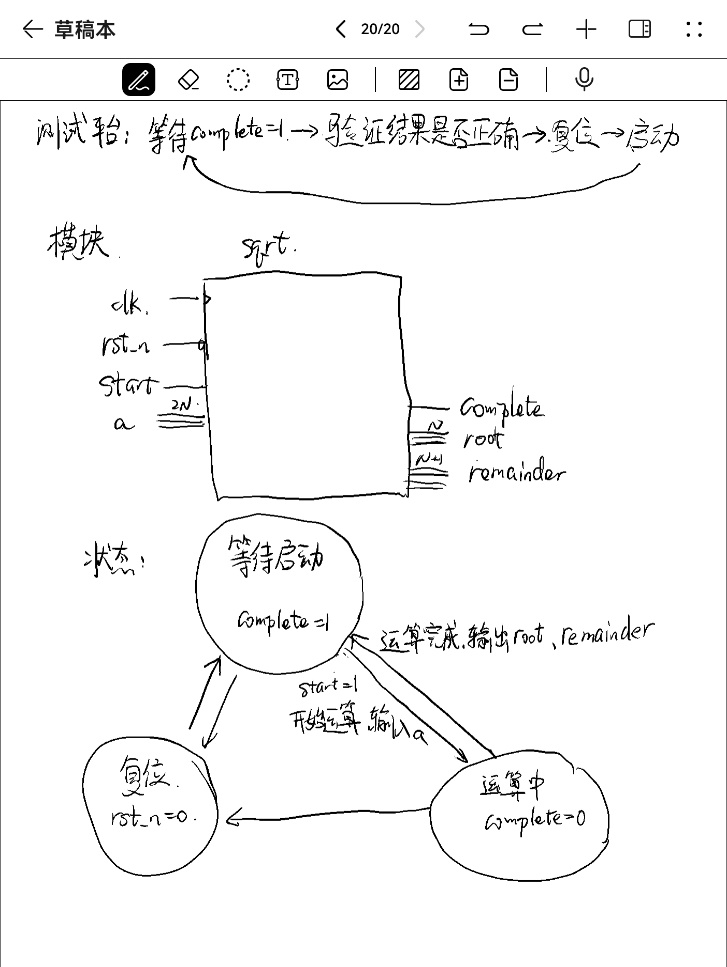


**实验步骤：**

1. 设计代码
2. 代码仿真
3. 逻辑综合
4. 等价性检查
5. 物理设计

**实验数据与分析：**

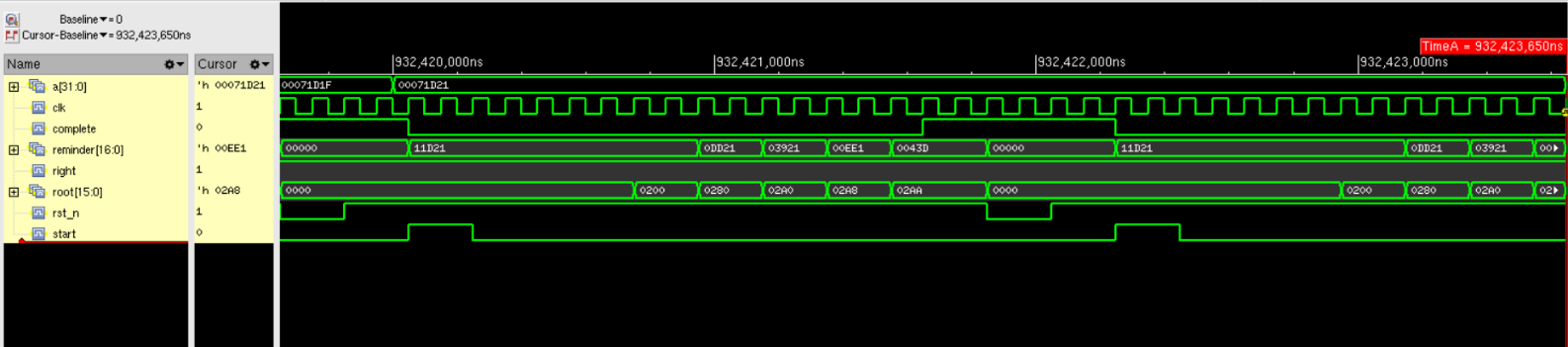
1. 电路简要框图



1. 实验工作目录的位置

C01n13节点，vlsi/sqrt\_design\_database\_45nm

1. 完成一次运算的输入输出信号波形示意图、仿真结果和波形、对测试方法的简要说明



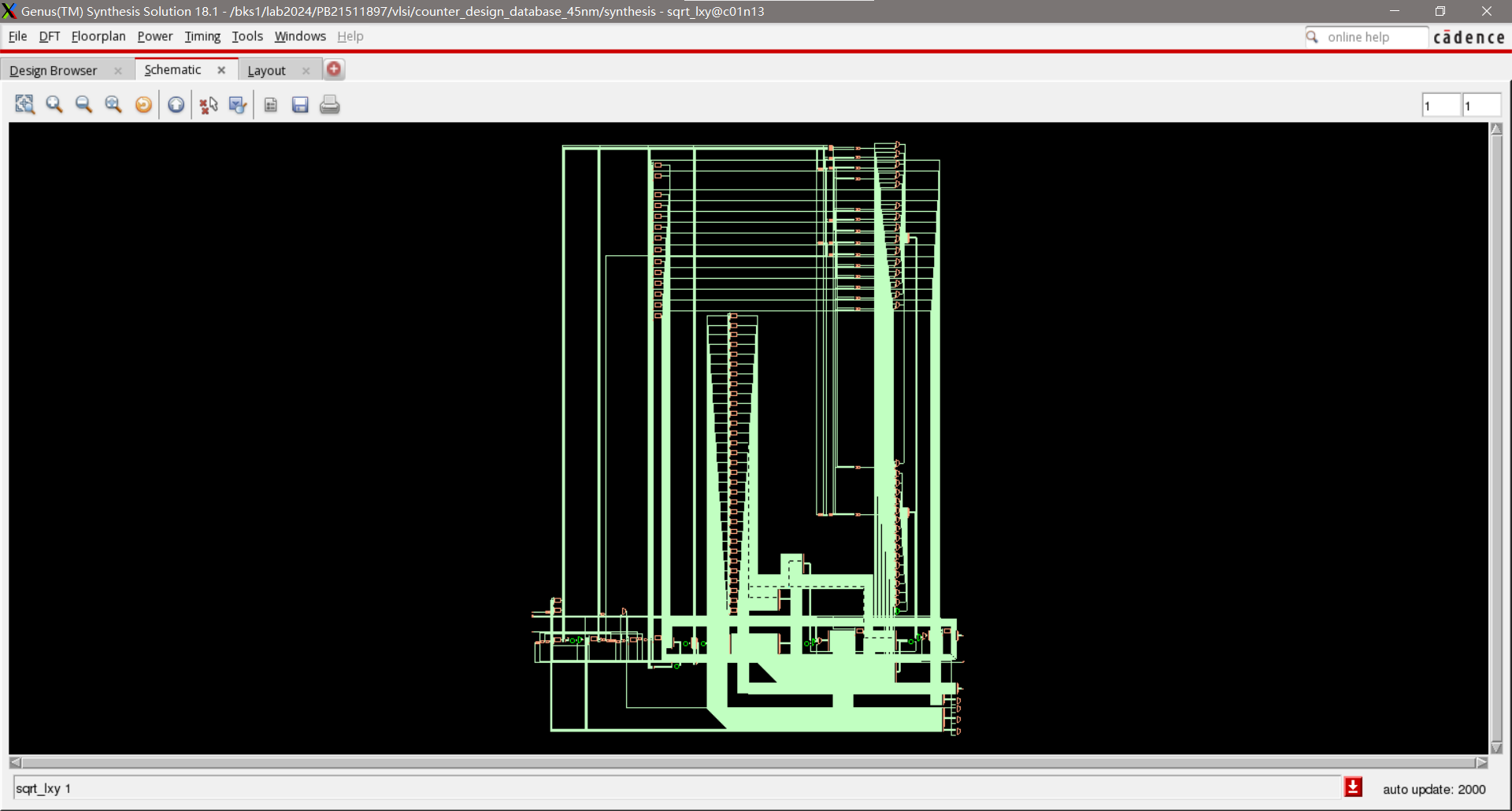
如图所示，当start==1&&complete==1&&rst\_n==1时，电路开始运算，每个时钟周期尝试进行一次迭代，迭代完毕之后,complete=1输出结果，等待start==1时输入新的数据。

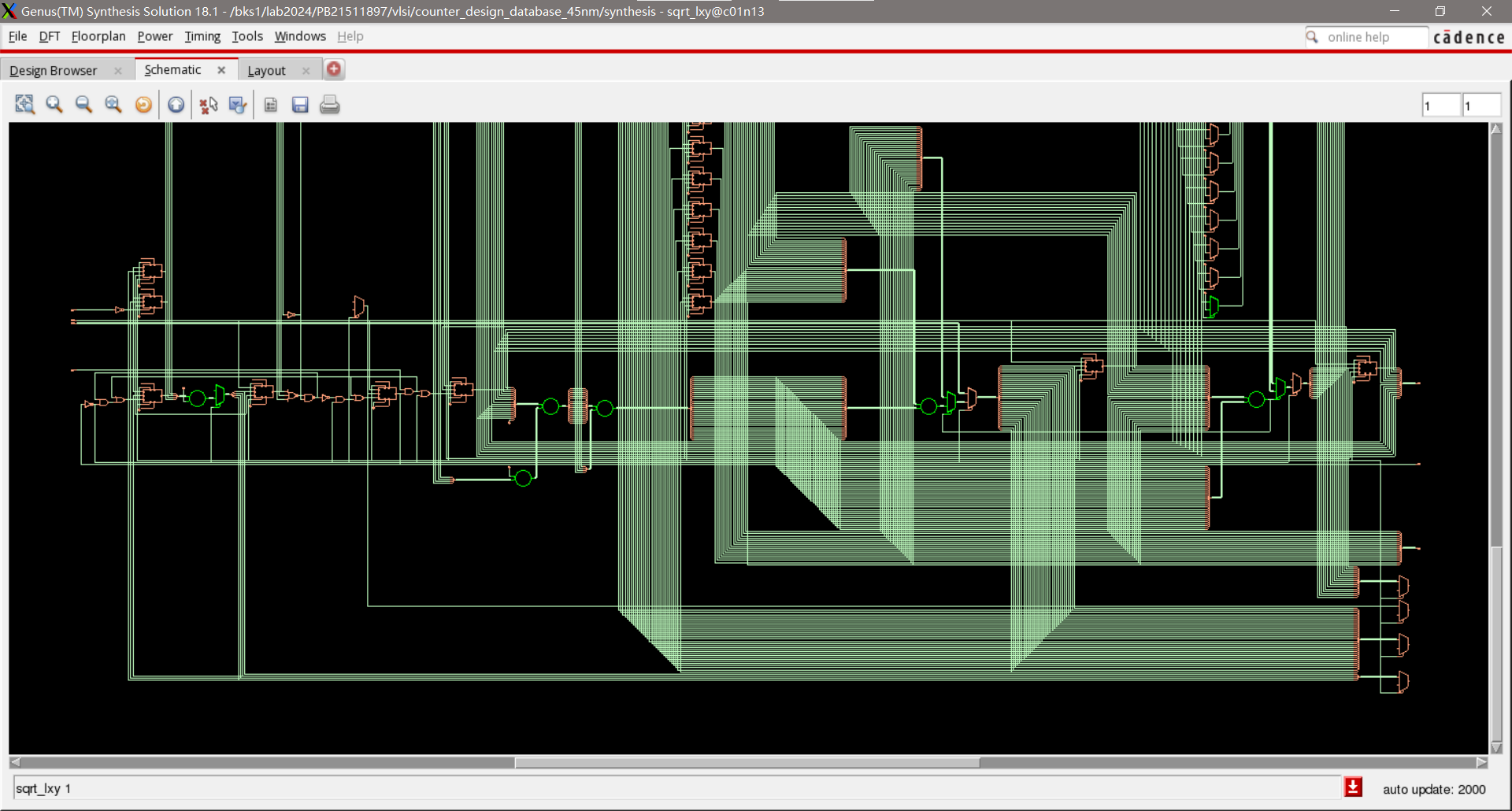
其中right信号是测试平台用于验证运算结果是否正确的信号，在complete的正脉冲触发，验证此时运算结果是否正确，可以看到right==1，说明该模块运算结果正确。

在每一次运算结束后，都会进行一次复位，再启动下一次运算，可以看到模块被复位信号成功复位、启动运算也能正确输出信号。

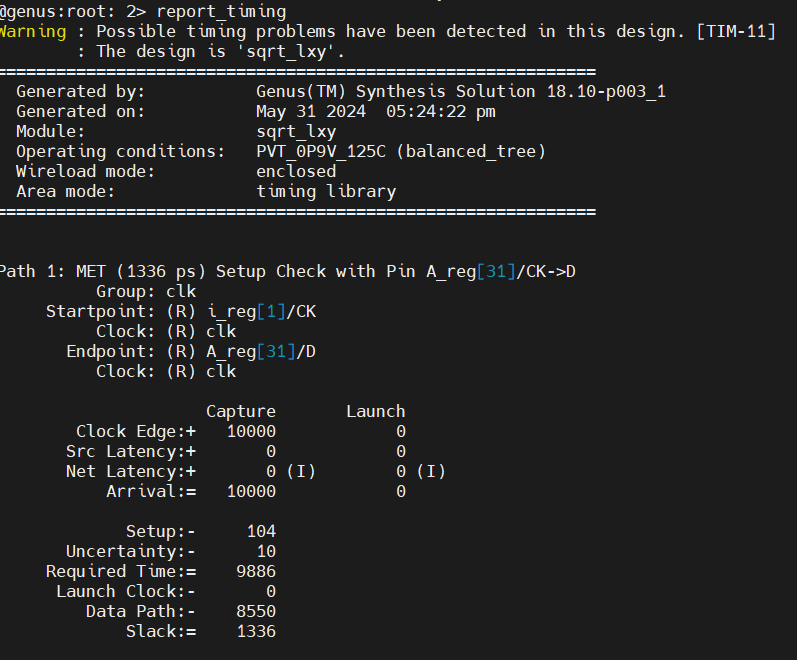
1. 逻辑综合得到的原理图，时序信息，面积信息

原理图：

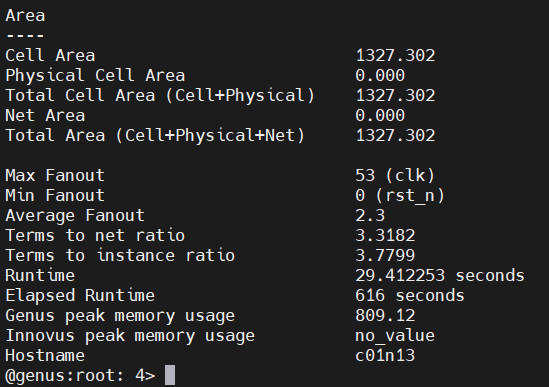




时序信息：

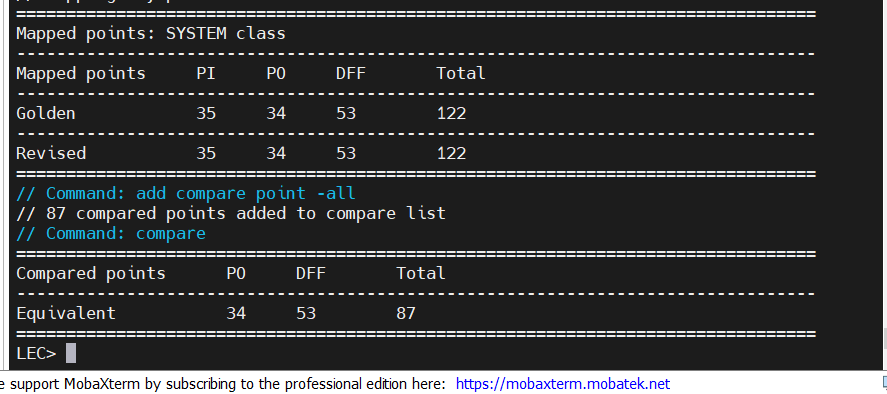


面积信息：



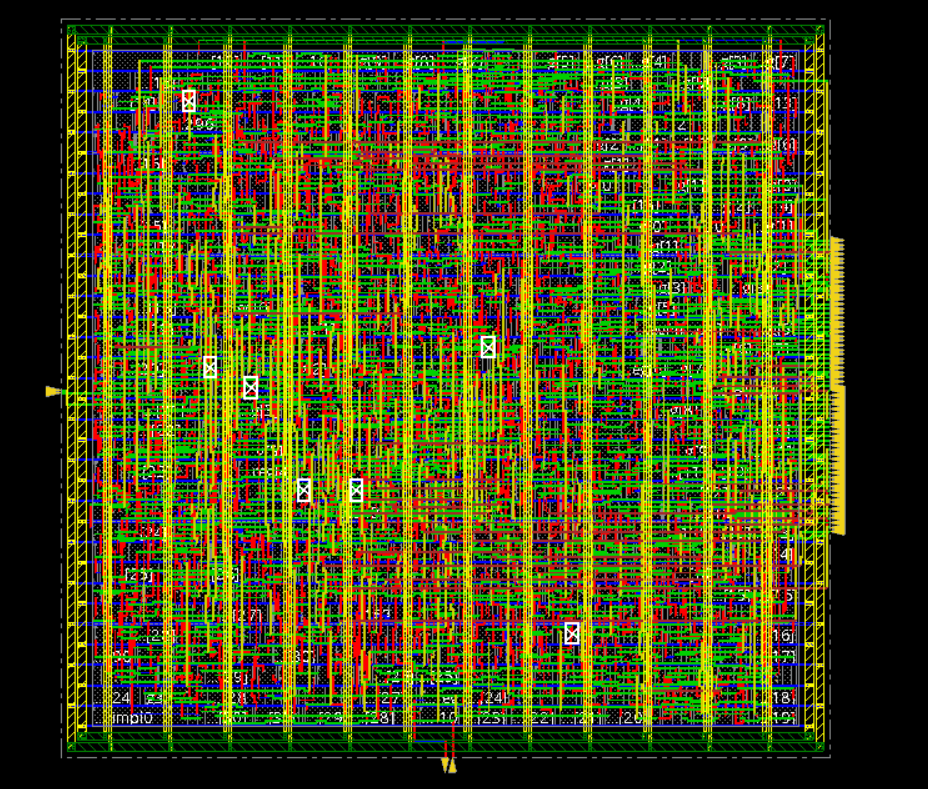
1. 逻辑综合网表和 RTL 代码进行等价性检查的结果

等价性检查：

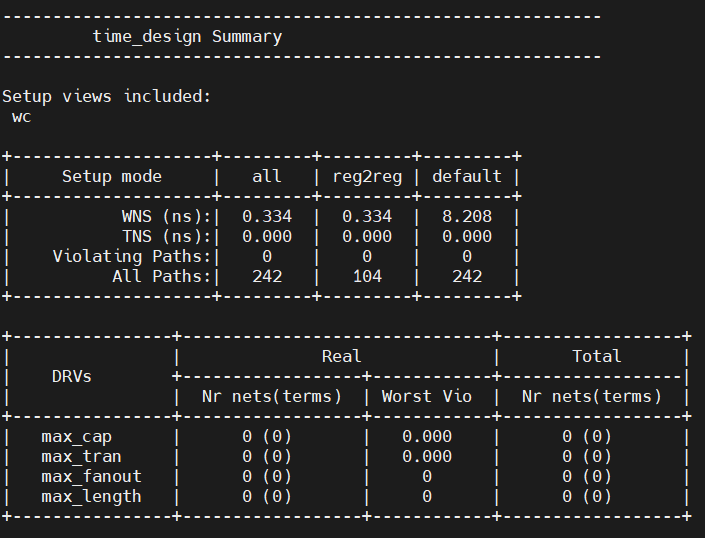


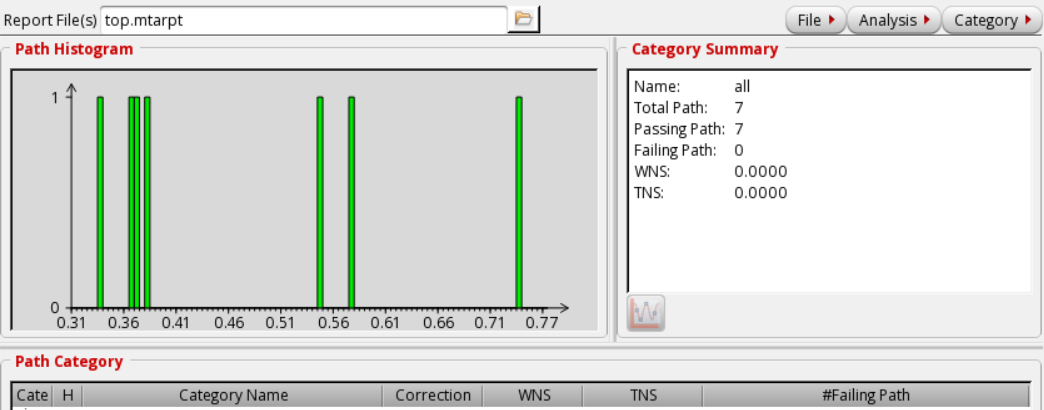
1. 物理设计得到的版图，时序信息，面积信息，物理验证结果

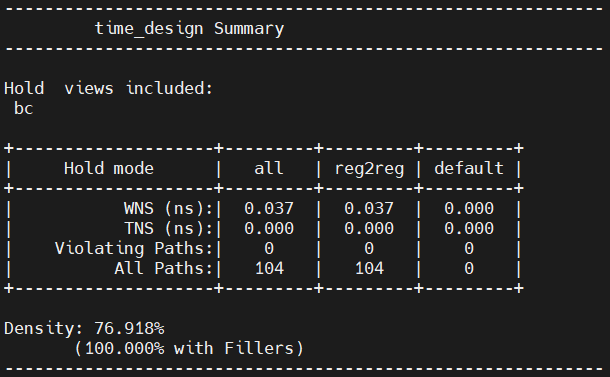
版图：

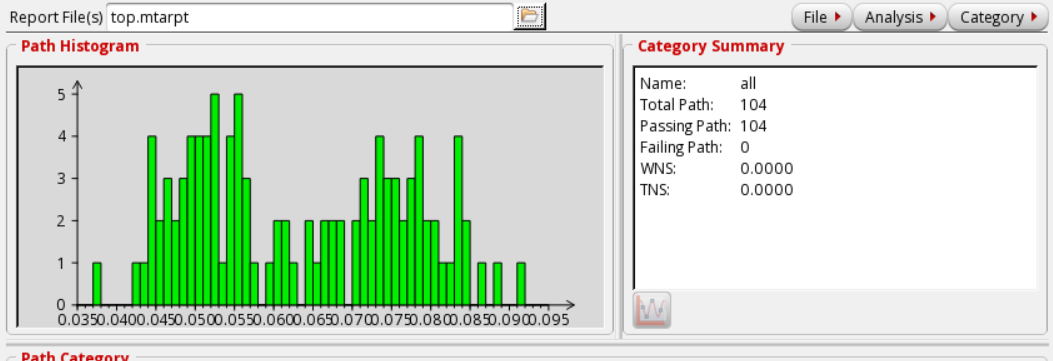


时序信息（已经进行优化）：

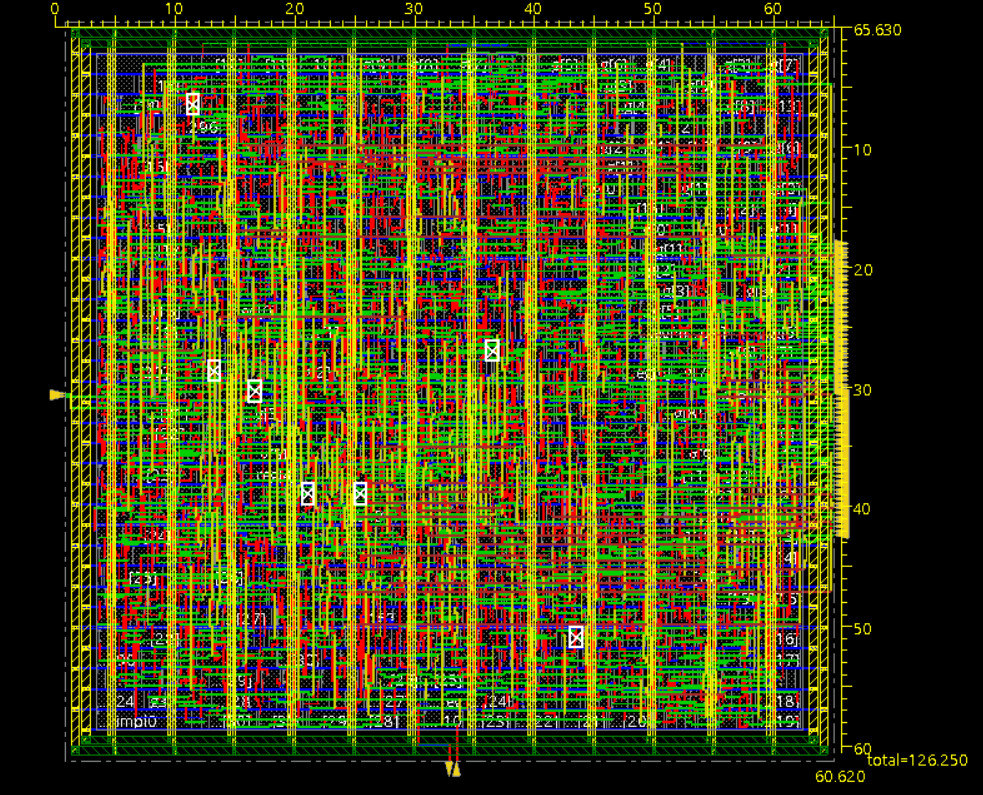




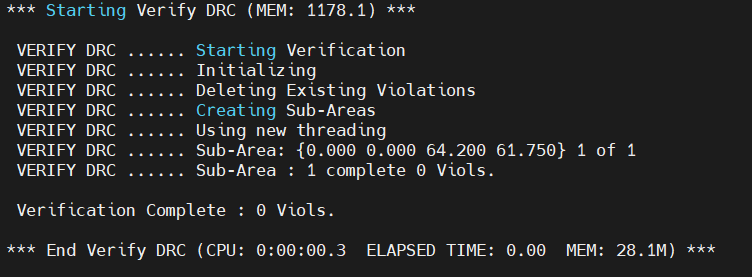




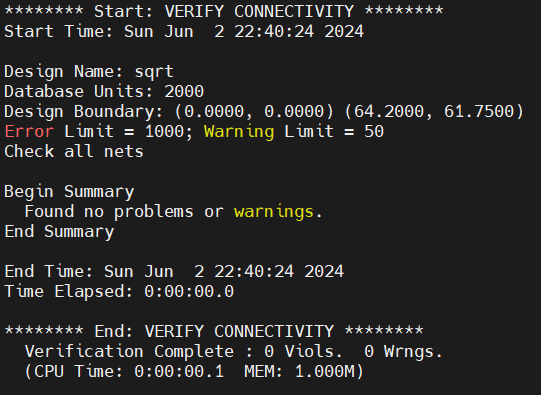
面积信息：长65.63，宽60.62，面积126.250



DRC检查：



LVS检查：



**实验总结和体会：**

本次实验完成了从硬件平方根的电路从代码编写，到仿真测试，到物理设计，到时序优化，到最后检查的全部数字集成电路的芯片级设计流程。能够体会到芯片设计复杂精微、流程长、细节多，学习之路任重而道远。