**实验报告**

实验题目：实验4\_矩阵键盘扫描控制电路设计

姓名：李霄奕 学号：PB21511897

1. 实验内容

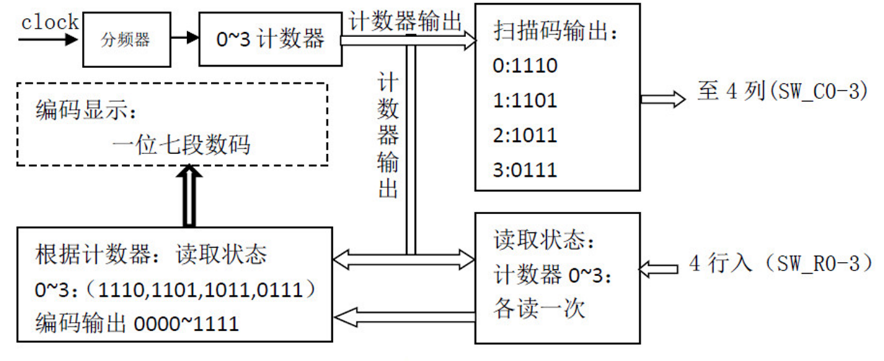
通过时钟的时序逻辑控制，逐列进行矩阵扫描键盘，将信息转换为键盘的输入数据，最后显示到数码管上

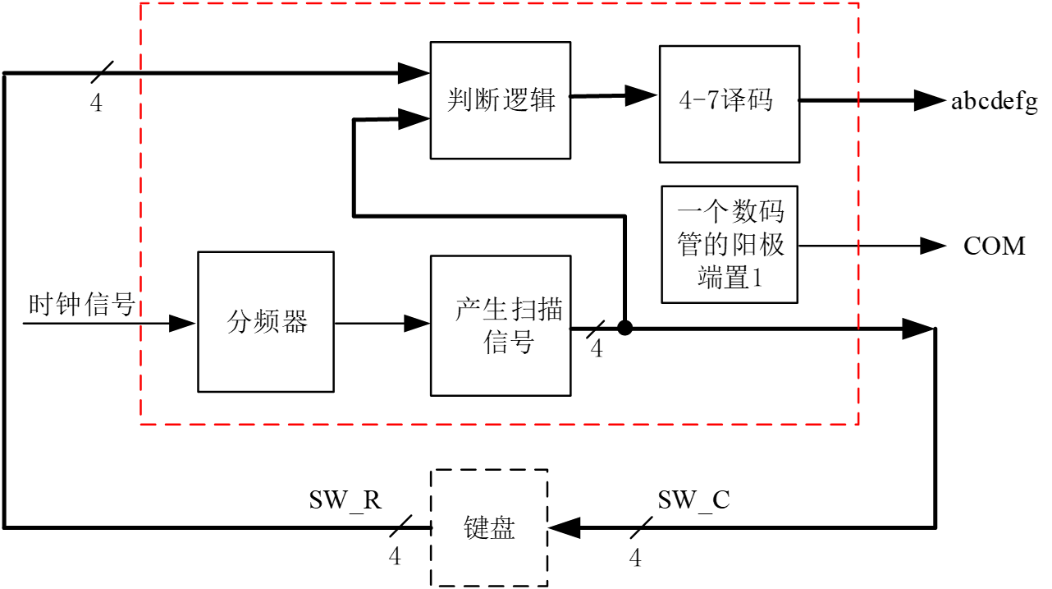
1. 设计分析

主要模块有：

1. 主模块
2. 分频器模块
3. 状态转换时钟
4. 输出扫描电平模块
5. 读取模块
6. 数码管译码器模块

因此，主要的编程思路为：利用自带的50M时钟先进行分频产生合适的时钟信号，时钟信号驱动状态转换时钟，状态转换时钟st产生0~7的8个状态，其中当st为偶数时，输出并保持对应列的扫描信号，st为奇数时，读取信号，转换为键盘数据。





1. Verilog源代码

见文件夹

/\*主模块\*/

module exp04\_lxy(sys\_clk,scan\_code,read\_code,led,on);

/\*分频器\*/

module devender(sys\_clk,clk);

/\*状态转换时钟\*/

module state(clk,st);

/\*输出扫描电平模块\*/

module scan(st,scan\_code);

/\*读取模块\*/

module read(st,read\_code,data\_out);

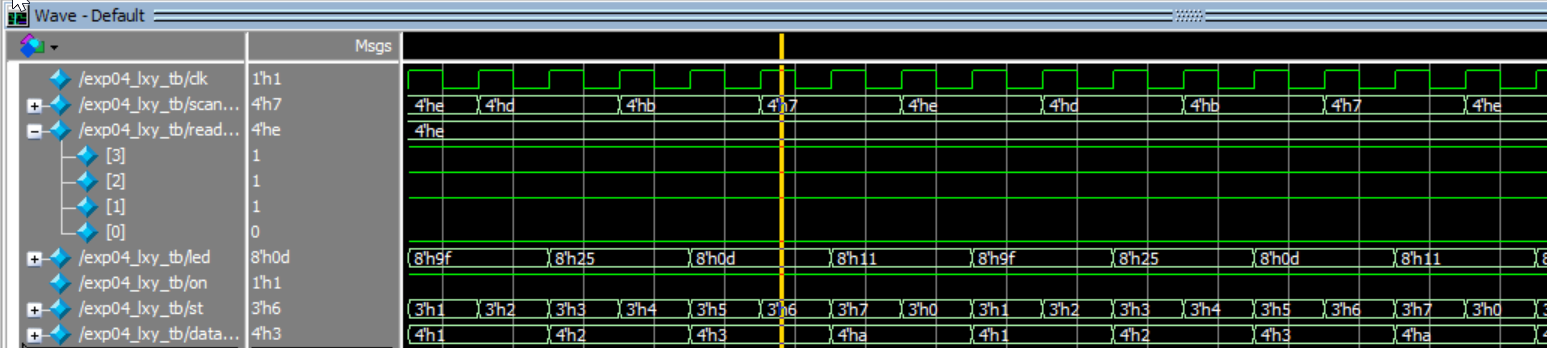
/\*数码管译码器模块\*/

module decoder4\_7 (data\_in,data\_out);

1. 仿真结果

当read\_code=1110(按下第1行)，scan\_code进行逐列扫描，输出123A123A….符合第一行的键盘情况。

其他行情况与此相似。



/\*产生时钟信号\*/

initial clk=0;

always #1 clk=~clk;

/\*逐行测试\*/

initial begin

#0 read\_code=4'b1110;

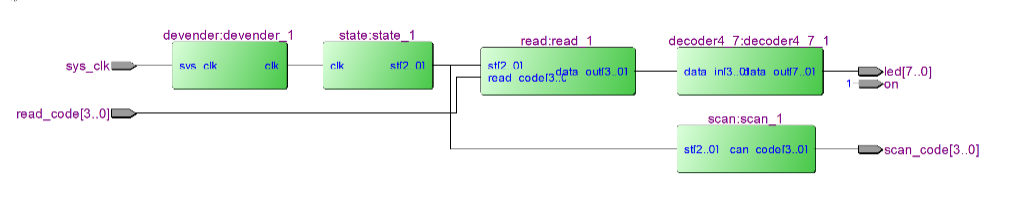
#100 read\_code=4'b1101;

#200 read\_code=4'b1011;

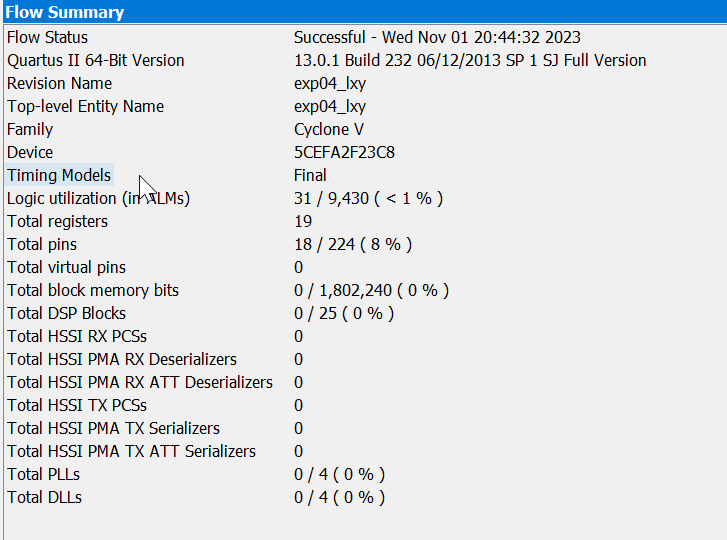
#300 read\_code=4'b0111;

end

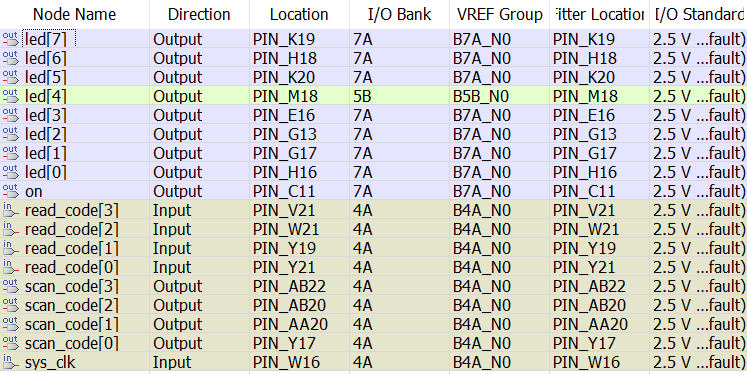
1. RTL电路模块



1. 资源占用情况

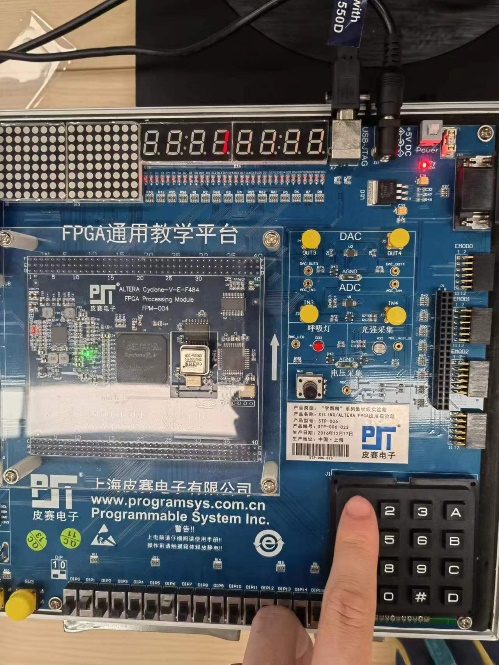


1. 管脚锁定情况

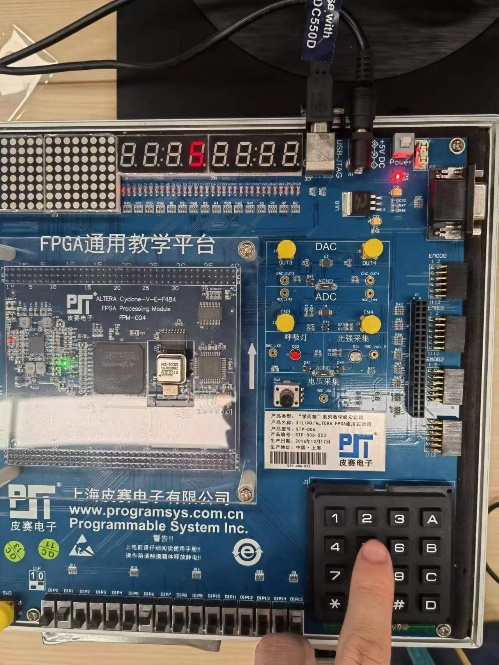


1. 验证结果

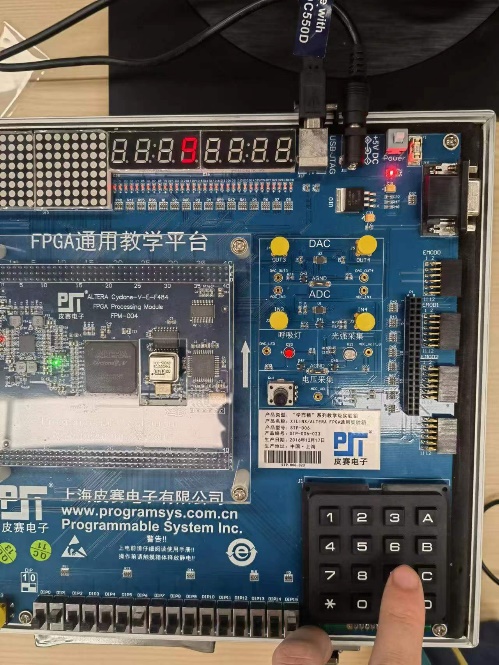
按1，亮“1”



按5，亮“5”



按9，亮“9”



1. 实验总结

本实验学习了：

1、进一步学习并掌握 Quartus II 设计的方法及步骤；

2、熟悉 Verilog 语言电路设计方法；

3、熟悉 Verilog Test Bench（测试平台）的设计；

4、学习并掌握利用 Verilog 描述并设计电路的方法及步骤；

5、学习并掌握矩阵键盘的扫描输入方法及实现过程。 本次实验出现了手动输入键盘数据时信号不稳定的问题，不处理该问题会带来不稳定性，因此本次实验选择拆分状态，“以时间换空间”的做法尽量消除噪声。最好的方法还是应当编写消抖算法，但是时间有限。所以，软件的编写需要考虑时间、工作量、完成度的取舍。