**实验报告**

实验题目：实验5\_Altera FPGA 综合设计实验

姓名：李霄奕 学号：PB21511897

1. 实验内容

通过Matlab生成采样信号，将信号用Quartus II自带的MegaWziard转换为ROM存储器，然后设计模块调用该存储器，最后输出对应信号

1. 设计分析

主要步骤有：

1. 生成正弦数据文件
2. 转换ROM存储文件
3. 设计外围模块调用ROM（mystorage）



1. Verilog源代码

见文件夹

module exp05\_lxy(CLK,RST,Q);

input CLK,RST;

output [7:0] Q;

reg [9:0] count=10'b0000000000;

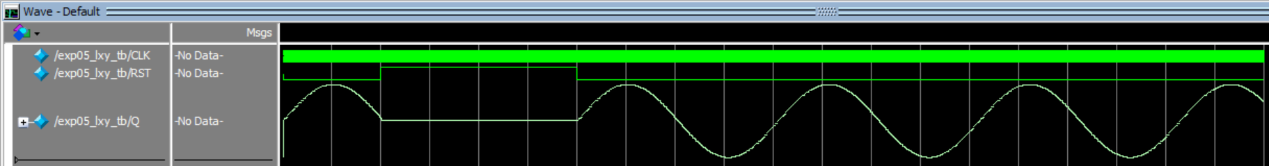
always @(posedge CLK) count=(RST==1 | count==10'b11111111111)?10'b0000000000:count+10'b0000000001;

mystorage U1(count,CLK,Q);

endmodule

1. 仿真结果

先启动，在第1000时刻（约半个周期）后打开复位信号，并在2000时刻后（第3000时刻）关闭，恢复正常的正弦信号。



/\*产生时钟信号\*/

initial CLK=0;

always #1 CLK=~CLK;

/\*验证RST信号和正弦信号\*/

initial begin

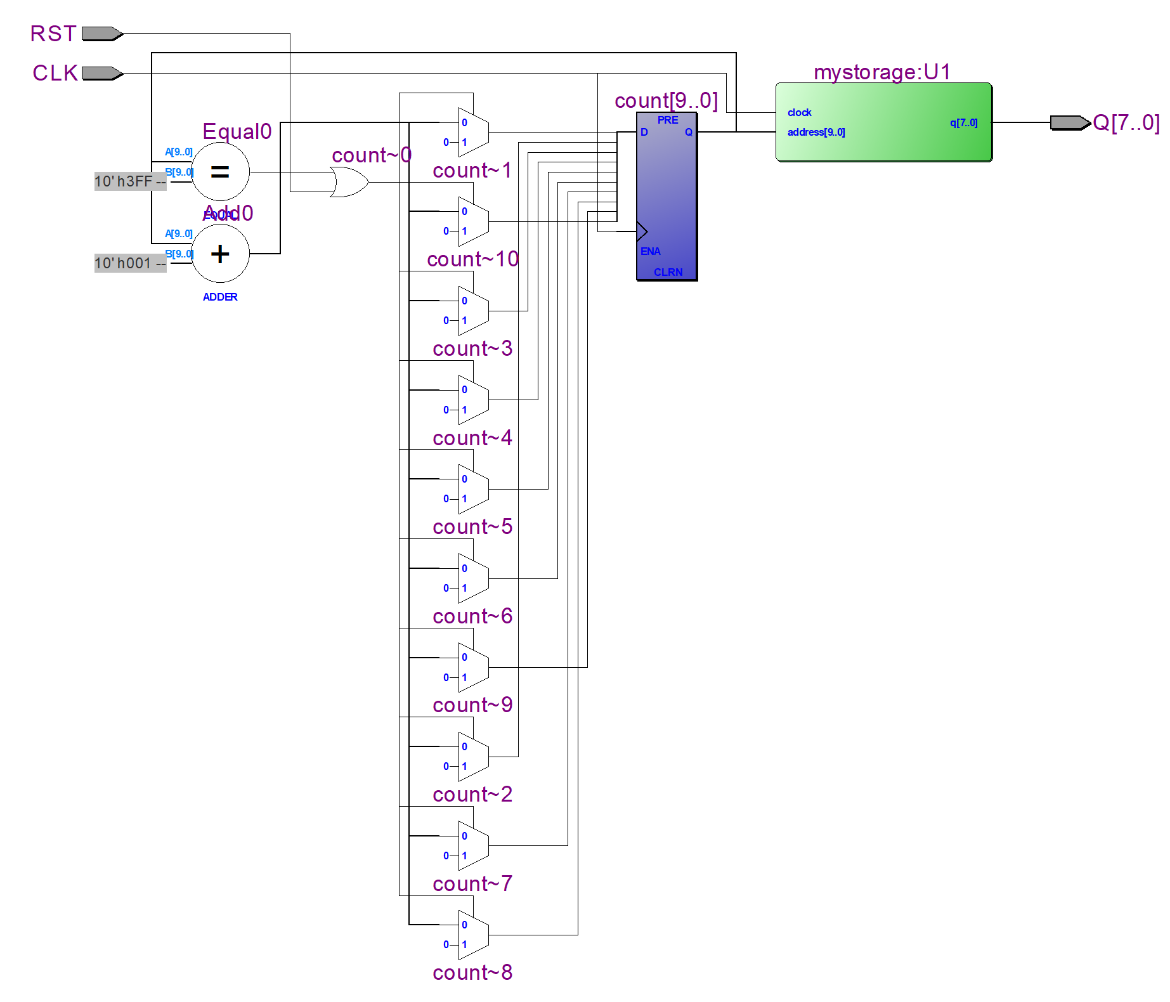
#0 RST=0;

#1000 RST=1;

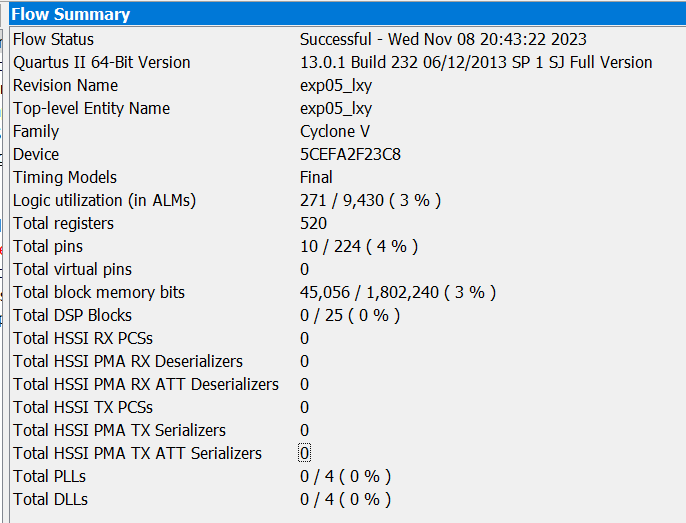
#2000 RST=0;

end

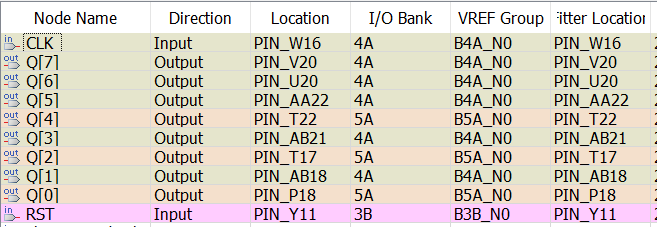
1. RTL电路模块



1. 资源占用情况



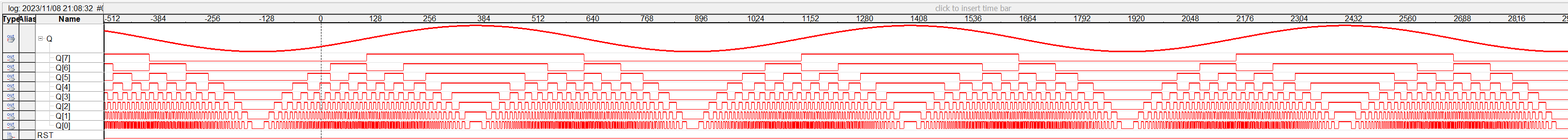
1. 管脚锁定情况



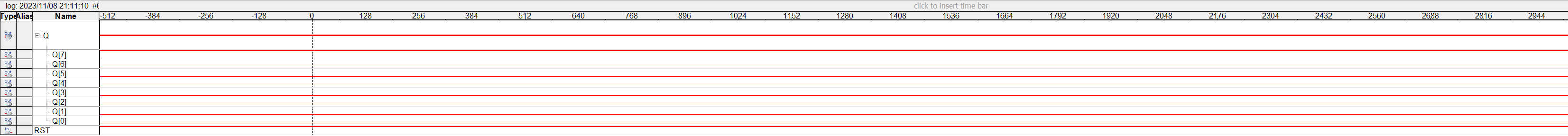
1. 验证结果

打开SignalTap II Logic Analyzer，查看波形：

RST=0时：



RST=1时：



1. 实验总结

本实验学习了：

1、学习 Altera IP 核及 SignalTap II 工具的使用；

2、了解 FPGA 基本结构中的存储器；

3、熟悉 Verilog HDL Test Bench（测试平台/测试激励）的设计；

4、熟练掌握 Altera FPGA 的开发环境、设计步骤和流程。 本次实验实现了多平台、多模态的数据转换和调用，展现了多工具协作的成果。我们从中学到了更加复杂的模块的调用，有利于设计更复杂的系统。本次实验存在调试波形不正确的原因，经检查显示设置为符号数，因此导致最高位被当作符号数呈周期性反转，因此设置显示参数需要细心耐心。