

 返回

# Hollow Man

1 第三章作业是111页题2,3,4,6, 7,8,9,11

我的答案：

蒋崇林 320180901941 2018计算机基础班

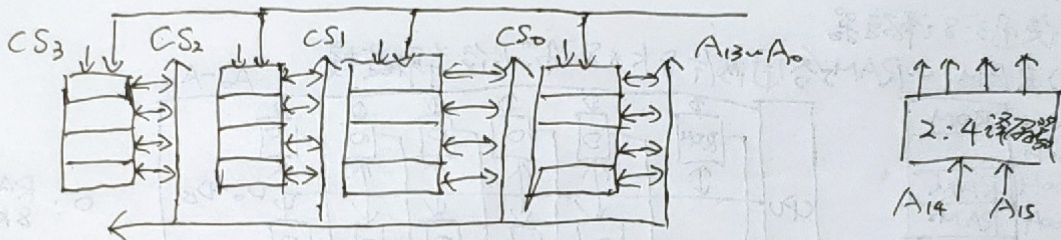
2. (1)  $2^{26}/2^{24} = 4$  (块)

(2)  $(2^{24}/2^{22}) \times (64\text{位}/8\text{位}) = 32$  (片)

(3) 主存共需 DRAM 芯片为:  $4 \times 32 = 128$  (片)

每个内存条有 32 片 DRAM 芯片, 容量为  $16\text{M} \times 64\text{位}$ , 需 24 根地址线 ( $A_{23} \sim A_0$ ) 完成内存条内存储单元寻址。一共有 4 块内存条, 采用 2 根高位地址线 ( $A_{25} \sim A_{24}$ ) 通过 2:4 译码器译码产生片选信号对各模块板进行选择。

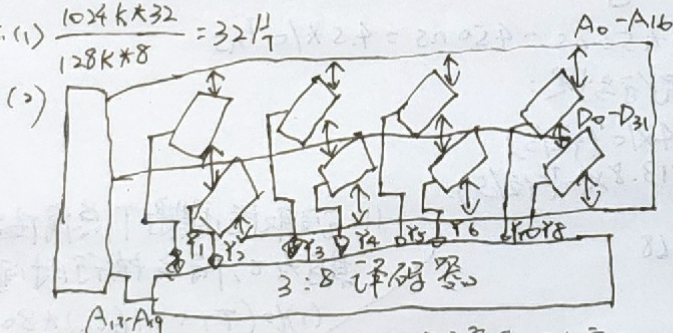
3. (1) 存储总容量为 64KB, 故地址总线需 16 位。现使用  $16\text{K} \times 8\text{位}$  DRAM 芯片, 共需 16 片。芯片本身地址线占 14 位, 所以采用位并联与地址串联相结合的方法来组成整个存储器, 其组成逻辑图如图所示, 其中使用一片 2:4 译码器。



(2) CPU 在  $1\mu\text{s}$  内至少访问内存一次, 而整个存储器的平均读/写周期为  $0.5\mu\text{s}$ , 如果采用集中刷新, 有  $64\mu\text{s}$  的死时间, 肯定不行。如果采用分散刷新, 则每  $1\mu\text{s}$  只能访问一次, 也不行, 所以采用异步式刷新方式。假定  $16\text{K} \times 1\text{位}$  的 DRAM 芯片用  $128 \times 128$  矩阵存储单元构成, 刷新时只对 128 行进行异步方式刷新, 则刷新间隔为  $2\text{ms}/128 = 15.61\mu\text{s}$ , 可取刷新信号周期  $15\mu\text{s}$ 。

刷新一遍所用时间 =  $15\mu\text{s} \times 128 = 1.92\text{ms}$

4. (1)  $\frac{1024\text{K} \times 32}{128\text{K} \times 8} = 32$  片



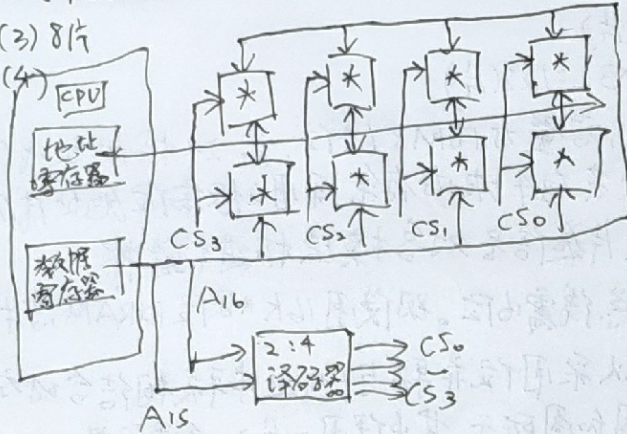
(3) 如果选择一个行地址进行刷新, 刷新地址为  $A_0 \sim A_8$ , 因此这一行上的 2048 个存储单元同时进行刷新, 即在  $8\text{ms}$  内进行 512 个周期, 刷新方式可采用: 在  $8\text{ms}$  内进行 512 次刷新操作的集中刷新方式, 或中交  $8\text{ms}/512 = 15.5\mu\text{s}$  刷新一次的异步刷新方式。



6. (1) 系统16位数据, 所以数据寄存器16位  
 (2) 系统地址128k =  $2^{17}$ , 所以地址寄存器17位

(3) 8片

(4)

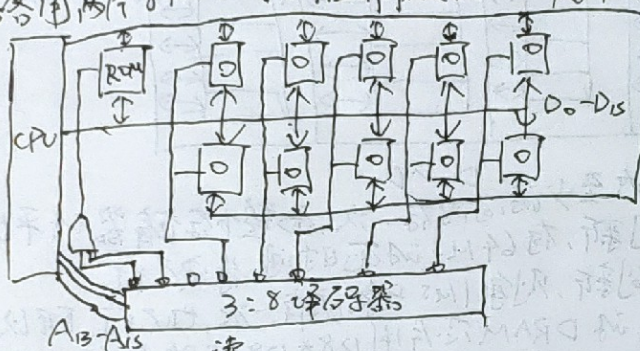


7. (1) 但地址用  $A_{12} \sim A_0$

(2) 使用3:8译码器

(3) RAM<sub>1</sub> ~ RAM<sub>5</sub> 各用两片  $8k \times 8$  的芯片并联连接

0000H	ROM
4000H	
6000H	RAM <sub>1</sub>
8000H	RAM <sub>2</sub>
A000H	RAM <sub>3</sub>
C000H	RAM <sub>4</sub>
E000H	RAM <sub>5</sub>



8. 顺序存取器和交叉存取器连续读出  $m=8$  个字的信息总量有限:

$$q = 64 \text{ 位} \times 8 = 512 \text{ 位}$$

顺序存取器和交叉存取器连续读出 8 个字所需的时间分别是:

$$t_1 = mT = 8 \times 100 \text{ ns} = 8 \times 10^{-7} \text{ s}$$

$$t_2 = T + (m-1)\tau = 100 \text{ ns} + 7 \times 50 \text{ ns} = 450 \text{ ns} = 4.5 \times 10^{-7} \text{ s}$$

顺序存取器和交叉存取器的带宽分别是:

$$W_1 = q/t_1 = 512 / (8 \times 10^{-7}) = 64 \times 10^7 \text{ (位/s)}$$

$$W_2 = q/t_2 = 512 / (4.5 \times 10^{-7}) = 113.8 \times 10^7 \text{ (位/s)}$$

9. cache 命中率

$$H = \frac{N_c}{N_c + N_m} = \frac{2420}{2420 + 80} = 0.968$$

$$r = \frac{T_m}{T_c} = \frac{240}{40} = 6$$

cache/主存系统效率  $e$  为

$$e = \frac{1}{r + (1-r)H} \times 100\% = \frac{1}{6 + (1-6) \times 0.968} \times 100\% = 86.2\%$$

平均访问时间  $T_a$  为

$$T_a = \frac{T_c}{e} = \frac{40 \text{ ns}}{0.862} = 46.4 \text{ ns}$$

11. 设取指周期  $T$ , 总线传输周期为  $\tau$ , 指令执行时间为  $t_0$

$$(1) t = (T + 5\tau + 6t_0) \times 80 = 80T + 400\tau + 480t_0$$

$$(2) t = (T + 7\tau + 8t_0) \times 60 = 60T + 420\tau + 480t_0$$

$\therefore$  不相等