

Университет ИТМО
Факультет ПИиКТ
Системы на Кристалле

Лабораторная работа №1

Нестеров Дали Константинович

Лабушев Тимофей Михайлович

Группа Р3402

Вариант 3

Цель работы

Получить базовые навыки создания микропроцессорной СнК на базе сложнофункциональных блоков (IP-ядер).

Задание

1. Используя библиотеку IP-ядер САПР Xilinx Vivado, создать СнК. В отчет включается структурная схема СнК. СнК должна содержать следующие блоки:
 - 1.1. Soft-процессор MicroBlaze.
 - 1.2. Контроллер асинхронного приемопередатчика UART.
 - 1.3. Контроллер дискретных портов ввода-вывода GPIO.
 - 1.4. Коммуникационную матрицу шины AXI.
2. С помощью вычислительных средств созданной СнК реализовать алгоритм обработки данных согласно варианту задания. Входные данные алгоритма – это массивы данных, поступающие в систему через последовательный канал. Использование дискретных портов ввода/вывода (GPIO) должно быть организовано согласно варианту задания.
3. Провести анализ характеристик созданной системы. В отчет поместить графики и таблицы, отражающие значения характеристик. Для созданной системы необходимо оценить следующие характеристики:
 - 3.1. Число занимаемых ресурсов ПЛИС (XC7A100T-1CSG324C).
 - 3.2. Время выполнения алгоритма при частоте тактового сигнала в 100 МГц.
 - 3.3. Зависимость времени получения результата вычислений от значения варьируемого параметра алгоритма (см. задание). Частота тактового сигнала 100 МГц.
4. При защите лабораторной работы должна быть продемонстрирована работы системы в симуляторе и на отладочной плате Nexys 4 DDR.

Вариант 3. КИХ фильтр

Реализовать КИХ фильтр цифрового сигнала.

$$y(n) = \sum_{i=0}^P b_i x(n-i)$$

Использовать КИХ фильтр для вычисления скользящего среднего. Для решения данной прикладной задачи коэффициенты фильтра рассчитываются по формуле:

$$b_i = \frac{1}{P+1}$$

Входные данные	Выходные данные	Разрядность данных
<p>Р – порядок фильтра (варьируемый параметр в диапазоне от 3 до 10);</p> <p>отсчеты входного сигнала x_i</p> <p>Пересылаются в систему через последовательный канал</p>	<p>отсчеты выходного сигнала $y(n)$</p> <p>Выводится в последовательный канал в конце расчета</p>	16 бит

Требования:

1. После выполнения расчета система должна быть готова к приему новых данных без подачи сигнала на сброс.
2. Контроллер GPIO настраивается таким образом, чтобы возможно было выбирать тип вводимых данных (вводится порядок фильтра или отсчеты входного сигнала) с помощью движкового переключателя, доступного на отладочной плате.
3. Должна быть поддержана возможность отображения отсчетов выходного сигнала на линейке из 16 светодиодов. Время отображения каждого элемента – 1 с.
4. Отсчеты входного сигнала вводятся массивом размером в 10 элементов.

Выполнение задания

Структурная схема СнК

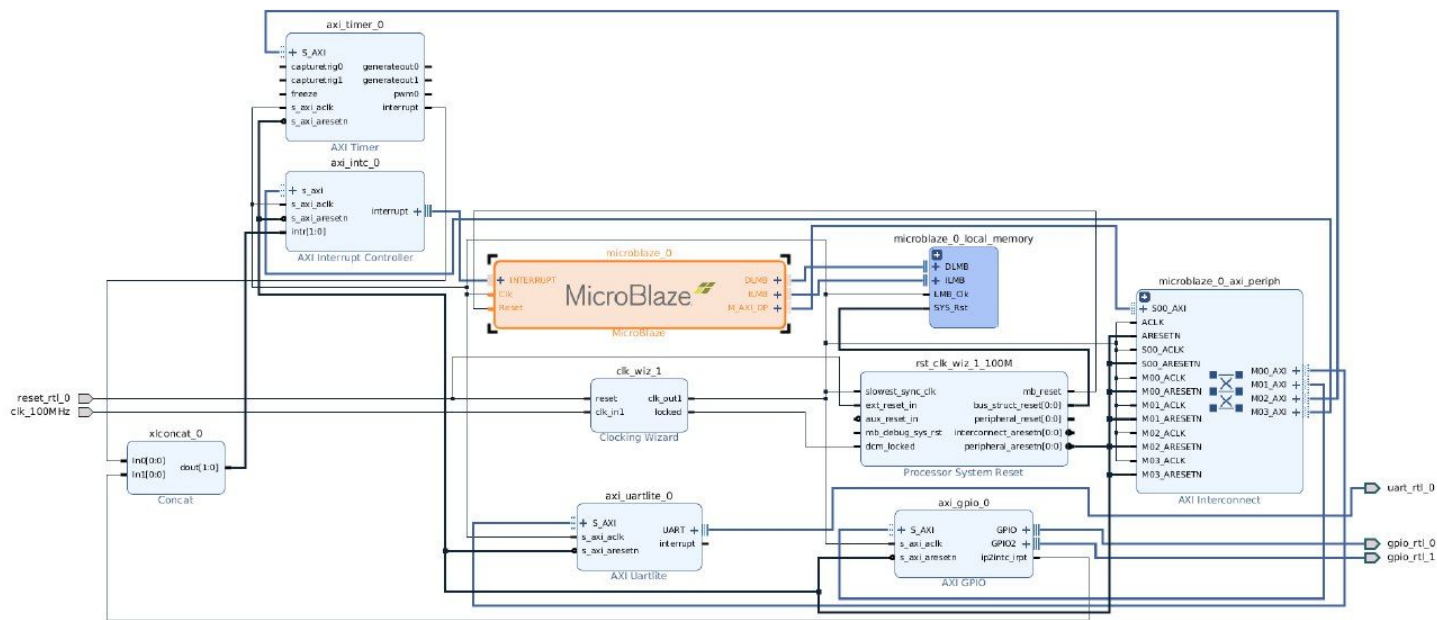


Рисунок 1. Структурная схема системы на кристалле

Число занимаемых ресурсов ПЛИС

Resource	Utilization	Available	Utilization %
LUT	1729	63400	2.73
LUTRAM	160	19000	0.84
FF	2053	126800	1.62
BRAM	8	135	5.93
IO	21	210	10.00
MMCM	1	6	16.67

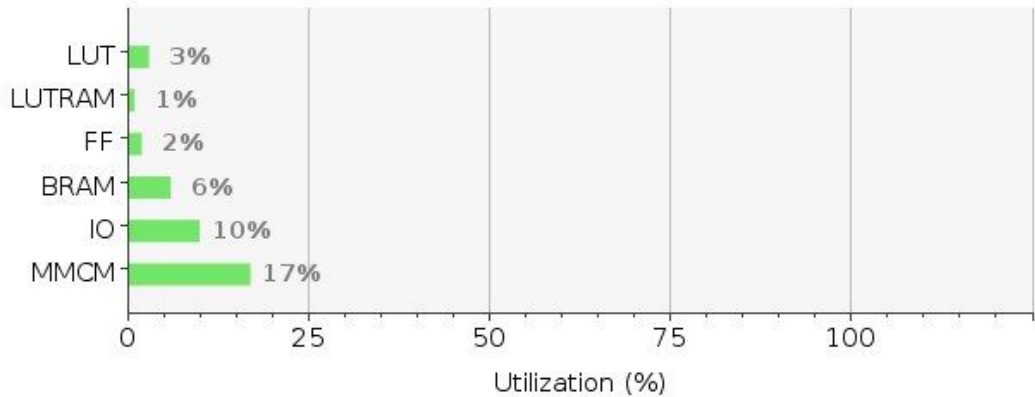


Рисунок 2. Число занимаемых ресурсов ПЛИС

Время выполнения алгоритма при частоте тактового сигнала в 100 МГц

В зависимости от порядка фильтра время выполнения меняется следующим образом:

Порядок фильтра Р	Время выполнения, нс
3	26860
4	25960
5	24440
6	22140
7	19140
8	15520

Зависимость времени получения результата вычислений от значения варьируемого параметра алгоритма

При увеличении порядка фильтра P время выполнения убывает. Это связано с тем, что в нашей конфигурации процессора MicroBlaze операция целочисленного деления реализуется программно, а число операций деления обратно пропорционально P .

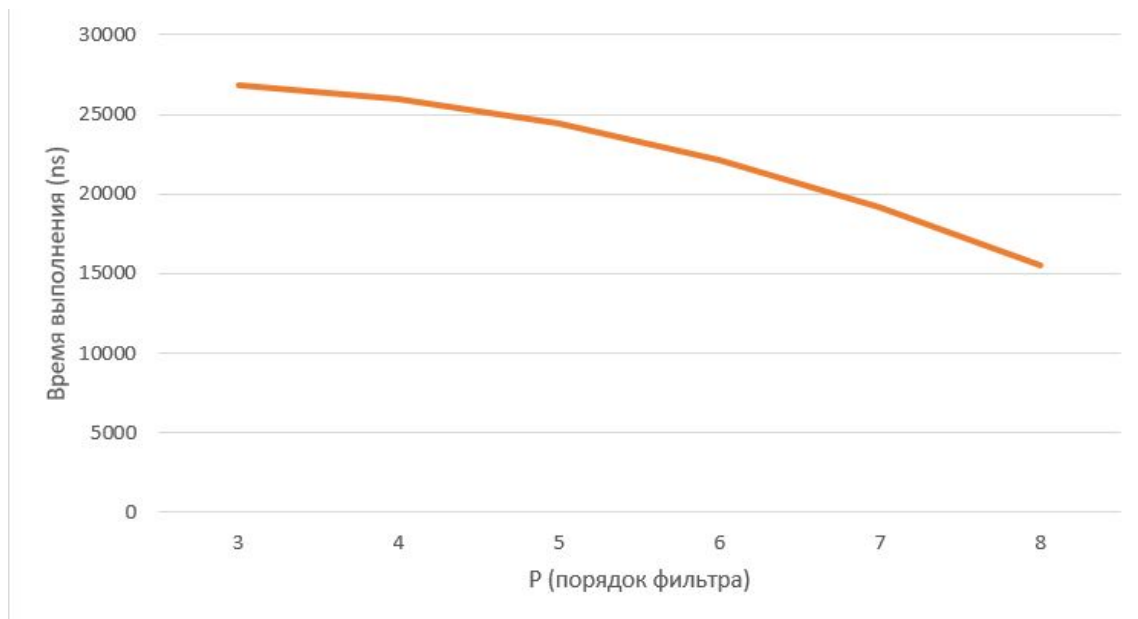


Рисунок 3. Зависимость времени выполнения алгоритма от порядка фильтра с программной реализацией целочисленного деления

При включении аппаратной поддержки целочисленного деления время выполнения начинает сначала возрастать, а потом убывать. Это связано с тем, что число операций высоко на “крайних” значениях P и убывает по мере приближения к максимальному значению операций $= n/2$, где n - это количество входных сигналов. При этом все равно операция деления остается дороже операции сложения и в конце увеличение P приводит к уменьшению времени выполнения.

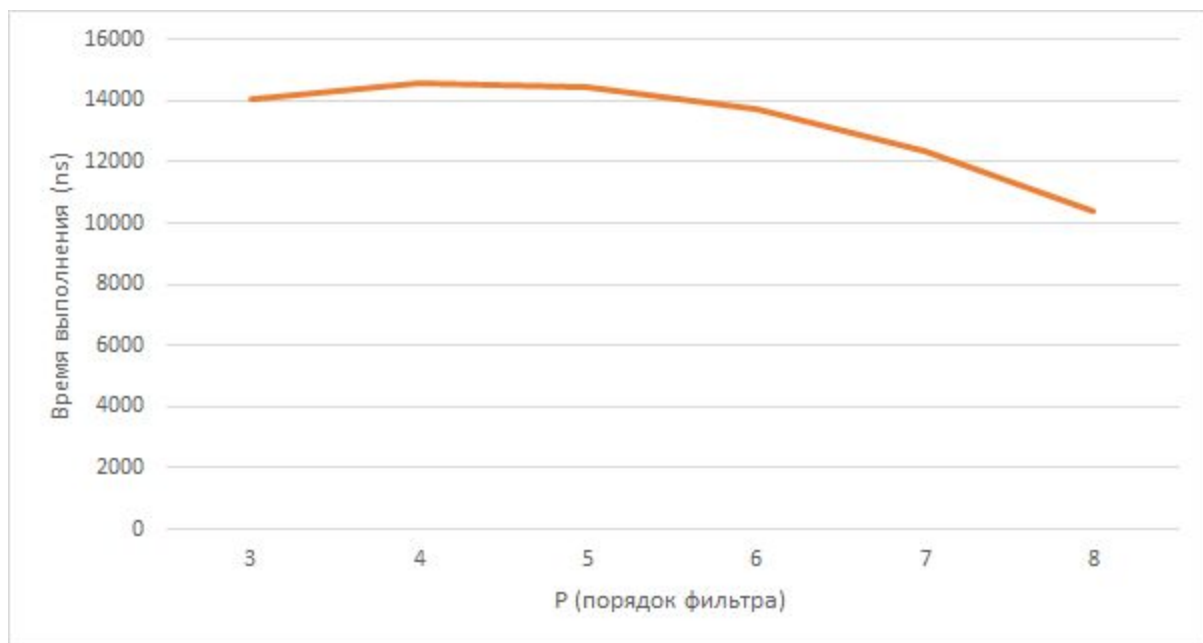


Рисунок 4. Зависимость времени выполнения алгоритма от порядка фильтра с аппаратной реализацией целочисленного деления