



Reti Logiche A - Prova di venerdì 1 luglio 2005

Matricola _____

Cognome _____ Nome _____

Istruzioni

- Scrivere solo sui fogli distribuiti. Non separare questi fogli.
- È vietato portare all'esame libri, eserciziari, appunti e calcolatrici. Chiunque venga trovato in possesso di documentazione relativa al corso – anche se non strettamente attinente alle domande proposte – vedrà annullata la propria prova.
- Non è possibile lasciare l'aula conservando il tema della prova in corso.
- Tempo a disposizione: 2h:30m (completo), 1h:15m (Parte I, II).

	Parte 1	Parte 2	Completo	
Esercizio 1A	3		3	
Esercizio 1B	3		4	
Esercizio 1C	3		4	
Esercizio 1D	2		2	
Esercizio 2	3		3	
Esercizio 3	2			
Esercizio 4		4	5	
Esercizio 5		10	11	
Esercizio 6		2		

Con Soluzioni

Esercizio n. 1

PARTE A

Considerando ciascuna funzione **indipendentemente** dalle altre:

AB\CD	00	01	11	10
00	X	0	1	0
01	X	X	0	0
11	0	1	X	0
10	0	0	X	X

F1

AB\CD	00	01	11	10
00	0	1	1	X
01	0	X	X	0
11	X	0	0	1
10	X	0	1	1

F2

AB\CD	00	01	11	10
00	0	1	0	0
01	0	0	X	0
11	1	1	X	1
10	X	1	0	1

F3

- Per la funzione F1**, individuare gli implicanti primi **riportandone la forma algebrica** e separando gli implicant *primi* da quelli *primi ed essenziali*.
- Per la funzione F3**, ricavare tutte le forme minime scegliendo una opportuna copertura della funzione sulla mappa, che minimizzi il numero di implicant utilizzati ed il numero di letterali.
- Ricavare il costo in letterali della copertura di F1, F2 e F3 considerate indipendenti, utilizzando i risultati del punto II per F3 mentre per F1 e F2:
 $F1 = ABD + !BCD$
 $F2 = !AD + !BC + A!D$

PARTE B

Ricavare gli implicant primi con il metodo di Quine McCluskey per la funzione multiuscita specificata tramite le mappe di Karnaugh delle funzioni precedenti (qui riportate).

AB\CD	00	01	11	10
00	X	0	1	0
01	X	X	0	0
11	0	1	X	0
10	0	0	X	X

		F1			
AB\CD	00	01	11	10	
00	0	1	0	0	
01	0	0	X	0	
11	1	1	X	1	
10	X	1	0	1	

F3

AB\CD	00	01	11	10
00	0	1	1	X
01	0	X	X	0
11	X	0	0	1
10	X	0	1	1

F2

PARTE C

Si ricavi la tabella di copertura relativa alla PARTE B e si determini una copertura minima utilizzando il metodo di Quine McCluskey.

PARTE D

Confrontare la soluzione ottenuta con la sintesi indipendente delle funzioni F1, F2 e F3 (passo A) con quella ottenuta con la sintesi multiuscita (passo C) in termini di costi traendo delle conclusioni sull'efficacia dei metodi utilizzati.

Esercizio n. 2

Data la seguente descrizione

```
library IEEE;
use ieee.std_logic_1164.all;

ENTITY guess IS
    PORT(data      : IN STD_LOGIC_VECTOR(15 DOWNTO 0);
          enable    : IN STD_LOGIC;
          operation  : IN STD_LOGIC_VECTOR(1 DOWNTO 0);
          result     : OUT STD_LOGIC_VECTOR(15 DOWNTO 0));
END ENTITY guess;

ARCHITECTURE guess_behav OF guess IS

BEGIN
    name : PROCESS(data, enable, operation) IS
        BEGIN

            IF(enable='1') THEN
                CASE operation IS
                    WHEN "00" =>
                        result <= data(14 DOWNTO 0) & "0";
                    WHEN "01" =>
                        result <= "0" & data(15 DOWNTO 1);
                    WHEN "10" =>
                        IF(data(15)='1') THEN
                            result <= "1" & data(15 DOWNTO 1);
                        ELSE
                            result <= "0" & data(15 DOWNTO 1);
                        END IF;
                    WHEN OTHERS =>
                        result <= data(0) & data(15 DOWNTO 1);

                END CASE;
            ELSE
                result <= data;
            END IF;
        END PROCESS name;
    END ARCHITECTURE guess_behav;
```

- I) Indicare quale elemento funzionale è descritto dalla specifica, motivando la risposta.
- II) Indicare se il circuito descritto è un circuito combinatorio o sequenziale con le opportune motivazioni.
- III) Disegnare un circuito composto da componenti elementari (porte logiche, multiplexer, bistabili) che implementi il modello VHDL proposto

Esercizio n. 3

Dati due numeri decimali $A=0.546875$ e $B=2.1875$. Fornire la codifica completa in virgola mobile a singola precisione di A e B.

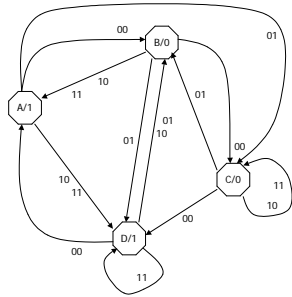
Effettuare la somma $A+B$ indicando tutti i passaggi relativi sia alla codifica che alla somma.

Esercizio n. 4

Si disegni il diagramma degli stati di un circuito sequenziale sincrono in grado di riconoscere le sequenze di ingresso 0100 e 0001, anche parzialmente sovrapposte: il circuito mette l'uscita z a 1 quando ha riconosciuto una delle due; nelle altre situazioni l'uscita assume valore 0.

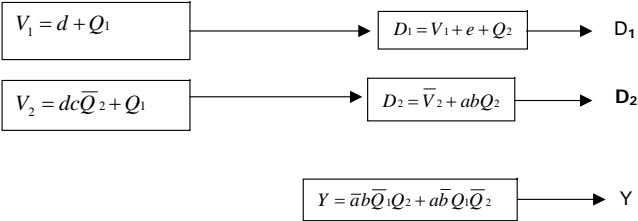
Esercizio n. 5

Si realizzi il circuito di minimo costo la cui funzionalità è espressa dal diagramma degli stati qui di seguito illustrato, indicando in modo chiaro ogni passo del processo di sintesi e ogni scelta effettuata/tecnica adottata. Si utilizzino flip-flop di tipo T.



Esercizio n. 6

Sia data una macchina sequenziale sincrona con ingressi (a, b, c, d, e) e uscita (Y), la cui rete combinatoria che realizza le funzioni λ (uscita) e δ (stato prossimo) è rappresentata dalla seguente rete multilivello



- Dove
- Q1 e Q2 rappresentano le variabili stato presente
 - L'espressione associata a Y costituisce la funzione λ
 - Le espressioni associate a D1 e D2 costituiscono la funzione δ
 - V1 e V2 sono nodi intermedi
- IV) Dire se la macchina descritta è di Mealy o di Moore, giustificando la risposta;
- V) Realizzare la rete combinatoria tramite PLA. Si indichino esplicitamente i termini prodotto del piano AND e le espressioni relative al piano OR, si disegni anche lo schema logico delle interconnessioni da programmare.