



Politecnico di Milano

Dipartimento di Elettronica e Informazione

prof.ssa Anna Antola
prof.ssa Cristiana Bolchini

prof. Fabrizio Ferrandi

Reti Logiche A - Prova di mercoledì 16 febbraio 2005

Matricola _____

Cognome _____ Nome _____

Istruzioni

- Scrivere solo sui fogli distribuiti. Non separare questi fogli.
- È vietato portare all'esame libri, eserciziari, appunti e calcolatrici. Chiunque venga trovato in possesso di documentazione relativa al corso – anche se non strettamente attinente alle domande proposte – vedrà annullata la propria prova.
- Non è possibile lasciare l'aula conservando il tema della prova in corso.
- Tempo a disposizione: 2h:00m.

Valore indicativo di domande ed esercizi e voti parziali:

Esercizio 1 (2 punti) _____

Esercizio 2 (2 punti) _____

Esercizio 3 (2 punti) _____

Esercizio 4 (2 punti) _____

Esercizio 5 (3 punti) _____

Esercizio 6 (3 punti) _____

Esercizio 7 (2 punti) _____

Esercizio n. 1

Data la seguente espressione logica:

$$((c+a)' + c+a)'(a+(a'+c))'(c+c'b+b'+c')$$

la si semplifichi, utilizzando le proprietà dell'algebra di commutazione. Riportare per ogni passaggio la proprietà utilizzata.

Esercizio n. 2

Data la seguente funzione ad una uscita, non completamente specificata:

$ON_{set} = (1, 2, 7, 15); \quad DC_{set} = (3, 4, 8, 9, 12)$

- I) Sulla mappa di Karnaugh individuare gli implicant primi **riportandone la forma algebrica** e separando gli implicant *primi* da quelli *primi ed essenziali*.
- II) Ricavare tutte le forme minime scegliendo una opportuna copertura della funzione sulla mappa, che minimizzi il numero di implicant utilizzati ed il numero di letterali.
- III) Ricavare il costo della copertura ottenuta, utilizzando come costo il numero di letterali.

Esercizio n. 3

Eseguire la generazione degli implicant primi con il metodo di Quine McCluskey per la seguente funzione multiuscita specificata tramite le seguenti mappe di Karnaugh

AB\CD	00	01	11	10
00	1	1	0	0
01	1	1	0	1
11	0	X	X	0
10	1	1	0	0

F1

F3

AB\CD	00	01	11	10
00	X	X	0	0
01	0	0	X	1
11	1	0	X	1
10	1	1	0	1

AB\CD	00	01	11	10
00	0	0	X	X
01	0	1	1	0
11	X	1	0	1
10	X	0	0	0

F2

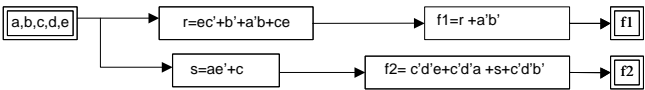
Esercizio n. 4

Scrivere la tabella della verità di un circuito combinatorio che riceve in ingresso 3 segnali d'ingresso, a, b e c e tre uscite, l, m e n, con la seguente funzionalità:

$l = a \odot b;$
 $m = a;$
 $n = c' \odot (ab)$

Disegnare lo schema logico del circuito.

Esercizio n. 5



Data la rete multi-livello sopra riportata, applicare in sequenza le trasformazioni sotto indicate e rispondere alle domande dove richiesto. Disegnare anche il modello della rete finale.

Nota Bene: per ogni trasformazione è **obbligatorio** riportare il **risultato della trasformazione** e **mostrare chiaramente tutti i passaggi** effettuati per ottenere il risultato stesso.

1. **COST()**: Calcolo del numero di letterali. La funzione COST() calcola il costo in letterali indipendentemente dalla forma (SOP o Multilivello) delle espressioni algebriche dei nodi.
2. **SIMPLIFY(r)**: Minimizzazione a due livelli di r.
2a. Mostrare formalmente che il costo della rete ottenuta applicando tale trasformazione al nodo r è non peggiorativo.
3. **FACTOR(f2)**: Fattorizzazione del nodo f2.
4. **COST()**
5. **SUBSTITUTE(r)**: inserisce r in tutti i nodi della rete, dove è possibile. La trasformazione ha effetto se produce un guadagno in termini di letterali.
6. **ELIMINATE(s,0)**: eliminazione vincolata del nodo s. Il parametro 0 indica la soglia di incremento di area: la trasformazione è accettata se l'incremento di area, in letterali, è minore della soglia indicata.
7. **COST()**: Calcolo del numero di letterali.

Esercizio n. 6

```
Data la seguente descrizione di circuito in VHDL.
library IEEE;
use ieee.std_logic_1164.all;

entity l2block is
  port(A: in std_logic_vector(1 DOWNTO 0);
        B,C: out std_logic);
end l2block;

architecture mix of l2block is
  signal D: std_logic;
  signal E: std_logic_vector(3 downto 0);

begin

  B <= E(0) OR E(1);
  process(A)
  begin
    case A is
      when "00" => E <= "0001";
      when "01" => E <= "0010";
      when "10" => E <= "0100";
      when "11" => E <= "1000";
      when others => E <= "XXXX";
    end case;
  end process;
  D <= E(2) AND E(3);
  C <= NOT D;

end mix;
```

- I) Indicare se il circuito descritto è un circuito combinatorio o sequenziale con le opportune motivazioni.
- II) Disegnare un circuito composto da componenti elementari (porte logiche, multiplexer, bistabili) che implementi il modello VHDL proposto

Esercizio n. 7

```
Data la seguente descrizione VHDL disegnare il circuito logico corrispondente.
library IEEE;
use ieee.std_logic_1164.all;

entity l3block is
  port(A,B,C: in std_logic;
        D: out std_logic);
end l3block;

architecture mix of l3block is
  signal E,F: std_logic;

begin

  D <= E OR F;

  process(C, E)
  begin
    if (C='1') then
      F <=E;
    end if;
  end process;

  process(A, B)
  begin
    if (B='1' and B'event) then
      E <= A;
    end if;
  end process;

end mix;
```

- I) Indicare se il circuito descritto è un circuito combinatorio o sequenziale con le opportune motivazioni.
- II) Disegnare un circuito composto da componenti elementari (porte logiche, multiplexer, bistabili) che implementi il modello VHDL proposto

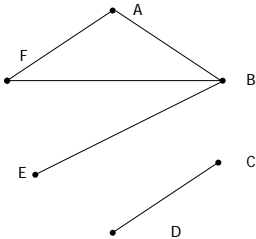
Esercizio n. 8

Data la seguente tabella degli stati:

- I) Si esegua l'analisi di compatibilità
- II) Trovare le classi di massima compatibilità tramite l'algoritmo che costruisce l'albero delle compatibilità
- III) Trovare una macchina ridotta (non proporre come prima soluzione la macchina ottenuta con le classi di massima compatibilità, a meno che l'algoritmo utilizzato non porti a tale soluzione) utilizzando un algoritmo tra quanti noti, derivando la nuova tabella degli stati e il relativo diagramma degli stati

	00	01	11	10
A	F/-	D/-	B/-	F/1
B	A/1	-/1	G/0	-/-
C	A/0	E/-	-/1	B/-
D	D/-	F/1	G/-	A/-
E	F/1	F/0	G/-	E/-
F	A/1	-/-	G/1	-/1
G	D/1	-/1	G/-	-/0

- IV) Il grafo sottostante è derivato da un'analisi delle equivalenze? Si motivi la risposte in modo "formale".



Esercizio n. 9

Progettare la macchina a stati sincrona di tipo MOORE definita dalla seguente specifica:

- La macchina è composta da 2 ingressi e un uscita:
- Se i due ingressi sono entrambi zero (00) la macchina porta sempre l'uscita a zero (0);
 - Se i due ingressi sono entrambi uno (11) la macchina porta sempre l'uscita ad uno (1);
 - Se i due ingressi sono diversi (01 o 10) la macchina mantiene la sua uscita se l'ultima volta che ho avuto una coppia di zeri (00) in ingresso è stata preceduta da una coppia di uni in ingresso (11), altrimenti l'uscita viene invertita

Una volta compresa la specifica risolvere i seguenti punti:

1. Disegnare il diagramma degli stati risultante;
2. Verificare che la macchina sia minima e se non dovesse esserlo minimizzarla;
3. Effettuare un assegnamento degli stati casuale e generare il circuito rappresentante la macchina a stati così ottenuta utilizzando flip-flop di tipo D.

Esercizio n. 10

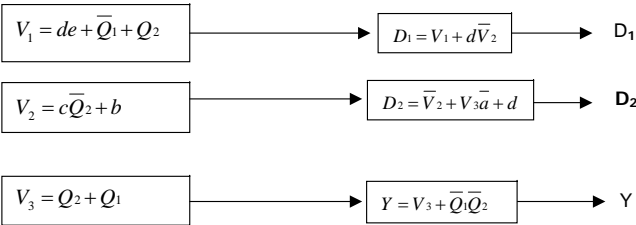
Dato il seguente ciclo di conteggio:

ABC
000
010
100
001
101

- Generarne la tabella di eccitazione utilizzando come target i flip-flop di tipo SR;
- Sintetizzare le funzione Sa e Ra del primo flip-flop;

Esercizio n. 11

Sia data una macchina sequenziale sincrona con ingressi (a, b, c, d, e) e uscita (Y), la cui rete combinatoria che realizza le funzioni λ (uscita) e δ (stato prossimo) è rappresentata dalla seguente rete multilivello



Dove

- Q1 e Q2 rappresentano le variabili stato presente
 - L'espressione associata a Y costituisce la funzione λ.
 - Le espressioni associate a D1 e D2 costituiscono la funzione δ
 - V1, V2 e V3 sono nodi intermedi
- V) Dire se la macchina descritta è di Mealy o di Moore, giustificando la risposta;
- VI) Realizzare la rete combinatoria tramite PLA. Si indichino esplicitamente i termini prodotto del piano AND e le espressioni relative al piano OR, si disegni anche lo schema logico delle interconnessioni da programmare.
- VII) Si supponga di voler realizzare la stessa macchina tramite una PAL con una sezione OR costituita da OR a due ingressi:
- a) Si riscrivano le espressioni dei nodi della rete multilivello in modo che sia possibile realizzarle con la sezione OR della PAL indicata al punto III
 - b) Si dica quale è il numero di termini prodotto necessari per la realizzazione di cui al punto a)

Esercizio n. 12

Dati A= -23 e B= -67 codificati in decimale:

- a) dire quale è il numero minimo di bit per rappresentare in complemento a 2 ciascun valore
- b) dire quale è il numero minimo di bit per rappresentare il prodotto dei due valori
- c) utilizzando il numero di bit individuato al punto a), eseguire la moltiplicazione A·B (B moltiplicatore) secondo uno degli algoritmi noti. Nello svolgimento si mostrino **tutti** i passaggi effettuati.

Esercizio n. 13

Riportare l'architettura di un moltiplicatore di Wallace con un moltiplicando di 5 bit ed un moltiplicatore di 7 bit.

A large grid of dotted lines for drawing the Wallace multiplier architecture. The grid consists of 15 columns and 25 rows of squares, providing a structured space for the student to draw the circuit diagram.

