



Politecnico di Milano

Dipartimento di Elettronica e Informazione

prof.ssa Anna Antola
prof. Fabrizio Ferrandi

prof.ssa Cristiana Bolchini

Reti Logiche A – Esame del 24 febbraio 2006

Matricola _____

Cognome _____ Nome _____

Istruzioni

- Scrivere solo sui fogli distribuiti. Non separare questi fogli.
- È vietato portare all'esame libri, eserciziari, appunti e calcolatrici. Chiunque venga trovato in possesso di documentazione relativa al corso – anche se non strettamente attinente alle domande proposte – vedrà annullata la propria prova.
- Non è possibile lasciare l'aula conservando il tema della prova in corso.
- Tempo a disposizione: 2h:30m.

Esercizio 1 (5 punti) _____

Esercizio 2 (6 punti) _____

Esercizio 3 (3 punti) _____

Esercizio 4 (5 punti) _____

Esercizio 5 (5 punti) _____

Esercizio 6 (5 punti) _____

Esercizio 7 (3 punti) _____

Con Soluzioni

Esercizio n. 1

a) Data la seguente tabella di copertura:

	F1					F2					F3						
	m0	m7	m8	m10	m15	m5	m7	m8	m10	m15	m0	m2	m6	m10	m13	m15	cost
A				X					X					X			4
B	X										X	X					3
C				X								X		X			3
D			X	X				X	X								3
E							X						X				3
F		X			X		X		X							X	3
G											X	X	X				2
H	X		X	X													2
I													X				2
L						X	X		X						X	X	2

- Si trovi una copertura minima utilizzando il metodo di Quine McCluskey
- Descrivere ogni singolo passo svolto per arrivare alla soluzione nella sequenza di applicazione

b) Si consideri la sola funzione di uscita **F1** del punto a) dell'esercizio con l'ulteriore specifica del

DC-set = (m2, m11, m12)

- Sulla mappa di Karnaugh individuare gli implicant primari **riportandone la forma algebrica** e separando gli implicant *primi* da quelli *primi ed essenziali*.
- Ricavare tutte le forme minime scegliendo una opportuna copertura della funzione sulla mappa, che minimizzi il numero di implicant utilizzati ed il numero di letterali. Se è il caso, giustificare formalmente il fatto che la copertura sia o meno unica.
- Ricavare il costo della copertura ottenuta, utilizzando come costo il numero di letterali.

Soluzione:

a)

F essenziale per F1, F scelto, costo di F a 1: $F1 = F + \dots$

L essenziale per F2, L scelto, costo di L a 1: $F2 = L + \dots$

L essenziale per F3, L scelto: $F3 = L + \dots$

D essenziale per F2, D scelto, costo di D a 1: **$F2 = L + D$** coperta

In F1 m10 è dominato da m8

In F3 m2 è dominato da m0

C domina A

C pseudoessenziale per F3, C Scelto, costo di C a 1, $F3 = L + C + \dots$

G domina E

G domina I

G pseudoessenziale per F3, G Scelto, costo di G a 1, **$F3 = L + C + G$** coperta

H domina B
H pseudoessenziale per F1, H scelta, $F1 = F + H$

b)

per F1 implicanti primi e essenziali:

0,2,8,10 essenziale= $b'd'$

7,15 essenziale= bcd

11,15 primo= acd

10,11 primo= $ab'c$

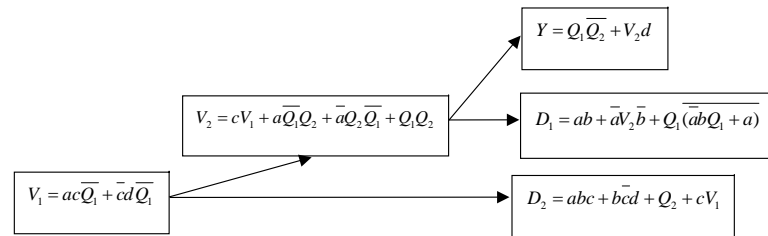
8,12 primo= $ac'd$

Copertura unica perché costituita da tutti e soli implicanti essenziali.

Costo della copertura = 5

Esercizio n. 2

Sia data una macchina sequenziale sincrona con ingressi (a, b, c, d) e uscita (Y), la cui rete combinatoria che realizza le funzioni λ (uscita) e δ (stato prossimo) è rappresentata dalla seguente rete multilivello:



Dove

- Q1 e Q2 rappresentano le variabili stato presente
- L'espressione associata a Y costituisce la funzione λ .
- Le espressioni associate a D1 e D2 costituiscono la funzione δ
- V1 e V2 sono nodi intermedi

Applicare in sequenza alla rete multilivello le trasformazioni sotto indicate e rispondere alle domande dove richiesto. Disegnare anche il modello della rete finale.

Nota Bene: per ogni trasformazione è **obbligatorio** riportare il **risultato della trasformazione** e **mostrare chiaramente tutti i passaggi** effettuati per ottenere il risultato stesso.

- COST()**: Calcolo del numero di letterali. La funzione COST() calcola il costo in letterali indipendentemente dalla forma (SOP o Multilivello) delle espressioni algebriche dei nodi.
- SIMPLIFY(D1)**: Minimizzazione a due livelli di D1.
- SIMPLIFY(V2)**: Minimizzazione a due livelli di V2.
- FACTOR(V1)**: Fattorizzazione del nodo V1.
- COST()**: Calcolo del numero di letterali.
- SUBSTITUTE(V2)**: inserisce V2 in tutti i nodi della rete, dove è possibile. La trasformazione ha effetto se produce un guadagno in termini di letterali.
- COST()**: Calcolo del numero di letterali.
- [V3] = EXTRACT(V1, D2)**: Estrazione di un fattore comune a V1 e D2. Il nodo V3 derivato dall'estrazione può essere un nuovo nodo o un nodo già presente nella rete.
- COST()**: Calcolo del numero di letterali.

Soluzione:

I) La macchina è una macchina di Mealy poiché l'uscita dipende anche dagli ingressi, oltre che dallo stato presente.

- COST(): 39.
- SIMPLIFY(D1)**: Minimizzazione a due livelli di D1. Tramite mappe di Karnaugh o manipolazione algebrica ottima, il risultato della minimizzazione è

$$D_1 = ab + aV_2b + Q_1(bQ_1 + a)$$

$$D_1 = ab + aV_2b + Q_1(bQ_1)a$$

$$D_1 = ab + aV_2b + Q_1(b + Q_1)a$$

$$D_1 = ab + aV_2b + aQ_1b + aQ_1Q_1$$

$$D_1 = ab + aV_2b + aQ_1b$$

- SIMPLIFY(V2)**: Minimizzazione a due livelli di V2. Il risultato della minimizzazione è

$$V_2 = cV_1 + Q_2(aQ_1 + aQ_1 + Q_1)$$

$$V_2 = cV_1 + Q_2(aQ_1 + a + Q_1)$$

$$V_2 = cV_1 + Q_2(Q_1 + a + Q_1)$$

$$V_2 = cV_1 + Q_2(a + 1)$$

$$V_2 = cV_1 + Q_2(1)$$

$$V_2 = cV_1 + Q_2$$

- FACTOR(V1)**: Fattorizzazione del nodo V1. $V_1 = (ac + cd)Q_1$

- COST()**: 29

- SUBSTITUTE(V2)**: inserisce V2 in tutti i nodi della rete, dove è possibile. La trasformazione ha effetto se produce un guadagno in termini di letterali.

L'unico nodo che presenta già V2 come termine (non è quindi necessario eseguire la divisione algebrica) è D2. L'espressione di D2 diventa:

$$D_2 = abc + bcd + V_2$$

e il costo del nodo (l'unico modificato nella rete) diminuisce di 4 letterali. Quindi la trasformazione ha effetto.

- COST()**: 27

- [V3] = EXTRACT(V1, D2)**: Estrazione di un fattore comune a V1 e D2. Il nodo V3 derivato dall'estrazione può essere un nuovo nodo o un nodo già presente nella rete.

$$V_3 = ac + cd$$

$$V_1 = V_3Q_1$$

$$D_2 = bV_3 + V_2$$

- COST()**: 24

Esercizio n. 3

Dati due numeri decimali A=6.375 B=15.125 Fornire la codifica completa in virgola mobile a singola precisione di A e B.

Effettuare la somma A+B indicando tutti i passaggi relativi sia alla codifica che alla somma.

Soluzione

6,375₁₀ = 0 10000001 1001100000000000000000

15,125₁₀ = 0 10000010 1110010000000000000000

Denormalizzo A e sommo:

0.110011000000000000000000 +
1.111001000000000000000000=
10.101100000000000000000000

La codifica normalizzata e'
21.5₁₀ = 0 10000011 0101100000000000000000

Esercizio n. 4

Data la tabella degli stati di seguito riportata si calcoli la tabella degli stati della macchina ridotta, mostrando i passaggi fatti (analisi di compatibilità, classi di compatibilità massima e prima, copertura minima e tabella degli stati ridotta). E' necessario adottare algoritmi, non e' consentito risolvere il problema "a occhio".

	00	01	11	10
A	-/-	-/-	E/1	-/-
B	C/0	A/1	B/0	-/-
C	C/0	D/1	-/-	A/0
D	-/-	E/1	B/-	-/-
E	B/0	-/-	C/-	B/0

Soluzione

Analisi di compatibilità:
AB non compatibili, AC, AD, AE compatibili senza vincoli

BC se AD
BD se AE
BE se BC

CD se DE
CE non compatibili

DE se BC

Classi di compatibilità MASSIME

ACD (se DE, BE)
ADE (se BC)
BCD (se AD, DE, AE)
BDE (se BC, AE)

Classi di compatibilità PRIME e vincoli per ricerca copertura

ACD (DE)
ADE (BC)
BCD (ADE)
BDE (BC, AE)
AC ∅
AD ∅
AE ∅
BC (AD)
BD (AE)
CD (DE)
BE (BC)
B ∅

COPERTURA

Esercizio n. 5

Identificare la tabella degli stati della macchina di Mealy minima in grado di realizzare la funzionalità seguente.

Il circuito riceve in ingresso un segnale A ed ha un'uscita Z. Una volta ricevuti in ingresso su A due 0 consecutivi, il circuito - fintanto che il segnale su A rimane a 0 - presenta in uscita ciclicamente la sequenza 0011 (vedi esempio). Non appena il segnale su A assume valore 1, il circuito presenta in uscita 1 fino alla prossima sequenza di interesse, cioè fino a quando ha ricevuto due 0 consecutivi su A.

Esempio

A 0 0 0 0 0 0 0 0 0 . .

Z . . 0 0 1 1 0 0 1 . .

(dove il simbolo . significa che l'uscita dipende dalle specifiche complete indicate per il circuito)

SOLUZIONE

La tabella degli stati della macchina ridotta è la seguente

	0	1
S0	S1,0	S2,1
S1	S2,0	S2,1
S2	S3,1	S2,1
S3	S0,1	S2,1

Esercizio n. 6

Date le seguenti specifiche per un contatore:

- 1. il ciclo di conteggio per gli **stati utili** è quello riportato in tabella

ABCD
0000
1000
1100
0100
0110
1110
1010
0010
0011
1011

- 2. Il contatore - per ogni **configurazione non utile** - deve portarsi allo stato utile la cui configurazione ha un valore binario utile precedente a quella non utile considerata. Così ad esempio dalla configurazione non utile 0001 il contatore si porta alla configurazione utile 0000.

Per il contatore così specificato:

- Generarne la tabella di eccitazione utilizzando come target i flip-flop di tipo SR;
- Sintetizzare le funzioni Sa e Ra del primo flip-flop.

Soluzione

SA = B'C'D' + A'B'CD + BCD'
RA = BC'D' + AB'C

Esercizio n. 7

Data la seguente descrizione di circuito in VHDL

```
library ieee;
    use ieee.std_logic_1164.all;
    use ieee.std_logic_arith.all;

entity ent is port(
    din : in std_logic;
    sel : in std_logic;
    clk, rst : in std_logic;
    dout : out std_logic );
end ent;

architecture BEH of ent is
    signal s0, s1, s2 : std_logic;
begin
    P1 : process (clk)
    begin
        if( clk = '1' and clk'event ) then
            if ( rst='1' ) then
                s0 <= '0';
            else
                s0 <= din;
            end if;
        end if;
    end process;
    P2: process( s0, s2, sel )
    begin
        if ( sel='0' ) then
            s1 <= s0;
        else
            s1 <= s2;
        end if;
    end process;
    P3 : process (clk)
    begin
        if( clk = '1' and clk'event ) then
            if ( rst='1' ) then
                s2 <= '0';
            else
                s2 <= s1;
            end if;
        end if;
    end process;

    dout <= s0 or s2;

end BEH;
```

- a)** Disegnare un circuito composto da componenti elementari (porte logiche, multiplexer, bistabili) che implementi il modello VHDL proposto