



Politecnico di Milano

Dipartimento di Elettronica e Informazione

prof.ssa Anna Antola
prof. Fabrizio Ferrandi

prof.ssa Cristiana Bolchini

Reti Logiche A – Esame del 6 luglio 2006

Matricola _____

Cognome _____ Nome _____

Istruzioni

- Scrivere solo sui fogli distribuiti. Non separare questi fogli.
- È vietato portare all'esame libri, eserciziari, appunti e calcolatrici. Chiunque venga trovato in possesso di documentazione relativa al corso – anche se non strettamente attinente alle domande proposte – vedrà annullata la propria prova.
- Non è possibile lasciare l'aula conservando il tema della prova in corso.
- Tempo a disposizione: 2h:30m.

Esercizio 1 (5 punti) _____

Esercizio 2 (6 punti) _____

Esercizio 3 (3 punti) _____

Esercizio 4 (5 punti) _____

Esercizio 5 (5 punti) _____

Esercizio 6 (5 punti) _____

Esercizio 7 (3 punti) _____

Con Soluzioni

Esercizio n. 1

1. Data la seguente tabella di copertura:

	F1				F2						
	0	1	4	15	2	3	5	11	13	14	Costo
A		X				X					3
B						X		X			3
C									X		3
D			X					X			3
E			X						X		3
F	X	X									2
G					X	X		X			2
H								X	X		2
I	X	X									2

- Si trovi una copertura minima utilizzando il metodo di Quine McCluskey Descrivere ogni singolo passo svolto per arrivare alla soluzione nella sequenza di applicazione
2. Sintetizzare la sola funzione F2 utilizzando le mappe di karnaugh sapendo che il DC set e' composto da: (4,8,10,15)
- Sulla mappa individuare gli implicant primari riportandone la forma algebrica e separando gli implicant primari da quelli primari ed essenziali
 - Riportare una soluzione che minimizzi il costo in termini di letterali.

Esercizio n. 2

Sia data una rete combinatoria con ingressi (a, b, c, d, e, f) e uscite (Y1, Y2, Y3) rappresentata dalla rete multilivello costituita dai seguenti nodi:

$$V_1 = \overline{a}bd + ef$$

$$V_2 = a\overline{V}b + aV_{1c} + V_{1cd} + \overline{V}bd$$

$$V_3 = \overline{b}de + \overline{a}b\overline{c}e + (\overline{b} + \overline{d} + e) + \overline{a}b\overline{c}e + \overline{b}def$$

$$Y_1 = V_3 + a\overline{f}$$

$$Y_2 = \overline{V}_1ab + \overline{a}bcd\overline{e} + \overline{b}cde + \overline{V}abf + \overline{a}bcde$$

$$Y_3 = \overline{a}\overline{b}f + d\overline{b}f + ae + a\overline{V}_2 + de + d\overline{V}_2$$

Applicare in sequenza alla rete multilivello le trasformazioni sotto indicate e rispondere alle domande dove richiesto. Disegnare anche il modello della rete finale.

Nota Bene: per ogni trasformazione è **obbligatorio** riportare il **risultato della trasformazione** e **mostrare chiaramente tutti i passaggi** effettuati per ottenere il risultato stesso.

- a) **COST()**: Calcolo del numero di letterali. La funzione COST() calcola il costo in letterali indipendentemente dalla forma (SOP o Multilivello) delle espressioni algebriche dei nodi.
- b) **SIMPLIFY(Y₂)**: Minimizzazione a due livelli di Y₂.
- c) **SIMPLIFY(V₃)**: Minimizzazione a due livelli di V₃.
- d) **ELIMINATE(V₃, +3)**: Eliminazione del nodo V₃: la trasformazione viene accettata solo se l'incremento di area, dovuto all'eliminazione è inferiore o uguale alla soglia data (+3).
- e) **FACTOR(V₂)**: Fattorizzazione del nodo V₂.
- f) **COST()**: Calcolo del numero di letterali.
- g) **[V₄] = EXTRACT(V₂, Y₃)**: Estrazione di un fattore comune a V₂ e Y₃. Il nodo V₄ derivato dall'estrazione può essere un nuovo nodo o un nodo già presente nella rete.
- h) **COST()**: Calcolo del numero di letterali.

Soluzione:

- a) **COST()**: **76**
- b) **SIMPLIFY(Y₂)**: Minimizzazione a due livelli di Y₂. Tramite mappe di Karnaugh o manipolazione algebrica ottima, il risultato della minimizzazione è
$$Y_2 = \overline{V}_1ab + \overline{a}bcd\overline{e} + \overline{b}cde + \overline{V}_1abf + \overline{a}bcde$$
$$Y_2 = \overline{V}_1a(b + \overline{b}f) + \overline{a}bcd(\overline{e} + e) + \overline{b}cde$$
$$Y_2 = \overline{V}_1a(b + f) + \overline{a}bcd + \overline{b}cde$$
- c) **SIMPLIFY(V₃)**: Minimizzazione a due livelli di V₃. Il risultato della minimizzazione è
$$V_3 = \overline{b}de + \overline{a}b\overline{c}e + (\overline{b} + \overline{d} + e) + \overline{a}b\overline{c}e + \overline{b}def$$
$$V_3 = \overline{b}de + ace(b + \overline{b}) + bde + \overline{b}def$$
$$V_3 = \overline{b}de(1 + f) + ace + bde$$

$$V_3 = de(\overline{b} + b) + a\overline{c}e$$

$$V_3 = de + a\overline{c}e$$

- d) **ELIMINATE(V₃, +3)**: l'unico nodo che contiene V₃ è Y₁

$$Y_1 = V_3 + a\overline{f}$$

L'eliminazione di V₃ porta ad un incremento di area pari a -1, quindi la trasformazione viene accettata, V₃ eliminato e Y₁ diventa

$$Y_1 = a\overline{c}e + de + a\overline{f}$$

- e) **FACTOR(V₂)**: Fattorizzazione del nodo V₂.

$$V_2 = a\overline{V}b + aV_{1c} + V_{1cd} + \overline{V}bd$$

Il risultato della fattorizzazione è:

$$V_2 = (a + d)(\overline{V}b + V_{1c})$$

- f) **COST()**: **47**

- g) **[V₄] = EXTRACT(V₂, Y₃)**: Estrazione di un fattore comune a V₂ e Y₃.

$$V_2 = (a + d)(\overline{V}b + V_{1c})$$

$$Y_3 = \overline{a}\overline{b}f + d\overline{b}f + ae + a\overline{V}_2 + de + d\overline{V}_2$$

$$Y_3 = \overline{b}f(a + d) + e(a + d) + \overline{V}_2(a + d)$$

$$Y_3 = (a + d)(\overline{b}f + e + \overline{V}_2)$$

e quindi

$$V_4 = (a + d)$$

$$V_2 = V_4(\overline{V}b + V_{1c})$$

$$Y_3 = V_4(\overline{b}f + e + \overline{V}_2)$$

- h) **COST()**: **36**

Esercizio n. 3

Dati due numeri decimali A=3.8125 B=8.375 Fornire la codifica completa in virgola mobile a singola precisione di A e B.

Effettuare la somma A+B indicando tutti i passaggi relativi sia alla codifica che alla somma.

Soluzione

3,8125₁₀ = 0 10000000 1110100000000000000000

8,375₁₀ = 0 10000010 0000110000000000000000

Denormalizzo A e sommo:

0.011110100000000000000000+
1.000011000000000000000000=
1.100001100000000000000000

La codifica normalizzata e'
12.1875₁₀ = 0 10000010 1000011000000000000000

Esercizio n. 4

Data la tabella degli stati di seguito riportata si calcoli la tabella degli stati della macchina ridotta, mostrando i passaggi fatti (analisi di compatibilità, classi di compatibilità massima e prima, copertura minima e tabella degli stati ridotta). È necessario adottare algoritmi, non è consentito risolvere il problema "a occhio".

	0	1
A	D/0	A/0
B	-/0	E/-
C	A/-	D/-
D	C/-	-/-
E	B/0	D/1

Esercizio n. 5

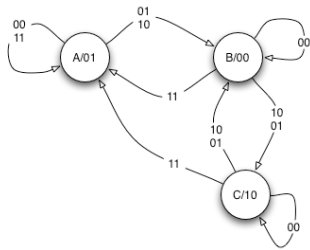
Effettuare la sintesi del circuito logico che implementa macchina di Moore minima in grado di realizzare la funzionalità seguente.

Il circuito riceve in ingresso due segnali A e B e due uscite Z1 e Z2. Il circuito indica sull'uscita Z1 se il numero di 1 ricevuti in ingresso è pari (Z1=1) o dispari (Z1=0). L'uscita Z2 vale 1 fino a quando non è stato ricevuto almeno un 1, quindi viene posta a 0. L'uscita Z1 vale 0 fino a che non viene ricevuto il primo 1. Quando il circuito riceve però A=B=1 allora il conteggio viene inizializzato ed è come se non fossero stati ricevuti 1 in ingresso (Z1=0, Z2=1).

Esempio

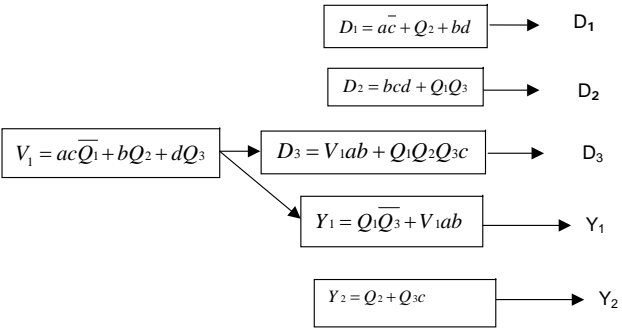
A 1 0 0 0 1 0 1 0 0 0 0 1 0 0 ..
B 1 0 0 1 0 0 0 1 0 0 1 1 1 1 ..
Z1 0 0 0 0 1 1 0 1 0 0 1 0 0 1 ..
Z2 1 1 1 0 0 0 0 0 0 0 0 1 0 0 ..

La soluzione:



Esercizio n. 6

Sia data una macchina sequenziale sincrona con ingressi (a, b, c, d) e uscite (Y1, Y2), la cui rete combinatoria che realizza le funzioni λ (uscita) e δ (stato prossimo) è rappresentata dalla seguente rete multilivello



Dove

- Q1, Q2 e Q3 rappresentano le variabili stato presente
 - L'espressione associata a Y1 e Y2 costituisce la funzione λ.
 - Le espressioni associate a D1, D2 e D3 costituiscono la funzione δ
 - V1 è un nodo intermedio
- a) Dire se la macchina descritta è di Mealy o di Moore, giustificando la risposta;
- b) Realizzare la rete combinatoria tramite PLA. Si indichino esplicitamente i termini prodotto del piano AND e le espressioni relative al piano OR, si disegni anche lo schema logico delle interconnessioni da programmare.
- c) Si supponga di voler realizzare la stessa macchina tramite una PAL con una sezione OR costituita da OR a due ingressi:
- (1) Si riscrivano le espressioni dei nodi della rete multilivello in modo che sia possibile realizzarle con la sezione OR della PAL indicata al punto c)
 - (2) Si dica quale è il numero di termini prodotto necessari per la realizzazione di cui al punto c1)
 - (3) Si elenchino i "nomi" associati alle uscite retroazionate
 - (4) Si elenchino i "nomi" associati alle uscite non retroazionate

Soluzione:

- a) La macchina è una macchina di Mealy poiché l'uscita dipende dagli ingressi oltre che dallo stato presente.
- b) Termini prodotto e sezione OR da realizzare (l'asterisco indica le funzioni OR che vanno retroazionate. Per D1, D2 e D3 il segnale portato in retroazione è l'uscita Q del bistabile D corrispondente all'ingresso omonimo)

Sezione AND

$$\begin{aligned}
 P_1 &= Q_1 \overline{Q_3} \\
 P_2 &= V_{1ab} \\
 P_3 &= Q_2 \\
 P_4 &= Q_3 c \\
 P_5 &= \overline{ac} \\
 P_6 &= bd \\
 P_7 &= bcd \\
 P_8 &= Q_1 Q_3 \\
 P_9 &= Q_1 Q_2 Q_3 c \\
 P_{10} &= ac \overline{Q_1} \\
 P_{11} &= b Q_2 \\
 P_{12} &= d Q_3
 \end{aligned}$$

Sezione OR

$$\begin{aligned}
 Y_1 &= P_1 + P_2 \\
 Y_2 &= P_3 + P_4 \\
 (*) D_1 &= P_5 + P_3 + P_6 \\
 (*) D_2 &= P_7 + P_8 \\
 (*) D_3 &= P_2 + P_9 \\
 (*) V_1 &= P_{10} + P_{11} + P_{12} \\
 Y_1 &= P_1 + P_2 \\
 Y_2 &= P_3 + P_4
 \end{aligned}$$

c1) Per la realizzazione tramite PAL con OR a due ingressi le espressioni dei nodi vanno riscritte come segue:

$$\begin{aligned}
 Y_1 &= Q_1 \overline{Q_3} + V_{1ab} \\
 Y_2 &= Q_2 + Q_3 c \\
 D_{11} &= \overline{ac} + Q_2 \\
 D_1 &= D_{11} + bd \\
 D_2 &= bcd + Q_1 Q_3 \\
 D_3 &= V_{1ab} + Q_1 Q_2 Q_3 c \\
 V_{11} &= ac \overline{Q_1} + b Q_2 \\
 V_1 &= V_{11} + d Q_3
 \end{aligned}$$

c2) I termini prodotto necessari sono quindi 16.

c3) le uscite retroazionate sono 6: D11, Q1, Q2, Q3, V11, V1

c4) le uscite non retrazionate sono 2: Y1, Y2

Esercizio n. 7

Data la seguente descrizione di circuito in VHDL

```

library ieee;
    use ieee.std_logic_1164.all;
    use ieee.std_logic_arith.all;

entity exam is port(
    a,b : in std_logic;
    ctrl : in std_logic;
    clk, rst : in std_logic;
    out1 : out std_logic );
end exam;

architecture mixed of exam is
    signal a, b, c, d, e, f, g, h : std_logic;
begin
    PROC1 : process (reset, clk)
    begin
        if(reset='1') then
            c = '0';
        elsif (clk = '0' and clk'event) then
            c = h;
        end if;
    end process;
    PROC2: process( b, g, ctrl )
    begin
        if ( ctrl='0' ) then
            out1 <= g;
        else
            out1 <= b;
        end if;
    end process;

    g <= c or d;
    h <= a and b;
    f <= not a;
    d <= e and f;
    e <= not b;

end mixed;

```

Disegnare un circuito composto da componenti elementari (porte logiche, multiplexer, bistabili) che implementi il modello VHDL proposto.