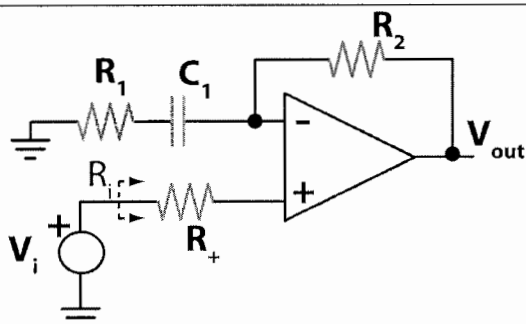


**Fondamenti di Elettronica – Ingegneria Automatica e Informatica**

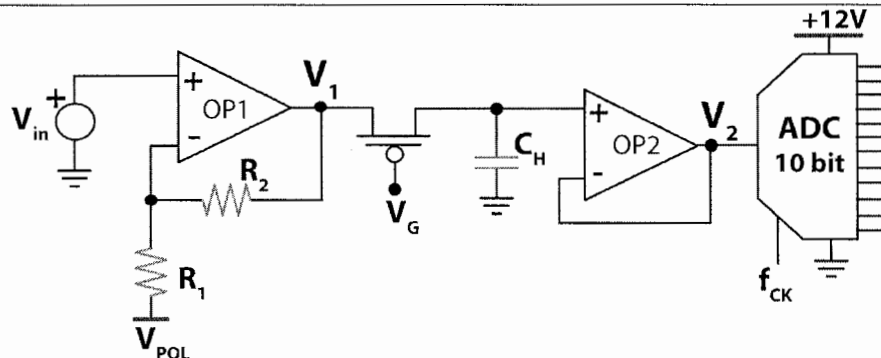
Note: Indicare chiaramente la domanda a cui si sta rispondendo. Ad esempio 1a) ...

**Es. 1**

$$\begin{aligned} R_1 &= 1 \text{ k}\Omega \\ R_2 &= 99 \text{ k}\Omega \\ C_1 R_1 &= 0.1/2\pi \text{ [s]} \\ A_0 &= 100 \text{ dB} \end{aligned}$$

Si consideri il circuito in figura.

- Calcolare il guadagno ideale  $G_{id}(s)$  del circuito e disegnare il diagramma di Bode quotato del modulo di  $G_{id}(s)$ .
- Assumendo che l'A.O. abbia un GBWP = 1 MHz, trovare il limite superiore di banda del guadagno reale  $G_{reale}(s) = V_{out}(s)/V_i(s)$ .
- Se l'A.O. ha uno SR = 0.1 V/ $\mu$ s e  $V_i(t) = 0.1 \text{ V} \cdot \sin(2\pi \cdot 10 \text{ kHz} \cdot t)$ , il segnale di uscita viene distorto? Giustificare la risposta.
- Assumendo correnti di polarizzazione dell'A.O. uscenti e pari a 100 nA, scegliere  $R_+$  in modo da minimizzare l'errore dovuto alle correnti di polarizzazione.
- Calcolare il margine di fase dell'amplificatore.
- Assumendo  $R_{id} = 100 \text{ k}\Omega$ , calcolare la resistenza  $R_i$  in continua vista dal generatore  $V_i$ .

**Es. 2**

$$\begin{aligned} R_1 &= 1 \text{ k}\Omega \\ C_H &= 10 \text{ nF} \\ V_{Tp} &= -1 \text{ V} \end{aligned}$$

Si consideri il circuito di conversione analogico-digitale in figura in cui il segnale  $V_{in}$  ha un'ampiezza picco-picco di 100 mV (intorno a 0V) ed una frequenza massima di 20 kHz.

- Dimensionare  $R_2$  e la tensione  $V_{POL}$  in modo da sfruttare correttamente la dinamica dell'ADC.
- Determinare i livelli di tensione di  $V_G$  che permettano un corretto funzionamento del circuito sia in fase di sample che in fase di hold.
- Se il MOSFET ha una capacità parassita  $C_{gd} = 5 \text{ pF}$  e l'escursione della tensione  $V_G$  è di 15V, che effetto si ha sulla conversione in termini di LSB?
- Sapendo che il guadagno in continua dell'operazionale OP1 è  $A_0 = 5 \cdot 10^5$ , calcolare (in LSB) il massimo errore di guadagno del primo stadio di amplificazione.
- Qual è la frequenza minima a cui si deve campionare il segnale di ingresso?
- Sapendo che l'amplificatore OP2 ha una corrente di bias  $I_{bias} = 100 \text{ nA}$  (entrante), qual è la massima durata della fase di hold che garantisce un errore massimo inferiore a  $\frac{1}{2}$  LSB?
- Avendo a disposizione per l'ADC una frequenza di clock  $f_{CK} = 1 \text{ MHz}$  e volendo convertire un campione in  $T_{CONV} = 15 \mu\text{s}$ , si deve scegliere un ADC di tipo a gradinata o uno di tipo SAR? Calcolare i tempi di conversione e giustificare la risposta.
- Si disegni l'architettura interna dell'ADC scelto nel punto g) e se ne illustri sinteticamente il funzionamento (max 10 righe).

Traccia della soluzione

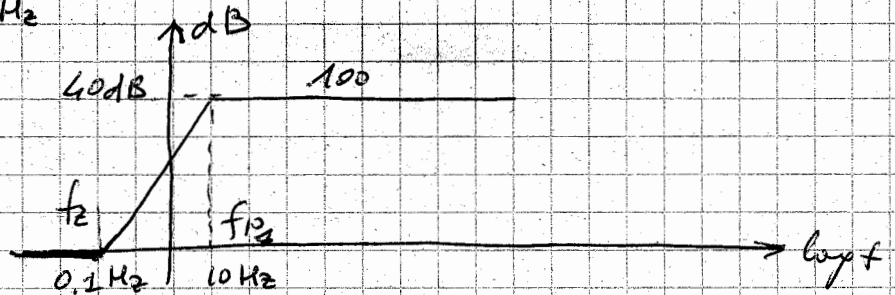
$$1a) \quad G_{id}(s) = 1 + \frac{R_2}{Z_1} = \frac{1 + sC_1(R_1 + R_2)}{1 + sR_1C_1} \quad \left( Z_1 = R_1 + \frac{1}{sC_1} \right)$$

$$f_z = \frac{1}{2\pi R_1(C_1 + C_2)} = 0.1 \text{ Hz}$$

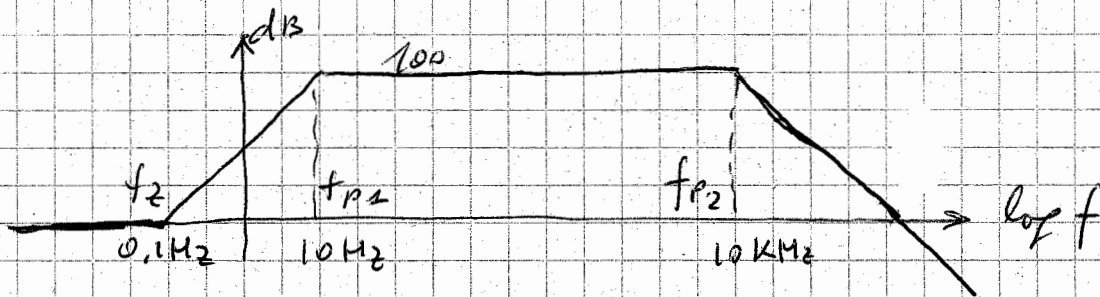
$$f_{p_1} = \frac{1}{2\pi R_1 C_1} = 10 \text{ Hz}$$

$$G_{id}(0) = 1$$

$$G_{id}(s \rightarrow \infty) = 100$$



$$1b) \quad GBWP = \omega T \Rightarrow 100 \cdot f_{p_1} = GBWP_{A0} = 1 \text{ MHz} \Rightarrow f_{p_2} = 10 \text{ kHz}$$



1c) A 10 kHz cade il 2° polo di  $G_{id}(s)$ , quindi un segnale di ingresso a 10 kHz risulta amplificato di  $37 \text{ dB} = \frac{100}{\sqrt{2}} = 70.7$

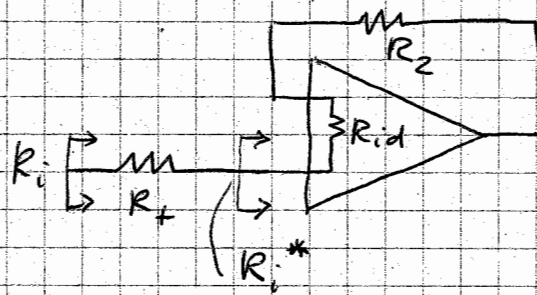
$$V_{out}(t) = \frac{100}{\sqrt{2}} \cdot 0.1 \text{ V} \sin(2\pi \cdot 10 \text{ kHz} \cdot t)$$

$$\left. \frac{dV_o}{dt} \right|_{\max} = 70.7 \cdot 2\pi \cdot 10^4 = 44.4 \cdot 10^4 \text{ V/s} = 0.44 \text{ V}/\mu\text{s} > SR = 0.1 \text{ V}/\mu\text{s}$$

Il segnale di uscita è distorto.

$$1d) \quad V_{O_{\text{mol}}} = I_b^+ \cdot R_+ \cdot (1) - I_b^- R_2 = 0 \text{ se } R_+ = R_2 \text{ essendo } I_b^+ = I_b^-$$

$$1e) R_i = R_+ + R_i^*$$



$$R_i^* = R_{open\ loop}^* (1 - G_{loop}(0)) \quad \text{dove } R_{open\ loop}^* = R_{id} + R_2$$

$$e) G_{loop}(0) = - \frac{A_0 R_{id}}{R_{id} + R_2} \approx - \frac{A_0}{2}$$

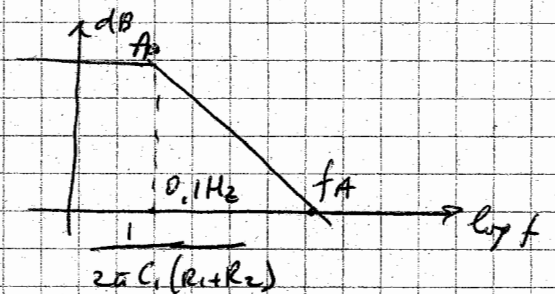
quindi 
$$R_i = R_+ + (R_{id} + R_2) \left(1 + \frac{A_0}{2}\right) = 39k + 189k \left(\frac{10^5}{2}\right) \approx 10^{10} \Omega$$

$$1f) G_{loop}(s) = - \frac{A(s) Z_1}{R_2 + Z_1} = - \frac{A_0}{1 + s\tau} \frac{1 + sR_1 C_1}{1 + sC_1(R_1 + R_2)}$$

dove  $\tau = \frac{1}{2\pi f_{pA.O.}}$ ,  $f_{pA.O.} = 10 \text{ kHz}$ ,  $\tau = \frac{0.1}{2\pi} = R_1 C_1$

Il polo di A.O. cancella lo zero prodotto da  $R_1 C_1$ , quindi

$$G_{loop}(s) = - \frac{A_0}{1 + sC_1(R_1 + R_2)}$$



$$f_A \cdot 1 = 10^5 \cdot 0.1 \Rightarrow f_A = 10 \text{ kHz}$$

Alla frequenza  $f_A$  la fase di  $G_{loop}$  è  $\sim -270^\circ$

quindi il margine di fase è di circa  $90^\circ$

2a) Il segnale  $V_{in}$  in uscita da  $OP_2$  deve coprire tutta la dinamica dell'ADC, quindi  $V_{inpp} \cdot \left(1 + \frac{R_2}{R_1}\right) = 12 \text{ V}$ , dove  $V_{inpp} = 100 \text{ mV}$   
da cui  $R_2 = \frac{12 - 0.1}{0.1} R_1 = 119 \text{ k}\Omega$

Dobbiamo poi fare in modo che, quando  $V_{in} = 0$ ,  $V_2 = 6 \text{ V}$  (metà dinamica dell'ADC) Quindi  $6 \text{ V} = V_1 = V_{pol} \left(-\frac{R_2}{R_1}\right)$  da cui  $V_{pol} = -\frac{6 \text{ V}}{\frac{119 \text{ k}\Omega}{2}} = -50.4 \text{ mV}$

2b) Fase di sample : il canale del pMOS deve essere sempre presente per cui  $V_{CH} - V_G \geq |V_t|$  ~~✓~~  $V_{CH}$  compreso tra 0 e 12 V.  
La condizione peggiore si ha per  $V_{CH} = 0 V$ , da cui si ricave  
 $V_{Gsample} \leq -1 V$

Fase di hold : il canale del pMOS deve essere sempre presente per qualsiasi valore di  $V_s \equiv V_{CH}$ , compreso tra 0 e 12 V.

$$V_{GH} - V_G < |V_t| \quad \text{La condizione critica si ha per } V_i = V_{CH} = 12 V, \text{ da cui } V_{Ghold} \geq 11 V$$

2c) All'ingresso di OP2 una  $\Delta V_G = 15 V$  produce un gradino pari a

$$\Delta V = \frac{C_{gd}}{C_H + C_{gd}} \Delta V_G = 7.5 mV$$

$$1 LSB = \frac{12 V}{2^{10}} \approx 12 mV \quad (11.71 mV)$$

$\Delta V < 1 LSB \Rightarrow$  nessun effetto sulle conversioni

$$\Delta V = 0.64 LSB$$

2d) Il massimo errore di guadagno è dato da

$$E_{nmax} = V_{inmax} (G_{id} - G_{reale}) \quad \text{dove } V_{inmax} = 50 mV$$

$$G_{id} = 1 + R_2/R_1 \quad G_{reale} = \frac{G_{id}}{1 - \frac{1}{G_{loop}}} \quad \text{e } G_{loop} = - \frac{A_o R_1}{R_1 + R_2} = - \frac{A_o}{G_{id}}$$

da cui si ricava  $G_{id} = 120 \quad G_{reale} = 113.971 \quad \text{e quindi}$

$$E_{nmax} = 1.44 mV \approx 0.12 LSB$$

2e) Almeno 40 KHz (frequenza del campionamento!) cui corrisponde un  $T_{samp} = 25 \mu s$

2 f) Improvons le condensateur

$$\Delta V = \frac{\Delta Q}{C_H} = \frac{I_b \cdot T_{hold}}{C_H} = \frac{L_{SB}}{2} \approx 6 \text{ mV} \quad (5,86 \text{ mV})$$

de cui  $T_{hold} = \frac{L_{SB}}{2} \cdot \frac{C_H}{I_b} \approx 0,6 \text{ ms} = 600 \mu\text{s} \quad (586 \mu\text{s})$

2 g)  $T_{conv \text{ ADC grad}} = 2^{10} \cdot \frac{1}{f_{ck}} = 1,024 \text{ ms} > T_{conv} = 15 \mu\text{s}$

$$T_{conv \text{ ADC sar}} = n \frac{1}{f_{ck}} = 10 \mu\text{s} < T_{conv} = 15 \mu\text{s}$$

On ne réalise un ADC type SAR

2 h) Voir matériel didactico.