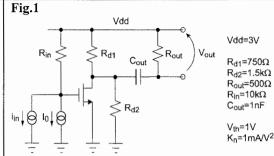
Fondamenti di Elettronica - Ing. INFORMATICA - AA 2005/2006

13 Luglio 2006

Indicare chiaramente la domanda a cui si sta rispondendo. Ad esempio 1a) ...

Esercizio 1. Si consideri l'amplificatore mostrato in Fig.1:

- a) determinare <u>tutte</u> le correnti e le tensioni del circuito per $I_0=100\mu A$ e $i_{in}=0A$;
- b) determinare la funzione di trasferimento $\mathbf{v}_{out}/\mathbf{i}_{in}$ e disegnarne i diagrammi di Bode <u>quotati</u> del modulo e della fase;
- c) <u>ricavare</u> e <u>disegnare</u> l'andamento della tensione $V_{out}(t)$ (almeno due periodi, <u>polarizzazione più segnale</u>) su un grafico <u>quotato</u>, per $I_0=100\mu A$ e $i_{in}=10\mu A$ $\cos(2\pi f_0 t)$, per $f_0=5kHz$ e $f_0=5MHz$.



Esercizio 2. Si consideri la porta logica di Fig.2:

- a) indicare la funzione logica svolta dal circuito;
- b) realizzare la rete P-mos col numero minimo di transistors;
- c) calcolare il <u>tempo di propagazione</u> quando gli ingressi commutano dalla configurazione ABC=000 alla ABC=101.

Fig.2 VDD VDD=5V Kn=1mA/V² Vth=1V CL=1pF OUT

Esercizio 3. Si consideri l'amplificatore di fig.3:

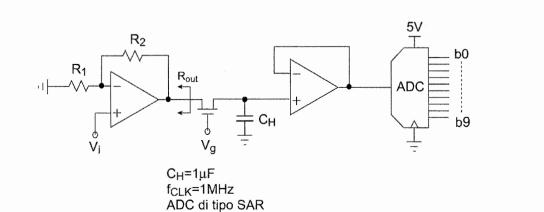
- a) Trovare $\mathbf{v}_0(\mathbf{s})/\mathbf{v}_i(\mathbf{s})$ e disegnare il diagramma di Bode <u>quotato</u> di modulo e fase, supponendo l'A.O. ideale.
- b) Calcolare Gloop(s) e valutare la stabilità del circuito.
- c) Assumendo che SR=0.1V/μs, verificare eventuali limitazioni di SR nel caso in cui il segnale d'ingresso sia una sinusoide di ampiezza 100mV e frequenza 100Hz.

Fig.3 C R₁ V₁ R₂ O V₀ R₁=100Ω GBWP=1MHz R₂=99·R₁ A₀=10⁵ C=15.9μF

Esercizio 4. Si consideri il sistema d'acquisizione dati di fig.4:

- a) Sapendo che il segnale di ingresso ha una dinamica compresa tra 0 e 50mV, e supponendo ideali gli A.O., scegliere i valori di R₁ e R₂ in modo da adattare il segnale alla dinamica dell'ADC.
- b) Supponendo che $A_0=10^5$ e che la resistenza di uscita del A.O. è $r_u=100\Omega$, calcolare la R_{out} dell'amplificatore di ingresso.
- c) Sapendo che la resistenza del MOS (quando è acceso) vale $r_{sw}=100\Omega$, calcolare il minimo valore di t_{sample} .
- d) Qual è il massimo valore accettabile per I_{bias}⁺ del buffer?



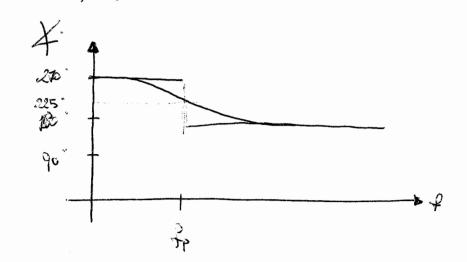


Epocettio nº 1:

a)
$$V_q = V_{DD} - R_{in} \cdot I_o = 2V \Rightarrow V_{qS} = V_q = 2V \Rightarrow V_{dV} = 1V$$

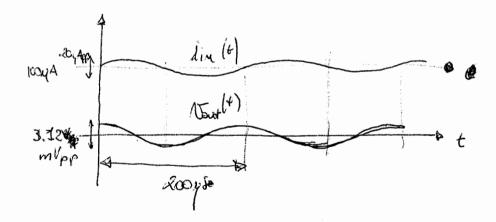
hp: $V_{QS} = V_{DD} - R_{in} \cdot I_o = 2V \Rightarrow V_{qS} = V_q = 2V \Rightarrow V_{dV} = 1V$

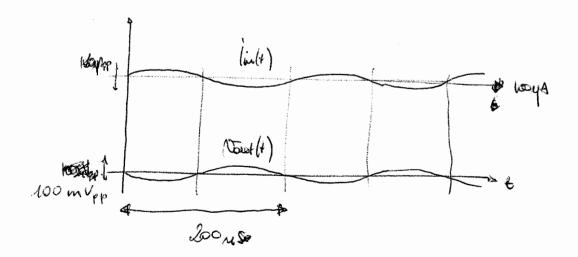
$$V_0\left(4+\frac{Rd_1}{Rd_2}\right) = V_{00} - Rd_1 \cdot \overline{L}_0 \Rightarrow V_0 = \frac{V_{00} - Rd_1 \cdot \overline{L}_0}{1+\frac{Rd_1}{Rd_2}} = 1.5V$$



e) por
$$f_0 = 5KH_2$$
: 12 gualegue e': $740112R + 10.\log_{10}\left(\frac{5KH_2}{160KH_2}\right) = 44018R$

la fane e': 240

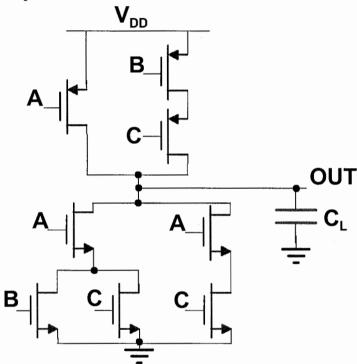




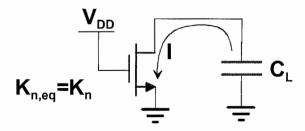
Soluzione TE 13 Luglio 2006

Es. 2

- a) La funzione logica svolta dal circuito è OUT = NOT (A AND (B OR C)).
- b) Il ramo di destra della rete n-MOS composto dai transistori comandati dai segnali A e C è ridondante. Infatti, il loro contributo alla funzione logica è già incluso nel ramo di sinistra. Pertanto la rete p-MOS può essere realizzata usando solo 3 transistori:



c) La transizione ABC=000 → ABC=101 fa commutare l'uscita OUT da alta a bassa: il condensatore C_L si scarica attraverso la serie dei due nMOS A e C, gli unici transistor accesi durante questa commutazione. Per il calcolo del tempo di commutazione, la serie di due MOSFET può essere in prima approssimazione sostituita da un unico MOSFET equivalente con lunghezza di canale pari al doppio della lunghezza di ciascun singolo MOSFET e con larghezza pari alla larghezza dei MOSFET originali. Si ottiene quindi che il MOSFET equivalente ha un rapporto di forma pari a ½ di quello di un singolo MOSFET. Quindi K_{n,eq1} = ½ K_n = 0.5mA/V². Inoltre, ci sono due rami messi in parallelo con i segnali A e C. Risulta quindi che durante la commutazione ABC=000 → ABC=101 ci sono due rami composti dai MOSFET A e C in parallelo. Quindi il MOSFET equivalente ha un K_n doppio: K_{n,eq} = 2·K_{n,eq1} = K_n = 1mA/V². Una volta sostituito il MOSFET alla rete di nMOS originaria, si calcola il tempo di commutazione del seguente circuito equivalente:



Per l'analisi della transizione è utile considerare il luogo dei punti percorso durante la commutazione sulle caratteristiche $I_{DS}(V_{DS})$ dell'nMOS equivalente. Durante tutta la commutazione, il luogo dei punti è rappresentato dalla curva a V_{GS} =5V. Il punto iniziale è identificato da V_{DS} =5V. Per V_{DS} = V_{OUT} compresa tra V_{DD} = 5V e V_{DSsat} = V_{DD} – V_{Tn} = 4V, l'n-MOS è saturo ed è modellizzabile con un generatore di corrente $I = K_{n,eq} \cdot (V_{DD} - V_{Tn})^2$ = 16mA. In questo primo tratto (4V< V_{DS} <5V) la capacità viene scaricata a corrente costante. Data la carica da portar via da C pari a Q=C· Δ V con Δ V la variazione di tensione che subisce C (Δ V=1V), il tempo impiegato per percorrere questo tratto a corrente costante vale t_1 =Q/I=1pF·(5V-4V)/16mA=62.5ps. Per V_{DS} <000 V_{DSsat} l'n-MOS è in zona lineare ed è modellizzabile con una resistenza che approssima l'andamento della curva I_{DS} vs. V_{DS} in zona lineare: R_{eq} = V_{DSsat} / I = 250 Ω . Secondo l'approssimazione con R_{eq} , per V_{out} compresa tra V_{DSsat} e 50%· V_{DD} = 2.5V (tensione di soglia logica) si ha una scarica esponenziale di C attraverso R_{eq} con costante di tempo τ = R_{eq} C=0.25ns: 2.5V = 4V · exp (- t₂ / τ) da cui t₂ = 117.5ps. Quindi il tempo totale per completare la commutazione (da V_{DD} a V_{DD} /2) vale t_{HL} = t_1 + t_2 =180ps.

