

ELEC 331 - Electronic Circuits 2
Laboratory Manuals

November 12, 2015

1 AC-DC DÖNÜŞTÜRÜCÜLER

1.1 Malzeme Listesi

Bileşen	Miktar	Değer
Opamp	1	LM348
BJT	1	BC238
Diyot	1	1N4001
Köprü Diyot	1	Min. 0.5A, 10V
Potansiyometre	1	47k Ω
Kondansatör	1	1000 μ F
Direnç	5	10k Ω
Direnç	1	4.7k Ω
Direnç	1	1k Ω

Bu deneyin amacı akış yönü zamanla periyodik olarak değişen bir AC sinyalden sürekli aynı yönde akan bir DC sinyal elde etmektir. Bu amaca yönelik tasarlanacak AC-DC dönüştürücü devresinin hangi durumlarda istenen çıkış gerilimini ve yük akımını sağlayabileceği analiz edilecektir.

1.2 Teorik Bilgi

AC-DC dönüştürücüler akış yönü zamanla periyodik olarak değişen alternatif akımı sürekli aynı yönde akan doğru akıma çevirmek üzere kullanılan elektronik devrelerdir. Bu devreler elektrik şebekesine bağlı her türlü elektronik cihaz (televizyon, bilgisayar, vb.) içerisinde kullanılmaktadırlar [1].

En genel hatlarıyla AC-DC dönüştürücüler transformatör, doğrultucu ve filtre kondansatöründen meydana gelmektedir [2]. Kullanım amaçlarına göre bu devrelere düzenleyici ve çıkış koruma devreleri de ilave edilebilmektedir.

1.2.1 Transformatör

Transformatörler girişlerine uygulanan alternatif sinyalin gerilim değerini değiştirerek çıkışa iletebilen elektriksel cihazlardır [2]. Transformatörlerin giriş ve çıkış gerilimleri arasındaki ilişki aşağıdaki eşitlik ile verilmektedir.

$$v_0 = v_i \frac{N_0}{N_1} - v_k \quad (1.1)$$

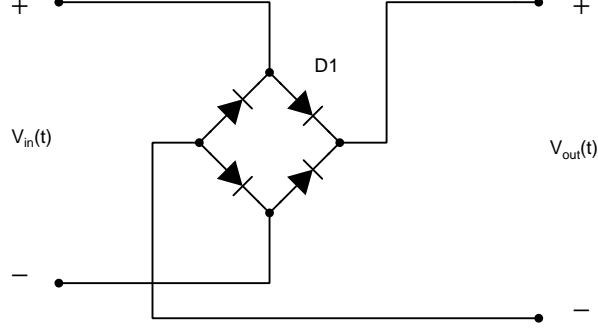
Burada v_i ve v_0 sırasıyla giriş ve çıkış gerilimlerini, N_1 ve N_0 nüve etrafına sarılmış bakır tellerin giriş ve çıkış taraflarındaki sarım sayılarını, v_k ise transformatördeki gerilim kaybını göstermektedir. İdeal çalışma söz konusu olduğunda v_k göz ardı edilmektedir.

1.2.2 Doğrultucu

Doğrultucular, bir periyodu boyunca ortalaması sıfır olan alternatif işaretin negatif yarı periyodunu kırpma (yarım dalga doğrultma) veya pozitif katlamak (tam dalga doğrultma) için kullanılan, söz konusu işaretin ortalamasını sıfırdan farklı hale getiren devre bloklarıdır [1, 3, 4]. Tam dalga doğrultucu yapısı kullanılarak yarım dalga doğrultucu yapısına göre daha yüksek bir DC ortalama seviyesi elde edilmesi sebebiyle pratik uygulamalarda genellikle tam dalga doğrultucu yapısı tercih edilmektedir [1, 4].

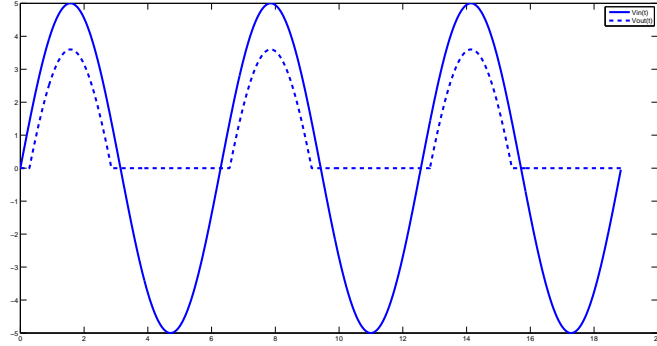
Doğrultucu bloğunun tasarımı, arzu edilen çıkış gerilimi ve yük akımına bağlı olarak yapılmalıdır. Örneğin, 5A yük akımı çekilmek istenen bir dönüştürücü devresinin doğrultucu bloğunda en fazla 1A akım verebilen 1N4001 diyotlarının tercih edilmesi diyotların yanmasına sebep olacaktır. Bunun yerine aynı çıkış bloğu için 10A akım verebilen köprü diyot kullanılması ise devrenin kapladığı alanı ve maliyetini arttıracaktır.

Bu sebeple, doğrultucu bloğu tasarlanırken en uygun diyotlar tercih edilmelidir. Aşağıda bir tam dalga köprü doğrultucunun devre şeması görülmektedir.



Şekil 1.1: Tam dalga köprü doğrultucunun devre şeması

Şekil 1.1 ile gösterilen tam dalga köprü doğrultucunun çıkışı bir direnç üzerinden gözlenmek üzere $v_{in}(t)$ ve $v_{out}(t)$ sinyallerinin zamana bağlı değişimleri aşağıdaki gibi olacaktır.

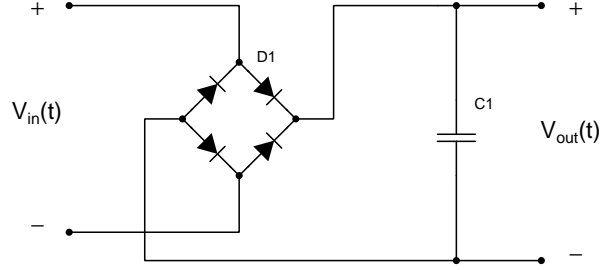


Şekil 1.2: $v_{in}(t)$ ve $v_{out}(t)$ sinyallerinin zamana bağlı değişimleri

1.2.3 Filtreleme Kondansatörü

Şekil 1.2'den görüleceği üzere tam dalga köprü doğrultucunun çıkış gerilimi dalgalanmalara sahiptir. Söz konusu dalgalanmalar yeterince yüksek sığalı bir kondansatör ile filtrelendiğinde çıkış gerilimi yaklaşık olarak DC gerilime dönüştürülebilmektedir [3]. Böylesi bir kullanımda, Şekil 1.2'deki $v_{out}(t)$ geriliminin tepe değerinde deformasyona uğramayacak kadar yüksek delinme gerilimine sahip ve dalgalanmaları filtreleyebilecek sığada bir kondansatör tercih edilmelidir [1,3]. Pratikte polariteli kondansatörler kullanılmak üzere, 50 – 60Hz şebeke gerilimiyle beslenen AC-DC dönüştürücü devrelerinde

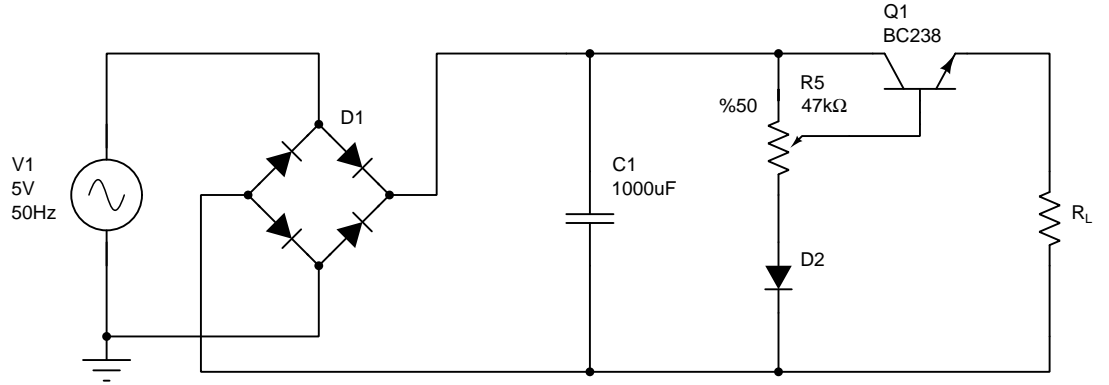
genellikle μF mertebesindeki kondansatörler yeterli olmaktadır. Filtreleme kondansatörünün doğrultucu çıkışına bağlanma şekli aşağıda görülmektedir.



Şekil 1.3: Filtreleme kondansatörünün doğrultucu çıkışına bağlanma şekli

1.3 Deney Devresi

Bu deneyde, çıkış gerilimi $0 - 3.8\text{V}$ arası ayarlanabilen ve en yüksek 500mA akım çekilebilen AC-DC dönüştürücü devresi gerçekleştirilecektir. Devrenin maksimum yük akımı, BC238 transistörünün maksimum kollektör akımı tarafından belirlenmektedir. Devreden çekilmek istenen akımının 500mA değerini geçmesi halinde çıkış transistörü deformasyona uğrayacaktır. Deney devresi aşağıda görülmektedir.

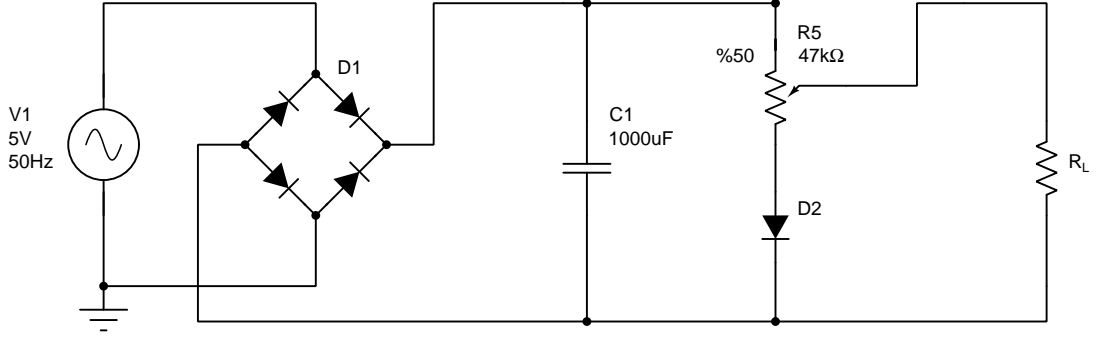


Şekil 1.4: $0 - 3.8\text{V}$ arası ayarlanabilir AC-DC dönüştürücü devresi

Şekil 1.4 ile gösterilen dönüştürücü devresinde $C1$ filtre kondansatörüne paralel olarak bağlanan mono potansiyometre ve 1N4001 diyotu ile bir gerilim bölücü tasarlanmıştır. Gerilim bölücü aracılığıyla transistörün baz akımı kontrol edilerek kollektör akımı ayarlanabilmekte ve böylelikle devrenin çıkış gerilimi $0 - 3.8\text{V}$ arasında değiştirilebilmektedir. Potansiyometre $\%0$ değerinde iken transistörün iletimde kalmasını sağlamak amacıyla 1N4001 diyotu ile transistörün baz gerilimi $V_D = 0.7\text{V}$ değerine yükseltilmiştir. Dönüştürücü devresine uygulanan AC gerilimin tepe değeri V_m olmak üzere, $V_m > V_{CE_{max}}$ olduğu durumda transistör deformasyona uğrayacaktır. $V_m < V_{CE_{sat}} = V_{CE_{min}}$ durumunda ise transistör saturasyona girecektir. O halde, Şekil 1.4'te görülen dönüştürücü

devresinde AC giriş geriliminin tepe değeri $V_{CE_{min}} < V_m < V_{CE_{max}}$ aralığında olmalıdır. Ayrıca transistörün azami kollektör akımının 500mA olması dolayısıyla köprü diyotun söz konusu azami akımı sağlayabilmesi ve AC giriş işaretin tepe değerinde de deformasyona uğramaması gerektiği unutulmamalıdır [2].

Şekil 1.4'teki devrede çıkışın transistör olmadan sürülmesi halinde aşağıdaki yapı elde edilmektedir.

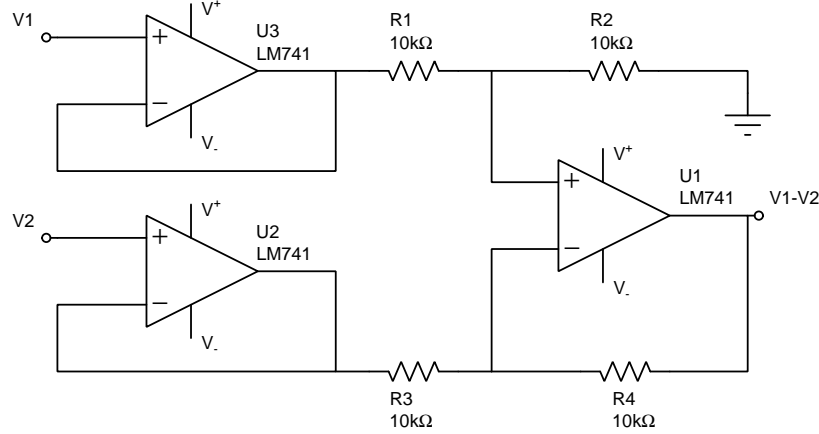


Şekil 1.5: Çıkışın transistör olmadan sürülmesi

Çıkış gerilimi gerilim bölücü ile doğrusal olarak ayarlanabilen bir AC-DC dönüştürücü yapılabilmesi gerilim bölücünün yük direncinden bağımsız olarak çalışabilmesini gerektirmektedir. Bunun sağlanabilmesi için yük direncinin değeri potansiyometrenin değerine göre oldukça yüksek olmalıdır. Yük direncinin düşük değerlikli olması durumunda ise yük direnci gerilim bölücüye etki ederek doğrusal bir ayarlama yapılamamasına sebep olacaktır. Dolayısıyla böyle bir yapıda çıkış sinyali yük direncine bağımlı bir davranış sergileyecektir. Bu problemi gidermek amacıyla çıkış bloğuna yerleştirilen transistör ile yük direncinin gerilim bölücüye olan etkisi azaltılarak çıkıştaki gerilim değişiminin potansiyometredeki değişim ile doğrusal bir ilişki sergilemesi sağlanmaktadır.

1.4 Deney Öncesi Benzetimler

Deney ve benzetimler esnasında bağlantı noktalarından herhangi biri topraklanmamış bir bileşenin üzerindeki gerilimin osiloskop aracılığıyla gözlenmesi gerekecektir. Buna örnek olarak Şekil 1.4 devresindeki R_L direnci gösterilebilir. Bu ve benzeri ölçümlerin yapılabilmesi için osiloskobun her iki probunun da bileşen üzerinde kullanılması gerekmektedir. Ancak bu durumda girişteki ve bileşen üzerindeki sinyallerin osiloskop ekranında karşılaştırılması mümkün olmayacaktır. Bu nedenle aşağıdaki işlemsel yüksekteçli çıkarıcı devresinin kurulması gerekmektedir.



Şekil 1.6: İşlemsel yükselteçli çıkarıcı devresi

İşlemsel yükselteçli çıkarıcı devresinin V1 ve V2 girişleri ilgili bileşenin uçlarına bağlandığında bileşen üzerinde oluşan sinyal şekli U1 işlemsel yükseltecinin çıkışına bağlanacak tek bir osiloskop probu ile gözlemlenebilecektir. Şekil 1.6'da U3 ve U2 ile gösterilen tampon yükselteçlerin kullanımı, çıkarıcının bağlandığı devreyi yüklememesi açısından oldukça önemlidir.

1.4.1 Tam Dalga Köprü Doğrultucu

Bir benzetim programı yardımıyla Şekil 1.1 ile gösterilen tam dalga köprü doğrultucu devresini kurunuz. Devrenin çıkış uçları arasına $R = 1k\Omega$ değerinde bir direnç bağlayınız ve devrenin girişine $v_{in}(t) = 5 \sin(2\pi 50t)V$ sinüzoidal sinyalini uygulayınız. Direnç üzerindeki gerilimi gözlemlemek amacıyla Şekil 1.6 ile gösterilen çıkarıcı devresini kurarak girişlerini direncin uçlarına bağlayınız. Tüm sistem için giriş sinyali tam dalga köprü doğrultucunun girişi ve çıkış sinyali çıkarıcı devrenin çıkışı olmak üzere giriş ve çıkış sinyallerini kaydediniz. Çıkış sinyalinin tepe gerilim değerindeki azalmayı ve giriş sinyali ile arasında olan faz farkını yorumlayınız.

1.4.2 Ayarlanabilir AC-DC Dönüştürücü

Şekil 1.4 ile verilen AC-DC dönüştürücü devresini kurunuz. Yük direncinin sonsuz (açık devre) olduğu durumda potansiyometrenin değerini değiştirerek çıkış sinyalinin DC değerindeki değişiklikleri gözlemleyiniz. Çıkış sinyalinin en düşük ve en yüksek DC değerlerini kaydediniz ve yorumlayınız.

1.4.3 Dalgalandırmaları Azaltma

Bu adımda, çıkış sinyalindeki dalgalandırmaları net bir şekilde gözlemleyebilmek için osiloskop ayarlarından AC kuplajlamayı seçiniz ve olabildiğince küçük Volt/div oranı

kullanınız.

Bir önceki adımda kurmuş olduğunuz devrede potansiyometre değerini %100'e sabitleyiniz. Yük direncinin (R_L) değerini sırasıyla $10k\Omega$ ve $1k\Omega$ seçerek çıkış sinyalindeki dalgalanmaları gözlemleyiniz. Dalgalanma genliğinin yük direnci ile olan ilişkisini yorumlayınız.

Yük direnci $10k\Omega$ olmak üzere $C1$ kondansatörünü $4700\mu F$ olarak seçiniz ve çıkış sinyalindeki dalgalanmaları gözlemleyiniz. Dalgalanma genliğinin kondansatörün sığası ile olan ilişkisini yorumlayınız.

Çıkış sinyalindeki dalgalanmaları azaltabilmek için yukarıdakiler haricinde bir öneride bulununuz ve önerinizi simule ederek sonuçları kaydediniz.

1.4.4 Çıkış Sinyalinin Yüke Bağımlılığı

Şekil 1.4 gösterilen devreyi kurunuz ve sırasıyla $R_L = 10k\Omega$ ve $R_L = 1k\Omega$ için potansiyometrenin değerini %100'den %0'a doğru değiştiriniz ve çıkış sinyalinin genliğinde olan azalmayı gözlemleyiniz. Aynı işlemleri Şekil 1.5 ile gösterilen devre için tekrarlayınız ve çıkıştaki değişimin potansiyometrenin değişimi ile olan ilişkisini kıyaslayınız. Hangi devrenin davranışı çıkışına bağlanan yüke bağımlı olarak değişmektedir?

1.5 Deneyde Yapılacaklar

Deney esnasında bağlantı noktalarından herhangi biri topraklanmamış bir bileşenin üzerindeki gerilimin osiloskop aracılığıyla gözlenmesi gerekecektir. Buna örnek olarak Şekil 1.4 devresindeki R_L direnci gösterilebilir. Bu ve benzeri ölçümlerin yapılabilmesi için osiloskobun her iki probunun da bileşen üzerinde kullanılması gerekmektedir. Ancak bu durumda girişteki ve bileşen üzerindeki sinyallerin osiloskop ekranında karşılaştırılması mümkün olmayacaktır. Bu nedenle, Şekil 1.6 ile gösterilen işlemsel yükselteçli çıkarıcı devresinin kurulması gerekmektedir.

1.5.1 Tam Dalga Körpü Doğrultucu

Şekil 1.1 ile gösterilen tam dalga köprü doğrultucu devresini kurunuz. Devrenin çıkış uçları arasına $R = 1k\Omega$ değerinde bir direnç bağlayınız ve devrenin girişine $v_{in}(t) = 5 \sin(2\pi 50t)V$ sinüzoidal sinyalini uygulayınız. Direnç üzerindeki gerilimi gözlemlemek amacıyla Şekil 1.6 ile gösterilen çıkarıcı devresini kurarak girişlerini direncin uçlarına bağlayınız. Tüm sistem için giriş sinyali tam dalga köprü doğrultucunun girişi ve çıkış sinyali çıkarıcı devrenin çıkışı olmak üzere giriş ve çıkış sinyallerini gözlemleyiniz. Çıkış sinyalinin tepe gerilim değerindeki azalmayı ve giriş sinyali ile arasında olan faz farkını yorumlayınız. Benzetim sonuçlarınızı deneysel sonuçlarınız ile karşılaştırınız.

1.5.2 Ayarlanabilir AC-DC Dönüştürücü

Şekil 1.4 ile verilen AC-DC dönüştürücü devresini kurunuz. Yük direncinin sonsuz (açık devre) olduğu durumda potansiyometrenin değerini değiştirerek çıkış sinyalinin DC değerindeki değişiklikleri gözlemleyiniz. Çıkış sinyalinin en düşük ve en yüksek DC değerlerini kaydediniz ve yorumlayınız. Benzetim sonuçlarınızı deneysel sonuçlarınız ile karşılaştırınız.

1.5.3 Yük Direncinin Dalgalanmaya Etkisi

Şekil 1.4 devresinde potansiyometre değeri %100'de iken R_L direnç değerini sırasıyla aşağıdaki tabloda gösterilen değerlerde seçerek çıkış sinyalindeki dalgalanmaları gözlemleyiniz. Yük direncinin çıkış sinyalinde görülen dalgalanmalara olan etkisini yorumlayınız.

Tablo 1.1: R_L direnç değerleri

	$R_L = \infty$	$R_L = 10k\Omega$	$R_L = 4.7k\Omega$	$R_L = 1k\Omega$
$v_{out}(DC)$				

1.6 Değerlendirme Soruları

1. Tablo 1.1'de kaydettiğiniz ölçüm verilerinizi kullanarak, yük direncinin azalması-
nın çıkış gerilimine etkisini yorumlayınız.
2. v_{out} çıkış gerilimindeki dalgalanmaları azaltmak için bir öneride bulununuz.
3. Deneyde tam dalga doğrultucu yerine yarım dalga doğrultucu kullanılmasının çıkış
sinyalinde ne gibi değişikliklere sebep olacağını açıklayınız.
4. Şekil 1.4'deki deney devresinde kullanılan elemanların zarar görmeden çalışabil-
mesi için, eleman seçimi sırasında dikkat edilmesi gereken hususları belirtiniz.
5. Şekil 1.4'deki $D2$ diyotunun görevini açıklayınız. 1N4001 yerine farklı bir diyotun
kullanılması durumunda çıkış geriliminde meydana gelebilecek farklılıkları belir-
tiniz.
6. Şekil 1.4'deki devrede kullanılan transistörün devreye yük bağımlılığı açısından
olan etkilerini açıklayınız.
7. Şekil 1.4'deki devrede çıkış akımının en yüksek değerini arttırmak için yapılabi-
lecek değişiklikleri anlatınız.

1.7 Quiz Soruları

1. AC giriş işaretinin frekansı ω olmak üzere, AC giriş geriliminin her bir periyodu
için çıkış geriliminin iki periyodu oluşması dolayısıyla, köprü doğrultucunun çıkış
geriliminin temel frekansı 2ω 'dır.
2. Bir yerine iki diyot gerilim düşümü olduğundan, tam dalga doğrultucu devresinin
çıkış geriliminin tepe değeri yarım dalga doğrultucuya göre daha düşüktür.

3. Kondansatörün yaklaşık sabit bir DC gerilim sağlamak için kullanıldığı devrelerde, RC zaman sabiti sinüs dalgasının periyoduna göre küçüktür.
4. Doğru bir şekilde işleyebilmesi için, tam dalga doğrultucudaki diyotların ters tepe gerilimleri (PIV) giriş sinyalin tepe değerinden daha büyük olmalıdır.
5. Çıkış transistörü sayesinde, potansiyometreye bağlanan yük direnç değeri azalmakta ve bu sayede çıkış geriliminin isabetli olarak ayarlanabilmesi sağlanmaktadır.

2 AKIM KAYNAKLARI

2.1 Malzeme Listesi

Bileşen	Miktar	Değer
BJT	3	BC238
Direnç	1	470 Ω
Direnç	1	1k Ω
Direnç	1	4.7k Ω
Direnç	1	10k Ω

Bu deneyin temel amacı, akım kaynağı tasarım aşamalarını öğrenmektir. Ayrıca basit (temel), geliştirilmiş ve Widlar akım kaynakları incelenecek, tasarımı ve analizi yapılarak aralarındaki farklar incelenecektir.

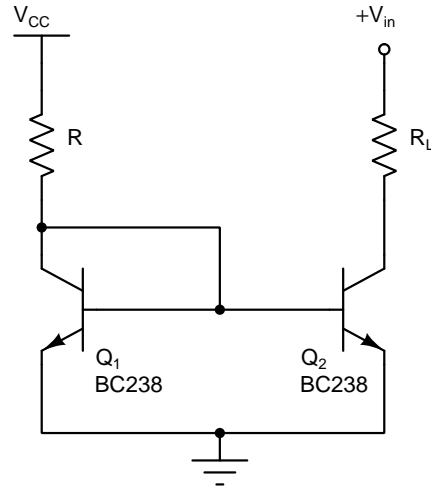
2.2 Teorik Bilgi

Akım kaynakları, ideal olarak herhangi bir yük direnci üzerinden akan sabit bir akım üreten enerji kaynaklarıdır [5]. Akım kaynakları hem DC çalışma noktasını sağlamak hem de aktif yük olarak kullanmak amacıyla tasarlanırlar [6, 7]. İşlemsel kuvvetlendirici ve karşılaştırıcı devrelerinde sıkça kullanılan akım kaynaklarının yüksek giriş direnci sayesinde yüksek CMRR oranı elde edilebilmektedir [7].

2.3 Deney Devresi

2.3.1 Basit (Temel) Akım Kaynağı

Temel akım kaynağı, iki transistör ve bir dirençten oluşur [8]. Deneyde kurulacak basit akım kaynağı devresi aşağıdaki şekilde görülmektedir.



Şekil 2.1: Basit (Temel) akım kaynağı devresi

Şekil 2.1’de görüldüğü gibi Q_1 transistörünün bazı kolektörü ile kısa devredir ve $V_{CC} > V_{CE,SAT}$ için $V_{CE1} = V_{CE2} = 0.65V$ ’dur. Bu demektir ki, $V_{CE,SAT} < 0.65V$ sağlanması halinde Q_1 transistörü aktif bölgede çalışmaktadır. Q_2 çıkış transistörü olmak üzere, kolektörüne bağlanacak devrenin çıkış direnci (R_L yük direnci) ve v_{in} gerilimi ne olursa olsun $I_0 = I_{C2}$ çıkış akımının idealde sabit kalması beklenir [5]. Yük direnci veya v_{in} gerilimindeki değişimler V_{CE2} gerilimini değiştirmektedir. Bu nedenle, çıkış akımının idealde V_{CE2} geriliminden bağımsız olması gerekmektedir. Dolayısıyla Q_2 çıkış transistörünün aktif bölgede (lineer bölgede) çalışması gerekir [9]. $I_C - V_{CE2}$ öz eğrilerinden

dolayı, lineer bölgede kolektör akımının (çıkış akımının) V_{CE} geriliminden bağımsız olması yaklaşımı düşük I_C akımı değerlerinde daha yüksek doğrulukla sağlanmaktadır [6]. Bu nedenle, tasarımı yapılacak akım kaynağının çıkış akımı yeterince küçük olacak şekilde ayarlanmalıdır. Her iki transistörün aktif bölgede çalışması ve akım kazançlarının eşit olması halinde kolektör ve baz akımları birbirine eşittir ($I_{B1} = I_{B2}, I_{C1} = I_{C2}$). Çıkış akımı olan $I_{C2} = I_0$, aşağıdaki denklem ile elde edilir [8,9].

$$I_{C1} = I_{C2} = \frac{I_R}{1 + \frac{2}{\beta}} \quad (2.1)$$

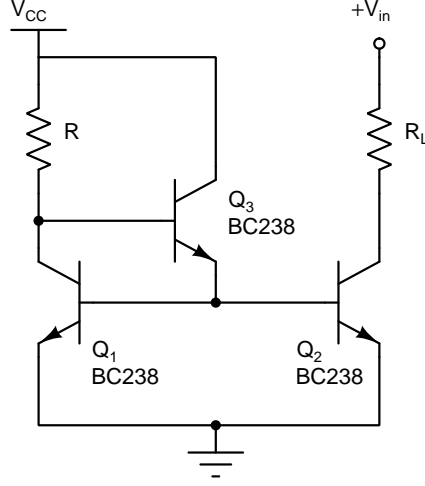
Bu denklemde, I_R , R direnci üzerinden akan referans akımıdır. Bu akım transistörün DC akım kazancı $\beta \gg 2$ olduğu zaman $I_R = I_{C1}$ alınır [8]. Dolayısıyla $I_R = I_{C1} = I_{C2} = I_0$ sağlanır. Burada tasarım parametresi olan R direnci, I_R referans akımı değerine aşağıdaki formülle bağlıdır [8,9].

$$R = \frac{V_{CC} - V_{BE1}}{I_R} \quad (2.2)$$

I_R referans akımı değerinin yeterince düşük olmadığı durumda β_2 ve I_{C2} değerleri V_{CE2} gerilimindeki değişimlere duyarlı olacağından, $I_R = I_{C1} = I_{C2} = I_0$ elde edilemeyecektir. Dolayısıyla, tasarıma başlarken $R \geq R_{MIN}$ koşulu dikkate alınmalıdır. Burada R_{MIN} değeri kullanılan çıkış transistörünün $I_C - V_{CE}$ öz eğrisine bağlı olarak tasarımcı tarafından belirlenmelidir.

2.4 Geliştirilmiş Temel Akım Kaynağı

Küçük akım kazançlı transistörlerle çalışıldığında I_{C2} ile I_R arasındaki eşitlik bozulmaktadır [8]. Referans akımı ile çıkış akımı arasındaki bu fark aşağıdaki şekilde gösterilen devre ile azaltılabilir. Böylece I_{C2} akımı, transistörün β parametresine daha az bağımlı olur. Oluşturulan yeni devre geliştirilmiş temel akım kaynağı olarak adlandırılır [6,8,9].



Şekil 2.2: Geliştirilmiş temel akım kaynağı devresi

Çıkış akımı aşağıdaki formül ile verilmektedir [9].

$$I_0 = I_{C1} = I_{C2} = \frac{I_R}{1 + \frac{2}{\beta^2 + \beta}} \quad (2.3)$$

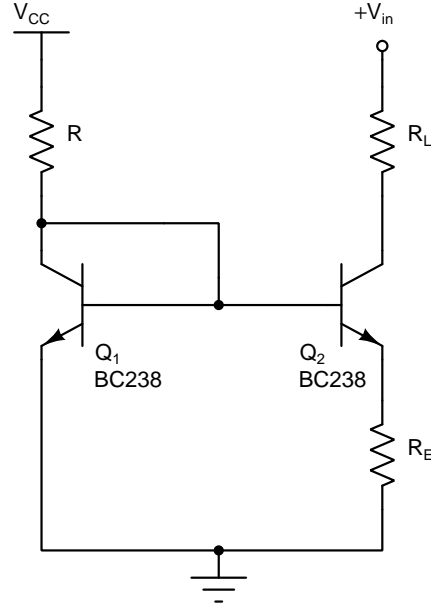
I_R 'nin R değerine bağımlılığı ise aşağıdaki denklem ile verilmektedir [9].

$$R = \frac{V_{CC} - V_{BE1} - V_{BE3}}{I_R} \quad (2.4)$$

Tıpkı temel akım kaynağında olduğu gibi, geliştirilmiş akım kaynağında da çıkış transistörünün lineer bölgede çalışması ve çıkış akımı (kolektör akımı) değerinin yeterince düşük olması gerekmektedir.

2.5 Widlar Akım Kaynağı

Temel akım kaynağında düşük şiddette örneğin μA mertebelerinde çıkış akımı oluşturmak için Q_2 tranzistörünün emetörüne bir direnç bağlanır. Bu yeni oluşum Widlar akım kaynağı olarak adlandırılır. Aşağıdaki şekilde deneyde kurulacak Widlar akım kaynağı devresi görülmektedir [6, 8, 9].



Şekil 2.3: Widlar akım kaynağı devresi

Devreye eklenen direnç nedeniyle I_{C2} , I_R 'ye eşit olmayacaktır. I_{C2} 'nin değeri I_{C1} 'den daha küçüktür [8]. R_E emetör direncinin değerine bağlı olarak, μA seviyesinde $I_0 = I_{C2}$ çıkış akımı elde edilebilir. Emetördeki direnç değeri aşağıdaki formülle bulunabilir.

$$V_T \ln \left(\frac{I_{C1}}{I_{C2}} \right) = I_{C2} R_E \quad (2.5)$$

Devreden elde edilecek referans akımı I_R aşağıda gösterilmiştir.

$$I_R = I_{C1} + I_{B1} + I_{B2} \quad (2.6)$$

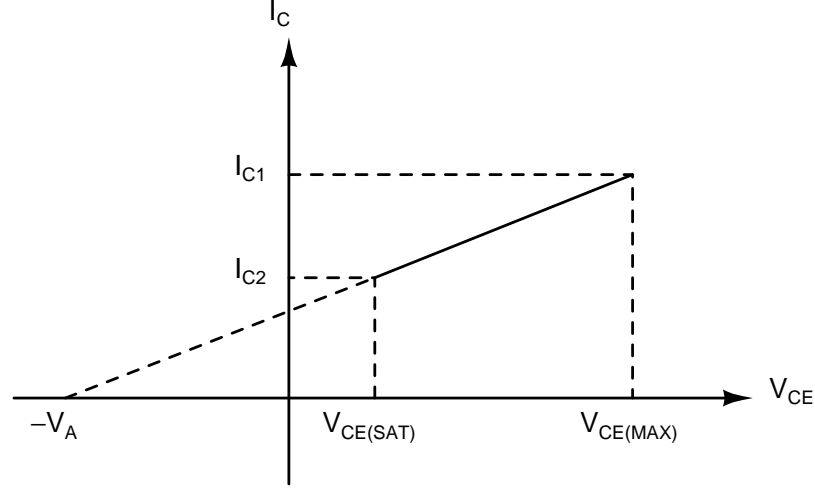
Buradan,

$$I_R = \frac{1 + \beta}{\beta} I_{C2} \exp \left(\frac{I_{C2} R_E}{V_T} \right) + \frac{I_{C2}}{\beta} \quad (2.7)$$

elde edilir. I_R 'nin R direncine bağımlılığı denklem 2.2'deki gibidir. Bu devrede iki bağımsız direnç değeri tasarıma katkıda bulunduğu için I_R ve I_{C2} birbirinden bağımsız seçilebilir [8]. I_{C2} çıkış akımı değerinin μA mertebesine düşürülmesi neticesinde I_{C2} değerinin V_{CE} gerilimindeki değişimlere, temel ve geliştirilmiş temel akım kaynaklarına göre daha az duyarlı hale gelmesi sağlanmaktadır. Bu sayede idealde beklendiğine yakın olacak şekilde, yük direnci ve v_{in} gerilimindeki değişimler I_{C2} çıkış akımı değerini diğer iki akım kaynaklarına göre daha az etkileyecektir.

2.6 Çıkış Direnci

Daha önceki konularda belirtildiği üzere, idealde V_{CE} gerilimindeki değişimlerin I_0 çıkış akımını etkilememesi gerekir. Pratik uygulamalarda I_0 ile V_{CE} arasındaki ilişki R_0 çıkış direnci ile belirlenmektedir. Aktif bölgede çalışan BJT'nin $I_C - V_{CE}$ grafiği aşağıdaki şekilde gösterildiği gibidir [6].



Şekil 2.4: Aktif bölgede çalışan BJT'nin $I_C - V_{CE}$ grafiği

Şekil 2.4'deki V_A , Early gerilimi olmak üzere, çıkış direnci aşağıdaki bağıntı yardımıyla hesaplanabilir [9].

$$R_0 = \frac{\Delta V_{CE}}{\Delta I_C} \quad (2.8)$$

Yukarıdaki ifadeden anlaşılabacağı üzere, ideal akım kaynaklarında $\Delta I_C = 0$ olacağından $R_0 = \infty$ olacaktır. Bunun anlamı, pratik uygulamalarda R_0 değeri arttıkça tasarlanan devre ideale yaklaşacaktır.

2.7 Deney Öncesi Benzetimler

2.7.1 Basit Temel Akım Kaynağı

1. Şekil 2.1 ile gösterilen devreyi bir simülasyon programı kullanarak kurunuz. $R = 4.7k\Omega$ ve $V_{CC} = 12V$ ayarlayınız. Tablo 2.1'de gösterilen ölçümleri alınız. Sonuçlarınızı yorumlayınız. Giriş gerilimine bağlı olarak çıkış akımında bir değişim gözlemliyor musunuz?
2. Her iki transistörün kolektör-emetör gerilimleri $0.65V$ değerine eşit olana kadar giriş gerilimini düşürünüz. Tablo 2.2'de gösterilen ölçümleri alınız. V_{IN} geriliminin değerinin buradaki önemi nedir?

3. Referans direncinin deęerini $R = 10k\Omega$ olarak ayarlayınız. Tablo 2.3’de gsterilen limleri alınız. Sonularınızı yorumlayınız. R_L yk direnci ve V_{IN} gerilim deęerine baęlı olarak ıkıř akımındaki deęiřimde azalma gzlemliyor musunuz?

2.7.2 Geliřtirilmiř Temel Akım Kaynaęı

1. řekil 2.2 ile gsterilen devreyi bir simlasyon programı kullanarak kurunuz. $R = 10k\Omega$ ve $V_{CC} = 12V$ ayarlayınız. Tablo 2.4’de gsterilen limleri alınız. Sonularınız ıřıęında bu yapının temel akım kaynaęına kıyasla hangi aıdan geliřtirilmiř olduęunu aıklayınız.

2.7.3 Widlar Akım Kaynaęı

1. řekil 2.3 ile gsterilen devreyi bir simlasyon programı kullanarak kurunuz. $R = 10k\Omega$, $R_E = 4.7k\Omega$ ve $V_{CC} = 12V$ ayarlayınız. Tablo 2.5’de gsterilen limleri alınız. Sonularınız ıřıęında bu yapının dięer akım kaynaklarına kıyasla hangi aıdan geliřtirilmiř olduęunu aıklayınız.

2.8 Deneyede Yapılacaklar

2.8.1 Basit Temel Akım Kaynaęı

1. řekil 2.1 ile gsterilen devreyi kurunuz. $R = 4.7k\Omega$ ve $V_{CC} = 12V$ ayarlayınız. Tablo 2.1’de gsterilen limleri alınız. Sonularınızı yorumlayınız. Giriř gerilimine baęlı olarak ıkıř akımında bir deęiřim gzlemliyor musunuz? Benzetim sonularınızı deneysel sonularınız ile karřılařtırınız.
2. Her iki transistrn kollektr-emetr gerilimleri $0.65V$ deęerine eřit olana kadar giriř gerilimini dřrnz. Tablo 2.2’de gsterilen limleri alınız. V_{IN} geriliminin deęerinin buradaki nemi nedir?
3. Referans direncinin deęerini $R = 10k\Omega$ olarak ayarlayınız. Tablo 2.3’de gsterilen limleri alınız. Sonularınızı yorumlayınız. R_L yk direnci ve V_{IN} gerilim deęerine baęlı olarak ıkıř akımındaki deęiřimde azalma gzlemliyor musunuz? Benzetim sonularınızı deneysel sonularınız ile karřılařtırınız.

2.8.2 Geliřtirilmiř Temel Akım Kaynaęı

1. řekil 2.2 ile gsterilen devreyi kurunuz. $R = 10k\Omega$ ve $V_{CC} = 12V$ ayarlayınız. Tablo 2.4’de gsterilen limleri alınız. Sonularınız ıřıęında bu yapının temel akım kaynaęına kıyasla hangi aıdan geliřtirilmiř olduęunu aıklayınız. Benzetim sonularınızı deneysel sonularınız ile karřılařtırınız.

2.8.3 Widlar Akım Kaynaęı

1. řekil 2.3 ile gsterilen devreyi kurunuz. $R = 10k\Omega$, $R_E = 4.7k\Omega$ ve $V_{CC} = 12V$ ayarlayınız. Tablo 2.5’de gsterilen limleri alınız. Sonularınız ıřıęında bu yapı-

nın diğer akım kaynaklarına kıyasla hangi açıdan geliştirilmiş olduğunu açıklayınız. Benzetim sonuçlarınızı deneysel sonuçlarınız ile karşılaştırınız.

2.9 Değerlendirme Soruları

Tüm hesaplamalarınızda $V_{BE} = 0.7V$, $V_{CE,SAT} = 0.6V$ ve $V_{CE,MAX} = 25V$ olduğunu varsayınız.

1. BJT'lerin özgeçirlerini kullanarak ideal ve pratik akım kaynakları arasındaki farklılıkları açıklayınız.
2. Basit akım kaynağı devresi çiziniz. Besleme gerilimi 12V, giriş gerilimi 30V, yük direnci $1k\Omega$ iken, çıkış transistörünün iletimde kalması ve deformasyona uğramaması için referans direncinin alması gerektiği değer aralığını bulunuz. $I_0 = I_R$ olduğunuzu varsayınız.
3. Geliştirilmiş temel akım kaynağı devresi çiziniz. Besleme gerilimi 12V, giriş gerilimi $5V < V_{IN} < 27V$, yük direnci $1k\Omega$ iken olası tüm giriş gerilimlerinde çıkış transistörünün iletimde kalması ve deformasyona uğramaması için referans direncinin alabileceği değer aralığını bulunuz. $I_0 = I_R$ olduğunuzu varsayınız.
4. Tablo 2.1 ve 2.3'deki ölçüm verilerinizi kullanarak, tüm durumlar için çıkış dirençlerini hesaplayınız. Giriş gerilimine göre, çıkış akımındaki değişimlerin referans direnciyle ilişkisini açıklayınız.
5. Tablo 2.1 ve 2.2'deki ölçüm verilerinizi kullanarak, V_{CE} gerilimi ile çıkış akımı arasındaki ilişkiyi açıklayınız.
6. Tablo 2.4'deki ölçüm verilerinizi kullanarak, temel akım kaynağı ile geliştirilmiş temel akım kaynağı arasında karşılaştırma yapınız. Ölçüm verilerinizi kullanarak, akım kaynağının çıkış direncini hesaplayınız.
7. Tablo 2.5'deki ölçüm verilerinizi kullanarak, Widlar akım kaynağı devresinin çıkış direncini hesaplayınız. Üç akım kaynağını ideale yakınlık bakımından karşılaştırınız.

2.10 Quiz Soruları

1. Temel akım kaynağında kutuplama transistörü (Q_1) gerilim-akım dönüştürücü olarak görev yapmaktayken çıkış transistörü (Q_2) akım-gerilim dönüştürücü olarak görev yapmaktadır.
2. Kutuplama transistörü diyot davranışı göstermesini sağlayacak şekilde "diyot bağlı" olması dolayısıyla bu transistörün yerine basit bir diyot kullanılabilir.
3. Diyot akım denklemi sıcaklık faktörü içermediğinden, hassas bir akım çıkışı elde edebilmek için her iki transistörün de tamı tamına aynı sıcaklıkta çalışması önemli değildir.
4. Pratik akım kaynaklarının bir kısıtlaması da, transistör karakteristiğinden ötürü, verilen bir baz akımında I_C 'nin V_{CE} ile yavaşça değişiyor olmasının çıkış akımının her zaman sabit olmamasına sebep olmasıdır.

5. Widlar akım kaynağında emetör dejenerasyon direnci aracılığıyla geri besleme olması sebebiyle arzu edilen çıkış akımını elde etmek için temel akım kaynağına göre daha yüksek baz gerilimi gerektiği ifade edilebilir.

Tablo 2.1: Deneysel ölçüm verileri - I

V_{in}	$R_L = 1k\Omega, R = 4.7k\Omega$		
7V	$I_{B1} =$	$I_{C1} =$	$V_{CE1} =$
	$I_{B2} =$	$I_{C2} =$	$V_{CE2} =$
12V	$I_{B1} =$	$I_{C1} =$	$V_{CE1} =$
	$I_{B2} =$	$I_{C2} =$	$V_{CE2} =$

Tablo 2.2: Deneysel ölçüm verileri - II

V_{in}	$R_L = 1k\Omega, R = 4.7k\Omega$		
0.65V	$I_{B1} =$	$I_{C1} =$	$V_{CE1} =$
	$I_{B2} =$	$I_{C2} =$	$V_{CE2} =$

Tablo 2.3: Deneysel ölçüm verileri - III

V_{in}	$R_L = 1k\Omega, R = 10k\Omega$		
7V	$I_{B1} =$	$I_{C1} =$	$V_{CE1} =$
	$I_{B2} =$	$I_{C2} =$	$V_{CE2} =$
12V	$I_{B1} =$	$I_{C1} =$	$V_{CE1} =$
	$I_{B2} =$	$I_{C2} =$	$V_{CE2} =$

Tablo 2.4: Deneysel ölçüm verileri - IV

V_{in}	$R_L = 1k\Omega, R = 10k\Omega$		
7V	$I_{B1} =$	$I_{C1} =$	$V_{CE1} =$
	$I_{B2} =$	$I_{C2} =$	$V_{CE2} =$
12V	$I_{B1} =$	$I_{C1} =$	$V_{CE1} =$
	$I_{B2} =$	$I_{C2} =$	$V_{CE2} =$

Tablo 2.5: Deneysel ölçüm verileri - V

V_{in}	$R_L = 1k\Omega, R = 10k\Omega$		
7V	$I_{B1} =$	$I_{C1} =$	$V_{CE1} =$
	$I_{B2} =$	$I_{C2} =$	$V_{CE2} =$
12V	$I_{B1} =$	$I_{C1} =$	$V_{CE1} =$
	$I_{B2} =$	$I_{C2} =$	$V_{CE2} =$

3 RC OSİLATÖR ve PWM MODÜLATÖRÜ

3.1 Malzeme Listesi

Bileşen	Miktar	Değer
Opamp	1	TL072
Potansiyometre	1	47k Ω veya 50k Ω
Direnç	3	10k Ω
Direnç	2	100k Ω
Kondansatör	3	100nF
Kondansatör	1	47nF

Bu deneyin amacı, opamp elemanlı RC osilatörlerin ve PWM modülatörü devrelerinin tasarım aşamalarını öğrenmektir.

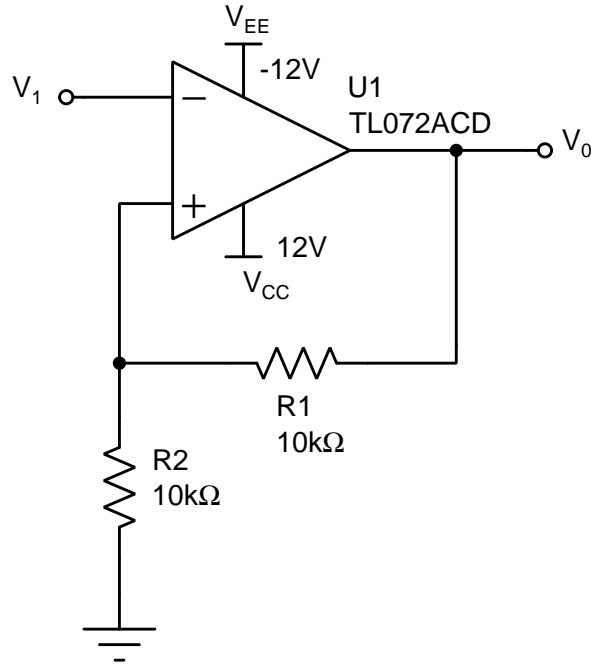
3.2 Teorik Bilgi

Osilatörler DC gerilimden AC çıkış gerilimi elde etmek için kullanılan elektronik devrelerdir [5]. Günümüzde birçok uygulama alanına sahip olan osilatörler, AC güç kaynakları, DC-DC dönüştürücüler, PWM modülatörleri, alıcı-verici devrelerinde sıkça kullanılmaktadır. Osilatörler farklı dalga formlarında çıkış gerilimi üretebilirler. Buna göre kare dalga, üçgen dalga, sinüs dalga osilatörü gibi isimler alabilirler [5, 9]. Bu deneyde opampli kare dalga, üçgen dalga osilatörü ve PWM modülatörü üzerinde durulacaktır.

3.2.1 Kare Dalga ve Üçgen Dalga Osilatörü

Kare dalga osilatörleri, fark yükseltici ve geri besleme devresinden oluşmaktadır [8]. Fark yükseltici olarak karşılaştırıcı (comparator) kullanılabileceği gibi opamp elemanı da kullanılabilir.

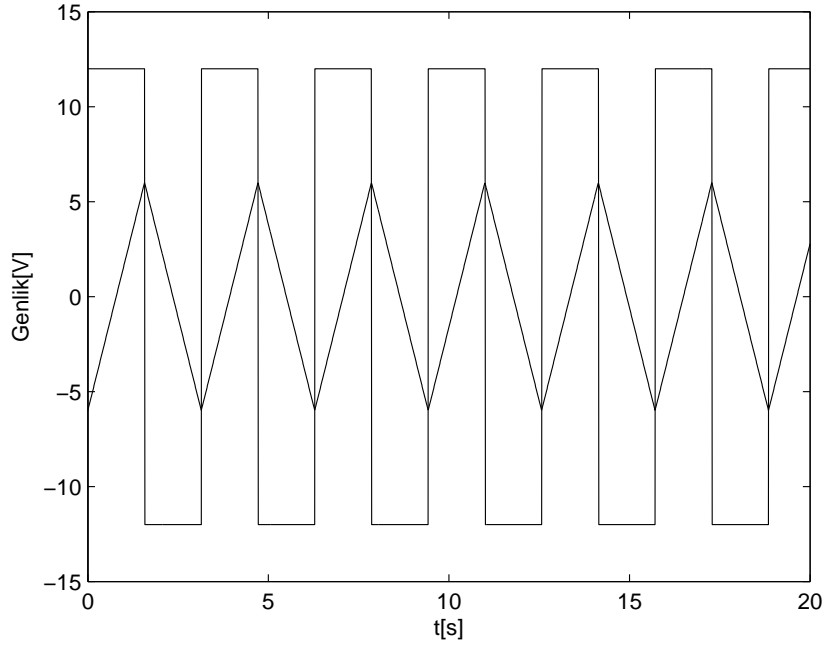
3.2.1.1 Karşılaştırıcı Devresi



Şekil 3.1: Karşılaştırıcı Devresi

Opampın (-) ucuna $V^- = V_1$ gerilimi uygulanması halinde $V^+ - V^-$ gerilim farkı opampın A_d fark kazancı ile çarpılarak opampın çıkışına aktarılacaktır. Bu durumda çıkış gerilimi $V_0 = A_d \cdot (V^+ - V^-)$ olacaktır. İdeal opamlarda fark kazancı sonsuz kabul edilmektedir [8]. Bu durumda çıkış gerilimi $\pm\infty$ değerleri almalıdır. Fakat pratikte fark kazancı sonludur ve çıkış gerilimi $\pm V_{CC}$ gerilimi ile sınırlıdır. Bu nedenle, $V^+ - V^- > 0$ için $V_0 \cong V_{CC} = 12V$, $V^+ - V^- < 0$ için $V_0 \cong V_{EE} = -12V$ olacaktır [7].

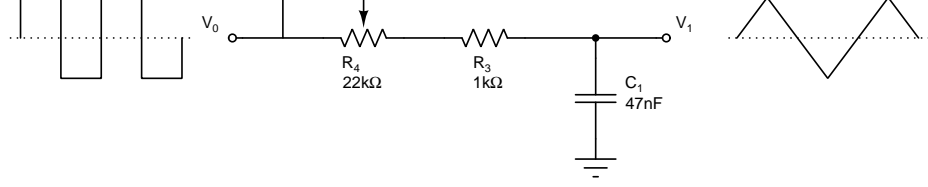
Schimit tetikleyicisi olarak da isimlendirilen cSekil 3.1'deki devre sükunette iken V_1 ve V_0 gerilimleri 0V'tur. Bu nedenle opampın (+) ucundaki gerilim $V^+ = V_0/2 = 0V$ 'tur. $V_1 < 0$ gerilimi uygulandığı anda $V^+ - V^- > 0$ eşitsizliği sağlanacaktır ve $V_0 \cong V_{CC} = 12V$ olacaktır. Bu durumda $V^+ = V_0/2 = 6V$ olacaktır. Devre sükunette iken (V_1, V_0 gerilimleri 0V iken) $V_1 > 0$ gerilimi uygulandığı anda $V^+ - V^- < 0$ eşitsizliği sağlanacaktır ve $V_0 \cong V_{EE} = -12V$ olacaktır. Bu durumda $V^+ = V_0/2 = -6V$ olacaktır. V_1 geriliminin çift kutuplu üçgen dalga olması halinde, $V_1 < V^+$ bölgesinde $V_0 \cong 12V$, $V_1 > V^+$ aralığında $V_0 \cong -12V$ değerli olacaktır. Bu nedenle V_0 çıkış gerilimi çift kutuplu kare dalga olacaktır. Aşağıdaki şekilde V_1 giriş geriliminin üçgen dalga olması halinde çıkış geriliminin zamana bağlı değişimi görülmektedir [8].



Şekil 3.2: V_1 giriş geriliminin üçgen dalga olması halinde çıkış geriliminin zamana bağlı değişimi

3.2.1.2 Geri Besleme Devresi

Aşağıdaki şekilde osilatör devresinde kullanılacak olan geri besleme devresi görülmektedir.



Şekil 3.3: Geri besleme devresi

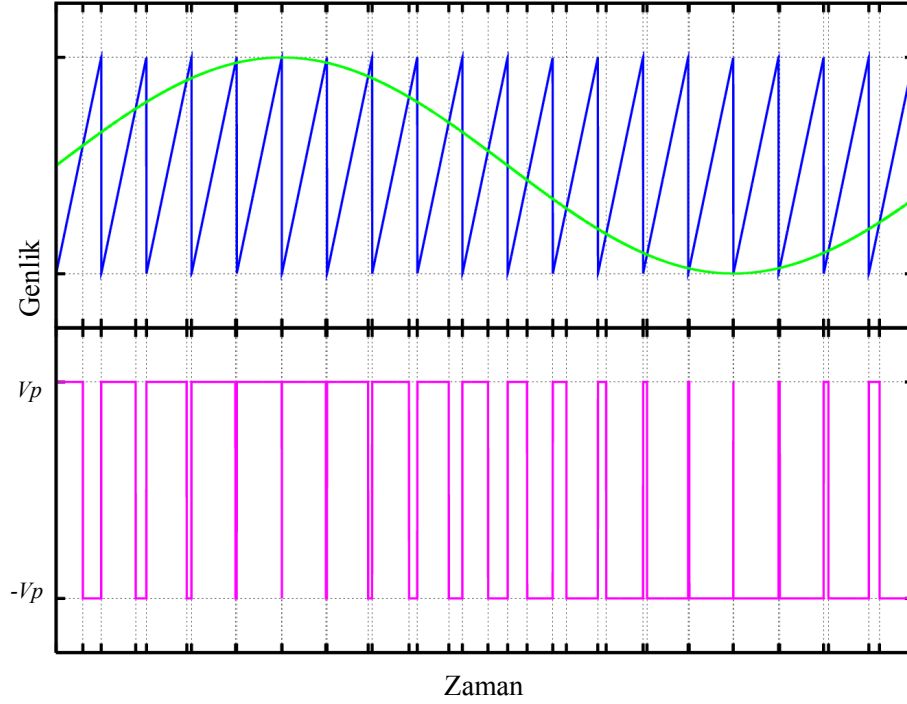
Şekil 3.3'deki geri besleme devresinin V_0 giriş gerilimi, Şekil 3.1'deki karşılaştırıcı devresinin çıkış gerilimidir. Geri besleme devresinin çıkışı ise Şekil 3.1'deki devrenin V_1 girişine bağlanacaktır. $V_0 = 12V$ olması halinde R_3, R_4 dirençleri üzerinden akan pozitif DC akım C_1 kapasitörünü şarj edecektir. Kapasitörün tanım bağıntısı kullanılırsa, V_1 gerilimi için aşağıdaki eşitlikler yazılabilir.

$$i_c = C \frac{dV_1}{dt} \Rightarrow V_1 = \frac{1}{C} \int i_c dt = \frac{i_c}{C} \int dt \quad (3.1)$$

Kapasitör akımı i_c 'nin pozitif DC olması nedeniyle V_1 çıkış gerilimi yukarıdaki eşitlik gereğince pozitif eğimli rampa fonksiyonu olacaktır. $V_0 = -12V$ olması halinde ise R_3, R_4 dirençleri üzerinden akan negatif DC akım C_1 kapasitörünü şarj ederek V_1 çıkış geriliminin negatif eğimli rampa fonksiyonu olmasına neden olacaktır. Ayarlı R_4 direncinin değeri değiştirilerek C_1 kapasitörünün dolma süresi ayarlanabilmekte ve bu sayede V_1 üçgen dalga fonksiyonunun yükselme veya azalma eğimi kontrol edilebilmektedir.

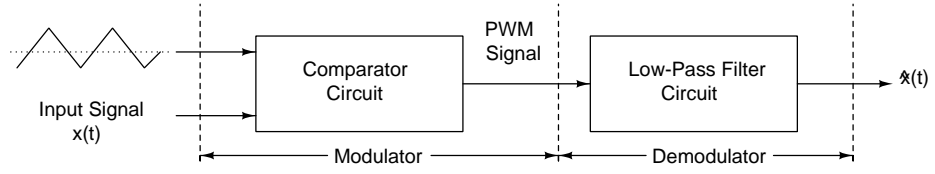
3.2.2 PWM Modülatörü

PWM (Pulse Width Modulation) devreleri, herhangi bir AC giriş geriliminin kare dalgalar (sayısal işaretler) cinsinden ifade edilmesini sağlamaktadır. Temel kullanım amacı, sürekli (analog) AC işaretten sayısal (lojik) işaret elde etmektir. Analog giriş işaretinin alabileceği değer sayısı sonsuz iken, PWM işareti için sonlu sayıda değer söz konusudur. Aşağıda sinüzoidal giriş gerilimi ve PWM işareti görülmektedir [8].



Şekil 3.4: PWM Modülasyonu

Şekil 3.4’de görülen f_c frekanslı üçgen dalga işareti (taşıyıcı işaret), f_0 frekanslı sinüzoidal giriş işaretini modüle ederek PWM işaretini oluşturmaktadır. Taşıyıcı işaretin değerinin giriş işaretinden büyük olduğu bölgelerde PWM işareti $-V_p$ değeri alırken, küçük olduğu bölgelerde $+V_p$ değeri almaktadır. Giriş işaretinin yüksek genlik gösterdiği zaman aralıklarında PWM işaretinin duty cycle değeri artmakta, giriş işaretinin düşük genlik gösterdiği zaman aralıklarında PWM işaretinin duty cycle değeri azalmaktadır [10]. Bilgisayarların güç kaynaklarında kullanılan SMPS (Switch Mode Power Supply) devreleri, sayısal haberleşme sistemleri, ADC ve DAC dönüştürücüler, DC-DC dönüştürücüler, DC motor sürücüler, mosfetli Sınıf-D güç yükselteçleri ve daha birçok kullanım alanı bulunan PWM modülatörü üçgen dalga osilatörü ve karşılaştırmacı devresinden oluşmaktadır [2,7]. Demodülatör devresi ise, kesim frekansı giriş geriliminin bant genişliği olan AGF devresinden oluşmaktadır. Aşağıdaki şekilde PWM modülatörü ve demodülatörü blok diyagramı görülmektedir.



Şekil 3.5: PWM modölatörü ve demodölatörü blok diyagramı

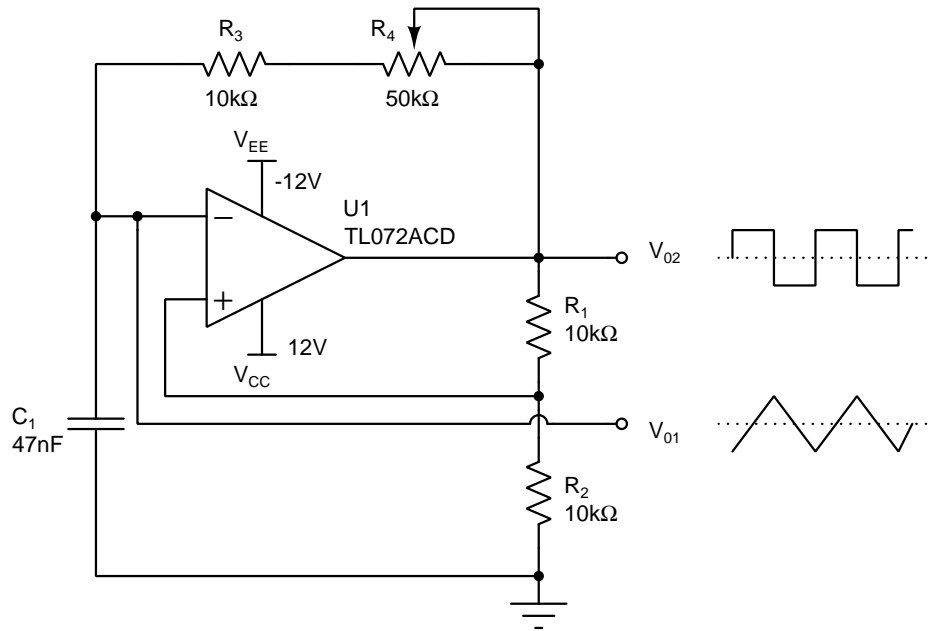
Şekil 3.5'deki blok diyagramda demodölatörün çıkış gerilimi $\tilde{x}(t)$ olmak üzere, modölatör ve demodölatörün ideal olmaması nedeniyle giriş işareti tam olarak geri elde edilememektedir. Bu nedenle aşağıdaki yaklaşık eşitlik sağlanacaktır.

$$\tilde{x}(t) \cong A \cdot x(t - t_0) \quad (3.2)$$

Denklem 3.2 gereğince çıkış işareti yaklaşık olarak, giriş işaretinin A katı genliğine sahip ve t_0 zaman gecikmesine sahip olacaktır.

3.3 Deney Devresi

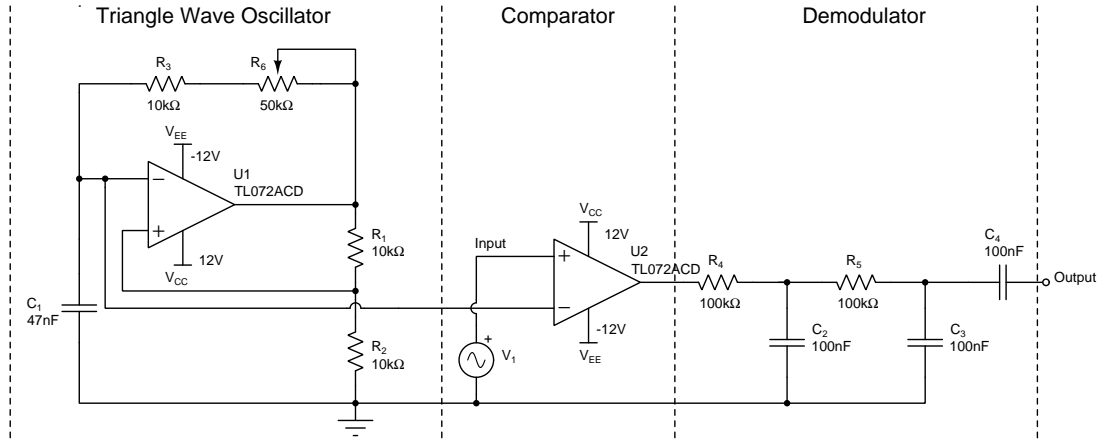
3.3.1 Kare Dalga ve Üçgen Dalga Osilatörü



Şekil 3.6: Kare ve üçgen dalga osilatörü deney devresi

Deneyin bu aşamasında Şekil 3.1 ve Şekil 3.3'deki devrelerin birleşiminden oluşan Şekil 3.6'daki devre kurulacaktır. Devrede iki adet çıkış gerilimi bulunmaktadır. V_{01} çıkışı üçgen dalga, V_{02} çıkışı ise kare dalga üretmektedir. Devreye V_{CC} ve V_{EE} besleme gerilimleri uygulandığında, opampın ideal olmaması ve besleme gerilimindeki ufak genlikli parazitler (kirlilik) nedeniyle opampın (-) ve (+) uçları arasında $V_d \neq 0$ gerilimi mevcuttur. Bu gerilim farkı opampın fark kazancı ile çarpılarak V_{02} çıkışında veya $+V_{CC}$ veya V_{EE} genlikli gerilim oluşturmaktadır. Devreye enerji verildiğinde $V_d = V^+ - V^- > 0$ için $V_{02} = +12V$ veya $V_d < 0$ için $V_{02} = -12V$ olacaktır. Bu aşamadan sonra 3.2.1.1 ve 3.2.1.2 bölümlerinde anlatılanlar gerçekleşecek ve frekansı f_c olan üçgen dalga ve kare dalga gerilimleri oluşacaktır. R_4 ayarlı direnci f_c frekansını değiştirme imkânı sağlamaktadır.

3.3.2 PWM Devresi



Şekil 3.7: PWM deney devresi

Deneyin bu aşamasında Şekil 3.7'deki PWM devresi yapılacaktır. Osilatör devresindeki R_6 ayarlı direnci üçgen dalganın f_c frekansını değiştirmektedir. Demodülatör devresinin çıkışından giriş işaretinin geri elde edilebilmesi için, giriş işaretinin frekansı f_0 olmak üzere, $f_c \geq 2f_0$ (Nyquist koşulu) sağlanmalıdır [7].

3.4 Deney Öncesi Benzetimler

1. Şekil 3.6'daki devreyi Multisim programında kurunuz. V_{01} ve V_{02} çıkış gerilimlerini osiloskop ekranında elde ediniz. R_4 ayarlı direncinin % değerini değiştirerek çıkış gerilimlerinin frekansındaki değişimi gözlemleyiniz ve yorumlayınız.
2. Şekil 3.7'deki PWM devresini Multisim programında kurunuz. Giriş, çıkış gerilimlerini ve PWM gerilimini osiloskop ekranında elde ediniz. R_6 direncinin % değerini değiştirerek çıkış gerilimindeki değişimlerini gözlemleyiniz. R_6 direncinin herhangi bir % değerindeyken çıkış geriliminde bozulma gözlemlediniz mi?

3.5 Deneyde Yapılacaklar

3.5.1 Kare Dalga ve Üçgen Dalga Osilatörü

1. Şekil 3.6'daki devreyi kurunuz. V_{01} ve V_{02} gerilimlerini sıfır seviyeleri aynı olacak şekilde osiloskop ekranında elde ediniz. Sonucunuzu laboratuvar sorumlularına gösteriniz.
2. Potansiyometrenin değerini değiştirerek çıkış gerilimlerinin frekansındaki değişimi inceleyiniz. Sonuçlarınızı laboratuvar sorumlularına gösteriniz. Çıkıştan elde edilecek en düşük ve en yüksek frekans değerini ölçünüz ve kaydediniz.

3.5.2 PWM Devresi

1. Bir önceki aşamada kurmuş olduğunuz devreyi bozmadan Şekil 3.7'deki devrenin karşılaştırıcı ve demodülatör kısmını kurunuz. Osilatör devresinin üçgen dalga çıkışını karşılaştırıcı devresinde ilgili yere bağlayınız.
2. Giriş gerilimini tepeden tepeye değeri $V_{in} = 2V$, frekansı $f_0 = 10Hz$ olacak şekilde sinüs yapınız. Osiloskobun birinci kanalını giriş gerilimine ve ikinci kanalını karşılaştırıcı devresinin çıkışına bağlayınız. PWM işaretini ve giriş gerilimini sıfır seviyeleri aynı olacak şekilde osiloskop ekranında elde ediniz. Sonucunuzu laboratuvar sorumlularına gösteriniz.
3. Potansiyometrenin değerini değiştirerek üçgen dalganın frekansını en yüksek değerine getiriniz. Osiloskobun ikinci kanalını demodülatörün çıkışına bağlayınız. Giriş ve çıkış gerilimlerini sıfır seviyeleri aynı olacak şekilde osiloskop ekranında elde ediniz. Sonucunuzu laboratuvar sorumlularına gösteriniz.
4. Potansiyometrenin değerini değiştirerek üçgen dalganın frekansını azaltınız. Çıkış geriliminde meydana gelen bozulmaları inceleyiniz. Sonuçlarınızı laboratuvar sorumlularına gösteriniz.

3.6 Değerlendirme Soruları

1. Kare dalga ve üçgen dalga osilatörü devresinde osiloskop ekranında elde ettiğiniz dalga şekillerini yorumlayınız. Potansiyometrenin değeri değiştikçe çıkış frekansı değişmekte midir?
2. Deneyde elde ettiğiniz PWM işaretini yorumlayınız. Söz konusu PWM işareti giriş gerilimini temsil etmekte midir?
3. Deneyi yaparken (5) maddesinde osiloskop ekranında görülen dalga şekillerini kullanarak giriş ve çıkış gerilimleri arasındaki benzerlik ve/veya farkları inceleyiniz.
4. Üçgen dalganın frekansı azaldıkça çıkış geriliminde meydana gelen bozulmaları yorumlayınız. (İpucu: Örnekleme hızı ve Nyquist şartını göz önünde bulundurunuz.)

3.7 Quiz Soruları

1. Şekil 3.6 ile gösterilen kare dalga ve üçgen dalga osilatör devresinde R_4 ayarlı direncinin değeri arttırıldığında $\tau = RC$ dolayısıyla kapasitörün dolma ve boşalma süresi artacağından çıkış geriliminin frekansı artacaktır.
2. Şekil 3.1 ile gösterilen devrenin çıkışından kare dalga elde edebilmek için girişe uygulanacak üçgen dalganın pozitif ve negatif yöndeki eşik gerilimlerinin $\pm V_{th} = V_{CC/EE} \cdot (\frac{R_2}{R_1+R_2})$ olması gerekmektedir.
3. İşlemsel yükselteçlerin içyapısında bulunan kompanzasyon kapasitesinden ötürü belirli bir frekanstan sonra çıkış değişim hızı sınırlanacağından işlemsel yükselteç içeren kare dalga osilatörleri yüksek frekanslar için uygun değildir.
4. PWM sinyalinin demodülasyonu için kullanılan ikinci dereceden alçak filtre dolayısıyla giriş ve demodüle edilmiş çıkış sinyalleri arasında bir miktar faz farkı görülmektedir.
5. PWM demodülatör devresinin çıkışından genlik değişimi anlamında pürüzsüz bir işaret elde edebilmek için Nyquist kriterinin asgari gereksiniminin karşılanması yeterlidir.

4 GERİLİM KONTROLLÜ OSİLATÖR TASARIMI

4.1 Malzeme Listesi

Bileşen	Miktar	Değer
Opamp	1	TL072
BJT	1	BC238
BJT	1	BC327
Direnç	1	100k Ω
Direnç	2	470 Ω
Direnç	3	47k Ω
Direnç	3	10k Ω
Kondansatör	1	1nF

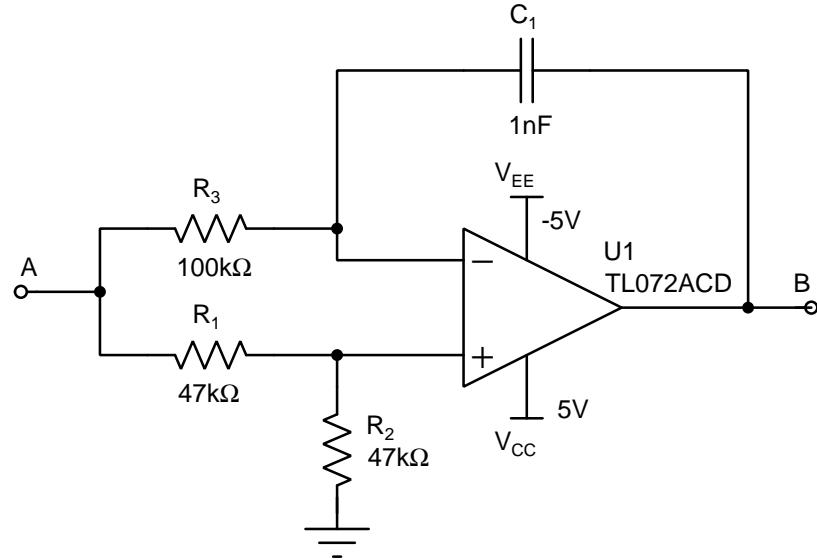
Bu deneyde geri besleme uygulamalarından biri olan gerilim kontrollü osilatör devresinin tasarım aşamaları incelenecektir.

4.2 Teorik Bilgi

Gerilim kontrollü osilatör (VCO) devreleri çıkış frekansı girişe uygulanan DC gerilim ile kontrol edilebilen AC gerilim üreteçleridir [11]. VCO devrelerinin günümüzde birçok uygulama alanı mevcuttur. Örneğin haberleşme sistemlerindeki alıcı ve vericilerde, PLL (Phase Locked Loop) devrelerinde VCO devreleri bulunmaktadır [5,11]. Temel anlamda VCO devrelerinde integral alıcı, Schimit tetikleyici devresi, anahtarlama modunda çalışan transistörlü geri besleme devresi bulunmaktadır [12].

4.2.1 Integral Alıcı

Aşağıdaki şekilde opampli integral alıcı devresi görülmektedir.



Şekil 4.1: İntegral Alıcı

Yukarıdaki devrede R_1, R_2 dirençleri gerilim bölücü olup opampın (+) ucunda $V_A/2$ geriliminin olmasını sağlamaktadır. Opampın (+) ve (-) uçları arasındaki gerilim farkı V_A gerilimine göre çok küçüktür. Bu nedenle opampın uçları arasındaki gerilim farkı sıfır kabul edilebilir [5]. Dolayısıyla R_3 direnci üzerinden,

$$i = \frac{V_A - V_A/2}{R_3} = \frac{V_A}{2R_3} \quad (4.1)$$

akımı akmaktadır. İdealde opampın (-) girişinden akım akmayacağı için, R_3 direnci üzerinden akan akım C_1 kapasitörü üzerinden yoluna devam edecektir [11]. Aşağıda kondansatörün tanım bağıntısı bulunmaktadır.

$$i_c = C \frac{dV_c}{dt} \Rightarrow V_c(t) = \frac{1}{C} \int i_c dt \quad (4.2)$$

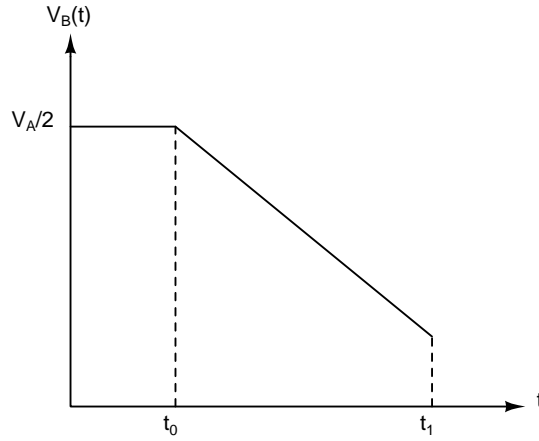
Kondansatör üzerinde depolanan gerilim aşağıdaki gibidir.

$$V_c(t) = \frac{V_A}{2} - V_B(t) \quad (4.3)$$

Buradan B noktası geriliminin ifadesi şu şekilde olmaktadır.

$$V_B(t) = \frac{V_A}{2} \left(1 - \frac{1}{R_3 C} \int_{t_0}^{t_1} dt\right) = \frac{V_A}{2} [1 - (t_1 - t_0)/(R_3 C)] \quad (4.4)$$

Yukarıdaki ifadeye göre V_B geriliminin zamana bağlı grafiği aşağıdaki gibi olacaktır [5, 8].

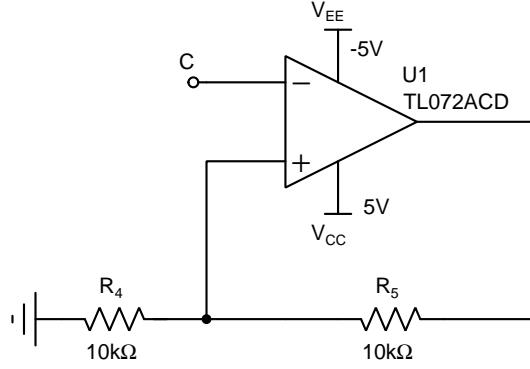


Şekil 4.2: V_B geriliminin zamana bağlı grafiği

Şekil 4.2'den görüldüğü üzere V_A giriş geriliminin DC olması halinde integral alıcının çıkışı negatif eğimli rampa fonksiyonu olmaktadır.

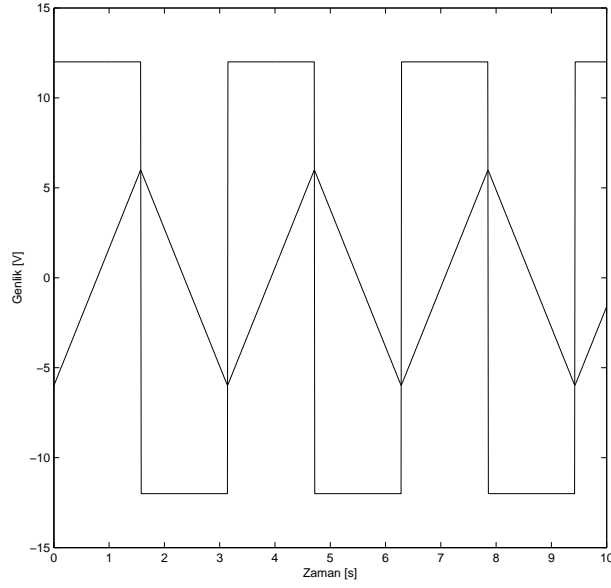
4.3 Schmitt Tetikleyici Devresi

Schmitt tetikleyici devresi 1 adet karşılaştırıcı (comparator veya opamp) ve gerilim bölücüden oluşmaktadır. Aşağıda Schmitt tetikleyici devresi görülmektedir [8].



Şekil 4.3: Schmitt Tetikleyici Devresi

Şekil 4.3'deki devrede opampın (+) ve (-) uçlarındaki gerilim farkı $V^+ - V^-$ opampın A_d fark kazancı ile çarpılarak çıkışa aktarılmaktadır. Ancak, çıkış gerilimi $\pm V_{CC}$ ile sınırlı olacağından çıkış gerilimi $V_D = \pm V_{CC}$ değerlerinde kırılacaktır [5, 8].



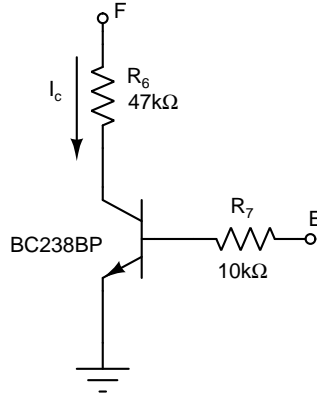
Şekil 4.4: Schmitt tetikleyici giriş (üçgen) ve çıkış (kare) gerilimleri

Devre sükunette iken V_D sıfır olacağından V^+ gerilimi de sıfır olacaktır. Opampın (-) girişine $V_C < 0$ gerilimi uygulandığı anda $V^+ - V^- > 0$ olacağından opampın çıkışında $V_D = +V_{CC}$ değerli DC gerilim oluşacaktır. Bu durumda referans gerilimi $V^+ = V_{CC}/2$ olacaktır. V_C geriliminin pozitif eğimli rampa fonksiyonu olması halinde $V_C = V^- > V^+ = V_{CC}/2$ eşitsizliğinin sağlandığı anda $V^+ - V^- < 0$ olacağından

opampın çıkışında $V_D = -V_{CC}$ değerli DC gerilim oluşacaktır. Bu durumda referans gerilimi $V^+ = -V_{CC}/2$ olacaktır. V_C giriş geriliminin tekrar negatif eğimli olması durumunda $V_C < -V_{CC}/2$ sağlandığı anda $V^+ - V^- > 0$ olacağından opampın çıkışında tekrar $V_D = +V_{CC}$ değerli DC gerilim oluşacaktır ve benzer döngü devam edecektir. Şekil 4.4’de Schimit tetikleyici devresine ait giriş ve çıkış gerilimleri görülmektedir.

4.3.1 Geri Besleme Devresi

VCO devresinde geri besleme katı, anahtarlama modunda çalışan 1 adet BJT veya MOSFET elemanından ve 2 adet dirençten oluşmaktadır. Bu deneyde anahtarlama işlemi BJT elemanı ile gerçekleştirilecektir. Aşağıda geri besleme devresi görülmektedir.



Şekil 4.5: Anahtarlama devresi

Şekil 4.5’deki anahtarlama devresinde $V_E > 0.7V$ olduğu durumda Q_1 transistörü iletimde, $V_E < 0.7V$ olduğu durumda ise kesimdedir. Q_1 transistörü iletimde iken kolektörden toprağa $I_C > 0$ akımı akacaktır. Transistör kesimde iken $i_c = 0$ olacaktır. Şekil 4.5’deki devrede R_7 direnci baz akımını sınırlama görevinde kullanılmaktadır. Q_1 transistörünün baz ile emetör arası iç direnci r_π olmak üzere, R_7 direncinin kullanılmadığı durumda baz akımı aşağıdaki gibi olacaktır.

$$i_B = \frac{V_E}{r_\pi} \quad (4.5)$$

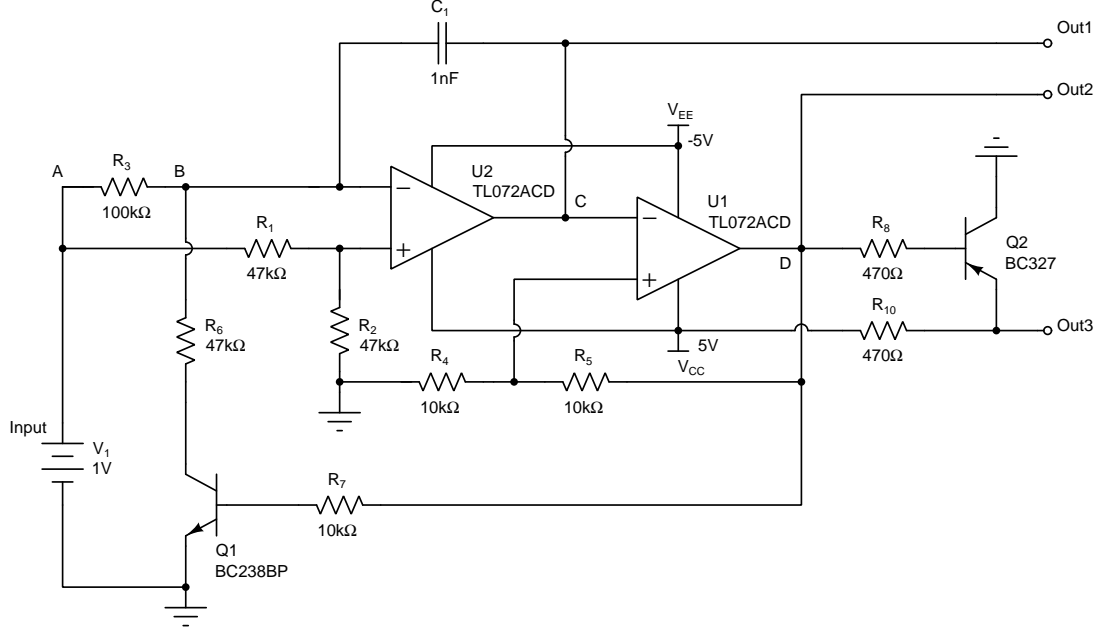
Her transistörün katalog bilgilerinde verilmiş olan maksimum baz akımı değeri vardır. $i_B < i_{B,max}$ koşulunu sağlamak için R_7 direnci baza eklenmiştir. Bu durumda baz akımının yeni ifadesi aşağıdaki gibi olacaktır.

$$i_B = \frac{V_E}{r_\pi + R_7} < i_{B,max} \quad (4.6)$$

Şekil 4.5’deki devrede R_6 direnci iki göreve sahiptir. Birinci görevi, integral alıcıdan gelen akımın değerini kontrol etmek, ikinci görevi ise kolektör akımını sınırlamaktır.

4.4 Deney Devresi

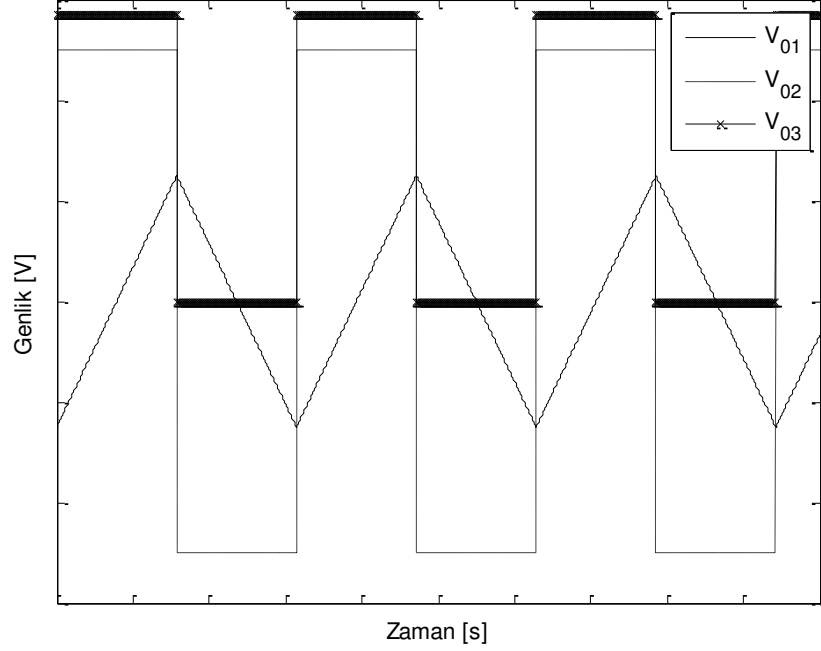
Bu deneyde aşağıdaki şekilde gösterilen VCO devresi yapılacaktır.



Şekil 4.6: VCO deney devresi

Şekil 4.6’da görülen VCO devresinde V_1 DC giriş gerilimi 3 adet çıkış geriliminin frekansını kontrol etmektedir. Devre sükunette iken $V_1 = 1V$ uygulandığı anda transistörü kesimdedir. Bu nedenle R_3 direnci üzerinden akan akım C_1 kondansatörü üzerinden yoluna devam edecektir. Dolayısıyla, U_2 opampının bulunduğu integral alıcının V_C çıkış gerilimi Şekil 4.2’deki gibi negatif eğimli rampa fonksiyonu olacaktır. Bu durumda U_1 opampının bulunduğu Schimit tetikleyici devresinin referans gerilimi $V^+ = 0$ ’dır. U_1 opampının V^- girişindeki gerilim $V_C < 0$ olduğu anda $V_D = V_{CC} = 5V$ olacaktır. Dolayısıyla referans gerilimi $V^+ = 2.5V$ olacaktır. Ayrıca Q_1 geri besleme transistörü iletme geçecektir. Bu durumda C_1 kondansatörü üzerinden akan akım C düğümünden B düğümü yönünde olacaktır. Bu nedenle V_C gerilimi pozitif eğimli rampa fonksiyonu olacaktır. Schimit tetikleyici devresinin girişine gelen gerilim $V_C < V^+ = 2.5V$ sağlandığı zamanlarda $V_D = 5V$ olmaya devam edecektir. Pozitif eğimli rampa fonksiyonu olan V_C gerilimi yeteri kadar yükselip $V_C > V^+ = 2.5V$ olduğu durumda Schimit tetikleyici devresinin çıkış gerilimi $V_D = -5V$ olacaktır. Dolayısıyla referans gerilimi $V^+ = -2.5V$ olacak ve Q_1 transistörü kesime girecektir. Bu nedenle integral alıcıdan akan akım tekrar B noktasından C noktası yönüne olacaktır ve V_C gerilimi tekrar Şekil 4.2’deki gibi negatif eğimli rampa fonksiyonu olacaktır. Schimit tetikleyici devresinin girişine gelen V_C geriliminin değeri yeteri kadar azalıp $V_C \leq -2.5V$ olana kadar Schimit tetikleyici devresinin çıkış gerilimi $V_D = -5V$ olmaya devam edecektir. $V_C \leq -2.5V$ sağlandığı anda $V^+ > V^-$ olacak ve Schimit tetikleyici devresinin çıkış gerilimi tekrar $V_D = 5V$

olacaktır. Bu nedenle Q_1 transistörü tekrar iletme geçecek ve benzer döngü periyodik olarak devam edecektir.



Şekil 4.7: VCO çıkış gerilimleri

Şekil 4.6'daki devrede Q_2 transistörü V_D geriliminin negatif kısımlarını sıfırlamak için kullanılmıştır. $V_D > 0$ olduğu durumda Q_2 transistörü kesimde olacak ve çıkış gerilimi $V_0 \cong V_D + 0.7V$ olacaktır. $V_D < 0$ olduğu durumda Q_2 transistörü iletimde olacak ve $V_0 \cong 0$ olacaktır. Şekil 4.6'da görülen *Out1*, *Out2*, *Out3* noktalarının gerilimi sırasıyla V_{01} , V_{02} , V_{03} olmak üzere VCO devresinin 3 adet çıkış geriliminin grafiği Şekil 4.7'deki gibi olacaktır.

Şekil 4.6'daki VCO devresinde DC V_1 giriş gerilimi C_1 kondansatörü üzerinden akan DC akımın değerini kontrol etmektedir. V_1 giriş geriliminin artması kondansatör akımının da aynı oranda artmasına neden olmaktadır. Bu sayede, V_1 geriliminin artması integral alıcının çıkışındaki rampa fonksiyonunun yükselme veya azalma eğimini arttırmakta ve Schimit tetikleyici devresinde $V_C > V^+$ veya $V_C < V^+$ olma hızını da arttırmaktadır. Dolayısıyla V_1 geriliminin artması VCO devresinin çıkışlarındaki AC gerilimin frekansını arttırmaktadır. Örnek olarak, $V_1 = 3.5V$ iken çıkış frekansı $f_0 = 2.6kHz$ 'dir. $V_1 = 7V$ değerine yükseltilmesi halinde $f_0 = 2 \cdot 2.6 = 5.2kHz$ olacaktır. Benzer şekilde, R_3 , C_1 elemanlarının değerleri denklem 4.5 gereğince integral alıcının çıkış geriliminin değişme hızını ve dolayısıyla f_0 çıkış frekansını etkilemektedir.

4.5 Deney Öncesi Benzetimler

1. Şekil 4.6'daki VCO devresini Multisim programında kurunuz. $V_1 = 1V$ ve $2V$ iken çıkış gerilimlerinin osiloskop görüntüsünü ve çıkış frekansını elde ediniz.
2. Schimit tetikleyici devresindeki R_4 ve R_5 dirençlerinin V_{01} çıkış geriliminin genliğine etkisini belirtiniz.
3. V_1 giriş gerilimini üçgen dalga olarak ayarlayınız ve V_{01} ve V_{02} çıkış gerilimlerinde olan frekans değişimlerini yorumlayınız.

4.6 Deneyde Yapılacaklar

1. Şekil 4.6'daki VCO devresini kurunuz. Giriş gerilimini $V_1 = 1VDC$ yapınız. Osiloskobun birinci kanalını V_{01} çıkışına, ikinci kanalını V_{02} çıkışına bağlayınız. Her iki çıkış geriliminin osiloskop görüntüsünü elde ediniz ve laboratuvar sorumlularına gösteriniz. Her iki kanalın sıfır seviyesi aynı olmalıdır.
2. Osiloskobun birinci kanalını V_{03} çıkışına bağlayınız. V_{02} ve V_{03} çıkış gerilimleri üst üste olacak şekilde osiloskop görüntüsünü elde ediniz ve laboratuvar sorumlularına gösteriniz. Çıkış gerilimlerinin f_{02}, f_{03} frekanslarını osiloskop yardımıyla ölçünüz. Elde ettiğiniz değerleri kaydediniz.
3. Giriş geriliminin değerini $V_1 = 2VDC$ yapınız ve f_{02}, f_{03} frekanslarını osiloskop yardımıyla tekrar ölçünüz. Elde ettiğiniz değerleri kaydediniz ve laboratuvar sorumlularına gösteriniz.

4.7 Değerlendirme Soruları

1. Üç adet çıkış gerilimine ait osiloskop görüntülerini yorumlayınız. İntegral alıcı ve Schimit tetikleyicisinin çıkış gerilimleri beklendiği şekilde mi elde edildi? V_{02} ve V_{03} çıkış gerilimlerini karşılaştırarak BC327'nin devredeki görevini açıklayınız. Bu transistör yerine 1N4001 diyotu kullanılırsa aynı V_{03} gerilimi elde edilebilir mi?
2. V_1 giriş gerilimindeki değişimin çıkış gerilimlerinin frekansına etkisini nedenleriyle birlikte açıklayınız.

4.8 Quiz Soruları

1. Geri besleme bölümündeki BJT aktif olduğunda R_6 direnci, R_3 ile aynı gerilim düşümüne ve hemen hemen yarı direnç değerine sahip olması dolayısıyla, C_1 kondansatörü tarafından sağlanacak ve onun dolmasına sebep olacak fazladan akıma ihtiyaç duyacaktır. Bu süreç V_{01} çıkışında negatif eğimli bir gerilim oluşmaktadır.
2. Şekil 4.6'daki BC327 transistörü, Schmitt trigger çıkışına göre tekrarlamalı bir şekilde aktif ve pasif olarak integral alıcının çıkışını yükseltmesini ve düşürmesini sağlamaktan sorumludur.
3. VCOların bir diğer gerçekleştirilme biçimi de "Varaktör" adı verilen bir diyot türünün kullanılmasıyla olur. Varaktörler ters kutuplandıklarında uygulanan gerilim ile değişen ufak miktarda kapasitans üretirler.

4. İdealde, V_{01} 'de simetrik bir üçgen dalga elde edebilmek için R_6 direç değerinin R_3 direnç değerinin tam olarak yarısı olma koşulunun sağlanması yeterlidir.
5. Eğer R_6 'nın değeri azalırsa, V_{01} çıkışında görülecek olan pozitif eğimin artması dolayısıyla, V_{02} 'de daha düşük duty cycle değerine sahip bir çıkış elde edilecektir. Eğer R_6 'nın değeri artarsa, durum tam tersidir.

5 ORTAK EMETÖRLÜ YÜKSELTEÇ TASARIMI

5.1 Malzeme Listesi

Bileşen	Miktar	Değer
BJT	1	BC238
Direnç	1	220k Ω
Direnç	1	47k Ω
Direnç	2	4.7k Ω
Direnç	1	1k Ω
Direnç	1	470 Ω
Kondansatör	1	100nF
Kondansatör	1	10nF
Kondansatör	1	100pF

Bu deneyin amacı, ortak emetörlü (Common Emitter: CE) kuvvetlendiricinin tasarımını, yapımını ve analizini gerçekleştirerek teorik ve pratik bilgi birikiminin arttırılmasıdır.

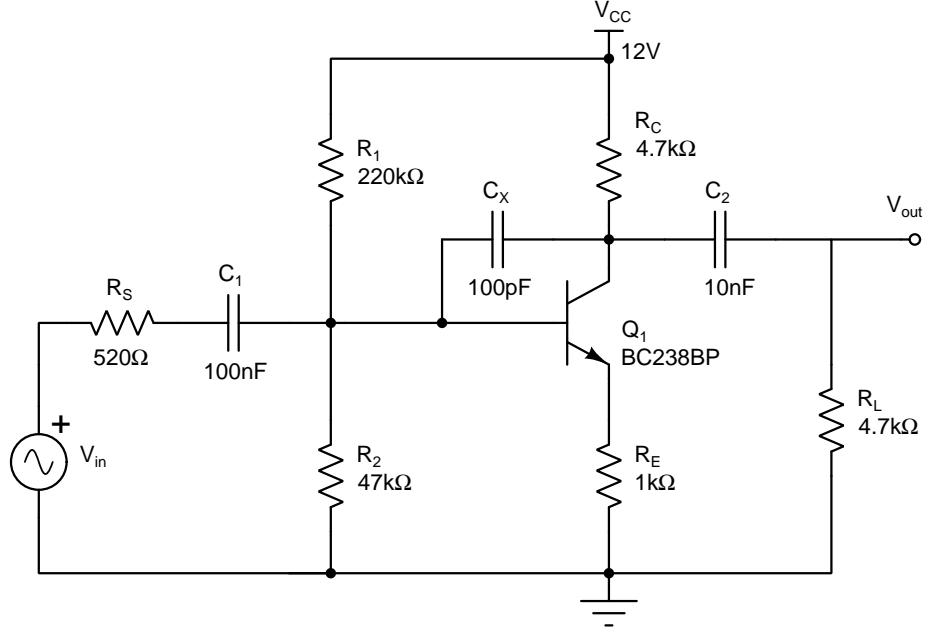
5.2 Teorik Bilgi

Gerilim yükselteçleri düşük genlikli giriş geriliminden yüksek genlikli çıkış gerilimi elde etmek için kullanılan devrelerdir [8]. Sınıf-A olarak da adlandırılan ortak emetörlü yükselteç devreleri, yüksek yük akımları altında %50'nin altında verim sağlamakta olup, daha yüksek verim elde edebilmek için Sınıf-B veya AB güç yükselteçleri tercih edilmektedir [5, 7, 11].

5.3 Deney Devresi

Aşağıdaki şekilde temel düzeyde ortak emetörlü kuvvetlendirici görülmektedir. Burada R_S kuvvetlendiricinin girişine bağlanacak akım veya gerilim kaynağının çıkış direncini gösterir. Genellikle sinyal jeneratörlerinin çıkış direnci 50Ω 'dur. Benzer şekilde R_L ise kuvvetlendiricinin çıkış gücünün aktarıldığı devrenin giriş direncini gösterir. R_S, R_L, R_C devrenin orta-bant gerilim kazancını etkiler [8]. Ayrıca, bu direnç değerleri devrenin frekans cevabına da etki ettikleri için, köşe frekanslarının ve faz gecikmesinin belirlenmesinde bu dirençler önemlidir [8].

R_1 ve R_2 transistörün bazına uygun besleme geriliminin sağlanmasında, R_E ise istenilen DC kollektör akımının ayarlanmasında kullanılan dirençlerdir. C_1 ve C_2 kapasiteleri, kuvvetlendiricinin giriş ve çıkış bağlantılarından transistörün DC çalışma noktalarının etkilenmesini önlemektedir [5]. Pratikteki uygulamalarda, kuvvetlendirici devresinin girişinden sinyal kaynağına DC geri besleme olmaması gerekir. Benzer şekilde, kuvvetlendirici devresinin çıkışından yük empedansına DC kaçak olmaması istenir. Aksi halde kuvvetlendirici devresi, sinyal kaynağına ve/veya yük empedansına zarar verebilmektedir. C_1 ve C_2 kapasiteleri bu tehlikenin önüne geçmektedir. Bant geçiren filtre özelliği gösteren aşağıdaki devrede C_1 ve C_2 kapasiteleri devrenin alt kesim frekansını belirleme görevi de görmektedir [5]. Miller kapasitesi adındaki C_X ise, söz konusu yükselteç devresinde üst kesim frekansını ayarlama imkânı sağlamaktadır [8]. Gerilim kazancının, orta bant kazancına göre 3dB azaldığı frekans değerleri ise devrenin alt ve üst kesim frekanslarıdır.



Şekil 5.1: Ortak emetörlü yükselteç devresi

Devrenin DC çalışma noktası ve orta-bant gerilim kazancı için temel tasarım denklemleri aşağıda özetlenmiştir [8]:

$$V_T = 26\text{mV} \quad (5.1)$$

$$r_\pi = \frac{V_T}{|I_{BQ}|} \quad (5.2)$$

$$R_B = R_1 \parallel R_2 \quad (5.3)$$

$$A_{mid} = \frac{V_0}{V_S} \cong \frac{-(R_L \parallel R_C)}{\frac{r_\pi}{\beta_F} + R_E} \cdot \frac{R_i}{R_i + R_S} \quad (5.4)$$

Burada R_i baz ile toprak arasından görülen eşdeğer dirençtir. Besleme devresi tasarımında yararlı olan bazı pratik kurallar da vardır. Örneğin baza bağlı dirençlerin üzerinden akan akımın % 90'ı R_1 ve R_2 üzerinden geçerken %10'u da transistörün bazına doğru akmalıdır. Bunu başarmak için genellikle,

$$R_B = 0.1\beta_F R_E \quad (5.5)$$

seçilir. Ayrıca çıkışta maksimum genlikli bozulmasız AC gerilim salınımına imkân sağlamak için, Q noktasındaki kolektör akımının aşağıdaki simetrik kırılma şartını sağlaması gerekir.

$$I_{CQ} = \frac{V_{CC} - V_{CE,SAT}}{R_{DC} + R_{AC}} \quad (5.6)$$

Burada $R_{AC} = R_E + (R_L \parallel R_C)$ ve $R_{DC} = R_C + R_E$ 'dir. Devrenin frekans cevabı (kısa devre ve sıfır değer yöntemlerinde gösterildiği üzere) dış kapasitelerden ve transistörün iç kapasitelerinden etkilenir [8]. Dış kapasiteler (Miller kapasitesi hariç) devrenin alt kesim frekansını belirlerken, iç kapasiteler ise kazancın yüksek frekanslarda düşmesini sağlar. Sonuçta CE kuvvetlendiricisi, aşağıdaki gerilim kazancı ifadesindeki şekilde bant geçiren bir transfer fonksiyonuna sahip olur.

$$A(\omega) = \frac{A_{mid}}{\left(1 - j\frac{\omega_{L1}}{w}\right) \left(1 - j\frac{\omega_{L2}}{w}\right) \left(1 + j\frac{w}{\omega_{H1}}\right) \left(1 + j\frac{w}{\omega_{H2}}\right)} \quad (5.7)$$

Bu denklemdeki köşe frekansları aşağıdaki gibidir [9].

$$\omega_{L1} = \frac{1}{C_1(R_S + R_i)} \quad (5.8)$$

$$\omega_{L2} = \frac{1}{C_2(R_C + R_L)} \quad (5.9)$$

$$\omega_{H1} = \frac{1}{(C_\pi + C_m)(R_S \parallel R_i)} \quad (5.10)$$

$$\omega_{H2} = \frac{1}{(C_0 + C_n)(r_0 \parallel R_C \parallel R_L)} \quad (5.11)$$

Burada C_m ve C_n Miller kapasitansının giriş ve çıkış eşdeğeridir. Üst kesim frekansını etkileyen transistörün iç kapasitörlerinin değerleri transistörün üretici katalogundan (datasheet) doğrudan bulunabilir. Her ne kadar ısı ve besleme koşullarına bağımlı olsa da C_π değeri yaklaşık olarak kataloglarda verilen C_{ib} ve C_0 değeri kataloglardaki C_{ob} olarak alınabilir. Bu bilgiler ışığında transistörlü bir CE kuvvetlendiricisinin tasarımı şu dört aşamadan oluşur:

- İhtiyaçların belirlenmesi (orta bant kazancı, köşe frekansları, yük empedansı, çıkış gücü),
- Transistör seçimi (maksimum kolektör akımı, kırılma ve doyum gerilimleri, akım kazancı),
- Transistörün aktif çalışma bölgesinde kutuplanması (V_{CC} , R_1 , R_2 , R_C ve R_E seçimi),
- AC tasarım (ihtiyaç duyulan köşe frekanslarına göre C_1 , C_2 ve C_X seçimi)

5.4 Deney Öncesi Benzetimler

1. BC238 bipolar NPN transistorünün katalog bilgilerini (datasheet) inceleyiniz.
2. Teorik Bilgi kısmında verilen formüllerden faydalanarak Şekil 5.1’de verilen ortak emetörlü devreyi aşağıdaki istenenleri (yaklaşık olarak) karşılayacak şekilde tasarlayınız. Tasarım sırasında B_F akım kazancı değerini belirlerken BC238’in katalog bilgisinde verilmiş olan öz eğrileri kullanmanız gerekmektedir. Tasarımınızı Multisim programını kullanarak simule ediniz. Sonuçlarınızı laboratuvara getiriniz.

$$\begin{aligned} V_{CC} &= 12V & A_{mid} &= -5 \\ R_S &= 470\Omega & f_L &= 500\text{Hz} \\ R_L &= 2.2\text{k}\Omega & f_H &= 50\text{kHz} \end{aligned}$$

3. Yaptığınız tasarımda C_X geri besleme kondansatörünü kaldırarak üst kesim frekansını belirleyiniz.

5.5 Deneyde Yapılacaklar

5.5.1 Devreyi Kurma ve DC Kutuplama

1. Şekil 5.1’deki devreyi **sadece** R_1, R_2, R_E, R_C elemanlarını kullanarak kurunuz. Güç kaynağının çıkış gerilimini 12V yapmadan devreye enerji vermeyiniz.
2. Transistörün V_{BE} ve V_{CE} gerilimlerini, baz ve kolektör akımlarını ölçünüz. Ölçtüğünüz değerleri aşağıdaki tabloya not alınız ve laboratuvar sorumlularına gösteriniz. $0.6V < V_{BE} \leq 0.7V$ ve $V_{CE} > V_{CE,SAT}$ şartları sağlanmadığı takdirde 1. adıma geri dönerek devreyi hatasız kurduğunuzdan emin olunuz. ($V_{CE,SAT}$ değerini BC238’in katalog bilgilerinden elde edebilirsiniz).
3. Şekil 5.1’de verilen devreyi diğer elemanları da kullanarak tamamlayınız.
4. Sinyal üreticinin dalga türünü sinüs yapınız. Genliği 0.5V ve frekansı 5kHz ayarlayınız. Sinyal üreticinin çıkışını yükselteç devresinin girişine bağlayınız. Osiloskobun birinci kanalını devrenin girişine, ikinci kanalını devrenin çıkışına bağlayınız. Elde ettiğiniz görüntüleri laboratuvar sorumlularına gösteriniz. Her iki kanaldan görülen dalga şekli aynı (bozulmasız) ise Frekans Cevabı bölümüne geçiniz. Aksi halde, 3. adıma geri dönünüz ve devreyi hatasız kurduğunuzdan emin olunuz.

5.5.2 Frekans Cevabı

1. Sinyal üreticinin frekansını değiştirerek alt ve üst kesim frekanslarını belirleyiniz. Bu değerleri ve orta bant kazancını aşağıdaki tabloya yazınız ve laboratuvar sorumlularına gösteriniz. Kazancın, orta bant kazancına göre 3dB azaldığı frekans değerleri kesim (köşe) frekanslarıdır.

2. Aşağıdaki tabloda belirtilen frekanslarda çıkış gerilimi ve faz gecikme sürelerini ölçünüz ve ilgili yerlere yazınız. Kaydettiğiniz değerleri laboratuvar sorumlularına gösteriniz.
3. Devreden C_X kapasitörünü kaldırarak üst kesim frekansını tekrar belirleyiniz ve aşağıdaki tabloya kaydediniz. Kaydettiğiniz değeri laboratuvar sorumlularına gösteriniz.
4. Ölçüm verilerinizi kullanarak devrenin bode diyagramını MATLAB, Excel ve benzeri bir program ile çizdiriniz. 5.7 numaralı denklemde deneyde kullandığınız eleman değerlerini yerine koyarak beklenen bode diyagramını çizdiriniz. DeneySEL sonuçlarınız ile beklenen değerler arasındaki farkları yorumlayınız.

Tablo 5.1: Deneysel ölçüm verileri - I

DC KUTUPLAMA			
$V_{BE} =$	$V_{CE} =$	$I_{BQ} =$	$I_{CQ} =$
FREKANS CEVABI			
$C_X \neq 0$			
$f_L =$	$f_H =$	$A_{mid} =$	
$f[\text{kHz}]$	$V_0[\text{V}]$	$\Delta T[s]$	
0.1			
0.5			
1			
2			
5			
10			
20			
30			
40			
50			
70			
100			
200			
$C_X = 0 \quad f_H =$			

5.6 Değerlendirme Soruları

1. DC kutuplama aşamasında kaydettiğiniz akım değerlerini kullanarak akım kazancı β_F değerini hesaplayınız. Ön hazırlık çalışmasında kullandığınız akım kazancı ile aradaki farkı yorumlayınız. (BC238'in katalog bilgisinde belirtilen öz eğrileri göz önünde bulundurunuz.)
2. Devrenin Q çalışma noktasındaki kolektör akımı değerinin simetrik kırılma şartını sağlayıp sağlamadığını yorumlayınız.

5.7 Quiz Soruları

1. Dejenerasyon dirençli (R_E) ortak emetörlü yükselteç yapısı dejenerasyon dirençsiz yapıyla karşılaştırıldığında daha büyük giriş empedansına ancak çok daha küçük gerilim kazancına sahiptir.
2. Bir sistemin bant genişliği sistemin kapasitif elemanları tarafından belirlenir. Büyük değerli kapasitif elemanlar üst kesim frekansını belirlerken küçük değerli parazitik kapasitörler alt kesim frekansını belirlerler.
3. Ortak bazlı yapı, ortak emetörlü yapının aksine Miller etkisinden etkilenmez. Dolayısıyla, CE katının çıkışına akım tamponu olarak bir CB yapısının kullanıldığı kaskat yapı, CE yapısının bant genişliğini arttırmada kullanılabilir.
4. Düşük frekanslarda yükselteç kazancı kuplaj ve baypas kapasitörleri nedeniyle kısıtlanmaktadır. Bu frekans değerleri her bir kondansatör tarafından görülen direnç değerinin bulunmasıyla hesaplanabilir.
5. Yükselteç devrelerinin alt ve üst kesim frekanslarının belirlenmesinde kısa devre ve sıfır değer yöntemleri pratiktir. Alt kesim frekansı kısa devre yöntemi ile belirlenmekteyken üst kesim frekansı sıfır değer yöntemi ile belirlenmektedir.

6 BJT ELEMANLI GÜÇ YÜKSELTEÇLERİ

6.1 Malzeme Listesi

Bileşen	Miktar	Değer
Opamp	1	TL072
BJT	1	BD135
BJT	1	BD136
Diyot	3	1N4001
Direnç	1	47k Ω
Direnç	1	22k Ω
Direnç	1	1k Ω
Direnç	3	10k Ω
Kondansatör	1	120pF
Kondansatör	1	1 μ F
Kondansatör	2	100 μ F

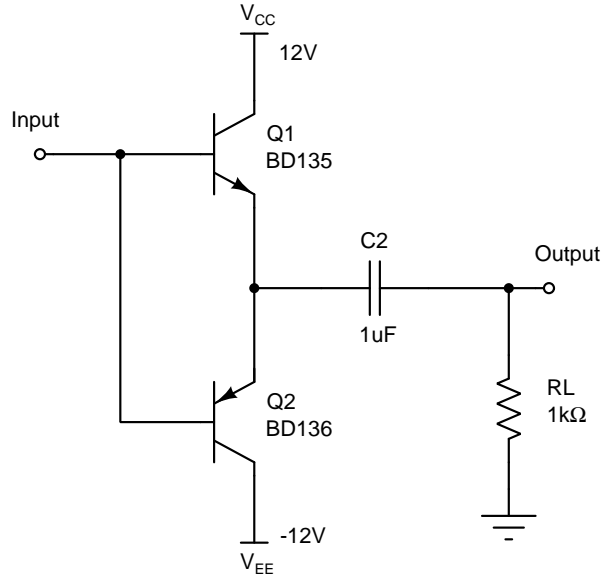
Bu deneyde BJT elemanlı Sınıf-B ve Sınıf-AB güç yükselteçlerinin tasarım aşamaları ve frekans cevapları incelenecektir.

6.2 Teorik Bilgi

Güç yükselteçleri gerilim yükselteçlerinden farklı olarak, giriş gerilimini üreten kaynaktan çekilebilecek en yüksek gücün yetersiz kaldığı durumlarda kullanılan elektronik devrelerdir [5,8]. Giriş gücünü çıkıştan yüksek yük akımları çekilmesine olanak sağlayacak şekilde yükselterek çıkışa aktarırlar. Gerilim yükselteçleri ise çıkıştan genellikle yüksek akımların çekilmediği durumlarda kullanılan, giriş gerilimini kuvvetlendirerek çıkışa veren devrelerdir. Güç yükselteçleri günümüzde ev sinema sistemleri, PC ses sistemleri ve her türlü seslendirme amfilerinde kullanılmaktadır. Kullanılan transistör elemanının türüne ve bağlantı şemasına göre çeşitli türlerden güç yükselteçleri mevcuttur. Sınıf-B ve AB türü yükselteçlerde BJT elemanları kullanılırken, Sınıf-D türünde ise PWM anahtarlama MOSFET elemanları kullanılmaktadır [7,8]. Bu deneyde Sınıf-B ve AB güç yükselteçleri üzerinde durulacaktır.

6.2.1 Sınıf-B Güç Yükselteçleri

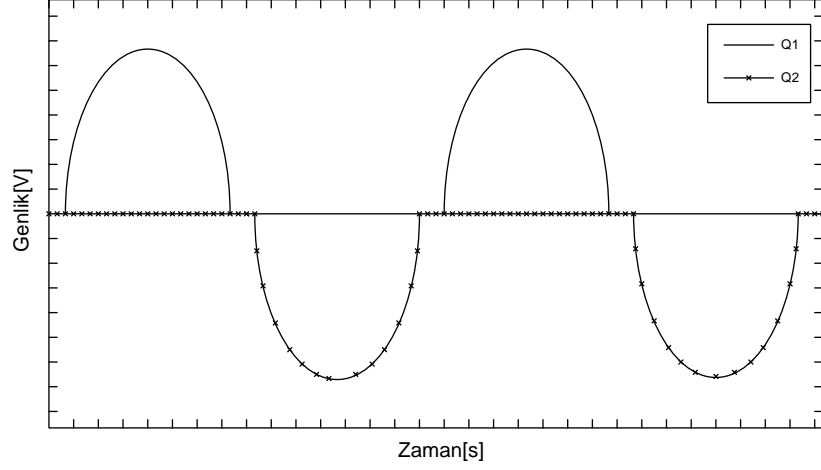
Sınıf-B güç yükselteçleri birer adet NPN ve PNP güç transistörlerinden oluşmaktadır [5,8,9].



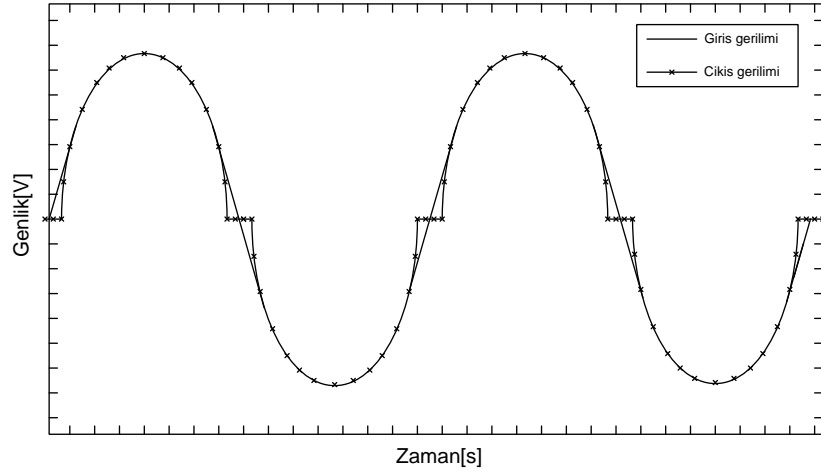
Şekil 6.1: Sınıf-B güç yükselteci

Şekil 6.1'deki devrede Q_1 ve Q_2 çıkış transistörlerinin iletme geçebilmesi için gerekli V_{BE} gerilimleri katalog bilgilerinden görülebileceği üzere sırasıyla 1V ve -1V'dur Q_1 transistörü için $V_{BE1} > 1V$ sağlandığı durumda Q_1 npn transistörü iletimde, Q_2

pnp transistörü kesimdedir. Benzer şekilde, Q_2 transistörü için $V_{BE2} < -1V$ sağlandığı durumda Q_2 pnp transistörü iletimde, Q_1 npn transistörü kesimdedir. Bu nedenle, transistörlerin bazına gelen AC giriş geriliminin pozitif alternansları Q_1 transistörü tarafından çıkışa iletilecek, negatif alternanslarında ise Q_1 transistörü kesime geçecektir. AC giriş geriliminin negatif alternansları Q_2 transistörü tarafından çıkışa iletilecek, pozitif alternanslarında Q_2 transistörü kesime girecektir. Aşağıda Q_1 ve Q_2 transistörleri için çıkışa aktarılan gerilimler ve toplam çıkış gerilimi görülmektedir.



Şekil 6.2: Sınıf-B yükselteci için Q_1 ve Q_2 transistörlerinin çıkış gerilimleri



Şekil 6.3: Sınıf-B yükseltecinde karşılaşılan geçiş bozulması

Sınıf-B güç yükselteçlerinin dezavantajlarından biri çıkış geriliminde geçiş bozulması (crossover distortion) görülmesidir [5, 8, 9]. AC giriş geriliminin $-1V < V_{in} < 1V$ aralığında bulunduğu zamanlarda hem Q_1 hem de Q_2 transistörü kesimdedir. Bu nedenle

çıkış gerilimi $\pm 1V$ aralığında bozulmaya sahiptir. Geçiş bozulmasını engellemek amacıyla Sınıf-AB güç yükselteçleri tasarlanmıştır [5, 8, 9].

Şekil 6.1'deki devrenin alt kesim frekansı C_2 kapasitörü ile belirlenmektedir. Bu durumda yükselteç devresinin alt kesim frekansı aşağıdaki formül ile ayarlanabilir [5, 8].

$$f_L = \frac{1}{2\pi R_L C_2} \quad (6.1)$$

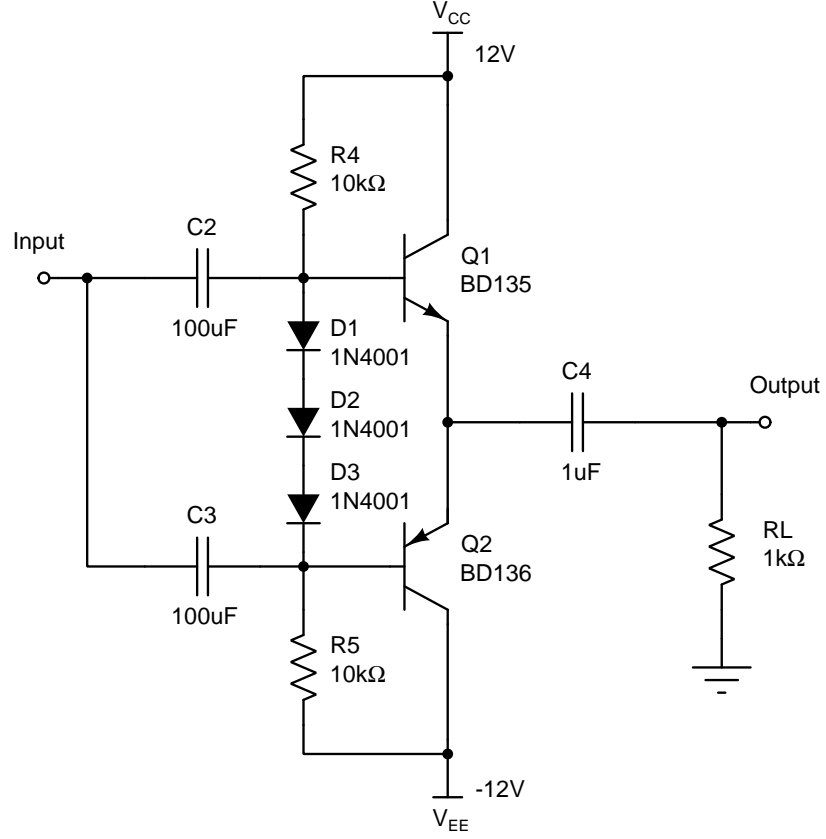
Devrenin üst kesim frekansını ise C_π kapasitörü etkilemekte olup aşağıdaki eşitlikler geçerlidir [5, 8].

$$f_{H1} = \frac{1}{2\pi(r_{\pi1} + \beta_1 R_L)C_{\pi1}} \quad f_{H2} = \frac{1}{2\pi(r_{\pi2} + \beta_2 R_L)C_{\pi2}} \quad (6.2)$$

Q_1 ve Q_2 transistörlerinin elektriksel özelliklerindeki olası farklılıklar nedeniyle f_{H1} ve f_{H2} köşe frekansları birbirinden farklı olabilir. Bu nedenle f_{H1} ve f_{H2} frekansları civarında çıkış geriliminin pozitif ve negatif alternansları farklı genlikli olabilir. Bunun önüne geçmek için devrenin üst kesim frekansı transistörlerin iç kapasitansları ile değil, yükselteç devresinin girişine bağlanacak AGF devresi ile ayarlanacaktır.

6.2.2 Sınıf-AB Güç Yükselteçleri

Sınıf-B yükselteçlerinin Şekil 6.2 ve Şekil 6.3'de görülen geçiş bozulmasını engellemek amacıyla Sınıf-AB yükselteçleri geliştirilmiştir. Aşağıdaki şekilde Sınıf-AB güç yükselteci devresi görülmektedir [8, 9].



Şekil 6.4: Sınıf-AB güç yükselteci

Şekil 6.4'deki devrede Q_1 ve Q_2 transistörlerinin bazıı arasında bağlanan 3 adet 1N4001 diyot ile $V_{BE1} = V_{BE2} + 3 \cdot V_D \cong V_{BE2} + 2V$ olması sağlanmıştır. Bu sayede geçiş bölgesinde Q_2 transistörü kesimde iken Q_1 transistörünün iletimde olması, Q_1 transistörü kesimde iken Q_2 transistörünün iletimde olması sağlanmıştır. Dolayısıyla, Sınıf-B yükselteçlerinde görülen geçiş bozulması engellenmiştir [5, 8, 9].

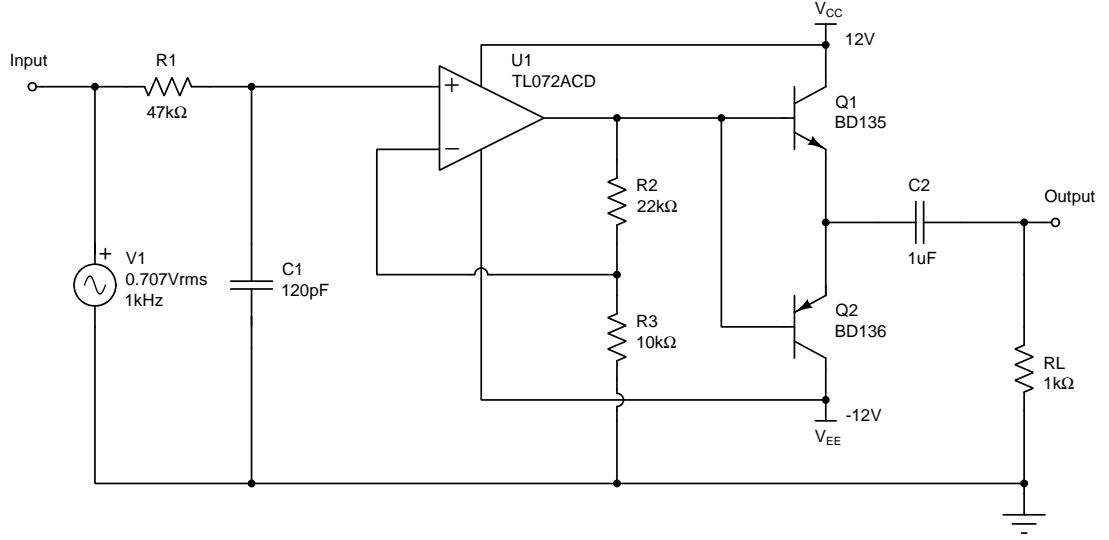
Şekil 6.4'deki devrede alt kesim frekansını C_2 , C_3 ve C_4 kapasitörleri etkilemektedir. C_2 ve C_3 kapasitörlerinin gördüğü direnç değeri 1N4001 diyotunun direncine bağlıdır. 1N4001 diyotunun direnci sabit değildir, bu sebeple, C_2 ve C_3 kapasitörleri ile ayarlanacak alt kesim frekansının sabit olmayacağı açıktır. Bunun önüne geçmek için C_2 ve C_3 kapasitörlerinin değeri C_4 kapasitörünün değerine göre çok büyük seçilerek, C_2 ve C_3 kapasitörlerinin meydana getirdiği kutup noktalarının C_4 kapasitörünün meydana getirdiği kutup noktasına göre çok küçük olması sağlanmıştır. Bu nedenle tüm devrenin alt kesim frekansı yaklaşık olarak aşağıdaki gibidir.

$$f_L = \frac{1}{2\pi R_L C_4} \quad (6.3)$$

Tıpkı Sınıf-B yükselteçlerinde olduğu gibi, Sınıf-AB yükselteçlerinde de üst kesim frekansı devrenin girişine bağlanacak opampli AGF devresi ile ayarlanacaktır.

6.3 Deney Devresi

6.3.1 Sınıf-B Güç Yükselteci Devresi



Şekil 6.5: Sınıf-B güç yükselteci deney devresi

Deney devresinden görüleceği üzere, tüm devrenin orta bant gerilim kazancı evirmeyen yükselteç kullanılarak ayarlanmıştır.

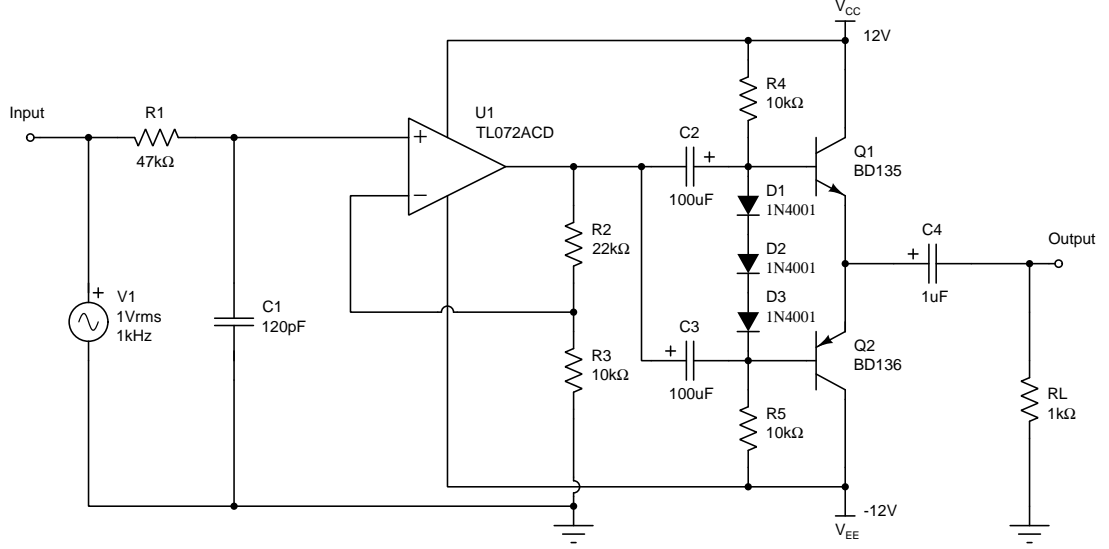
$$A_{mid} = 1 + \frac{R_2}{R_3} \quad (6.4)$$

Opampın girişinde bulunan AGF devresi ile devrenin üst kesim frekansı ayarlanmıştır. C_2 kapasitörü ise devrenin alt kesim frekansını belirlemektedir. Bu durumda aşağıdaki eşitlikler geçerli olmaktadır.

$$f_L = \frac{1}{2\pi R_L C_2} \quad (6.5)$$

$$f_H = \frac{1}{2\pi R_1 C_1} \quad (6.6)$$

6.3.2 Sınıf-AB Güç Yükseltici Devresi



Şekil 6.6: Sınıf-AB güç yükseltici deney devresi

Şekil 6.6'daki Sınıf-AB güç yükseltici için orta bant gerilim kazancı ve üst kesim frekansı formülleri Sınıf-B güç yükseltici için verilmiş olanlarla aynıdır. Alt kesim frekansının formülü ise aşağıdaki gibidir.

$$f_L = \frac{1}{2\pi R_L C_4} \quad (6.7)$$

6.4 Deney Öncesi Benzetimler

1. Şekil 6.5 ve Şekil 6.6'daki deney devrelerini Multisim programında kurunuz. Her iki devrenin orta bant kazancını, alt ve üst kesim frekanslarını bulunuz.
2. Şekil 6.5'deki devrede geçiş bozulmasının osiloskop görüntüsünü elde ediniz. Şekil 6.6'daki devre için herhangi bir geçiş bozulmasının söz konusu olup olmadığını osiloskop görüntüsü ile açıklayınız.

6.5 Deneyde Yapılacaklar

6.5.1 Sınıf-B Güç Yükseltici Devresi

1. Şekil 6.5'deki devreyi kurunuz. Osiloskobun birinci kanalını giriş gerilimine, ikinci kanalını ise çıkış gerilimine bağlayınız. Giriş geriliminin frekansı 1kHz iken geçiş bozulmasını gözlemleyiniz ve sonucunuzu laboratuvar sorumlularına gösteriniz.
2. Devrenin orta bant kazancını, alt ve üst kesim frekanslarını bulunuz ve sonuçlarınızı laboratuvar sorumlularına gösteriniz.

6.5.2 Sınıf-AB Güç Yükselteci Devresi

1. Şekil 6.6'daki devreyi kurunuz. Giriş geriliminin frekansı 1kHz iken giriş ve çıkış gerilimlerinin osiloskop görüntüsünü elde ediniz ve sonuçlarınızı laboratuvar sorumlularına gösteriniz. Çıkış geriliminde geçiş bozulması gözlemliyor musunuz?
2. Devrenin orta bant kazancını, alt ve üst kesim frekanslarını bulunuz. Elde ettiğiniz değerleri laboratuvar sorumlularına gösteriniz.

6.6 Değerlendirme Soruları

1. Sınıf-B ve Sınıf-AB yükselteç devreleri için elde ettiğiniz osiloskop görüntülerini yorumlayınız. Sınıf-B devresinde meydana gelen geçiş bozulmasının nedenini belirtiniz. Sınıf-AB devresinde geçiş bozulmasını gözlemlediniz mi?
2. Her iki devre için deney elemanlarının değerlerini kullanarak orta bant kazancı, alt ve üst kesim frekanslarının teorik değerlerini bulunuz. Deneyde elde ettiğiniz sonuçları teorik değerlerle karşılaştırınız.

6.7 Quiz Soruları

1. Bir güç yükseltecinin kazancı yüke aktarılan güç ile dc güç kaynağından çekilen gücün arasındaki orandır.
2. Her iki transistörün B-E eklemlerindeki gerilim düşümü dolayısıyla bir it-çek sınıf-B yükseltecinin transfer karakteristiğinde, çıkış gerilimindeki bozulmayı azaltan bir ölü bant oluşmaktadır.
3. İt-çek sınıf-B yükselteçlerinde görülen geçiş bozulması yüksek kazançlı bir opamp ve negatif geri besleme yapısıyla azaltılabilir.
4. A sınıfı yükselteçler sıfır akımda kutuplandıkları için girişe uygulanan bir sinyal olmadığında çok düşük güç harcarlar.
5. Sınıf-AB güç yükselteçleri, girişe küçük sinyaller uygulandığında bile her iki transistörü iletimde tutmak için küçük akımlarda kutuplanırlar. Bu sayede, sınıf-AB güç yükselteçlerinde geçiş bozulması giderilmiştir.

7 ORTAK KAYNAKLI YÜKSELTEÇ TASARIMI

7.1 Malzeme Listesi

Bileşen	Miktar	Değer
Opamp	1	TL072
MOSFET	1	2N7000
Direnç	2	47k Ω
Direnç	1	15k Ω
Direnç	1	100k Ω
Direnç	1	10k Ω
Direnç	1	1k Ω
Direnç	1	470 Ω
Potansiyometre	1	22k Ω
Kondansatör	1	120pF
Kondansatör	1	1 μ F
Kondansatör	1	100nF

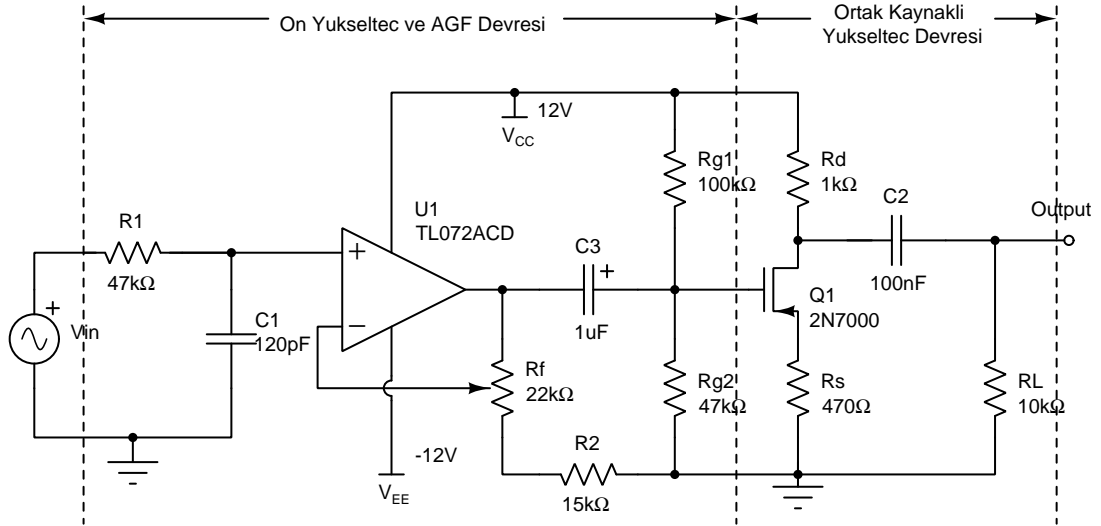
Bu deneyin amacı, mosfet uygulamalarından ortak kaynaklı yükselteç devresinin tasarım aşamalarını, kazanç ve bant genişliği özelliklerini öğrenmektir.

7.2 Teorik Bilgi

Mosfet elemanı, giriş direncinin yüksek olması, düşük ısı kaybı ve DC kutuplanmasının kolay olması nedeniyle yükselteç devrelerinde sıklıkla kullanılmaktadır [9, 11]. Özellikle $e = P_0/P_{in}$ güç veriminin yüksek olması istenen uygulamalarda BJT elemanlı Sınıf-A, B ve AB yükselteçlerine göre önemli avantajlara sahiptir. Örneğin, PWM'li anahtarlama temeline dayanan Sınıf-D türü mosfetli güç yükselteçlerinde %90'ın üzerinde verim elde edilebilirken, Sınıf-A türü yükselteçlerde %45-50, Sınıf-B ve AB türlerinde ise en fazla %65-70 oranlarında verim elde edilebilmektedir [7-9]. Mosfet elemanının sağladığı bu avantajlar nedeniyle, evlerde kullanılan birçok uygulamada mosfetli yükselteç devreleri bulunmaktadır. Günümüzde sıkça karşılaşılan ev sinema sistemleri mosfetli yükselteç uygulamalarına örnektir.

7.3 Deney Devresi

Bu deneyde mosfet uygulaması olarak ortak kaynaklı yükselteç devresi yapılacaktır. Bu devre gerilim yükseltme işlemi için kullanılabileceği gibi güç yükselteçlerinde çıkış transistörlerini sürme görevinde de kullanılabilir. Aşağıdaki şekilde deney devresi görülmektedir. Mosfet elemanının yüksek bant genişliği nedeniyle yükselteç devresinin üst kesim frekansı TL072 opampli AGF devresi ile ayarlanmaktadır. Bu filtrenin orta bant kazancı 1'den yüksek tutularak Q_1 çıkış transistörü için ön yükselteç işlemi sağlanmıştır.



Şekil 7.1: Ortak kaynaklı deney devresi

Şekil 7.1'deki devrenin herhangi bir $V_{in}(t)$ giriş gerilimine vereceği yanıt olarak çıkışa aktaracağı $V_{out}(t)$ çıkış gerilimi, söz konusu devrenin transfer fonksiyonu ile belirlenebilir.

mektedir. Söz konusu transfer fonksiyonun belirlenebilmesi için devrenin frekans cevabı incelenmelidir.

7.3.1 Orta Bant Kazancı

Şekil 7.1’de opamp elemanın bulunduğu ön yükselteç devresinin orta bant kazancı için aşağıdaki ifade geçerlidir [9].

$$A_{mid} = 1 + \frac{R_f}{R_2} \quad (7.1)$$

Şekil 7.1’deki devrede R_f için ayarlı direnç kullanılmıştır. Bu sayede ön yükselteç devresinin orta bant kazancının ayarlanabilir olması sağlanmıştır. Ortak kaynaklı yükselteç devresinin orta bant kazancı ifadesi aşağıdaki gibidir [9].

$$A_{mid} = -g_m(R_L \parallel R_d \parallel r_0) \cong -g_m(R_L \parallel R_d) \quad (7.2)$$

Buna göre, tüm devrenin orta bant kazancı şu şekilde hesaplanabilir.

$$A_{mid} = -g_m(R_L \parallel R_d)(1 + \frac{R_f}{R_2}) \quad (7.3)$$

Yukarıdaki ifadeden görülebileceği üzere $R_D \ll R_L$ için orta bant kazancı yük direncinden bağımsız olmaktadır. Fakat yük direncinin düşük değerli olduğu durumlarda orta bant kazancı yük direncine bağımlı hale gelmektedir. Bu nedenle Şekil 7.1’deki yükselteç devresi yük bağımlıdır. Orta bant kazancı ayarlanırken $V_{SS} < V_{out} < V_{DD}$ eşitsizliğinin sağlanması gerektiği, aksi halde çıkış geriliminin kırılacağı göz önünde bulundurulmalıdır.

7.3.2 Alt Kesim Frekansı

Şekil 7.1’deki devrede C_2 ve C_3 kapasitörleri devrenin alt kesim frekansını etkilemektedir. Bu nedenle söz konusu kapasitörlerin gördüğü eşdeğer dirençlerin bilinmesi gerekmektedir. Her bir kapasitörden görülen direnç değerleri aşağıda verilmiştir [9].

$$R_{C3} = R_f + R_2 + (R_{g1} \parallel R_{g2}) \quad (7.4)$$

$$R_{C2} = R_d + R_L \quad (7.5)$$

Buna göre tüm devrenin alt kesim frekansı aşağıdaki ifade aracılığıyla belirlenebilir.

$$f_{C2} = \frac{1}{2\pi(R_f + R_2 + (R_{g1} \parallel R_{g2}))C_3} \quad (7.6)$$

$$f_{C3} = \frac{1}{2\pi(R_d + R_L)C_2} \quad (7.7)$$

$$f_L = \frac{1}{2\pi} \left[\frac{1}{(R_f + R_2 + (R_{g1} \parallel R_{g2}))C_3} + \frac{1}{(R_d + R_L)C_2} \right] \quad (7.8)$$

Alt kesim frekansının yük direncine bağlı olması bazı pratik uygulamalarda istenmeyen durumdur. Bu tür uygulamalarda kapasitör değerleri belirlenirken $f_{c2} \geq 10f_{c3}$ olacak şekilde tasarım yapılabilir.

7.3.3 Üst Kesim Frekansı

Şekil 7.1'deki devrede mosfetli kuvvetlendiricinin bant genişliğinin yüksek olması nedeniyle üst kesim frekansı opampli AGF filtresi ile ayarlanmaktadır. C_1 kapasitörünün neden olduğu kesim frekansı aşağıdaki ifade ile hesaplanabilir [9].

$$f_H = \frac{1}{2\pi R_1 C_1} \quad (7.9)$$

Not: Yükselteç devrelerinin tasarım aşamasında alt ve üst kesim frekansları ayarlanırken öncelikle orta bant kazancını istenen değere getiren dirençler belirlenebilir. Sonra bu direnç değerleri kullanılarak uygun kapasitör değerleri ile kesim frekansları ayarlanabilir.

7.4 Deney Öncesi Benzetimler

1. Şekil 7.1'deki devreyi $R_L = 10k\Omega$ için aşağıdaki özellikleri sağlayacak şekilde yeniden tasarlayınız. Tasarımınızı multisim programında test ediniz ve Bode Plotter ile genlik ve faz için bode diyagramlarını çizdiriniz.

$$A_{mid} = 5, \quad f_L \cong 20\text{Hz}, \quad f_H \cong 20\text{kHz}$$

2. Tasarımda kullandığınız eleman değerleri ile Şekil 7.1'deki devrenin transfer fonksiyonunun analitik (teorik) ifadesini bulunuz. Bulduğunuz fonksiyonun genlik ve faz için bode diyagramlarını MATLAB programı ile çizdiriniz.
3. Elde ettiğiniz teorik ve multisim grafiklerini karşılaştırınız. Aradaki benzerlik ve farklılıkları yorumlayınız.

7.5 Deneyde Yapılacaklar

1. Şekil 7.1'deki devreyi kurunuz. Giriş geriliminin tepeden tepeye değerini $V_{in} = 2\text{V}$ yapınız. Osiloskobun birinci kanalını giriş gerilimine, ikinci kanalını çıkış gerilimine bağlayınız. Giriş ve çıkış gerilimlerini doğru elde ettikten sonra laboratuvar sorumlularına gösteriniz.
2. Potansiyometre %100 değerde iken devrenin orta bant kazancını, alt ve üst kesim frekanslarını bulunuz. Giriş geriliminin frekansı $f_0 = 1\text{kHz}$ iken giriş ve çıkış gerilimlerinin osiloskop görüntüsünü elde ediniz ve laboratuvar sorumlularına gösteriniz.
3. Potansiyometreyi %0 değerine getiriniz ve bir önceki aşamayı tekrarlayınız.

7.6 Değerlendirme Soruları

1. Orta bant kazancının en düşük ve en yüksek değerlerini belirtiniz. Orta bant kazancının, alt ve üst kesim frekansının teorik değerlerini bulunuz.
2. Deneyde elde ettiğiniz sonuçları teorik değerlerle kıyaslayınız.

7.7 Quiz Soruları

1. Giriş-çıkış izolasyonunu arttırmak ve frekans cevap kabiliyetini iyileştirmek amacıyla bir ortak geçitli yükselteç (CG), ortak kaynaklı yükseltece (CS) çıkış katı olarak bağlanabilir.
2. Ortak kaynaklı yükseltecin bant genişliğini arttırmanın basit bir yolu kaynağa bir direnç eklemektir. Ancak böyle bir yapı kaynak direnci olmayan yapıya kıyasla daha düşük kazançla sahip olacaktır.
3. BJT'lerin güvenli çalışma bölgelerini kısıtlayan ikincil delinme MOSFET'ler üzerinde de etki gösterir.
4. Ortak kaynaklı yapıda kaynağa R_S direncinin eklenmesi ortak emetörlü yapıda R_E ile olduğu gibi yükseltecin giriş direncini arttırmaktadır.
5. Ortak kaynaklı ya da ortak emetörlü yükselteçlerde sabit bir akım kaynağının yük olarak kullanılmasının bir sebebi de sonlu bir yük direncinin kullanıldığı duruma göre daha yüksek kazanç elde etmektir.

8 AKTİF FİLTRELER

8.1 Malzeme Listesi

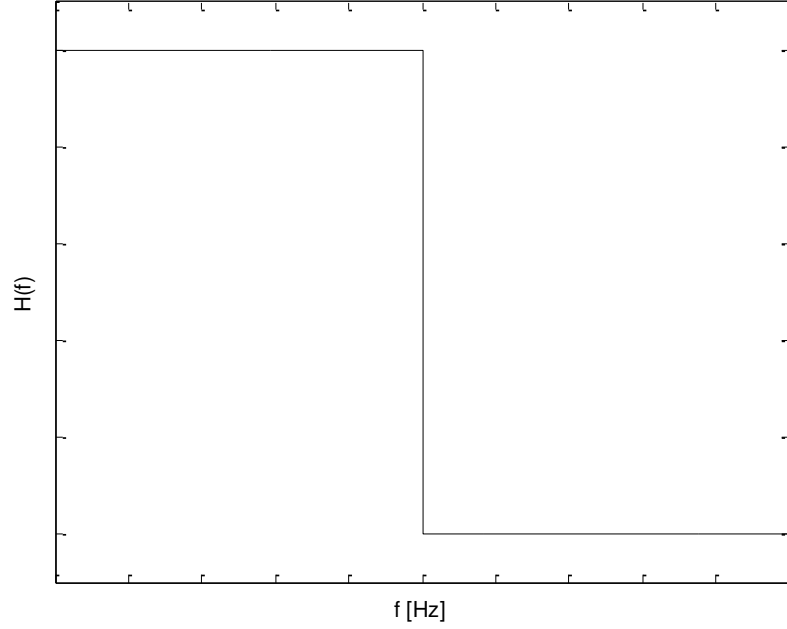
Bileşen	Miktar	Değer
Opamp	1	TL072
Direnç	1	47k Ω
Direnç	1	2.2k Ω
Direnç	1	22k Ω
Direnç	1	220k Ω
Direnç	2	4.7k Ω
Direnç	2	10k Ω
Kondansatör	2	1nF
Kondansatör	1	100pF

Bu deneyin temel amacı opampli aktif filtreleri ve sahip oldukları frekans cevaplarını incelemektir. Bu amaca yönelik Butterworth ve Chebyshev-II filtreleri tasarlanacak, geçirme ve sönümleme bölgelerindeki davranışları incelenecektir.

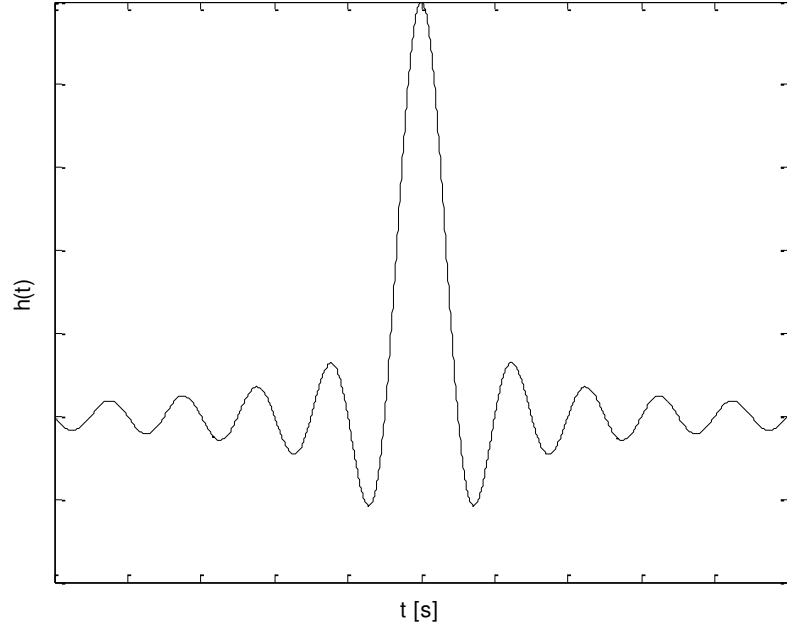
8.2 Teorik Bilgi

8.2.1 Aktif Filtrelerin Genlik Cevabı

Pratik uygulamalarda tüm elektronik devrelerin frekans yanıtı ve dürtü cevabı olmakla beraber bu karakteristikleri tasarımcı tarafından belirlenerek sistemin herhangi bir giriş gerilimine karşılık çıkışa aktaracağı gerilim tahmin edilebilmektedir. Bu aşamada filtreler önemli role sahiptir. İdealde filtreler belirli frekansları ileten, geri kalanları geçirmeyen ve genlik spektrumları dikdörtgen fonksiyonlarının birleşiminden oluşan devrelerdir [5,8,11]. Aşağıdaki şekillerde sırasıyla ideal alçak geçiren filtrenin genlik cevabı ve dürtü cevabı görülmektedir.



Şekil 8.1: İdeal AGF genlik cevabı



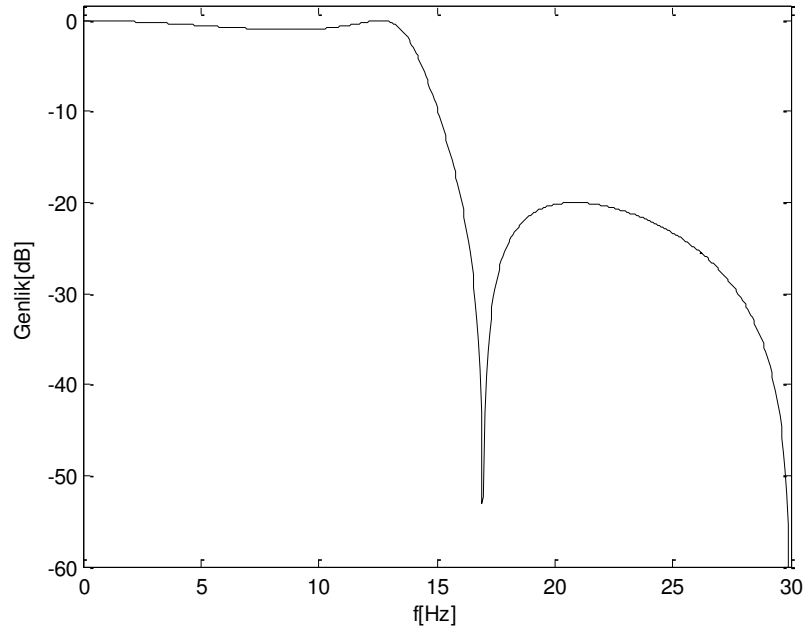
Şekil 8.2: İdeal AGF dürtü cevabı

Şekil 8.1’de görülmekte olan frekans uzayındaki dikdörtgen fonksiyonunun zaman uzayındaki ifadesi Şekil 8.2’deki gibi $-\infty < t < \infty$ zaman aralığında sıfırdan farklı değerlere sahiptir. İdeal AGF varsayımına ait frekans uzayındaki transfer fonksiyonu ve zaman uzayındaki dürtü cevabı aşağıda verilmiştir [13].

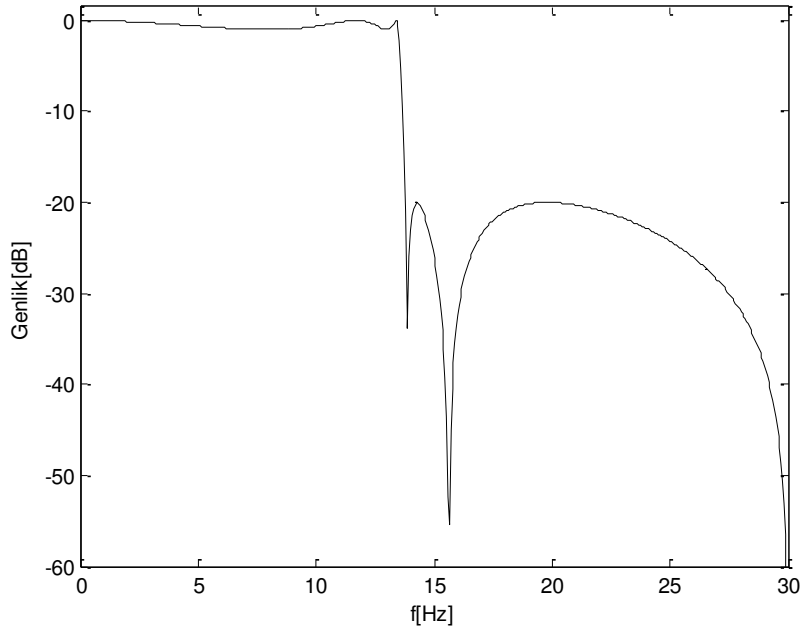
$$H(f) = A \cdot \Pi\left(\frac{f}{BW}\right) \quad (8.1)$$

$$h(t) = A \cdot BW \cdot \text{sinc}(BW \cdot t) \quad (8.2)$$

Burada $H(f)$ transfer fonksiyonunu, $h(t)$ dürtü cevabını, A filtre kazancını ve BW bant genişliğini göstermektedir. Tüm nedensel sistemlerin (pratik uygulamaların) dürtü cevabı $0 \leq t < \infty$ zaman aralığında tanımlı olmakla birlikte bu durum frekans yanıtının dikdörtgen fonksiyonundan farklı olmasına neden olmaktadır. Bu nedenle genlik cevabı ana lob ve/veya yan loblara sahiptir [14]. Aşağıda kesim frekansı 10.8kHz olan 3. ve 5. dereceden eliptik filtrenin genlik cevabı görülmektedir.



Şekil 8.3: 3. dereceden eliptik filtre genlik cevabı

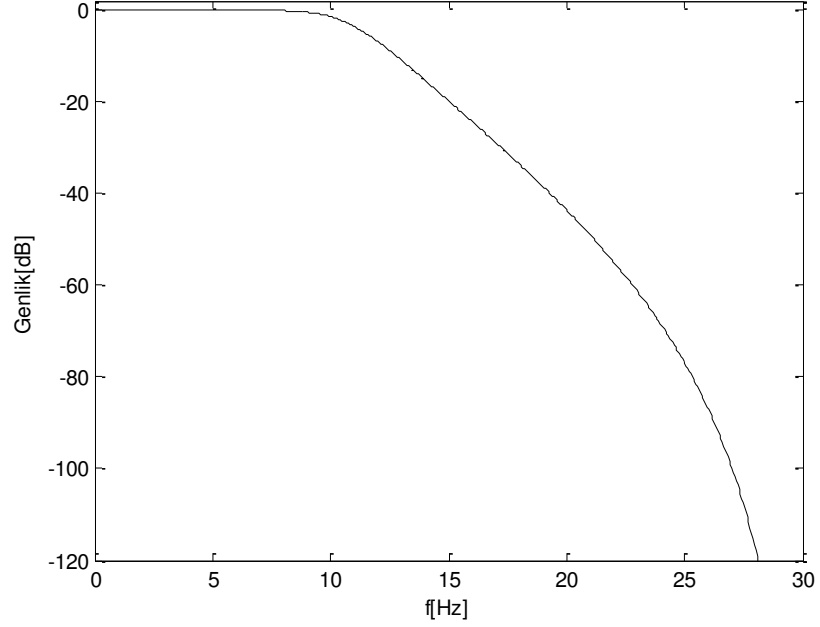


Şekil 8.4: 5. dereceden eliptik filtre genlik cevabı

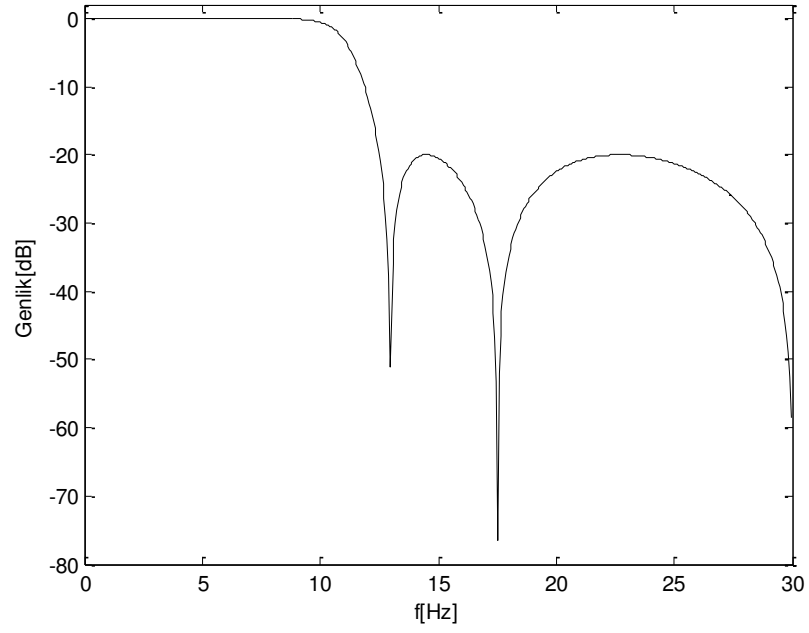
Şekil 8.3 ve Şekil 8.4'deki grafikler için geçirme bölgesi ana lob, sönümleme bölge-

sindeki dalgalanmalar ise yan loblar olarak adlandırılmaktadır. Filtrenin derecesi arttırıldıkça ana lobun şekli dikdörtgen fonksiyonuna yaklaşmakta ve bu sayede filtrenin süzme keskinliği artmaktadır. Fakat yan lobların etkisi devam etmektedir. Yan lobların varlığı, yüksek frekans bileşenlerinin tamamen süzülmediğini, bu frekans bileşenlerinin bir miktar bastırıldığını göstermektedir.

Tasarımda kullanılan filtrenin türü değişikçe göstereceği frekans yanıtı da değişmektedir. Aşağıda sırasıyla kesim frekansı 10kHz olan 5.dereceden Butterworth ve Chebyshev-II filtrelerinin genlik cevapları görülmektedir. Genlik cevabının filtre türlerine göre farklılık göstermesi, hangi giriş gerilimleri için hangi tür filtrenin daha uygun olduğunu önemli hale getirmektedir. Köşe frekansı civarında yüksek keskinlik gerektirmeyen giriş gerilimleri için Butterworth filtresi yüksek frekans bileşenlerini Chebyshev-II filtresine göre daha fazla bastırırken, ana lobun dar olmasını gerektiren ve köşe frekansı civarında keskin süzme işlemi gerektiren giriş gerilimlerinde Chebyshev-II filtresi daha uygundur [15].



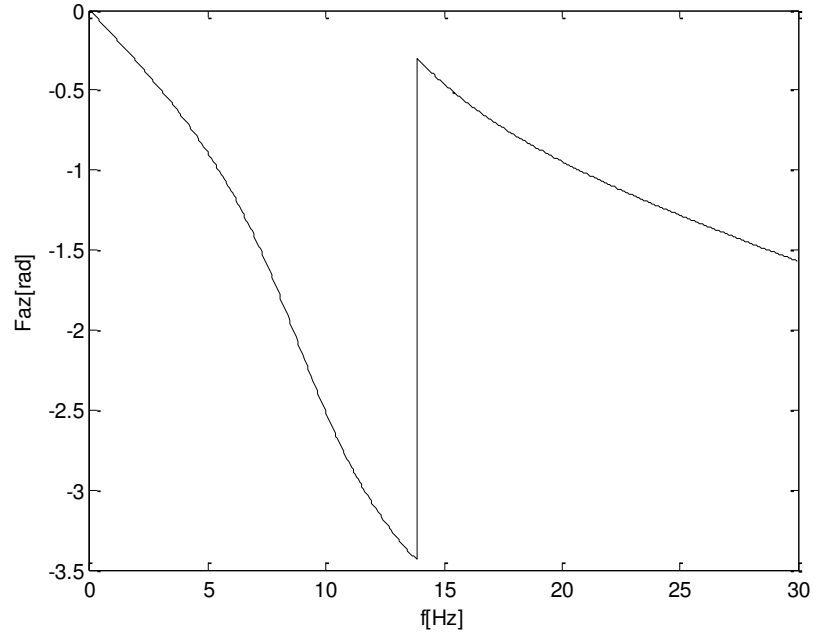
Şekil 8.5: 5. dereceden Butterworth filtresi genlik cevabı



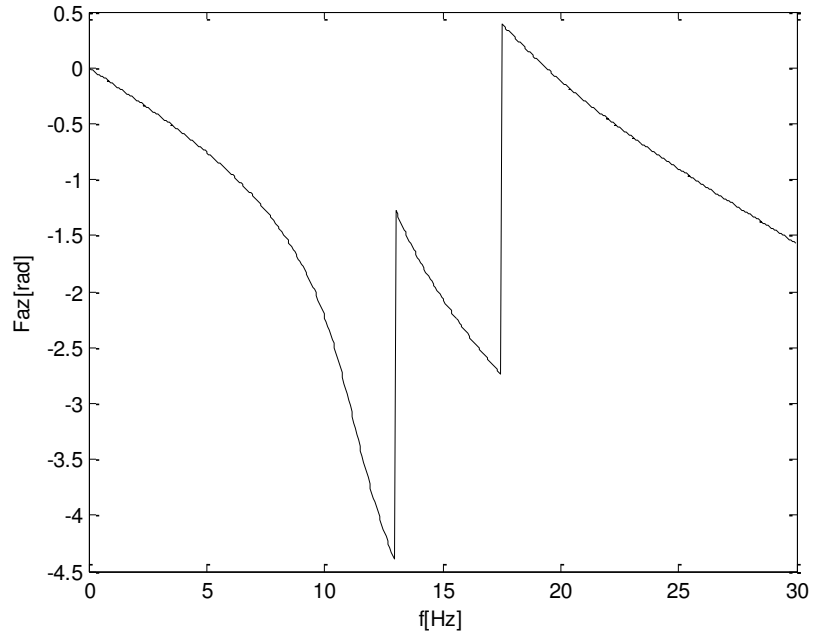
Şekil 8.6: 5. dereceden Chebyshev-II filtresi genlik cevabı

8.2.2 Aktif Filtrelerin Faz Cevabı

Filtre devrelerinde ana lobun daraltılması için yapılabilecek işlemler filtrenin türünü değiştirmek veya derecesini arttırmaktır. Filtre derecesinin arttırılması kimi zaman istenmeyen durumdur. Çünkü filtre derecesinin artması daha çok devre elemanının kullanılması gerektirmekte ve filtrenin faz gecikmesini arttırmaktadır. Aşağıda 10kHz köşe frekanslı 3. ve 5. dereceden Chebyshev-II filtrelerinin faz cevabı görülmektedir.



Şekil 8.7: 3. dereceden Chebyshev-II filtresi faz cevabı



Şekil 8.8: 5. dereceden Chebyshev-II filtresi faz cevabı

Şekil 8.7 ve Şekil 8.8'den görüleceği üzere 5. dereceden Chebyshev-II filtresinin faz

gecikmesi özellikle köşe frekansı civarında 3. dereceden Chebyshev-II filtresine göre daha yüksektir. Benzer durum diğer filtre türlerinde de geçerli olmakla birlikte, filtre derecesi değiştirilmeksizin filtre türünün değişmesi de faz gecikmesini değiştirebilmektedir.

8.2.3 Aktif Filtrelerin Grup Gecikmesi

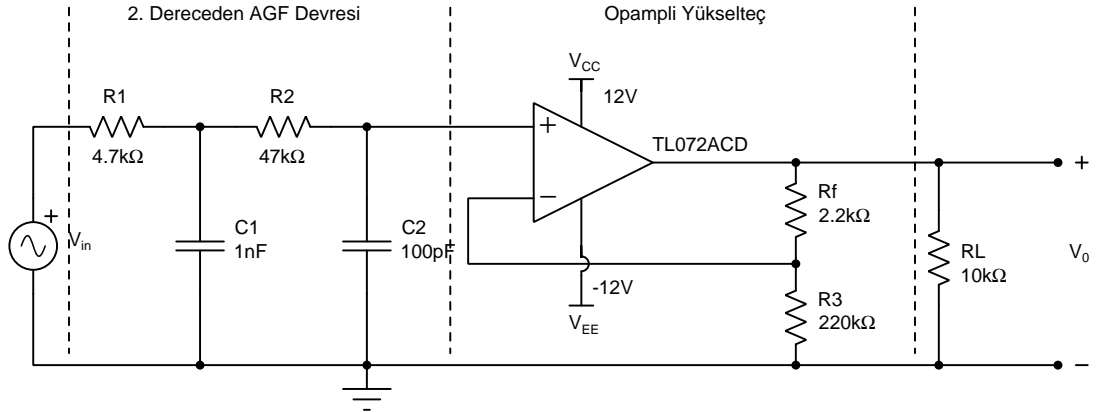
Tüm filtre devreleri için geçerli olmak üzere giriş geriliminin $V_{in}(t) = A \cdot \cos(2\pi f_0 t)$ formunda olması halinde çıkış gerilimi $V_0(t) = A \cdot |H(f_0)| \cdot \cos(2\pi f_0(t - T_d))$ formundadır. Bu durumda çıkış geriliminin faz gecikmesi $\theta(f = f_0) = -2\pi f T_d$ olur. Burada T_d zaman gecikmesini göstermektedir. Giriş geriliminin birden çok frekans bileşenine sahip olması halinde bozulmasız filtrelemenin gerçekleşebilmesi için, çıkış geriliminin bant genişliğindeki tüm frekans bileşenlerinin aynı miktarda zaman gecikmesine sahip olması gerekmektedir. Bu durum ancak, geçirme bölgesinde T_d süresinin frekansın fonksiyonu olmaması halinde sağlanmaktadır. Grup gecikmesi, T_d süresinin herhangi bir frekans bileşeni için değerinin belirlenmesini sağlamaktadır. Aşağıda grup gecikmesinin analitik ifadesi görülmektedir.

$$\tau = \frac{d\theta(f)}{df} = -2\pi T_d \quad (8.3)$$

Yukarıdaki ifadeden görülebileceği üzere, grup gecikmesinin frekansın fonksiyonu olmaması halinde T_d süresi sabittir. Bu nedenle, bozulmasız filtreleme işleminin gerçekleşebilmesi için faz diyagramlarının lineer olması gerekmektedir.

8.3 Deney Devresi

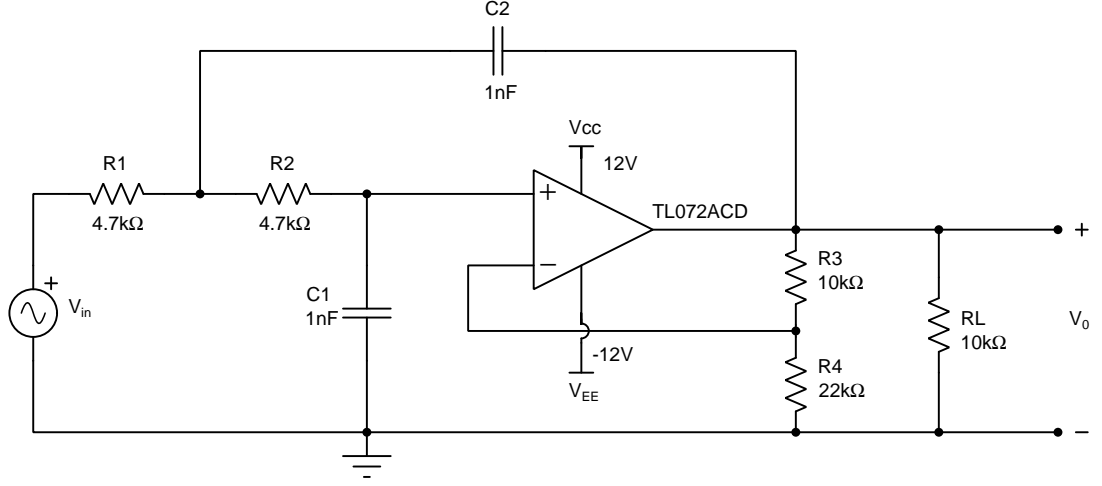
Bu deneyde 2. dereceden Butterworth ve Chebyshev-II filtreleri tasarlanacak, genlik ve faz grafikleri çizilerek aralarındaki farklılıklar incelenecektir.



Şekil 8.9: Butterworth deney devresi

Şekil 8.9'daki Butterworth devresinde filtreleme işlemi R_1 , R_2 , C_1 , C_2 elemanlarının bulunduğu 2. dereceden AGF devresi ile sağlanmaktadır. AGF devresinin çıkışı evir-

meven yükselteç devresine verilerek kazancın 1'den büyük olması sağlanmıştır. Devrede R_L yük direnci olup çıkış gerilimi, pasif filtrelerin aksine, yük direncinden bağımsızdır.



Şekil 8.10: Chebyshev-II deney devresi

Şekil 8.10'daki Chebyshev-II filtresi 2. dereceden AGF devresidir. Devrenin üst kesim frekansı C_1 , C_2 kapasitörleri ile ayarlanabilmektedir. Filtrenin geçirme bölgesindeki kazancını ise R_3 , R_4 dirençleri belirlemektedir.

8.4 Deney Öncesi Benzetimler

1. Geçirme bölgesindeki kazancı 0dB, köşe frekansı $f_c \cong 2\text{kHz}$ olan 2. dereceden Butterworth ve Chebyshev-II filtrelerini Multisim ortamında tasarlayınız. Genlik ve faz diyagramlarını çizdiriniz. Elde ettiğiniz sonuçların Şekil 8.5 ve Şekil 8.6 ile benzerlik ve farklılıklarını, nedenlerini açıklayarak belirtiniz.
2. Tasarladığımız filtrelerin grup gecikmelerini, faz diyagramlarını kullanarak karşılaştırınız.

8.5 Deneyde Yapılacaklar

8.5.1 Butterworth Filtresi

1. Şekil 8.9'daki devreyi kurunuz. Giriş gerilimini tepe değeri 1V olacak şekilde ayarlayınız ve aşağıdaki tabloya göre ölçüm alınız. Ölçüm sonuçlarınızı laboratuvar sorumlularına gösteriniz. Ölçüm verilerinizi kullanarak, bu devrenin DC kazancını ve kesim frekansını bulunuz.

Tablo 8.1: Butterworth filtresi deney verileri

f [kHz]	V_0 [V]	V_{in} [V]	H
0.5			
1			
5			
15			
20			
25			
35			
50			
100			
200			
$f_H =$		$K_{DC} =$	

2. Tablo 8.1'deki ölçüm verilerinizi kullanarak, bu devrenin frekans-genlik cevabını çizin. Dikey eksen dB biriminde, yatay eksen kHz biriminde alınız.

8.5.2 Chebyshev-II Filtresi

1. Şekil 8.10'daki devreyi kurunuz. Giriş gerilimini tepe değeri 1V olacak şekilde ayarlayınız ve aşağıdaki tabloya göre ölçüm alınız. Ölçüm sonuçlarınızı laboratuvar sorumlularına gösteriniz. Ölçüm verilerinizi kullanarak, bu devrenin DC kazancını ve kesim frekansını bulunuz.

Tablo 8.2: Chebyshev-II filtresi deney verileri

f [kHz]	V_0 [V]	V_{in} [V]	H
1			
10			
20			
30			
35			
50			
100			
200			
500			
1000			
2500			
3500			
5000			
10000			
$f_H =$		$K_{DC} =$	

2. Tablo 8.2'deki ölçüm verilerinizi kullanarak, bu devrenin frekans-genlik cevabını çizin. Dikey eksen dB biriminde, yatay eksen kHz biriminde alınız.

8.6 Değerlendirme Soruları

1. Tablo 8.1 ve Tablo 8.1'deki verileri kullanarak Butterworth ve Chebyshev-II filtresi için genlik diyagramını MATLAB programı ile çizdiriniz. Her iki filtrenin üst kesim frekansını belirtiniz.
2. Butterworth ve Chebyshev-II filtrelerini ana lob genişliği ve yan loblar açısından karşılaştırınız.

8.7 Quiz Soruları

1. Bir filtre devresi, dirençler ve kondansatörler gibi pasif elemanlar kullanılarak oluşturulabilir ancak, bir aktif filtre gelirim yükseltme ve sinyal izolasyonu ya da tamponlama sağlamak üzere ilaveten bir yükselteç kullanır.

2. Geçirme veya sönümleme bandında hiç dalgalanma olmaması sebebiyle Butterworth filtresi, zaman zaman maksimum düz filtre olarak adlandırılır.
3. Sönümleme bandındaki dalgalanmaların döngü sayısı Chebyshev filtresinin derecesine eşittir.
4. İdeal bir alçak geçiren filtre kesim frekansından daha düşük frekanslı sinyalleri söndürür ve kesim frekansından daha yüksek frekanslı sinyalleri geçirir.
5. Chebyshev filtre aynı dereceden Butterworth filtreye göre daha küçük bir geçiş bölgesine sahiptir. Ancak geçiş bölgesinin pürüzsüzlüğünden feragat eder.

9 WIEN KÖPRÜSÜ VE SİNÜS OSİLATÖR TASARIMI

9.1 Malzeme Listesi

Bileşen	Miktar	Değer
Opamp	1	TL072
Diyot	2	1N4001
Direnç	2	47k Ω
Direnç	3	10k Ω
Kondansatör	2	120pF

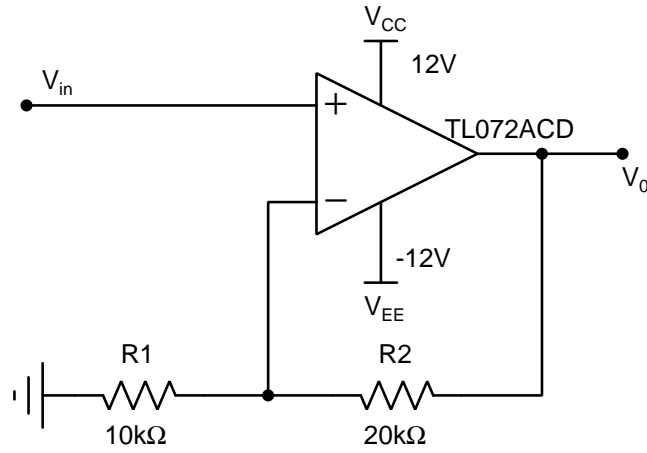
Bu deneyde pozitif geri beslemeli sinüs osilatör tasarımı öğrenilecektir. Bu amaca yönelik opampli Wien Köprüsü incelenecektir.

9.2 Teorik Bilgi

DC giriş geriliminden sinüzoidal çıkış gerilimi üretebilmek amacıyla tasarlanan sinüs osilatörleri birçok pratik uygulamada kullanılmaktadır. Telsiz haberleşme sistemlerinin modülatör ve demodülatör devreleri, AC güç kaynakları ve daha birçok uygulama alanı olan sinüs osilatörleri temel olarak, kuvvetlendirici devresi ve filtreli geri besleme devresinden oluşmaktadır. Literatürde birçok sinüs osilatörü olmakla birlikte bu deneyde opampli Wien Köprüsü üzerinde durulacaktır.

9.2.1 Evirmeyen Yükselteç Devresi

Evirmeyen yükselteçler, girişe uygulanan gerilimin genliğini arttırıp fazını ters çevirmeden çıkışa aktaran devrelerdir [3, 6, 11]. Aşağıda evirmeyen yükseltecin devre şeması görülmektedir.



Şekil 9.1: Evirmeyen yükselteç devresi

Şekil 9.1'deki devrede R_1 ve R_2 dirençleri yükselteç devresinin kazancını belirlemekte olup ideal opamp varsayımı altında çıkış geriliminin ifadesi aşağıda görüldüğü gibidir.

$$V_0 = \left(1 + \frac{R_2}{R_1}\right)V_{in} \quad (9.1)$$

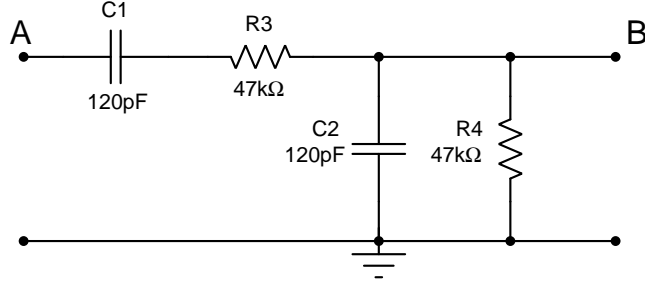
Denklem 9.1 gereğince Şekil 9.1'deki yükselteç devresinin transfer fonksiyonu aşağıdaki gibidir [6].

$$H(s) = 1 + \frac{R_2}{R_1} \quad (9.2)$$

Şekil 9.1'deki devre sükunette iken giriş gerilimi uygulandığında geçici hal (transient) zaman aralığında Schimit tetikleyicisi özelliği göstereceği gözden kaçırılmamalıdır.

9.2.2 Geri Besleme Devresi

Sinüs osilatör devrelerinde geri besleme katı filtreleme özelliği gösteren yapıdan oluşmaktadır. Aşağıdaki şekilde, geri besleme katında kullanılacak olan 1. dereceden bant geçiren filtre devresi görülmektedir.



Şekil 9.2: 1. dereceden bant geçiren filtre devresi

Şekil 9.2'deki devrede A noktası giriş düğümü, B noktası çıkış düğümü olmak üzere filtre devresinin transfer fonksiyonu aşağıdaki gibidir [8, 11].

$$H_f(s) = \frac{Z_2(s)}{Z_1(s) + Z_2(s)} \quad (9.3)$$

$$Z_1(s) = R_3 + \frac{1}{sC_1} \quad (9.4)$$

$$Z_2(s) = \frac{R_4 \frac{1}{sC_2}}{R_4 + \frac{1}{sC_2}} \quad (9.5)$$

Şekil 9.2'deki devrede $R = R_3 = R_4$ ve $C = C_1 = C_2$ olmak üzere filtre devresinin frekans cevabı aşağıda görüldüğü gibidir.

$$H_f(s) = \frac{j\omega RC}{1 - \omega^2 R^2 C^2 + 3j\omega RC} \quad (9.6)$$

Giriş gerilimi dikdörtgen dalga katarı olmak üzere aşağıdaki ifadeler geçerlidir.

$$V_A(t) = \sum_{n=0}^{N-1} \Pi(t - nT) \xrightarrow{F.S.} \sum_{k=-\infty}^{\infty} c_k e^{j2\pi n f_0 t} \quad (9.7)$$

Yukarıdaki ifadede T dikdörtgen dalga katarının periyodu, f_0 ise temel frekansı olmak üzere, giriş sinyalinin Fourier serisi sinüzoidal gerilimlerin toplamından meydana gelmektedir. Bu durumda filtrelenmiş çıkış geriliminin ifadesi aşağıdaki gibi olacaktır.

$$V_B(t) \cong A_{\omega_0} \cos(\omega_0 t + \theta_{\omega_0}) \quad (9.8)$$

Burada $\omega_0 = 2\pi f_0$ bant geçiren filtrenin merkez frekansı, A_{ω_0} ise çıkış sinyalinin genliği olmak üzere ifadesi aşağıdaki gibidir.

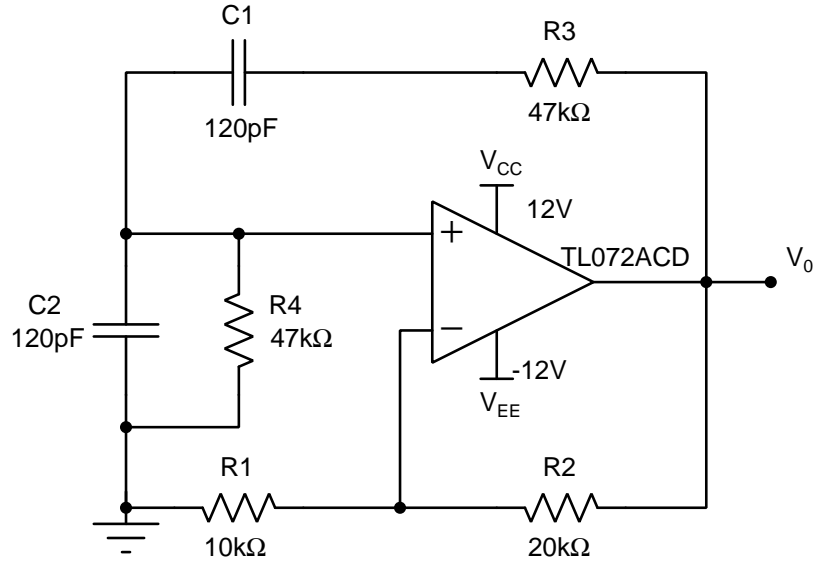
$$A_{\omega_0} = c_{\omega_0} |H(\omega_0)| \quad (9.9)$$

Çıkış sinyalinin faz gecikmesi ise aşağıda görüldüğü gibidir.

$$\theta_{\omega_0} = \angle H_f(\omega_0) \quad (9.10)$$

9.2.3 Sinüs Osilatörü (Wien Köprüsü)

Pozitif geri beslemeli sinüs osilatörü devresi temel olarak yükselteç devresi ve filtreli geri besleme devresinden oluşmaktadır. Aşağıda ilgili devre şeması görülmektedir.



Şekil 9.3: Wien köprüsü

Şekil 9.3'deki devreye besleme gerilimi uygulandığı anda opampın giriş pinleri arasında meydana gelen gürültü işaretleri ve opampın giriş transistörlerinin ideal özdeş olmamasından kaynaklanan gerilim farkından dolayı $V^+ - V^- \neq 0$ olmaktadır. Besleme gerilimi uygulandığı anda çıkış gerilimi $V_0 = 0$ olmasından dolayı geçici hal zaman aralığında evirmeyen yükselteç devresi Schmitt tetikleyicisi görevi görecek ve çıkış gerilimi 0V değerinden $\pm V_{CC}$ değerlerinden birine yükselecektir. Kısa süreli dikdörtgen dalga

özelliği gösteren çıkış gerilimi ω_0 merkez frekanslı bant geçiren geri besleme devresinin girişine uygulanmış olacaktır. Bant geçiren filtrenin çıkış gerilimi 9.8 denklemi gereğince sinüzoidal yapıda olacaktır. Bu nedenle evirmeyen yükselteç devresinin V^+ ucuna sinüzoidal giriş gerilimi uygulanmış olacaktır. Bu durumda evirmeyen yükselteç devresinin çıkış gerilimi denklem 9.2'deki kazanç ifadesi ile çarpılarak çıkışa aktarılacaktır. Bu sayede osilatör devresi sinüzoidal işaret üretecektir.

9.2.4 Kararlılık Analizi

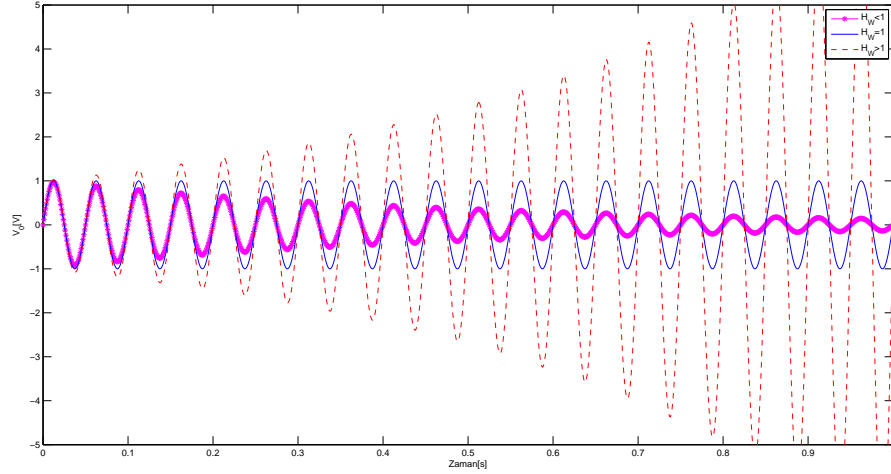
Sinüs osilatör devrelerinin tepe değeri zamanla değişmeyen gerilim üretebilmeleri için kararlılık analizi yapılmalıdır [8]. Aksi halde çıkış geriliminin tepe değeri zaman geçtikçe sönebilir veya artabilir. Aşağıda Wien köprüsünün transfer fonksiyonu görülmektedir.

$$H_W(s) = \frac{j\omega RC H(s)}{1 - \omega^2 R^2 C^2 + 3j\omega RC} \quad (9.11)$$

Geri besleme devresinin merkez frekansı olan $\omega_0 = \frac{1}{RC}$ değeri için $1 - \omega^2 R^2 C^2 = 0$ olacaktır. Bu durumda Wien köprüsünün transfer fonksiyonu aşağıdaki gibi olacaktır.

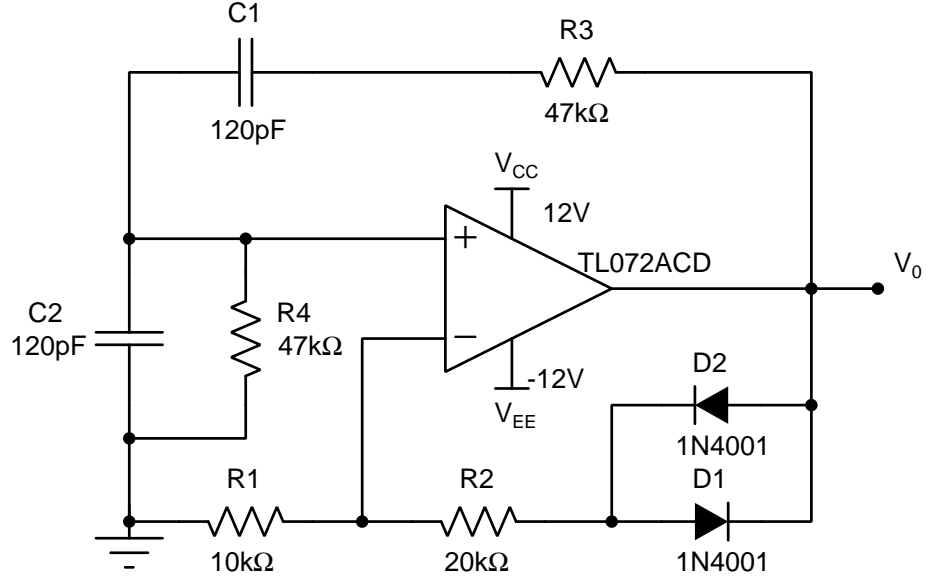
$$H_W(s) = \frac{H(s)}{3} \quad (9.12)$$

Şekil 9.3'deki osilatör devresinin kararlı çalışabilmesi için Wien köprüsü devresinin kazancı 1 olmalıdır. Aşağıda farklı kazanç değerleri için çıkış gerilimleri görülmektedir.



Şekil 9.4: Farklı kazanç değerleri için çıkış gerilimleri

9.3 Deney Devresi



Şekil 9.5: Deney Devresi

Bu deneyde Şekil 9.5'deki Wien köprüsü devresi yapılacaktır. Şekil 9.5'deki devrenin kararlı çalışabilmesi için $H(s) = 1 + R_2/R_1 = 3$ olmalıdır. Ancak direnç elemanlarının toleransı nedeniyle $R_2/R_1 = 2$ eşitliği yaklaşık olarak sağlanabilmektedir. Bu nedenle çıkış gerilimi kararsız olabilmektedir. Bunun önüne geçmek için D1 ve D2 diyotları kullanılmıştır. $R_2/R_1 > 2$ olması durumunda D1 diyotu çıkış gerilimini $V_{D1} \cong 0.7V$ düşürmekte, $R_2/R_1 \leq 2$ olması durumunda ise D2 diyotu çıkış gerilimini $V_{D2} \cong 0.7V$ arttırmaktadır.

9.4 Deney Öncesi Benzetimler

1. Şekil 9.3'deki devrenin osilasyon frekansını (f_0) bulunuz.
2. Şekil 9.5'deki devreyi Multisim programında kurunuz. Çıkış frekansını osiloskop yardımıyla ölçünüz ve bir önceki maddede elde ettiğiniz değer ile karşılaştırınız.

9.5 Deneyde Yapılacaklar

1. Şekil 9.5'deki devreyi kurunuz. Besleme gerilimlerini $\pm 12VDC$ veriniz.
2. Çıkış geriliminin osiloskop görüntüsünü elde ediniz ve laboratuvar sorumlularına gösteriniz.
3. Çıkış geriliminin frekansını ve genliğini ölçünüz. Elde ettiğiniz değerleri laboratuvar sorumlularına gösteriniz.

9.6 Değerlendirme Soruları

1. Deneyde elde ettiğiniz osiloskop görüntüsünü yorumlayınız. Teoride ve Multisim programında beklenen sonuçlar elde edildi mi?
2. Deneyde ölçtüğünüz çıkış frekansı ile ön hazırlık çalışmasında Multisim programında elde ettiğiniz frekans değerini karşılaştırınız. Arada fark varsa nedenlerini anlatınız.

9.7 Quiz Soruları

1. Wien köprü osilatörü pozitif geri besleme sağlayan bir bant geçiren filtre ile birleştirilmiş bir kazanç yükseltecinden oluşur.
2. Sinüzoidal osilatörler sabit bir salınım frekansına sahip kristaller ya da ayarlanabilir salınım frekanslarına sahip RC veya LC devrelerden oluşmaktadır.
3. Eviren yükseltecin aksine evirmeyen yükselteç devresi, kullanılan geri besleme türü dolayısıyla çok yüksek giriş direnci gösterir.
4. Devre toleranslarını azaltması ve frekans bozulmasını önlemeye yardımcı olması dolayısıyla negatif geri beslemenin tercih edilme durumu pozitif geri beslemeye göre daha yüksektir.
5. Kararlılık analizi, sinüs osilatörlerinin zamanla değişmeyen tepe değerinde çıkış gerilimi üretmelerini sağlamak için önemlidir.

1 AC-DC CONVERTERS

1.1 Component List

Component	Quantity	Value
Opamp	1	LM348
BJT	1	BC238
Diode	1	1N4001
Diode Bridge	1	Min. 0.5A, 10V
Potentiometer	1	47k Ω
Capacitor	1	1000 μ F
Resistor	5	10k Ω
Resistor	1	4.7k Ω
Resistor	1	1k Ω

The objective of this experiment is to obtain a DC signal, which flows in only one direction from an AC signal which reverses its direction periodically with time. It is going to be analyzed that under which circumstances the AC-DC converter designed for this objective may provide the desired output voltage and load current.

1.2 Theoretical Information

AC-DC converters are the electronics circuits that convert alternating current, which periodically reverses direction with time, to direct current, which flows in only one direction. These circuits are used in any electronic device that connects to the mains (tv, computer, etc.) [1].

In general terms, AC-DC converters consist of transformer, rectifier and smoothing capacitor [2]. Regulators and output protection circuits can be added to these circuits for intended purposes.

1.2.1 Transformer

Transformers are the electrical devices that can change the voltage of the alternating signal applied to its input and transfer it to the output [2]. The relation of the input and the output voltages of transformers is given in the equation below.

$$v_0 = v_i \frac{N_0}{N_1} - v_k \quad (1.1)$$

Here, v_i and v_0 show the input and the output voltages, N_1 and N_0 show the number of turns of copper wire wrapped around the core of the input and the output sides and v_k shows the voltage loss of the transformer, respectively. v_k is neglected when ideal operating conditions are concerned.

1.2.2 Rectifier

Rectifiers are the circuit blocks which are used to crop (half-wave rectifying) or flip (full-wave rectifying) the negative half period of an alternating signal that has zero average over a period and make the average of the related signal nonzero [1, 3, 4]. Due to higher DC average obtained with full-wave rectifiers, these structures are generally preferred over half-wave rectifiers in practical applications [1, 4].

The design of the rectifier block should be based on the desired output voltage and the load current. For instance, preferring 1N4001 diodes that can handle maximum 1A in a rectifier block of an AC-DC converter, the load current of which is intended to be 5A, will cause the diodes breakdown. Instead of this, using a bridge rectifier that can handle 10A is going to increase the circuit dimensions and its costs. For this reason, optimum diodes should be preferred when designing the rectifier block. Circuit diagram of a full-wave bridge rectifier is given below.

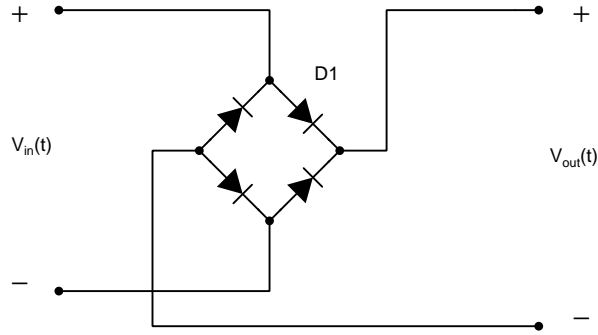


Figure 1.1: Circuit diagram of a full-wave bridge rectifier

As the output of the full-wave bridge rectifier shown in Figure 1.1 is observed from a resistor, the variation of the signals $v_{in}(t)$ and $v_{out}(t)$ in time is going to be as given below.

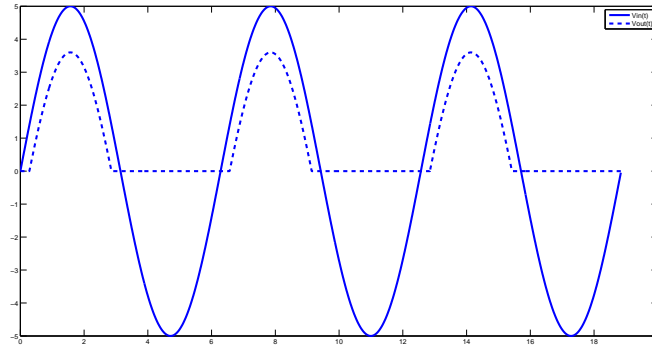


Figure 1.2: The variation of the signals $v_{in}(t)$ and $v_{out}(t)$ in time

1.2.3 Smoothing Capacitor

As it can be seen from the Figure 1.2, the output voltage of the full-wave bridge rectifier has ripples. If those ripples are filtered with a capacitor, the capacitance of which is high enough, the output voltage can be converted into a nearly DC voltage [3]. For such usage, a capacitor should be preferred that has enough capacitance to filter the ripples and has high breakdown voltage to avoid deformation for the peak value of $v_{out}(t)$ shown in Figure 1.2 [1, 3]. In practice, in AC-DC converters that are supplied with 50–60Hz mains voltage, generally polarized capacitors with μF levels are sufficient. Connection of the smoothing capacitor to the output of the rectifier block is shown in figure below.

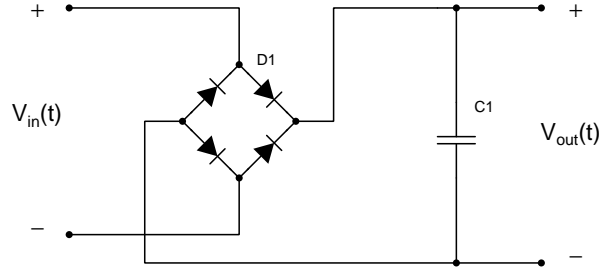


Figure 1.3: Connection of the smoothing capacitor to the output of the rectifier

1.3 Experiment Circuit

In this experiment, an AC-DC converter, the output voltage of which can be set between 0 – 3.8V and that can produce maximum 500mA current is going to be realized. Maximum load current of the circuit is set by the collector current of BC238 transistor. If the desired output current of the circuit exceeds 500mA, the output transistor is going to be deformed. The experiment circuit is shown in figure below.

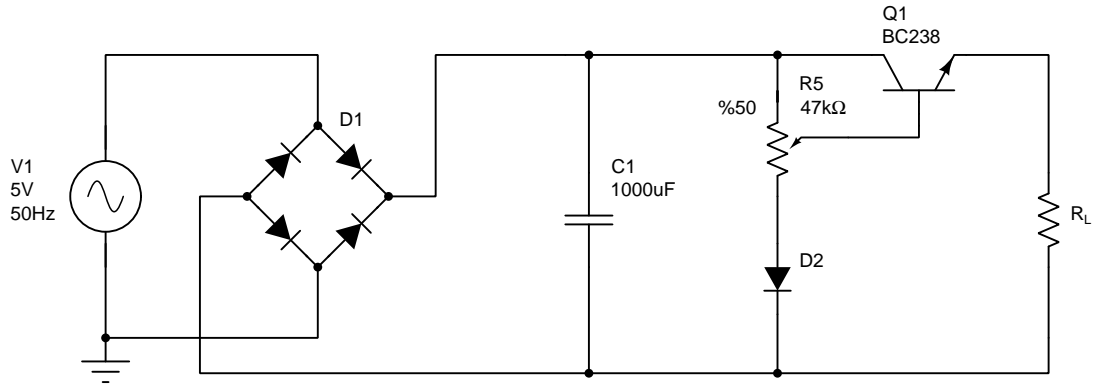


Figure 1.4: AC-DC converter which can be adjusted between 0 – 3.8V

In the converter circuit that is shown in Figure 1.4, a voltage divider is designed by parallelly connecting a mono potentiometer and a 1N4001 diode to the C1 capacitor. Through the voltage divider, the collector current can be adjusted by controlling the base current thus, the output voltage of the circuit can be adjusted between 0 – 3.8V. In order to have the transistor conducting when the potentiometer is set to %0, base voltage of the transistor is increased to $V_D = 0.7V$ using the 1N4001 diode. If the peak value of the AC voltage applied to the converter is shown with V_m , in a case where $V_m > V_{CE_{max}}$, the transistor is going to be deformed. In a case where $V_m < V_{CE_{sat}} = V_{CE_{min}}$, the transistor is going to saturate. Therefore, the peak value of the AC input voltage in the circuit shown in Figure 1.4 must satisfy $V_{CE_{min}} < V_m < V_{CE_{max}}$. Also it should be noted that, due to maximum collector current of 500mA of the transistor, the bridge rectifier must be able to provide the sufficient maximum current and must not be de-

formed for the peak value of the AC input signal [2].

Acquired structure when the output of the circuit shown in Figure 1.4 is provided without a transistor, is shown in figure below.

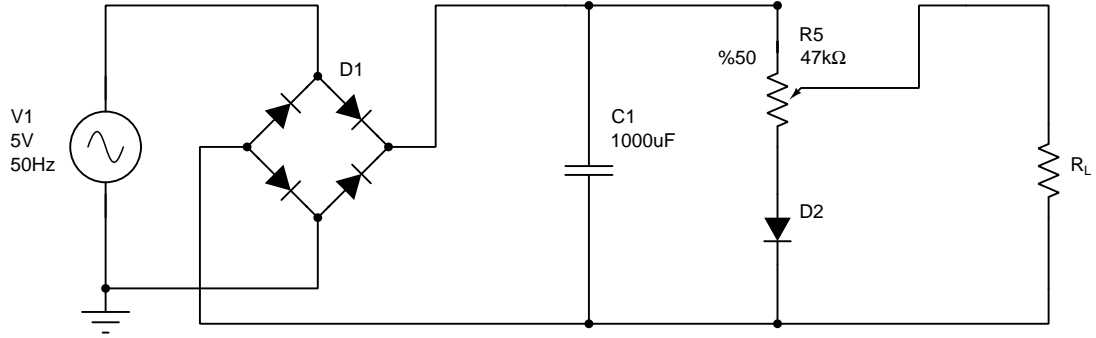


Figure 1.5: Providing the output without a transistor

To construct an AC-DC converter the output of which can be adjusted linearly with the voltage divider, the voltage divider is required to operate independently from the load resistor. For this to be able to achieved, the value of the load resistor must be quite large compared to the potentiometer. However, in the case where the value of the load resistor is not large enough, it is going to have an impact on the voltage divider yielding a nonlinear voltage adjustment. Accordingly, in such structure the output signal is going to exhibit a behavior dependent to the load resistor. To overcome this problem, by inserting a transistor to the output block, the impact of the load resistor to the voltage divider is attenuated so that linear adjustment of the output voltage with the potentiometer is provided.

1.4 Pre-lab Simulations

During experiment and simulations, measurement of the voltage across a component, whose neither node is grounded is required. In Figure 1.4 circuit R_L resistor can be given as an example. For such measurements to be done both probes of the oscilloscope must be used across the component. However, in such situation, it is not possible to compare both input and component signals on the oscilloscope screen. For this reason, the subtractor opamp circuit shown in figure below must be constructed.

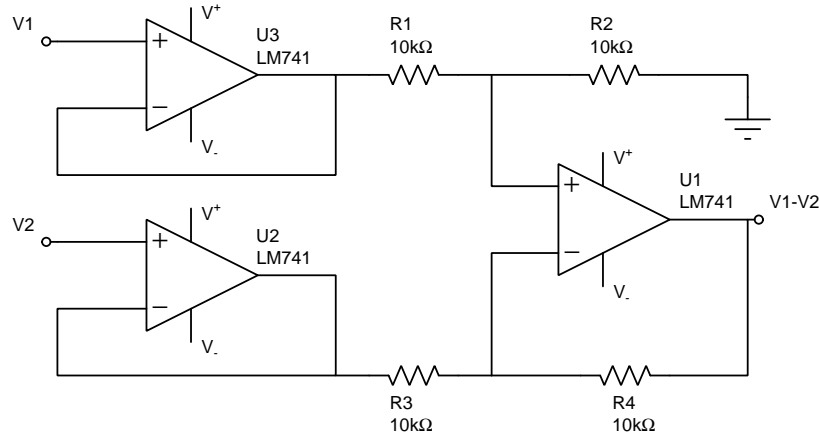


Figure 1.6: Subtractor opamp circuit

When the V1 and V2 inputs of the subtractor opamp circuit are connected across the related component, the signal shape across the component will be able to be observed by a single oscilloscope probe that is connected to the output of opamp U1. The usage of U3 and U2 buffer amplifiers shown in Figure 1.6 is quite important in order to prevent the connected circuit to be affected by the subtractor.

1.4.1 Full-wave Bridge Rectifier

Construct the full-wave bridge rectifier circuit shown in Figure 1.1 using a simulation software. Connect $R = 1k\Omega$ resistor to the output terminals of the circuit and apply $v_{in}(t) = 5\sin(2\pi 50t)V$ sinusoidal signal to the input of the circuit. To observe the voltage across the resistor, construct the subtractor circuit shown in Figure 1.6 and connect its inputs across the resistor. Assuming the input of the full-wave bridge rectifier is the input and the output of the subtractor circuit is the output of overall system, print the input and the output signals. Interpret the attenuation of the peak voltage of the output signal and the phase shift between the input and the output signals.

1.4.2 Adjustable AC-DC Converter

Construct the AC-DC converter circuit shown in Figure 1.4. Observe the DC value changes of the output signal by adjusting the value of the potentiometer in the case where the load resistor value is infinite (open circuit). Print and interpret the lowest and the highest DC values of the output signal.

1.4.3 Reducing the Ripples

In this step, in order to observe the ripples in the output signal clearly, choose AC coupling from the oscilloscope options and use a small Volt/div ratio as possible.

Set the value of the potentiometer to %100 in the circuit you constructed in the previous step. Observe the ripples in the output signal by setting the value of the load resistor (R_L) to $10\text{k}\Omega$ and $1\text{k}\Omega$, respectively. Interpret the relation between ripple amplitude and load resistor value.

In the case where load resistance is $10\text{k}\Omega$, set the $C1$ capacitor to $4700\mu\text{F}$ and observe ripples in the output signal. Interpret the relation between ripple amplitude and capacitance value of the capacitor.

Apart from the methods above, propose a method that can be used to reduce the ripples in the output signal. Simulate your proposal and print the results.

1.4.4 Load Dependency of the Output Signal

Construct the circuit shown in Figure 1.4 and observe the attenuation in the peak value of the output signal by changing potentiometer from %100 to %0 for the cases where $R_L = 10\text{k}\Omega$ and $R_L = 1\text{k}\Omega$, respectively. Repeat the same steps for the circuit shown in Figure 1.5 and compare the changes in the output with the changes in the potentiometer. The output of which circuit changes depending on the load connected to its output?

1.5 Experiment Tasks

During the experiment, measurement of the voltage across a component, whose neither node is grounded is required. In Figure 1.4 circuit R_L resistor can be given as an example. For such measurements to be done both probes of the oscilloscope must be used across the component. However, in such situation, it is not possible to compare both input and component signals on the oscilloscope screen. For this reason, the subtractor opamp circuit shown in figure below must be constructed.

1.5.1 Full-wave Bridge Rectifier

Construct the full-wave bridge rectifier circuit shown in Figure 1.1. Connect $R = 1\text{k}\Omega$ resistor to the output terminals of the circuit and apply $v_{in}(t) = 5\sin(2\pi 50t)\text{V}$ sinusoidal signal to the input of the circuit. To observe the voltage across the resistor, construct the subtractor circuit shown in Figure 1.6 and connect its inputs across the resistor. Assuming the input of the full-wave bridge rectifier is the input and the output of the subtractor circuit is the output of overall system, observe the input and the output signals. Interpret the attenuation of the peak voltage of the output signal and the phase shift between the input and the output signals. Compare your simulation and experimental results.

1.5.2 Adjustable AC-DC Converter

Construct the AC-DC converter circuit shown in Figure 1.4. Observe the DC value changes of the output signal by adjusting the value of the potentiometer in the case where the load resistor value is infinite (open circuit). Note and interpret the lowest and the highest DC values of the output signal. Compare your simulation and experimental results.

1.5.3 Effects of the Load Resistance to the Ripples

In the case where the potentiometer value is set to %100, observe the ripples of the output signal by changing the resistance value of R_L as shown in table below, respectively. Interpret the effect of the load resistor to the ripples of the output signal.

Table 1.1: R_L resistance values

	$R_L = \infty$	$R_L = 10\text{k}\Omega$	$R_L = 4.7\text{k}\Omega$	$R_L = 1\text{k}\Omega$
$v_{out}(DC)$				

1.6 Evaluation Questions

1. Interpret the impact of reduction of the load resistance to the output voltage by considering your measurement data noted in Table 1.1.
2. Make a suggestion in order to reduce the ripples in the v_{out} output voltage.
3. Explain what changes the use of half-wave rectifier instead of full-wave rectifier would cause in the output signal in this experiment.
4. In order to the components shown in Figure 1.4 circuit operate safely, specify the points to be considered during the selection of components.
5. Explain the function of the diode $D2$ shown in Figure 1.4. Indicate the differences that may occur in the output signal in the case where a different diode is used rather than 1N4001.
6. Explain the effects of the transistor used in the circuit shown in Figure 1.4 in terms of load dependence of the circuit.
7. Explain the changes that can be done in circuit shown in Figure 1.4 in order to increase the maximum output current.

1.7 Quiz Questions

1. Since two periods of the output voltage occur for every period of the input voltage, the fundamental frequency of the output voltage of bridge rectifier is 2ω , as ω is the frequency of the AC input signal.
2. The peak output voltage will be less in the full-wave rectifier compared to the half-wave rectifier because there are two diode voltage drops rather than one.

3. In circuits where the capacitor is used to provide for a nearly constant DC output voltage, the RC time constant is small compared to the period of the sine wave.
4. In order to operate correctly, peak inverse voltages (PIV) of the diodes in full-wave bridge rectifier must be greater than the peak value of the input signal.
5. Under favour of the output transistor, load resistance value connected to the potentiometer decreases thus, accurate adjustment of the output voltage is ensured.

2 CURRENT SOURCES

2.1 Component List

Component	Quantity	Value
BJT	3	BC238
Resistor	1	470 Ω
Resistor	1	1k Ω
Resistor	1	4.7k Ω
Resistor	1	10k Ω

Main objective of this experiment is to study the design steps of current sources. In addition, simple (basic), modified and Widlar current sources are going to be examined, the differences between those structures will be perused after design and analysis.

2.2 Theoretical Information

Ideally, current sources are energy sources that provide a constant current flow through an arbitrary load resistor [5]. Current sources are designed to set the DC operating point as well as to be used as an active load [6, 7]. Due to high input resistance of the current sources that are used frequently in operational amplifier and comparator circuits, high CMRR levels can be obtained [7].

2.3 Experiment Circuit

2.3.1 Simple (Basic) Current Source

Basic current source consists of a couple of transistors and a resistor [8]. Basic current source that is going to be constructed is shown in figure below.

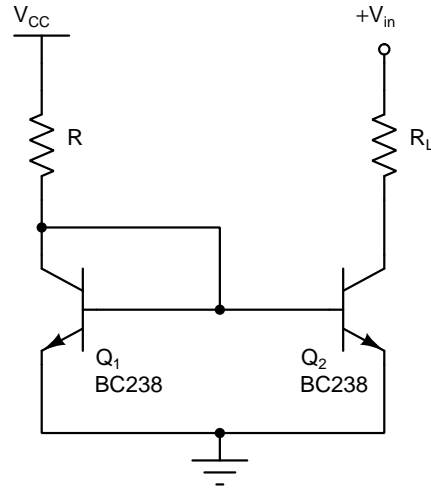


Figure 2.1: Simple (Basic) current source circuit

As it can be seen from Figure 2.1, base and collector of Q_1 transistor are shorted yielding $V_{CE1} = V_{CE2} = 0.65V$ for $V_{CC} > V_{CE,SAT}$. That means the transistor operates in active region when $V_{CE,SAT} < 0.65V$ is satisfied. Ideally, in the case where Q_2 is the output transistor, $I_0 = I_{C2}$ output current is expected to be stable regardless v_{in} voltage and the resistor connected to the output of the circuit (R_L load resistor) [5]. Changes in the load resistor or in the v_{in} voltage affect V_{CE2} voltage. Thus, the output current is required to be independent from V_{CE2} , ideally. Hence, Q_2 output transistor must operate in active (linear) region [9]. Due to $I_C - V_{CE}$ inherent characteristics, the approach of independence of the collector (output) current from V_{CE} voltage in linear

region is acquired with high accuracy when low I_C current levels are concerned [6]. Because of this, output current of the current source that is going to be designed must be set to be low enough. The collector currents are equal in the case where both transistors operate in active region ($I_{B1} = I_{B2}, I_{C1} = I_{C2}$). The output current $I_{C2} = I_0$ is obtained with the equation below [8, 9].

$$I_{C1} = I_{C2} = \frac{I_R}{1 + \frac{2}{\beta}} \quad (2.1)$$

In this equation, I_R is the reference current which flows through the resistor R . This current is taken as $I_R = I_{C1}$ when the DC current gain of the transistor is $\beta \gg 2$ [8]. Thus $I_R = I_{C1} = I_{C2} = I_0$ is provided. Here, resistor R which is a design parameter is related with the reference current I_R as shown in the equation below [8, 9].

$$R = \frac{V_{CC} - V_{BE1}}{I_R} \quad (2.2)$$

In the case where reference current I_R is not low enough, due to dependence of the β_2 and I_{C2} values to the changes in the V_{CE2} voltage, $I_R = I_{C1} = I_{C2} = I_0$ won't be achieved. Thus, $R \geq R_{MIN}$ condition must be considered when designing. Here, the value of R_{MIN} should be defined by the designer based on the $I_C - V_{CE}$ inherent characteristic of the transistor that is used.

2.4 Modified Basic Current Source

When worked with the low current gain transistors, the equality of I_{C2} with I_R fails [8]. Difference between reference and output currents can be lowered with the circuit shown in figure below. By this way, current I_{C2} is going to be less dependent to the β parameter. The obtained circuit is called as modified basic current source [6, 8, 9].

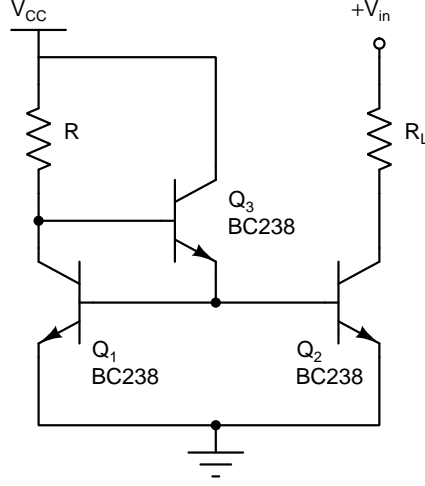


Figure 2.2: Modified basic current source

The output current is given with the equation below [9].

$$I_0 = I_{C1} = I_{C2} = \frac{I_R}{1 + \frac{2}{\beta^2 + \beta}} \quad (2.3)$$

Dependence of I_R to the R is given with the equation below [9].

$$R = \frac{V_{CC} - V_{BE1} - V_{BE3}}{I_R} \quad (2.4)$$

Just as in the basic current source, operation of the output transistor in the linear region and acquisition of sufficiently small output (collector) current is required.

2.5 Widlar Current Source

Due to obtain low intensity output current such as μA levels, a resistor is added to the emitter of the Q_2 transistor of the basic current source. This new creation is called as Widlar current source. Widlar current source circuit that is going to be constructed in this experiment is shown in figure below [6, 8, 9].

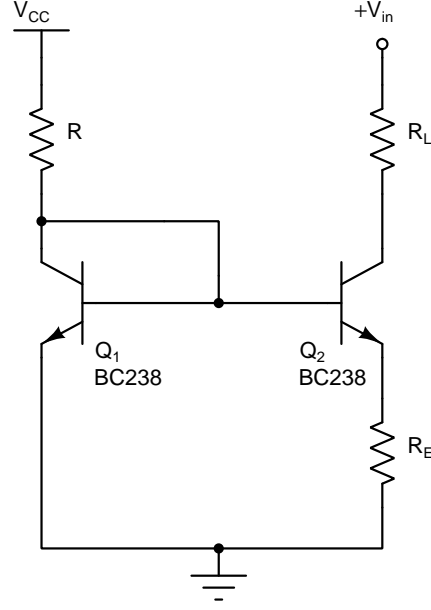


Figure 2.3: Widlar current source circuit

Because of the resistor added to the circuit, I_{C2} is not going to be equal to the I_R . The value of I_{C2} is lower than I_{C1} [8]. According to emitter resistor R_E , $I_0 = I_{C2}$ output current can be obtained in μA levels. Emitter resistor value can be determined with the equation below.

$$V_T \ln \left(\frac{I_{C1}}{I_{C2}} \right) = I_{C2} R_E \quad (2.5)$$

Reference current I_R that will be obtained from the circuit is shown below.

$$I_R = I_{C1} + I_{B1} + I_{B2} \quad (2.6)$$

Here,

$$I_R = \frac{1 + \beta}{\beta} I_{C2} \exp \left(\frac{I_{C2} R_E}{V_T} \right) + \frac{I_{C2}}{\beta} \quad (2.7)$$

is obtained. Dependence of I_R to the resistor R is as it is in the equation 2.2. Due to contribution of two independent resistor values to the design, I_R and I_{C2} can be chosen independently from each other [8]. As a consequence of lowering the output current I_{C2} to μA levels, it is provided that the value of I_{C2} becomes less sensitive to the changes in V_{CE} voltage compared to basic and modified basic current sources. Thus, changes in load resistor and v_{in} voltage will have lower impact on output current I_{C2} compared to the other two current sources, as expected in ideally.

2.6 Output Resistance

As mentioned in the previous sections, changes in V_{CE} voltage should not affect the output voltage I_0 , ideally. Practically, the relation between I_0 and V_{CE} is defined with the output resistor R_0 . $I_C - V_{CE}$ graphic of a BJT that operates in active region is shown in figure below [6].

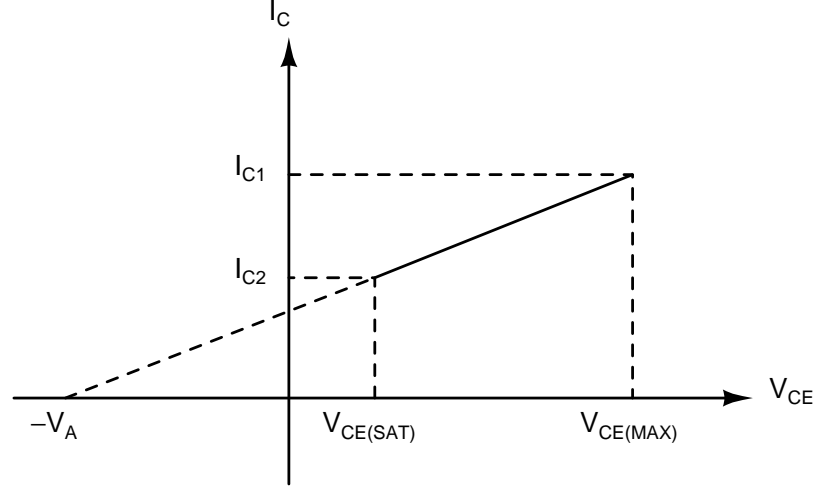


Figure 2.4: $I_C - V_{CE}$ graphic of a BJT operating in active region

In the case where V_A in Figure 2.4 called Early voltage, the output resistance can be calculated with the equation below [9].

$$R_0 = \frac{\Delta V_{CE}}{\Delta I_C} \quad (2.8)$$

As it can be understood from the statements above, $R_0 = \infty$ will be obtained due to $\Delta I_C = 0$ in ideal current sources. That means, as the value of R_0 gets higher, designed circuit is going to get closer to ideal.

2.7 Pre-lab Simulations

2.7.1 Simple Basic Current Source

1. Construct the circuit shown in Figure 2.1 using a simulation software. Set $R = 4.7\text{k}\Omega$ and $V_{CC} = 12\text{V}$. Take the measurements shown in Table 2.1. Interpret your results. Do you observe a variation in the output current according to input voltage?
2. Lower the input voltage until collector-emitter voltages of both transistors gets equal to 0.65V . Take the measurements shown in Table 2.2. What is the importance of the V_{IN} voltage value here?

3. Set the value of reference resistor to $R = 10\text{k}\Omega$. Take the measurements shown in Table 2.3. Interpret your results. Do you observe reduction in changes in the output current depending on load resistor R_L and V_{IN} voltage value?

2.7.2 Modified Basic Current Source

1. Construct the circuit shown in Figure 2.2 using a simulation software. Set $R = 10\text{k}\Omega$ and $V_{CC} = 12\text{V}$. Take the measurements shown in Table 2.4. With the aid of your results explain in which way this structure is improved compared to the simple current source.

2.7.3 Widlar Current Source

1. Construct the circuit shown in Figure 2.3 using a simulation software. Set $R = 10\text{k}\Omega$, $R_E = 4.7\text{k}\Omega$ and $V_{CC} = 12\text{V}$. Take the measurements shown in Table 2.5. With the aid of your results explain in which way this structure is modified compared to the other current sources.

2.8 Experiment Tasks

2.8.1 Simple Basic Current Source

1. Construct the circuit shown in Figure 2.1. Set $R = 4.7\text{k}\Omega$ and $V_{CC} = 12\text{V}$. Take the measurements shown in Table 2.1. Interpret your results. Do you observe a variation in the output current according to input voltage? Compare your simulation and experimental results.
2. Lower the input voltage until collector-emitter voltages of both transistors gets equal to 0.65V . Take the measurements shown in Table 2.2. What is the importance of this V_{IN} voltage value?
3. Set the value of reference resistor to $R = 10\text{k}\Omega$. Take the measurements shown in Table 2.3. Interpret your results. Do you observe reduction in changes in the output current depending on load resistor R_L and V_{IN} voltage value? Compare your simulation and experimental results.

2.8.2 Modified Basic Current Source

1. Construct the circuit shown in Figure 2.2. Set $R = 10\text{k}\Omega$ and $V_{CC} = 12\text{V}$. Take the measurements shown in Table 2.4. With the aid of your results explain in which way this structure is modified compared to the basic current source. Compare your simulation and experimental results.

2.8.3 Widlar Current Source

1. Construct the circuit shown in Figure 2.3. Set $R = 10\text{k}\Omega$, $R_E = 4.7\text{k}\Omega$ and $V_{CC} = 12\text{V}$. Take the measurements shown in Table 2.5. With the aid of your

results explain in which way this structure is modified compared to the other current sources. Compare your simulation and experimental results.

2.9 Evaluation Questions

For all your calculations assume that $V_{BE} = 0.7\text{V}$, $V_{CE,SAT} = 0.6\text{V}$ and $V_{CE,MAX} = 25\text{V}$

1. Using the inherent characteristic curves of BJTs, explain the differences between ideal and practical current sources.
2. Draw the basic current source circuit. Find the range of the reference resistor in order to prevent deformation and keep the transistor conducting in the case where supply voltage is 12V, input voltage is 30V and load resistor is $1\text{k}\Omega$. Assume that $I_0 = I_R$.
3. Draw the modified basic current source circuit. Find the range of the reference resistor in order to prevent deformation and keep the transistor conducting in the case where supply voltage is 12V, input voltage is $5\text{V} < V_{IN} < 27\text{V}$ and load resistor is $1\text{k}\Omega$, for all possible input voltage values. Assume that $I_0 = I_R$.
4. Using your measurements in Table 2.1 and 2.3, calculate the output resistances for all circumstances. Explain the relation between changes in the output current and reference resistor according to input voltage.
5. Using your measurements in Table 2.1 and 2.2, explain the relation between V_{CE} voltage and the output current.
6. Using your measurements in Table 2.4, compare the basic current source with the modified basic current source. Calculate the output resistance of the current source using your measurement data.
7. Using your measurements in Table 2.5, calculate the output resistance of Widlar current source circuit. Compare all three current sources in point of approximation to ideal model.

2.10 Quiz Questions

1. In basic current source, the biasing transistor (Q_1) acts as a voltage to current converter while the output transistor (Q_2) acts as a current to voltage converter.
2. As the biasing transistor is "diode connected" yielding a diode behavior, a simple diode can be used instead of this transistor.
3. It is not necessary for both transistors to operate exactly at the same temperature to maintain precise current output as the diode current equation does not include temperature factor.
4. One limitation of the practical current sources is because of the transistor inherent characteristics, there is a slight variation of I_C with the V_{CE} at a given base current causing the output current not to be constant all the time.

5. It can be stated that, due to feedback through the emitter degeneration resistor in Widlar current source, larger base voltage is needed to produce the desired output current compared to the basic current source.

Table 2.1: Experimental measurement data - I

V_{in}	$R_L = 1k\Omega, R = 4.7k\Omega$		
7V	$I_{B1} =$	$I_{C1} =$	$V_{CE1} =$
	$I_{B2} =$	$I_{C2} =$	$V_{CE2} =$
12V	$I_{B1} =$	$I_{C1} =$	$V_{CE1} =$
	$I_{B2} =$	$I_{C2} =$	$V_{CE2} =$

Table 2.2: Experimental measurement data - II

V_{in}	$R_L = 1k\Omega, R = 4.7k\Omega$		
0.65V	$I_{B1} =$	$I_{C1} =$	$V_{CE1} =$
	$I_{B2} =$	$I_{C2} =$	$V_{CE2} =$

Table 2.3: Experimental measurement data - III

V_{in}	$R_L = 1k\Omega, R = 10k\Omega$		
7V	$I_{B1} =$	$I_{C1} =$	$V_{CE1} =$
	$I_{B2} =$	$I_{C2} =$	$V_{CE2} =$
12V	$I_{B1} =$	$I_{C1} =$	$V_{CE1} =$
	$I_{B2} =$	$I_{C2} =$	$V_{CE2} =$

Table 2.4: Experimental measurement data - IV

V_{in}	$R_L = 1k\Omega, R = 10k\Omega$		
7V	$I_{B1} =$	$I_{C1} =$	$V_{CE1} =$
	$I_{B2} =$	$I_{C2} =$	$V_{CE2} =$
12V	$I_{B1} =$	$I_{C1} =$	$V_{CE1} =$
	$I_{B2} =$	$I_{C2} =$	$V_{CE2} =$

Table 2.5: Experimental measurement data - V

V_{in}	$R_L = 1k\Omega, R = 10k\Omega$		
7V	$I_{B1} =$	$I_{C1} =$	$V_{CE1} =$
	$I_{B2} =$	$I_{C2} =$	$V_{CE2} =$
12V	$I_{B1} =$	$I_{C1} =$	$V_{CE1} =$
	$I_{B2} =$	$I_{C2} =$	$V_{CE2} =$

3 RC OSCILLATOR and PWM MODULATOR

3.1 Component List

Component	Quantity	Value
Opamp	1	TL072
Potentiometer	1	47k Ω or 50k Ω
Resistor	3	10k Ω
Resistor	2	100k Ω
Capacitor	3	100nF
Capacitor	1	47nF

The objective of this experiment is to study design steps of RC oscillators and PWM modulator circuits containing opamp components.

3.2 Theoretical Information

Oscillators are electronics circuits used to obtain AC output voltage from DC voltage [5]. Oscillators that have a large field of application at the present time are often used in AC power supplies, DC-DC converters, PWM modulators, receiver-transmitter circuits. Oscillators can produce output voltages with different waveforms. Hereunder, they can be named square wave, triangle wave, sine wave oscillator [5,9]. In this experiment, square wave, triangle wave and PWM modulator containing opamp components will be accentuated.

3.2.1 Square Wave and Triangle Wave Oscillator

Square wave oscillators consist of differential amplifier and feedback circuit [8]. As differential amplifier, an opamp component can be used as much as a comparator can.

3.2.1.1 Comparator Circuit

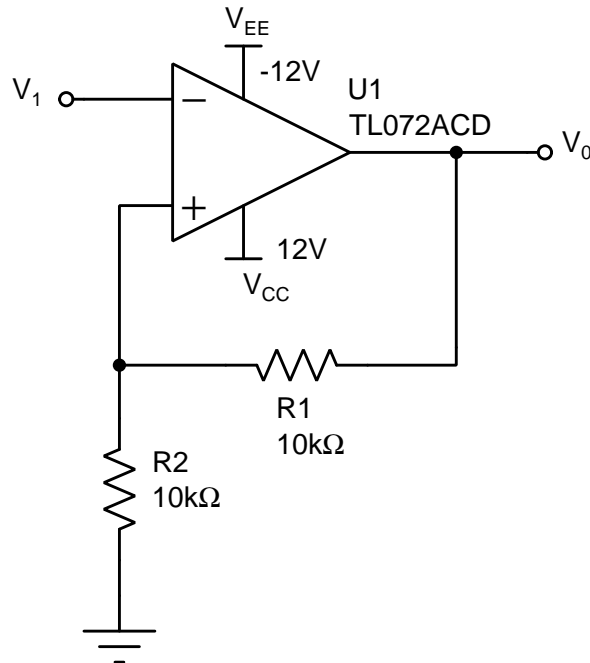


Figure 3.1: Comparator Circuit

In the case that $V^- = V_1$ voltage is applied to the (-) terminal of the opamp, voltage difference $V^+ - V^-$ is going to be transferred to the output by being multiplied with A_d which is the difference gain of opamp. In this case output voltage is going to be $V_0 = A_d \cdot (V^+ - V^-)$. Difference gain is assumed to be infinite in ideal opamps [8]. In this case output voltage must be $\pm\infty$. However, difference gain is finite and output voltage is limited to $\pm V_{CC}$, practically. Therefore, $V_0 \cong V_{CC} = 12V$ will be obtained for $V^+ - V^- > 0$ and $V_{EE} = -12V$ will be obtained for $V^+ - V^- < 0$. [7].

When the circuit in Figure 3.1 which is also named as Schmitt Trigger is in quiescent mode, V_1 and V_0 voltages are 0V. For this reason, (+) terminal voltage of the opamp is $V^+ = V_0/2 = 0V$. When the voltage $V_1 < 0$ is applied, $V^+ - V^- > 0$ inequality will be provided and $V_0 \cong V_{CC} = 12V$ will be obtained. In this situation, $V^+ = V_0/2 = 6V$ will be obtained. When the circuit is in quiescent mode (V_1, V_0 voltages are 0V) at the moment that $V_1 > 0$ voltage is applied, $V^+ - V^- < 0$ inequality will be provided and $V_0 \cong V_{EE} = -12V$ will be obtained. In this situation, $V^+ = V_0/2 = -6V$ will be obtained. In the case where V_1 voltage is bipolar triangle wave, $V_0 \cong 12V$ in the region of $V_1 < V^+$, $V_0 \cong -12V$ in the region of $V_1 > V^+$ will be obtained. Therefore, output voltage V_0 is going to be bipolar square wave. Time dependent variation of the output voltage in the case where V_1 input voltage is triangle wave is shown in figure below [8].

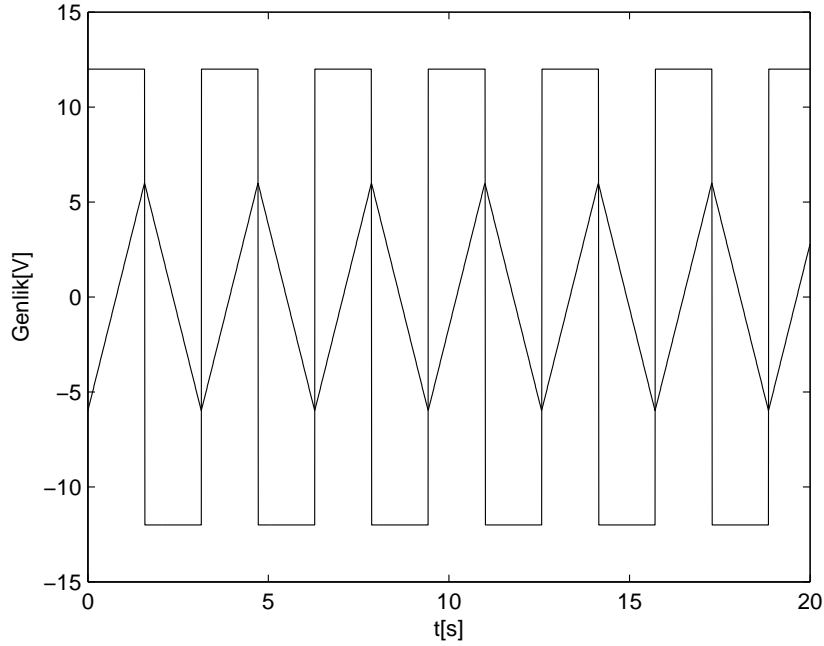


Figure 3.2: Time dependent variation of the output voltage in the case where V_1 input voltage is triangle wave

3.2.1.2 Feedback Circuit

Feedback circuit that will be used in the oscillator circuit is shown in figure below.

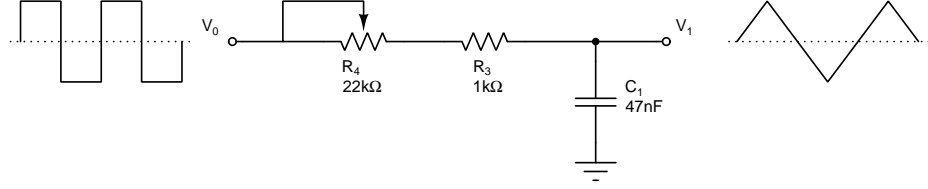


Figure 3.3: Feedback Circuit

V_0 input voltage of the feedback circuit shown in Figure 3.3 is the output voltage of the comparator circuit shown in 3.1. The output of the feedback circuit will be connected to the V_1 input of the circuit shown in Figure 3.1. In the case that $V_0 = 12V$, positive DC current flowing through the resistors R_3, R_4 is going to charge the capacitor C_1 . If defining equation of capacitor is used, below equations can written for V_1 voltage.

$$i_c = C \frac{dV_1}{dt} \Rightarrow V_1 = \frac{1}{C} \int i_c dt = \frac{i_c}{C} \int dt \quad (3.1)$$

V_1 output voltage is going to be positively sloped ramp function as required by the equation above due to positive DC being of the capacitor current i_c . In the case that $V_0 = -12V$, negative DC current flowing through the resistors R_3, R_4 will cause V_1 output voltage to be a negatively sloped ramp function by charging capacitor C_1 . By changing the value of the adjustable resistor R_4 , filling time of the capacitor C_1 can be adjusted thus, rise and fall times of triangle wave function V_1 can be controlled.

3.2.2 PWM Modulator

PWM (Pulse Width Modulation) circuits provide expression of any AC input voltage in terms of square waves (digital signals). Basic intended use is to acquire digital (logical) signal from the continuous (analog) AC signal. While the number of the values analog input signal can get is infinite, finite number of values are in question for PWM signals. Sinusoidal input voltage and PWM signal are shown in figure above [8].

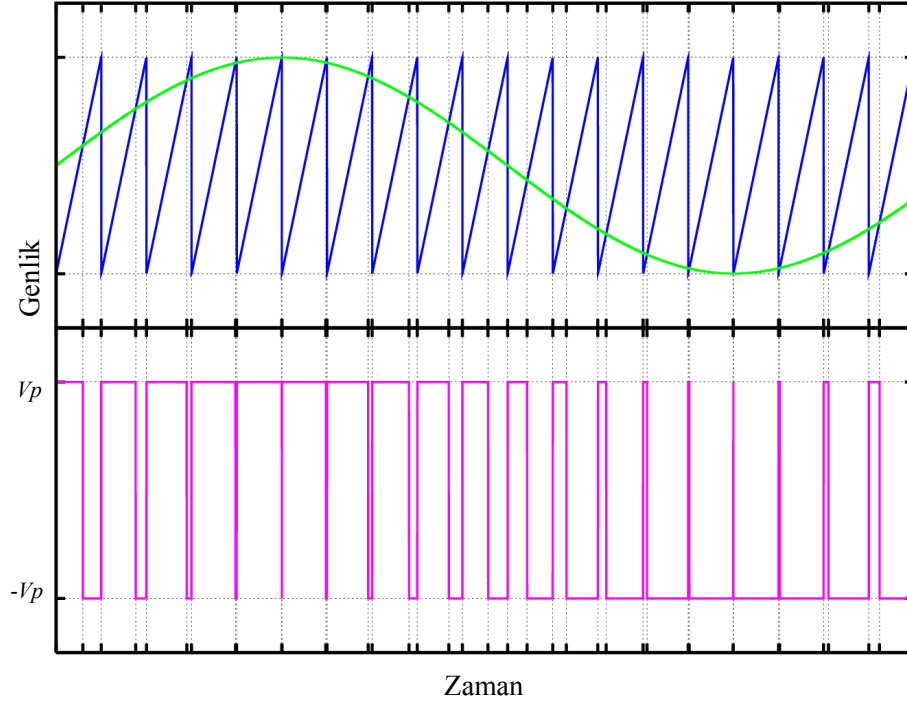


Figure 3.4: PWM Modulation

Triangle wave signal that has f_c frequency (carrier signal) shown in Figure 3.4 generates PWM signal by modulating sinusoidal input signal that has f_0 frequency. While PWM signal gets the value $-V_p$ in the regions where the value of the carrier signal is higher than the value of the input signal, it gets the value $+V_p$ where the carrier signal is lower. Duty cycle of the PWM signal increases in time intervals when the input signal has high amplitude, duty cycle of the PWM signal decreases in time intervals when the input signal has low amplitude [10]. Used in SMPS circuits in computer power supplies, digital communication systems, ADC and DAC converters, DC-DC converters, DC motor drivers, Class-D power amplifiers with MOSFETs and many more fields, PWM modulator consist of triangle wave oscillator and comparator circuit [2, 7]. Demodulator circuit consists of LPF, the cut-off frequency of which is equal to bandwidth of the input signal. Block diagram of PWM modulator and demodulator shown in figure below.

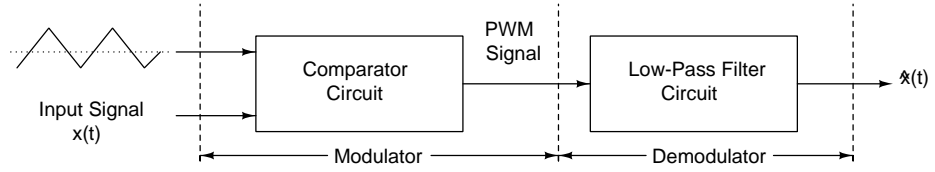


Figure 3.5: Block diagram of PWM modulator and demodulator

As $\tilde{x}(t)$ is the output voltage of the demodulator in the block diagram shown in Figure 3.5, due to lack of the ideality of modulator and demodulator, input signal cannot be recovered completely. Therefore, approximate equality shown in below will be obtained.

$$\tilde{x}(t) \cong A \cdot x(t - t_0) \quad (3.2)$$

In accordance with equation 3.2, output signal will have A times amplitude of input signal and t_0 time delay, approximately.

3.3 Experiment Circuit

3.3.1 Square Wave and Triangle Wave Oscillator

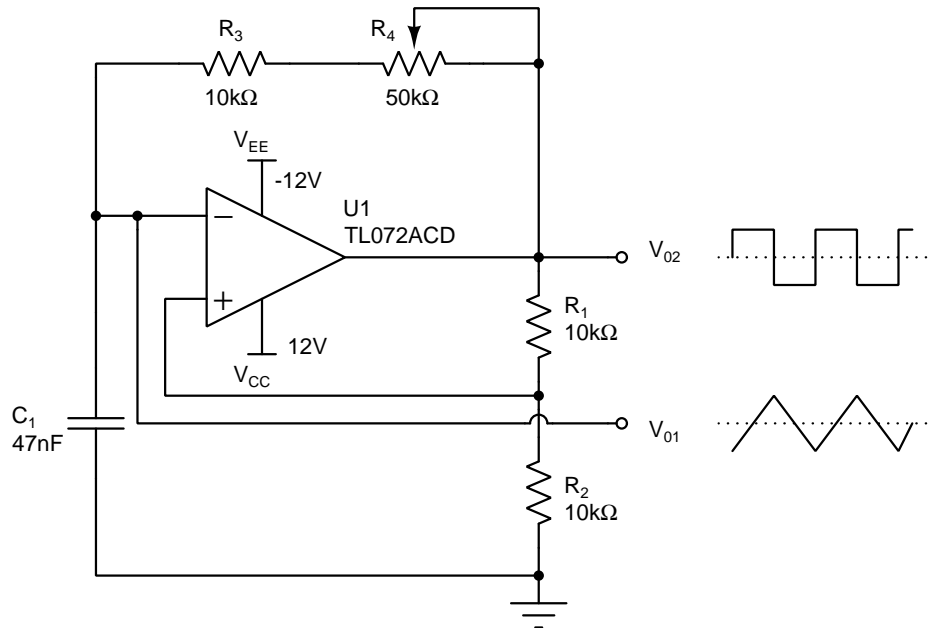


Figure 3.6: Square wave and triangle wave oscillator experiment circuit

In this part of the experiment, circuit in Figure 3.6 formed by the merger of circuits in Figure 3.1 and Figure 3.3 will be constructed. There exist two output voltages in the circuit. V_{01} output produces triangle wave, V_{02} output produces square wave. When V_{CC} and V_{EE} supply voltages are applied to the circuit, due to lack of ideality of the opamp and low amplitude parasite in the supply voltages, $V_d \neq 0$ voltage is existent between (-) and (+) terminals of opamp. This voltage difference constitutes a voltage at the V_{02} output the amplitude of which is $+V_{CC}$ or V_{EE} by being multiplied with the gain of the opamp. When the circuit is energized, $V_{02} = +12V$ for $V_d = V^+ - V^- > 0$ or $V_{02} = -12V$ for $V_d < 0$ will be obtained. After this stage, those described in sections 3.2.1.1 and 3.2.1.2 will take place and triangle wave and square wave voltages that have a frequency of f_c will occur. Adjustable resistor R_4 gives the opportunity of changing f_c frequency.

3.3.2 PWM Circuit

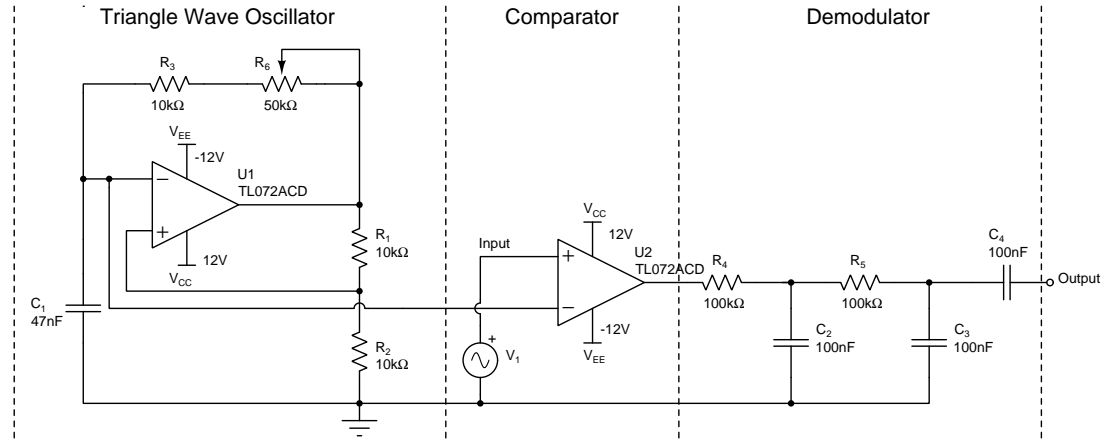


Figure 3.7: PWM experiment circuit

In this part of the experiment PWM circuit shown in Figure 3.7 will be constructed. Adjustable resistor R_6 in the oscillator circuit changes f_c frequency of triangle wave. In order to obtain input signal from the output of the demodulator circuit, $f_c \geq 2f_0$ (Nyquit criteria) must be satisfied as f_0 is the frequency of the input signal [7].

3.4 Pre-lab Simulations

1. Construct the circuit shown in 3.6 using Multisim software. Observe V_{01} and V_{02} output voltages on the oscillator screen. Observe and interpret frequency changes in the output voltages as you change % value of adjustable resistor R_4 .
2. Construct the PWM circuit shown in Figure 3.7 using Multisim software. Observe input, output and PWM voltages on the oscillator screen. Observe changes in the

output voltage as you change % value of adjustable resistor R_6 . Did you observe a distortion in any % value of resistor R_6 ?

3.5 Experiment Tasks

3.5.1 Square Wave and Triangle Wave Oscillator

1. Construct the circuit in Figure 3.6. Obtain V_{01} and V_{02} voltages on the oscilloscope screen such that their ground positions are level. Show your results to laboratory instructors.
2. Observe changes in the frequencies of output voltages as you change the potentiometer. Show your results to laboratory instructors. Measure and note the highest and lowest frequency values that can be obtained from the output.

3.5.2 PWM Circuit

1. Without impairing the circuit you have constructed in the previous step, construct comparator and demodulator parts of the circuit shown in Figure 3.7. Connect the triangle wave output of the oscillator circuit to appropriate place in comparator circuit.
2. Set the input voltage as sine such that its peak to peak value is $V_{in} = 2V$ and $f_0 = 10Hz$. Connect the first channel of the oscilloscope to the input voltage and the second channel of the oscilloscope to the output of comparator circuit. Obtain PWM signal and input voltage on the oscilloscope screen such that their ground positions are level. Show your results to laboratory instructors.
3. Set the frequency of triangle wave to highest value by changing the value of potentiometer. Connect the second channel of the oscilloscope to the output of the demodulator. Obtain input and output voltages on the oscilloscope screen such that their ground positions are level. Show your results to laboratory instructors.
4. Lower the frequency of the potentiometer by changing the value of potentiometer. Examine the deteriorations that occur in the output voltage. Show your results to laboratory instructors.

3.6 Evaluation Questions

1. Interpret waveforms seen on the oscilloscope screen obtained from square wave and triangle wave oscillator circuit. Does the output frequency vary as the value of the potentiometer changes?
2. Interpret the PWM signal that you obtain in the experiment. Does the PWM voltage in question represent the input voltage?
3. Examine the similarities and/or differences between input and output voltages using the waveforms seen on the oscilloscope screen in step (5) during experiment.
4. Interpret the occurring deteriorations in the output voltage as the frequency of the triangle wave decreases. (Hint: Take sampling frequency and Nyquist criteria into consideration)

3.7 Quiz Questions

1. When the value of adjustable resistor R_4 in the square and triangle wave oscillator circuit shown in Figure 3.6 is increased, the frequency of the output voltage will increase due to increment in charge and discharge times of the capacitor according to $\tau = RC$.
2. In order to obtain square wave at the output of the circuit shown in Figure 3.1, threshold voltages of the triangle wave applied to the input are required to be $\pm V_{th} = V_{CC/EE} \cdot (\frac{R_2}{R_1+R_2})$.
3. As the slew rate will be limited after a certain frequency due to compensation capacitor in the internal structure of operational amplifiers, square wave oscillators containing opamp components are not appropriate to use at high frequencies.
4. Due to second order low-pass filter used for demodulation of PWM signal, an amount phase difference is seen between input and demodulated output signals.
5. In order to obtain a smooth signal at the output of PWM demodulator in terms of amplitude changes, it is sufficient to meet the minimum requirements of the Nyquist criterion.

4 VOLTAGE CONTROLLED OSCILLATOR DESIGN

4.1 Component List

Component	Quantity	Value
Opamp	1	TL072
BJT	1	BC238
BJT	1	BC327
Resistor	1	100k Ω
Resistor	2	470 Ω
Resistor	3	47k Ω
Resistor	3	10k Ω
Capacitor	1	1nF

In this experiment, design steps of voltage controlled oscillator circuit which is one of the feedback applications will be analyzed.

4.2 Theoretical Information

Voltage controlled oscillator (VCO) circuits are AC voltage supplies, the output frequency of which is controlled by DC voltage applied to its input [11]. Nowadays, there are a lot of execution areas of VCO circuits. For instance, VCO circuits are found in receivers and transmitters in intercommunication systems and PLL (Phase Locked Loop) circuits [5, 11]. Fundamentally; integrator, Schmitt trigger circuit, transistor feedback circuit that works in switching mode are found in VCO circuits [12].

4.2.1 Integrator

Opamp integrator circuit is seen in figure below.

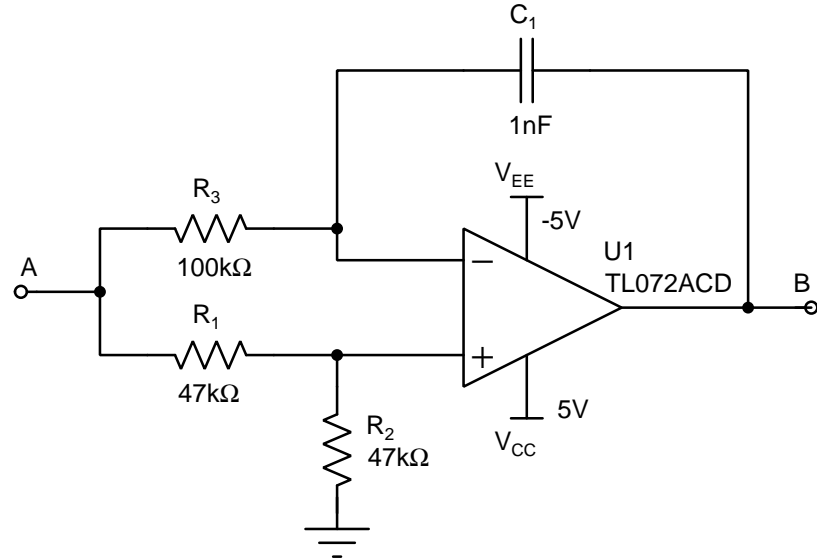


Figure 4.1: Integrator

Resistors R_1, R_2 are voltage dividers that ensure $V_A/2$ voltage occur in the (+) terminal of opamp in the circuit above. Potential difference between (+) and (-) terminals of opamp is too low according to V_A voltage. Therefore, potential difference between terminals of the opamp can be assumed zero [5]. Hence, current

$$i = \frac{V_A - V_A/2}{R_3} = \frac{V_A}{2R_3} \quad (4.1)$$

flows through the resistor R_3 . Since no current will flow from the (-) input under ideal circumstances, current flowing through the resistor R_3 will proceed through the capacitor C_1 [11]. Defining equation of capacitor is situated below.

$$i_c = C \frac{dV_c}{dt} \Rightarrow V_c(t) = \frac{1}{C} \int i_c dt \quad (4.2)$$

Current stored in capacitor is as it is in below.

$$V_c(t) = \frac{V_A}{2} - V_B(t) \quad (4.3)$$

Hence, expression of voltage at node B is as follows.

$$V_B(t) = \frac{V_A}{2} \left(1 - \frac{1}{R_3 C} \int_{t_0}^{t_1} dt\right) = \frac{V_A}{2} [1 - (t_1 - t_0)/(R_3 C)] \quad (4.4)$$

According to the information above, temporal graphic of voltage V_B will be as it is in below [5, 8].

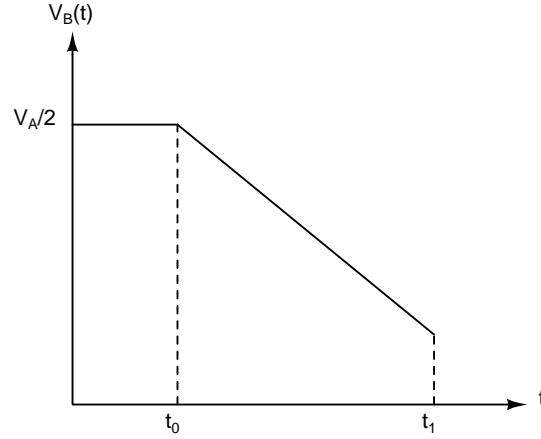


Figure 4.2: Temporal graphic of voltage V_B

As it is seen in Figure 4.2, in the case that input voltage V_A is DC, the output of the integrator becomes negatively sloped ramp function.

4.3 Schmitt Trigger Circuit

Schmitt trigger circuit consist of one comparator (or opamp) and voltage divider. Schmitt trigger circuit is seen below [8].

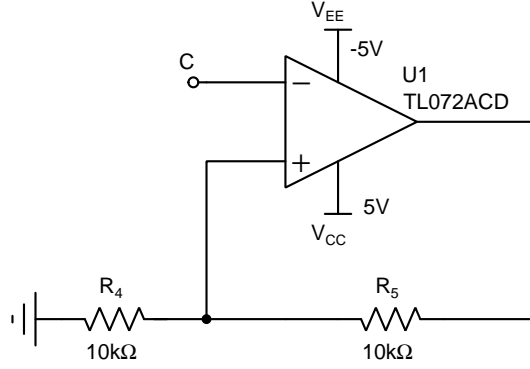


Figure 4.3: Schmitt trigger circuit

In the circuit seen in Figure 4.3, potential difference $V^+ - V^-$ between (+) and (-) terminals of opamp is transferred to output by being multiplied with differential gain A_d . However, since output voltage will be limited to $\pm V_{CC}$, output voltage will be clipped to $V_D = \pm V_{CC}$ values [5, 8].

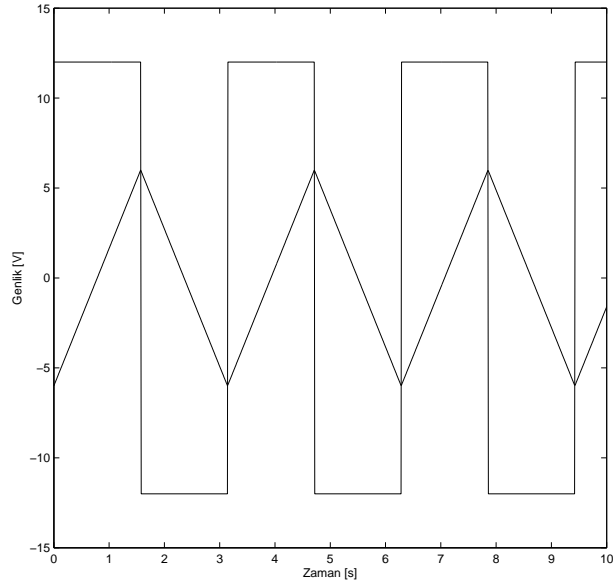


Figure 4.4: Input (triangle) and output (square) voltages of Schmitt trigger

Since V_D value will be zero when the circuit is in quiescent mode, voltage V^+ will be zero too. Since $V^+ - V^- > 0$ will occur at the moment that $V_C < 0$ voltage is applied to (-) terminal of opamp, $V_D = +V_{CC}$ valued DC voltage will be formed at the output of opamp. In this circumstance, reference voltage will be $V^+ = V_{CC}/2$. In the case that

V_C voltage is positively sloped ramp function, since $V^+ - V^- < 0$ will occur at the moment when $V_C = V^- > V^+ = V_{CC}/2$ inequality is provided, $V_D = -V_{CC}$ valued DC voltage will be formed at the output of opamp. In this case, reference voltage will be $V^+ = -V_{CC}/2$. In the case that V_C input voltage is again negatively sloped, since $V^+ - V^- > 0$ will occur at the moment when $V_C < -V_{CC}/2$ is provided, $V_D = +V_{CC}$ valued DC voltage will be formed at the output of the opamp again and similar loop will continue. Input and output voltages belonging to the Schmitt trigger circuit are seen in Figure 4.4.

4.3.1 Feedback Circuit

Feedback block in the VCO circuit consist of 1 BJT or MOSFET component working in switching mode and 2 resistors. In this experiment, switching process is performed with BJT component. Feedback circuit is seen below.

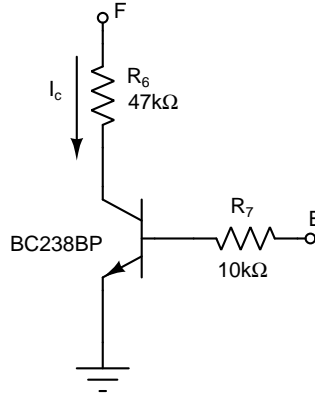


Figure 4.5: Switching circuit

In switching circuit seen in 4.5, in the case that $V_E > 0.7V$, transistor Q_1 conducts, in the case that $V_E < 0.7V$, it is in cut-off. When transistor Q_1 conducts, $I_C > 0$ current will flow from collector to ground. When the transistor is in cut-off, $i_c = 0$ will occur. In circuit in Figure 4.5, resistor R_7 is used to limit the base current. As r_π is the internal resistance between base and emitter of the transistor Q_1 , base current will be as below in the case that resistor R_7 is not used.

$$i_B = \frac{V_E}{r_\pi} \quad (4.5)$$

Every transistor has a maximum base current value given in its datasheet. To fulfill the condition $i_B < i_{B,max}$, resistor R_7 has been added to the base. In this situation, new expression of the base current will be as below.

$$i_B = \frac{V_E}{r_\pi + R_7} < i_{B,max} \quad (4.6)$$

Resistor R_6 has two duties in the circuit in Figure 4.5. Its first duty is controlling the value of the current that comes from the integrator, as its second duty is limiting the collector current.

4.4 Experiment Circuit

In this experiment, VCO circuit seen in figure below will be constructed.

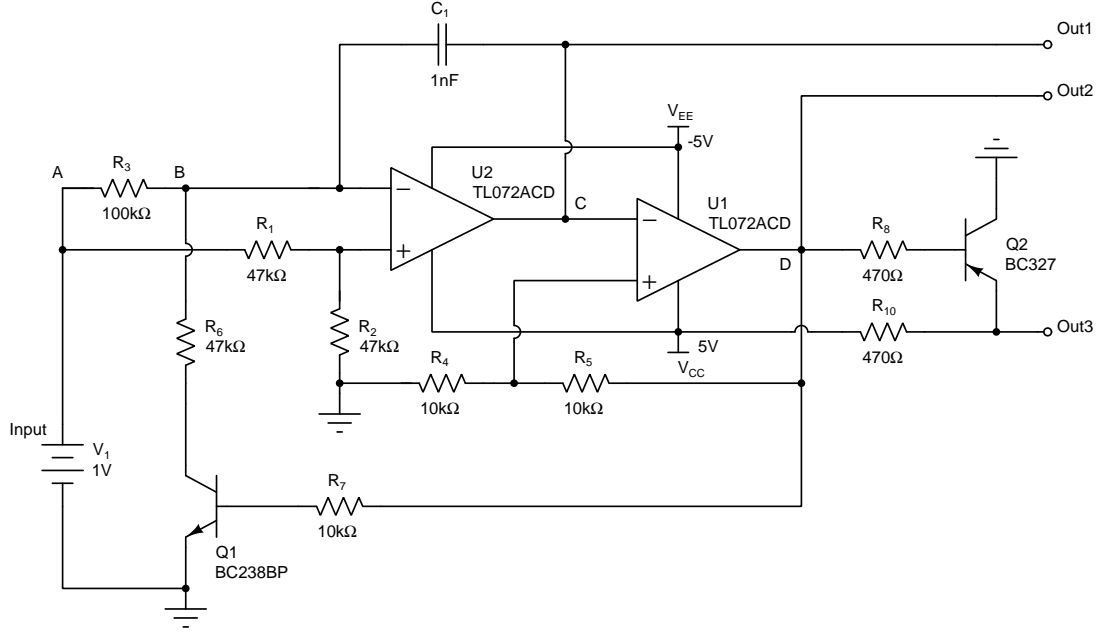


Figure 4.6: VCO experiment circuit

In VCO circuit seen in Figure 4.6, DC input voltage V_1 controls the frequency of 3 output voltages. When the circuit is in quiescent mode, transistor Q_1 is in cut-off at the moment when $V_1 = 1V$ is applied. Therefore, the current that flows through the resistor R_3 will proceed through the capacitor C_1 . Accordingly, VC output voltage of integrator that opamp U_2 is stated will be negatively sloped ramp function as in Figure 4.2. In this circumstances, reference voltage of Schmitt trigger circuit that opamp U_1 is stated is $V^+ = 0$. $V_D = V_{CC} = 5V$ will occur at the moment when the voltage at input V^- of opamp U_1 is $V_C < 0$. Hence, reference voltage will be $V^+ = 2.5V$. Also, feedback transistor Q_1 will start conducting. In this circumstance, the current flowing through the capacitor C_1 will be on direction from node C to node B. Therefore, V_C voltage will be positively sloped ramp function. In the moments when $V_C < V^+ = 2.5V$ is provided, the voltage at the input of Schmitt trigger circuit will continue being $V_D = 5V$. In the case that V_C voltage which is positively sloped ramp function gets high enough and $V_C > V^+ = 2.5V$ occurs, output voltage of Schmitt trigger circuit will be $V_D = -5V$. Therefore, reference voltage will be $V^+ = -2.5V$ and transistor Q_1 will be in cut-off.

For this reason, the current flowing through the integrator will be on direction from node B to node C again and voltage V_C will be negatively sloped ramp function as in Figure 4.2 again. Until the value of the V_C voltage at the input of Schmitt trigger circuit gets low enough and $V_C \leq -2.5V$ occurs, output voltage of Schmitt trigger circuit will continue being $V_D = -5V$. In the moment when $V_C \leq -2.5V$ is provided, $V^+ > V^-$ will occur and output voltage of Schmitt trigger circuit will be $V_D = 5V$ again. Therefore, transistor Q_1 will start conducting again and similar loop will continue as periodically.

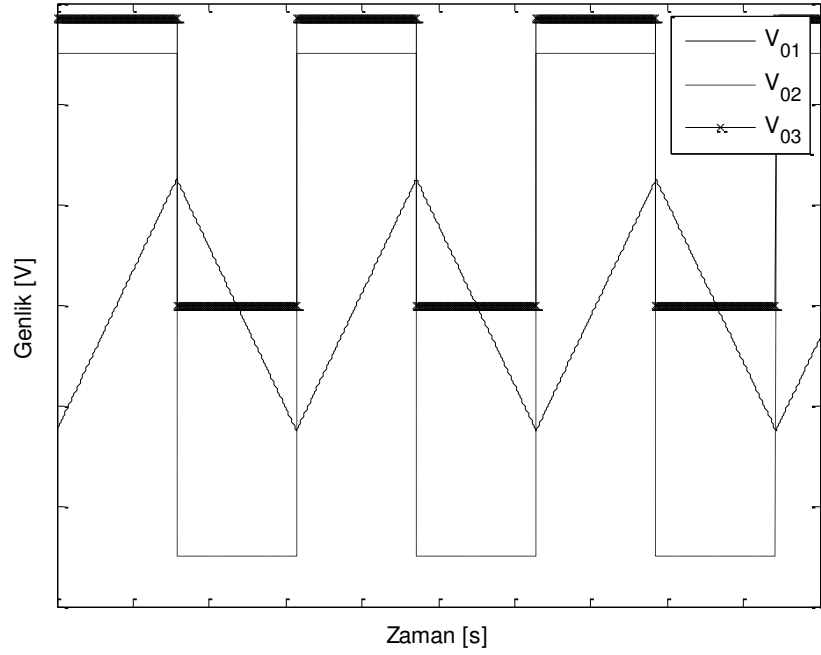


Figure 4.7: VCO output voltages

In circuit in Figure 4.6, transistor Q_2 is used set the negative parts of voltage V_D to zero. In the case that $V_D > 0$ occurs, transistor Q_2 will be in cut-off and the output voltage will be $V_0 \cong V_D + 0.7V$. In the case that $V_D < 0$ occurs, transistor Q_2 will conduct and the output voltage will be $V_0 \cong 0$. As V_{01}, V_{02}, V_{03} respectively represent the voltages of nodes *Out1*, *Out2*, *Out3* seen in Figure 4.6, graphics of 3 output voltages of VCO circuit will be as in Figure 4.7.

In VCO circuit seen in Figure 4.6, DC input voltage V_1 controls the value of DC current flowing through the capacitor C_1 . Increasing in the input voltage V_1 causes increasing in the capacitor current, evenly. Thus, increasing in the input voltage V_1 increases ascending or descending slope of ramp function at the output of the integrator and also the speed of being $V_C > V^+$ or $V_C < V^+$ at the Schmitt trigger circuit. Accordingly, increasing in the voltage V_1 also increases frequency of AC voltage at the output of the

VCO circuit. For instance, f_0 is 2.6kHz when $V_1 = 3.5\text{V}$. In case of increasing in V_1 to 7V value, f_0 will be $2 \cdot 2.6 = 5.2\text{kHz}$. Similarly, values of components R_3 , C_1 affect changing speed of the output voltage of the integrator and for this reason, affect f_0 output frequency in accordance with equation 4.5.

4.5 Pre-lab Simulations

1. Construct the VCO circuit in 4.6 using Multisim software. Obtain oscilloscope displays of output voltages and output frequency in the case that $V_1 = 1\text{V}$ and 2V .
2. Determine the effect of the resistors R_4 and R_5 to the amplitude of the output voltage V_{01} in the Schmitt trigger circuit.
3. Set the input voltage V_1 as triangle wave and interpret the frequency changes in V_{01} and V_{02} outputs.

4.6 Experiment Tasks

1. Construct the VCO circuit in Figure 4.6. Set the input voltage $V_1 = 1\text{VDC}$. Connect first channel of the oscilloscope to the output V_{01} , second channel of the oscilloscope to the output V_{02} . Obtain oscilloscope display of both of the output voltages and show them to laboratory instructors. Ground positions of both channels must be level.
2. Connect first channel of oscilloscope to output V_{03} . Obtain oscilloscope display as ground positions of output voltages V_{02} and V_{03} are level and show them to your laboratory instructors. Measure f_{02} , f_{03} frequencies of output voltages with the help of oscilloscope. Note the values that you obtained.
3. Set the value of the input voltage to $V_1 = 2\text{VDC}$ and measure f_{02} , f_{03} frequencies again with the help of oscilloscope. Note the values that you obtained and show them to laboratory instructors.

4.7 Evulation Questions

1. Interpret the oscilloscope displays that belong to the three output voltages. Have the output voltages of integrator and Schmitt trigger circuit been obtained as expected? Explain the role of BC237 in the circuit by comparing the output voltages V_{02} and V_{03} . Can the same V_{03} voltage be obtained in case of using 1N4001 diode instead of this transistor?
2. Explain with reasons how the variations in input voltage V_1 affect the frequencies of output voltages.

4.8 Quiz Questions

1. When the BJT in the feedback part is active, since the resistor R_6 has the same voltage drop as the resistor R_3 but nearly half the resistance, it will need an

- additional current which will be provided from the capacitor C_1 causing it to charge. This process creates a negatively sloped voltage at the output V_{01} .
2. BC327 transistor in Figure 4.6 is in charge of causing the integrator to raise or lower its output voltage by being active and passive based on the Schmitt trigger output.
 3. Another implementation of VCOs is done by using a type of diode called a "Varactor". When reverse-biased varactors produce a small amount of capacitance that varies with the applied voltage.
 4. Ideally, satisfying the condition that the value of resistor R_6 is exactly half of the value of resistor R_3 is enough to get a symmetrical triangle at the V_{01} .
 5. If the value of R_6 decreases, due to increase in the positive slope seen in the V_{01} a lower duty cycled output will be obtained at V_{02} . If the value of R_6 increases, it is vice versa.

5 COMMON EMITTER AMPLIFIER DESIGN

5.1 Component List

Component	Quantity	Value
BJT	1	BC238
Resistor	1	220k Ω
Resistor	1	47k Ω
Resistor	2	4.7k Ω
Resistor	1	1k Ω
Resistor	1	470 Ω
Capacitor	1	100nF
Capacitor	1	10nF
Capacitor	1	100pF

The objective of this experiment is to increase practical knowledge by performing design, implementation and analysis of the common emitter (CE) amplifier.

5.2 Theoretical Information

Voltage amplifiers are circuits that used to obtain high amplitude output voltages from low amplitude input voltages [8]. Common emitter amplification circuits, also called Class-A, provides less than %50 efficiency at high load currents and in order to increase the efficiency, Class-B or AB power amplifiers must be preferred [5, 7, 11].

5.3 Experiment Circuit

Basic level of common emitter amplifier is seen in figure below. Here, R_S shows the output resistor of the current or voltage source that will be connected to the input of the amplifier. Output resistors of signal generators are generally 50Ω . Similarly, R_L shows the input resistor of the circuit which the output power of the amplifier is transferred. R_S, R_L, R_C affect the mid-band voltage gain of the circuit [8]. Also, due to effects of these resistor values to the frequency response of the circuit, these resistors are important to determine cut-off frequencies and phase delay [8].

R_1 and R_2 are used to provide appropriate supply voltage to the base of the transistor as for R_E is used to adjust desired DC collector current. C_1 and C_2 capacitors prevent DC operating point of the transistor to be affected as in the input and output relations of the amplifier [5]. In practical applications, there should not be DC feedback from the input of the amplifier circuit to the signal supply. Similarly, it is desired that there should not be any DC leakage from the output of the amplifier circuit to the load impedance. Otherwise amplifier circuit can cause damage to the signal source and/or load impedance. C_1 and C_2 capacitors avoid this danger. In the circuit shown in below that indicates band-pass filter behavior, C_1 and C_2 capacitors are also in the task of determining lower cut-off frequency of the circuit [5]. Named as Miller capacitor, C_X provides the opportunity to adjust the upper cut-off frequency of the amplifier circuit concerned [8]. Frequency values which the voltage gain is decreased by 3dB compared to the mid-band gain are the upper and the lower cut-off frequencies of the circuit.

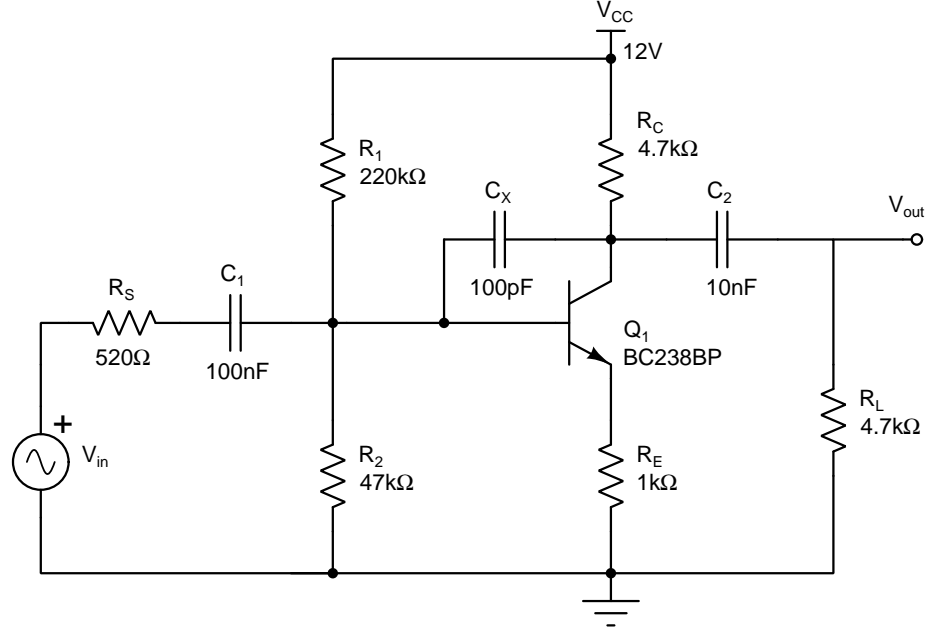


Figure 5.1: Common emitter amplifier design

Basic design equations for DC operating point and mid-band gain of the circuit is summarized below [8]:

$$V_T = 26\text{mV} \quad (5.1)$$

$$r_\pi = \frac{V_T}{|I_{BQ}|} \quad (5.2)$$

$$R_B = R_1 \parallel R_2 \quad (5.3)$$

$$A_{mid} = \frac{V_0}{V_S} \cong \frac{-(R_L \parallel R_C)}{\frac{r_\pi}{\beta_F} + R_E} \cdot \frac{R_i}{R_i + R_S} \quad (5.4)$$

Here, R_i is the equivalent resistor seen between base and ground. There are some useful practical rules in the design of the supply circuit. For instance, while %90 of the current flowing through the resistors connected to the base passes over R_1 and R_2 , %10 of the current should flow through the base. To achieve this, usually

$$R_B = 0.1\beta_F R_E \quad (5.5)$$

is preferred. Also, to allow maximum amplitude undistorted AC voltage swing at the output, the collector current at the Q point must ensure symmetrical clipping condition shown in below.

$$I_{CQ} = \frac{V_{CC} - V_{CE,SAT}}{R_{DC} + R_{AC}} \quad (5.6)$$

Here, $R_{AC} = R_E + (R_L \parallel R_C)$ and $R_{DC} = R_C + R_E$. Frequency response of the circuit (as shown with the short circuit and the zero value methods) is effected from the external capacitors and internal capacitors of the transistor [8]. While external capacitors (except Miller capacitor) determine lower cut-off frequency of the circuit, internal capacitors provide that the gain is decreased at high frequencies. Eventually, CE amplifier has a band-pass filter transfer function as is shown in voltage gain equation below.

$$A(\omega) = \frac{A_{mid}}{\left(1 - j\frac{\omega_{L1}}{w}\right) \left(1 - j\frac{\omega_{L2}}{w}\right) \left(1 + j\frac{w}{\omega_{H1}}\right) \left(1 + j\frac{w}{\omega_{H2}}\right)} \quad (5.7)$$

Cut-off frequencies of this equation is as shown in below [9].

$$\omega_{L1} = \frac{1}{C_1(R_S + R_i)} \quad (5.8)$$

$$\omega_{L2} = \frac{1}{C_2(R_C + R_L)} \quad (5.9)$$

$$\omega_{H1} = \frac{1}{(C_\pi + C_m)(R_S \parallel R_i)} \quad (5.10)$$

$$\omega_{H2} = \frac{1}{(C_0 + C_n)(r_0 \parallel R_C \parallel R_L)} \quad (5.11)$$

Here, C_m and C_n is the input and the output equivalent of the Miller capacitance. Internal capacitor values of the transistor that affects upper cut-off frequency can be found directly from the manufacturer catalog (datasheet) of the transistor. Although it is dependent on temperature and supply conditions, C_π value can be approximately taken as C_{ib} given in the catalogs and C_0 value can be taken as C_{ob} in the catalogs. In the light of this information, design of a CE amplifier with transistor consists of four stages:

- Identification of needs (mid-band gain, cut-off frequencies, load impedance, output power),
- Selection of transistor (maximum collector current, breakdown and saturation voltages, current gain),
- Active operating region biasing of the transistor (Selection of V_{CC} , R_1 , R_2 , R_C and R_E),
- AC design (selection of C_1 , C_2 and C_X according to desired cut-off frequencies)

5.4 Pre-lab Simulations

1. Examine the datasheet of NPN transistor BC238.
2. Making use of the formulas given in the Theoretical Information section, design the common emitter circuit given in Figure 5.1 such that it (approximately) meets the prompts given below. You are required to use inherent characteristic curves given in the datasheet of BC238 while determining B_F current gain during design. Simulate your design using Multisim software. Take your results to the laboratory.

$$\begin{array}{ll} V_{CC} = 12V & A_{mid} = -5 \\ R_S = 470\Omega & f_L = 500\text{Hz} \\ R_L = 2.2\text{k}\Omega & f_H = 50\text{kHz} \end{array}$$

3. Determine the upper cut-off frequency by removing the feedback capacitor C_X in your design.

5.5 Experiment Tasks

5.5.1 Constructing the Circuit and DC Biasing

1. Construct the circuit in Figure 5.1 **only** using the components R_1, R_2, R_E, R_C . Do not energize your circuit unless you set the output voltage of the power source to 12V.
2. Measure the V_{BE} and V_{CE} voltages, base and collector currents of the transistor. Note your measurements to the table below and show them to laboratory instructors. In the absence of $0.6\text{V} < V_{BE} \leq 0.7\text{V}$ and $V_{CE} > V_{CE,SAT}$ conditions return to step 1 and make sure you constructed the circuit correctly. (*You can obtain $V_{CE,SAT}$ value from the datasheet of BC238*).
3. Complete the circuit shown in Figure 5.1 using remaining components.
4. Set the wave type of the signal generator to sine. Adjust the amplitude to 0.5V and frequency to 5kHz. Connect the output of the signal generator to the input of the amplifier circuit. Connect the first channel of the oscilloscope to the input and the second channel of the oscilloscope to the output of the circuit. Show the resulting images to your laboratory instructors. If waveforms obtained from both channels are the same (undistorted) proceed to Frequency Response part. Otherwise return to step 3 and make sure you have constructed the circuit correctly.

5.5.2 Frequency Response

1. Determine upper and lower cut-off frequencies by changing the frequency of the signal generator. Note these values and mid-band gain to table below and show them to laboratory instructors. Frequency values which the gain decreases by 3dB compared to the mid-band gain are the cut-off frequencies.

2. Measure the output voltages and phase delay times at frequencies specified in table below and note them to related fields. Shown your notes to laboratory instructors.
3. Determine the upper cut-off frequency over again by removing capacitor C_X from the circuit and note it to table below. Show the value you noted to laboratory instructors.
4. Using your measurements, plot the Bode Diagram of the circuit with MATLAB, Excel or an equivalent software. Plot the expected Bode Diagram by replacing the component values in equation 5.7 with the ones you used in experiment. Interpret the differences between experimental and expected results.

Table 5.1: Experimental measurement data - I

DC BIASING			
$V_{BE} =$	$V_{CE} =$	$I_{BQ} =$	$I_{CQ} =$
FREQUENCY RESPONSE			
$C_X \neq 0$			
$f_L =$	$f_H =$	$A_{mid} =$	
$f[\text{kHz}]$	$V_0[\text{V}]$	$\Delta T[\text{s}]$	
0.1			
0.5			
1			
2			
5			
10			
20			
30			
40			
50			
70			
100			
200			
$C_X = 0 \quad f_H =$			

5.6 Evaluation Questions

1. Calculate the current gain value β_F by using the current values you noted during DC Biasing part. Interpret the difference with the current gain you used in Pre-lab work. (Take into account of the inherent characteristic curves stated in the datasheet of BC238.)
2. Interpret whether the collector current value at the operating point Q satisfies the symmetrical clipping condition or not.

5.7 Quiz Questions

1. The common emitter amplifier configuration with degeneration resistor (R_E) has a larger input resistance but a much smaller voltage gain compared to the one without degeneration resistor.
2. The bandwidth of a system is determined by its capacitive elements. The larger capacitive elements determine the upper-cutoff frequency whereas small parasitic capacitors determine the lower-cutoff frequencies.
3. The common base configuration does not suffer from the Miller effect by contrast with the common emitter configuration. Hence, a cascade configuration which CB stage is used as a current buffer at the output of the CE stage can be used to increase the bandwidth of CE configuration.
4. At low frequencies, gain of the amplifier is limited due to coupling and bypass capacitors. Those frequency values can be calculated by finding the resistance value seen by each capacitor.
5. The short circuit and zero-value methods are practical to determine the lower and upper cut-off frequencies of amplifiers circuits. The lower cut-off frequency is determined by short circuit method while the upper cut-off frequency is determined by the zero-value method.

6 POWER AMPLIFIERS WITH BJT COMPONENTS

6.1 Equipment List

Component	Quantity	Value
Opamp	1	TL072
BJT	1	BD135
BJT	1	BD136
Diode	3	1N4001
Resistor	1	47k Ω
Resistor	1	22k Ω
Resistor	1	1k Ω
Resistor	3	10k Ω
Capacitor	1	120pF
Capacitor	1	1 μ F
Capacitor	2	100 μ F

In this experiment, design stages and frequency responses of Class-B and Class-AB power amplifiers with BJT components will be examined.

6.2 Theoretical Information

Power amplifiers are the electronics circuits used differently from voltage amplifiers in situations that the power to drawn from the source producing the input voltage is insufficient [5,8]. They amplify and transmit the input power to the output allowing high load currents to be drawn from the output. Voltage amplifiers on the other hand are the circuits that amplify and transmit the input voltage to the output and generally used in situations that the power drawn from the source is not high. Nowadays, power amplifiers are used in home theatre systems, PC sound systems and all kinds of audio amplifiers. There are various kinds of power amplifiers depending on the type of the transistor component used and type of its connection. While BJT components are used in Class-B and AB amplifiers, PWM switched MOSFET components are used in Class-D types [7,8]. In this experiment, Class-B and AB power amplifiers will be focused on.

6.2.1 Class-B Power Amplifiers

Class-B power amplifiers consist of one each NPN and PNP power transistors [5,8,9].

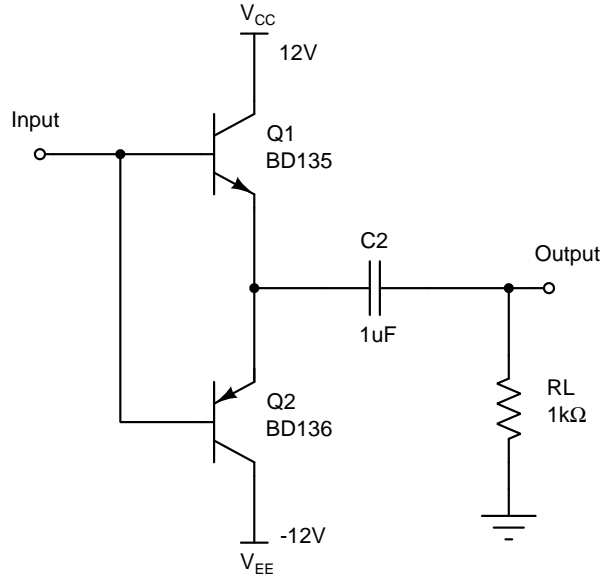


Figure 6.1: Class-B power amplifier

In the circuit shown in Figure 6.1 V_{BE} voltage needed for transistors Q_1 and Q_2 to conduct is 1V and $-1V$, as it can be seen from the datasheet. In the case that $V_{BE1} > 1V$ is provided for transistor Q_1 , npn transistor Q_1 conducts and pnp transistor

Q_2 is in cut-off. Similarly, in the case that $V_{BE2} < -1V$ is provided for transistor Q_2 , pnp transistor Q_2 conducts and npn transistor Q_1 is in cut-off. Because of this reason, positive cycles of AC input voltage at the base of the transistors will be transferred to the output by transistor Q_1 as for negative cycles, transistor Q_1 is in cut-off. Negative cycles of AC input voltage at the base of the transistors will be transferred to the output by transistor Q_2 as for positive cycles, transistor Q_2 is in cut-off. Voltages transferred to the output by transistors Q_1 , Q_2 and total output voltage is seen in figure below.

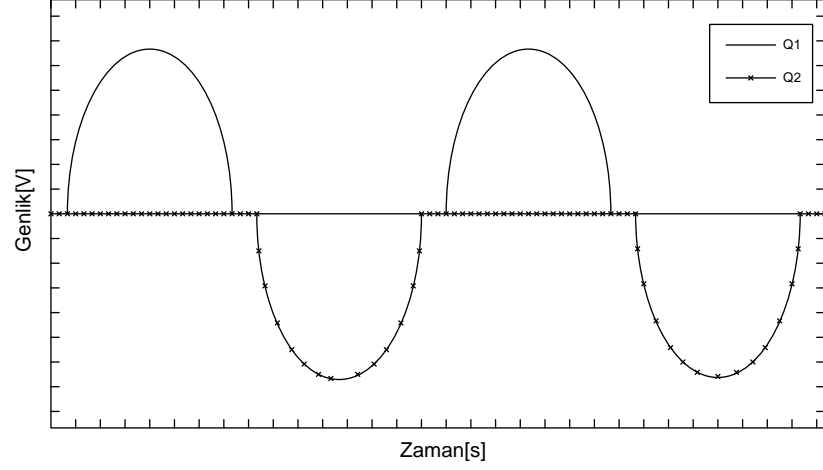


Figure 6.2: Output voltages of transistors Q_1 and Q_2 for Class B amplifier

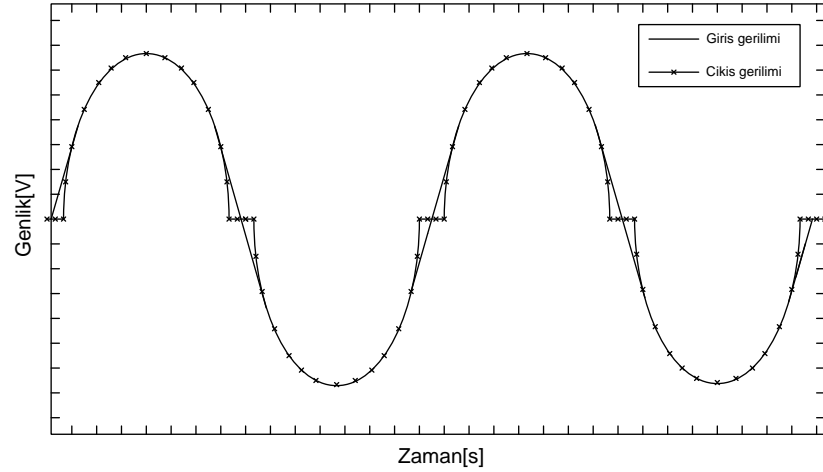


Figure 6.3: Crossover distortion encountered in class-B amplifier

One of the disadvantages of Class-B power amplifiers is that crossover distortion is seen in the output voltage [5, 8, 9]. When AC input voltage is in the range of $-1V < V_{in} < 1V$, both Q_1 and Q_2 transistors are in cut-off. For this reason, the

output voltage has distortion in $\pm 1V$ range. Class-AB power amplifiers are designed in order to prevent crossover distortion [5, 8, 9].

Lower cut-off frequency of the circuit shown in Figure 6.1 is determined with the capacitor C_2 . In this case lower cut-off frequency of the circuit can be adjusted with the formula below [5, 8].

$$f_L = \frac{1}{2\pi R_L C_2} \quad (6.1)$$

C_π capacitor affects the upper cut-off frequency of the circuit thus, following equations are eligible [5, 8].

$$f_{H1} = \frac{1}{2\pi(r_{\pi1} + \beta_1 R_L)C_{\pi1}} \quad f_{H2} = \frac{1}{2\pi(r_{\pi2} + \beta_2 R_L)C_{\pi2}} \quad (6.2)$$

f_{H1} and f_{H2} cut-off frequencies can be different due to possible differences in electrical specifications of transistors Q_1 and Q_2 . Therefore, positive and negative cycles of the output voltage can have different amplitudes in the neighborhood of f_{H1} and f_{H2} frequencies. To overcome this, upper cut-off frequency of the circuit will be adjusted with the LPF circuit that will be connected to the input of the circuit, not with the internal capacitances of the transistors.

6.2.2 Class-AB Power Amplifiers

Class-AB amplifiers are designed in order to prevent the crossover distortion of Class-B amplifiers seen in Figure 6.2 and Figure 6.3. Class-AB power amplifier circuit is seen in Figure below [8, 9].

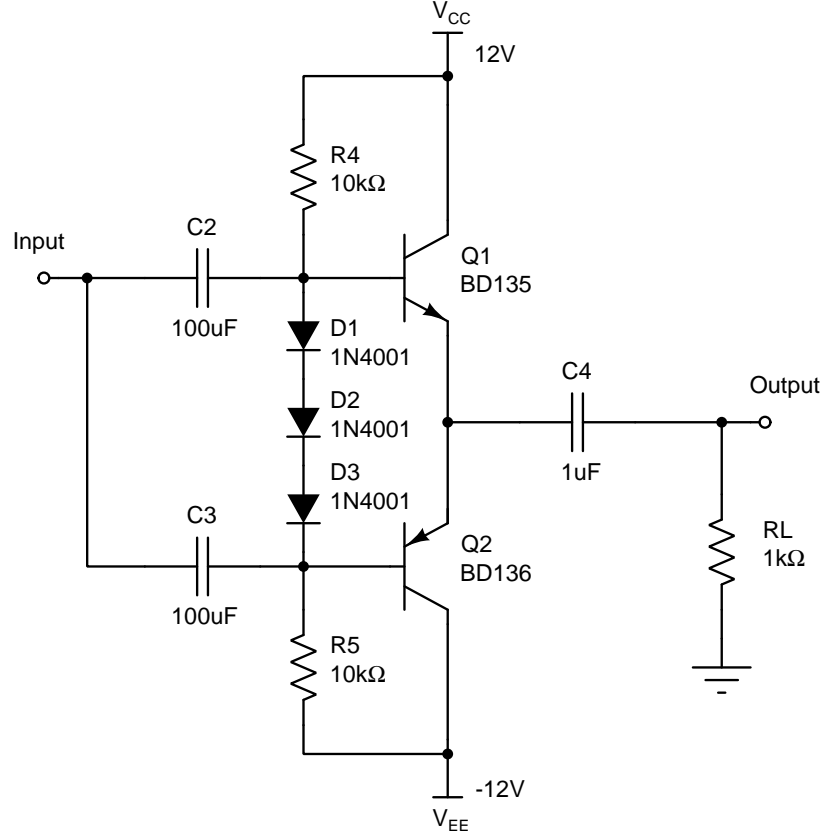


Figure 6.4: Class-AB power amplifier

In the circuit in Figure 6.4, $V_{BE1} = V_{BE2} + 3 \cdot V_D \cong V_{BE2} + 2V$ is provided with 3 pieces 1N4001 diodes connected between bases of transistors Q_1 and Q_2 . By this means in the crossing region it is achieved that while transistor Q_2 is in cut-off, transistor Q_1 conducts and while transistor Q_1 is in cut-off, transistor Q_2 conducts. Hence, the crossover distortion seen in Class-B amplifiers is prevented [5, 8, 9].

In the circuit in Figure 6.4 capacitors C_2 , C_3 and C_4 affect the lower cut-off frequency. Resistance value seen from capacitors C_2 and C_3 depends on the resistance of diode 1N4001. The resistance of the diode 1N4001 is not fixed, so, it is clear that the lower cut-off frequency to be set capacitors C_2 ve C_3 is not fixed. To avoid this, it is provided that the poles formed by capacitors C_2 and C_3 are very small compared to the poles formed by capacitor C_4 by choosing the values of the capacitors C_2 and C_3 too large relative to the value of capacitor C_4 . Thus, lower cut-off frequency of the entire circuit is approximately as follows.

$$f_L = \frac{1}{2\pi R_L C_4} \quad (6.3)$$

As it is in the Class-B amplifiers, upper cut-off frequency of Class-AB power amplifiers is going to be set by an LFP circuit with opamps.

6.3 Experiment Circuit

6.3.1 Class-B Power Amplifier Circuit

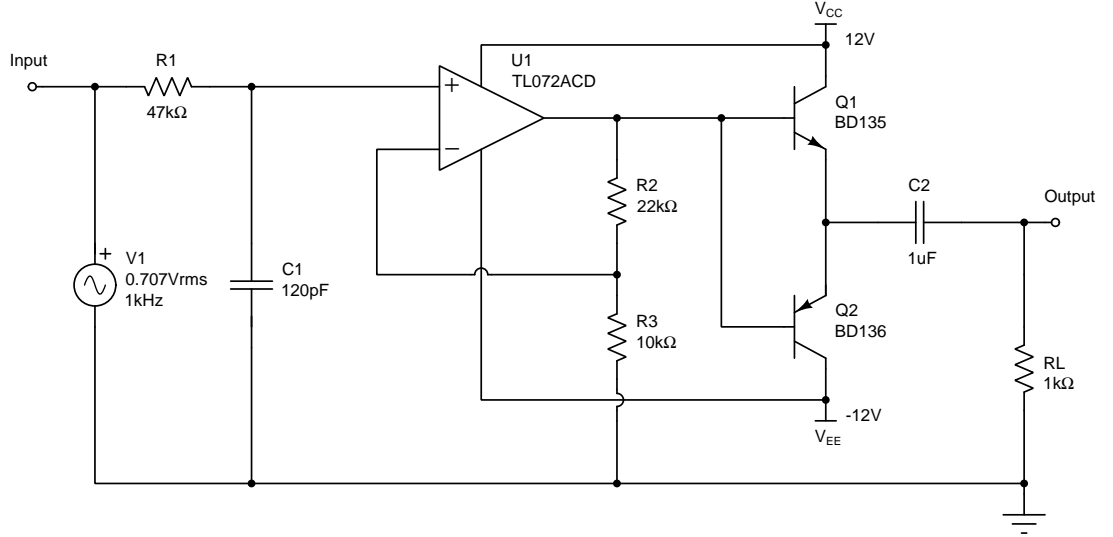


Figure 6.5: Class-B power amplifier experiment circuit

As it is seen from the experiment circuit, mid-band gain of the entire circuit is set by using non-inverting amplifier.

$$A_{mid} = 1 + \frac{R_2}{R_3} \quad (6.4)$$

Upper cut-off frequency of the circuit is set by the LPF circuit that is situated at the input of the opamp. Capacitor C_2 determines the lower cutoff frequency of the circuit. In this case, equations seen below become valid.

$$f_L = \frac{1}{2\pi R_L C_2} \quad (6.5)$$

$$f_H = \frac{1}{2\pi R_1 C_1} \quad (6.6)$$

6.3.2 Class-AB Power Amplifier Circuit

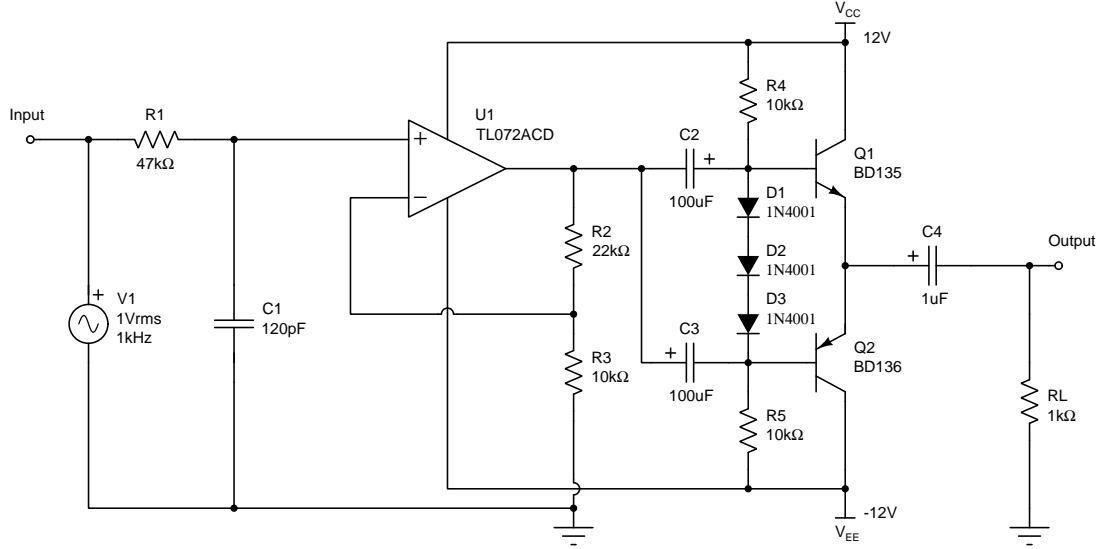


Figure 6.6: Class-AB power amplifier experiment circuit

Mid-band voltage gain and upper cut-off frequency formulas for Class-AB amplifier in Figure 6.6 are the same as those given for Class-B amplifier. The formula of lower cut-off frequency is as follows.

$$f_L = \frac{1}{2\pi R_L C_4} \quad (6.7)$$

6.4 Pre-lab Simulations

1. Construct the experiment circuits in Figure 6.5 and Figure 6.6 using Multisim software. Find mid-band gains, lower and upper cut-off frequencies of both circuits.
2. Obtain crossover distortion of the circuit in Figure 6.5 on the oscilloscope screen. Explain whether any crossover distortion in question for the circuit in Figure 6.6 or not, using oscilloscope images.

6.5 Experiment Tasks

6.5.1 Class-B Power Amplifier Circuit

1. Construct the circuit in Figure 6.5. Connect the first channel of the oscilloscope to the input voltage, second channel of the oscilloscope to the output voltage. Observe the crossover distortion in the case that the frequency of the input voltage is 1kHz and show your result to laboratory instructors.

2. Find mid-band gain, lower and upper cut-off frequencies of the circuit and show your results to your laboratory instructors.

6.5.2 Class-AB Power Amplifier Circuit

1. Construct the circuit in Figure 6.6. In the case that the frequency of the input voltage is 1kHz obtain input and output voltages on the oscilloscope screen and show your results to laboratory instructors. Do you observe crossover distortion in the output voltage?
2. Find mid-band gain, lower and upper cut-off frequencies of the circuit and show the values you obtained to laboratory instructors.

6.6 Evaluation Questions

1. Interpret the images obtained from oscilloscope for Class-B and Class-AB amplifier circuits. Specify the reason of the crossover distortion occurring in Class-B circuit. Did you observe the crossover distortion in Class-AB circuit?
2. Find theoretical values of mid-band gain, lower and upper cut-off frequencies using the component values in the experiment for both circuits. Compare your theoretical and experimental results.

6.7 Quiz Questions

1. Gain of a power amplifier circuit is the ratio between the power that is delivered to the load and the power drawn from the dc power supply.
2. Due to voltage drops at B-E junctions of both transistors, a dead zone occurs in the transfer characteristic of a push-pull class B amplifier, which decreases distortion of the output voltage.
3. The crossover distortion seen in push-pull class B amplifiers can be reduced by a high-gain opamp and negative feedback structure.
4. Since class A amplifiers are biased at zero current, they consume very little power when there is no signal applied to the input.
5. Class AB power amplifiers are biased at a small current to keep both of the transistors conducting even when small signals are applied to the input. Thus, crossover distortion is eliminated in class AB power amplifiers.

7 COMMON SOURCE AMPLIFIER DESIGN

7.1 Equipment List

Component	Quantity	Value
Opamp	1	TL072
MOSFET	1	2N7000
Resistor	2	47k Ω
Resistor	1	15k Ω
Resistor	1	100k Ω
Resistor	1	10k Ω
Resistor	1	1k Ω
Resistor	1	470 Ω
Potentiometer	1	22k Ω
Capacitor	1	120pF
Capacitor	1	1 μ F
Capacitor	1	100nF

The objective of this experiment is to study design steps, gain and bandwidth features of common source amplifier circuit which is one of the MOSFET applications.

7.2 Theoretical Information

MOSFET component is frequently used in amplifier circuits due to its high input resistance, low heat loss and easy DC polarization [9,11]. It has significant advantages compared to the Class-A, B and AB amplifiers with BJT components, especially in applications that $e = P_0/P_{in}$ power efficiency is required to be high [9]. For instance, while over %90 efficiency can be obtained with Class-D type power amplifiers that are based on PWM switching, %45-50 efficiency with Class-A type amplifiers, %65-70 efficiency at best with Class-B and Class-AB types can be obtained [7–9]. By the reason of the advantages that are provided by MOSFET component, amplifier circuits with MOSFET components take place in many applications used in homes. Today's frequently encountered home theatre systems are examples of amplifier applications with MOSFET components.

7.3 Experiment Circuit

In this experiment, as a MOSFET application, common source amplifier circuit is going to be realized. As this circuit can be used for voltage amplification, it can be used in task of driving the output transistors in power amplifiers. Experiment circuit is seen in figure below. Due to high bandwidth of MOSFET component, upper cut of frequency of the circuit is set with the LPF containing TL072 opamp component. By keeping the mid-band gain of this filter higher than 1, pre-amplification is provided for output transistor Q_1 .

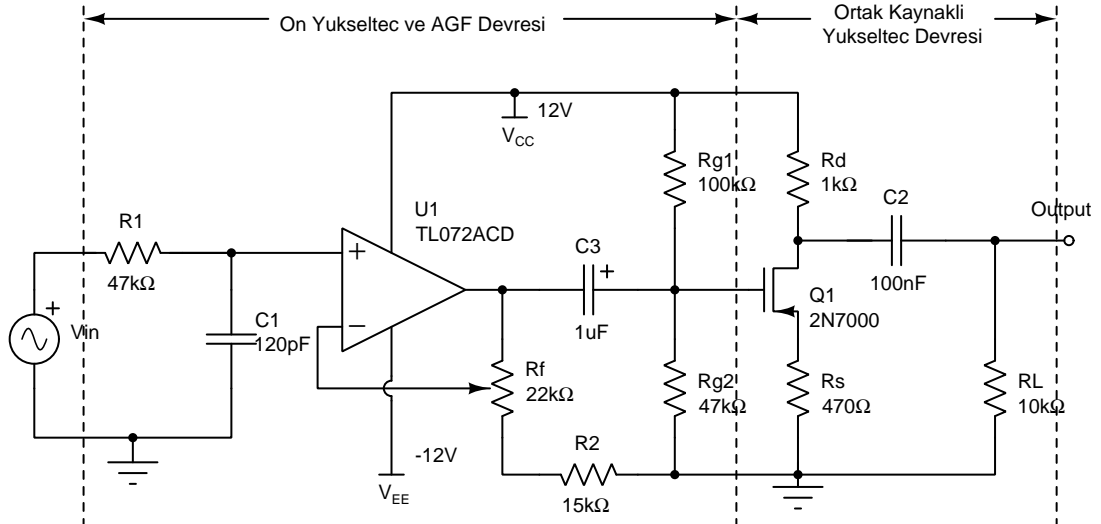


Figure 7.1: Common source experiment circuit

$V_{out}(t)$ output voltage which the circuit in Figure 7.1 will transfer to the output as a response to an any $V_{in}(t)$ input voltage is able to be determined with the transfer function of the circuit in question. Frequency response of the circuit must be analyzed in order to determine the transfer function in question.

7.3.1 Mid-Band Gain

The expression below is valid for mid-band gain of pre-amplification circuit that opamp component is stated in Figure 7.1 [9].

$$A_{mid} = 1 + \frac{R_f}{R_2} \quad (7.1)$$

Adjustable resistor is used for R_f in circuit in Figure 7.1. Thus, mid-band gain of the pre-amplification is ensured to be adjustable. Mid-band gain expression of the common source amplifier circuit is as given below [9].

$$A_{mid} = -g_m(R_L \parallel R_d \parallel r_0) \cong -g_m(R_L \parallel R_d) \quad (7.2)$$

According to this, mid-band gain of the overall circuit is calculated as follows.

$$A_{mid} = -g_m(R_L \parallel R_d)(1 + \frac{R_f}{R_2}) \quad (7.3)$$

As it can be seen from the expression above, mid-band gain is independent from the load resistor for $R_D \ll R_L$. However, in the cases that the load resistor has small values, mid-band gain becomes dependent on the load resistor. Therefore, the amplifier circuit seen in Figure 7.1 is load dependent. It must be considered that, $V_{SS} < V_{out} < V_{DD}$ inequality is required to be provided when adjusting the mid-band gain, otherwise the output voltage will be clipped.

7.3.2 Lower Cut-off Frequency

Capacitors C_2 and C_3 affect the lower cut-off frequency of the circuit in Figure 7.1. Therefore, the equivalent resistor values seen from the capacitors in question must be known. Resistor values seen from each capacitor are given below [9].

$$R_{C3} = R_f + R_2 + (R_{g1} \parallel R_{g2}) \quad (7.4)$$

$$R_{C2} = R_d + R_L \quad (7.5)$$

Accordingly, lower cut-off frequency of the overall circuit can be determined via the expression below.

$$f_{C2} = \frac{1}{2\pi(R_f + R_2 + (R_{g1} \parallel R_{g2}))C_3} \quad (7.6)$$

$$f_{C3} = \frac{1}{2\pi(R_d + R_L)C_2} \quad (7.7)$$

$$f_L = \frac{1}{2\pi} \left[\frac{1}{(R_f + R_2 + (R_{g1} \parallel R_{g2}))C_3} + \frac{1}{(R_d + R_L)C_2} \right] \quad (7.8)$$

Load dependency of the lower cut-off frequency is an undesired condition in some practical applications. In this kind of applications, the design is done as $f_{c2} \geq 10f_{c3}$ is provided for the capacitor values.

7.3.3 Upper Cut-off Frequency

Due to high bandwidth of the MOSFET amplifier in circuit in Figure 7.1, upper cut-off frequency is adjusted with the LFP circuit containing opamp. Cut-off frequency that is caused by capacitor C_1 can be calculated with the expression below [9].

$$f_H = \frac{1}{2\pi R_1 C_1} \quad (7.9)$$

Note: In the design stages of amplifier circuits, when lower and upper cut-off frequencies are being set, the resistors that bring the mid-band gain to the desired point can be determined, firstly. Then, cut-off frequencies can be set by using these resistor values with suitable capacitor values.

7.4 Pre-lab Simulations

1. Redesign the circuit in Figure 7.1 for $R_L = 10k\Omega$ as it satisfies the specifications below. Test your design in Multisim software and print bode diagrams for amplitude and phase with Bode Plotter.

$$A_{mid} = 5, \quad f_L \cong 20\text{Hz}, \quad f_H \cong 20\text{kHz}$$

2. Find the analytical (theoretical) expression of transfer function of the circuit seen in Figure 7.1 with component values that you used in design. Print the bode diagrams of the function you obtained, for amplitude and phase using MATLAB software.
3. Compare the theoretical and Multisim graphics that you obtained. Interpret the similarities and differences between them.

7.5 Experiment Tasks

1. Construct the circuit in Figure 7.1. Set the peak to peak value of the input voltage to $V_{in} = 2\text{V}$. Connect the first channel of the oscilloscope to the input and the second channel of the oscilloscope to the output voltages. After obtaining the input and output voltages correctly, show them to laboratory instructors.

2. Find the mid-band gain, lower and upper cut-off frequencies of the circuit while potentiometer is set to %100 value. Obtain the oscilloscope display of the input and output voltages as the frequency of the input voltage is $f_0 = 1\text{kHz}$ and show your result to laboratory instructors.
3. Set the potentiometer to %0 value and repeat the previous step.

7.6 Evaluation Questions

1. Specify the lowest and the highest values of mid-band gain. Find the theoretical values of mid-band gain, lower and upper cut-off frequencies.
2. Compare the obtained results during the experiment with the theoretical values.

7.7 Quiz Questions

1. In order to increase the input-output isolation and improve the frequency response capabilities, a common-gate amplifier (CG) can be connected as the output stage to the common source amplifier (CS).
2. A simple way to improve bandwidth of the common source amplifier is to include a resistor in the source. However, such structure will have a reduced gain compared to the one without source resistor.
3. Secondary breakdown which limits the safe operating area of BJTs, also has effect on the power MOSFETs.
4. In the common-source configuration, adding resistor R_S to the source increases the input resistance of the amplifier in the same way with R_E in the common emitter configuration.
5. One reason of using a constant current source as a load in the common source or common emitter amplifiers is to obtain a much higher gain compared to the case that a finite load resistance is used.

8 ACTIVE FILTERS

8.1 Component List

Component	Quantity	Value
Opamp	1	TL072
Resistor	1	47k Ω
Resistor	1	2.2k Ω
Resistor	1	22k Ω
Resistor	1	220k Ω
Resistor	2	4.7k Ω
Resistor	2	10k Ω
Capacitor	2	1nF
Capacitor	1	100pF

The objective of this experiment is to study active filters using opamps and their frequency response. For this purpose Butterworth and Chebyshev-II filters will be designed, behaviors of this filters in passband and stopband will be examined.

8.2 Theoretical Information

8.2.1 Amplitude Response of Active Filters

In practice while all electronic circuits have frequency response and impulse response, these characteristic features can determined by designer so it can be predicted which output voltage correspond to any input voltage in the system. In this stage filters have important roles. Ideal filters are circuits that allow signals of only certain frequencies to pass while blocking all others and their amplitude spectrums are combination of rectangular waves [5,8,11]. Amplitude response and impulse response of ideal low pass filter are shown in figures below, respectively.

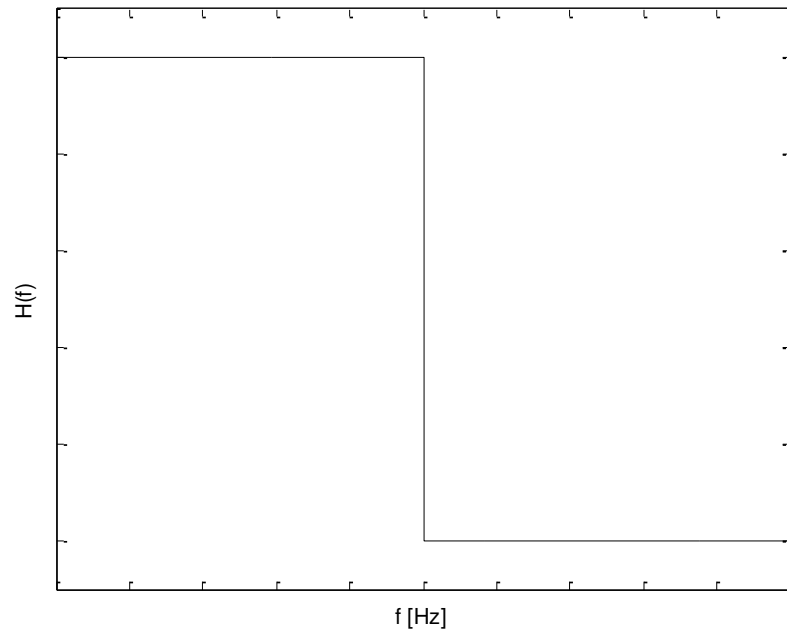


Figure 8.1: Amplitude response of ideal LPF

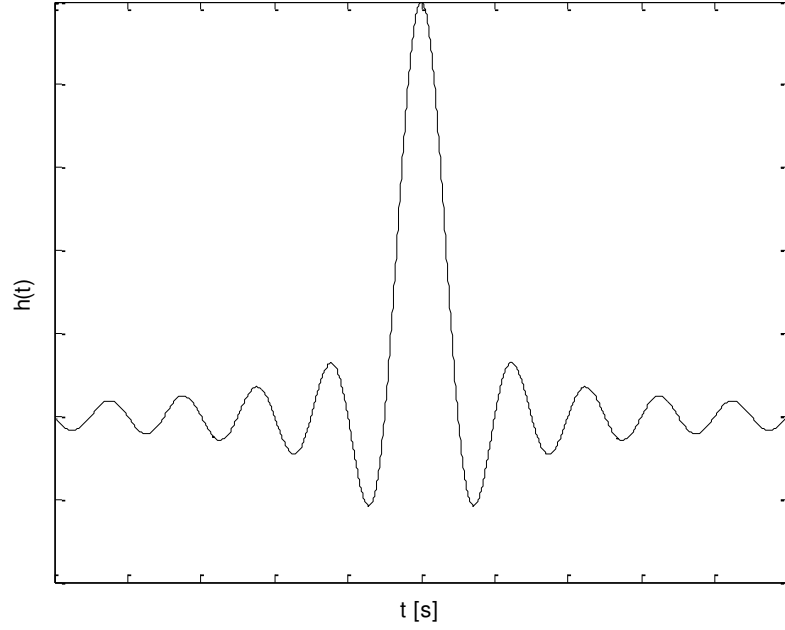


Figure 8.2: Impulse response of ideal LPF

Time domain expression of rectangular function in frequency domain shown in Figure 8.1 is nonzero in $-\infty < t < \infty$ time range like in Figure 8.2. Belonging to ideal low pass filter assumption transfer function in frequency domain and impulse response in time domain are shown below [13].

$$H(f) = A \cdot \Pi\left(\frac{f}{BW}\right) \quad (8.1)$$

$$h(t) = A \cdot BW \cdot \text{sinc}(BW \cdot t) \quad (8.2)$$

Here $H(f)$ is transfer function, $h(t)$ is impulse response, A is filter gain and BW is the band width. Impulse response of all causal systems (practical applications) is defined in $0 \leq t < \infty$ time range, because of this situation frequency response is different from rectangular function. Therefore amplitude response has main lobe and/or side lobes [14]. Amplitude response of 3rd and 5th degree of elliptical filter with a cut off frequency 10.8kHz is seen below.

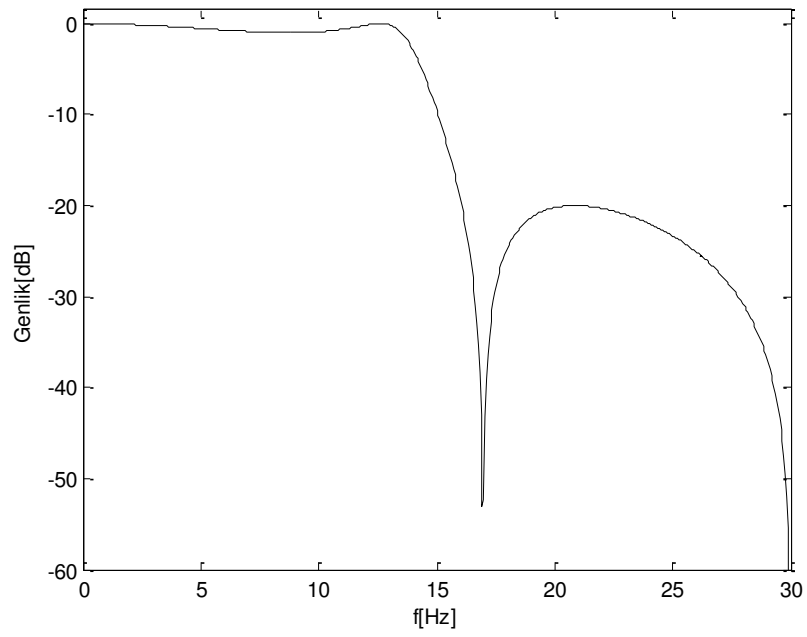


Figure 8.3: Amplitude response of 3rd degree elliptical filter

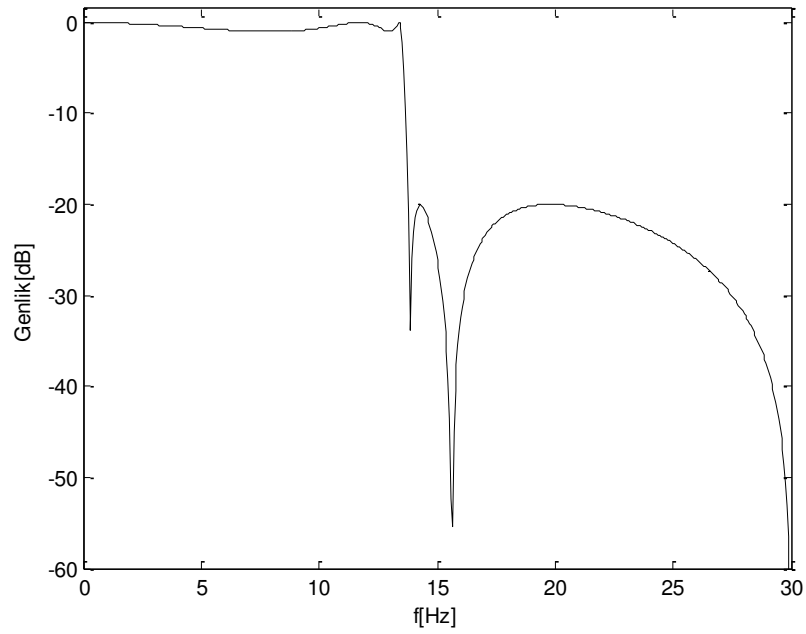


Figure 8.4: Amplitude response of 5th degree elliptical filter

For graphs in Figure 8.3 and Figure 8.4, passband is named main lobe and the rip-

ples in stopband are named side lobes. As the degree of filter increases, the main lobe approaches rectangular function thus filtering sharpness scales up. However influence of side lobes continues. Existence of side lobes indicates that high frequency components are not exactly filtered, these components are suppressed a little.

As type of filters used in design changes, the frequency response of filter changes too. Amplitude response of 5th degree Butterworth and Chebyshev-II filters with cut off frequency 10kHz are shown below, respectively. The filter more suited to the input voltage becomes important depending on the fact that amplitude response varies according to filter types. For input voltages that not require high filtering sharpness around cut off frequency, Butterworth filter presses high frequency components more than Chebyshev-II filter. For input voltages that require narrow main lobes and high filtering sharpness around cut off frequency, Chebyshev-II filter is more appropriate [15].

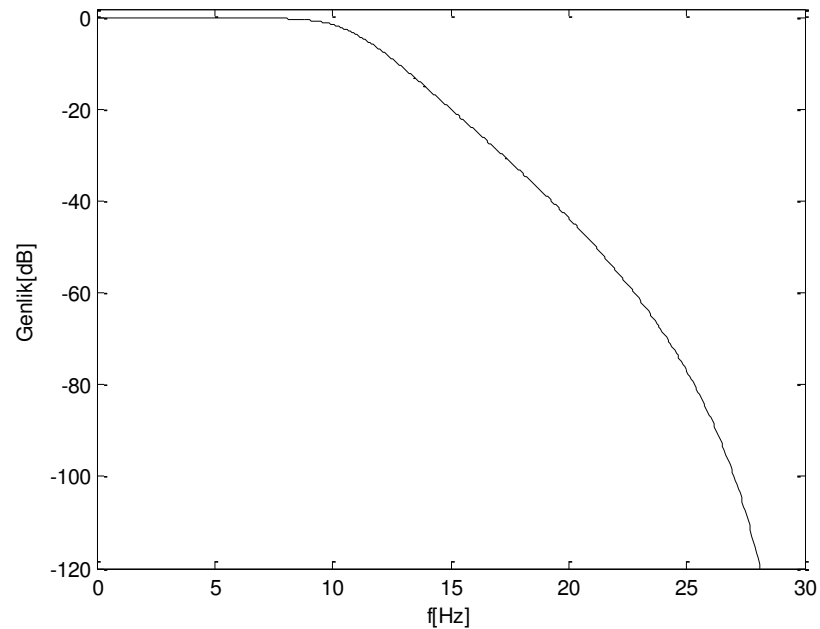


Figure 8.5: Amplitude response of 5th degree Butterworth filter

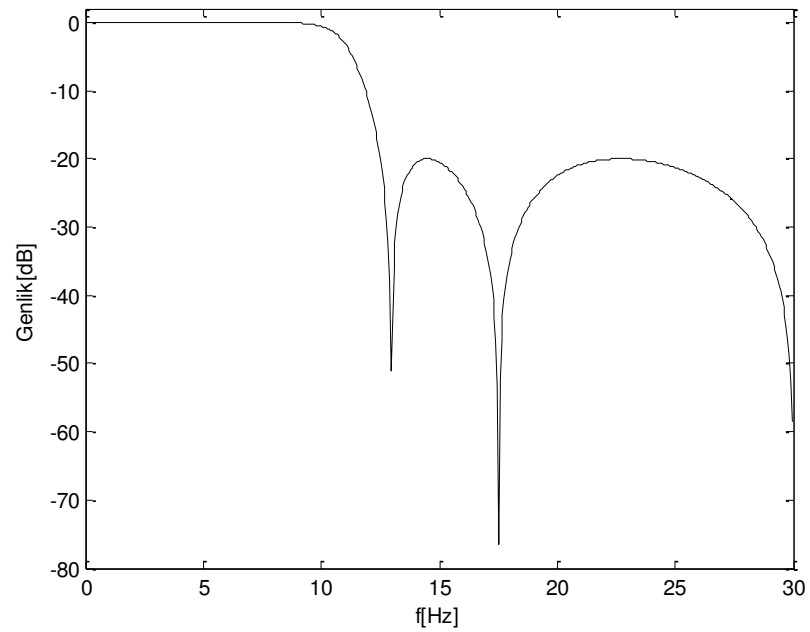


Figure 8.6: Amplitude response of 5th degree Chebyshev-II filter

8.2.2 Frequency Response of Active Filters

To narrow main lobe in filter circuits, type of filter must be changed or degree of filter must be increased. Increasing filter degree is unwanted sometimes. Because increasing degree of filter requires more circuit elements and augments phase delay. Frequency response of 3rd and 5th degree Chebyshev-II filters with cut off frequency 10kHz are shown below.

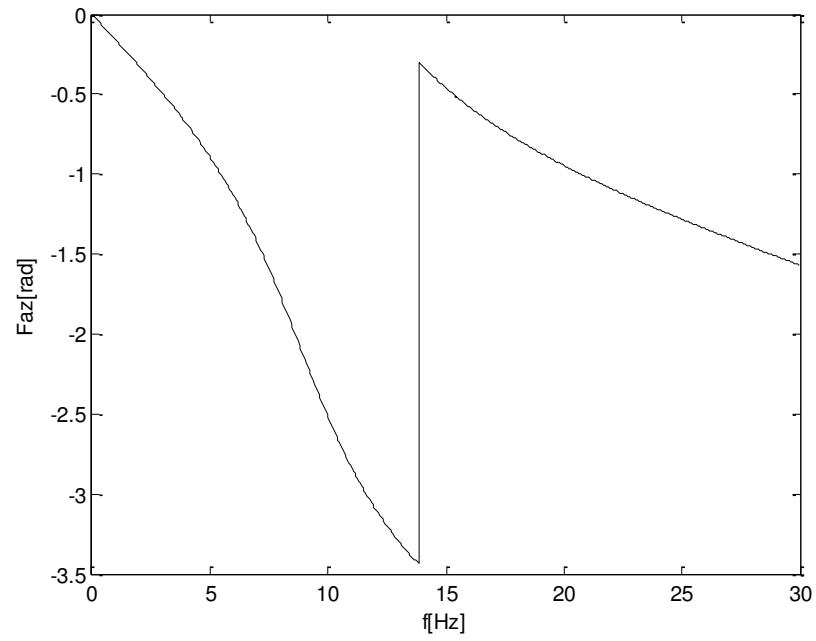


Figure 8.7: Frequency response of 3rd degree Chebyshev-II filter

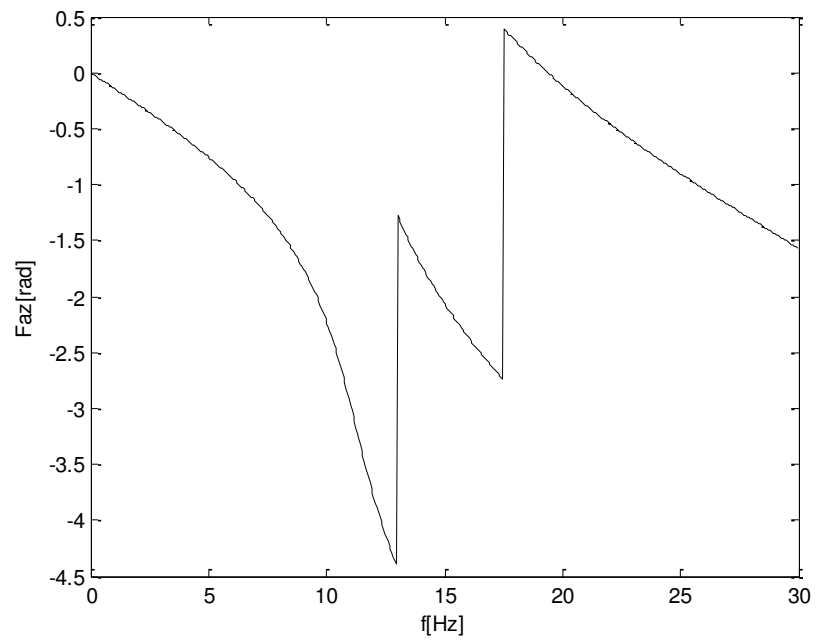


Figure 8.8: Frequency response of 5th degree Chebyshev-II filter

As it is seen in Figure 8.7 and Figure 8.8, phase delay of 5th degree Chebyshev-II

filter is higher with respect to Chebyshev-II filter, especially around the cut off frequency. Same situation is valid for other filter types, although changing type of filter without changing its degree can change phase delay.

8.2.3 Group Delay of Active Filters

It is prevalent for all filter types that if input voltage is in $V_{in}(t) = A \cdot \cos(2\pi f_0 t)$ form then output voltage is in $V_0(t) = A \cdot |H(f_0)| \cdot \cos(2\pi f_0(t - T_d))$ form. In this case phase delay of output voltage is $\theta(f = f_0) = -2\pi f T_d$. In this expression T_d is time delay. In case of input voltage has multiple frequency components, to filtering without distortion requires that all frequency components in output voltage's band width has same time delay. This situation is ensured only if T_d is not a function of frequency in passband. Group delay provides specifying T_d for any frequency component. Analytical statement of group delay is given below.

$$\tau = \frac{d\theta(f)}{df} = -2\pi T_d \quad (8.3)$$

As it is seen from the statement above, T_d is constant if group delay is not a frequency function. Therefore filtering without distortion is possible with linear phase diagrams.

8.3 Experiment Circuit

In this experiment 2nd degree Butterworth and Chebyshev-II filters will be designed, amplitude and phase diagrams will be drawn and differences between them will be examined.

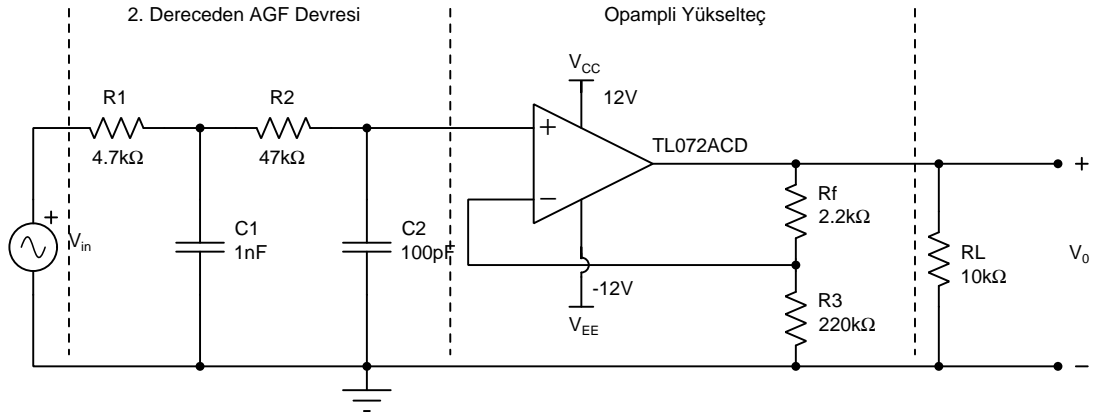


Figure 8.9: Butterworth experiment circuit

2nd degree lowpass filter circuit with R_1 , R_2 , C_1 , C_2 elements performs filtering in Butterworth circuit is shown in Figure 8.9. Connecting the output of lowpass filter to the noninverting amplifier circuit provides gain greater than 1. In opposition to passive filters, output voltage is independent from R_L load resistor.

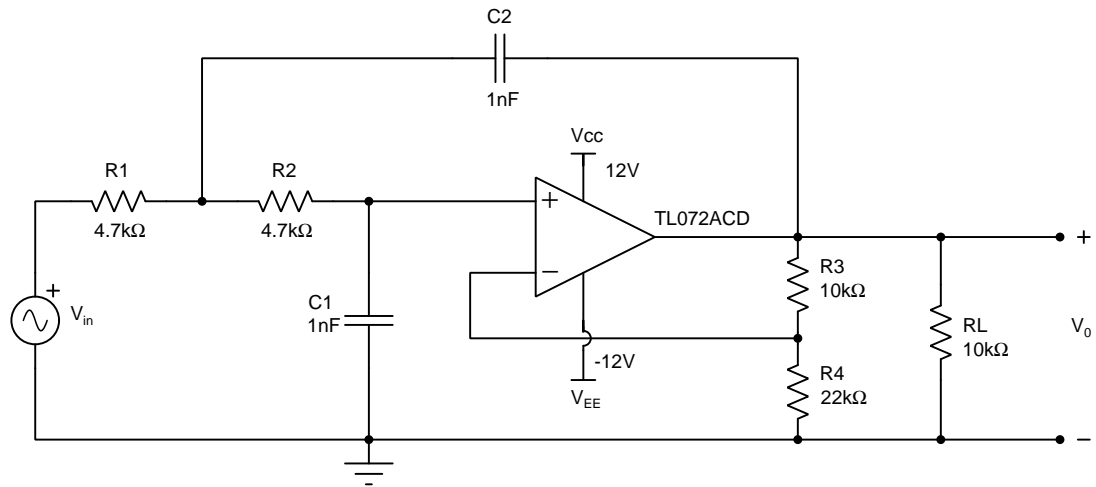


Figure 8.10: Chebyshev-II experiment circuit

Chebyshev-II filter in Figure 8.10 is 2nd degree lowpass filter circuit. The upper cut off frequency of this circuit is adjusted with C_1 , C_2 capacitors. R_3 , R_4 resistors set the gain of filter in passband.

8.4 Pre-Lab Simulations

1. Design 2nd degree Butterworth and Chebyshev-II filters with cut off frequency $f_c \cong 2\text{kHz}$ and 0dB gain in passband using Multisim software. Draw amplitude and phase diagrams. Declaratively state similarities and differences of your results with Figure 8.5 and Figure 8.6.
2. Compare group delays of filters that you designed using phase diagrams.

8.5 Experiment Tasks

8.5.1 Butterworth Filter

1. Construct the filter in Figure 8.9. Set input voltage to 1V with peak value and measure according to table below. Show your results to laboratory instructors. Find DC gain and cut off frequency of this circuit using measurement data.

Table 8.1: Experiment data of Butterworth filter

f [kHz]	V_0 [V]	V_{in} [V]	H
0.5			
1			
5			
15			
20			
25			
35			
50			
100			
200			
$f_H =$		$K_{DC} =$	

2. Draw frequency-amplitude response of this circuit using measurement data in Table 8.1. Vertical axis should be in dB and horizontal axis should be in kHz.

8.5.2 Chebyshev-II Filter

1. Construct the circuit in Figure 8.10. Set input voltage to 1V with peak value and measure according to table below. Show your results to laboratory instructors. Find DC gain and cutoff frequency of this circuit using measurement data.

Table 8.2: Experiment data of Chebyshev-II filter

f [kHz]	V_0 [V]	V_{in} [V]	H
1			
10			
20			
30			
35			
50			
100			
200			
500			
1000			
2500			
3500			
5000			
10000			
$f_H =$		$K_{DC} =$	

2. Draw frequency-amplitude response of this circuit using measurement data in table 8.2. Vertical axis should be in dB and horizontal axis should be in kHz.

8.6 Evaluation Questions

1. Draw amplitude response of Butterworth and Chebyshev-II filter with MATLAB using Table 8.1 and Table 8.2. Specify the upper cut off frequency for both circuits.
2. Compare Butterworth and Chebyshev-II filters from the point of main lobe width and side lobes.

8.7 Quiz Questions

1. A filter circuit can be constructed using passive components: resistors and capacitors, but an active filter additionally uses an amplifier to provide voltage amplification and signal isolation or buffering.
2. Butterworth filter is sometimes called a maximally flat filter, because it has no ripple in the passband or the stopband.

3. The number of cycles of ripple in the stopband is equal to the order of the Chebyshev filter.
4. An ideal low pass filter attenuates signals with a frequency lower than cut off frequency and passes signals with frequency higher than the cut off frequency.
5. The Chebyshev filter has a smaller transition region than the same order Butterworth filter. However, it waives the smoothness of the transition region.

9 WIEN BRIDGE and SINE OSCILLATOR DESIGN

9.1 Equipment List

Component	Quantity	Value
Opamp	1	TL072
Diode	2	1N4001
Resistor	2	47k Ω
Resistor	3	10k Ω
Capacitor	2	120pF

In this experiment positive feedback sine oscillator design will be learned. For this purpose Wien Bridge with opamp will be viewed.

9.2 Theoretical Information

Sine oscillation that designed for producing sinusoidal output voltage from DC input voltage, is used in many practical application. Sine oscillators which have many field of application such as modulator and demodulator circuits of wireless communication systems, AC power sources etc.; are basically comprised of amplifier circuit and feedback circuit with a filter. There are several sine oscillator in literatur as well as Wien Bridge with opamp will be discoursed in this experiment.

9.2.1 Non-inverting Amplifier Circuit

Non-inverting amplifiers transmit input voltage to the output with increasing its amplitude without phase inversion [3, 6, 11]. Non-inverting amplifier circuit schema is seen below.

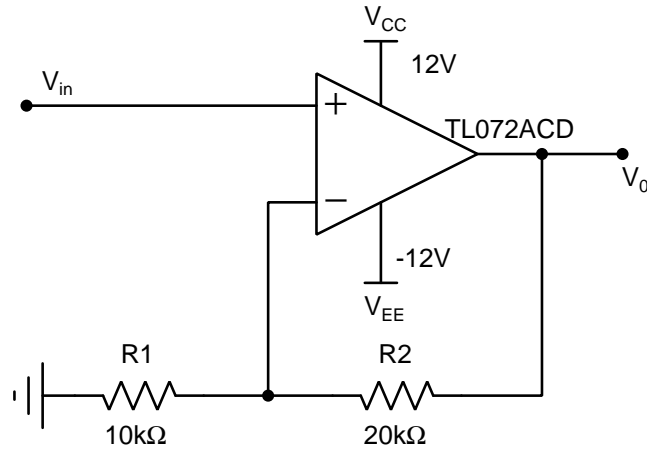


Figure 9.1: Non-inverting amplifier circuit

In the circuit in Figure 9.1, R_1 and R_2 resistors specify the gain of amplifier circuit and according to ideal opamp assumption output voltage statement is as shown in below.

$$V_o = \left(1 + \frac{R_2}{R_1}\right)V_{in} \quad (9.1)$$

Transfer function of amplifier circuit in Figure 9.1 is below accordingly to the equation 9.1 [6].

$$H(s) = 1 + \frac{R_2}{R_1} \quad (9.2)$$

It shouldn't be overlooked that when input voltage is applied to the circuit in Figure 9.1 during its static state, the circuit shows schmitt trigger properties in transient state time range.

9.2.2 Feedback Circuit

Feedback layer of sin oscillator circuits is filters. 1st degree passband filter which will be used in feedback layer is shown below.

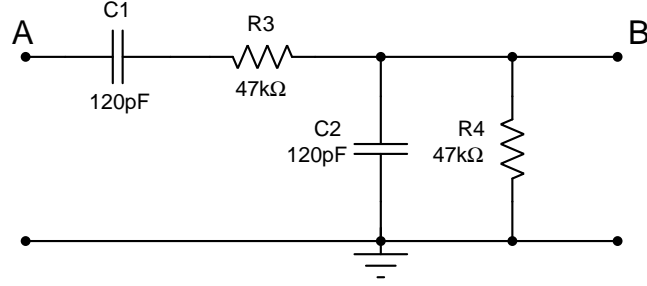


Figure 9.2: 1st degree band pass filter circuit

In Figure 9.2, A point is input knot and B point is output knot. Transfer function of filter circuit is as below [8, 11].

$$H_f(s) = \frac{Z_2(s)}{Z_1(s) + Z_2(s)} \quad (9.3)$$

$$Z_1(s) = R_3 + \frac{1}{sC_1} \quad (9.4)$$

$$Z_2(s) = \frac{R_4 \frac{1}{sC_2}}{R_4 + \frac{1}{sC_2}} \quad (9.5)$$

Frequency response of filter circuit in Figure 9.2 is shown in equation below as $R = R_3 = R_4$ and $C = C_1 = C_2$.

$$H_f(s) = \frac{j\omega RC}{1 - \omega^2 R^2 C^2 + 3j\omega RC} \quad (9.6)$$

The expressions below are in use if the input voltage is rectangular wave train.

$$V_A(t) = \sum_{n=0}^{N-1} \Pi(t - nT) \xrightarrow{F.S.} \sum_{k=-\infty}^{\infty} c_k e^{j2\pi n f_0 t} \quad (9.7)$$

In the expression above, T is period of rectangular wave train and f_0 is fundamental frequency of rectangular wave train. Fourier series of input voltage is sum of sinusoidal voltages. In the circumstances filtered output voltage is like below.

$$V_B(t) \cong A_{\omega_0} \cos(\omega_0 t + \theta_{\omega_0}) \quad (9.8)$$

Here, $\omega_0 = 2\pi f_0$ is centre frequency of bandpass filter and the amplitude of output signal A_{ω_0} is as stated below.

$$A_{\omega_0} = c_{\omega_0} |H(\omega_0)| \quad (9.9)$$

Phase delay of output signal is as shown below.

$$\theta_{\omega_0} = \angle H_f(\omega_0) \quad (9.10)$$

9.2.3 Sine Oscillator (Wien Bridge)

Sine oscillator circuit with positive feedback basically consists of amplifier circuit and filter circuit with feedback. Circuit schema is shown in Figure below.

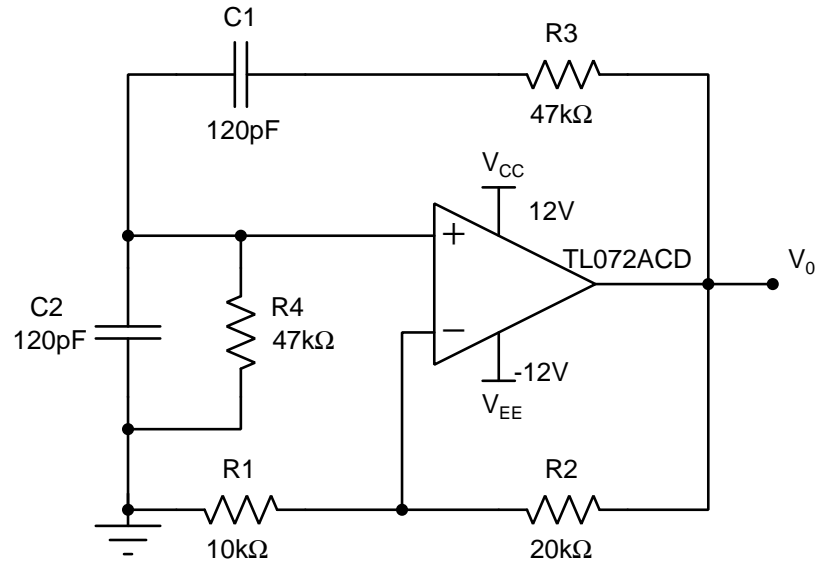


Figure 9.3: Wien Bridge

When supply voltage is applied to the circuit in Figure 9.3, because of noise signals between the input pins of opamp and potential difference welded nonidentity of input transistors of opamp, $V^+ - V^-$ expression is nonzero. When supply voltage is applied the moment that output voltage is $V_0 = 0$, non-inverting amplifier circuit will act as Schmitt Trigger in transient state time range and output voltage will increase from 0V to $\pm V_{CC}$. The output voltage which act as rectangular wave for a short time is applied

to feedback circuit that is also filtered with ω_0 centre frequency. The output voltage of bandpass filter will be in sinusoidal form accordingly to the equation 9.8. Therefore sinusoidal input voltage will applied to V^+ pin of non-inverting amplifier. In this case output voltage of non-inverting amplifier circuit will multiplied the gain statement in equation 9.2 and transmitted to the output. By this means oscillator circuit will produce sinusoidal signals.

9.2.4 Stability Analysis

To ensure that sine oscillator circuits generates output with peak value unchanging by time, stability analysis is necessary [8]. Otherwise peak value of output voltage can decrease or increase in time. Transfer function of Wien Bridge is shown below.

$$H_W(s) = \frac{j\omega RC H(s)}{1 - \omega^2 R^2 C^2 + 3j\omega RC} \quad (9.11)$$

When centre frequency of feedback circuit is $\omega_0 = \frac{1}{RC}$, then $1 - \omega^2 R^2 C^2 = 0$. In this case the transfer function of Wien Bridge will be like below.

$$H_W(s) = \frac{H(s)}{3} \quad (9.12)$$

The gain of Wien Bridge circuit must be 1 so that the oscillator circuit in Figure 9.3 can operate stable. Output voltages for different gain value can be seen in below.

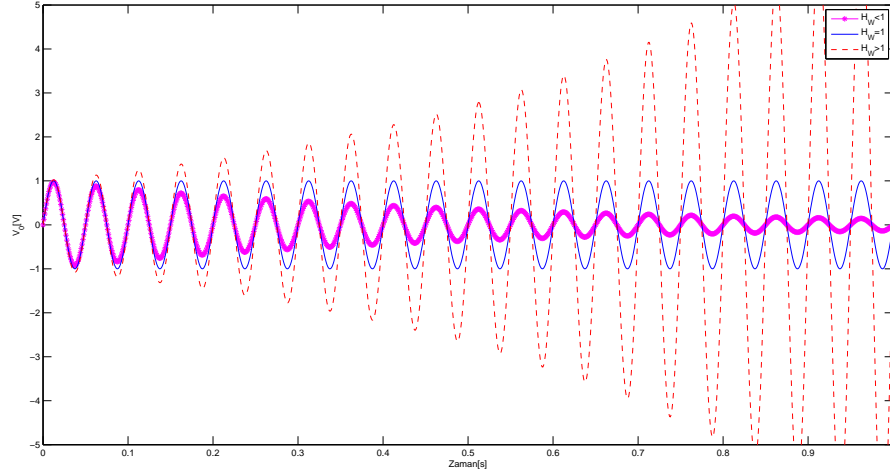


Figure 9.4: Output voltages for different gain values

9.3 Experiment Circuit

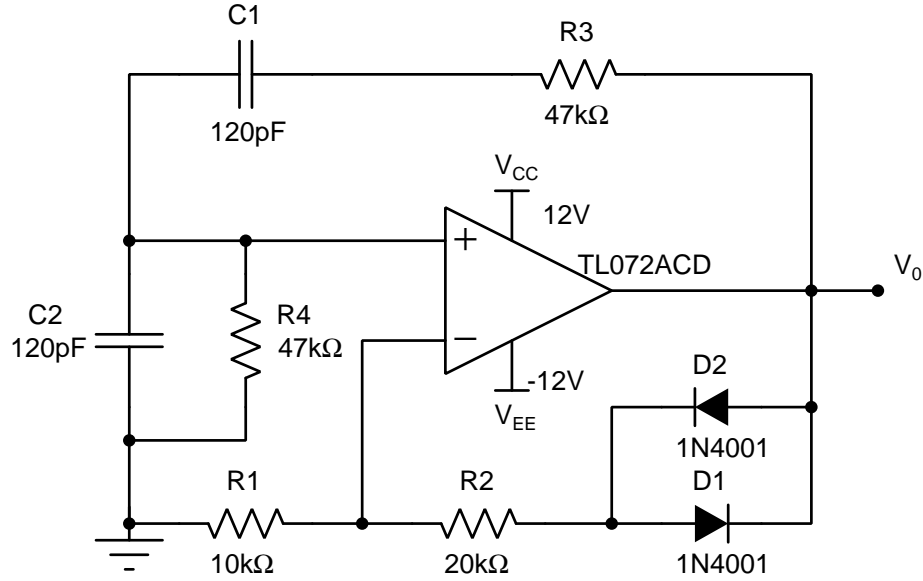


Figure 9.5: Experiment Circuit

In this experiment the Wien Bridge in Figure 9.5 will be constructed. For stable operating of the circuit in Figure 9.5, it is necessary that $H(s) = 1 + R_2/R_1 = 3$. However due to tolerance of resistor components, the equality $R_2/R_1 = 2$ is provided approximately. For this reason the output voltage can be unstable. To avoid this situation D1 and D2 diodes are used. If $R_2/R_1 > 2$, the D1 diode decreases the output voltage to $V_{D1} \cong 0.7V$, if $R_2/R_1 \leq 2$ then the D2 diode increases the output voltage to $V_{D2} \cong 0.7V$.

9.4 Pre-Lab Simulations

1. Find oscillation frequency (f_0) of the circuit shown in Figure 9.5.
2. Construct the circuit in Figure 9.5 using Multisim software. Obtain the output frequency by oscilloscope and compare with the value that is founded previous question.

9.5 Experiment Tasks

1. Construct the circuit in Figure 9.5. Set supply voltages to $\pm 12VDC$.
2. Obtain the output voltage on the oscilloscope screen and show it to laboratory instructors.
3. Measure the frequency and amplitude of output voltage and show your measurements to laboratory instructors.

9.6 Evaluation Questions

1. Interpret the images obtained from oscilloscope. Is the expected results in theory and Multisim software obtained?
2. Compare the output frequency obtained from experiment with the frequency obtained from Multisim software. Explain with reasons if they are different.

9.7 Quiz Questions

1. Wien Bridge oscillator is consist of a gain amplifier combined with a bandpass filter that provides positive feedback.
2. Sinusoidal oscillators comprise of crystals that have a fixed oscillation frequency, or amplifiers with RC or LC circuits that have adjustable oscillation frequencies.
3. In contrast to the inverting amplifier, non-inverting amplifier circuit displays a very high input resistance because of the type of feedback used.
4. The preferability of negative feedback is higher than positive feedback, because it reduces circuit tolerances and helps preventing frequency distortion.
5. Stability analysis is necessary to provide that sine oscillators generate output voltage with a peak value unchanging by time.

References

- [1] D. Hart. *Power Electronics*. McGraw-Hill Education, 2010.
- [2] Branko Dokic, Branko L ; Blanusa. *Power electronics: Converters and Regulators*. Cham: Springer, 2015.
- [3] Ned Mohan, Tore M. Undeland, and William P. Robbins. *Power Electronics. Converters, Applications and Design*. John Wiley and Sons, Inc, 2003.
- [4] M. Rashid. *Power Electronics Handbook*. Elsevier Science, 2011.
- [5] R.L. Boylestad and L. Nashelsky. *Electronic Devices and Circuit Theory*. Prentice Hall, 2012.
- [6] Paul R. Gray and Robert G. Meyer. *Analysis and Design of Analog Integrated Circuits*. John Wiley & Sons, Inc., 1990.
- [7] R.C. Jaeger and T.N. Blalock. *Microelectronic Circuit Design*. McGraw-Hill Higher Education, 2008.
- [8] M. Rashid. *Microelectronic Circuits: Analysis & Design*. Cengage Learning, 2010.
- [9] Adel S. Sedra and Kenneth C. Smith. *Microelectronic Circuits Revised Edition*. Oxford University Press, Inc., 2007.
- [10] R.W. Erickson and D. Maksimovic. *Fundamentals of Power Electronics*. Springer US, 2001.
- [11] B. Razavi. *Fundamentals of Microelectronics*. Wiley, 2008.
- [12] P. Horowitz and W. Hill. *The Art of Electronics*. Cambridge University Press, 1995.
- [13] Jonathan Y. Stein. *Digital Signal Processing: A Computer Science Perspective*. Wiley, 2000.
- [14] A.V. Oppenheim, A.S. Willsky, and S.H. Nawab. *Signals and Systems*. Prentice Hall, 1997.
- [15] L.D. Thede. *Practical Analog and Digital Filter Design*. Artech House, 2005.