

PCB 设计

2015.06.30





目录



汇总确认影响**PCB**设计因素

PCB设计

项目团队**PCB**设计评审

PCB制作和**SMT**

工程测试和可靠性测试

PCB设计总结





汇总确认影响PCB设计因素



汇总确认影响PCB设计因素

PCB设计是整个产品开发过程中的一个重要环节，要做好**PCB**的设计，首先要熟悉整个产品的开发过程，因为在**PCB**设计过程中并不是简单按照原理图做出相应的**Layout**，而是一个瞻前顾后、贯穿整个开发过程的工作内容。**PCB**设计之前要汇总并确认影响**PCB**设计的因素。

- 硬件开发流程。
- 原理图设计确认。
- 元器件选型。
- **PCB**板的结构确认。
- 特殊功能设计要求。
- **PCB**设计技术准备汇总。



硬件开发流程

◆ 硬件开发流程

产品硬件的开发，首先要明确产品的硬件需求，如**CPU**处理能力、存储容量及速度、电路的功耗要求、整体性能要求的标准等。其次，根据需求分析制定硬件总体设计方案，寻求关键物料的技术资料，要充分的考虑技术可能性、可靠性和成本控制，关键器件索取样品。总体方案确定后，做硬件和单板软件的详细设计，包括绘制硬件原理图、单板软件框图及编码、**PCB**布线同时完成开发物料清单及其他技术文档。

PCB制作完成后，在生产端进行**SMT**或手焊操作，然后硬件工程师做单板调试或整机调试，对设计中的各种功能进行测试，这个过程需要软件硬件联调，不同的产品可能会需要射频工程师、光学工程师或声学工程师的配合调试，另外可靠性测试也是非常重要的测试内容。待所有测试汇总，作总结，为下一轮试产变出变更设计清单。一般经过调试和测试后，原理图和**PCB**布线都会有变更。按照项目的进度，多次试产，硬件设计完成开发过程。



硬件开发流程

在整个硬件设计的开发过程中，**PCB**板是整个产品的载体，**PCB**板有问题，所有的其他工作都无法正常开展，同样，任何一个环节都可能会对**PCB**的设计产生变更要求，所以**PCB**设计是一个整体性的工作，需要设计人员有丰富的项目经验。



原理图设计确认

◆ 原理图设计确认

PCB的设计基于硬件原理图，项目开发前期，设计出初版的硬件原理图，根据之前的项目经验，完成初稿后，一定要详细的自审，在没有连接错误的前提下，检查确认是否有逻辑性设计错误，对每个器件的每个引脚都要按照其规格书做准确的配置，特别是**BGA**封装的器件，如果某个引脚连接错误，不能手动跳线纠正，可能会直接导致整个试产的失败。

自审无误后，要组织项目团队的评审，这个过程非常重要，可以借鉴其他工程师的设计经验，团队讨论，更改后，确定原理图版本。



元器件选型

◆ 元器件选型。

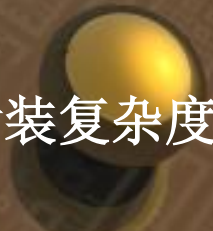
这项工作和原理图的设计同步交叉进行。可以分为几类器件。

- 主芯片，如**CPU**、**DSP**、专用**IC**等。
- 功率器件，如**LDO**、**DCDC**、变压器等。
- 保护类元器件，如**ESD**、保险丝、**PMU**器件、**OCP OVP**器件等。
- 定制元器件，如一些特殊尺寸的接插件、电池、铜箔等。
- 常规**RCL**器件。



元器件选型

一般在进行元器件选型时，会遵循一定的原则。

- 普遍性原则：所选的元器件是被广泛使用验证过的，尽量少使用冷门、偏门芯片，减少开发风险。
 - 高性价比原则：在功能、性能、使用率都相近的情况下，尽量选择价格比较好的元器件，降低成本。
 - 采购方便原则：尽量选择容易买到、供货周期短的元器件。
 - 持续发展原则： 尽量选择在可预见的时间内不会停产的元器件,不要选用停产的器件,优选生命周期处于成长期、成熟期的器件。
 - 可替代原则： 尽量选择兼容芯片品牌比较多的元器件。
 - 向上兼容原则： 尽量选择以前老产品用过的元器件。
 - 资源节约原则： 尽量用上元器件的全部功能和管脚。
 - 便于生产原则： 在满足产品功能和性能的条件下，选择封装复杂度低的型号，降低生产难度，提高生产效率。
- 



PCB板的结构确认

◆ PCB板的结构确认

PCB设计之前，要同结构设计师确认**PCB**板的结构参数。

- **PCB**的外形板框和板厚。异形尺寸的**PCB**可能会对布线造成一定的困难，这需要**EE**和**ME**的相互配合，双方可能需要做一定的设计变更和妥协。
- **PCB**的板材。一般可简单分为刚性板和柔性板。**FR-4**为主流的刚性板，**FPC**为主流的柔性板。另外还有纸基板、铝基板、复合基板等。
- 禁步区域和局部区域限高。这个点需要特别的注意，因为如果双方沟通有误，可能会导致耗时耗力的设计返工。尤其是近几年发展较快可穿戴电子产品，产品的体积越来越小，但是功能越来越丰富，因此**PCB**设计和结构设计是一个非常大的挑战，器件选型和布局在**PCB**布线之前要有好的规划。



PCB板的结构确认



- 特殊元器件的摆放区域，例如接插件、开关按键、天线、**LED**灯、焊线焊盘。这些元器件跟结构的组装和生产工艺密切相关，一定要让结构工程师给出准确的定位位置。
- 结构方面的特殊要求，例如**FPC**的局部补强，定位孔、螺丝孔的摆放和大小。

以上的结构影响因素，待**PCB**设计器件摆放完成之后，布线之前，如果条件允许，导出**3D**文件，让结构工程师用工具软件模拟组合装配，检查是否没有结构干涉。





特殊功能设计要求

◆ 特殊功能设计要求

- 射频设计。对于射频电路，信号线的走向、宽度、线间距的不合理设计，可能造成交叉干扰；另外，系统电源自身还存在噪声干扰，所以在设计射频电路**PCB**时一定要综合考虑，合理布线。具体的布线需要射频工程师的协助。
- 声学设计。注意板级干扰噪声、耦合噪声以及不合理布线造成的地环路噪声等。
- 各种**Sensor**的设计。敏感信号的设计规划，要在布线之前有规划。

PCB设计技术准备汇总

◆ PCB技术准备汇总

完成上述的技术准备，下一步就可以进行布线。在实际的项目中，前期的工作准备的充分，会起到事半功倍的效果。一定不要急于为了尽快的完成PCB的制作，疏忽了前期的技术储备工作，如果由于失误造成二次投板，得不偿失。

工欲善其事，
必先利其器！





PCB设计



PCB设计

现在可以进行实际的**PCB**布线工作，这是一个复杂且繁琐的工作，不但需要设计人员要有丰富的专业知识，而且要有充分的耐心。因为设计一块好的板子，不是几天就可以完成的，复杂的板子，第一轮设计工作可能需要十几天，甚至几十天，期间要不断地评审和修改，如果第一轮设计工作做得好，只要设计不变，后期的**PCB**改动可能只是在第一版的基础之上小修小补，大大减轻后面的工作量，而且每一轮的试产都有传承性，设计的可控性会更好。



PCB设计

优秀的**PCB**设计工程师，在**PCB**板的每个角落，都体现着他的丰富的理论知识和经验。 **PCB**设计，有其技术上的设计规范，有技术层面的，有工艺层面的。

- **PCB**设计中的通用规范性要求。
- **PCB**设计中的**EMC**要求。
- **PCB**设计中的模数混合设计。
- 信号完整性设计（**SI**）。
- 电源完整性设计（**PI**）。
- 高速**PCB**设计（布局布线）。
- 叠层阻抗设计。




PCB设计中的通用规范性要求



◆ PCB设计中的通用规范性要求。

在几乎所有的PCB的设计中，无论其复杂程度，一些简单的设计规范都可以通用。

- 封装库的建立。
 - 元器件的布局规则。
 - 布线的通用规则。
 - 过孔的作用和影响。
 - 测试点的要求。
 - 铺铜的要求。
 - 拼版的设计要求。
 - 工艺要求。
- 

封装库的建立

● 封装库的建立

元器件选型后，在布线之前要建立元器件的封装库。

通用元器件尽量使用之前验证过的封装，降低风险。

特殊的元器件，要严格遵循规格书上的推荐焊盘尺寸来制作**PCB**封装，如果有必要，要同生产端沟通确认，结合实际的生产工艺，来确认封装尺寸。尤其是**BGA**器件的封装，**BGA**的焊点不能用肉眼检测，只能采用**X**射线等装置检测。

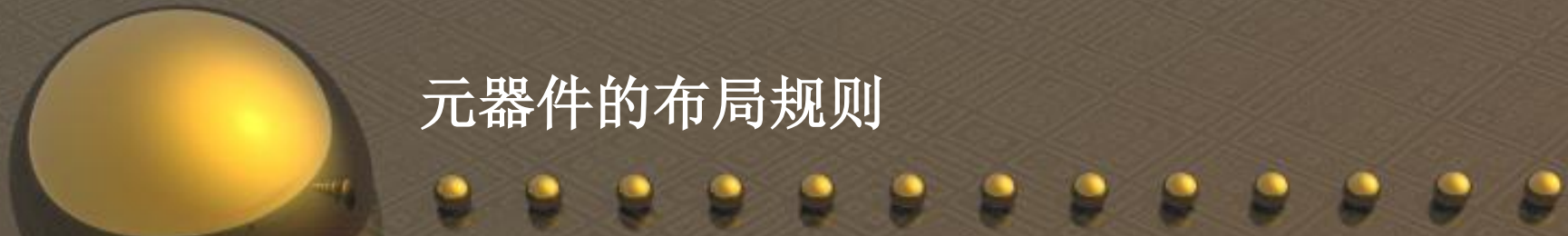
在**PCB**布线完成后，最好按照原理图仔细检查每个元器件的封装是否正确，根据之前的经验，在元器件较多的产品设计中，初版的**PCB**很容易出现由于设计疏忽造成的封装与元器件不匹配，尽量避免这种失误。



元器件的布局规则

● 元器件的布局规则

元器件布局 要求较多的是从结构、散热、电磁干扰、将来布线的方便性等方面综合考虑。元器件布局的一般原则是：先布置与机械尺寸有关的器件并锁定这些器件，然后是占空间较大的器件和电路的核心器件，再就是外围器件。

- ✓ 机械结构方面的要求：外部接插件、显示器件等放置要整齐，定位一定要准确。
 - ✓ 禁步和限高区域布局要求：与内部结构干涉的禁步和限高区域要提前避让。
 - ✓ 电源部分的布局要求：电源部分的布局，要考虑整个板级的供电路径，做到电源线路尽量短，避免出现绕线或环路等易产生干扰的路径。
 - ✓ 散热方面的要求：板上有发热较多的器件放置要考虑散热的问题，晶振等器件要远离热源。
- 



元器件的布局规则

- ✓ 电磁干扰方面的要求：元器件在电路板上排列的位置要充分考虑抗电磁干扰问题，原则之一是各元器件之间的引线要尽量短。在布局上。要把模拟信号、高速数字电路、噪声源（如时钟电路、大电流功耗电路、**LED**驱动电路）这三部分合理的分开，使相互之间的信号耦合最小。
- ✓ 随着电路设计的频率越来越高，**EMI**对线路板的影响越来越突出。除了常规的磁环、滤波电容等措施，有的关键电路设置还要加金属屏蔽罩。
- ✓ 布线方面要求：在元器件布局时，必须全局考虑电路板上的布线，一般的原则还是布线最短，有网络连接的元器件尽量放置在一起。


整个布局在满足电气性能参数的前提下，应当做到元器件排列、分布合理美观。






布线的通用规则

● 布线的通用规则

- ✓ 从减小辐射干扰的角度出发，应尽量选用多层板，内层分别作为电源层、地线层，用以降低供电线路阻抗，抑制公共阻抗噪声，对信号线形成均匀的接地面，加大信号线和接地面间的分布电容，抑制向空间辐射的能力。
 - ✓ 电源线、地线、信号线对高频信号应保持低阻抗。在频率很高的情况下，电源线、地线或信号线都会成为接收与发射干扰的小天线。降低这种干扰的方法除了加滤波电容外，布线的合理性也同样重要，布线要减小电源线、地线及信号线本身的高频阻抗，走线要短、线条要均匀。
 - ✓ 电源线和信号线要减小与回线所形成的环路面积，降低接受外界干扰和向外界干扰的几率。
- 



布线的通用规则

- ✓ 晶振电路要尽量靠近用到时钟的器件，晶体外壳接地良好，时钟区附近要包地处理，走线尽量短而直。
 - ✓ 石英晶体和其他对噪声敏感的器件，附近和下面尽量不要放置其他元器件和布线。
 - ✓ 电源线、地线尽量粗。
 - ✓ 关键的信号线两边加上保护地。
 - ✓ 元件的引脚尽量短，尤其是去耦电容和滤波电容，首选贴片器件。
 - ✓ 对A/D类器件，数字部分和模拟部分的地要隔离。
 - ✓ 模拟电压输入线、参考电压要尽量远离数字电路信号线，特备是时钟。
 - ✓ 时钟线和高速信号线走线尽量不要平行于其他走线。
 - ✓ 任何信号都不要形成环路，如果不可避免，让环路尽量小。
- 




过孔的作用和影响

● 过孔的作用和影响


过孔是多层**PCB**的重要组成部分之一，从作用上看，过孔可以分为两类：一是用作各层间的电气连接；二是用作器件的固定或定位。从工艺制程上讲，过孔一般分为三类，即盲孔、埋孔和通孔。通孔在工艺上更易于实现，成本较低，所以在能够满足设计的前提下，优先选择过孔。

在高速、高密度的**PCB**设计时，设计者总是希望过孔越小越好，这样板上可以有更多的布线空间，此外，过孔越小，其自身的寄生电容也越小，更适合高速电路。但是过孔的尺寸大小受到钻孔和电镀等工艺技术的限制，现在通用的工艺做到的最小尺寸为：盲孔**4mil/12mil**，通孔和埋孔**8mil/16mil**。






过孔的作用和影响



孔本身存在着对地的寄生电容，如果已知过孔在铺地层上的隔离孔直径为 $D2$ ，过孔焊盘的直径为 $D1$ ，PCB板的厚度为 T ，板基材介电常数为 ϵ ，则过孔的寄生电容大小近似于： $C=1.41 \epsilon T D1/(D2-D1)$ ，过孔的寄生电容对电路造成的主要影响是延长了信号的上升时间，降低了电路的速度。尽管单个过孔的寄生电容的引起的上升延变缓的作用不是很明显，但是如果走线中有多个过孔，设计者还是要慎重考虑。

同样，过孔也存在这寄生电感，在高速数字电路的设计中，过孔的寄生电感带来的危害往往大于寄生电容的影响。它的寄生串联电感会削弱旁路电容的贡献，减弱整个电源系统的滤波作用。如果已知过孔的长度为 h ，钻孔的直径为 d ，则过孔的寄生电感近似于： $L=5.08h[\ln(4h/d)+1]$ ，从式中可以看出。过孔的直径对电感的影响较小，对电感影响最大的是过孔的长度。





过孔的作用和影响

通过上面对过孔寄生特性的分析，我们可以看到，在高速**PCB**设计中，看似简单的过孔往往也会给电路的设计带来很大的负面效应。为了减小过孔的寄生效应带来的不利影响，在设计中可以尽量做到：

1. 从成本和信号质量两方面考虑，选择合理尺寸的过孔大小。对于电源或地线的过孔则可以考虑使用较大尺寸，以减小阻抗。
2. 上面讨论的两个公式可以得出，使用较薄的**PCB**板有利于减小过孔的两种寄生参数。
3. **PCB**板上的信号走线尽量不换层，也就是说尽量不要使用不必要的过孔。
4. 电源和地的管脚要就近打过孔，过孔和管脚之间的引线越短越好，因为它们会导致电感的增加。同时电源和地的引线要尽可能粗，以减少阻抗。
5. 在信号换层的过孔附近放置一些接地的过孔，以便为信号提供最近的回路。

测试点的要求

● 测试点的要求

关键信号需要在**PCB**上预设测试点。主要用于工程调试和产线测试。测试点的放置有一定的要求。

- ✓ 尽量将测试点同用于测试的焊盘尽可能的安排于**PCB**的同一面上，既便于检测，又利于减低检测所花的费用。
- ✓ 测试点距离**PCB**边缘需大于**5mm**。
- ✓ 测试点不能被阻焊剂或文字油膜遮盖。
- ✓ 测试点需放置在元件周围**1mm**之外，防止探针在测试时由于精度误差，撞击元器件。
- ✓ 测试点需放置在定位孔环状周围**3mm**之外。
- ✓ 测试点的直径和相邻测试点的间距不能太小，具体的放置最小间距最好要跟工厂的测试端沟通确认。



铺铜的要求


● 铺铜的要求

PCB中铺铜一般为大面积的地网络铺铜或内电层中的不同的电源网络铺铜，但一般平时所说的铺铜指的是地网络铺铜。通常铺铜有几个主要原因：首先是增大地线面积，有利于地线阻抗降低，使电源和信号传输稳定，在高频的信号线附近敷铜，可大大减少电磁辐射干扰。总的来说增强了**PCB**的电磁兼容性，提高板子的抗干扰能力。还有的是为了散热或固定元器件。还有**PCB**工艺要求。一般为了保证电镀效果，或者层压不变形。

- ✓ 为了提高系统的可靠性，尽量大面积的铺地，特别是弱信号和晶振信号周围。
- ✓ 尽量保证铺地的连续性，在布线的过程中，要尽量避免其他信号线将大面积的铺地割开。




铺铜的要求

- ✓ 如果PCB的地较多，有SGND、AGND、GND等，要根据PCB板面位置的不同，分别以最主要的“地”作为基准参考来独立铺铜，然后采用单点连接方式。
 - ✓ 对于不同地的单点连接，通常是导线直连、0欧姆电阻或者磁珠连接。
 - ✓ 孤岛问题，在铺铜完成后，要检查有没有孤岛，要添加过孔连接大地或删除。
 - ✓ 在开始布线时，应该把地线走好，不能只依靠铺铜后添加过孔来连接没有铺好的地引脚。
 - ✓ 在板子上最好不要有尖角出现，从电磁学的角度讲，这构成了发射天线。
 - ✓ 手动连接，在自动铺铜结束后，有些铜皮由于铺铜参数设置的原因，会没有连接，需要设计人员仔细的检查并手动连接。
- 



铺铜的要求

- ✓ 铺铜时选择大面积铺铜还是网格铺铜，大面积铺铜，具备了加大电流和屏蔽双重作用，但是大面积铺铜过波峰焊时，板子可能会翘起来，甚至会起气泡。但是现在基本上都是高密度板，板子上都有大量地过孔，所以直接用大面积铺铜即可，近似于网状铺地。
 - ✓ 对模拟电路来说，地线的处理相当重要。如功放电路，很微小的地噪声都会因为后级放大而对音质产生严重的影响；又如高精度的A/D转换电路中，如果地线上有高频干扰存在将会是放大器产生温飘，影响工作。
 - ✓ 多层板布线时，当信号线与地线层相邻布线时，信号线层有剩余的走线，应当首先考虑在电源层上布完，而保留完整的地线层。
- 




拼板的设计要求

● 拼板的设计要求

拼板尺寸设计，是对设计的**PCB**单板进行拼合，进行**PCB**的生产制作和**SMT**操作，要结合**PCB**工厂设备的加工能力和**SMT**设备的生产能力，设计出板件质量最优化、生产成本最低、生产效率最高、板材利用率最高的拼板尺寸。

设计过程中要注意连襟的位置是否与某些接插件干涉，例如**USB**口处不能加连襟，因为**USB**口一般会延伸到板边框之外，分板工装不能加工。还要注意连襟的整体分布要保证板子的受力面均匀。



工艺要求

● 工艺要求

这里讲的工艺要求有两方面，一是**PCB**板厂的生产工艺标准，二是**SMT**加工工厂的工艺标准。在**PCB**的设计过程中，如果有特殊的设计，一定要跟**PCB**板厂和**SMT**工厂沟通确认，不确定的地方，切不可闭门造车，可能会造成无用的重复返工。

待产品组装完成测试后，要将**PCB**工厂、**SMT**加工端和产品组装端反馈回来的意见汇总，最好以会议的形式，项目团队沟通，因为更改**PCB**设计可能会对整个产品的其他设计产生影响。



PCB设计中的EMC要求


◆ PCB设计中的EMC要求

电磁兼容性（**EMC**）是指设备或系统在其电磁环境中符合要求运行并不对其环境中的任何设备产生无法忍受的电磁干扰的能力。因此，**EMC**包括两个方面的要求：一方面是指设备在正常运行过程中对所在环境产生的电磁干扰不能超过一定的限值；另一方面是指设备对所在环境中存在的电磁干扰具有一定程度的抗扰度，即电磁敏感性。即**EMC**包含**EMI**（电磁干扰）和**EMS**（电磁敏感性）两个方面。

EMI分类：**CE**（传导干扰），**RE**（辐射干扰）。

EMS分类：**ESD**(静电放电)，**RS**（辐射耐受），**EFT/B**(快速脉冲耐受)，**surge**（雷击），**CS**（传导耐受）等等

以上的各种试验都要由专门的实验室进行测试。是电子类商品进入市场前要取得认证的必要条件。





PCB设计中的EMC要求

干扰源与受干扰源:

无论何种情况下电磁相容的问题出现总是存在两个互补的方面：一个是干扰发射源和一个为此干扰敏感的受干扰设备。如果一个干扰源与受干扰设备都处在同一设备中称为系统内部的**EMC** 情况。不同设备间所产生的干扰状况称为系统间的**EMC** 情况。

大多数的设备中都有类似天线的特性的零件，如电缆线、**PCB** 布线、内部配线、机械结构等这些零件透过电路相耦合的电场、磁场或电磁场而将能量转移。

实际情况下设备间和设备内部的耦合受到了屏蔽与绝缘材料的限制，而绝缘材料的吸收与导体相比的影响是微不足道的。电缆线对电缆线的耦合既可以是电容性也可以是电感性并且取决于方位、长度及接近程度的影响。



PCB设计中的EMC要求

任何**EMC**问题的处理都是围绕三要素进行的：1、降低干扰源；2、切断或削弱传播途径；3、提高设备的抗干扰能力。通常来讲，合理的**PCB**设计是消除多数**RF**干扰的最经济有效的途径。有源器件是所有辐射的源头。**PCB**设计所要做的是将电磁场能量限制在需要它们的地方。

通过必要的布局、布线以及采取屏蔽、接地措施来提高设备的抗干扰能力；在三要素的对策中切断干扰的传播途径是最重要的一环。在单板上可采取以下措施来切断耦合路径或者减少耦合：

对应传导耦合：加滤波电容、滤波器、共模线圈、使用隔离变压器等。

对应辐射耦合：相邻层垂直走线、加屏蔽地线、磁性器件合理布局、正确层分布、辐射能力强或者敏感信号布内层、使用**I/O**双绞线、辐射能力强的信号远离板边缝隙等。从产品**EMC**设计的对策、手段来分，通常采用的不外乎接地、屏蔽、滤波三种。下面重点对**PCB**的**EMC**设计给予介绍。

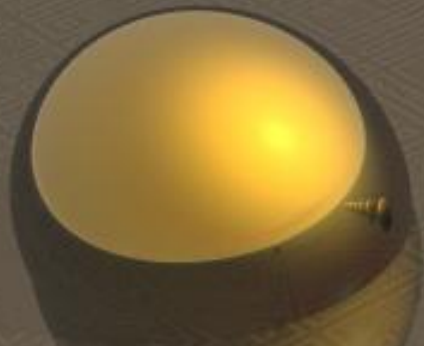
布局

● 布局

在PCB的EMC设计考虑中，首先考虑的是层的设计，根据单板的电源、地的种类、信号密度、板级工作频率、有特殊布线要求的信号数量，以及单板的性能指标要求与成本承受能力，确认单板的层数；对于EMC指标要求较严格，而成本能承受的情况下，适当增加地平面是EMC设计的有效方法。

电源、地的层数及信号层数确定以后，它们之间的相对排布位置有一定的设计规则。四层板的分布方案，优选方案1：

方案	电源层数	地层数	信号层数	1	2	3	4
1	1	1	2	S	G	P	S
2	1	1	2	G	S	S	P
3	1	1	2	S	P	G	S



布局



在方案1中，关键器件和关键信号优先放置在**Top**层，第二层尽量保证完整的地平面。这是很多设计中经常使用的方案。

为了达到一定的屏蔽效果，有的设计会把电源、地平面放在**Top**、**Bottom**层，即选用方案2，此方案为了达到想要的屏蔽效果，但也存在一定的缺点：电源、地相聚较远，电源平面阻抗较大；电源、地平面由于元件焊盘的影响，不完整；由于参考面不连续，信号阻抗不连续。

方案3与方案1类似，适用于主要器件和主要信号底层布线的情况。



布局


六层板的分布方案，优选方案3，可用方案1，备用方案2和方案4。

方案	电源	地	信号	1	2	3	4	5	6
1	1	1	4	S1	G	S2	S3	P	S4
2	1	1	4	S1	S2	G	P	S3	S4
3	1	2	3	S1	G1	S2	P	G2	S3
4	1	2	3	S1	G1	S2	G2	P	S3

方案3，使电源层和地层紧密耦合；每个信号层都与内电层相邻，没有直接相邻的信号层，避免了层间信号的串扰。

在成本要求较高的时候，可采用方案1，优选布线层S1、S2，其次S3、S4，与方案1相比，方案2保证了电源与地平面相邻，减少电源阻抗，但S1、S2、S3、S4都露在外面，只有S2有比较好的参考平面。

对于局部、少量信号要求较高的场合，方案4比方案3更合适，S2信号能保证较高的质量。




布局


八层板的分布方案，优选方案2、3，可用方案1。

方案	电源	地	信号	1	2	3	4	5	6	7	8
1	1	2	5	S1	G1	S2	S3	P	S4	G2	S5
2	1	3	4	S1	G1	S2	G2	P	S3	G3	S4
3	2	2	4	S1	G1	S2	P1	G2	S3	P2	S4
4	2	2	4	S1	G1	S2	P1	P2	S3	G3	S4
5	2	2	4	S1	G1	P1	S2	S3	G2	P2	S4

对于单电源的情况，方案2比方案1减少了相邻布线层，增加了主电源与对应地相邻，保证了信号层与地平面相邻，但是，少了一层布线层。

对于双电源的情况，推荐使用方案3，方案3兼顾了无相邻布线层、层压结构对称、主电源与地相邻等优点。



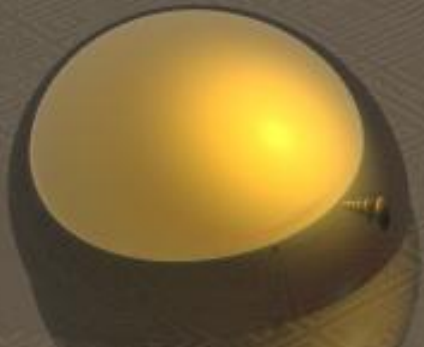


布局


方案4，无相邻布线层、层压结构对称，但电源平面阻抗较高，应适当加大3-4、5-6的间距，缩小2-3、6-7之间的层间距。

方案5，与方案4相比，保证了电源、地平面相邻，但S2、S3相邻，S4以P2作参考平面，适用于底层布线较少，S2、S3之间的线间串扰能控制的情况。

对于一般的产品，8层板基本上可以满足布线要求，对于10层及以上的设计，这里不再一一列举，可以参考以上的布线原则进行设计。但是以上的层设计只是作为一般原则，具体设计过程中要根据需要的电源层数、布线层数、特殊布线要求的信号的数量、以及电源、地的分割情况，结合以上的设计原则灵活处理。




布局



确定了**PCB**的层设计，然后再就是器件的布局，前面已经介绍了**PCB**器件布局的一些通用原则，在应用这些布局原则的前提下，也要根据实际的设计情况，合理的做出彼此间的让步。如果在布线之前。整个**PCB**的布局设计合理，在布线时会比较舒服，还会关系到板子整体形象所以一点要花大力气去考虑。


但是布局也不是不变的，在布线过程中，要不断地调整布局。还要和结构方面不断沟通，如果完成布局和布线之后，发现与结构干涉，需要改动，我认为这是非常痛苦的，之前有过经验教训，特别是板子空间小，层数多的情况下，更加困难，设计人员也许会有想推倒重来的想法，所以经验丰富的设计人员在布线之前，会根据设计经验设计出一个好的布局。




布线


● 布线

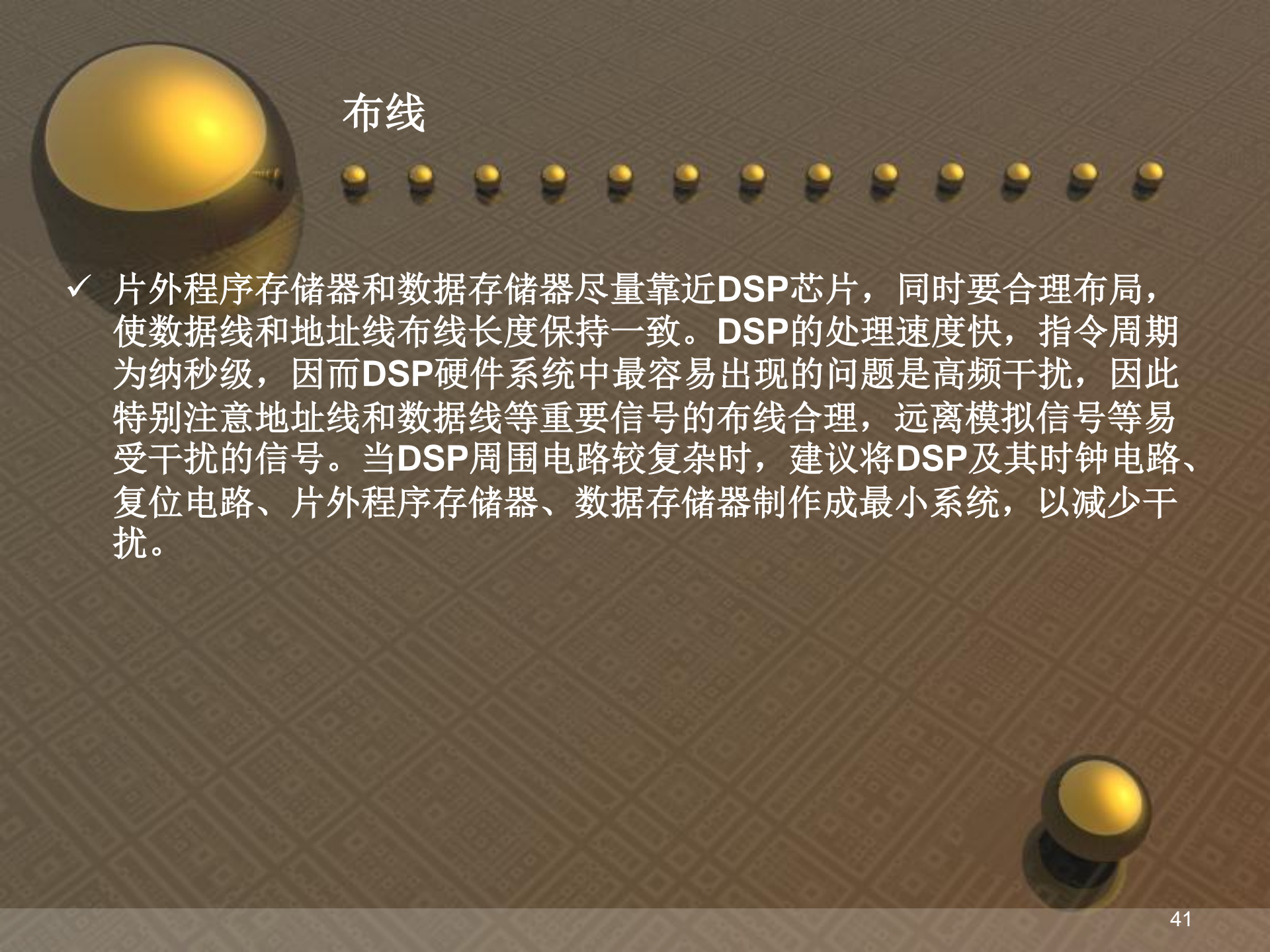
布局完成后，就是最重要的布线工作了，前面已将介绍了布线的一些通用原则，在这里只是着重讲解高频信号的布线技巧。

- ✓ 高频电路的元器件密度高，布线密度大，采用多层板的内层信号层布线，是降低干扰的有效方法。
 - ✓ 高频电路器件管脚间的引线弯折越少越好。高频电路布线的引线最好采用直线，需要弯折，可用45度折线或圆弧转折，这样可以减少高频信号对外的发射和相互间的耦合。
 - ✓ 高频电路器件管脚间的走线越短越好。
 - ✓ 高频电路器件管脚间的走线层间交替越少越好，这样会减少过孔的数量，前面介绍过过孔带来的寄生电容的影响，如果过孔过多，会影响高频信号的质量。
- 

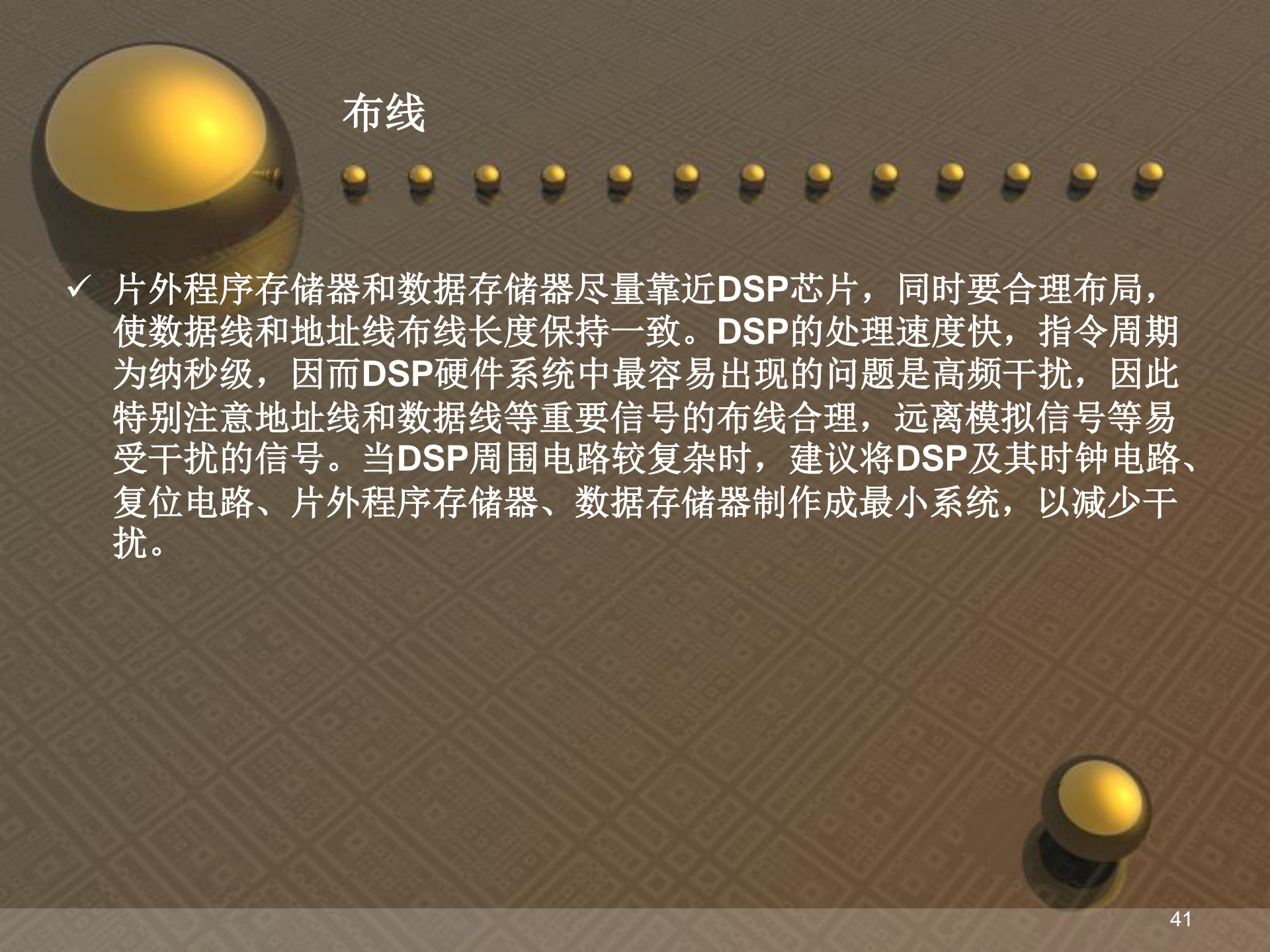


布线

- ✓ 不同的高频电路布线要尽量避免平行走线，会引入交叉干扰，若无法避免平行走线，在不同的信号之间和底部要布置大面积的地网络铜皮，来减少干扰。同一层内的平行走线，有时会不可避免，但是相邻的两个层，走线的方向一定要垂直。
 - ✓ 对特别重要的信号或局部单元做地线包围，也是常用的有效的处理方法，特别是时钟单元的包地处理。
 - ✓ 信号线不能形成环路。
 - ✓ 高频电路模块的电源部分一定要设置去耦电容，有时功率较大的芯片会需要多达十几个的去耦电容，在这部分的设计时，芯片的规格书一般会有去耦电容的推荐电路，设计过程中要将高频电路模块的电源耦合干扰降到最低。
 - ✓ 模拟地线与数字地线，分开布置后，接往公共地时可以串联一个高频铁氧体磁珠。
- 



布线

- ✓ 片外程序存储器和数据存储器尽量靠近**DSP**芯片，同时要合理布局，使数据线和地址线布线长度保持一致。**DSP**的处理速度快，指令周期为纳秒级，因而**DSP**硬件系统中最容易出现的问题是高频干扰，因此特别注意地址线 and 数据线等重要信号的布线合理，远离模拟信号等易受干扰的信号。当**DSP**周围电路较复杂时，建议将**DSP**及其时钟电路、复位电路、片外程序存储器、数据存储器制作成最小系统，以减少干扰。
- 

常用的EMI滤波器件

● 常用EMI滤波器件

EMI信号滤波器是用在各种信号线（包括直流电源线）上的低通滤波器，它的作用是滤除导线上各种工作所不需要的高频干扰成分。由于专用EMI器件的价格逐渐降低，进行产品接口滤波电路设计时，主要采用专用EMI抑制器件构成滤波电路，这些器件包括电容、铁氧体磁珠、共模扼流圈等。



PCB设计中的模数混合设计



◆ PCB设计中的模数混合设计

高速PCB的设计中，数模混合电路的PCB设计中的干扰问题一直是一个难题。尤其模拟电路一般是信号的源头，能否正确接收和转换信号是PCB设计要考虑的重要因素。

现在基本上所有的PCB都是由数字电路和模拟电路混合构成的。数据一般在模拟电路中采集和接收，而带宽、增益用软件实现控制则必须数字化，所以在一块板上会同时存在数字电路和模拟电路，甚至共用相同的元件。考虑到它们之间的相互干扰问题以及对电路性能的影响，混合信号PCB设计中对电源传输线的特殊要求以及隔离模拟和数字电路之间噪声耦合的要求，增加了设计时布局和布线的复杂度。


- 数模混合电路干扰的产生机理。
 - 数模混合电路PCB设计的处理原则。
- 



数模混合电路干扰的产生机理

● 数模混合电路干扰的产生机理

模拟信号与数字信号相比，对噪声的敏感程度要大得多，在混合信号环境中，数字信号相对模拟信号而言是一种噪声源。数字电路工作时，数字逻辑输出由高电压变为低电压，该器件的接地管脚就会放电，产生开关电流。数字电路的速度越快，其开关时间一般也要求越短，当大量的开关电路同时由逻辑高电平变为逻辑低电平时，由于地线通过电流的能力不够，大量的开关电流就会引起逻辑地电压发生波动。数字电路造成的噪声和电源扰动，如果耦合到模拟电路中，就会影响模拟电路的工作性能。由于相当多的干扰源是通过电源和地总线产生的，其中地线引起的噪声干扰最大，所以在PCB设计时对地和电源的设计就显得尤为重要。



数模混合电路PCB 设计的处理原则


● 数模混合电路PCB 设计的处理原则

电磁兼容(E M C)的两个基本原则:一是尽可能减小电流环路的面积,如果信号不能通过尽可能小的环路返回,会形成一个大的环状天线。而且系统只采用一个参考面,相反,如果系统存在两个参考面,就可能形成一个偶极天线。在设计中要尽可能避免这两种情况。

- ✓ 布局布线原则。将模拟电路部分与数字电路部分器件分开放置,模拟信号在电路板所有层的模拟区内布线,而数字信号在数字电路区内布线。这样,数字信号返回电流不会流入到模拟信号的地。但是在实际的设计中,有时必须把数字和模拟电路的布线混合在一起,要避免在邻近模拟电源层的地方走数字时钟线和高频信号线,否则,电源信号的噪声将耦合到敏感的模拟信号之中,要设法实现低阻抗的电源和地网络。数字电路的频率高,模拟电路的敏感度强,对信号线来说,高频的数字信号线尽可能远离敏感的模拟电路器件。




数模混合电路PCB 设计的处理原则

- ✓ 电源和地的处理。在复杂混合电路板的设计中，接地线的布局和处理是改善电路性能的重要因素。设计规范中会建议将混合信号电路板上的数字地和模拟地分割开，以实现数字地和模拟地之间的隔离。但实际工作中**PCB**设计中倾向于采用统一地，在高密度电路板布线使用统一地，大大减少了布线的局限性和困难度，有时只需要在一些大功率的数字电路部分进行地的隔离处理。在混合信号**PCB**板上通常有独立的数字和模拟电源，采用分割电源面，最好紧邻地平面且在地平面下。
 - ✓ 电源线和地线要尽量短粗，尤其是跨接数字电源和模拟电源的磁珠上的线一定要加粗，因为除减小压降外，更重要的是降低耦合噪声。
 - ✓ 大面积覆铜箔接模拟地。在模拟电路部分覆大面积铜箔并在空白区域钻密集的孔接到模拟地，这样可以起到屏蔽隔离作用，从而减少模拟信号之间的相互干扰，而且还可以起到散热作用。
- 



数模混合电路PCB 设计的处理原则

- ✓ 对于混合器件的处理。通常的混合器件有晶振，高速AD器件等，在器件内部同时有数字电路和模拟电路两部分。一般将**AGND** 和**DGND** 引脚在外部都要连接到同一低阻抗的模拟地平面，而且引线要求尽量短，任何**DGND** 额外的阻抗都会通过寄生电容将更多的数字噪声耦合到器件内部的模拟电路中。当然这样做会使得转换器内部的数字电流流入模拟接地平面，但这样要比把转换器件的**DGND** 脚接到噪声数字接地平面带来的干扰要小得多。同接地一样，模拟和数字电源引脚也应该连接到模拟电源平面，并且要尽可能靠近每个电源引脚连接适当的旁路电容。必要情况下应将模拟电源引脚与数字电源引脚用跨接电感的方式隔离。
- 



数模混合电路PCB 设计的处理原则



- ✓ 添加去耦电容。去耦电容可以消除高频干扰，在电源输入端加滤波电容，可以抑制电源的噪声干扰，电容引线不能太长，因为电容的引线长度是一个十分重要的参数，引线越长，则感应电感越大，电容的谐振频率就越低，对高频噪声的频率过滤作用就会减弱，甚至消失，因此在高速PCB板设计时，要特别注意使电容器的引线尽量短，也就是使得电容尽可能地靠近芯片。

混合电路PCB设计是一个复杂的过程，元器件的布局、布线以及电源和地线的处理将直接影响到电路性能和电磁兼容性能，设计时要遵循一定的布线规则，才能使设计的PCB板达到设计要求。



信号完整性设计（SI）



◆ 信号完整性设计（SI）

信号完整性是指在信号线上的信号质量，是信号在电路中能以正确的时序和电压做出响应的能力，当电路中信号能以要求的时序、持续时间和电压幅值到达IC时，该电路就有很好的信号完整性。

- 信号完整性的影响因素。
- 信号完整性的电路板设计。



信号完整性的影响因素

● 信号完整性的影响因素

引起信号完整性问题的因素很多，主要因素有延迟、反射、串扰、地弹以及电磁干扰

信号延时主要表现为信号在逻辑电平的高、低门限之间变化时，保持一段时间信号不跳变，过多的信号延时可能会导致时序错误和器件功能的混乱，信号延时的原因包括走线过长、传输时延、传输速度等。

反射，是指传输线的回波，反射信号产生的主要原因是过长的走线、未被匹配终端的传输线、过量电容或电感及阻抗失配。

串扰是指当一根信号线上有信号通过时，在PCB板上与之相邻的信号线上就会感应出相关的信号，这种现象称之为串扰。信号线距离地线越近，线间距越大，产生的串扰信号越小。

地弹是指当电路中有大的电流涌动时产生的地平面反弹噪声。

电磁干扰包括产生过量的电磁辐射及对电磁辐射的敏感性两个方面。EMI产生的主要原因是电路工作频率太高及布局、布线不合理。



信号完整性的电路板设计

● 信号完整性的电路板设计

首先是电路板叠层结构的设计，前面已经讲解过，减少干扰的原则是电源层和地层紧密耦合，信号层紧靠大面积铜箔，为信号提供优良回路，减小反射与天线效应，中间层地平面和电源平面能有效降低电源阻抗与地阻抗，减小传导干扰。



信号完整性的电路板设计



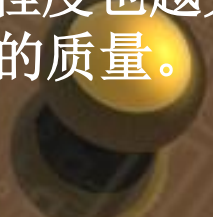
再就是元器件布局的设计，前面也有讲解，列出主要几点：

- ✓ 按照电路的流程安排各个功能电路单元的位置，使布局便于信号流通，并使信号尽可能保持一致的方向。
- ✓ 尽可能缩短高频元器件之间的连线，设法减少它们的分布参数和相互间的电磁干扰。
- ✓ 电源要避开高速信号线以防止电源干扰。
- ✓ 模拟电路与数字电路分开设计，减小信号间干扰。
- ✓ 匹配电阻靠近器件输出或输入管脚，减小传输线过冲与欠压问题。
- ✓ 在高频下工作的电路，要考虑元器件之间的分布参数，应尽可能使元器件平行排列。这样，不仅布局美观，而且装焊容易，易于批量生产。



信号完整性的电路板设计

布线的设计，前面也介绍过布线原则，以下几点需注意：

- ✓ 尽可能地缩短高频电路器件管脚间的引线以及管脚间引线的层间交替。
 - ✓ 高频数字信号走线应尽可能远离模拟电路和控制电路。
 - ✓ 差分走线必须满足背靠背原则，且在同一布线层内，尽量不要加过孔换层。
 - ✓ 蛇形线是为了调节延时，满足系统时序设计要求。设计者首先要有这样的认识：蛇形线会破坏信号质量，改变传输延时，布线时要尽量避免使用。但实际设计中，为了保证信号有足够的保持时间，或者减小同组信号之间的时间偏移，往往不得不故意进行绕线。信号在蛇形走线上传输时，相互平行的线段之间会发生耦合，呈差模形式， S （平行线段的距离）越小， L_p （平行耦合长度）越大，则耦合程度也越大。可能会导致传输延时减小，以及由于串扰而大大降低信号的质量。
- 



电源完整性设计（PI）

◆ 电源完整性设计（SI）

电源完整性（**Power Integrity**）简单讲就是电源供给的稳定性问题，它是和信号完整性紧密联系在一起，只是我们在进行系统分析时，一般都是简单地假设电源处于稳定状态，但在实际系统的运行过程中，很难达到假设的这种稳定状态，对电源完整性的设计，目的就是让实际的系统达到理想的稳定状态。

- 电源完整性的影响因素。
- 电源完整性的电路板设计。



电源完整性的影响因素

● 电源完整性的影响因素

电源系统的噪声来源有三个方面：


第一，稳压电源芯片本身的输出并不是恒定的，会有一定的波纹。这是由稳压芯片自身决定的。

第二，稳压电源无法实时响应负载对于电流需求的快速变化。稳压电源芯片通过感知其输出电压的变化，调整其输出电流，从而把输出电压调整回额定输出值。多数常用的稳压源调整电压的时间在毫秒到微秒量级。因此，对于负载电流变化频率在直流到几百KHz之间时，稳压源可以很好的做出调整，保持输出电压的稳定。当负载瞬态电流变化频率超出这一范围时，稳压源的电压输出会出现跌落，从而产生电源噪声。现在，微处理器的内核及外设的时钟频率已经超过了600兆赫兹，内部晶体管电平转换时间下降到800皮秒以下。这要求电源分配系统必须在直流到1GHz范围内都能快速响应负载电流的变化，但现有稳压电源芯片能满足这一苛刻要求。我们只能用其他方法补偿稳压源，例如电源去耦。



电源完整性的影响因素

第三，负载瞬态电流在电源路径阻抗和地路径阻抗上产生的压降。**PCB**板上任何电气路径不可避免的会存在阻抗，不论是完整的电源平面还是电源引线。对于多层板，通常提供一个完整的电源平面和地平面，稳压电源输出首先接入电源平面，供电电流流经电源平面，到达负载电源引脚。地路径和电源路径类似，只不过电流路径变成了地平面。完整平面的阻抗很低，但确实存在。如果不使用平面而使用引线，那么路径上的阻抗会更高。另外，引脚及焊盘本身也会有寄生电感存在，瞬态电流流经此路径必然产生压降，因此负载芯片电源引脚处的电压会随着瞬态电流的变化而波动，这就是阻抗产生的电源噪声。在电源路径表现为负载芯片电源引脚处的电压轨道塌陷，在地路径表现为负载芯片地引脚处的电位和参考地电位不同。

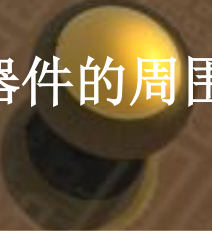




电源完整性的电路板设计

● 电源完整性的电路板设计

根据电源系统的噪声来源，采用以下几点设计规则来提高电源的完整性。

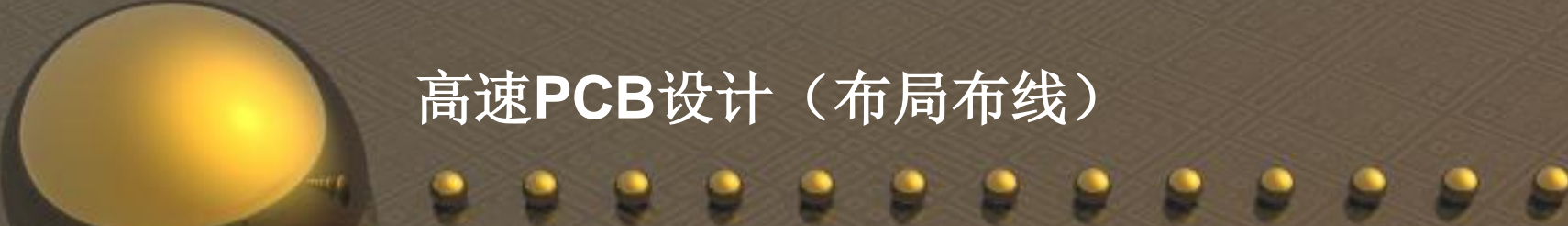
- ✓ 选用高电源纹波抑制(**PSRR**)的电源芯片。
 - ✓ 在电源芯片的输出端加滤波电容，在负载输入端加去耦电容，电容的大小和个数可以依照电源芯片的频率和负载端的干扰频率而定，电容的放置位置在布局布线时要特别注意，一定要紧靠电源输出或输入端，电源的走线要比信号线粗。
 - ✓ 电源的布线尽量短，回流路径也尽量短，以免产生额外的阻抗，特别是高频干扰，会在走线和引脚上产生寄生电感，造成参考电位的不一致。
 - ✓ 电源的布线层最好有一个完整的大地层作为参考，功率元器件的周围也要尽量的铺设大面积的地，来减少干扰。
- 



高速PCB设计（布局布线）

◆ 高速PCB设计（布局布线）

高速PCB设计，对EMI的影响很大，前面的介绍中也提到过很多关于高速PCB设计的规则，以下再列出几点需要特别注意。

- ✓ 在高速PCB设计中，时钟 等关键高速信号线，走线周围需要铺地屏蔽处理，走线的相邻层也尽量铺地处理，周围的屏蔽地也要打过孔加强屏蔽。
 - ✓ 高速信号线，在布线时，不要形成闭环或半圆式的开环，这样会产生环状天线，增加辐射干扰，而且容易接受外部干扰。
 - ✓ 高速信号，在走线过程中要保证阻抗的连续性，走线的宽度保持一致，尽量不要换层走线。
 - ✓ 检查信号线的长度和信号的频率是否构成谐振，即当布线长度为信号波长的 $1/4$ 的整数倍时，此布线将产生谐振，而谐振会辐射电磁波，产生干扰。
- 



高速PCB设计（布局布线）

- ✓ 相邻两层间的走线必须遵循垂直走线的原则，否则会造成线间的干扰。
- ✓ 高速信号必须有良好的回流路径，保证回流路径最小。、
- ✓ 退耦电容的摆放位置非常的重要，不合理的摆放位置，起不到想要的退耦效果，退耦电容尽量靠近器件的管脚，电容的回流地最好是大面积的铺地处理。



叠层阻抗设计

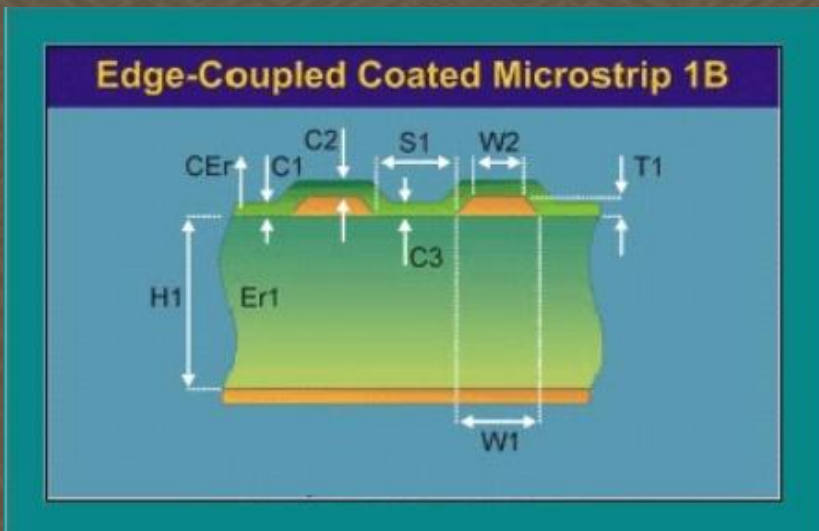
◆ 叠层阻抗设计

设计高速电路板时，选定好叠层结构后，有些高速信号需要特抗匹配走线，例如射频走线50欧姆阻抗匹配走线，在布线时，要根剧PCB供应商提供的叠层结构的参数，例如铜皮的厚度、绿油厚度、半固化片介电质的厚度、半固化片的介电常数等参数，有RF工程师给出具体的馈线的宽度、与铺地的距离、净空区的大小等布线参数，也可向供应商提出阻抗匹配的要求，由供应商给出具体的设计要求，毕竟这是由PCB厂商的材料和生产工艺来决定的参数。

阻抗匹配的计算可由专用的软件来实现，例如Polar Si9000软件，软件的使用需要，输入各项参数，即可自动计算出阻抗值。

叠层阻抗设计

选定模型：



输入各项参数，计算结果：

				Tolerance	Minimum	Maximum
Substrate 1 Height	H1	4.3307	+/-	0.0000	4.3307	4.3307
Substrate 1 Dielectric	Er1	3.8000	+/-	0.0000	3.8000	3.8000
Lower Trace Width	W1	4.2000	+/-	0.0000	4.2000	4.2000
Upper Trace Width	W2	3.8000	+/-	0.0000	3.8000	3.8000
Trace Separation	S1	3.8000	+/-	0.0000	3.8000	3.8000
Trace Thickness	T1	1.1811	+/-	0.0000	1.1811	1.1811
Coating Above Substrate	C1	0.5906	+/-	0.0000	0.5906	0.5906
Coating Above Trace	C2	0.5906	+/-	0.0000	0.5906	0.5906
Coating Between Traces	C3	0.5906	+/-	0.0000	0.5906	0.5906
Coating Dielectric	CEr	3.8000	+/-	0.0000	3.8000	3.8000
Differential Impedance	Zdiff	100.96			100.96	100.96



项目团队PCB设计评审



项目团队PCB设计评审

PCB设计完成后，首先是自审，再次按照原理图检查有没有电气连接错误，自审完毕后，再就是项目团队的集中评审，这个过程非常重要，有的设计人员在完成**PCB**设计之后，会有一种完成了一件艺术品的感觉，或许自己怎么看怎么顺眼，这个时候需要拿出来让团队集体评审，这对自己的设计经验会有一定的帮助，别人的建议可以拿来参考，无则加冕，有则改之。再就是多向有同类产品设计经验的设计人员沟通，前人犯过的错误，自己不要重复跌倒，少走弯路，要学会借鉴。

同时要把**PCB**设计文件发给**SMT**工艺端和组装端评审，工艺人员会根据实际的生产和组装工艺，提出工艺方面的改善需求，便于后续产品的生产。





PCB制作和SMT

PCB制作和SMT

PCB定版后，要发给**PCB**制作厂商打板，发板之前，要按照工厂的生产工艺要求作出拼版设计，达到便于生产和生产效率最大化的要求。同时要 将**PCB**制作的一些特殊的要求制作为说明文件一起发给**PCB**厂商，例如特殊焊盘的处理、过孔的处理、阻抗匹配的需求等，厂商收到制板文件和特殊说明文件后，一般会返回一个特殊工艺点的反馈文件，主要是制板文件中一些地方可能达到生产工艺 的极限，或者一些不和常理的设计等，例如特殊线宽的走线、破铜露铜的一些焊盘等，需要设计人员的确认 。待双方沟通无误后，才会进入实际的**PCB**生产制作。

PCB返回后，会在**SMT**工厂进行贴片，设计人员要将**SMT**生产所需的文件提前共享给**SMT**生产端，如**BOM**、**Gerber**、拼版文件、贴装图等，以便于生产端提前做好生产所需的**SMT**程序、钢网、**SMT**载具等生产资料 and 制具。



PCB制作和SMT

贴片完成后会进行板级的功能测试，测试通过后会进行产品的组装，组装为成品后，会对其进行整机测试。

这里要注意，如果在条件允许的情况下，**PCB**的设计人员最好现场跟踪一下**SMT**生产加工过程和组装过程，这对以后的**PCB**设计会有很大的帮助，在以后的设计过程中会主动的考虑到一些生产的避让事项，让你的设计做到瞻前顾后。



工程测试和可靠性测试

工程测试和可靠性测试

PCB完成贴片后，会对**PCBA**进行工程测试，工程测试主要是对设计的验证和性能的测试，如电压、纹波、功耗、各种功能的测试，最好每个测试项留档对应的测试报告，如果后期设计改动，可以做参数对比，对比设计改动造成的影响。再就是整机的测试，主要是功能的验证和性能的测试，这些测试基本上都是电子工程师完成，测试过程中的不良项可能会关系到下一版**PCB**的设计改动。

再就是产品的可靠性测试，主要验证产品在各种条件下的可靠性，例如高低温测试、跌落测试、振动测试、恒定湿热测试、按键力测试、距离测试、盐雾测试、**ESD**测试等，这些测试一般是由专业测试人员完成，其中**PCB**设计人员需要特别关注的是跌落测试和**ESD**测试，因为这两个测试如果有问题，**PCB**改动的可能性比较大，特别是**ESD**问题，很大程度上依靠**PCB**的设计改进来改善。




项目总结

项目总结

各项测试完成后，其中不仅包括电子方面的测试，还可能包括声学、光学、**RF**等方面的测试，项目团队会进行项目的总结，包括设计人员和生产工艺人员，总结中会提到各个方面的不足之处和以后的改善方案，其中肯定会有牵扯到**PCB**设计改进的方面，例如与结构的干涉、与生产工艺的干涉、声学或射频方面的改动意见等。将这一轮的试产经验教训总结之后，会进行新一轮的设计工作，也就会进行新一轮**PCB**设计工作。



PCB设计总结



PCB设计总结

在整个**PCB**设计工作完成之后，会体会到**PCB**的设计不仅仅是简单的按照一些规则完成布线即可，会牵扯到产品的各个方面，很多其他方面的改动或问题，可能都会造成**PCB**的设计变更，同样**PCB**的设计变更，可能也会引起一些其它方面的问题，在整个的设计过程中，任何变更最好在设计团队中保持信息的一致性。

在有良好的设计技巧和经验的基础之上，再加上设计的大局观和前瞻性，才是一名优秀的**PCB**设计工程师。



PCB设计软件简介




附：PCB设计软件简介

PCB设计软件经过多年的发展、不断地修改和完善，或优胜劣汰、或收购兼并、或强强联合，现在只剩下Cadence和Mentor两家公司独大。

Cadence公司的产品是Concept/Allegro和收购来的OrCAD。

Mentor公司的产品是BoardStation(EN)和ExpeditionPCB(WG)以及收购来的PADS(PowerPCB)。EN是传说中的PCB无敌高手，那些只考虑工期不考虑成本，总是做8层~12层PCB的通讯和军工研究所必杀绝技。WG好像所有的bbs都同意这是地球上最好的布线工具。PowerPCB就不说了，用的人也不少。Mentor公司收购了PowerPCB后，继续两条腿走路，高端的还是原来的Mentor，低端的产品还是PowerPCB。





PCB设计软件简介



另外，**Altium**公司的**Protel**系列，中国**90%**的电子工程师和几乎**100%**的高校电子工程专业学生都知道，因为在很多高校里都有开设相关课程，很多公司包括高校，都在使用**Altium**的软件做电子电路设计，但是很多都是使用**Altium**的盗版软件。**Altium**的正版软件价格偏贵，代理商的企业版报价一般都在十几万左右，其实就用来画板，很多功能都用不上，像仿真、**FPGA**、**C**语言等等功能，可能永远不可能用上，供应商是否可以出些订制版本，按用户使用 需要购买，这样价格降下来，说不定会有很多公司肯掏腰包，毕竟谁也不愿意使用盗版软件。

Thank You

