`timescale 1ns / 1ps

//////////////////////////////////////////////////////////////////////////////////

// Company:

// Engineer:

//

// Create Date: 2017/07/16 17:25:19

// Design Name:

// Module Name: flash\_led\_top

// Project Name:

// Target Devices:

// Tool Versions:

// Description: 顶层设计，分两个模块，一个控制时钟<counter.v>，一个控制方向和灯<flash\_led\_ctl.v>

//

// Dependencies:

//

// Revision:

// Revision 0.01 - File Created

// Additional Comments:

//

//////////////////////////////////////////////////////////////////////////////////

//管脚分配就是分配如下的变量

module flash\_led\_top(

input clk,

input rst\_n,

input sw0,

output [15:0]led

);

wire clk\_bps;

wire rst;

assign rst = ~rst\_n;

//时间控制模块

counter counter(

.clk( clk ),

.rst( rst ),

.clk\_bps( clk\_bps )

);

//方向及LED模块

flash\_led\_ctl flash\_led\_ctl(

.clk( clk ),

.rst( rst ),

.dir( sw0 ),

.clk\_bps( clk\_bps ),

.led( led )

);

endmodule