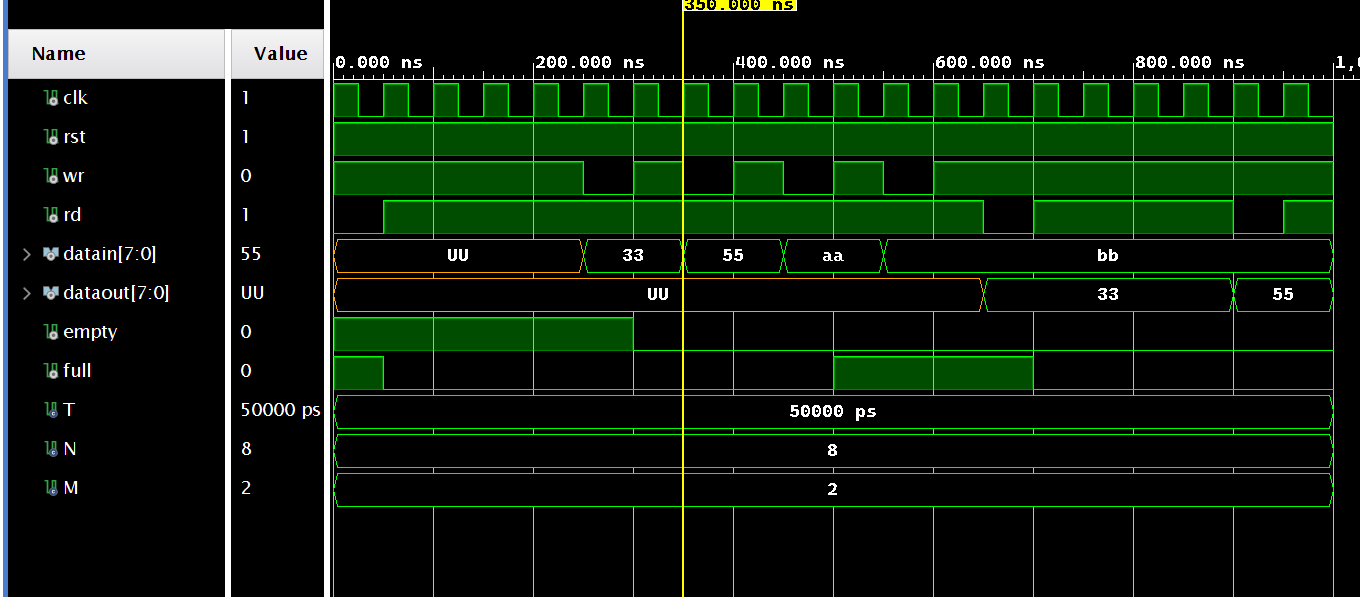
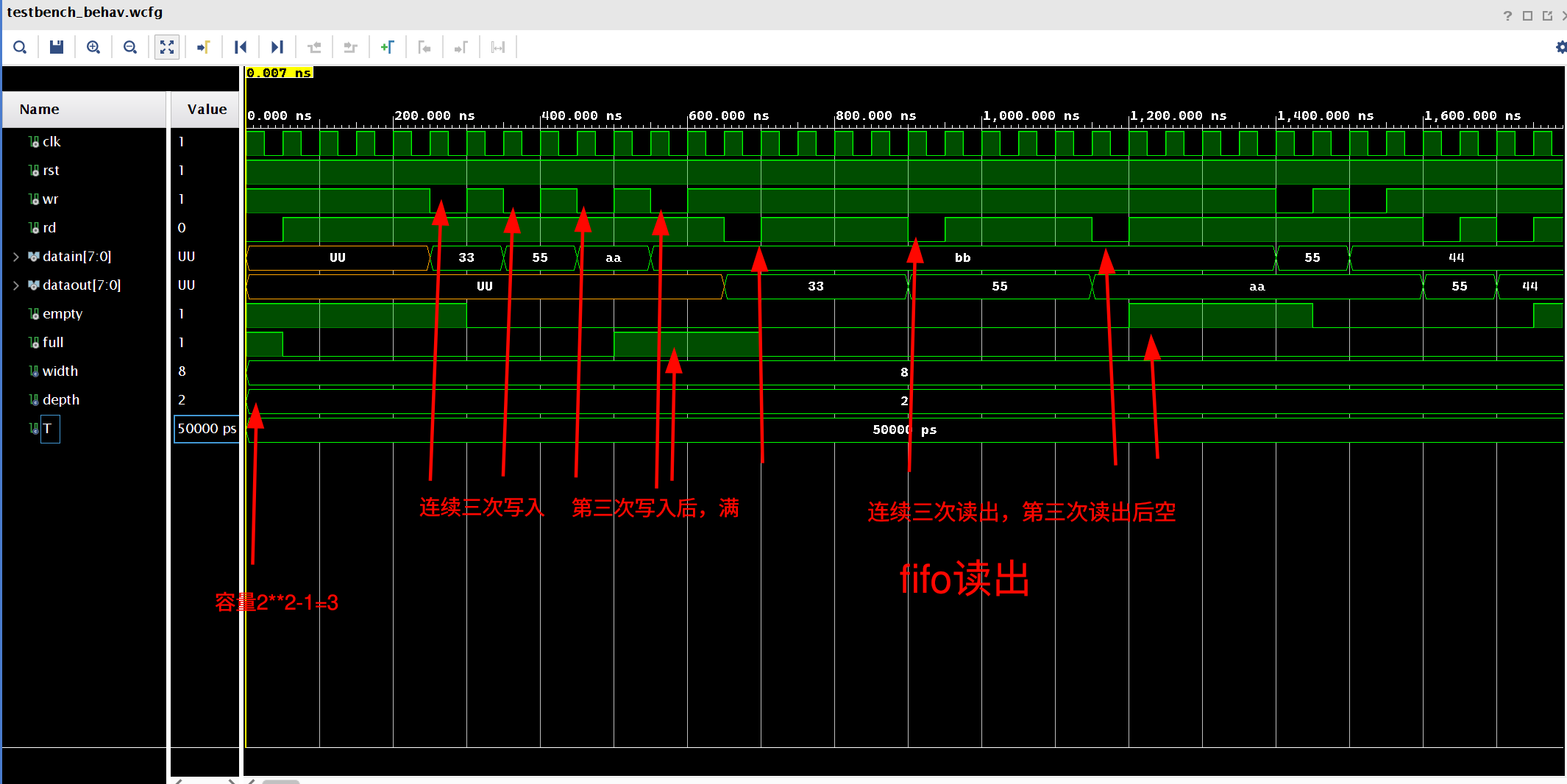
# 设计说明

## 使用说明

* clk时钟信号
* rst信号低电平有效
* wr，fifo存储器写信号，低电平有效
* rd，fifo存储器读信号，低电平有效
* datain, 输入数据
* dataout, 输出数据
* empty，存储器空标志，输出信号
* full，存储器满标志，输出信号
* N，用户可配置的数据线宽度
* M，用户可配置的存储器容量
  + 存储器的容量为：2的depth次方减1

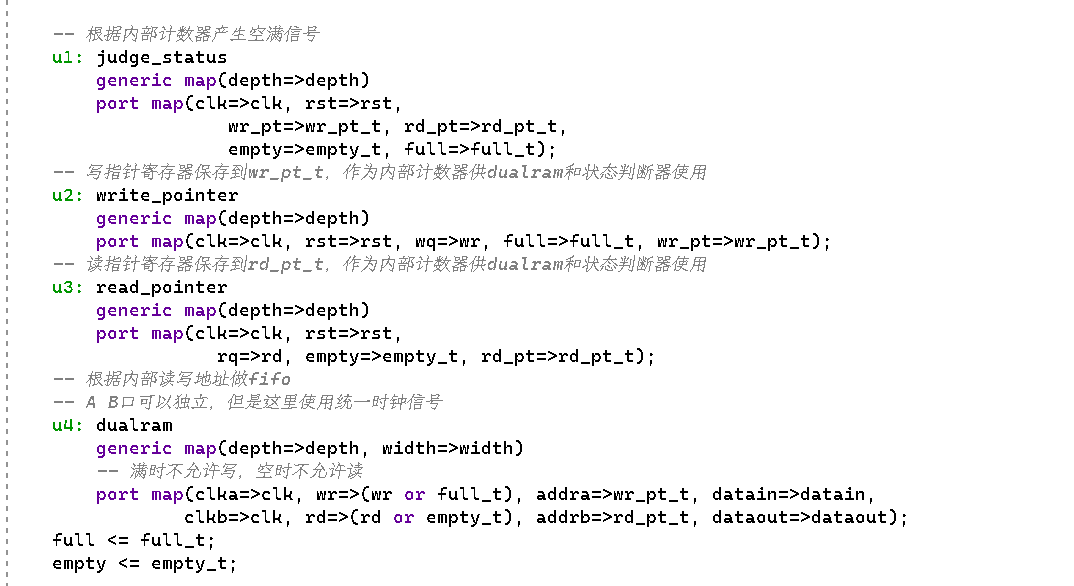
## 仿真结果





## 主程序

详见”源代码”文件夹



* judge\_status模块
  + 根据内部读写指针产生空/满信号
  + 控制读写指针模块的执行
* write\_pointer模块
  + 根据wr信号和full信息控制内部写指针的移动
* read\_pointer模块
  + 根据rd信号和empty信息控制内部读指针的移动
* dualram模块
  + 根据用户配置M和N创建数组用于存储
  + 根据(wr和满信号)对写指针指向做出写入控制
  + 根据(rd和空信号)对读指针指向做出读出控制