**“计算机设计与实践”处理器实验设计报告**

姓名：梁鸿成

班级：1503103

学号：6140310101

哈尔滨工业大学计算机学院

2017年7月

目录

一、[处理器结构设计框图](#_Toc426563815)………………………………………………………………………3

二、[各模块接口框图及所有接口信号定义](#_Toc426563816) 4

1）[时钟模块](#_Toc426563817) 4

[2）取指模块](#_Toc426563818) 4

[3）运算模块](#_Toc426563819) 5

[4）访存模块](#_Toc426563820) 6

[5）回写模块](#_Toc426563821) 6

[6）访存控制模块](#_Toc426563822) 7

三、[各模块系统测试方案、测试过程及仿真波形](#_Toc426563824) 9

1）[时钟模块](#_Toc426563825) 9

2）[取指模块](#_Toc426563828) 9

3）[运算模块](#_Toc426563831) 10

4）[访存模块](#_Toc426563834) 11

5）[回写模块](#_Toc426563837) 11

6）[访存控制模块](#_Toc426563840) 12

四、系统测试方案、测试过程及仿真波形……………………………………….…13

五、[处理器功能测试程序](#_Toc426563847) 15

六、[设计、调试、波形、下载过程中遇到的问题及解决方法](#_Toc426563849) 15

## 处理器结构设计框图

## 各模块接口框图及所有接口信号定义

1、时钟模块

clk

**clock**

t(3:0)

rst

接口信号定义:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 信号名 | 位数 | 方向 | 来源/去向 | 意义 |
| clk | 1 | I | 系统时钟 | 外接系统时钟 |
| rst | 1 | I | 系统复位 | 外接系统复位 |
| t | 4 | O | Cpu各个模块 | 节拍控制各个模块 |

2、取指模块

IRin(15:0) IRout(15:0)

getIR

Pcin(15:0) PCout(15:0)

PCupdate PctoM(15:0)

rst Rpc

t0

接口信号定义:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 信号名 | 位数 | 方向 | 来源/去向 | 意义 |
| t0 | 1 | I | 系统时钟 | 第一个节拍信号 |
| rst | 1 | I | 系统复位 | 系统复位 |
| Irin | 16 | I | 访存控制模块 | 访存控制取出的指令送取指模块 |
| Pcin | 16 | I | 回写模块 | 回写的新pc送给pc寄存器 |
| Pcupdate | 1 | I | 回写模块 | PC值更新信号 |
| Irout | 16 | O | 运算、访存、回写模块 | 指令输出便其他模块使用 |
| Pcout | 16 | O | 回写模块 | Pc+1送往回写模块 |
| PctoM | 16 | O | 访存控制模块 | Pc送往访存控制模块以取出IR |
| Rpc | 1 | O | 访存控制模块 | 给出取指的存储器读信号 |

3、运算模块

ALU

t1 aluout(7:0)

Irin(15:0) addrout(15:0)

Raddr(2:0)

Rdata(7:0) R0 ~ R7(7:0)

Rupdate

K0~K3(15:0)

信号接口定义：

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 信号名 | 位数 | 方向 | 来源/去向 | 意义 |
| t1 | 1 | I | 时钟模块 | 第二个节拍控制 |
| Irin | 16 | I | 取指模块 | 指令输入alu |
| Raddr | 3 | I | 回写模块 | 回写寄存器地址 |
| Rupdate | 1 | I | 回写模块 | 回写数据控制信号 |
| Rdata | 8 | I | 回写模块 | 回写的数据 |
| K0~K3 | 8 | I | FPGA | 4组开关作为IO指令的输入 |
| Aluout | 8 | O | 送回写/访存控制 | 运算等结果输出 |
| Addrout | 16 | O | 送回写/访存控制 | 指令形式地址送送回写/访存控制模块 |
| R0~R7 | 8 | O | FPGA | 在开发板上显示寄存器的值 |

4、访存模块

MEM

t2 tdataout(15:0)

IRin(15:0) Wout

tdatain(7:0) Rout

PWout

PRout

信号接口定义：

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 信号名 | 位数 | 方向 | 来源/去向 | 意义 |
| t2 | 1 | I | 时钟模块 | 第三个节拍控制访存模块 |
| Irin | 16 | I | 取指模块 | 指令输入，发读写信号 |
| tdatain | 8 | I | 访存控制模块 | 存储器中取出的数输入 |
| tdataout | 8 | O | 回写模块 | 暂存的数送回写 |
| Wout | 1 | O | 访存控制模块 | 存储器写信号 |
| Rout | 1 | O | 访存控制模块 | 存储器读信号 |
| PWout | 1 | O | 访存控制模块 | I/O写信号 |
| PRout | 1 | O | 访存控制模块 | I/O读信号 |

5、回写模块

WriteBack

t3 Raddr(2:0)

IRin(15:0) Rdata(7:0)

aluout(7:0) Rupdate

datain(7:0) PCnew

PCin (15:0) PCupdate

addrin(15:0)

信号接口定义：

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 信号名 | 位数 | 方向 | 来源/去向 | 意义 |
| t3 | 1 | I | 时钟模块 | 第四个节拍控制回写 |
| IRin | 16 | I | 取指模块 | 指令上操作码给出对应控制 |
| aluout | 8 | I | 运算模块 | 运算等结果送回写 |
| datain | 8 | I | 访存模块 | 取出的数送回写 |
| Pcin | 16 | I | 取指模块 | Pc+1值输入 |
| addrin | 16 | I | 运算模块 | 跳转指令PC值输入 |
| Raddr | 3 | O | 运算模块 | 数据回写至运算模块寄存器地址 |
| Rdataout | 8 | O | 运算模块 | 数据回写至运算模块 |
| Rupdate | 1 | O | 运算模块 | 数据回写至运算模块控制信号 |
| PCnew | 16 | O | 取指模块 | 新PC值回写至取指模块 |
| Pcupdate | 1 | O | 取指模块 | Pc回写控制信号 |

6、访存控制模块

Mcontrol

t0 IRout(15:0)

t2 dataout(7:0)

PCin(15:0) ABUS(15:0)

Rpc nMREQ

Aluout(7:0) nRD

Addrin(15:0) nWR

Win nBHE

Rin nBLE

PWin DBUS(15:0)

PWout

IOAD nPREQ nPRD nPWR IODB

(1:0) (7:0)

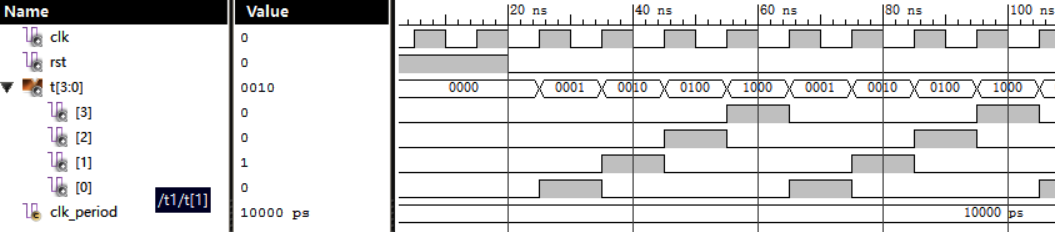
信号接口定义 ：

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 信号名 | 位数 | 方向 | 来源/去向 | 意义 |
| T0 | 1 | I | 时钟模块 | 时钟产生的节拍控制 |
| T2 | 1 | I | 时钟模块 | 时钟产生的节拍控制 |
| Rst | 1 | I | 系统复位 | 系统复位 |
| Pcin | 16 | I | 取指模块 | 取指送的pc至存储器，取出指令 |
| Addrin | 16 | I | 运算模块 | 形成的地址送存储器 |
| Aluout | 8 | I | 运算模块 | 运算结果送存储器存 |
| Rpc | 1 |  | 取指模块 | 取指发的存储器读信号 |
| Rin | 1 | I | 访存模块 | 存储器读信号 |
| Win | 1 | I | 访存模块 | 存储器写信号 |
| PRin | 1 | I | 访存模块 | I/O读信号 |
| PWin | 1 |  | 访存模块 | I/O写信号 |
| dataout | 8 | O | 访存模块 | 取数取出的数据 |
| Irout | 16 | O | 取指模块 | 取出的指令放回取指模块 |
| Abus | 16 | O | 存储器 | 存储器地址总线 |
| Dbus | 16 | I/O | 存储器 | 存储器数据总线给数据 |
| nMREQ | 1 | O | 存储器 | 存储器片选控制信号 |
| nWR | 1 | O | 存储器 | 存储器写控制 |
| nRD | 1 | O | 存储器 | 存储器读控制 |
| nBHE | 1 | O | 存储器 | 存储器高位字节访问允许 |
| nBLE | 1 | O | 存储器 | 存储器低位字节访问允许 |
| IOAD | 16 | O | FGPA | I/0地址总线 |
| IODB | 16 | I/O | FGPA | I/0数据总线 |
| nPREQ | 1 | O | FGPA | I/0端口片选控制信号 |
| nPWR | 1 | O | FGPA | I/0写控制 |
| nPRD | 1 | O | FGPA | I/0读控制 |

## 各模块系统测试方案、测试过程及仿真波形

1. 时钟模块

测试方案：给出周期10ns的时钟信号，rst先后赋值‘1’和‘0’，观察输出t

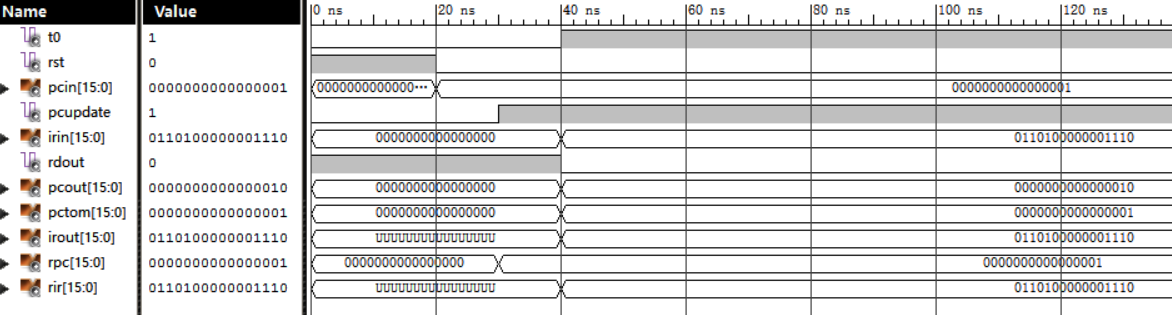
仿真波形：

过程：观察得t(0)~t(3)按四个时钟周期性变化，符合设计

2、取指模块

测试方案：初始t0=’0’,rst=’1’,10ns后rst=’0’,再10ns后，t0=’1’，给出Pcin，pcupdate,irin等输入，观察输出

仿真波形：



过程：rst=’1’时系统复位，pcupdate=‘1’时，PC寄存器值rpc更新为pcin；t0=’1’,第一个节拍信号到来时，送访存控制PC值pctom更新为rpc，并给出读信号，rdout=’0’,pcout更新为pc+1送回写模块，取回IR后，IR寄存器值rpc更新为irin，并向irout输出到运算、访存、回写模块。

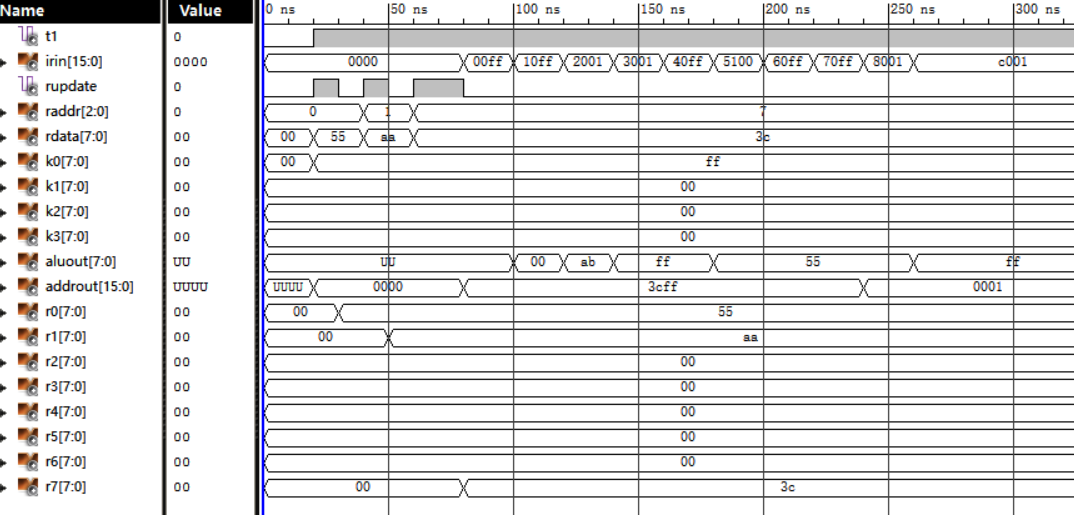
3、运算模块

测试方案：给出三组寄存器值回写输入，观察寄存器值是否成功更新；

在第二节拍到来时即t1=’1’，先后给出十条指令（irin），观察信号输出。

|  |  |  |  |
| --- | --- | --- | --- |
| 指令码(H) | 指令 | 指令码(H) | 指令 |
| 00ff | JMP R7&ff | 5100 | MOV R1,R0 |
| 10ff | JZ R0,R7&ff | 60ff | STA R0,R7&ff |
| 2001 | SUB R0,R1 | 70ff | LDA RO,R7&ff |
| 3001 | ADD R0,R1 | 8001 | IN R0,S1 |
| 40ff | MVI R0,ff | C001 | OUT K0,S1 |

仿真波形：



过程：80ns前，先后给出3个寄存器值回写，在rupdate=’1’时，rdata的值赋予以raddr为地址的寄存器中，寄存器回写控制成功。之后是指令测试，根据上述给的指令表，观察相应的aluout、addrout、PC及寄存器值的变化:

IRin=00ff时，addrout=3cff=r7&ff; IRin=10ff时，r0!=0,aluout=00,即不跳转；

IRin=2001时，aluout=r0-r1=ab; IRin=3001时，aluout=r0+r1=ff;

IRin=40ff时，aluout=ff; IRin=5100时， aluout=r0=55;

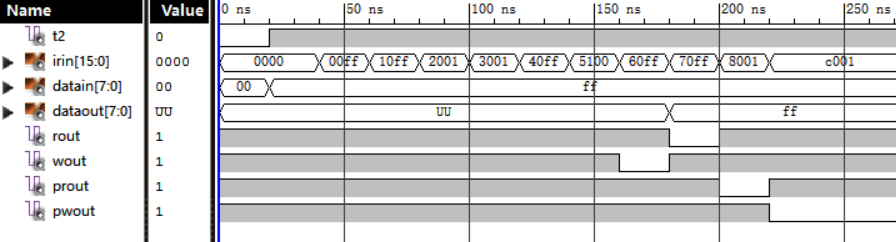
IRin=60ff，70ff时，aluout=r0=ff, addrout = r7&ff = 3cff;

Irin=8001时，addrout =0001,即01号端口； IRin=C001时，aluout=K0,addrout=0001;

综上可得，十条指令均能完成相应功能，相应信号输出。

4、访存模块

测试方案：在t2=’1’时，给出与运算方案相同的十条指令测试方案，观察信号输出

仿真波形：

过程：

在十条指令分别执行时，观察相应信号输出：

IRin=00ff,10ff,2001,3001,40ff,5100时，均为非访存指令，所以存储器及I/O的读写信号均为‘1’。

IRin=60ff时，存储器存数指令，wout=’0’，给出存储器写信号；

IRin=70ff时，存储器读数指令，rout=’0’，给出存储器读信号；

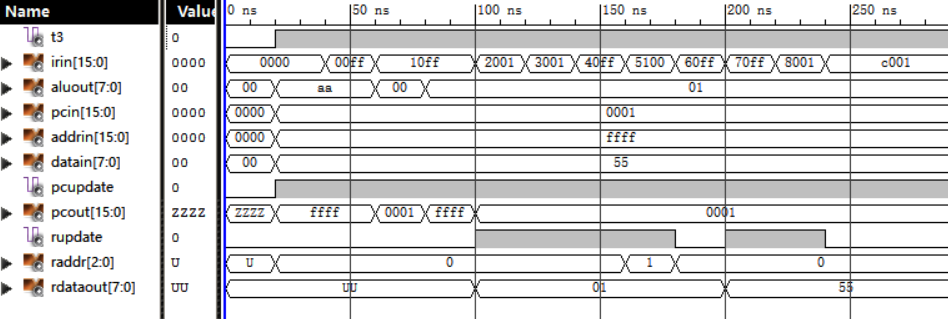
IRin=8001时，IO输入指令，prout=’0’，给出IO读信号；

IRin=C001时，IO输出指令，pwout=’0’，给出IO写信号；

综上，访存模块成功完成相关指令功能。

5、回写模块

测试方案：在t3=’1’时，给出与运算方案相同的十条指令测试方案，观察信号输出

仿真波形：

过程：

t3=’1’时，PCupdate=’1’,根据指令操作码，给出正确的PC更新值pcout送取指模块。

在十条指令分别执行时，观察相应信号输出：

IRin=00ff，无条件跳转，PCout=addrin，成立；

IRin=10ff, 条件跳转，根据aluout值判定是否跳转，若aluout=00，则不跳转，PCout=pcin,

若aluout /=00，则跳转，PCout=addrin=ffff，成立；

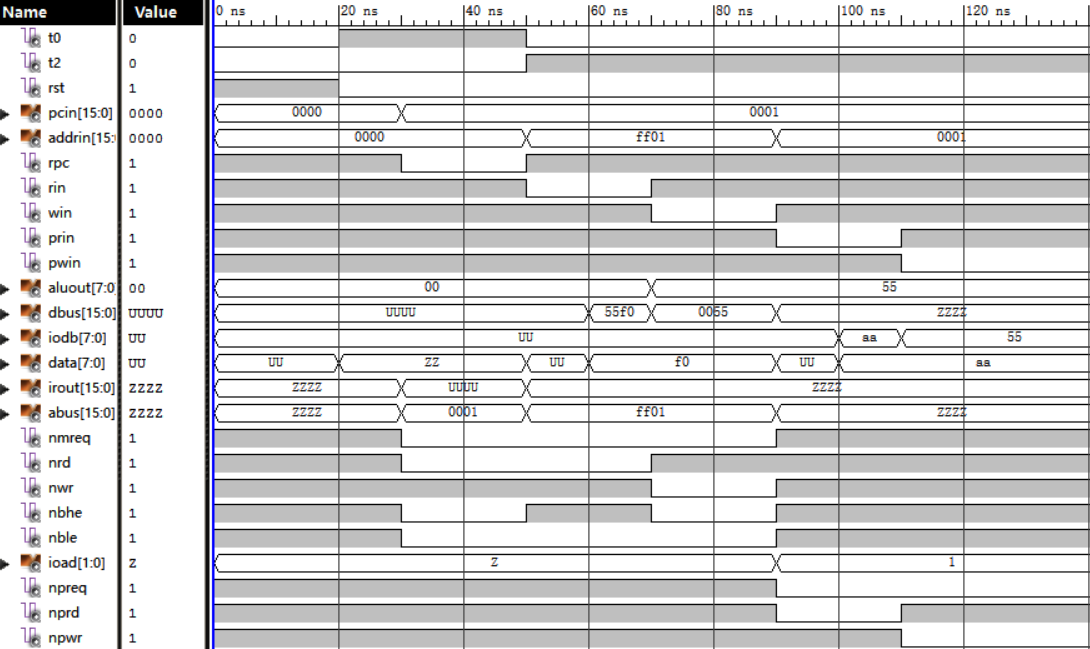
IRin=2001,3001,40ff,5100,70ff,8001时，这些指令均需对寄存器进行回写，故给出rupdate=’1’，寄存器更新信号，根据指令给出寄存器地址raddr及rdataout;

IRin=60ff,c001时，为存数指令，不需寄存器回写，rupdate=’0’;

综上，回写模块成功完成功能。

6、访存控制模块

测试方案：rst=’1’时，观察输出是否符合系统复位；t0=’1’，给出PC值及读信号，观察地址、数据总线及控制信号输出；t2=’1’，先后给出存储器存数取数，IO输入输出的相关输入信号，观察地址、数据总线及相关控制信号输出。

仿真波形

过程：

rst=’1’时，系统复位，读写控制信号均为‘1’，系统复位；

T0=’1’时，取指阶段，ABUS=PCin,PC值送地址总线，Rpc=’0’,给出存储器16位读信号，nmreq, nrd, nbhe ,nble=’0’，nwr=’1’;

T2=‘1’时，访存阶段，若有访存信号输入，则ABUS=addrin，否则为高阻态；若为写操作则DBUS=aluout,否则为高阻态；rin=’0’,存储器读，给出存储器低8位读信号，nmreq, nrd ,nble=’0’，nwr, nbhe=’1’; win=’0’,存储器写，给出存储器写信号，nmreq, nwr, nbhe ,nble=’0’，nrd =’1’; prin=’0’，IO输入，给出IO读信号，npreq, nprd , =’0’，npwr,=’1’; pwin=’0’，IO输出，给出IO写信号，npreq, npwr =’0’，nprd=’1’;

## 系统测试方案、测试过程及仿真波形

测试方案：在rst=’0’后，以四个时钟为一周期，每个周期第一个时钟给出dbus值为IR指令，后三个时钟根据IR进行相应操作。给出一系列指令，观察地址总线、数据总线、IO端口及寄存器的值。

过程：

前三个周期均为MVI指令，分别给r0,r1,r7赋值，在每个周期结束后更新。

第四个周期为SUB R0,R1指令，在周期结束后，r0更新为r0-r1;

第五个周期为ADD R0,R1指令，在周期结束后，r0更新为r0+r1;

第六个周期为MOV R0,R1指令，在周期结束后，r0更新性为r1；

第七个周期为STA R0,20指令，在第三个时钟给出abus=r7&20，dbus=r0;

第八个周期为LDA R5,20指令，在第三个时钟给出abus=r7&20，dbus=00aa.在周期结束后，R5跟新为aa;

第九个周期为JZ R0,30指令，r0/=0故不发生跳转，周期结束后PC\_t +=1;

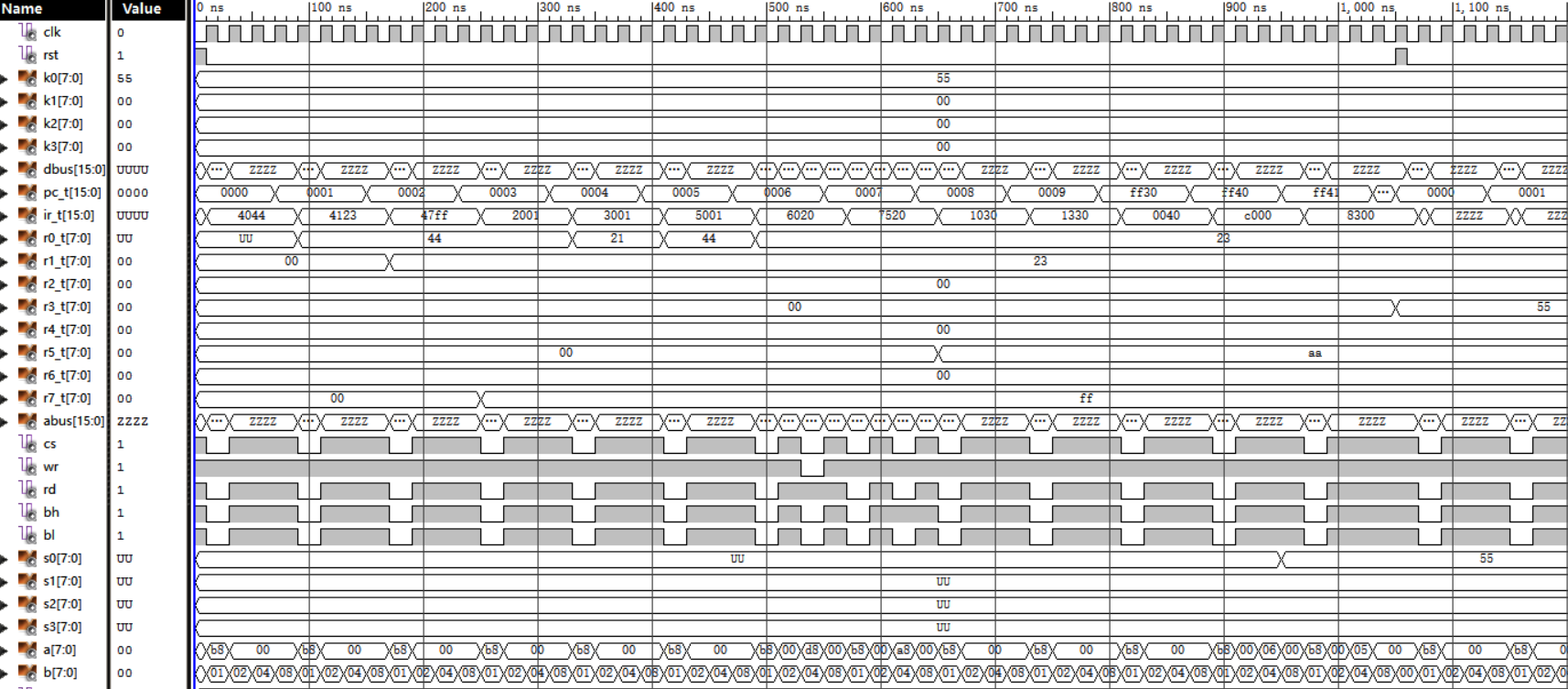
第十个周期为JZ R6,30指令，r6=0 故发生跳转，周期结束后PC\_t = R7&30;

第十一个周期为JMP 40指令，在周期结束后，PC\_t=R7&40;

第十二个周期为OUT K0,S0指令，在第三个时钟给出IOAD=00，IODB=k0=55,后S0=IODB；

第十三个周期为IN R3,S0指令，在第三个时钟给出IOAD=00，IODB=S0=55,在周期结束后，R3更新为IODB=55；

综上，该处理器系统对十条指令综合仿真成功。



## 处理器功能测试程序

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 序号 | Pc | 指令 | 操作码助记符 | R0 | R1 | R2 | R3 | R4 | R5 | R6 | R7 | K0 | S0 | 存储器0120 |
| 1 | 0000 | 4701 | MVI R7,01 |  |  |  |  |  |  |  | 01 | 5A |  |  |
| 2 | 0001 | 4044 | MVI R0,44 | 44 |  |  |  |  |  |  | 01 | 5A |  |  |
| 3 | 0002 | 4123 | MVI R1,23 | 44 | 23 |  |  |  |  |  | 01 | 5A |  |  |
| 4 | 0003 | 2001 | SUB R0,R1 | 21 | 23 |  |  |  |  |  | 01 | 5A |  |  |
| 5 | 0004 | 3001 | ADD R0,R1 | 44 | 23 |  |  |  |  |  | 01 | 5A |  |  |
| 6 | 0005 | 5001 | MOV R0,R1 | 23 | 23 |  |  |  |  |  | 01 | 5A |  |  |
| 7 | 0006 | 6020 | STA R0,R7//20 | 23 | 23 |  |  |  |  |  | 01 | 5A |  | 0023 |
| 8 | 0007 | 7520 | LDA R5,R7//20 | 23 | 23 |  |  |  | 23 |  | 01 | 5A |  | 0023 |
| 9 | 0008 | 1030 | JZ R0,R7//30 | 23 | 23 |  |  |  | 23 |  | 01 | 5A |  | 0023 |
| 10 | 0009 | 1630 | JZ R6,R7//30 | 23 | 23 |  |  |  | 23 |  | 01 | 5A |  | 0023 |
| 11 | 0130 | 0040 | JMP R7//40 | 23 | 23 |  |  |  | 23 |  | 01 | 5A |  | 0023 |
| 12 | 0140 | C000 | OUT K0,S0 | 23 | 23 |  |  |  | 23 |  | 01 | 5A | 5A | 0023 |
| 13 | 0141 | 8400 | IN R4,S0 | 23 | 23 |  |  | 5A | 23 |  | 01 | 5A | 5A | 0023 |

**\*空白处值为0。**

## 设计、调试、波形、下载过程中遇到的问题及解决方法

1. COP2000+的FPGA芯片没有IO端口，故需要设计模拟IO端口。

方法： 采用KO~K3作为IO输出，IN指令的输入；S0~S3作为4个模拟端口。

1. 下载过程中，IR的值，8个寄存器回写的值在一个周期后会发生变化，变化的值不知何处。

经过对代码的重新审视，发现由于下载后电路板中信号传输有延迟，以致在寄存器更新过程可能出现数据线的冲突，比如在第一个节拍结束后，IR的值在地址线有效及读信号有效时，数据线突然赋予高阻态，导致IR的值更改。

解决方法：给信号的更改赋予延迟，在保证不影响其他信号及寄存器的值下在更改，比如寄存器的值更改在Rupdate信号下降沿完成，PC值更新在第四个节拍结束下降沿。