

# 저작권양도서

## (Copyright Transfer Form)

소속 : 인하대학교 정보통신공학과

성명 : 김현진, 엄찬하, 박소현 학번 : 12181762, 12191787, 12211772

논문제목 : 근사 가산기를 이용한 저전력 디지털 신호 처리

본인은 상기 논문을 2024학년도 1학기 정보통신프로젝트 최종 보고서 겸 결과 논문으로 제출하고자 합니다. 본 논문의 내용은 저자가 직접 연구한 결과인 것과 이전에 출판된 적이 없음을 확인합니다. 또한 공저자와 더불어 인하대학교 정보통신공학과에서 발간하는 논문집에 본 논문을 수록하는 것을 허락하며 제반 저작권을 정보통신공학과에 양도합니다.

2024년 6월 25일

주저자 : 박소현 (박소현)

공저자 : 김현진, 엄찬하 (김현진, 엄찬하)

정보통신공학과장 귀하

# 근사 가산기를 이용한 저전력 디지털 신호 처리

## Low-Power Digital Signal Processing Using Approximate Adders

김현진, 박소현, 엄찬하  
(Hyunjin Kim, Sohyeon Park, Chanha Um)



**요약:** 본 논문은 저전력 이미지 프로세싱을 위한 근사 가산기의 설계와 구현에 대해 다룬다. 이미지 프로세싱은 대량의 데이터를 처리해야 하므로 전력 소모가 큰 작업 중 하나이다. 이를 해결하기 위해 근사 가산기를 도입하여 전력 효율성을 극대화하고자 한다. 본 연구에서는 다양한 근사 가산기 기법을 소개하고, 이를 이미지 프로세싱에 적용하여 성능을 평가한다.

**Abstract:** This article addresses the design and implementation of approximate adders for low-power image processing. Image processing is one of the power-intensive tasks due to the need to process large amounts of data. To address this issue, we introduce approximate adders to maximize power efficiency. This study introduces various approximate adder techniques and evaluates their performance when applied to image processing.

**Keywords:** Approximate Adders, Low-Power Image Processing, JPEG decoding

### I. 서론

최근 몇 년간 모바일 기기와 사물 인터넷 장치의 급격한 확산과 더불어 에너지 효율적인 컴퓨팅의 중요성이 대두되고 있다. 특히 이미지 프로세싱은 이러한 장치에서 중요한 역할을 하며, 다양한 애플리케이션에서 고성능 및 저전력을 요구한다. 이미지 프로세싱에서 핵심 연산 중 하나인 가산기는 고속 연산과 전력 소모 간의 균형을 맞추기 위한 주요 구성 요소이다. 정밀 가산기는 높은 정확도를 제공하지만 전력 소모가 크다는 단점이 있다. 이에 따라 근사 가산기가 주목받고 있으며, 이를 이용하면 전력 소모와 연산 시간을 획기적으로 줄일 수 있다.

근사 가산기는 불완전한 연산을 통해 성능을 최적화하는 기법으로, 정확도가 다소 감소하더라도 인간의 눈으로는 큰 차이를 느끼기 어려운 이미지 프로세싱 애플리케이션에 매우 적합하다. 예를 들어, 근사 가산기는 JPEG decoder 등의 다양한 이미지 처리 작업에서 효과적으로 활용될 수 있다. 이러한 접근 방식은 전력 효율성을 극대화하면서도 성능을 유지할 수 있다.

본 논문에서는 저전력 이미지 프로세싱을 위한 근사 가산기의 설계 및 구현에 대해 논의한다. 먼저 근사 가산기의 기본 원리와 종류에 대해 소개하고, 다양한 근사 기법들이 이미지 프로세싱에서 어떻게 활용될 수 있는지 탐구한다. 또한, 제안된 근사 가산기의 성능을 평가하기 위해 시뮬레이션을 진행하고, 기존의 가산기와 비교 분석한다.

### II. 근사 가산기

MA(Mirror Adder)는 FA(Full Adder)의 특별한 형태로 트랜지스터 수를 줄이고 효율성을 높이기 위해 설계된 구조이다. MA는 FA의 경제적인 구현 중 하나로 널리 사용되기 때문에, 다양한 근사 FA 셀을 제안하기 위한 기초로 MA를 사용한다.

기존 MA 셀의 직렬 연결된 트랜지스터 중 일부를 제거하면 각 노드의 캐패시턴스 충전 및 방전 속도가 빨라진다. 트랜지스터 제거에 따른 회로 복잡성 감소는 동적 전력 소모에서 스위칭 캐패시턴스(C)의 값을 줄여  $P_{dynamic} = \alpha CV_{DD}^2 f$ 에서  $\alpha C$  항의 값이 작아진다. 스위칭 활동( $\alpha$ )과 부하 캐패시턴스(C)의 감소는 전반적인 전력 소모를 줄인다. 트랜지스터 수가 줄어들어 따라 회로의 물리적 면적도 감소한다.

#### 1. 기존 MA

그림 1은 FA를 구현하는 널리 사용되는 방식인 기존 MA의 회로도이다. 총 24개의 트랜지스터로 구성된다.

#### 2. 근사 1

트랜지스터 수를 감소시키기 위하여 기존 회로도에서 트랜지스터를 제거한다. 이때 A, B 및 Cin의 입력 조합으로 인해 단순화된 회로도에서 단락 또는 개방 회로가 발생하지 않는지 확인해야 한다. 또한 단순화 결과 FA 진리표에 최소한의 오류가 발생하도록 해야 한다. 개방 또는 단락이 발생하지 않도록 하여 트랜지스터를 제거하면 그림 2와 같은 회로도가 생성되며 이를 근사 1이라고 한다.

# 근사 가산기를 이용한 저전력 디지털 신호 처리

## Low-Power Digital Signal Processing Using Approximate Adders

김현진, 박소현, 엄찬하  
(Hyunjin Kim, Sohyeon Park, Chanha Um)

**요약:** 본 논문은 저전력 이미지 프로세싱을 위한 근사 가산기의 설계와 구현에 대해 다룬다. 이미지 프로세싱은 대량의 데이터를 처리해야 하므로 전력 소모가 큰 작업 중 하나이다. 이를 해결하기 위해 근사 가산기를 도입하여 전력 효율성을 극대화하고자 한다. 본 연구에서는 다양한 근사 가산기 기법을 소개하고, 이를 이미지 프로세싱에 적용하여 성능을 평가한다.

**Abstract:** This article addresses the design and implementation of approximate adders for low-power image processing. Image processing is one of the power-intensive tasks due to the need to process large amounts of data. To address this issue, we introduce approximate adders to maximize power efficiency. This study introduces various approximate adder techniques and evaluates their performance when applied to image processing.

**Keywords:** Approximate Adders, Low-Power Image Processing, JPEG decoding

### I. 서론

최근 몇 년간 모바일 기기와 사물 인터넷 장치의 급격한 확산과 더불어 에너지 효율적인 컴퓨팅의 중요성이 대두되고 있다. 특히 이미지 프로세싱은 이러한 장치에서 중요한 역할을 하며, 다양한 애플리케이션에서 고성능 및 저전력을 요구한다. 이미지 프로세싱에서 핵심 연산 중 하나인 가산기는 고속 연산과 전력 소모 간의 균형을 맞추기 위한 주요 구성 요소이다. 정밀 가산기는 높은 정확도를 제공하지만 전력 소모가 크다는 단점이 있다. 이에 따라 근사 가산기가 주목받고 있으며, 이를 이용하면 전력 소모와 연산 시간을 획기적으로 줄일 수 있다.

근사 가산기는 불완전한 연산을 통해 성능을 최적화하는 기법으로, 정확도가 다소 감소하더라도 인간의 눈으로는 큰 차이를 느끼기 어려운 이미지 프로세싱 애플리케이션에 매우 적합하다. 예를 들어, 근사 가산기는 JPEG decoder 등의 다양한 이미지 처리 작업에서 효과적으로 활용될 수 있다. 이러한 접근 방식은 전력 효율성을 극대화하면서도 성능을 유지할 수 있다.

본 논문에서는 저전력 이미지 프로세싱을 위한 근사 가산기의 설계 및 구현에 대해 논의한다. 먼저 근사 가산기의 기본 원리와 종류에 대해 소개하고, 다양한 근사 기법들이 이미지 프로세싱에서 어떻게 활용될 수 있는지 탐구한다. 또한, 제안된 근사 가산기의 성능을 평가하기 위해 시뮬레이션을 진행하고, 기존의 가산기와 비교 분석한다.

### II. 근사 가산기

MA(Mirror Adder)는 FA(Full Adder)의 특별한 형태로 트랜지스터 수를 줄이고 효율성을 높이기 위해 설계된 구조이다. MA는 FA의 경제적인 구현 중 하나로 널리 사용되기 때문에, 다양한 근사 FA 셀을 제안하기 위한 기초로 MA를 사용한다.

기존 MA 셀의 직렬 연결된 트랜지스터 중 일부를 제거하면 각 노드의 캐패시턴스 충전 및 방전 속도가 빨라진다. 트랜지스터 제거에 따른 회로 복잡성 감소는 동적 전력 소모에서 스위칭 캐패시턴스(C)의 값을 줄여  $P_{dynamic} = \alpha C V_{DD}^2 f$ 에서  $\alpha C$  항의 값이 작아진다. 스위칭 활동( $\alpha$ )과 부하 캐패시턴스(C)의 감소는 전반적인 전력 소모를 줄인다. 트랜지스터 수가 줄어들어 따라 회로의 물리적 면적도 감소한다.

#### 1. 기존 MA

그림 1은 FA를 구현하는 널리 사용되는 방식인 기존 MA의 회로도이다. 총 24개의 트랜지스터로 구성된다.

#### 2. 근사 1

트랜지스터 수를 감소시키기 위하여 기존 회로도에서 트랜지스터를 제거한다. 이때 A, B 및 Cin의 입력 조합으로 인해 단순화된 회로도에서 단락 또는 개방 회로가 발생하지 않는지 확인해야 한다. 또한 단순화 결과 FA 진리표에 최소한의 오류가 발생하도록 해야 한다. 개방 또는 단락이 발생하지 않도록 하여 트랜지스터를 제거하면 그림 2와 같은 회로도가 생성되며 이를 근사 1이라고 한다.

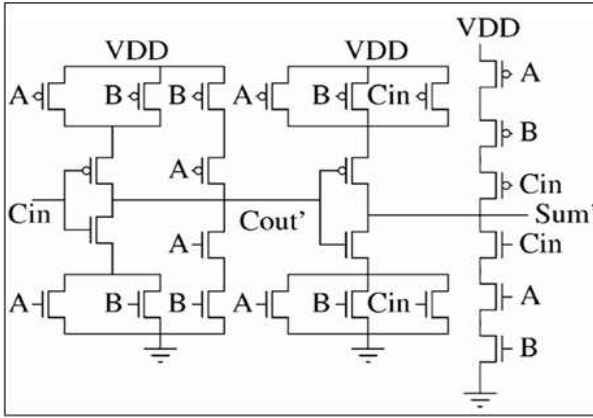


그림 1. Conventional MA

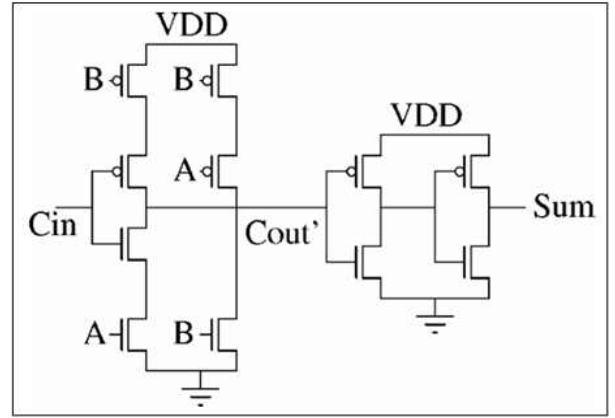


그림 4. 근사 3

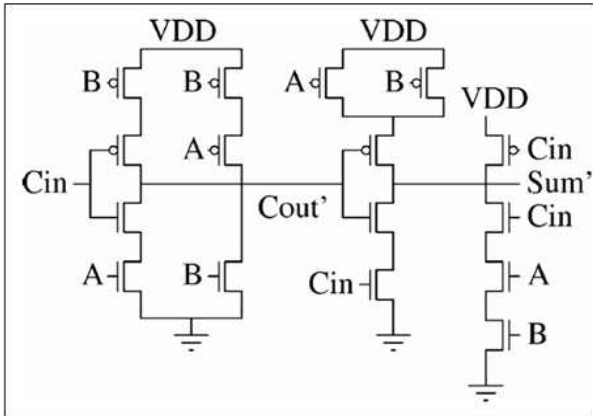


그림 2. 근사 1

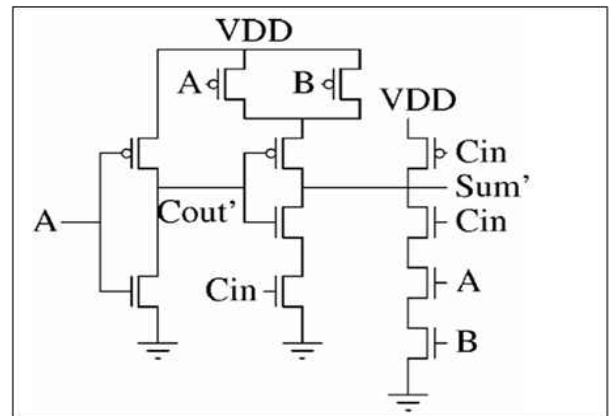


그림 5. 근사 4

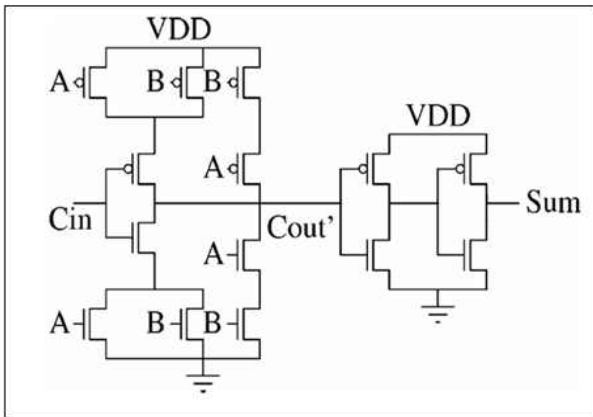


그림 3. 근사 2

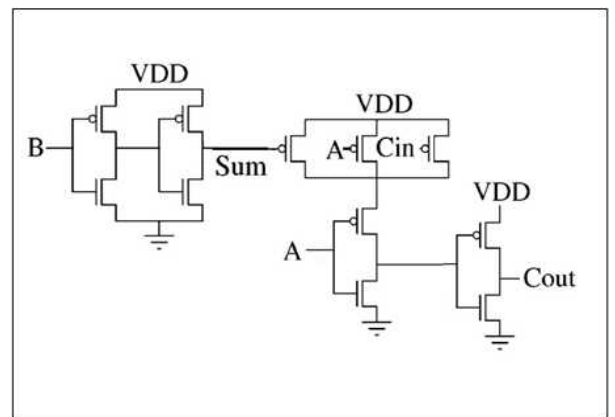


그림 6. 근사 5

이 회로도도 기존 MA 회로도에 비해 8개 더 적은 트랜지스터를 사용한다. 표 I에 나타난 바와 같이 Cout에 1개, Sum에 2개의 오류가 발생한다.

### 3. 근사 2

FA 진리표에서  $A = 0, B = 0, Cin = 0$  와  $A = 1, B = 1, Cin = 1$ 인 경우를 제외하고 8가지 경우 중 6가지 경우에 대해  $Sum = Cout$ 인 것을 확인할 수 있다. 따라서  $Sum = Cout$ 으로 설정하면 간단한 회로도를 얻을 수 있다. Cout 이후에 버퍼 단계를 추가하여 동일한 기능을 구현한다.

Sum을 기존의 MA에서와 같이 Cout으로 설정하면, Sum 노드의 총 커패시턴스는 4개의 소스-드레인 확산 커패시턴스와 2개의 게이트 커패시턴스의 조합으로 구성된다. 이는 기존 방식이나 근사 1에 비해 상당히 증가한 것이다. 이러한 설계는 지연 패들티를 초래할 수 있기 때문에 버퍼를 추가한다.

그림 3은 근사 2 회로도를 나타낸다. 근사 2의 경우 Sum에는 오류가 2개 발생하고 Cout은 모든 경우에 대해 정확하다.

### 4. 근사 3

그림 4에 나타난 것과 같이 근사 1과 2를 결합하여 회로를 단순화하였다. Cout에 1개, Sum에 3개의 오류가 발생한다.

### 5. 근사 4

FA 진리표에서 8가지 경우 중 6가지 경우에  $Cout = A$ 이다. 마찬가지로 8가지 경우 중 6가지 경우에  $Cout = B$ 이다. A와 B는 교환 가능하므로  $Cout = A$ 로 간주한다. A를 입력으로 사용하는 인버터를 이용해 Cout을 계산하고 Sum은 근사치 1과 유사하게 계산한다. Cout에 2개, Sum에 3개의 오류가 발생한다.

표 1. FA와 근사 1-5 진리표

Input			Accurate Output		Approximation Output									
A	B	Cin	Sum	Cout	Sum1	Cout1	Sum2	Cout2	Sum3	Cout3	Sum4	Cout4	Sum5	Cout5
0	0	0	0	0	0	0	1	0	1	0	0	0	0	0
0	0	1	1	0	1	0	1	0	1	0	1	0	0	0
0	1	0	1	0	0	1	1	0	0	1	0	0	1	0
0	1	1	0	1	0	1	0	1	0	1	1	0	1	0
1	0	0	1	0	0	0	1	0	1	0	0	1	0	1
1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
1	1	0	0	1	0	1	0	1	0	1	0	1	1	1
1	1	1	1	1	1	1	0	1	0	1	1	1	1	1

## 6. 근사 5

근사 4와 마찬가지로 Cout = A를 사용하면 근사 5에는 Sum = A, Cout = A와 Sum = B, Cout = A라는 두 가지 선택지가 있다. 첫 번째 방식에서는 Sum과 Cout이 정확한 출력과 일치하는 경우가 8가지 중 2가지이고 두 번째 방식에서는 8가지 중 4가지이다. Sum과 Cout의 오류를 최소화하기 위해 두 번째 방식을 선택한다. Sum 및 Cout 노드의 출력 커패시턴스를 제한하기 위해 버퍼를 사용하여 Sum = B, Cout = A를 구현한다.

기존 MA에서 Cin의 입력 커패시턴스는 6개의 게이트 커패시턴스로 구성된다. 근사 1에서는 이 값이 5로 줄어든다. 근사 4에서는 3개로 줄어듦, 근사치 2와 3에서는 2개로 줄어든다. 이는 캐리 전파 동안 Cout 노드의 충전/방전 속도를 빠르게 한다. 기존의 경우 노드 A에서의 입력 커패시턴스는 8개의 게이트 커패시턴스로 구성된다. 근사 1, 2, 4에서는 4개의 게이트 커패시턴스로, 근사 3에서는 2개로 줄어든다. 마찬가지로, 노드 B의 경우는 기존, 근사치 1-4에 대해 각각 8, 5, 4, 3, 2개의 게이트 커패시턴스로 줄어든다.

부하 커패시턴스 감소는 전파 지연을 현저하게 감소시키고 기존보다 낮은 공급 전압에서 작동할 수 있게 한다. 제안된 근사 FA 셀은 트랜지스터 수가 적어 면적 절감 효과도 있다. 근사치 5는 모든 근사 모듈 중에서 면적이 가장 작다.

## III. 근사 계산을 이용한 이미지 처리

### 1. Image Processing Using Approximate Adder

멀티미디어 DSP 알고리즘은 대부분 덧셈과 곱셈으로 구성된다. 따라서 가산기는 이러한 알고리즘의 기본 구성 요소로 간주된다. 대부분의 멀티미디어 시스템에서 사용되는 DSP 알고리즘은 고유한 오류를 허용하는 특징이 있다. 따라서 중간 출력의 오류가 최종 출력 품질의 실질적인 감소로 나타나지 않을 수 있다. 설계한 근사 모듈의 DSP 성능을 비교하기 위해 JPEG Decoder의 IDCT 연산 부분에 근사 FA를 적용하였다. 4 LSB에만 근사 FA 셀을 사용하여 최종 출력 품질이 너무 저하되지 않도록 하였다. 비트 range를 확인해 본 결과 12bit 이상으로 설정하였을 때부터 손상이 발생하지 않아서 12bit로 설계를 진행하였다.

## 2. Output Quality

각 모듈의 DSP 성능을 확인하기 위해 Conventional FA, Approximate Adder 1~5를 Python 코드로 구현하였다. JPEG decoder의 IDCT 코드의 덧셈 부분에 12bit 연산이 이루어지도록 masking 처리를 하였다. 전체 Conventional FA를 사용하는 경우, MSB 8bit는 Conventional FA를 사용하고 LSB 4bit에 Approximate Adder 1~5를 사용하는 경우, MSB 8bit는 Conventional FA를 사용하고 LSB 4bit를 절삭하는 경우로 나누어 총 7가지 경우를 설계하였다. 각 방식의 이미지 처리 품질을 평가하고 비교하기 위해 PSNR 값을 확인하였다. 이때 PSNR은 RGB 방식에 비해 더 정밀한 품질 평가가 가능한 YUV 방식으로 계산하였다.



Original

Accurate



Approximation1

Approximation2



Approximation3

Approximation4





Approximation5      Truncation

그림 7. 모듈별 출력 이미지

PSNR 값은 Conventional FA가 가장 높고 다음으로 근사 5, 1, 2, 3, 4, 절삭 순으로 PSNR 값이 높았다. 전체적으로 PSNR 값이 감소했으나 LSB 4bit를 모두 0으로 처리하는 절삭을 제외하면 육안상 아주 심각한 품질 저하는 발생하지 않은 것을 확인하였다.

표 2. 모듈별 출력 품질

모듈	FA	1	2	3	4	5	절삭
PSNR (dB)	37.41	30.3	27.94	25.57	24.3	32.61	16.18

#### IV. Approximate Adder 구현

##### 1. Approximate Adder Layout

앞서 설계한 Schematic을 토대로 Layout을 설계하였다. Conventional FA, Approximate Adder 1~5 1bit Adder를 설계하고 각 1bit 모듈을 연결하여 12bit Adder로 확장하였다. 전체 Conventional FA를 사용하는 경우, MSB 8bit는 Conventional FA를 사용하고 LSB 4bit에 Approximate Adder 1~5를 사용하는 경우로 나누어 총 6가지 방식으로 설계하였다.

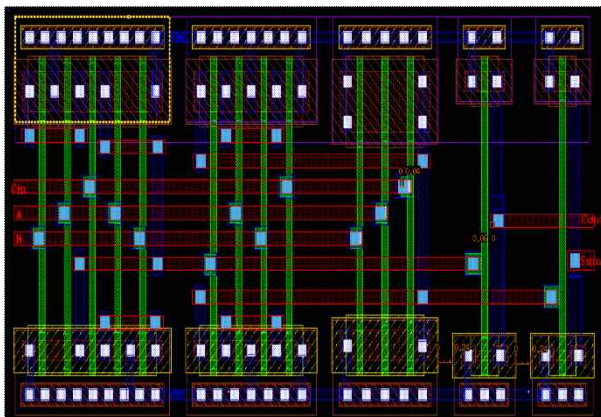


그림 8. Conventional MA

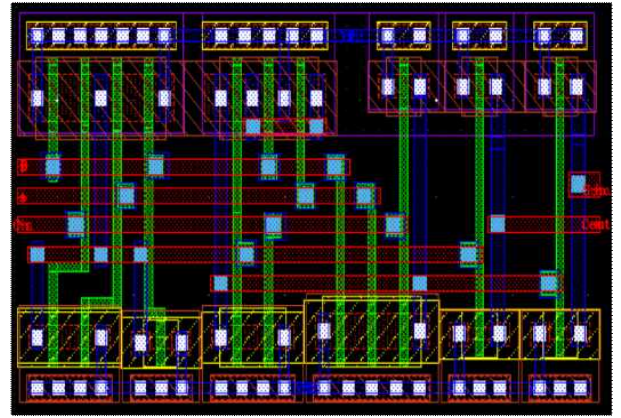


그림 9. 근사 1

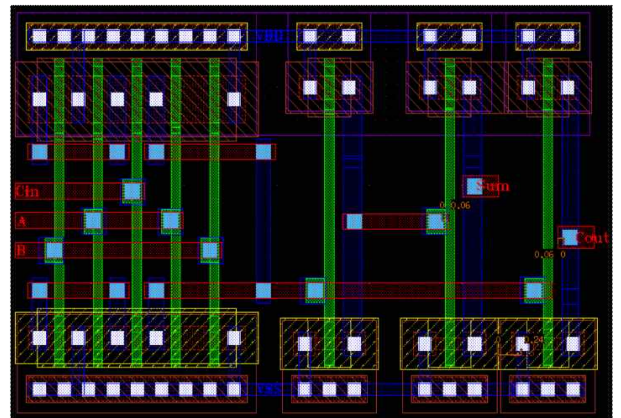


그림 10. 근사 2

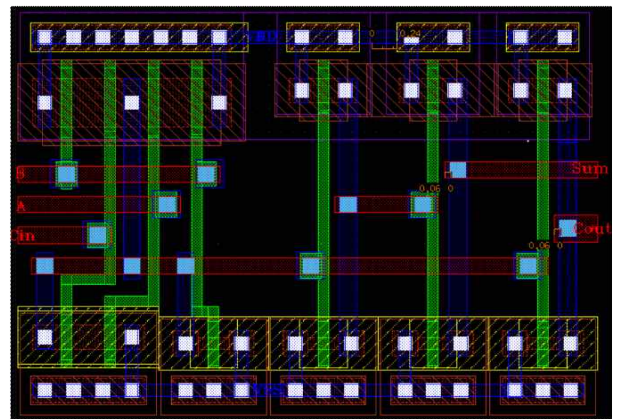


그림 11. 근사 3

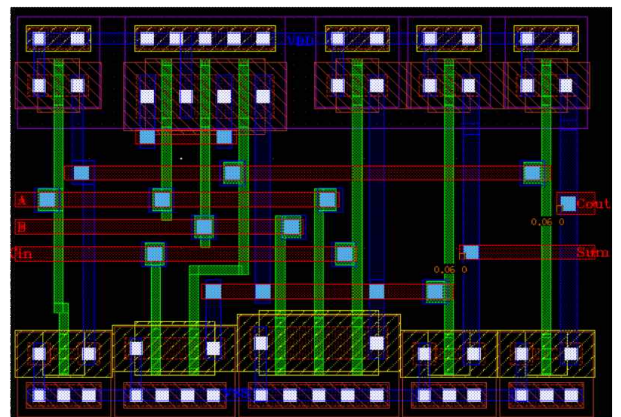


그림 12. 근사 4

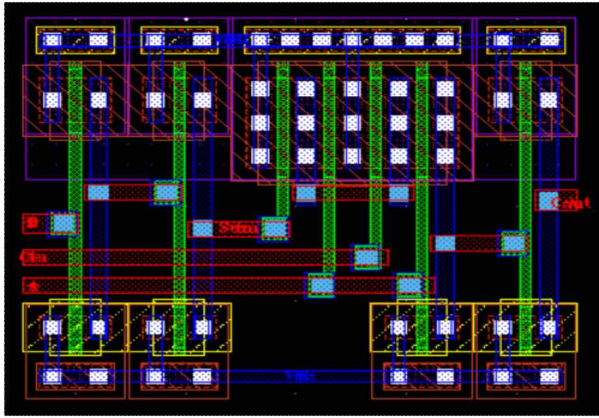
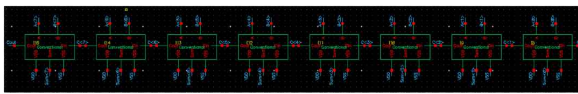
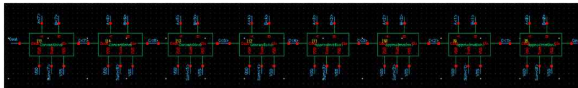


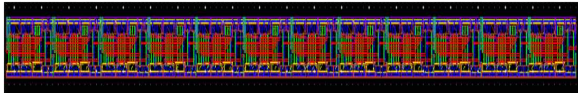
그림 13. 근사 5



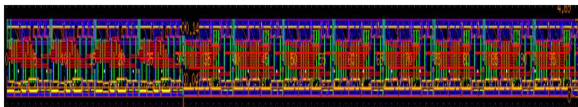
12bit Full adder 사용



8MSB Full adder, 4LSB approximation adder



Conventional



Approximation1

그림 14. 12Bit Adder 구현 방식

## 2. 결과 분석

표 3 모듈별 Power Consumption

	FA	1	2	3	4	5
Power ( $\mu W$ )	98.92	79.84	73.21	68.72	77.28	76.42
Saving Power	0%	23%	35%	43%	28%	29%
Leakage Power (W)	2.022	2.018	1.295	1.288	1.997	1.903

표 4 모듈별 Area

	FA	1	2	3	4	5
Area ( $\mu m^2$ )	490.20	471.25	435.42	431.67	445.17	420.79
Saving Area	0%	1.04%	1.13%	1.14%	1.10%	1.16%

## 2. 결과 분석

설계한 각 모듈의 Layout 면적을 측정하고 시뮬레이션을 통해 소비 전력을 측정하였다. Power Consumption은 FA가  $98.92\mu W$ 로 측정되었고 Module 1, 4, 5, 2, 3 순으로 감소하였다. Module 3는  $68.72\mu W$ 로 전력소모가 가장 적었으며 Conventional Module에 비하여 43% 감소한 것을 확인하였다. Area를 측정한 결과 FA의 면적은  $490.20\mu m^2$  이었고 Module 1, 4, 2, 3, 5 순서로 면적이 작아졌다. Module 5는 면적이  $420.79\mu m^2$  로 가장 작았고 Conventional Module에 비하여 1.16% 감소하였다.

Simulation 결과를 종합적으로 비교하면 다음과 같다. 각 모듈의 성능을 정확도 측면에서 보았을 때 근사 5의 PSNR이 가장 높았다. 반면 전력 소모 측면에서는 근사 2의 전력 소모가 가장 낮은 것을 확인할 수 있었다. PSNR과 Power를 모두 고려했을 때에는 근사 5의 성능이 가장 좋은 것을 확인할 수 있었다. 출력 품질을 유지하면서 전력 소모를 줄이기 위해서는 근사 5가 가장 효율적인 것이라 판단된다.

## V. 결론

본 논문에서는 전력과 품질 간의 균형을 효과적으로 맞출 수 있는 여러 근사 가산기 모듈을 제안했다. 트랜지스터 수와 부하 커패시턴스를 줄임으로써 기존 MA 셀의 복잡성을 단순화하는 것을 목표로 했다. 근사화로 인해 발생한 오류가 JPEG Decoder에서 반영될 때, 출력 품질에 미치는 영향은 매우 적었다. 직렬로 연결된 트랜지스터 수의 감소는 유효 스위칭 커패시턴스를 줄이고 소비 전력을 감소시켰다. 제안된 근사 가산기가 저전력 기술에 적용되면 매우 적은 출력 품질 손실로 여러 이점이 있을 것이라고 예상된다.

## 참고문헌

- [1] Vaibhav Gupta and Debabrata Mohapatra, "Low-Power Digital Signal Processing Using Approximate Adders", IEEE TRANSACTIONS ON COMPUTER-AIDED DESIGN OF INTEGRATED CIRCUITS AND SYSTEMS, VOL. 32, NO. 1, January, 2013

**김 현 진**

2018~현재 인하대학교 정보통신  
공학과 학사과정 재학. 2025년 2  
월 졸업 예정. 관심 분야는 반도체  
디지털 회로설계, 시스템 반도체  
설계

**박 소 현**

2021~현재 인하대학교 정보통신  
공학과 학사과정 재학. 2025년 2  
월 졸업 예정. 관심 분야는 소프  
트웨어 개발, 반도체 디지털 회로  
설계.

**엄 찬 하**

2019~현재 인하대학교 정보통신  
공학과 학사과정 재학. 2025년 2  
월 졸업 예정. 관심 분야는 반도체  
디지털 회로설계, 시스템 반도체  
설계, 디스플레이 설계