

数字电子技术 实验报告

【实验 04-闰年计算器】

上海财经大学 信息管理与工程学院

学生姓名：吉宁岳

学号：2022111899

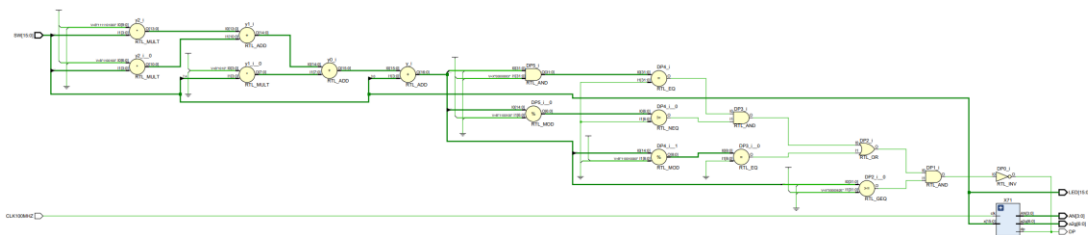
日期：2022 年 10 月 18 日

一、实验内容

- 1) 采用行为级设计一个闰年计算器, 输入信号: 16 个 SW 拨码开关。输出信号: 16 个 LED 灯与 SW 相对应; 4 个七段数码管显示 SW 的年份数据; 如果为闰年, 七段数码管的小数点亮; 否则, 小数点不亮。
- 2) 采用课件 ppt 上的例题公式, 重新做上面的题目。

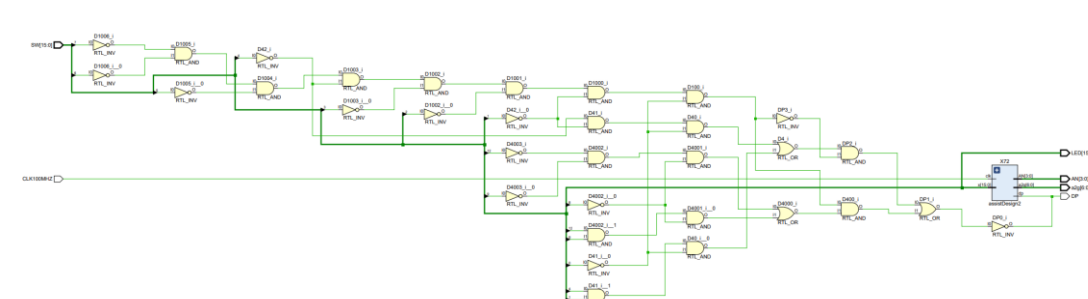
二、实验方案

实验 1:



输入	logic	int	logic	输出
				LED[15:0]
SW[15:0]	x[15:0]	y		AN[3:0]
			X71	a2g[6:0]
			!(y%4==0&& y%100!=0 y%400==0)	DP

实验 2:



输入	logic	logic	logic	输出
				LED[15:0]
SW[15:0]	x[15:0]			AN[3:0]
		D4	((!SW[4])&&(!SW[1])&&(!SW[0])) ((SW[4])&&(SW[1])&&(SW[0]))	a2g[6:0]
		D100	(!SW[7])&&(!SW[6])&&(!SW[5])&&(!SW[4])&&(!SW[3])&&(!SW[2])&&(!SW[1])&&(!SW[0])	
		D400	D100&&(((SW[12])&&(!SW[9])&&(!SW[8])) ((SW[12])&&(SW[9])&&(!SW[8])))	DP

【备注】

SW-拨码开关

LED-LED 显示灯

AN-七段数码管阳极; a2g-七段数码管阴极

DP-小数点阴极

三、实验分析(assistDesign.sv/Dec7Seg.sv/Basys3_Master.xdc 与实验 2 一致,故略)

1. 实验一 (mainDesign1.sv)

```

12 module mainDesign1(
13     input logic CLK100MHZ,
14     input logic [15:0] SW,
15     output logic [6:0] a2g,
16     output logic [3:0] AN,
17     output logic [15:0] LED,
18     output logic DP
19 );
20     logic [15:0] x;
21     assign LED = SW;
22     assign x = SW;
23     int y;
24
25     assign y = 'd1000*x[15:12]+'d100*x[11:8]+'d10*x[7:4]+'d1*x[3:0];
26     assign DP = !(((y%'d4=='d0&&y%'d100!='d0)|| (y%'d400=='d0))&&(y>='d1582));
27
28     assistDesign1 X71(.x(x),
29         .clk(CLK100MHZ),
30         .a2g(a2g),
31         .AN(AN),
32         .dp(DP));
33
34 endmodule

```

【分析】

1.16 位二进制 x (SW 输入信号) → 整型数 y (实际对应年份)

2.DP=!置闰 (小数点高电平熄灭低电平点亮)

3.置闰= (四年一闰&&百年不闰||四百年又闰) && (1582 年之后置闰)

2.实验二 (mainDesign2.sv)

```

9 module mainDesign2(
10     input logic CLK100MHZ,
11     input logic [15:0] SW,
12     output logic [6:0] a2g,
13     output logic [3:0] AN,
14     output logic [15:0] LED,
15     output logic DP
16 );
17     logic [15:0] x;
18     logic D4;
19     logic D100;
20     logic D400;
21
22     assign D4=((!SW[4]&&!SW[1]&&!SW[0])||((SW[4]&&(SW[1]&&!SW[0])));
23     assign D100=((!SW[7]&&!SW[6]&&!SW[5]&&!SW[4]&&!SW[3]&&!SW[2]&&!SW[1]&&!SW[0]);
24     assign D400=(D100&&((!SW[12]&&!SW[9]&&!SW[8])||((SW[12]&&(SW[9]&&!SW[8])));
25     assign DP=!((D4&&!D100)||D400);
26     assign LED = SW;
27     assign x = SW;
28
29     assistDesign2 X72(.x(x),
30         .clk(CLK100MHZ),
31         .a2g(a2g),
32         .AN(AN),
33         .dp(DP));
34
35 endmodule

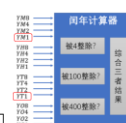
```

【分析】

左图:开关-引脚对应关系

右图:参考公式分析

SW0	SW1	SW2	SW3	SW4	SW5	SW6	SW7
Y01	Y02	Y04	Y08	YT1	YT2	YT4	YT8
SW8	SW9	SW10	SW11	SW12	SW13	SW14	SW15
YH1	YH2	YH4	YH8	YM1	YM2	YM4	YM8



被4整除：若十位(YT1=0)为偶数，个位=0或4或8，如，20、24、28、40--
若十位(YT1=1)为奇数，个位=2或6，如，12、16、32、36--

$$D_4 = \overline{YT_1}(\overline{Y0_8} \cdot \overline{Y0_4} \cdot \overline{Y0_2} \cdot \overline{Y0_1} + \overline{Y0_8} \cdot Y0_4 \cdot \overline{Y0_2} \cdot \overline{Y0_1} + Y0_8 \cdot \overline{Y0_4} \cdot \overline{Y0_2} \cdot \overline{Y0_1}) + YT_1(\overline{Y0_8} \cdot \overline{Y0_4} \cdot Y0_2 \cdot \overline{Y0_1} + \overline{Y0_8} \cdot Y0_4 \cdot Y0_2 \cdot \overline{Y0_1})$$

因数字10(A)-15(F)不会出现
利用无关项进一步化简为：

$$D_4 = \overline{YT_1} \cdot \overline{Y0_2} \cdot \overline{Y0_1} + YT_1 \cdot Y0_2 \cdot \overline{Y0_1}$$

被100整除：后两位十进制数是否为0

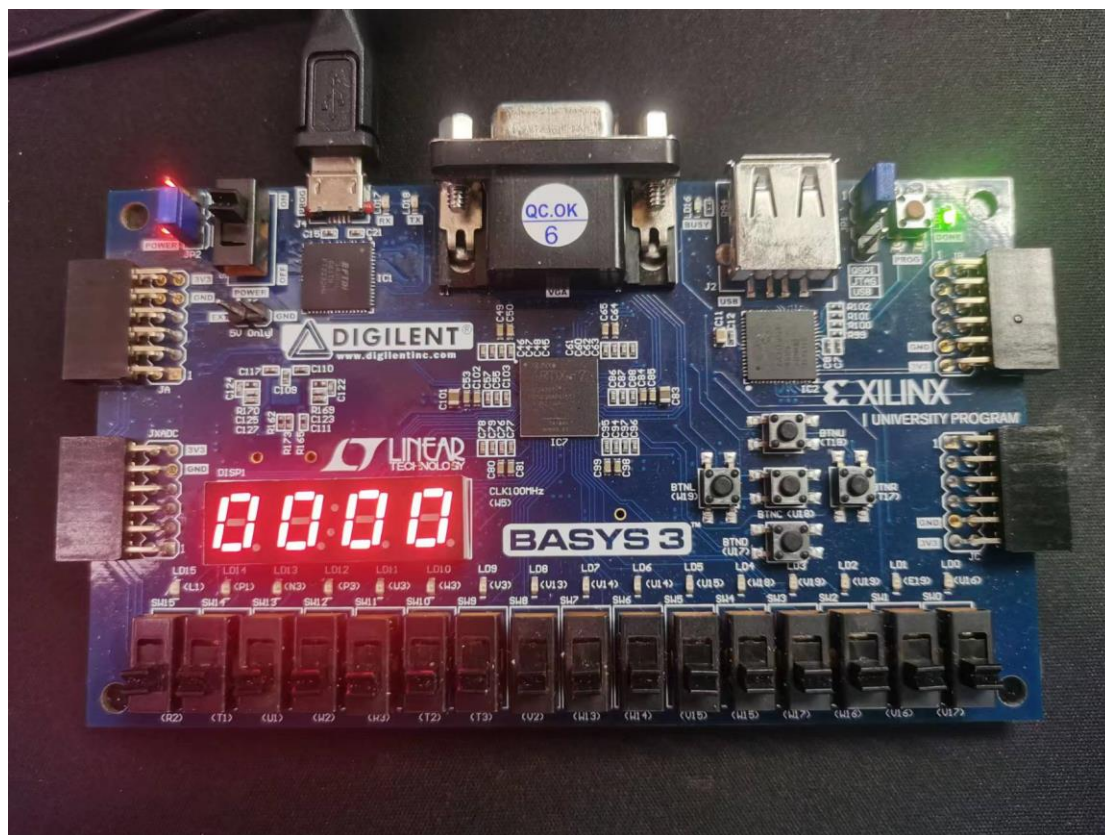
$$D_{100} = \overline{YT_8} \cdot \overline{YT_4} \cdot \overline{YT_2} \cdot \overline{YT_1} \cdot \overline{Y0_8} \cdot \overline{Y0_4} \cdot \overline{Y0_2} \cdot \overline{Y0_1}$$

被400整除：能被100整除且高2位能被4整除 $D_{400} = D_{100}(\overline{YM_1} \cdot \overline{YH_2} \cdot \overline{YH_1} + YM_1 \cdot YH_2 \cdot \overline{YH_1})$

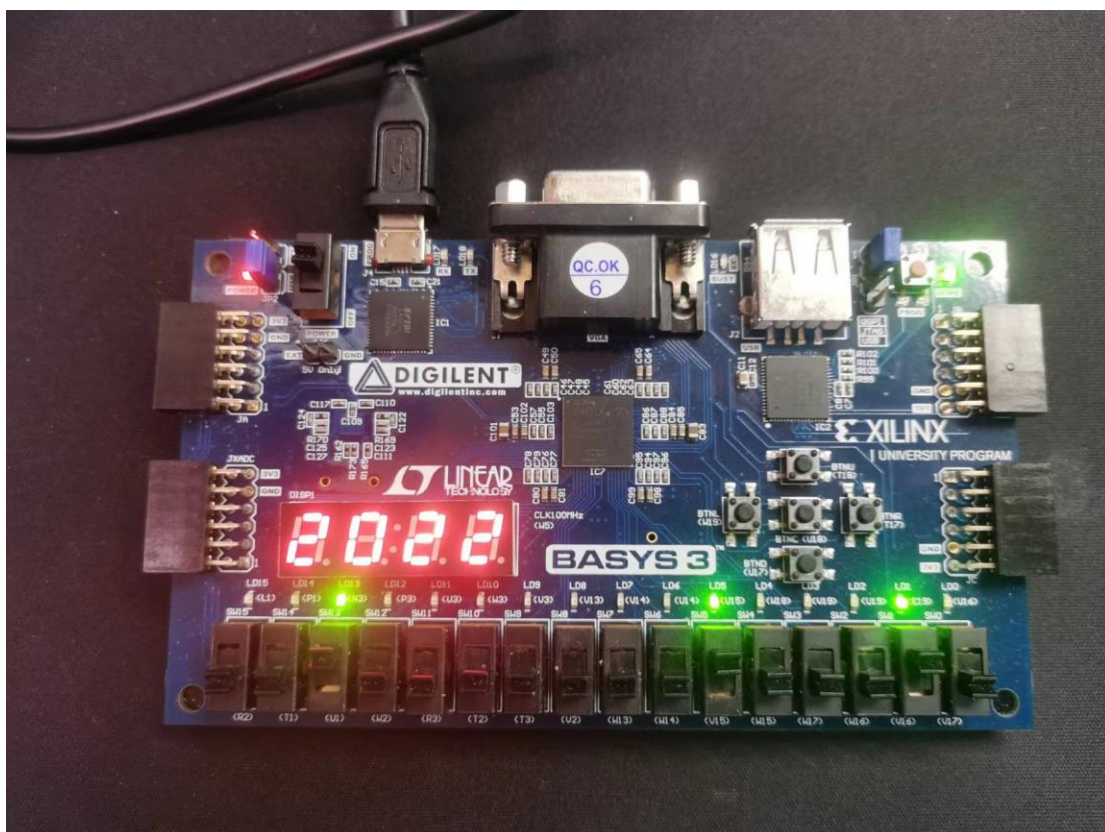
$$\text{综合判断: } leap = D_4 \cdot \overline{D_{100}} + D_{400}$$

四、实验现象

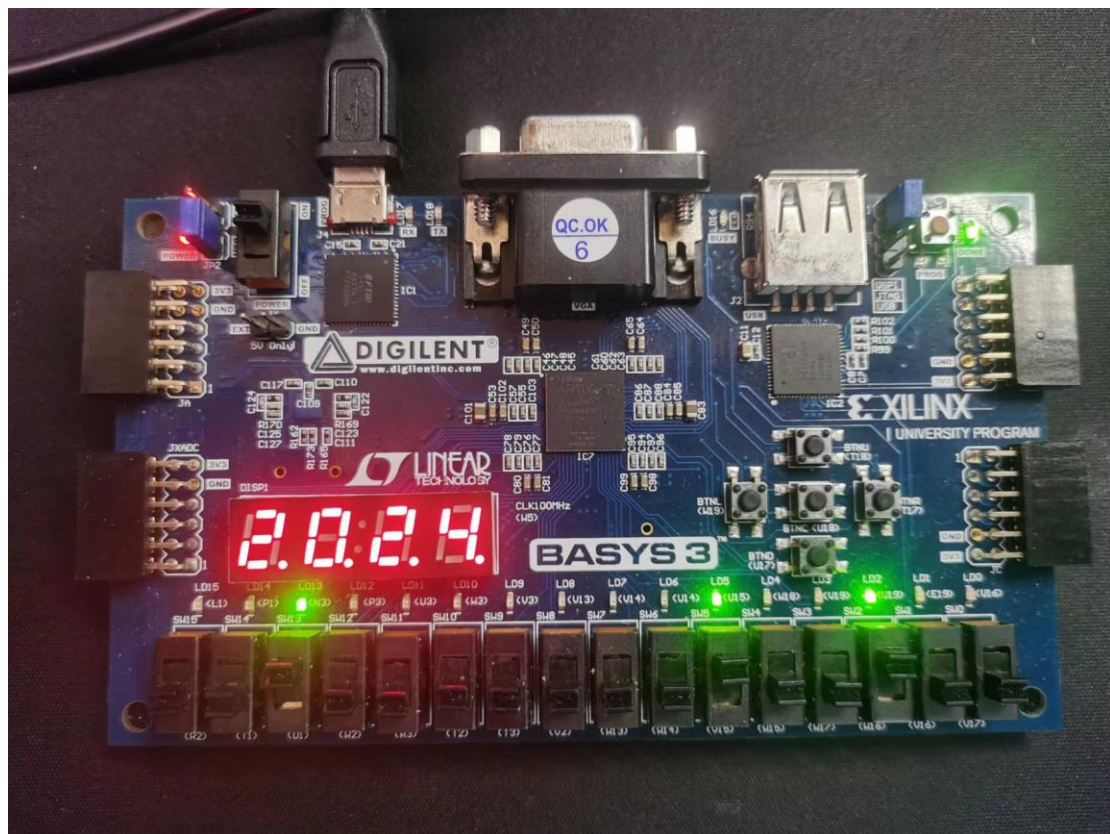
1.初始状态 (0000 符合置闰条件但<1582, 小数点不亮)



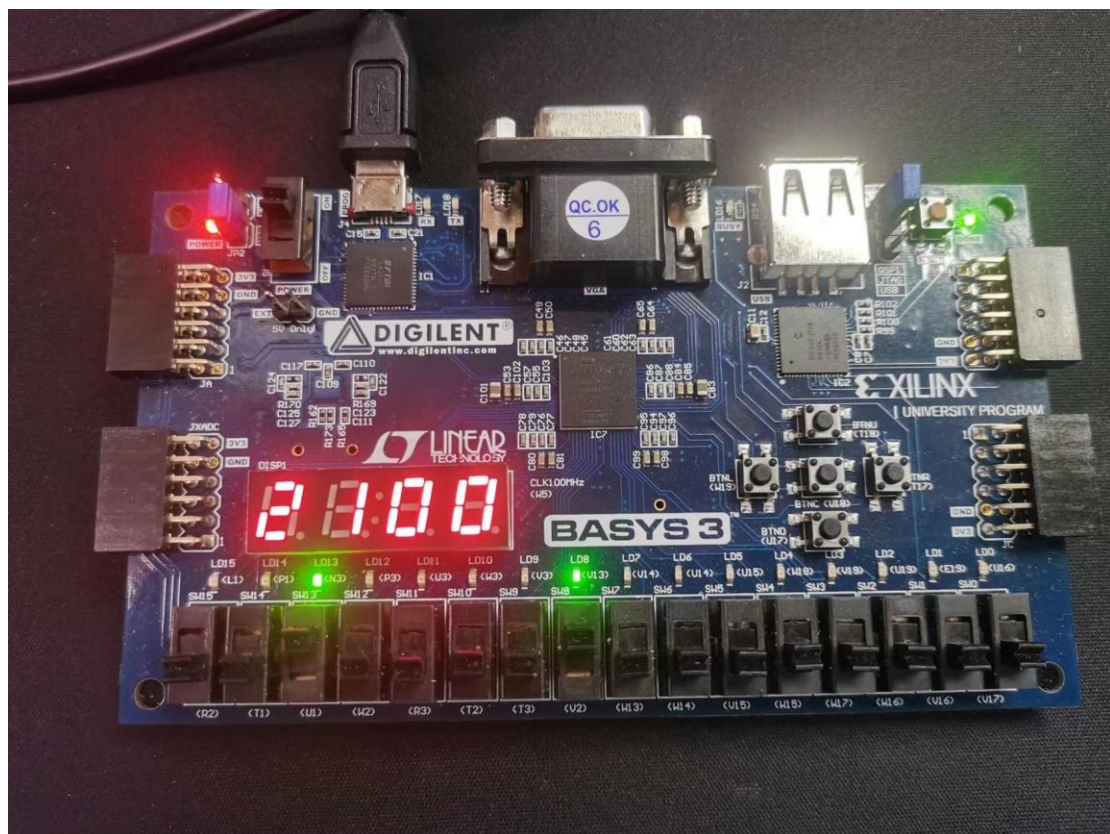
2.非闰年：2022 (小数点不亮)



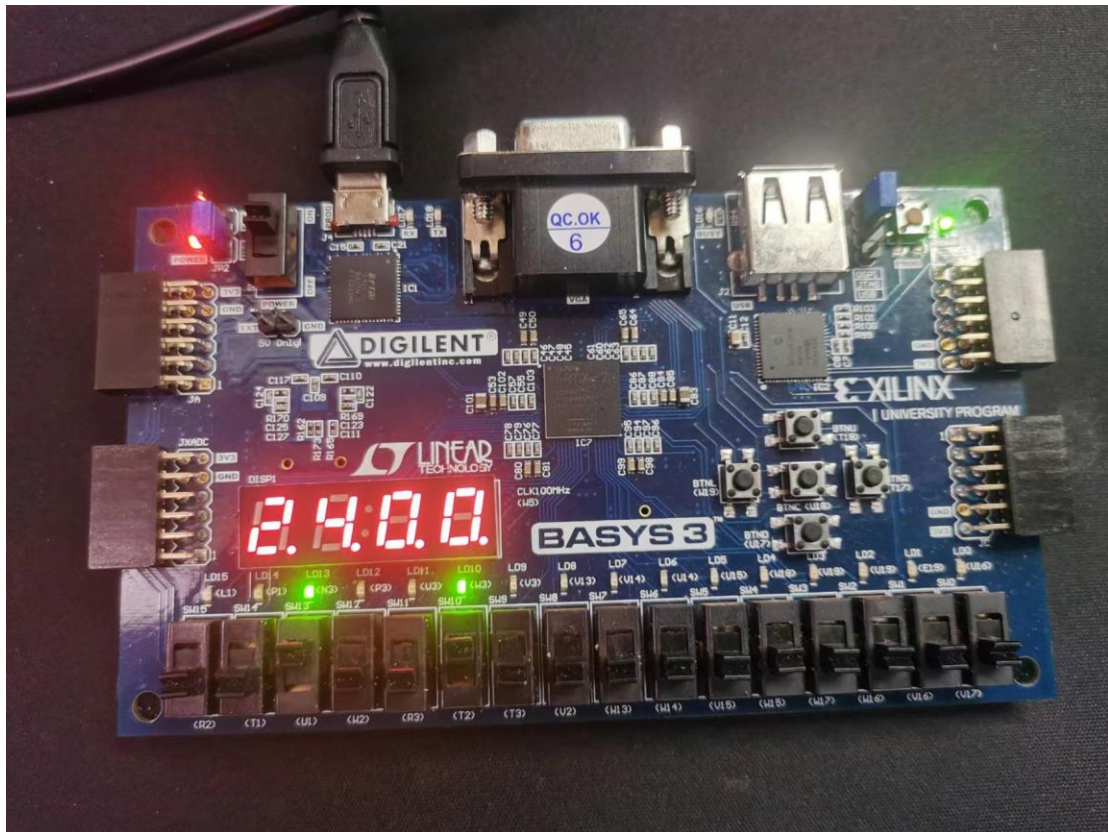
3.四年一闰：2024（小数点亮）



4.百年不闰：2100（小数点不亮）



5.四百年又闰：2400（小数点亮）



五、总结与思考

- 1.在行为级设计此项目时需要注意拨码开关所表示的为十六进制数，需要添加一个整型变量以将其转换为十进制数
- 2.组合逻辑分析能够化简电路从而提高工作效率，但是需要注意在化简时的准确性
- 3.收获：学习了行为级设计方法，理解了自己进行组合逻辑设计与 Verilog 中设计之间的区别。