

## Content

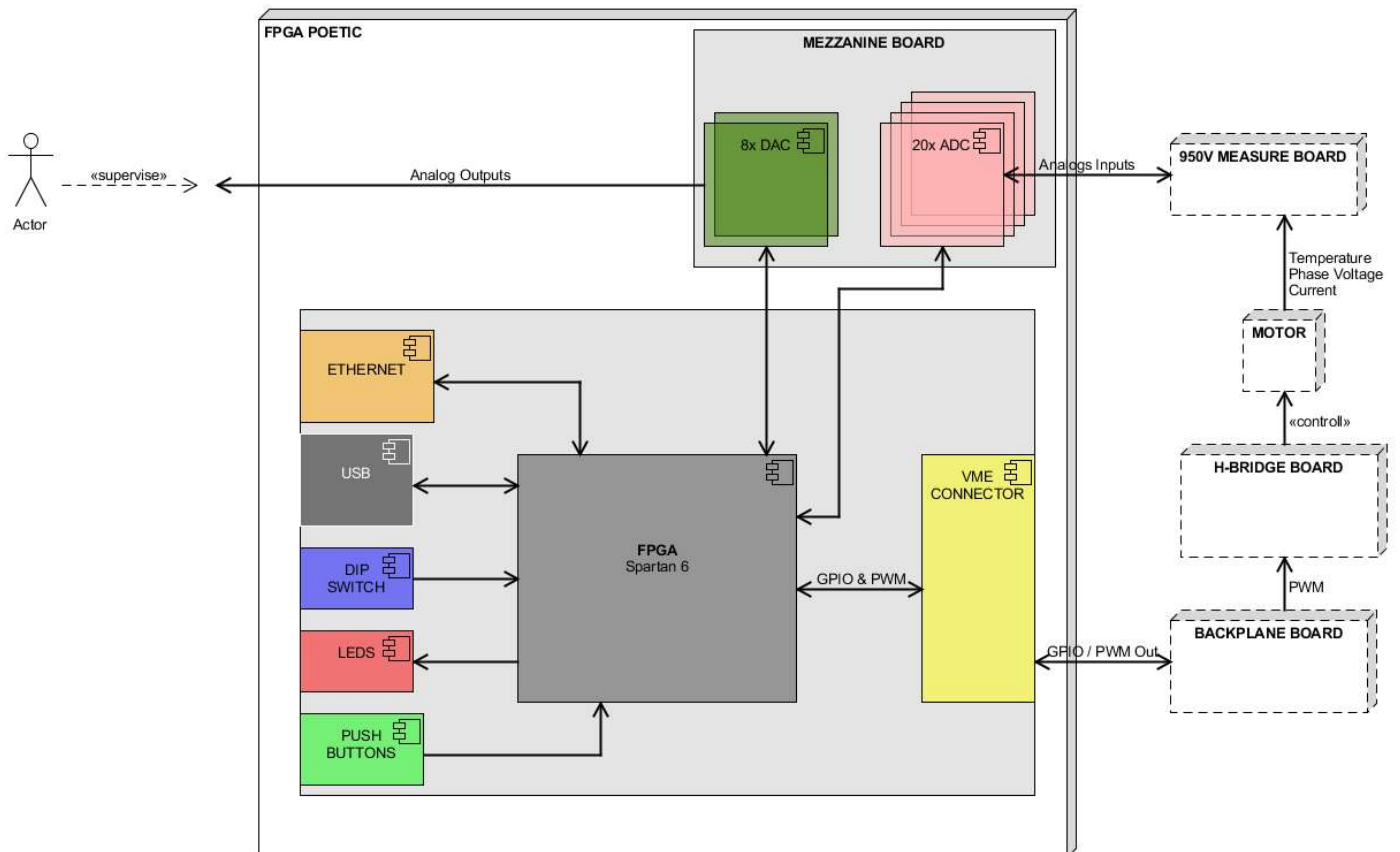
<b>1</b>	<b>Scientific report content.....</b>	<b>6</b>
<b>1.1</b>	<b>Hardware.....</b>	<b>6</b>
1.1.1	Schéma Bloc.....	6
1.1.2	Connecteur VME .....	7
1.1.3	ADC .....	8
1.1.3.1.	Analyse ADC carte processeur .....	8
1.1.3.2.	Types d'architectures des ADC .....	10
1.1.3.2.1.	Sigma delta.....	10
1.1.3.2.2.	SAR .....	10
1.1.3.2.3.	Pipeline.....	11
1.1.3.3.	Latence.....	12
1.1.3.4.	Fréquence d'échantillonnage minimale .....	12
1.1.3.5.	Types d'interfaces.....	13
1.1.3.6.	Choix de l'ADC .....	14
1.1.3.7.	Differential vs Single-Ended.....	15
1.1.3.8.	Differential to Single-Ended.....	15
1.1.3.8.1.	Simulation .....	15
1.1.3.9.	Alimentation des ADC .....	15
1.1.4	DAC .....	15
1.1.4.1.	Simulation.....	15
1.1.5	FPGA .....	15
1.1.5.1.	Compatibilités entre FPGA.....	15
1.1.5.2.	Oscillateur.....	15
1.1.5.3.	Banks .....	15
1.1.5.4.	Alimentations.....	15
1.1.5.5.	Flash .....	15
1.1.5.6.	Boutons de reset .....	15
1.1.5.7.	Interface de communication.....	16
1.1.6	Interface de communication.....	16
1.1.6.1.	USB to UART .....	16
1.1.6.2.	SPI LVDS .....	16
1.1.6.3.	PHY Ethernet.....	16

1.1.6.3.1. Oscillateur .....	16
1.1.7 Interfaces utilisateurs.....	16
1.1.7.1. Boutons.....	16
1.1.7.2. LEDs.....	16
1.1.7.3. DIP-SWITCH .....	16

# 1 Scientific report content

## 1.1 Hardware

### 1.1.1 Schéma Bloc



L'électronique a été, comme pour l'électronique de la carte processeur, séparée en deux parties distinctes. Ce qui permet dans la pratique de pouvoir tester indépendamment les fonctionnalités ajoutées (par exemple avec une carte de développement connue) ainsi que de limiter les sources d'erreurs. Le cœur de la « FPGA BOARD » est une FPGA Spartan 6 de la marque Xilinx. Cette FPGA peut interagir avec l'utilisateur avec des LEDs, des boutons poussoirs ainsi qu'un DIP Switch à 4 positions. Un Phy Ethernet ainsi qu'un convertisseur USB vers UART permet à la FPGA de communiquer avec le monde extérieur. Elle peut acquérir 20 signaux analogiques simultanément

grâce à des convertisseurs analogiques digitaux (ADC) qui se trouvent sur la « MEZZANINE BOARD ». Sur cette même board se trouve 8 convertisseurs digitaux analogiques (DAC) commandés par la FPGA, ce qui permet à l'utilisateur de pouvoir lire / afficher les signaux mesurés. La connexion entre les deux cartes est assurée par des connecteurs mezzanine.

Dans son environnement, cette électronique permet donc de réguler un ou plusieurs moteurs. Grâce à ses interfaces de communications (Ethernet, USB), la board reçoit une consigne fournie par l'utilisateur. En fonction de celle-ci, le FPGA agit sur ses signaux de commande (PWM) qui contrôlent le moteur. La boucle de régulation est assurée par des mesures effectuées sur le moteur. Ces mesures sont effectuées par les convertisseurs analogiques digitaux de l'électronique. Les signaux sont en amont mis en forme par la carte « 950V MEASURE BOARD ».

#### **1.1.2 Connecteur VME**

### 1.1.3 ADC

Un convertisseur analogique digital est un dispositif électronique dont la fonction est de traduire une tension analogique en une valeur numérique codée sur plusieurs bits.

Lors de sa conversion, le signal est alors quantifié et échantillonné. L'échantillonnage consiste à relever à intervalle régulier la valeur d'un signal. La quantification consiste à approcher la tension du signal d'un ensemble de valeurs discret codée sur plusieurs bits. Une quantification sur de nombreux bits ainsi qu'un échantillonnage rapide permet une reconstruction fidèle du signal mesuré.

Contrairement au processeur TMS320F28377SPTPT sur la carte processeur, les FPGAs ne disposent, pas toutes, d'ADC dans leur architecture. Ce chapitre aborde le dimensionnement d'un système contenant une multitude de convertisseur A/D 12 bits pouvant échantillonner 20 canaux simultanément à une fréquence d'environ 1MHz.

Sources : <https://dewesoft.com/dsq/types-of-adc-converters>  
[https://fr.wikipedia.org/wiki/Quantification\\_\(signal\)](https://fr.wikipedia.org/wiki/Quantification_(signal))  
[https://fr.wikipedia.org/wiki/Convertisseur\\_analogique-num%C3%A9rique](https://fr.wikipedia.org/wiki/Convertisseur_analogique-num%C3%A9rique)

#### 1.1.3.1. Analyse ADC carte processeur

Pour déterminer les caractéristiques des ADC de la nouvelle électronique, il faut s'intéresser à la carte processeur. Selon le datasheet du processeur TMS320F28377SPTPT, il dispose dans son architecture 4 convertisseurs analogiques digitaux 12 bits (entrées single-ended) ou 16 bits (entrées différentielles). Le processeur travaille avec des convertisseurs analogiques digitaux 12 bits (single-ended) car l'électronique possède 20 canaux analogiques en entrées. Avec des ADC 16 bits, le nombre d'entrées analogiques serait limité à 12 canaux. La quantification du signal doit être de ce fait, au minimum de 12 bits.

La fréquence d'échantillonnage maximale pour 20 canaux se calcule donc de la manière suivante

- Analog subsystem
  - Up to four Analog-to-Digital Converters (ADCs)
    - 16-bit mode
      - 1.1 MSPS each (up to 4.4-MSPS system throughput)
      - Differential inputs
      - Up to 12 external channels
    - 12-bit mode
      - 3.5 MSPS each (up to 14-MSPS system throughput)
      - Single-ended inputs
      - Up to 24 external channels

Figure 1 - Caractéristiques des ADC dans le processeur TMS320F28377SPTPT

$$F_{\text{échantillonnageParCanal}} = F_{\text{échantillonnageAD}} * \frac{N_{ADC}}{N_{canal}} = 3.5MSPS * \frac{4}{20} = 700kSPS$$

Si le processeur décide de ne pas mesurer certains canaux, la fréquence d'échantillonnage sera bien entendu plus élevée. Dans la pratique, le processeur n'échantillonne jamais à pleine vitesse, il doit laisser des ressources pour effectuer d'autres opérations.

### 1.1.3.2. Types d'architectures des ADC

#### 1.1.3.2.1. Sigma delta

Le convertisseur analogique digital sigma delta peut atteindre une résolution de quantification très importante (jusqu'à 24 bits) en dépit de la bande passante (inférieure au MHz). Cette architecture a tendance à rejeter le bruit ce qui le rend très stable (pas besoin de filtre anti-aliasing en entrée). Ce type de convertisseur a pour la plupart une latence non négligeable, ce qui pour notre application peut poser certains soucis de synchronisation.

[https://load.ensicaen.fr/pluginfile.php/5619/mod\\_resource/content/4/TP-3A-Micro-Simulation-Sigma-Delta.pdf](https://load.ensicaen.fr/pluginfile.php/5619/mod_resource/content/4/TP-3A-Micro-Simulation-Sigma-Delta.pdf)

#### 1.1.3.2.2. SAR

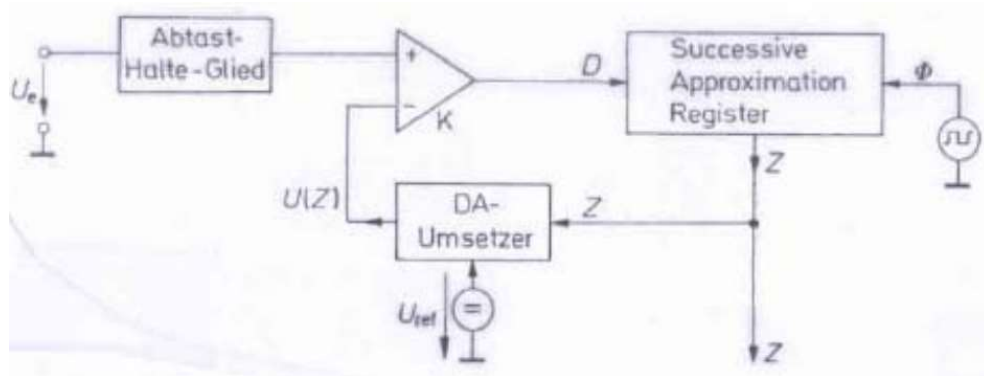


Figure 2 - Convertisseur A/D à approximation successive

Le convertisseur analogique digital par approximation successive utilise la méthode par pesée. Cette technique utilise un comparateur qui compare la valeur mesurée mémorisée avec la tension de sortie du convertisseur D/A. Au début de la conversion, le nombre  $Z$  est mis à 0. Ensuite le bit de poids fort (MSB) est mis à 1, et on effectue un test avec le comparateur. Si la tension d'entrée  $U_e$  est supérieure à la tension de sortie  $U(Z)$ , on laisse le bit à 1. Si ce n'est pas le cas, on le met à 0. Cette procédure est ensuite répétée pour tous les autres bits. Les bits sont ensuite stockés dans un registre à approximation successive.

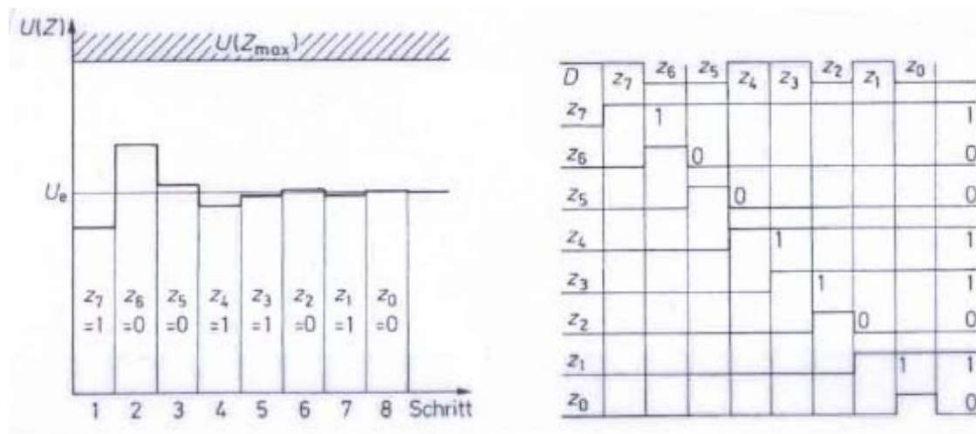


Figure 3 - Évolution de  $U(Z) / Z$  avec la méthode par pesée

Ce type de convertisseurs offrent le « meilleur des deux mondes ». À la fois un ratio vitesse d'échantillonnage / quantification élevé, une grande facilité de mise en œuvre, une très bonne précision ainsi que 0 cycle de latence.

### 1.1.3.2.3. Pipeline

Le convertisseur A/D pipeline est un mix entre la méthode parallèle et la méthode par pesée. Sur la FIGURE, une structure pipeline 10 bits est réalisée à l'aide de deux convertisseurs 5 bits. Dans un premier temps, le premier ADC effectue une conversion grossière du signal. Cette première conversion correspond aux bits de poids fort et est ensuite retransmformée en signal analogique à l'aide d'un D/A. Une soustraction est effectuée entre le signal d'entrée  $U_e$  et le signal de sortie du D/A, le tout est multiplié par  $2^{N-1}$ . Le deuxième convertisseur A/D 5 bits converti ce signal, et sa sortie correspond aux bits de poids faible.

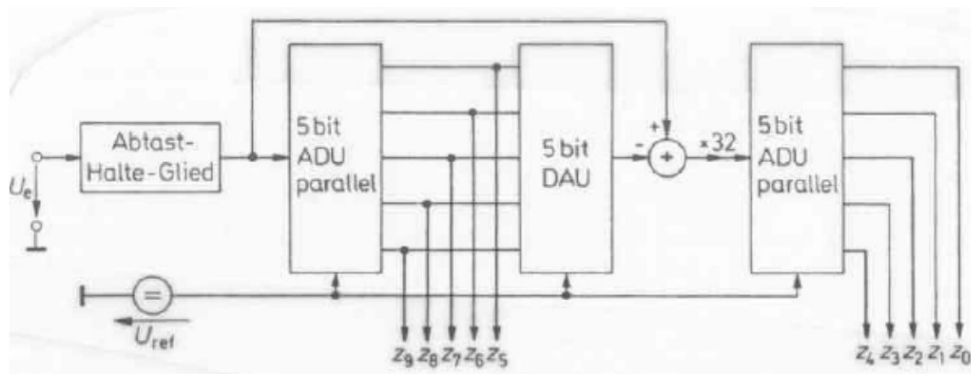


Figure 4 - Architecture pipeline 10 bits



Ce type de convertisseur peut travailler à de grandes vitesses, mais sa résolution est limitée. De plus, ce type de convertisseur dispose d'un délai de propagation des données non négligeables.

### 1.1.3.3. Latence

<https://www.digikoy.ch/fr/articles/analog-basics-part-3-pipeline-adcs-and-how-to-use-them>

L'algorithme de moyennage et de suréchantillonnage du Sigma Delta provoque un retard sur les données de sorties. La latence du convertisseur à approximation successive est nulle. Le retard des convertisseurs pipeline crée une latence non nulle. Pour l'application de régulation de moteur, il est important de ne pas négliger cette latence.

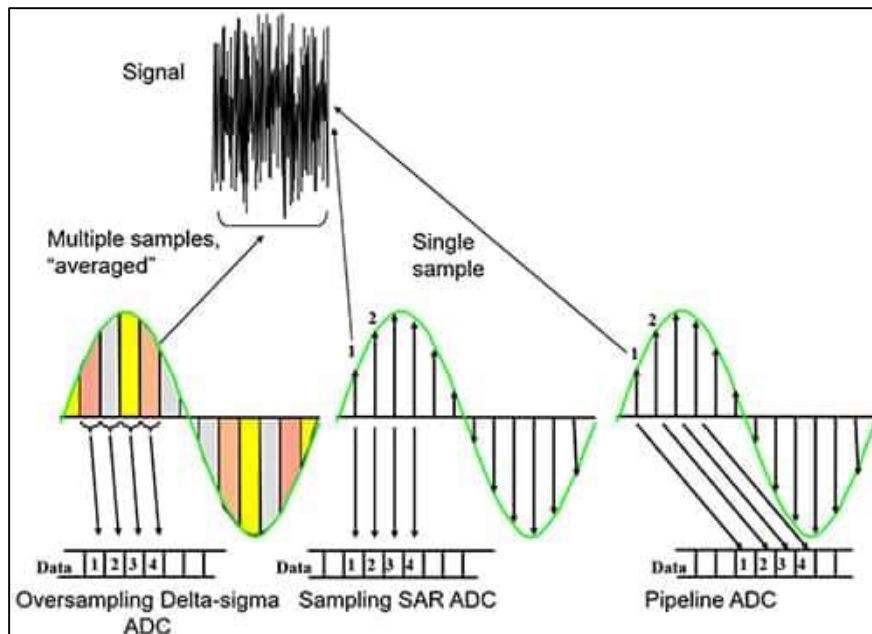


Figure 5 – Exemple de latence type pour le Sigma Delta, le SAR et le Pipeline

### 1.1.3.4. Fréquence d'échantillonnage minimale

La fréquence de l'échantillonnage est régie par le théorème de Shannon-Nyquist, qui définit la fréquence d'échantillonnage minimal pour représenter correctement un signal mesuré.

$$F_{\text{échantillonnage}} = 2 * F_{\text{signalMax}}$$

La largeur de bande en entrée de notre ADC est de 200kHz (en pratique, il s'agit de signaux de quelques kHz au maximum). De ce fait, il est établi que la fréquence d'échantillonnage minimale équivaut à

$$2 * 200 * 10^3 = 400kHz = 0.4MSPS$$

#### 1.1.3.5. Types d'interfaces

Les principales interfaces pour lire les données fournies par les convertisseurs analogiques digitaux sont :

- I2C
  - Faible vitesse
  - 1 signal de données et 1 signal de clock
- SPI
  - Vitesse élevée
- 1 clock, 1 chip select, 1 signal de données entrantes et 1 signal de données sortantes
- Parallèle
  - Vitesse élevée
  - Nombreuses connexions
- Serial
  - Vitesse élevée
  - TX (single-ended)
- LVDS Serial
  - Vitesse très élevée (1Gbs)
  - TX (differential)

Chaque interface a ses avantages ainsi que ses inconvénients. Pour cette électronique, l'interface parallèle a été évitée au vu du nombre de connexions que cette interface engendre pour 20 ADC. Il existe un moyen de multiplexer le bus parallèle à l'aide de tri-state. Mais avec des vitesses élevées et à cause du retard engendré par les tri-state, il en est presque impossible. Une interface série a donc été privilégiée.

### 1.1.3.6. Choix de l'ADC

L'ADC doit répondre aux besoins ci-dessous :

- $\geq 12$  bits
- $\geq 700\text{kSPS}$
- Single channel
- Single-Ended
- Peu de latence voir aucune
- Tension d'alimentation 3 – 3.3V

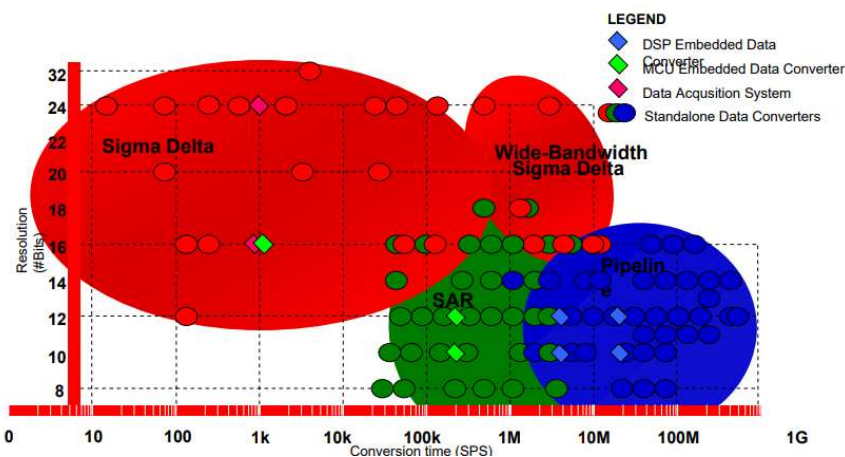


Figure 6 - <https://www.ti.com/europe/downloads/Choose%20the%20right%20data%20converter%20for%20your%20application.pdf>

Avec ces spécifications, le choix s'est porté pour la référence ADS7886SBDCKT qui dispose d'une architecture SAR. Ce chip est un convertisseur analogique digital 12 bits, avec une fréquence d'échantillonnage maximale de 1MSPS. La plage d'alimentation tension d'alimentation varie de 2.35V à 5.25V. Il dispose d'une interface série qui lui permet de transmettre ses données.

Sur la FIGURE, se trouve un diagramme de l'interface série. Lorsque la pin CS est mise à 0, l'ADC effectue une

conversion et envoie directement sur les données en série sur la pin SDO. La pin SDO est synchronisée avec le pin SCLK fournie par le maître (en l'occurrence la FPGA).

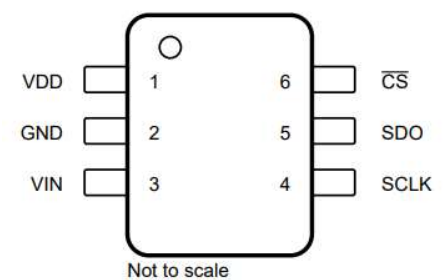


Figure 7 - ADS7886SBDCKT

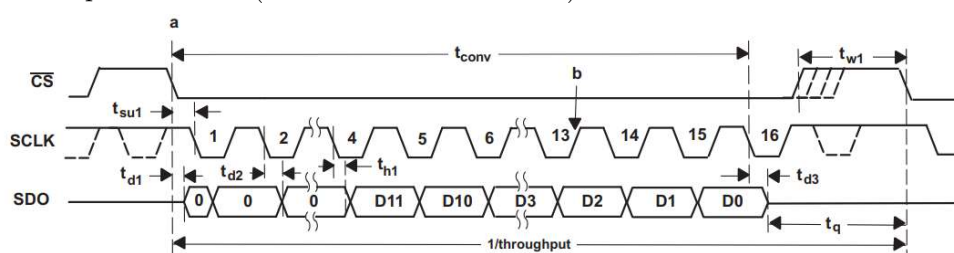


Figure 8 - Diagramme de temps de l'interface série du ADS7886SBDCKT

1.1.3.7. Differential vs Single-Ended

1.1.3.8. Differential to Single-Ended

1.1.3.8.1. Simulation

1.1.3.9. Alimentation des ADC

1.1.4 DAC

1.1.4.1. Simulation

1.1.5 FPGA

1.1.5.1. Compatibilités entre FPGA

1.1.5.2. Oscillateur

1.1.5.3. Banks

1.1.5.4. Alimentations

1.1.5.5. Flash

1.1.5.6. Boutons de reset

Anti-rebonds

**1.1.5.7. Interface de communication**

**1.1.6 Interface de communication**

**1.1.6.1. USB to UART**

**1.1.6.2. SPI LVDS**

**1.1.6.3. PHY Ethernet**

**1.1.6.3.1. Oscillateur**

**1.1.7 Intrfaces utilisateur**

**1.1.7.1. Boutons**

**1.1.7.2. LEDs**

**1.1.7.3. DIP-SWITCH**