

Travail de diplôme
FPGA Developing Board
Rapport intermédiaire

Nanchen Jean

04.06.2021

Content

1	Introduction	4
2	Cahier des charges	4
3	Hardware.....	5
3.1	Schéma Bloc	5
3.2	ADC	7
3.2.1	Analyse ADC carte processeur	7
3.2.2	Types d'architectures des ADC	9
3.2.2.1.	Sigma delta	9
3.2.2.1.1.	SAR.....	9
3.2.2.2.	Pipeline	10
3.2.3	Latence	11
3.2.4	Fréquence d'échantillonnage minimale.....	11
3.2.5	Types d'interfaces	12
3.2.6	Choix de l'ADC.....	13
3.2.7	Differential to Single-Ended	14
3.2.7.1.	Simulation.....	14
3.2.8	Alimentation des ADC	16
3.2.9	Communication avec la FPGA (signal level)	17
3.2.10	Schématique	18
3.3	DAC	19
3.4	FPGA	20
3.4.1	Choix de la FPGA	20
3.4.2	Compatibilités entre FPGA.....	20
3.4.3	Bank 0 - 3	21
3.4.4	Flash.....	22
3.4.5	Boutons de reset.....	22
3.5	Interface de communication	22
3.5.1	USB to UART	22
3.5.2	SPI LVDS.....	23
3.5.3	PHY Ethernet	24

3.6	Intrfaces utilisateur	25
3.6.1	Boutons.....	25
3.6.2	LEDs.....	25
3.6.3	DIP-SWITCH	25
3.7	Estimations des coûts.....	25
3.8	Connecteur VME	25
3.9	Alimentations	25
3.9.1	1V2 Core.....	26
3.9.1.1.	Choix de l'inductance	26
3.9.2	5V vers 3V3	27

1 Introduction

Le groupe « Electronique industrielle et entraînements » de la HEI a développé un système de prototypage pour des systèmes électroniques de puissance.

Actuellement l'unité de contrôle de ce système de prototypage est une carte à processeur. Elle dispose de 3 boutons, 8 LEDs pour interagir avec l'utilisateur. Un port seriel permet de donner une consigne à l'unité depuis un logiciel externe. L'unité peut mesurer des signaux analogiques des éléments de puissance comme les courants ou les tensions de phases d'un moteur, des températures, etc. En sortie de cette carte processeur, se trouve une multitudes de PWMs allant directement dans un module pont H de puissance. Des convertisseur digitaux analogiques permettent à l'utilisateur de pouvoir observer des signaux internes au processeur.

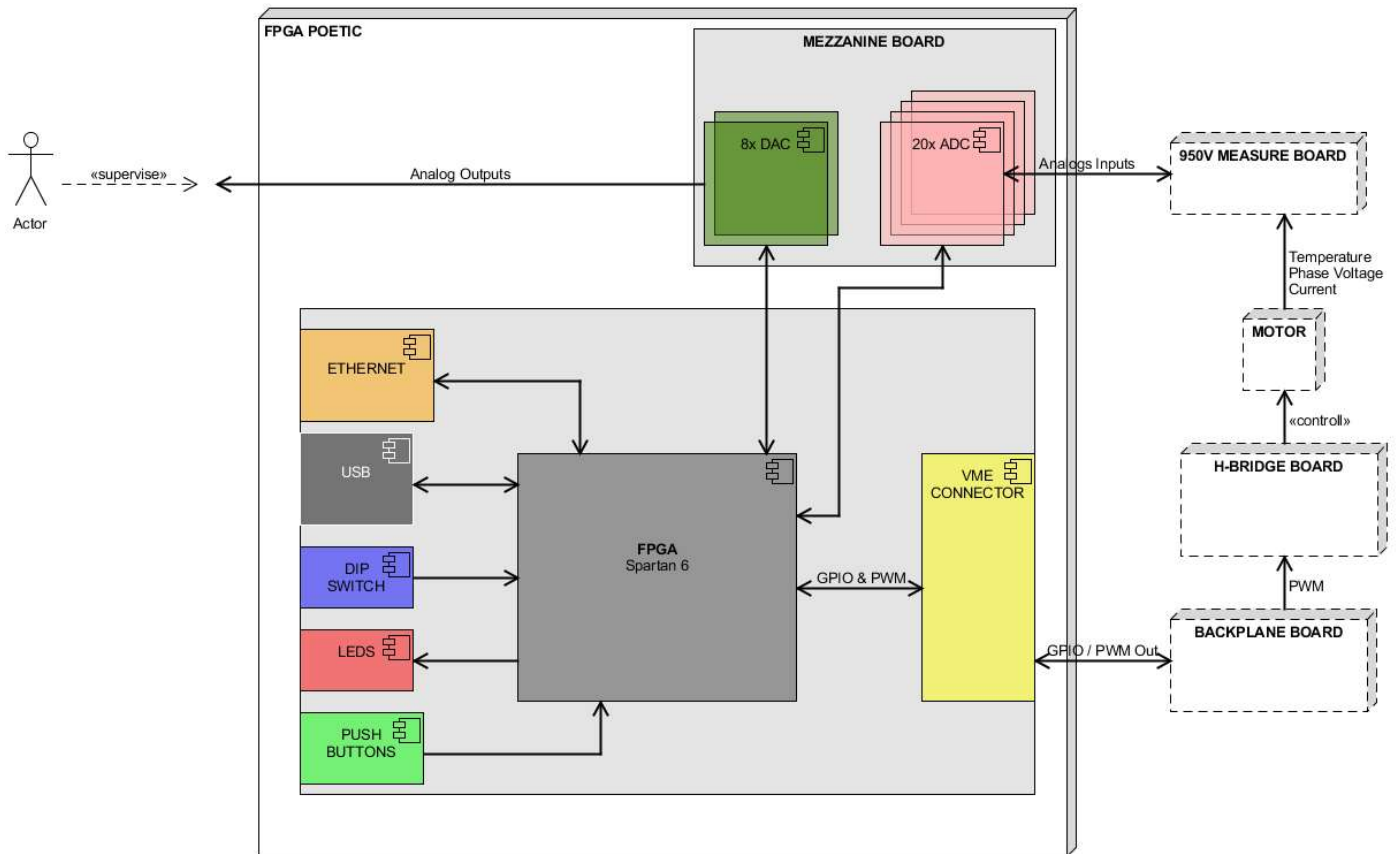
Le but de ce travail est de développer une carte FPGA, similaire à la carte processeur, pour le contrôle de la partie puissance et de réaliser un démonstrateur avec ce système.

2 Cahier des charges

- Adapter la carte existante « FPGA-Rack » pour pouvoir l'utiliser dans le système groupe « Electronique industrielle et entraînements »
- Mettre en place un système de développement FPGA pour le contrôle de l'électronique de puissance
- Réaliser un démonstrateur pour le pilotage d'une charge de puissance

3 Hardware

3.1 Schéma Bloc



L'électronique a été, comme pour l'électronique de la carte processeur, séparée en deux parties distinctes. Ce qui permet dans la pratique de pouvoir tester indépendamment les fonctionnalités ajoutées (par exemple avec la carte de développement FPGA-Rack) ainsi que de limiter les sources d'erreurs. Le cœur de la « FPGA BOARD » est une FPGA Spartan 6 de la marque Xilinx. Cette FPGA peut interagir avec l'utilisateur avec des LEDs, des boutons poussoirs ainsi qu'un DIP Switch à 4 positions. Un Phy Ethernet ainsi qu'un convertisseur USB vers UART permet à la FPGA de communiquer avec le monde extérieur. Elle peut acquérir 20 signaux analogiques simultanément grâce à des convertisseurs analogiques digitaux (ADC) qui se trouvent sur la « MEZZANINE BOARD ». Sur cette même board se trouvent 8 convertisseurs

digitaux analogiques (DAC) commandés par la FPGA, ce qui permet à l'utilisateur de pouvoir lire / afficher les signaux mesurés. La connexion entre les deux cartes est assurée par des connecteurs mezzanine.

Dans son environnement, cette électronique permet donc de réguler un ou plusieurs moteurs. Grâce à ses interfaces de communications (Ethernet, USB), la board reçoit une consigne fournie par l'utilisateur. En fonction de celle-ci, le FPGA agit sur ses signaux de commande (PWM) qui contrôlent le moteur. La boucle de régulation est assurée par des mesures effectuées sur le moteur. Ces mesures sont effectuées par les convertisseurs analogiques digitaux. Les signaux sont en amont mis en forme par la carte « 950V MEASURE BOARD ».

3.2 ADC

Un convertisseur analogique digital est un dispositif électronique dont la fonction est de traduire une tension analogique en une valeur numérique codée sur plusieurs bits.

Lors de sa conversion, le signal est alors quantifié et échantillonné. L'échantillonnage consiste à relever à intervalle régulier la valeur d'un signal. La quantification consiste à approcher la tension du signal d'un ensemble de valeurs discret codée sur plusieurs bits. Une quantification sur de nombreux bits ainsi qu'un échantillonnage rapide permet une reconstruction fidèle du signal mesuré.

Contrairement au processeur TMS320F28377SPTPT sur la carte processeur, les FPGAs ne disposent, pas toutes, d'ADC dans leur architecture. Ce chapitre aborde le dimensionnement d'un système contenant une multitude de convertisseurs A/D 12 bits pouvant échantillonner 20 canaux simultanément à une fréquence d'environ 1MHz.

Sources : <https://dewesoft.com/daq/types-of-adc-converters>
[https://fr.wikipedia.org/wiki/Quantification_\(signal\)](https://fr.wikipedia.org/wiki/Quantification_(signal))
https://fr.wikipedia.org/wiki/Convertisseur_analogique-num%C3%A9rique

3.2.1 Analyse ADC carte processeur

Pour déterminer les caractéristiques des ADC de la nouvelle électronique, il faut s'intéresser à la carte processeur. Selon le datasheet du processeur TMS320F28377SPTPT, il dispose dans son architecture 4 convertisseurs analogiques digitaux 12 bits (entrées single-ended) ou 16 bits (entrées différentielles). Le processeur travaille avec des convertisseurs analogiques digitaux 12 bits (single-ended) car l'électronique possède 20 canaux analogiques en entrées. Avec des ADC 16 bits, le nombre d'entrées analogiques serait limité à 12 canaux. La quantification du signal doit être de ce fait, au minimum de 12 bits.

La fréquence d'échantillonnage maximale pour 20 canaux se calcule donc de la manière suivante

- Analog subsystem
 - Up to four Analog-to-Digital Converters (ADCs)
 - 16-bit mode
 - 1.1 MSPS each (up to 4.4-MSPS system throughput)
 - Differential inputs
 - Up to 12 external channels
 - 12-bit mode
 - 3.5 MSPS each (up to 14-MSPS system throughput)
 - Single-ended inputs
 - Up to 24 external channels

Figure 1 - Caractéristiques des ADC dans le processeur TMS320F28377SPTPT

$$F_{\text{échantillonnageParCana}} = F_{\text{échantillonnageADC}} * \frac{N_{ADC}}{N_{canal}} = 3.5MSPS * \frac{4}{20} = 700kSPS$$

Si le processeur décide de ne pas mesurer certains canaux, la fréquence d'échantillonnage sera bien entendu plus élevée. Dans la pratique, le processeur n'échantillonne jamais à pleine vitesse, il doit laisser des ressources pour effectuer d'autres opérations.

3.2.2 Types d'architectures des ADC

3.2.2.1. Sigma delta

Le convertisseur analogique digital sigma delta peut atteindre une résolution de quantification très importante (jusqu'à 24 bits) en dépit de la bande passante (inférieure au MHz). Cette architecture a tendance à rejeter le bruit ce qui le rend très stable (pas besoin de filtre antialiasing en entrée). Ce type de convertisseur a pour la plupart une latence non négligeable, ce qui pour notre application peut poser certains soucis de synchronisation.

https://load.ensicaen.fr/pluginfile.php/5619/mod_resource/content/4/TP-3A-Micro-Simulation-Sigma-Delta.pdf

3.2.2.1.1. SAR

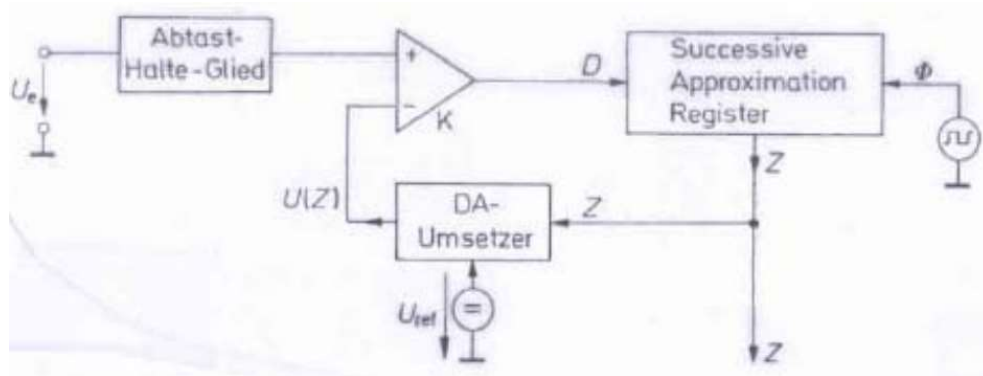


Figure 2 - Convertisseur A/D à approximation successive

Le convertisseur analogique digital par approximation successive utilise la méthode par pesée. Cette technique utilise un comparateur qui compare la valeur mesurée mémorisée avec la tension de sortie du convertisseur D/A. Au début de la conversion, le nombre Z est mis à 0. Ensuite le bit de poids fort (MSB) est mis à 1, et on effectue un test avec le comparateur. Si la tension d'entrée U_e est supérieure à la tension de sortie $U(Z)$, on laisse le bit à 1. Si ce n'est pas le cas, on le met à 0. Cette procédure est ensuite répétée pour tous les autres bits. Les bits sont ensuite stockés dans un registre à approximation successive.

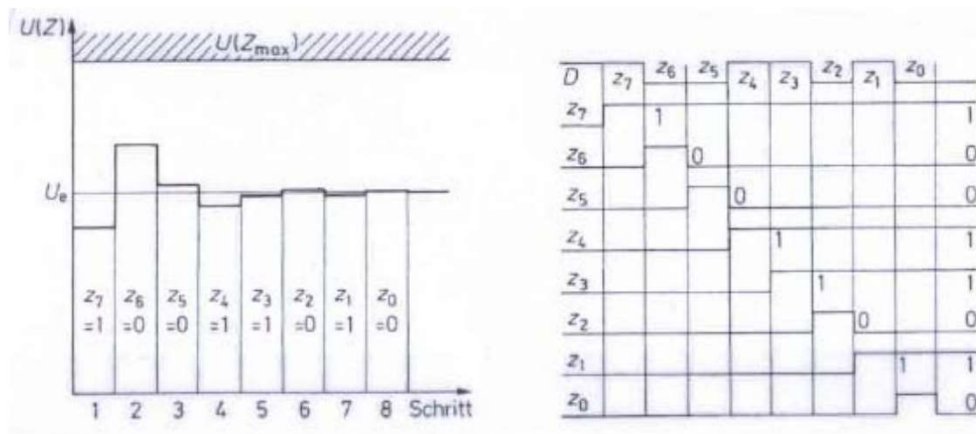


Figure 3 - Évolution de $U(Z) / Z$ avec la méthode par pesée

Ce type de convertisseurs offrent le « meilleur des deux mondes ». À la fois un ratio vitesse d'échantillonnage / quantification élevé, une grande facilité de mise en œuvre, une très bonne précision ainsi que 0 cycle de latence.

3.2.2.2. Pipeline

Le convertisseur A/D pipeline est un mix entre la méthode parallèle et la méthode par pesée. Sur la FIGURE, une structure pipeline 10 bits est réalisée à l'aide de deux convertisseurs 5 bits. Dans un premier temps, le premier ADC effectue une conversion grossière du signal. Cette première conversion correspond aux bits de poids fort et est ensuite retransformée en signal analogique à l'aide d'un D/A. Une soustraction est effectuée entre le signal d'entrée U_e et le signal de sortie du D/A, le tout est multiplié par 2^{N-1} . Le deuxième convertisseur A/D 5 bits convertit ce signal, et sa sortie correspond aux bits de poids faible.

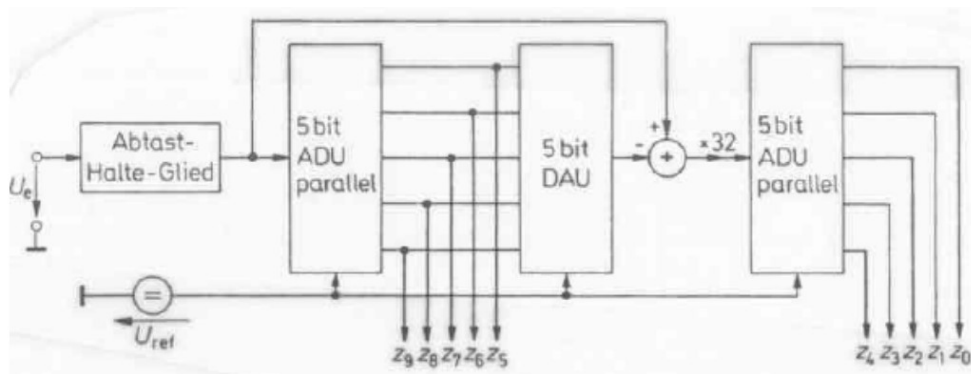


Figure 4 - Architecture pipeline 10 bits

Ce type de convertisseur peut travailler à de grandes vitesses, mais sa résolution est limitée. De plus, ce type de convertisseur dispose d'un délai de propagation des données non négligeables.

3.2.3 Latence

<https://www.digkey.ch/fr/articles/analog-basics-part-3-pipeline-adcs-and-how-to-use-them>

L'algorithme de moyennage et de suréchantillonnage du Sigma Delta provoque un retard sur les données de sorties. La latence du convertisseur à approximation successive est nulle. Le retard des convertisseurs pipeline crée une latence non nulle. Pour l'application de régulation de moteur, il est important de ne pas négliger cette latence.

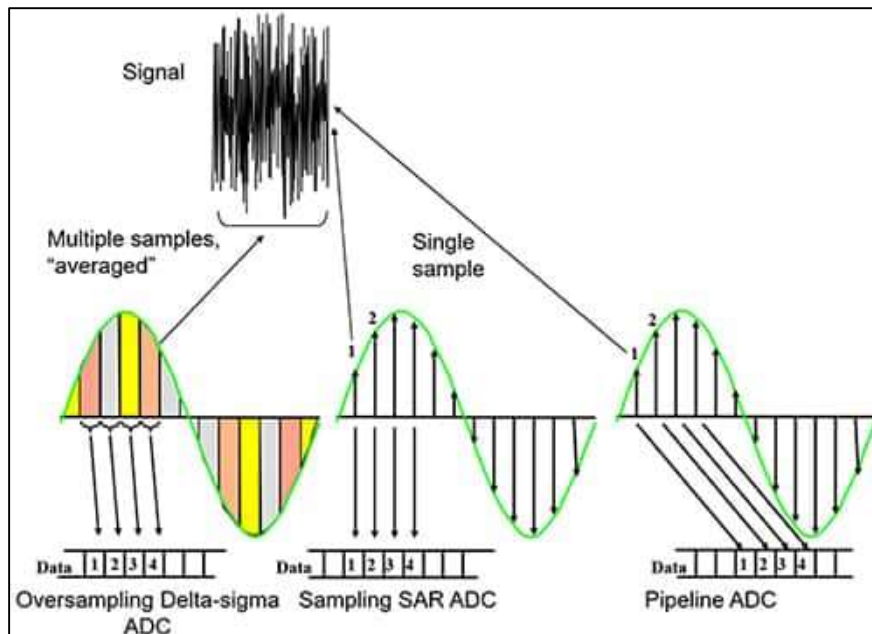


Figure 5 – Exemple de latence type pour le Sigma Delta, le SAR et le Pipeline

3.2.4 Fréquence d'échantillonnage minimale

La fréquence de l'échantillonnage est régie par le théorème de Shannon-Nyquist, qui définit la fréquence d'échantillonnage minimal pour représenter correctement un signal mesuré.

$$F_{\text{échantillonnageMin}} = 2 * F_{\text{signalMax}}$$

La largeur de bande en entrée de notre ADC est de 200kHz (en pratique, il s'agit de signaux de quelques kHz au maximum). De ce fait, il est établi que la fréquence d'échantillonnage minimale équivaut à

$$2 * 200 * 10^3 = 400kHz = 0.4MSPS$$

3.2.5 Types d'interfaces

Les principales interfaces pour lire les données fournies par les convertisseurs analogiques digitaux sont :

- I2C
 - Faible vitesse
 - 1 signal de données et 1 signal de clock
- SPI
 - Vitesse élevée
- 1 clock, 1 chip select, 1 signal de données entrantes et 1 signal de données sortantes
- Parallèle
 - Vitesse élevée
 - Nombreuses connexions
- Serial
 - Vitesse élevée
 - TX (single-ended)
- LVDS Serial
 - Vitesse très élevée (1Gbs)
 - TX (differential)

Chaque interface a ses avantages ainsi que ses inconvénients. Pour cette électronique, l'interface parallèle a été évitée au vu du nombre de connexions que cette interface engendre pour 20 ADC. Il existe un moyen de multiplexer le bus parallèle à l'aide de tri-state. Mais avec des vitesses élevées et à cause du retard engendré par les tri-state, il en est presque impossible. Une interface série a donc été privilégiée.

3.2.6 Choix de l'ADC

L'ADC doit répondre aux besoins ci-dessous :

- ≥ 12 bits
- $\geq 700\text{kSPS}$
- Single channel
- Single-Ended
- Peu de latence voir aucune
- Tension d'alimentation 3 – 3.3V

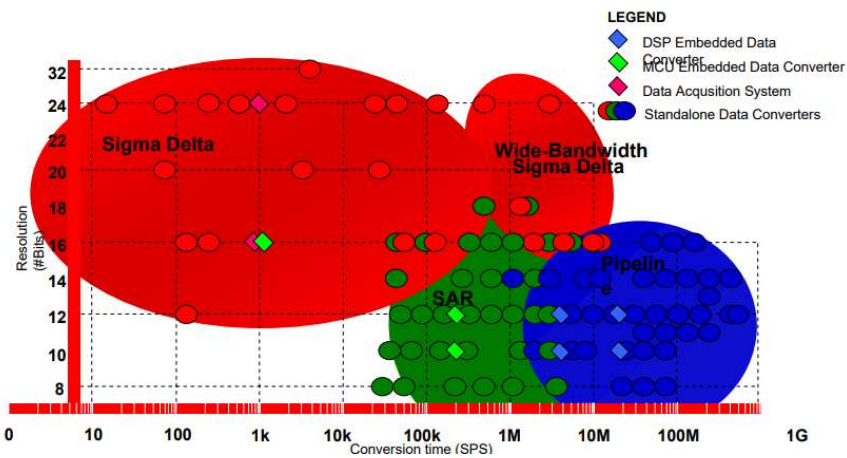


Figure 6 - <https://www.ti.com/europe/downloads/Choose%20the%20right%20data%20converter%20for%20your%20application.pdf>

Avec ces spécifications, le choix s'est porté pour la référence ADS7886SBDCKT qui dispose d'une architecture SAR. Ce chip est un convertisseur analogique digital 12 bits, avec une fréquence d'échantillonnage maximale de 1MSPS. La plage d'alimentation tension d'alimentation varie de 2.35V à 5.25V. Il dispose d'une interface série qui lui permet de transmettre ses données.

Sur la FIGURE, se trouve un diagramme de l'interface série. Lorsque la pin CS est mise à 0, l'ADC effectue une

conversion et envoie directement sur les données en série sur la pin SDO. La pin SDO est synchronisée avec le pin SCLK fournie par le maître (en l'occurrence la FPGA).

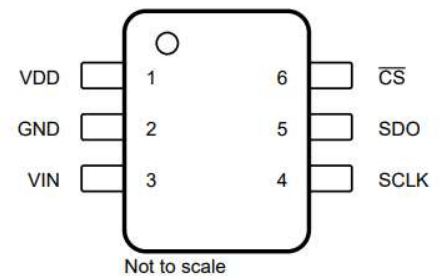


Figure 7 - ADS7886SBDCKT

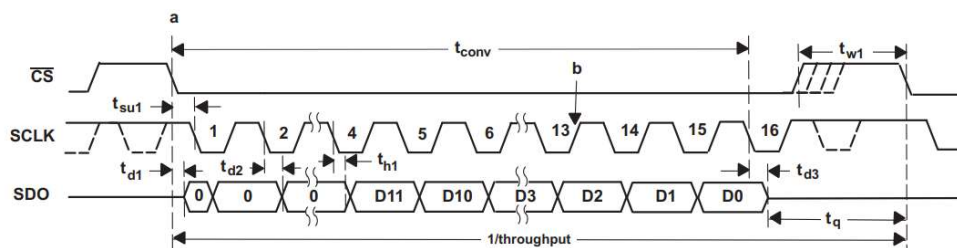


Figure 8 - Diagramme de temps de l'interface série du ADS7886SBDCKT

3.2.7 Differential to Single-Ended

Les signaux analogiques à échantillonner arrivant sur la carte Mezzanine sont des paires différentielles. Un simple montage soustracteur à l'aide d'un ampli-op permet de passer le signal différentiel en signal asymétrique. Une tension de 1.5V DC est ajoutée au signal de sortie, pour que le signal varie autour de la tension de référence 1.5V.

Un filtre antialiasing est ajouté dans ce montage pour couper toutes les fréquences de plus de 200kHz. Ce montage à ampli-op a été repris tel quel de la carte processeur.

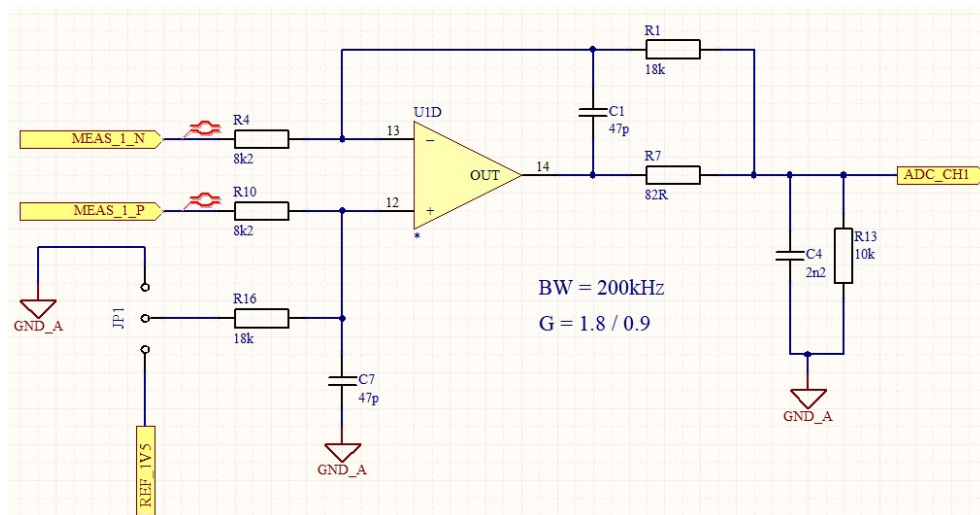


Figure 9 - Convertisseur différentiel vers asymétrique

3.2.7.1. Simulation

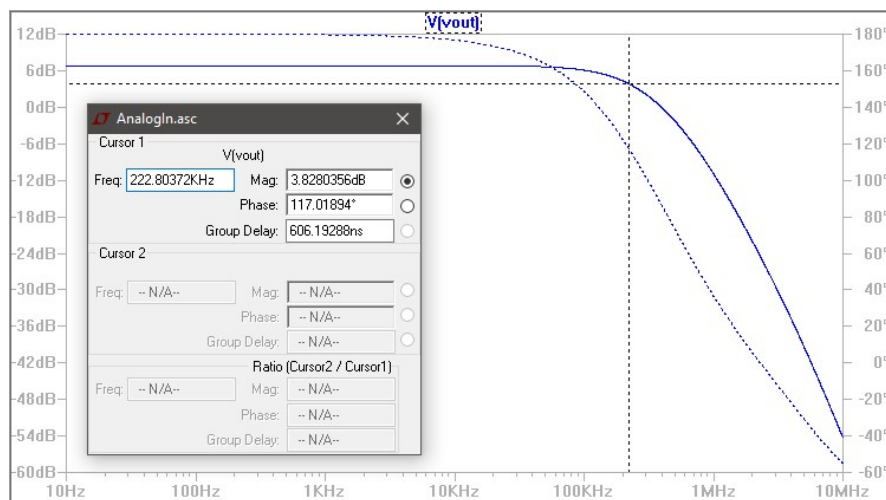
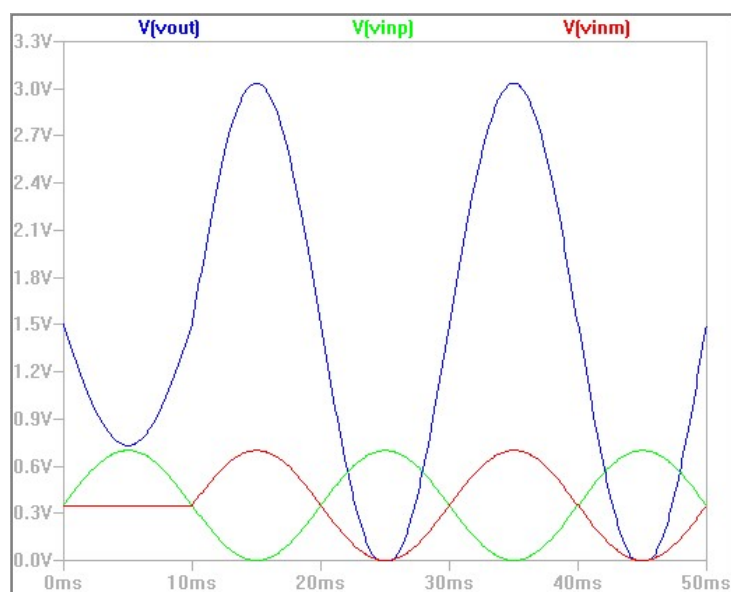


Figure 10 - réponse en fréquence du montage ampli op soustracteur



3.2.8 Alimentation des ADC

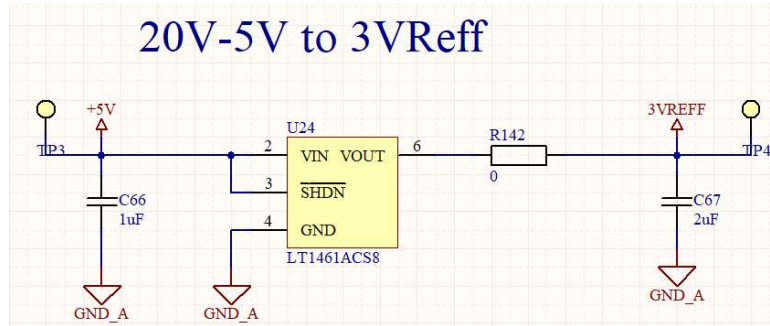


Figure 11 - Référence de tension 3V alimentant les ADC

Pour alimenter l'ADS7886, il faut appliquer une tension sur sa pin Vdd. Cette tension d'alimentation est aussi la tension de référence de notre ADC. De ce fait, la tension d'alimentation doit équivaloir à 3V (le signal d'entrée varie de 0V à 3V). La tension doit être stable pour ne pas fausser notre mesure. Une référence de tension doit alors être privilégiée. Selon le datasheet de l'ADS7886, le convertisseur consomme 1.3mA avec une alimentation de 3V. La consommation totale pour 20 ADC est de 26mA.

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
POWER SUPPLY REQUIREMENTS					
+V _{DD} Supply voltage		2.35	3.3	5.25	V
Supply current (normal mode)	V _{DD} = 2.35 V to 3.6 V, 1-MHz throughput		1.3	1.5	mA
	V _{DD} = 4.75 V to 5.25 V, 1-MHz throughput		1.5	2	
	V _{DD} = 2.35 V to 3.6 V, static state			1.1	
	V _{DD} = 4.75 V to 5.25 V, static state			1.5	

Figure 12 - Spécifications d'alimentation de l'ADC

Certaines références de tension peuvent fournir un courant d'environ 50mA. C'est le cas de la référence de tension 3V le LT1461CCS8-3#PBF. Son datasheet indique qu'il faut une tension de « dropout » ($V_{out} - V_{in}$) de 1.5V pour fournir un courant de 50mA. Pour un courant plus faible, la tension de « dropout » ($V_{out} - V_{in}$) est moins élevée. Par mesure de sécurité la tension aux bornes de l'alimentation de cette référence de tension a été fixée à 5V.

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Line Regulation	$(V_{OUT} + 0.5V) \leq V_{IN} \leq 20V$	•	2	8 12	ppm/V ppm/V
	LT1461DHS8	•	15	50	ppm/V
Load Regulation Sourcing (Note 6)	$V_{IN} = V_{OUT} + 2.5V$ $0 \leq I_{OUT} \leq 50mA$	•	12	30 40	ppm/mA ppm/mA
	LT1461DHS8, $0 \leq I_{OUT} \leq 10mA$	•		50	ppm/mA
Dropout Voltage	$V_{IN} - V_{OUT}$, V_{OUT} Error = 0.1%				
	$I_{OUT} = 0mA$	•	0.06		V
	$I_{OUT} = 1mA$	•	0.13	0.3	V
	$I_{OUT} = 10mA$	•	0.20	0.4	V
	$I_{OUT} = 50mA$, I and C Grades Only	•	1.50	2.0	V
Output Current	Short V_{OUT} to GND		100		mA

Figure 13 - Tension dropout de la référence de tension 3V

Des condensateurs de découplages sont ajoutés proche de l'entrée V_{in} et de la sortie V_{out} .

3.2.9 Communication avec la FPGA (signal level)

L'ADC et les I/O FPGA ne travaillent pas à la même tension. Il est donc nécessaire de vérifier si l'ADC peut communiquer avec la FPGA et inversement malgré cette différence de tension. On peut observer sur la Figure 14 que la plage de sortie de l'ADC est incluse dans la plage d'entrée de la FPGA et inversement. Il n'est absolument pas nécessaire d'ajouter un composant qui adapte les deux niveaux de tensions.

I/O Standard	V_{IL}		V_{IH}		V_{OL}	V_{OH}	I_{OL}	I_{OH}
	V, Min	V, Max	V, Min	V, Max	V, Max	V, Min	mA	mA
LVTTL	-0.5	0.8	2.0	4.1	0.4	2.4	Note 2	Note 2
LVC MOS33	-0.5	0.8	2.0	4.1	0.4	$V_{CCO} - 0.4$	Note 2	Note 2

Figure 16 - Spécifications des entrées sorties de la FPGA

DIGITAL INPUT/OUTPUT					
Logic family — CMOS					
V_{IH}	High-level input voltage	$V_{DD} = 2.35 \text{ V to } 3.6 \text{ V}$	1.8	5.25	V
		$V_{DD} = 3.6 \text{ V to } 5.25 \text{ V}$	2.4	5.25	
V_{IL}	Low-level input voltage	$V_{DD} = 5 \text{ V}$		0.8	V
		$V_{DD} = 3 \text{ V}$		0.4	
V_{OH}	High-level output voltage	$I_{(source)} = 200 \mu\text{A}$	$V_{DD} - 0.2$		V
V_{OL}	Low-level output voltage	$I_{(sink)} = 200 \mu\text{A}$		0.4	

Figure 15 - Spécifications des entrées sorties de l'ADC

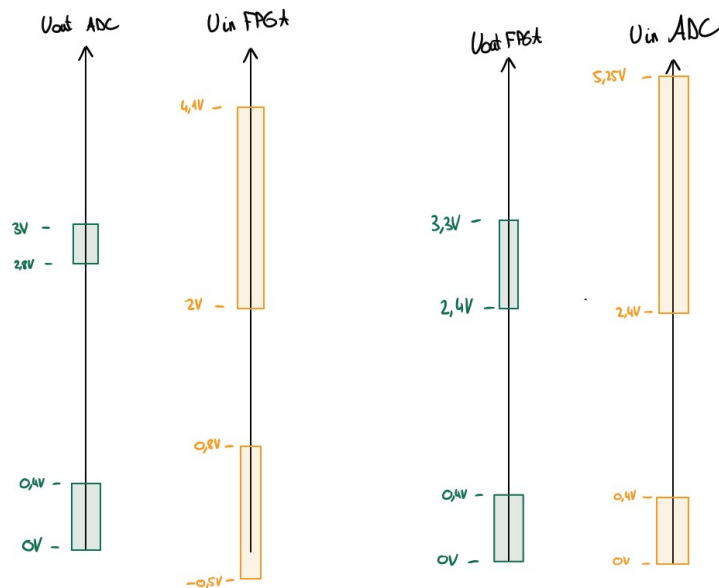


Figure 14 - Niveaux de tensions des entrées sorties de la FPGA et de l'ADC

3.2.10 Schématique

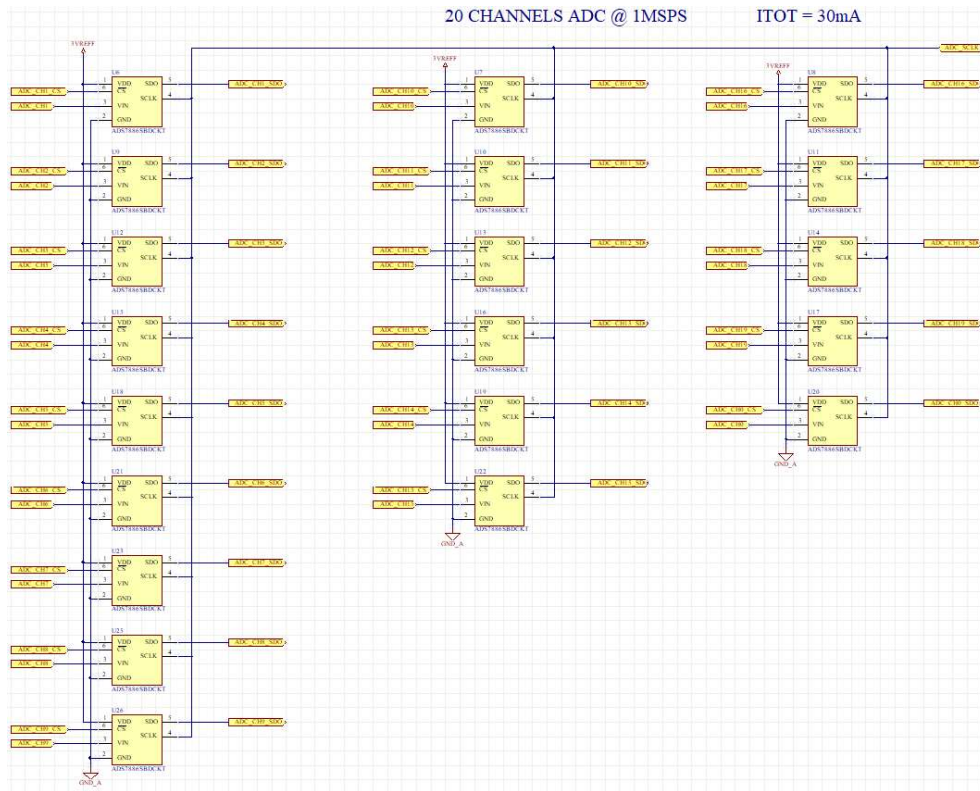


Figure 17 - ADC

Les 20 ADC ont été mis en parallèle. Cette architecture permet une capture de 20 signaux simultanément. Ils disposent d'un « chip select » indépendant, mais partagent le même clock.

3.3 DAC

Des convertisseurs digitaux analogiques ont été implémentés sur la carte Mezzanine. Ces convertisseurs permettent à l'utilisateur d'observer des signaux internes de la FPGA. Le nombre de sorties analogiques étant trop faible sur l'ancienne carte à processeur, il a été doublé sur la carte FPGA. Il y a au total 8 sorties analogiques.

Le convertisseur DAC est un DAC124S085C1MM/NOPB et dispose de 4 canaux. La tension de référence du convertisseur est générée par une référence de tension 3V REF3130. La plage de sortie du signal analogique de sortie varie de 0V à 3V.

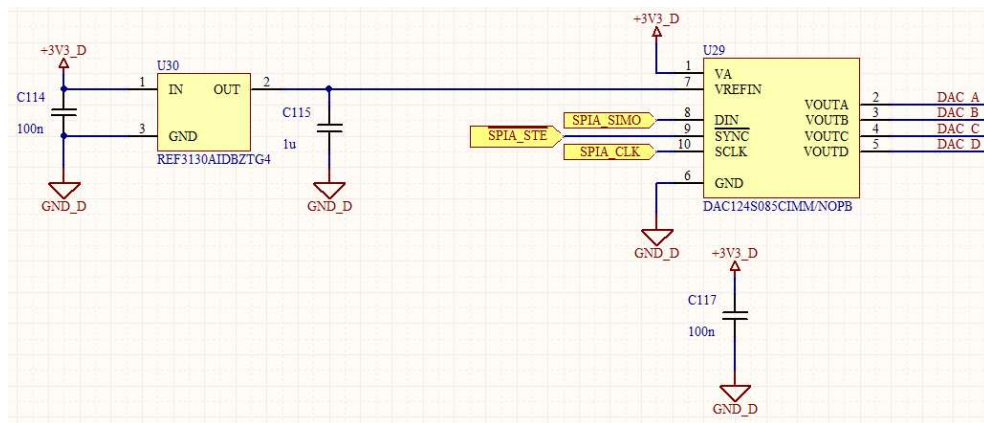


Figure 18 - Convertisseur DAC 4CH

3.4 FPGA

3.4.1 Choix de la FPGA

Le choix de la FPGA s'est porté sur le Xilinx Spartan 6. Cette même FPGA est utilisée dans la board de développement « FPGA-Rack ». Néanmoins, il existe une nouvelle version de la gamme Spartan, le Xilinx Spartan 7. Au moment de la conception de la carte FPGA, aucune FPGA Spartan 7 n'était en stock.

3.4.2 Compatibilités entre FPGA

Selon le document : https://www.xilinx.com/support/documentation/user_guides/ug385.pdf

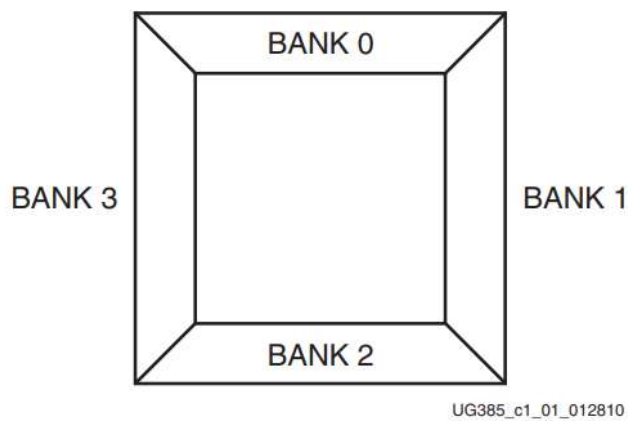
Les modèles FPGA de la gamme Spartan 6 sont généralement pin compatible. Sur le tableau ci-dessous, on observe qu'en effectuant la schématique avec une FPGA Spartan 6 LX75, il est possible d'y venir souder une FPGA LX100 ou une LX150 car tous les pins de la LX75 sont disponible sur les modèles plus grands. Ce qui n'est pas le cas pour par exemple le modèle LX45.

Socket	Modèle	Compatibilité
FG(G)484	LX45	Not all pin compatible, but compatible : LX75, LX100, LX150
FG(G)484	LX75	All pin compatible : LX100, LX150 Not all pin compatible, but compatible : LX45
FG(G)484	LX100	All pin compatible : LX150 Not all pin compatible, but compatible : LX45, LX75

3.4.3 Bank 0 - 3

Selon : https://www.xilinx.com/support/documentation/user_guides/ug385.pdf

La FPGA Spartan 6 au socket FG(G)484 sont toutes séparées en 5 parties : Bank 0-3 et Core. Tous les périphériques autour de la FPGA ont une alimentation de 3.3V, de ce fait, les banks ont toutes une tension d'alimentation de 3.3V. Les banks ont été néanmoins « séparées » par utilisation. La bank 0 est connectée à la partie analogique de la board Mezzanine. La bank 1 génère toutes les PWMs et comporte les I/Os connectées connecteurs VME. La bank 2 est connectée à la partie digitale de la board Mezzanine (DAC, SPI LVDS, Spare). La bank 3 est connectée aux interfaces de communications (ethernet, USB) ainsi qu'aux boutons et LEDs.



3.5.2 SPI LVDS

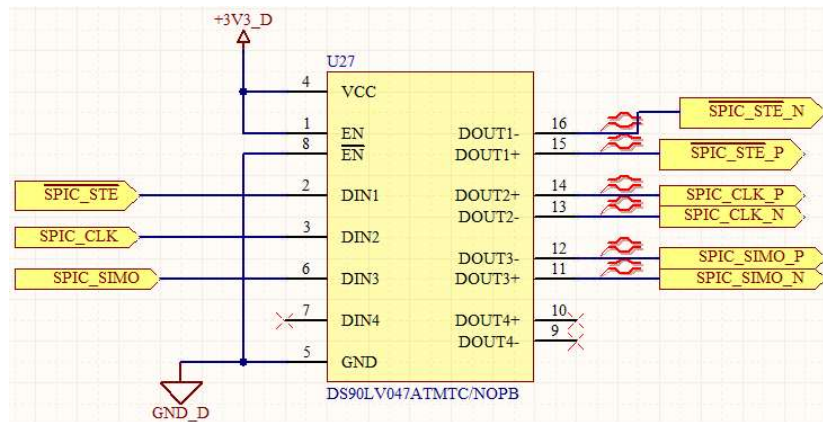


Figure 20 - LVDS Driver

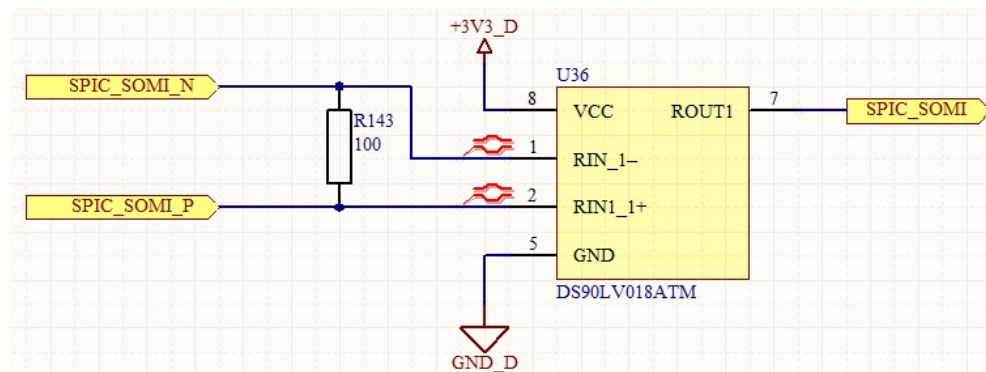
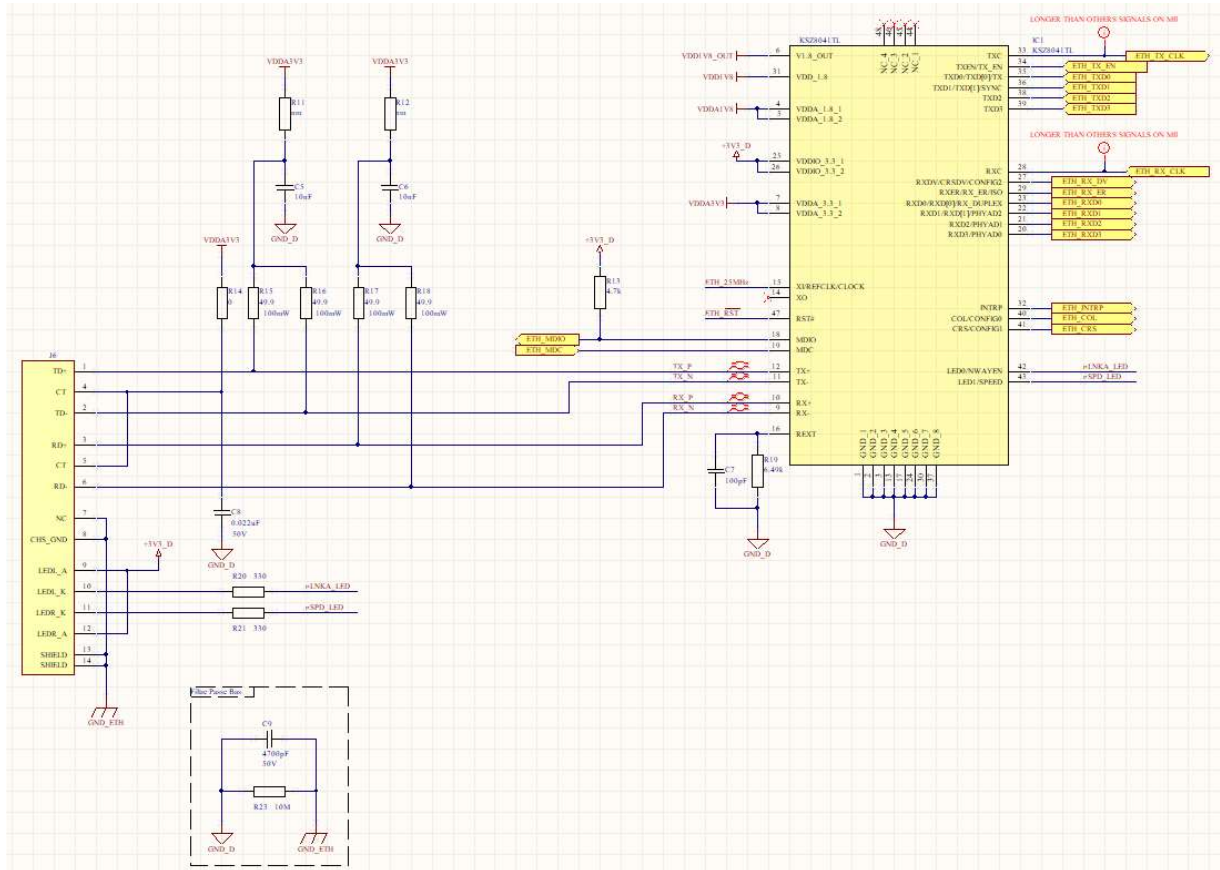


Figure 19 - LVDS Receiver

Sur la carte Mezzanine se trouve un driver et un récepteur LVDS (« Low Voltage Differential Signal ») permettant de communiquer via SPI avec une autre carte. Cette fonctionnalité, reprise de la carte processeur, n'est actuellement toujours pas utilisée, il s'agit d'une réserve.

3.5.3 PHY Ethernet



Un PHY ethernet à été ajouté sur la carte FPGA. La schématique a été reprise telle quelle du PHY de la carte « FPGA-Rack ».

3.6 Interfaces utilisateur

3.6.1 Boutons

3.6.2 LEDs

3.6.3 DIP-SWITCH

3.7 Estimations des coûts

3.8 Connecteur VME

3.9 Alimentations

3.9.1 1V2 Core

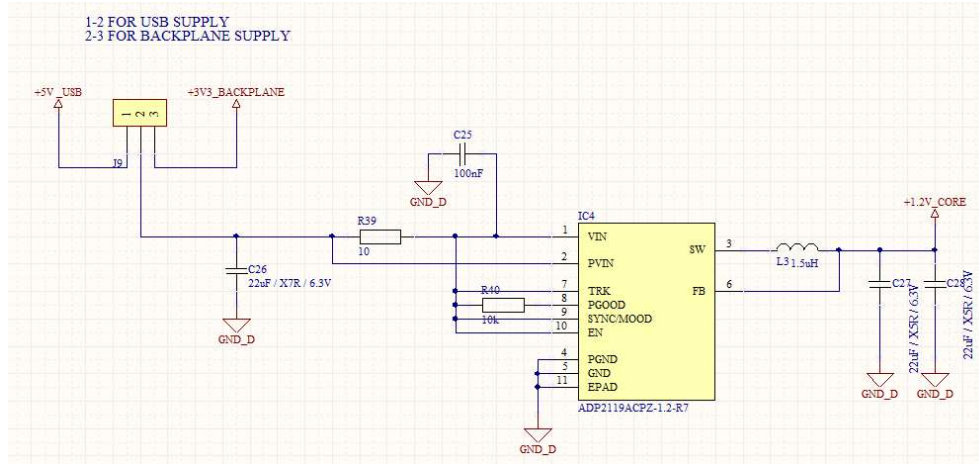


Figure 21 - 5V/3V3 to 1.2V for FPGA Core

La FPGA Spartan 6 a besoin d'une tension de 1V2 pour alimenter son cœur. Pour générer cette tension, un convertisseur buck a été dimensionné à l'aide du composant ADP2119ACPZ-1.2-R7. Sa tension de sortie est fixe. Il existe d'autres versions de ce convertisseur buck avec une tension de sortie réglable. Grâce au jumper J9, la source d'alimentation du convertisseur (sur VIN) peut être choisie facilement. En court-circuitant J9-1 et J9-2, la FPGA sera alimentée par l'USB. Si ce sont J9-2 et J9-3 qui sont court-circuités, la FPGA sera alimentée par 3V3 du connecteur VME. Le courant maximal de sortie est de 2A.

3.9.1.1. Choix de l'inductance

Selon le datasheet du ADP2119ACPZ-1.2-R7, l'inductance dépend de la fréquence de commutation du convertisseur, la tension d'entrée, la tension de sortie et la variation du courant dans la bobine. De plus, il est ajouté qu'une petite bobine augmente la variation du courant dans celle-ci et sa réponse transitoire est plus rapide. Mais son efficacité est diminuée.

Pour obtenir le meilleur compromis entre efficacité et réponse transitoire, le courant dans la bobine est généralement égal aux 1/3 du courant maximum de sortie. La tension de sortie maximale est définie à 1.5A.

$$L_{3V3} = \frac{(V_{in} - V_{out}) * \frac{V_{out}}{V_{in}}}{\frac{I_{outMax}}{3} * f_s} = \frac{(3.3 - 1.2) * \frac{1.2}{3.3}}{\frac{1.5}{3} * 1.2 * 10^6} = 1.27\mu H$$

$$L_{5V} = \frac{(V_{in} - V_{out}) * \frac{V_{out}}{V_{in}}}{\frac{I_{outMax}}{3} * f_s} = \frac{(5 - 1.2) * \frac{1.2}{5}}{\frac{1.5}{3} * 1.2 * 10^6} = 1.52\mu H$$

Dans la pratique, le courant que consomme le cœur de la FPGA ne dépassera jamais 1.5A. Pour limiter le courant dans la bobine, une bobine de 1.5uH acceptant un courant DC maximal de 5.2A à été sélectionnée.

3.9.2 5V vers 3V3

Un 3V3 doit être généré par un convertisseur DC/DC si l'alimentation de la carte se fait par le biais de l'USB. Pour ce faire, un convertisseur buck autour du composant SC189ZSKTRT. Il dispose d'une sortie fixe de 3V3. Le jumper J8 permet de choisir entre l'alimentation 3V3 du connecteur VME et le 3V3 généré par ce convertisseur à l'aide du 5V de l'USB.

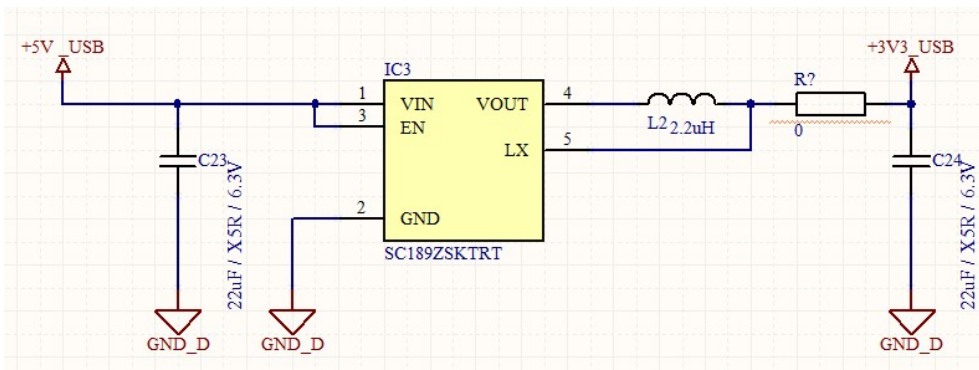


Figure 22 - 5V USB vers 3V USB

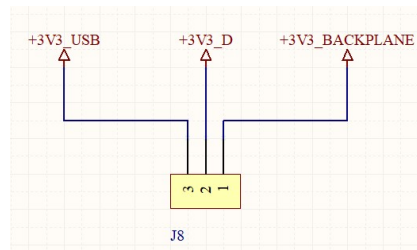


Figure 23 - Selecteur 3V Backplane ou 3V USB

