

数字电路与数字系统

实验报告

实 验： 译码器和编码器的设计

姓 名： 周心同

学 号： 201220069

1.实验目的

掌握常用的译码器和编码器的设计方法以及七段数码管的使用

自行设计一个 8-3 优先编码器及七段数码管显示。

Verilog 语言中的 for 循环的使用

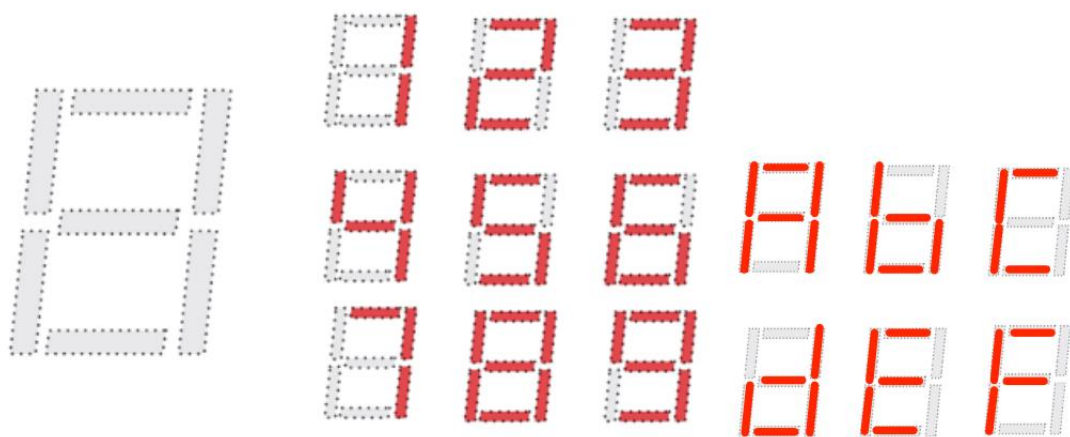
2.实验原理

2.1 8-3 优先编码器

8-3 优先编码器的真值表如下：

输入									输出				
E1	10	11	12	13	14	15	16	17	Y2	Y1	Y0	EO	GS
1	X	X	X	X	X	X	X	X	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	0	1
0	X	X	X	X	X	X	X	0	0	0	0	1	0
0	X	X	X	X	X	X	0	1	0	0	1	1	0
0	X	X	X	X	X	0	1	1	0	1	0	1	0
0	X	X	X	X	0	1	1	1	0	1	1	1	0
0	X	X	0	1	1	1	1	1	1	0	0	1	0
0	X	X	0	1	1	1	1	1	1	0	1	1	0
0	X	0	1	1	1	1	1	1	1	1	0	1	0
0	0	1	1	1	1	1	1	1	1	1	1	1	0

2.2 七段数码管显示



3.实验环境

- 软件环境

Quartus 17.1 Lite

- 硬件环境（预计）

开发板：DE10 Standard

FPGA：Intel Cyclone V SE 5CSXFC6D6F31C6N

4.实验步骤和结果

4.1 代码设计

2

4.1.1 8-3 优先编码器

```

module priority_83encode(x,en,y);
    input [7:0] x;
    input en;
    output reg [2:0] y;
    integer i;
always @(x or en) begin
    if (en) begin
        y = 0;
        for( i = 0; i <= 7; i = i+1)
            if(x[i] == 1) y = i;
        end
    else y = 0;
    end
endmodule

```

4.1.2 七段数码管显示

```

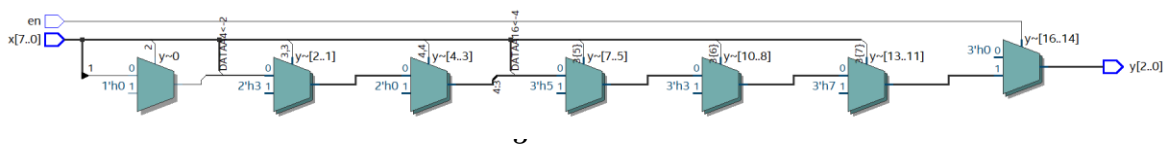
module seg_dec(
    input [3:0] b,
    output reg [6:0] h
);

//add your code here
always @(*) begin
    case(b)
        4'd0:h=7'b1000000;
        4'd1:h=7'b1111001;
        4'd2:h=7'b0100100;
        4'd3:h=7'b0110000;
        4'd4:h=7'b0011001;
        4'd5:h=7'b0010010;
        4'd6:h=7'b0000010;
        4'd7:h=7'b1111000;
        4'd8:h=7'b0000000;
        4'd9:h=7'b0010000;
        4'd10:h=7'b0001000;
        4'd11:h=7'b0000011;
        4'd12:h=7'b1000110;
        4'd13:h=7'b0100001;
        4'd14:h=7'b0000110;
        4'd15:h=7'b0001110;
    endcase
end
endmodule

```

4.2 仿真测试

4.2.1 8-3 优先编码器



```

//testbench
timescale 1ns/10ps //时间单位/精度

module priority_83encode_tb;

reg [7:0] x;
reg en;
wire [2:0] y;

priority_83encode priority_83encode(
    .x(x),
    .en(en),
    .y(y)
);

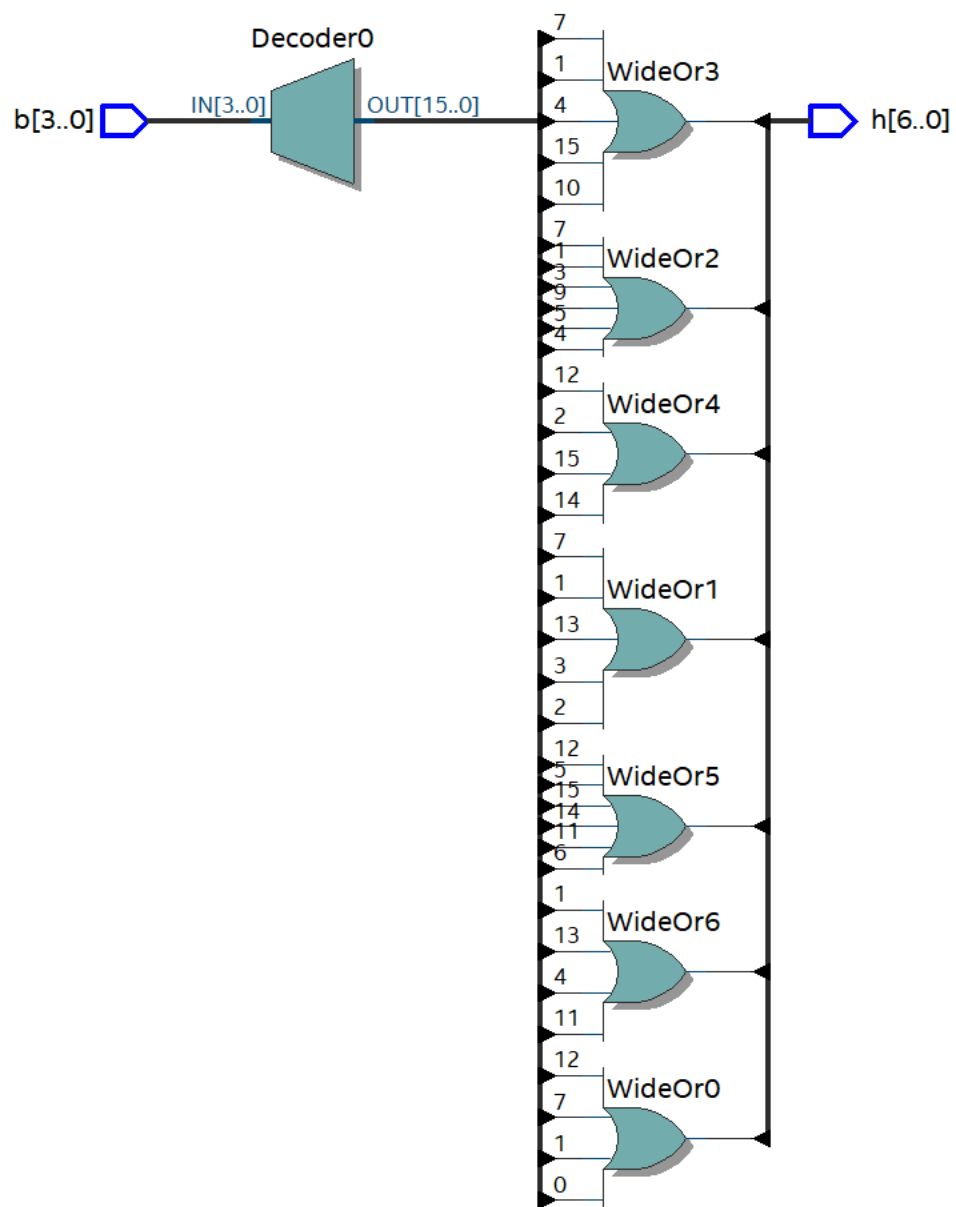
initial begin
    en=1; x[7]=1;
    #10 x[7]=0; x[6]=1;
    #10 x[7]=0; x[6]=0; x[5]=1;
    #10 x=8'b00010000;
    #10 x=8'b00001000;
    #10 x=8'b00000100;
    #10 x=8'b00000010;
    #10 x=8'b00000001;
    #10 en=0; x=8'b11111111;
    #10;
end

endmodule

```



4.2.2 七段数码管仿真



```

timescale 1ns/10ps

module seg_dec_tb;
reg [3:0] b;
wire [6:0] h;

seg_dec seg_dec(.b(b),.h(h));

initial begin
    b=4'd0;
#10 b=4'd1;
#10 b=4'd2;
#10 b=4'd3;
#10 b=4'd4;
#10 b=4'd5;
#10 b=4'd6;
#10 b=4'd7;
#10 b=4'd8;
#10 b=4'd9;
#10 b=4'd10;
#10 b=4'd11;
#10 b=4'd12;
#10 b=4'd13;
#10 b=4'd14;
#10 b=4'd15;
#10 ;
end
endmodule

```

七段数码管用波形图仿真不易，见于上板实验。

5. 实验中遇到的问题及解决办法

头歌题目中，需要在特殊情况下对 F 赋特殊的值，但是 F 同时要经过模块调用故只能是 wire 型，不能以 always 赋值，用 assign 赋值又没有合适的办法。

解决办法：将特殊情况以特殊值传给模块调用的参数作特殊处理。

6. 实验启示和建议

模块调用时只能是 wire 型。

