

# 数字音频接口

## 概述

数字音频接口 **DAI**，即 Digital Audio Interfaces，顾名思义，DAI 表示在板级或板间传输数字音频信号的方式。相比于模拟接口，数字音频接口抗干扰能力更强，硬件设计简单，DAI 在音频电路设计中得到越来越广泛的应用。图 1 和图 2 对比传统的音频信号和数字音频信号链的区别。

在传统的音频电路（图 1）中有麦克风、前置放大器、模/数转换器 ADC、数/模转换器 DAC、输出放大器，以及扬声器，它们之间使用模拟信号连接。随着技术的发展和对性能考虑，模拟电路逐渐被推到链路的两端（集成到设备内部），信号链中各集成电路间将出现更多的数字接口形式。DSP 通常都是数字接口的；换能器（Transducers, i.e. Mic & Speaker）、放大器一般而言只有模拟接口，但现在也正在逐渐集成数字接口功能。目前，集成电路设计人员正在将换能器内的 ADC、DAC 和调制器集成到信号链一端，这样就不必在 PCB 上走任何模拟音频信号，并且减少了信号链中的器件数量。图 2 给出了一个完整数字音频接口的例子。

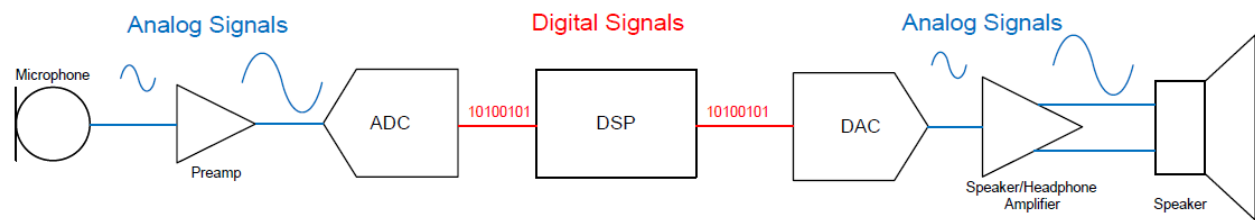


图 1. 传统的音频信号链路

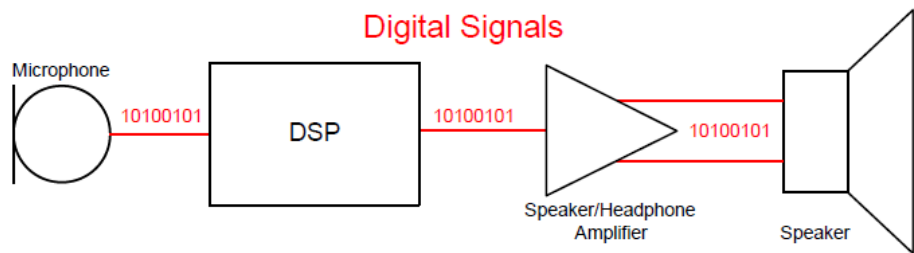


图 2. 数字音频信号链路

数字音频信号的传输标准，如 **I<sup>2</sup>S**、**PCM** (Pulse Code Modulation) 和 **PDM** (Pulse Density Modulation) 主要用于同一块电路板上芯片之间音频信号的传输；**Intel HDA** (Intel High Definition Audio) 用于 PC 的 Audio 子系统（声卡）应用；**S/PDIF** 和 **Ethernet AVB** 主要应用于板间长距离及需要电缆连接的场合。

本文主要介绍 **I<sup>2</sup>S**、**PCM** 和 **PDM** 数字音频接口，其它几种接口将另文说明。

# I<sup>2</sup>S 接口

## 1. I<sup>2</sup>S 简介

**I<sup>2</sup>S** 全称 **Inter-IC Sound, Integrated Interchip Sound**，或简写 **IIS**，是飞利浦在 1986 年定义（1996 年修订）的数字音频传输标准，用于数字音频数据在系统内部器件之间传输，例如编解码器 CODEC、DSP、数字输入/输出接口、ADC、DAC 和数字滤波器等。除了都是由飞利浦定义外，I<sup>2</sup>S 和 [I<sup>2</sup>C 没有任何关系。](#)

I<sup>2</sup>S 是比较简单的数字接口协议，没有地址或设备选择机制。在 I<sup>2</sup>S 总线上，**只能同时存在一个主设备和发送设备**。主设备可以是发送设备，也可以是接收设备，或是协调发送设备和接收设备的其它控制设备。在 I<sup>2</sup>S 系统中，提供时钟（SCK 和 WS）的设备为主设备。图 3 是常见的 I<sup>2</sup>S 系统框图。在高端应用中，CODEC 经常作为 I<sup>2</sup>S 的主控设备以精确控制 I<sup>2</sup>S 的数据流。

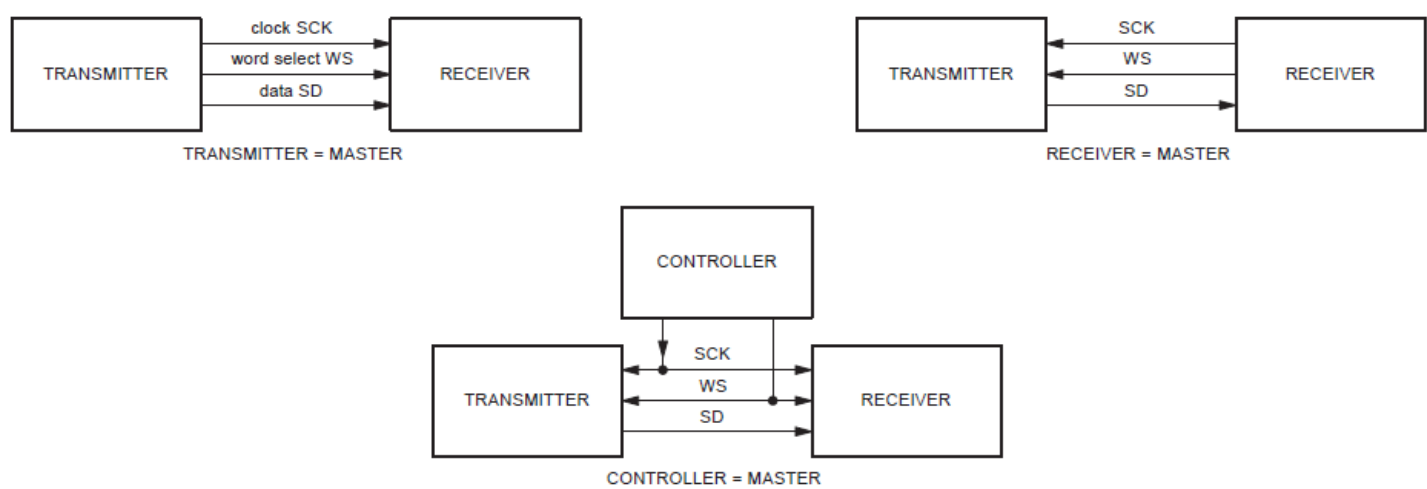


图 3. I<sup>2</sup>S 设备连接示意图

I<sup>2</sup>S 包括两个声道（Left/Right）的数据，在主设备发出声道选择/字选择（WS）控制下进行左右声道数据切换。通过增加 I<sup>2</sup>S 接口的数目或其它 I<sup>2</sup>S 设备可以实现多声道（Multi-Channels）应用。

## 2. 信号定义

在 I<sup>2</sup>S 传输协议中，数据信号、时钟信号以及控制信号是分开传输的。I<sup>2</sup>S 协议只定义**三根**信号线：时钟信号 **SCK**、数据信号 **SD** 和左右声道选择信号 **WS**。

- **时钟信号 Serial Clock**

SCK 是模块内的同步信号，**从模式**时由外部提供，**主模式**时由模块内部自己产生。不同厂家的芯片型号，时钟信号叫法可能不同，也可能称 BCLK/Bit Clock 或 SCL/Serial Clock

- **数据信号 Serial Data**

SD 是串行数据，在 I<sup>2</sup>S 中以**二进制补码**的形式在数据线上传输。在 WS 变化后的第一个 SCK 脉冲，先传输最高位（**MSB**, Most Significant Bit）。先传送 MSB 是因为发送设备和接收设备的字长可能不同，当系统字长比数据发送端字长长的时候，数据传输就会出现截断的现象/Truncated，即如果数据接收端接收的数据位比它规定的字长长的话，那么规定字长最低位（LSB: Least Significant Bit）以后的所有位将会被忽略。如果接收的字长比它规定的字长短，那么空余出来的位将会以 0 填补。通过这种方式可以使音频信号的最高有效位得到传输，从而保证最好的听觉效果。

- ✓ 根据输入或输出特性，不同芯片上的 SD 也可能称 SDATA、SDIN、SDOUT、DACDAT、ADCDAT 等；
- ✓ 数据发送既可以同步于 SCK 的上升沿，也可以是下降沿，但接收设备在 SCK 的上升沿采样，发送数据时序需考虑

- **左右声道选择信号 Word Select**

WS 是声道选择信号，表明数据发送端所选择的声道。当：

- ✓ WS=0，表示选择左声道
- ✓ WS=1，表示选择右声道

WS 也称**帧时钟**，即 LRCLK/Left Right Clock。WS 频率等于声音的采样率。WS 既可以在 SCK 的上升沿，也可以在 SCK 的下降沿变化。从设备在 SCK 的上升沿采样 WS 信号。数据信号 MSB 在 WS 改变后的第二个时钟（SCK）上升沿有效（即延迟一个 SCK），这样可以让从设备有足够的时间以存储当前接收的数据，并准备好接收下一组数据。

### 3. 电气特性

- **输出电平**

$$V_L < 0.4V$$

$$V_H > 2.4V$$

满足驱动 TTL 电平  $I_{L}=-1.6mA$  和  $I_{H}=0.04mA$

- 输入电平

$$V_{IL} < 0.4V$$

$$V_{IH} > 2.4V$$

注：

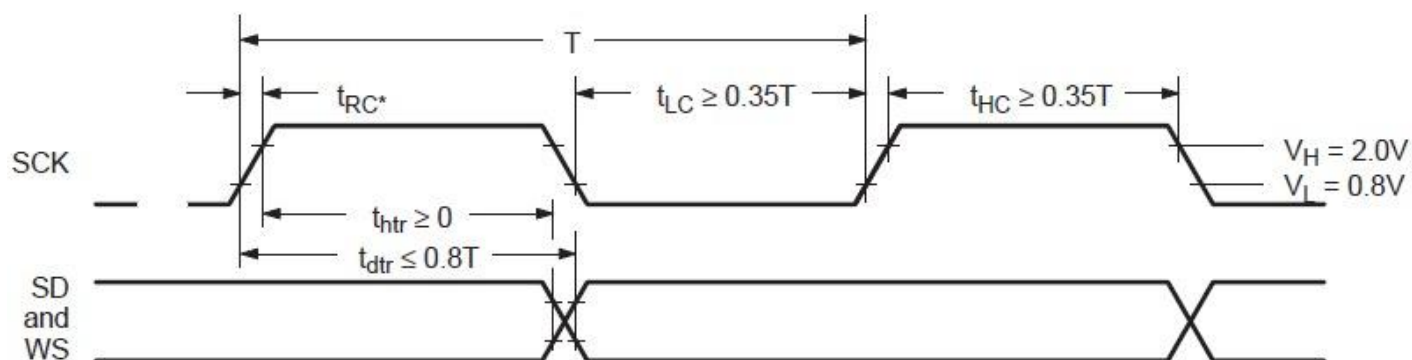
1986 的 SPEC 电平定义为 TTL，实际应用参考具体器件手册。

## 4. 时序要求

在 I2S 总线中，任何设备都可以通过提供时钟成为 I2S 的主控设备。考虑到 SCK、SD 和 WS 的时延，I2S 总线上总的时延包括：

- 外部时钟 SCK 由主设备到从设备的时延；
- 内部时钟和 SD 及 WS 的时延

外部时钟 SCK 到内部时钟的延迟对于数据和左右声道信号 WS 的输入没有影响，因为这段延迟只增加有效的建立时间（Setup time），如图 4 所示。需要注意的是发送延迟和接收设备建立时间是否有足够的裕量。所有的时序要求和时钟周期或设备允许的最低时钟周期有关。不同器件的 Datasheet 都有单独部分说明其时序要求，以下部分截取自 I2S Bus Specification。



T = clock period

$T_{tr}$  = minimum allowed clock period for transmitter

$T > T_{tr}$

\*  $t_{RC}$  is only relevant for transmitters in slave mode.

图 4. 发送设备时序

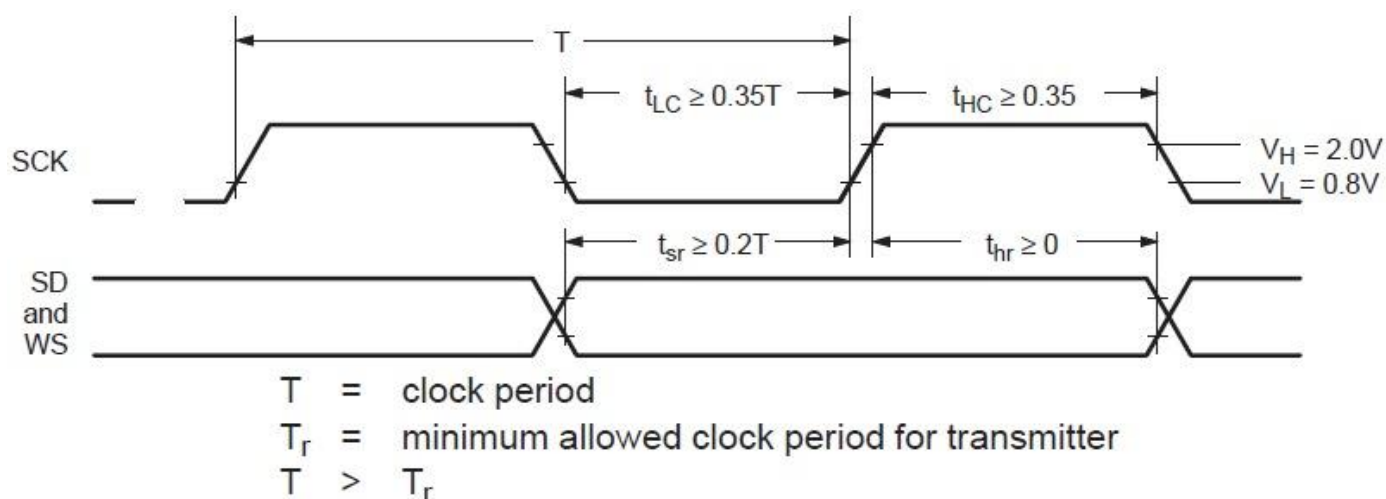


图 5. 接收设备时序

注：

图 4 和图 5 的时序要求因发送设备的时钟速率不同而有所区别。接收设备的性能指标需要匹配发送设备的性能。

表 1 说明 I<sup>2</sup>S 发送和接收时序的要求。

	TRANSMITTER				RECEIVER				NOTES
	LOWER LIMIT		UPPER LIMIT		LOWER LIMIT		UPPER LIMIT		
	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	
Clock period T	$T_{tr}$				$T_r$				1
MASTER MODE: clock generated by transmitter or receiver: HIGH $t_{HC}$ LOW $t_{LC}$	$0.35T_{tr}$ $0.35T_{tr}$				$0.35T_{tr}$ $0.35T_{tr}$				2a 2a
SLAVE MODE: clock accepted by transmitter or receiver: HIGH $t_{HC}$ LOW $t_{LC}$ rise-time $t_{RC}$		$0.35T_{tr}$ $0.35T_{tr}$	$0.15T_{tr}$			$0.35T_r$ $0.35T_r$			2b 2b 3
TRANSMITTER: delay $t_{dtr}$ hold time $t_{htr}$	0			0.8T					4 3
RECEIVER: set-up time $t_{sr}$ hold time $t_{hr}$						$0.2T_r$ 0			5 5

表 1. I<sup>2</sup>S 发送和接收时序

图 6 是 SPEC 对于时钟上升时间的定义。

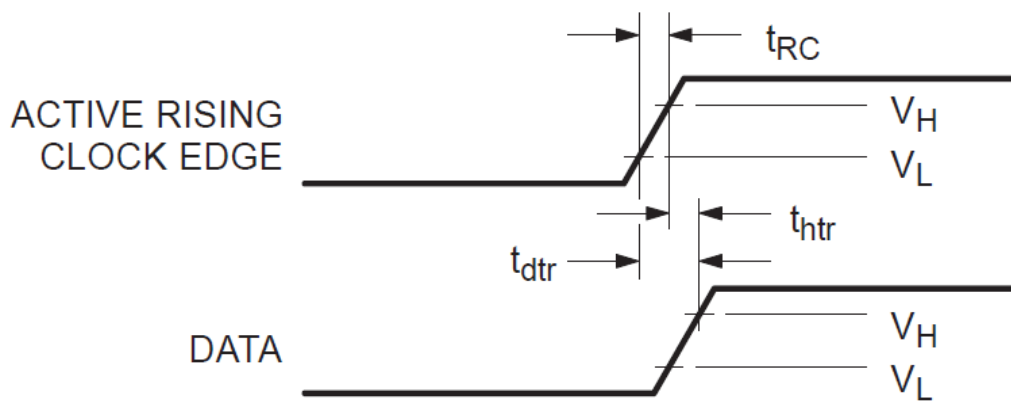


图 6. 时钟上升时间定义

## 5. I<sup>2</sup>S 操作模式

根据 SD 相对于 SCK 和 WS 位置的不同，I<sup>2</sup>S 分为三种不同的操作模式，分别为标准 I<sup>2</sup>S 模式、左对齐模式和右对齐模式：

- I<sup>2</sup>S Phillips Standard    I<sup>2</sup>S 格式
- Left Justified Standard    左对齐格式
- Right Justified Standard    右对齐格式

**I<sup>2</sup>S 模式**属于左对齐中的一种特例，也叫 PHILIPS 模式，是由标准左对齐格式再**延迟一个时钟位**变化来的。时序如图 7 所示，左声道的数据 MSB 在 WS 下降沿之后第二个 SCK/BCLK 上升沿有效，右声道数据的 MSB 在 WS 上升沿之后第二个 SCK/BCLK 上升沿有效。

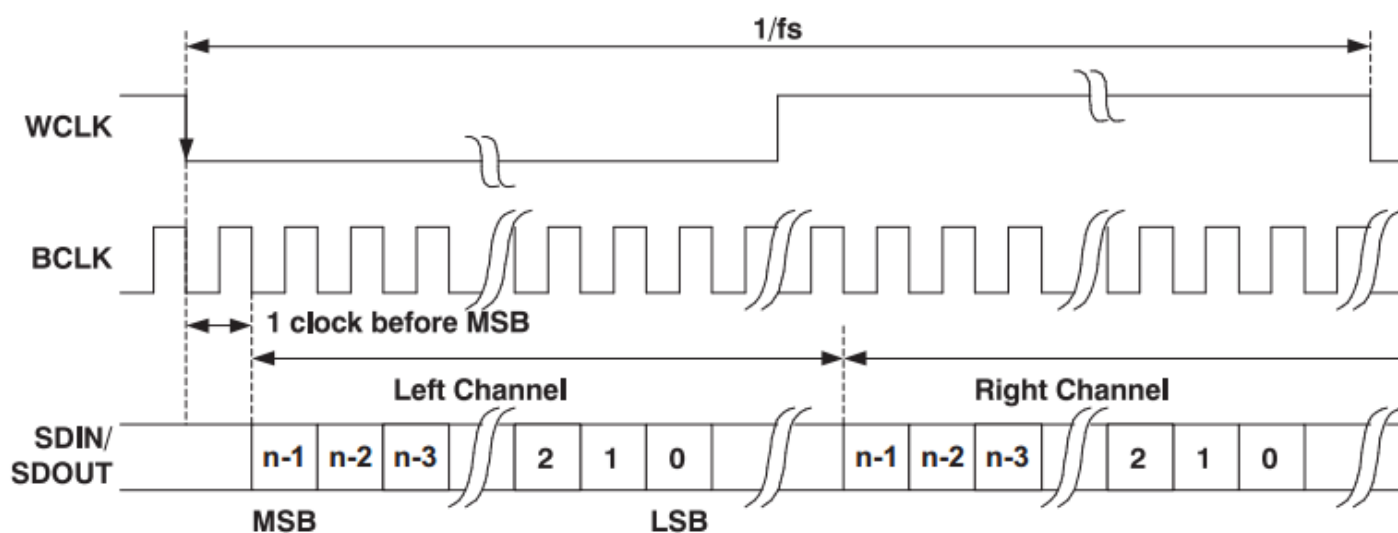


图 7. I<sup>2</sup>S PHILIPS 操作模式

**标准左对齐**较少使用，图 8 为左对齐时序图，和 PHILIPS 格式（图 6）对比可以看出，标准左对齐格式的数据的 MSB 没有相对于 BCLK 延迟一个时钟。左对齐格式的左声道的数据 MSB 在 WS 上升沿之后 SCK/BCLK 的第一个上升沿有效；右声道的数据 MSB 在 WS 下降沿之后 SCK/BCLK 第一个上升沿有效。标准左对齐格式的优点在于，由于在 WS 变化后的第一个 SCK 上升沿就开始采样，它不需要关心左右声道数据的字长，只要 WS 的时钟周期足够长，左对齐的方式支持 16-32bit 字长格式。

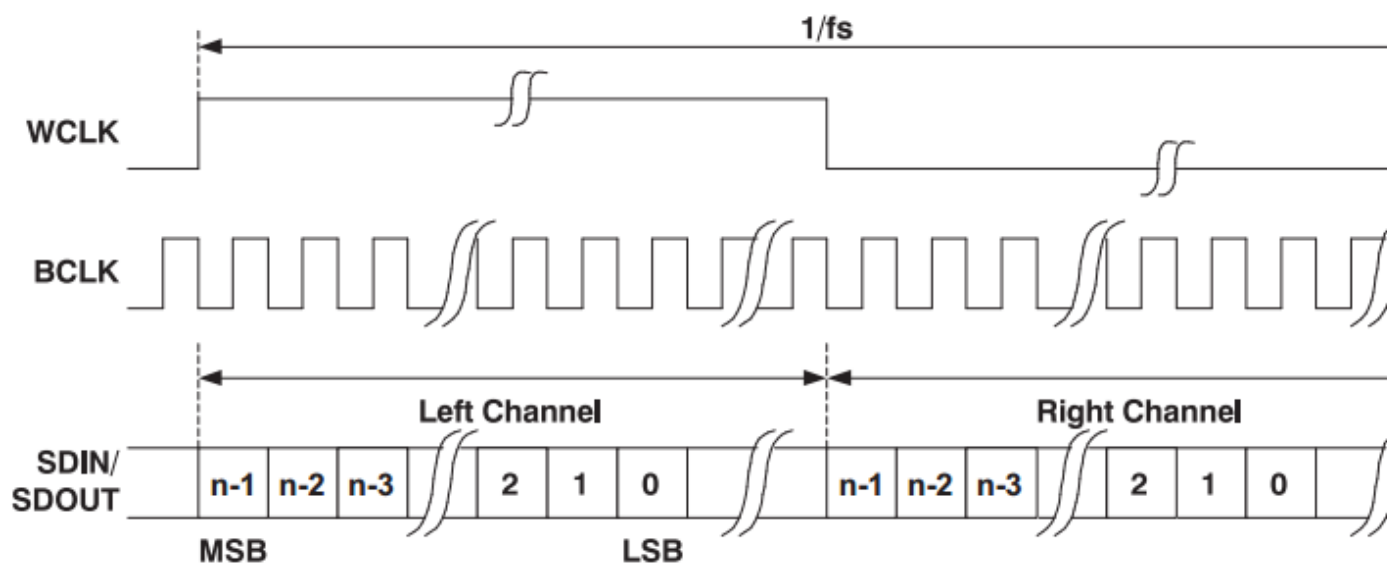


图 8. 左对齐操作模式

**标准右对齐**也叫日本格式，EIAJ (Electronic Industries Association of Japan) 或 SONY 格式，图 9 为右对齐时序图。右对齐格式左声道的数据 LSB 在 WS 下降沿的前一个 SCK/BCLK 上升沿有效，右声道的数据 LSB 在 WS 上升沿的前一个 SCK/BCLK 上升沿有效。相比于标准左对齐格式，标准右对齐的不足在于接收设备必须事先知道待传数据的字长。这也解释了为什么许多 CODEC 都会提供多种右对齐格式选择功能。

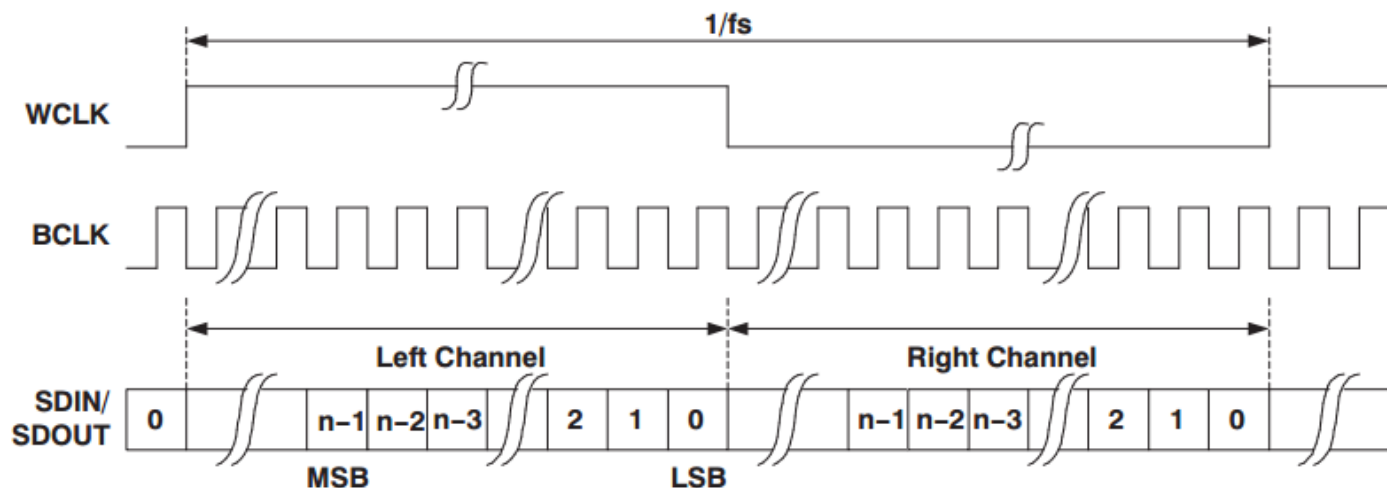


图 9. 右对齐操作模式

以上不同 I<sup>2</sup>S 对齐方式时序图来源，详见[链接](#) TI CODEC\_器件手册。

注：

标准左对齐和标准右对齐模式的 LRCK/WS 高低电平对应的左右声道与标准 I<sup>2</sup>S 模式的规定**恰好相反**！标准左右对齐 LRCK/WS 高电平对应左声道，LRCK/WS 低电平对应右声道；而 I<sup>2</sup>S 低电平对应左声道，LRCK/WS 高电平对应右声道！

## 6. I<sup>2</sup>S 数据时钟（SCK）频率计算

例如：设声音的采样频率为 44.1 kHz，即声道选择信号（帧时钟）WS 的频率必须也为 44.1 kHz；左/右 2 个声道的量化深度均为 16 bit，则 I<sup>2</sup>S 的 SCK 的频率为：44.1 kHz×16×2=1.4112 MHz  
如果需要传输 20 bit、24 bit 或 32 bit 的左右声道的数据，可以提高 SCK 的频率，由上式可以计算出需要的 SCK 的频率。

## 7. Master Clock

在 I<sup>2</sup>S/PCM 接口的 ADC/DAC 系统中，除了 SCK 和 WS 外，CODEC 经常还需要控制器提供 **MCLK** (Master Clock)，这是由 CODEC 内部基于 **Delta-Sigma** ( $\Delta\Sigma$ ) 的架构设计要求使然。MCLK 时钟频率一般为 256\*WS，具体参考特定器件手册。图 10 示意 Nuvoton 的 NAU8822L CODEC 内部 PLL 框图，可以清晰地看出 MCLK 作用的区域。

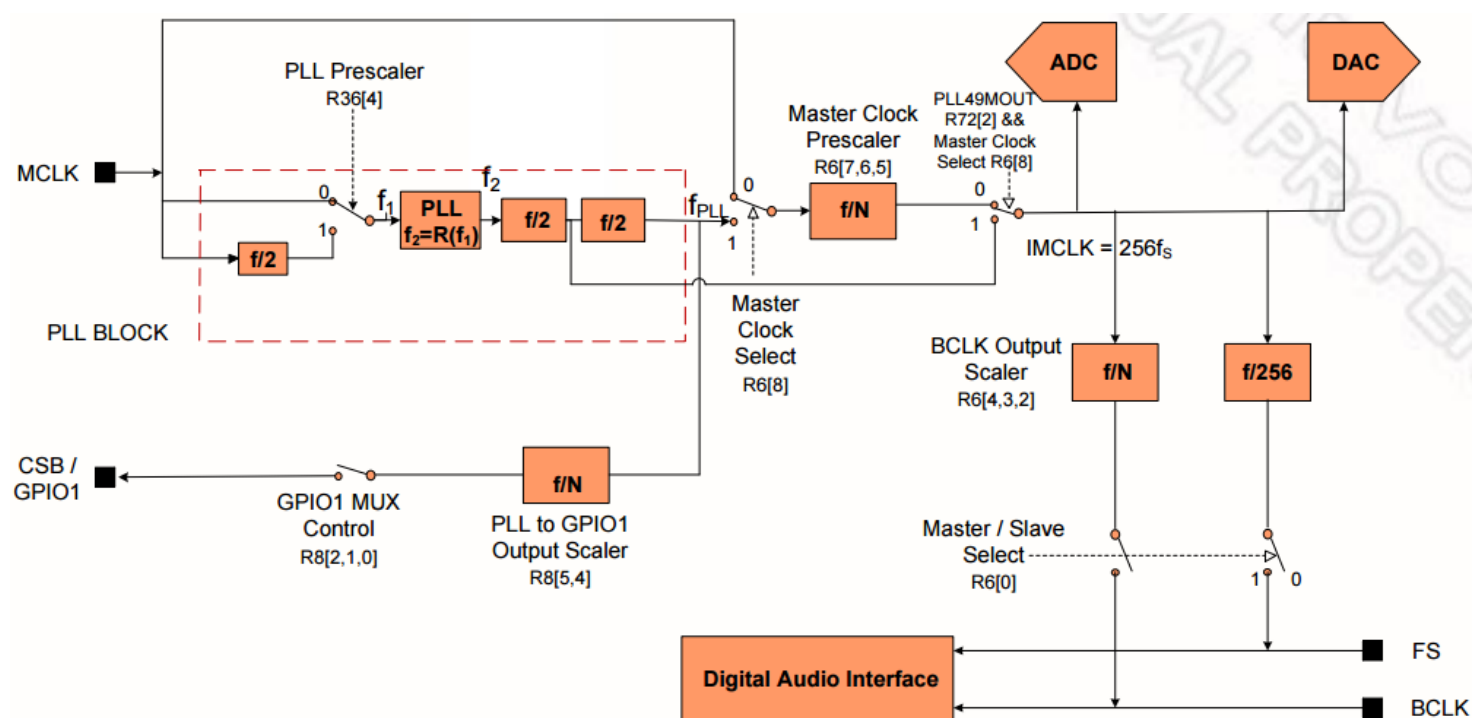


图 10. CODEC 内部 PLL 示意图



# PCM 接口

## 1. PCM 简介

PCM (Pulse Code Modulation) 是通过等时间间隔（即采样率时钟周期）采样将模拟信号数字化的方法。图 11 为 4 bit 采样深度的 PCM 数据量化示意图。

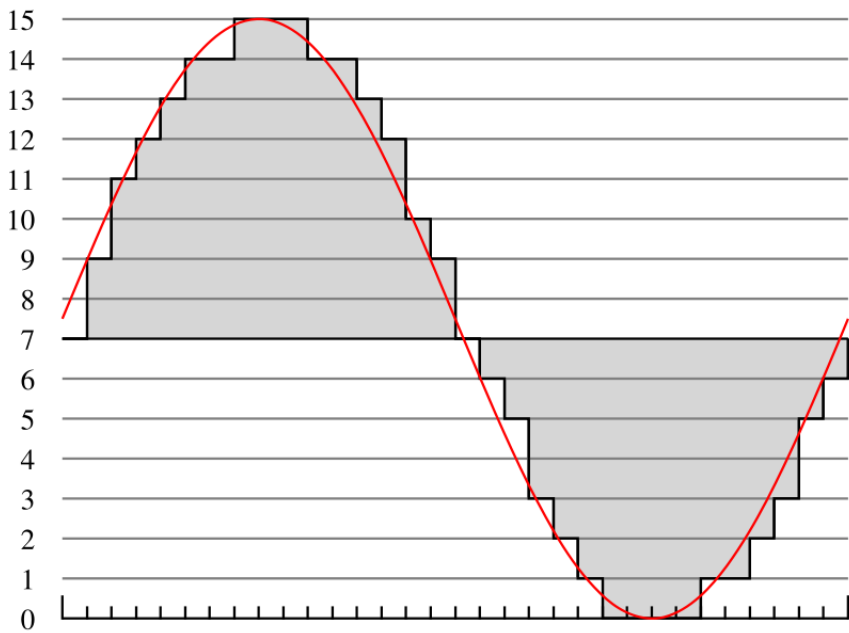


图 11. 4-bit PCM 的采样量化

PCM 数字音频接口，即说明接口上传输的音频数据通过 PCM 方式采样得到的，以区别于 PDM 方式。在音频领域，PCM 接口常用于板级音频数字信号的传输，与 I<sup>2</sup>S 相似。PCM 和 I<sup>2</sup>S 的区别于数据相对于帧时钟（FSYNC/WS）的位置、时钟的极性和帧的长度。其实，I<sup>2</sup>S 上传输的也是 PCM 类型的数据，因此可以说 I<sup>2</sup>S 不过 PCM 接口的特例。

相比于 I<sup>2</sup>S 接口，PCM 接口应用更加灵活。通过时分复用（[TDM](#), Time Division Multiplexing）方式，PCM 接口支持同时传输多达 N 个（N>8）声道的数据，减少了管脚数目（实际上是减少 I<sup>2</sup>S 的“组”数，因为每组 I<sup>2</sup>S 只能传输两声道数据嘛）。TDM 不像 I<sup>2</sup>S 有统一的标准，不同的 IC 厂商在应用 TDM 时可能略有差异，这些差异表现在时钟的极性、声道配置触发条件和对闲置声道的处理等。

**TDM/PCM** 数字音频接口的硬件拓扑结构也与 I<sup>2</sup>S 相近。图 12 表示应用 DSP 作为主设备控制 ADC 和 DAC 间数字音频流的例子。

综合不少厂商的数据手册，笔者发现，在应用 PCM 音频接口传输单声道数据（如麦克风）时，其接口名称为 **PCM**；双声道经常使用 **I<sup>2</sup>S**；而 **TDM** 则表示传输两个及以上声道的数据，同时区别于 I<sup>2</sup>S 特定的格式。

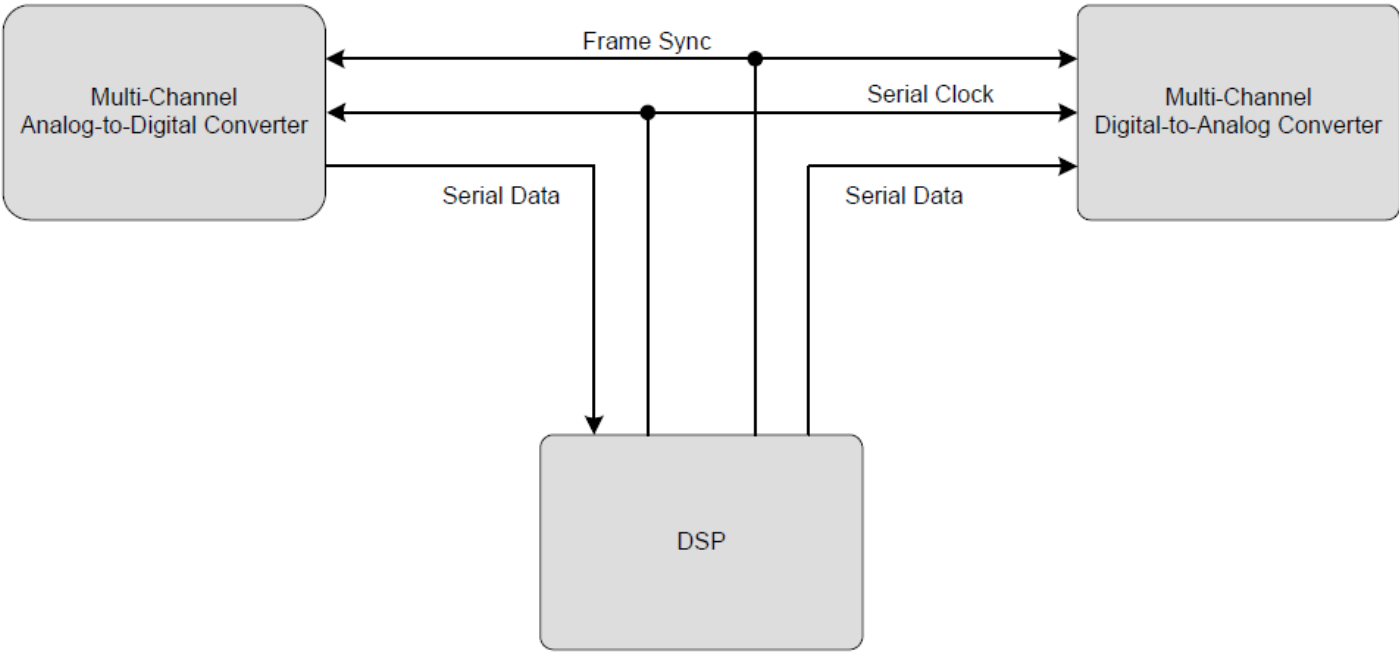


图 12. TDM 系统框图

## 2. 信号定义

PCM 接口与 I²S 相似，电路信号包括：

- **PCM\_CLK**    数据时钟信号
- **PCM\_SYNC**    帧同步时钟信号
- **PCM\_IN**    接收数据信号
- **PCM\_OUT**    发送数据信号

TDM/PCM 与 I²S 接口对应关系见表 2：

PCM Interface	I²S Interface
PCM_OUT	SD_OUT
PCM_IN	SD_IN
PCM_SYNC	WS
PCM_CLK	SCK

表 2. PCM vs I²S 接口

### 3. 操作模式

根据 SD 相对帧同步时钟 FSYNC 的位置，TDM 分两种基本模式：

- **Mode A:** 数据在 FSYNC 有效后，BCLK 的第 2 个上升沿有效（图 13）
- **Mode B:** 数据在 FSYNC 有效后，BCLK 的第 1 个上升沿有效（图 14）

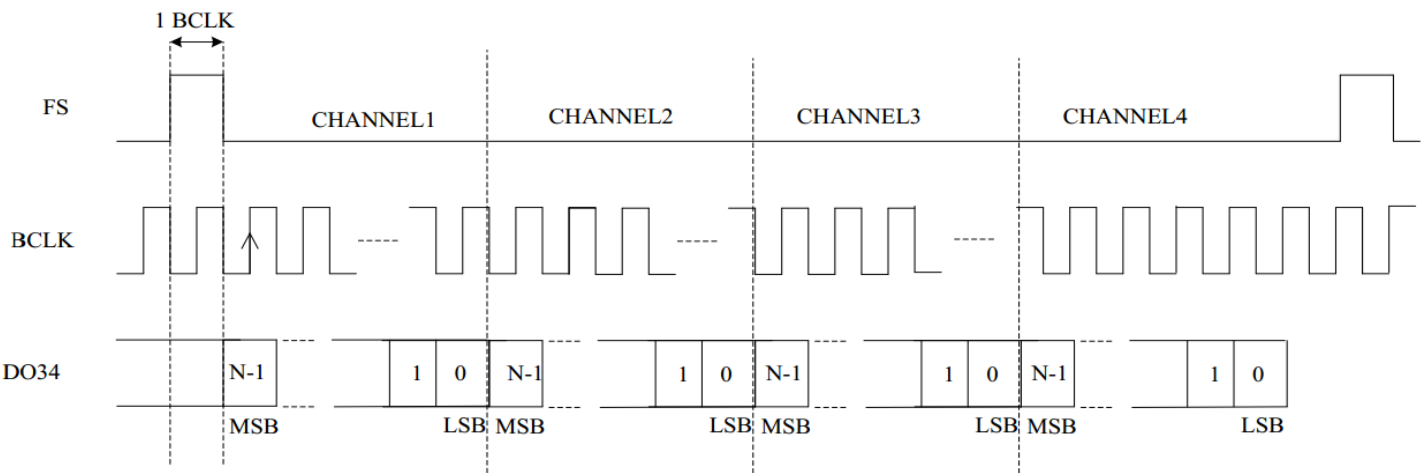


图 13. TDM Mode A

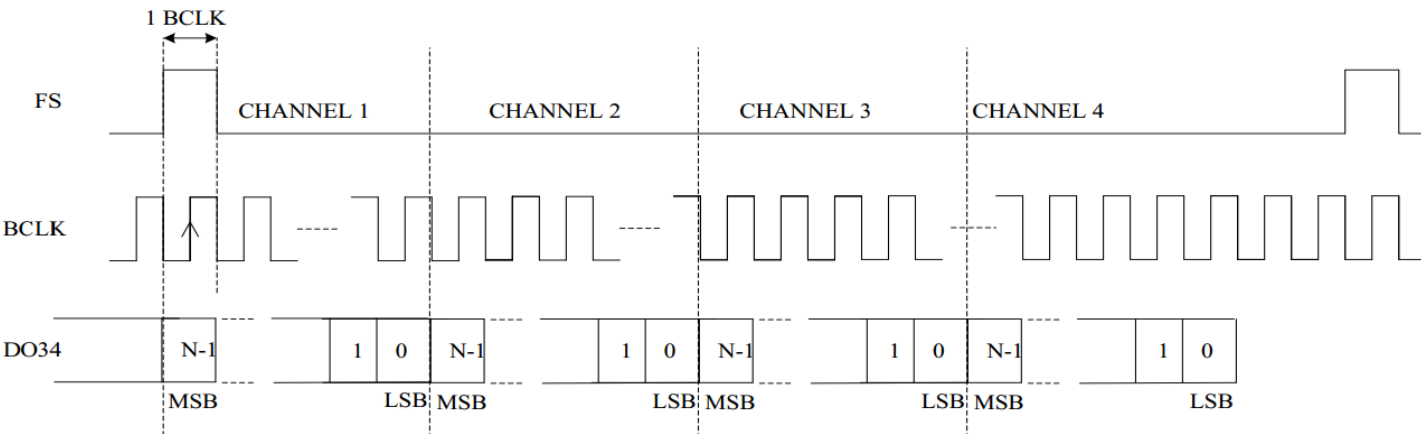


图 14. TDM Mode B

注：  
由于没有统一标准，不同厂商对 Mode A 和 Mode B 定义可能有所差别。

在实际应用中，总是以帧同步时钟 **FSYNC** 的上升沿表示一次传输的开始。帧同步时钟的频率总是等于音频的采样率，比如 44.1 kHz，48 kHz 等。多数应用只用到 **FSYNC** 的上升沿，而忽略其下降沿。根据不同应用 **FSYNC** 脉冲宽度的差别，PCM 帧同步时钟模式大致分为两种：

- 长帧同步 Long Frame Sync
- 短帧同步 Short Frame Sync

长帧同步，短帧同步时序模式如下图 16 和图 17 所示。

注：

a. 长帧同步，如图 15 所示，**FSYNC** 脉冲宽度等于 1 个 **Slot** 的长度。**Slot** 在 TDM 中表示的是传输单个声道所占用的位数。如图 15 所示 TI McASP 接口的 TDM 包括 6 个 **Slots**，即它最多可包括 6 声道数据。注意，**Slot** 的位数并不一定等于音频的量化深度。比如 **Slot** 可能为 **32 bit**，其中包括 **24 bit** 有效数据位（Audio Word） + **8 bit** 零填充（Zero Padding）。不同厂商对 **Slot** 的叫法可能有所区别，比如 Circus Logic 称之为 Channel Block；

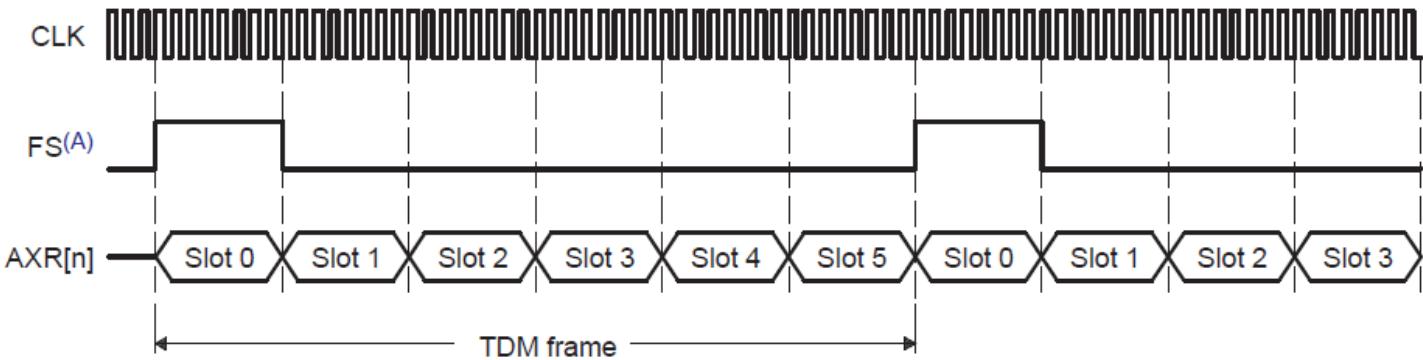


图 15. 长帧同步模式

- b. 短帧同步，**FSYNC** 脉冲宽度等于 1 个 **BCLK** 周期长度；
- c. 由于没有统一标准，不同厂商对 **FSYNC** 脉冲宽度及触发边沿的设置可能不同，以器件手册为准。

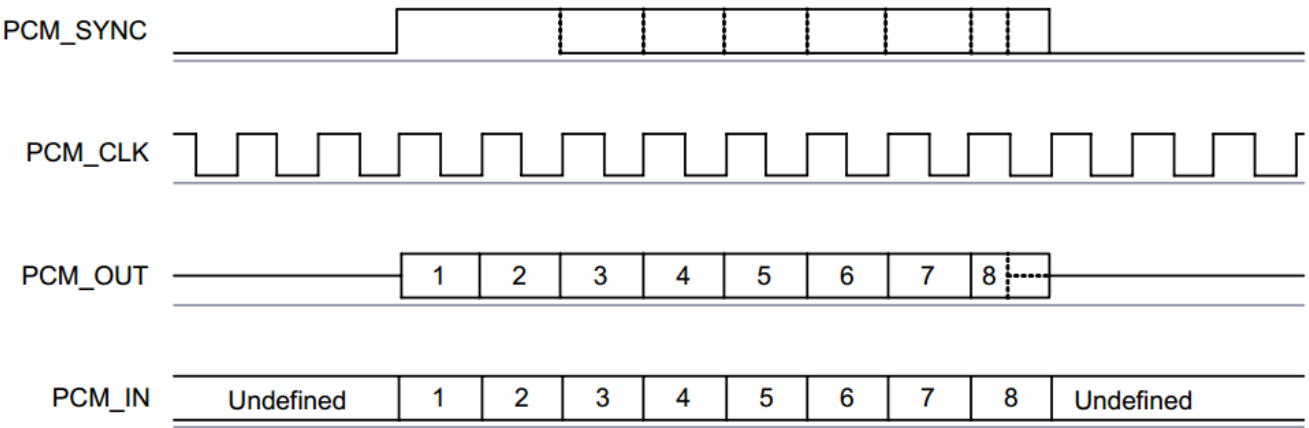


图 16. 8-bit 长帧同步模式

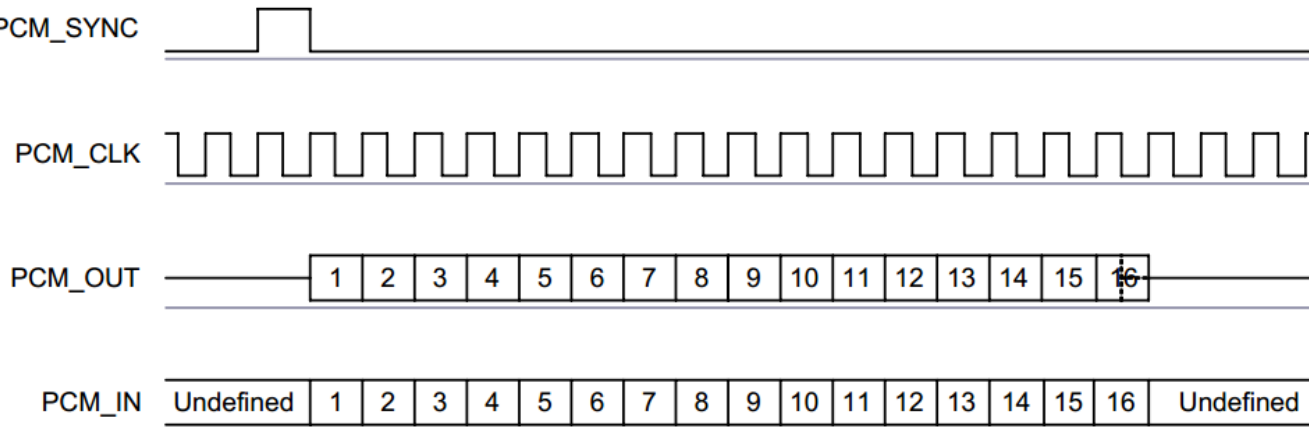


图 17. 16-bit 短帧同步模式

关于长短帧同步、MSB/LSB 和量化深度的区别，对应的 PCM 时序模式，请参考附件 CSR BC06 工具：  
[pcmconfigv2 1](#)

通过这个工具很容易理解这些变量的含义。

## 4. 模式设置

通过寄存器或者管脚电平设置，可以配置 CODEC 的 **DAI** 工作在不同的操作模式。以 AKM 的 24bit 4ch DAC [AK4413](#) 为例，如表 3 所示，通过设置 **TDM[1:0]** 和 **DIF[2:0]** 等 5 个寄存器的值，可以选择其 SDT1 接口工作于 20 种不同模式，在 Datasheet 中详细说明了每种模式的时序框图。

Mode		TDM1	TDM0	DIF2	DIF1	DIF0	SDTI Format	LRCK	BICK
Normal	0	-	0	0	0	0	16-bit LSB justified	H/L	≥32fs
	1			0	0	1	20-bit LSB justified	H/L	≥40fs
	2			0	1	0	24-bit MSB justified	H/L	≥48fs
	3			0	1	1	24-bit I <sup>2</sup> S compatible	L/H	≥48fs
	4			1	0	0	24-bit LSB justified	H/L	≥48fs
	5			1	0	1	32-bit LSB justified	H/L	≥64fs
	6			1	1	0	32-bit MSB justified	H/L	≥64fs
	7			1	1	1	32-bit I <sup>2</sup> S compatible	L/H	≥64fs
TDM256		0	1	0	0	0	N/A		
				0	0	1	N/A		
	8			0	1	0	24-bit MSB justified	↑	256fs
	9			0	1	1	24-bit I <sup>2</sup> S compatible	↓	256fs
	10			1	0	0	24-bit LSB justified	↑	256fs
	11			1	0	1	32-bit LSB justified	↑	256fs
	12			1	1	0	32-bit MSB justified	↑	256fs
	13			1	1	1	32-bit I <sup>2</sup> S compatible	↓	256fs
TDM128		1	1	0	0	0	N/A		
				0	0	1	N/A		
	14			0	1	0	24-bit MSB justified	↑	128fs
	15			0	1	1	24-bit I <sup>2</sup> S compatible	↓	128fs
	16			1	0	0	24-bit LSB justified	↑	128fs
	17			1	0	1	32-bit LSB justified	↑	128fs
	18			1	1	0	32-bit MSB justified	↑	128fs
	19			1	1	1	32-bit I <sup>2</sup> S compatible	↓	128fs

表 3. 数字音频接口模式选择

## 5. 时钟（BCLK）频率的计算

FSYNC 的频率等于音频的采样率（例如 44.1 kHz，48 kHz 等）。Frame 每次传输包括所有声道的数据。PCM 采样音频数据量化深度一般在 16-32bit（最常见为 16/24bit）。那么对于 8 声道，每个声道 32bit 音频数据，采样率 48kHz 的系统，TDM 的系统时钟速率为： $8 \times 32 \times 48\text{kHz} = 12.288 \text{ MHz}$

在器件 Datasheet 中可以见到 TDM128/TDM256/TDM384/TDM512 等说法，数字的含义为单个 TDM 数据帧包含数据的比特数（即帧长）。如上例 8 声道（Channels）32bit 的音频数据，亦称为 TDM256（=8\*32）。TDM 系统时钟速率就可以简单地用采样率乘以 TDM 帧长计算得出。相同的例子，TDM 系统时钟速率：

$$48\text{kHz} \times 256 = 12.288 \text{ MHz}$$

下表 4 列出系统时钟 SCK/BCLK 和采样率 fs 及 TDM 帧长的关系：

SAMPLING FREQUENCY	SYSTEM CLOCK FREQUENCY ( $f_{sck}$ ), MHz						
	128 $f_s$	192 $f_s$	256 $f_s$	384 $f_s$	512 $f_s$	768 $f_s$	1152 $f_s$
8 kHz	1.024	1.536	2.048	3.072	4.096	6.144	9.216
16 kHz	2.048	3.072	4.096	6.144	8.192	12.288	18.432
32 kHz	4.096	6.144	8.192	12.288	16.384	24.576	36.864
44.1 kHz	5.6448	8.4672	11.2896	16.9344	22.5792	33.8688	— <sup>(1)</sup>
48 kHz	6.144	9.216	12.288	18.432	24.576	36.864	— <sup>(1)</sup>
88.2 kHz	11.2896	16.9344	22.5792	33.8688	— <sup>(1)</sup>	— <sup>(1)</sup>	— <sup>(1)</sup>
96 kHz	12.288	18.432	24.576	36.864	— <sup>(1)</sup>	— <sup>(1)</sup>	— <sup>(1)</sup>
192 kHz	24.576	36.864	— <sup>(1)</sup>	— <sup>(1)</sup>	— <sup>(1)</sup>	— <sup>(1)</sup>	— <sup>(1)</sup>

表 4. 常见音频采样率对应的系统时钟

6. 数据格式

在 PCM/TDM 传输的数据帧（Slots）中，可能还包括音频数据之外的信息。比如在 CSR BC06 器件 Datasheet 说明，其设置为 16 bit Slot 字长时，3 或 8 bit 未使用 bit 可以用作标签位（Sign Extension）、零填充（Zeros Padding）或是兼容 Motorola 编解码器的 3 bit 音频衰减值，如图 18 所示。

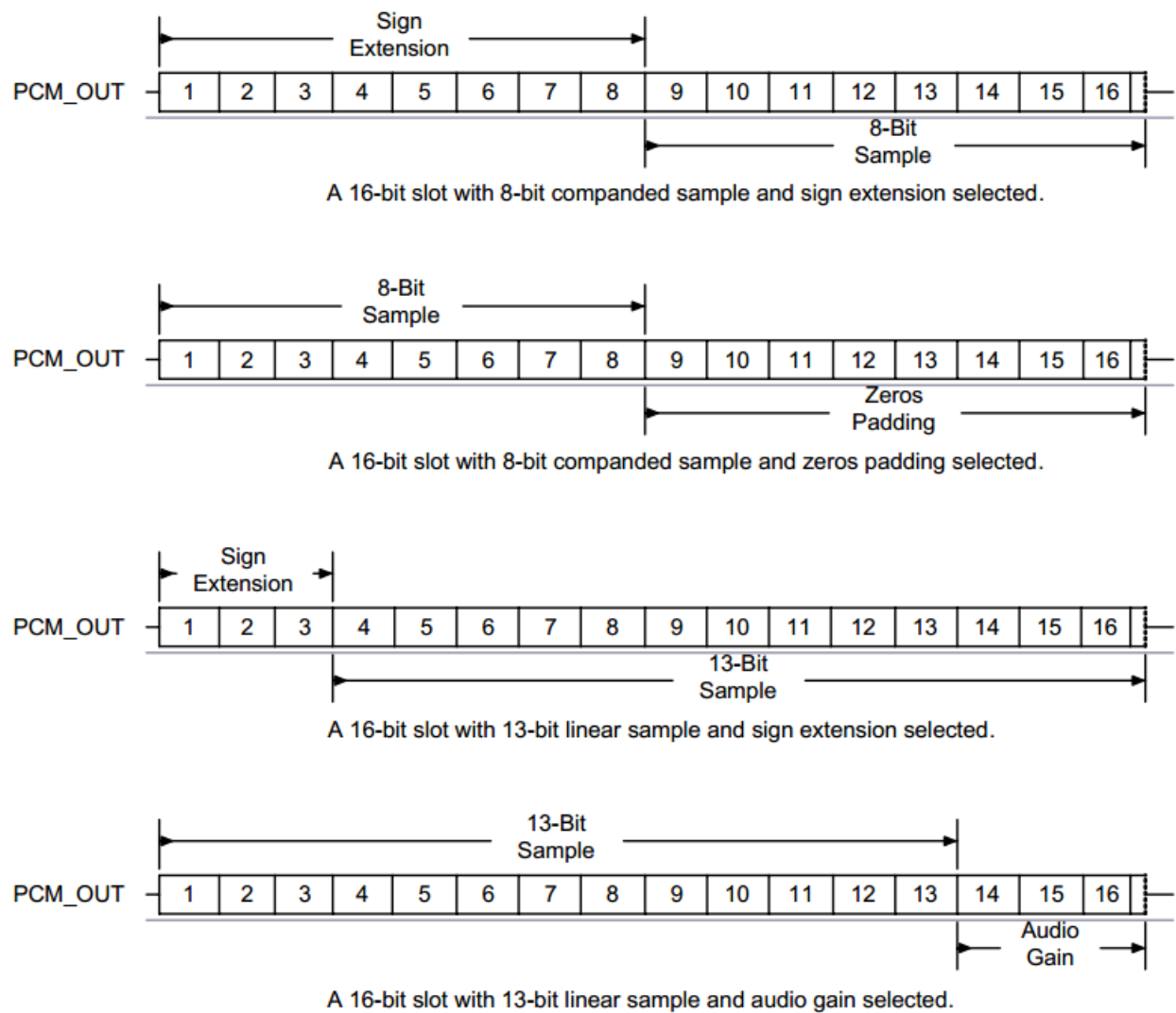


图 18. 16-bit 位采样字格式

# 7. 协议分析

以 R&S 的音频分析仪 [UPV Audio Analyzer](#) 为例，在其 DAI 协议分析面板，如图 19，可以选择每帧包含的 Slots 数（**No of Slots**，对于 I<sup>2</sup>S 选 2），Slot 的长度，**Lead Bits** 表示有效数据相对于 Slot 开始位置的 OFFSET（比如，Slot Length = 32, Audio Leads = 8, 则表示每个 Slot 起始后的第 9 位为有效数据）。如果选择为左对齐方式（LSB），设备会自动修正 Audio Leads 值以得到正确的幅值测量结果。

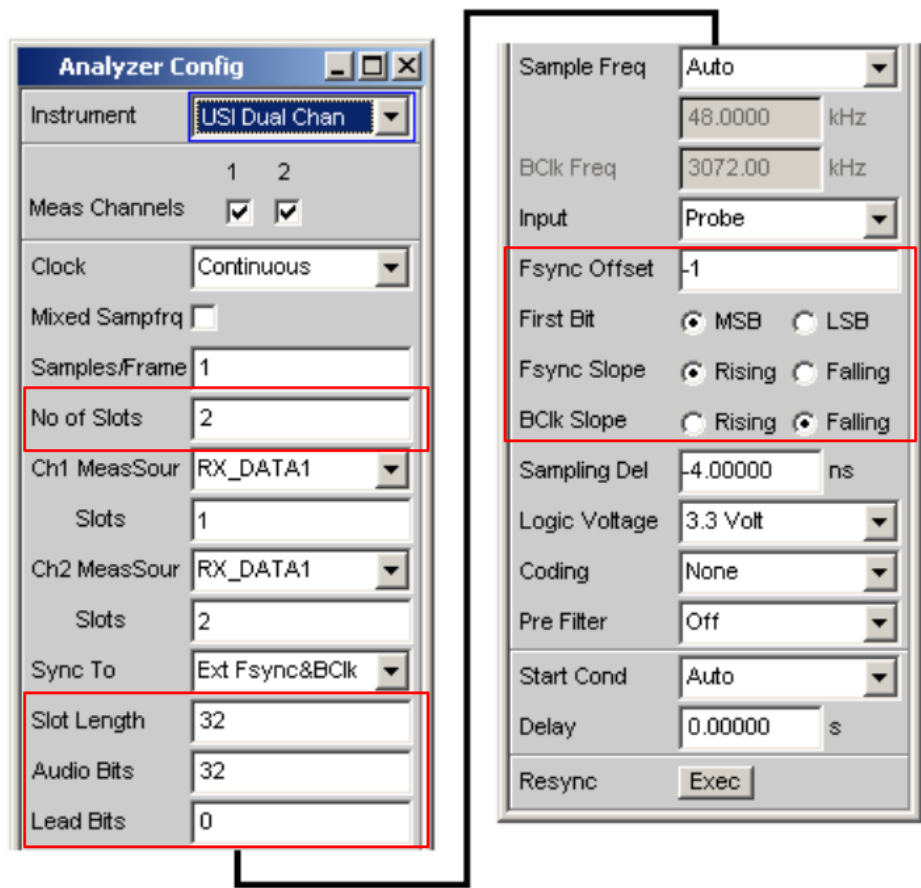


图 19. DAI 协议分析设置面板



# PDM 接口

**PDM**（Pulse Density Modulation）是一种用数字信号表示模拟信号的调制方法。同为将模拟量转换为数字量的方法，**PCM** 使用等间隔采样方法，将每次采样的模拟分量幅度表示为  $N$  位的数字分量（ $N = \text{量化深度}$ ），因此 **PCM** 方式每次采样的结果都是  $N$  bit 字长的数据。**PDM** 则使用远高于 **PCM** 采样率的时钟采样调制模拟分量，只有 1 位输出，要么为 0，要么为 1。因此通过 **PDM** 方式表示的数字音频也被称为 Oversampled 1-bit Audio。相比 **PDM** 一连串的 0 和 1，**PCM** 的量化结果更为直观简单。

在以 **PDM** 方式作为模数转换方法的应用接收端，需要用到抽取滤波器（Decimation Filter）将密密麻麻的 0 和 1 代表的密度分量转换为幅值分量，而 **PCM** 方式得到的就已经是幅值相关的数字分量。图 20 示意为通过 **PDM** 方式数字化的正弦波。

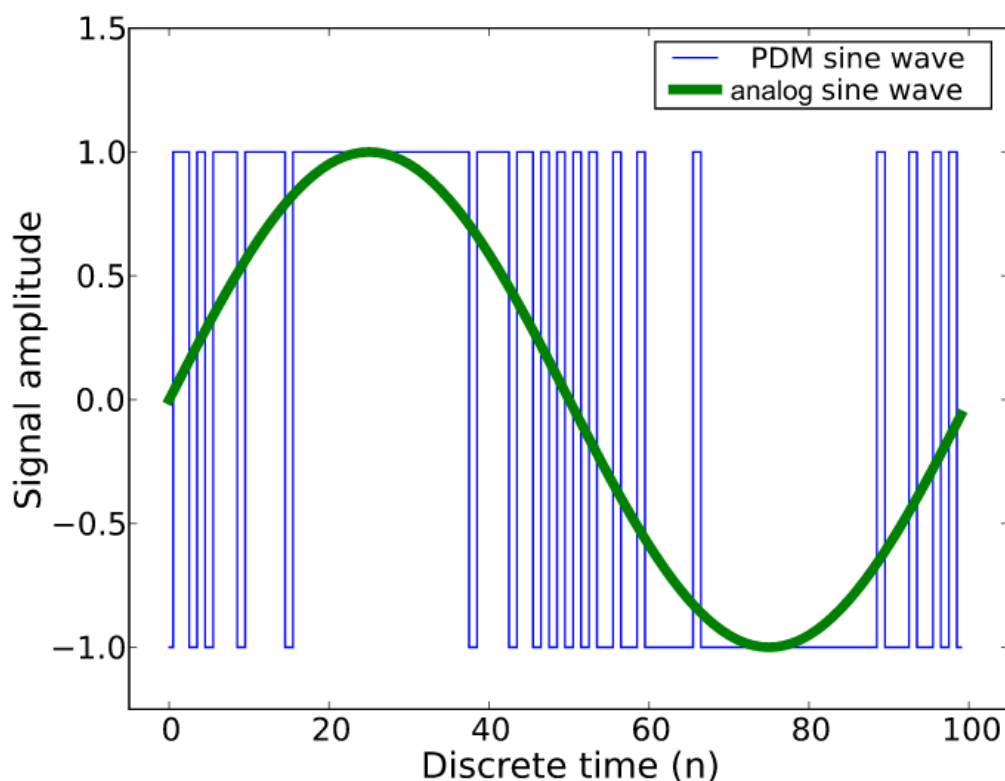


图 20. PDM 方式表示的正弦波

**PCM** 方式的逻辑更加简单，但需要用到数据时钟，采样时钟和数据信号三根信号线；**PDM** 方式的逻辑相对复杂，但它只需要两根信号线，即时钟和数据。**PDM** 在诸如手机和平板等对于空间限制严格的场合有着广泛的应用前景。在[数字麦克风](#)领域，应用最广的就是 **PDM** 接口，其次为 **I<sup>2</sup>S** 接口。**PDM** 格式的音频信号可以在比如 LCD 屏这样 Noise 干扰强的电路附近走线。

通过 **PDM** 接口方式，传输双声道数据只要用到两根信号线。如图 21 示意两个 **PDM** 接口的发送设备与同一个接收设备的连接情况，比如 Source 1/2 分别作为左右声道的麦克风，通过这种方式可以将采集到的双声道数据传送到接收设备。主设备（此例中作为接收设备）为两个从设备提供时钟，分别在时钟的上升沿和下降沿触发选择 Source 1/2 作为数据输入。图 22 为 Maxim 的 Class-D 类型功放 [MAX98358](#) 对 **PDM** 接口时序的要求，可以看到它在 **PDM\_CLK** 的上升沿采样左声道数据，在 **PDM\_CLK** 下降沿采样右声道数据。

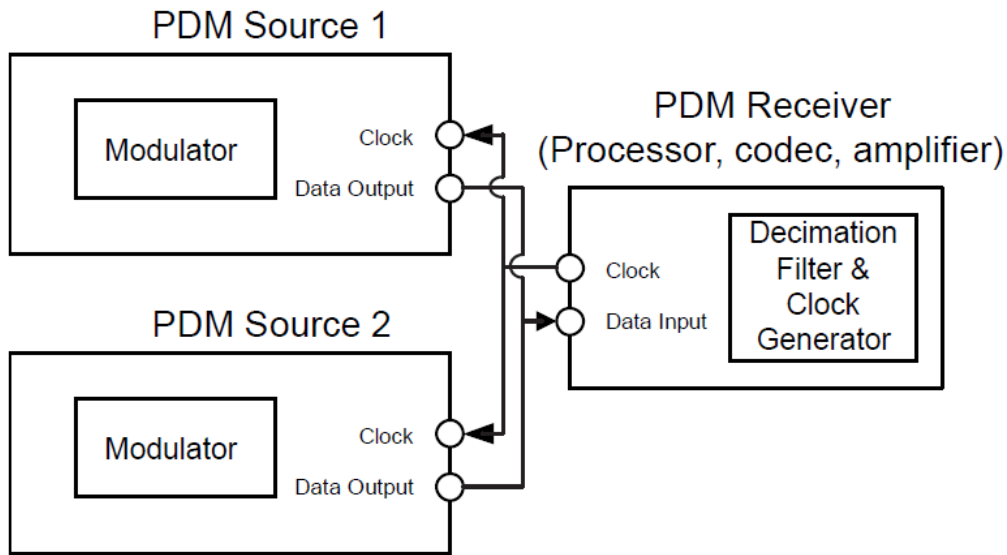


图 21. PDM 连接示意图（2 发送设备 + 1 接收设备）

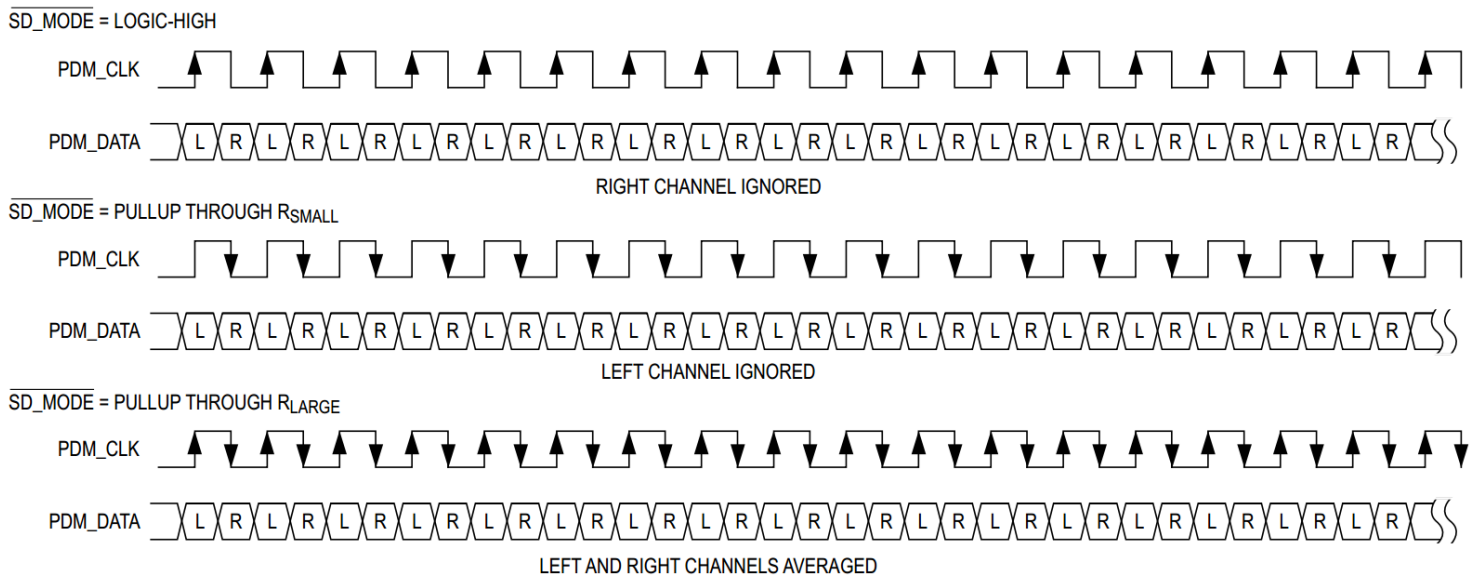


图 22. PDM 时序框图

基于 PDM 的架构不同于 I<sup>2</sup>S 和 TDM 之处在于，抽取滤波器（Decimation Filter）不在发送设备，而在接收设备内部。源端输出是原始的高采样率（oversample）调制数据，如 Sigma-Delta 调制器的输出，而不是像 I<sup>2</sup>S 中那样的抽取数据（An I<sup>2</sup>S output digital microphone includes the decimation filter, so its output is already at a standard audio sample rate that's easy to interface to and process.）。基于 PDM 接口的应用降低了发送设备的复杂性，由于作为接收设备的 CODEC 内部集成抽取滤波器，因此系统整体复杂度大大降低。对于数字麦克风而言，通过使用面向 CODEC 或处理器制造的更精细硅工艺，而非传统麦克风使用的工艺，可以实现更高效率的抽取滤波器。

## 其它接口

---

**S/PDIF:** Sony/Philips Digital Interface Format

**Intel HDA:** Intel High Definition Audio

**Ethernet AVB:** Audio Video Bridging

## 免责声明

---

笔者刚开始接触音频方面的设计，知识体系并不完善。求助于 Google 和 Wiki，把相关的资料在这里以笔者认为容易懂的方式组织，是为此文。当然，本文必然存在不足和失当之处，欢迎各位朋友赐教指正。文章内容作者可能**随时更新**！

## 参考资料

---

1. [I2S Bus Specification](#) -Philips
2. [Pulse Code Modulation](#) -Wikipedia
3. [Pulse Density Modulation](#) -Wikipedia
4. [MS-2275: Common Inter-IC Digital Interfaces for Audio Data Transfer](#) -Analog
5. [AN282: The 2-Channel Serial Audio Interface](#) -Cirrus Logic
6. [AN301: Time Division Multiplexed Audio Interface](#) -Cirrus Logic
7. [WM8778: 24-bit, 192kHz Stereo CODEC](#) -Cirrus Logic
8. [TLV320AIC31: Low-power Stereo Audio Codec For Portable Audio/Telephony](#) -TI
9. [ANA-123: Audio CODEC Application Note](#) -Nuvoton
10. [NAU85L40: Quad Audio ADC with Integrated FLL and Microphone Preamplifier](#) -Nuvoton
11. [AK4413: High Performance 120dB 24-Bit 4ch DAC](#) -AKM
12. [R&S®UPV User Manual](#) -R&S
13. [Understanding PDM Digital Audio](#) -Audio Precision
14. [Analog and Digital MEMS Microphone Design Considerations](#) -Analog
15. [MAX98358: PDM Input Class D Audio Power Amplifier](#) -Maxim

原文链接: <http://www.wangdali.net/i2s/>

Retrieved 2016-04-21.