|  |  |  |  |
| --- | --- | --- | --- |
| 姓名： | 王哲霖 | 学号： | 2307110346 |
| 学院： | 计算机与电子信息学院 | 专业： | 计算机大类 |
| 班级： | 233班 | 时间： | 填写当次实验课日期 |
|  |  | 指导教师： | 何华光 |

# 实验名称： 编码器和译码器

一、实验目的

熟悉编码器的功能与基本应用。

熟悉译码器的功能与基本应用。

熟练使用编码器和译码器设计功能电路。

二、实验原理

三、实验设备及器件

1、与或非门电路器若干个；

2、数字信号源若干个；

3、仿真软件：Dream Logic 2019。

四、实验内容及过程

1、**设计普通 BCD 编码器**

（1）任务描述：

设计普通 BCD 编码器

（2）实验步骤

1. 参考图 2-2，在原理图文件 top.dlsche 中设计一个普通 BCD 编码器。

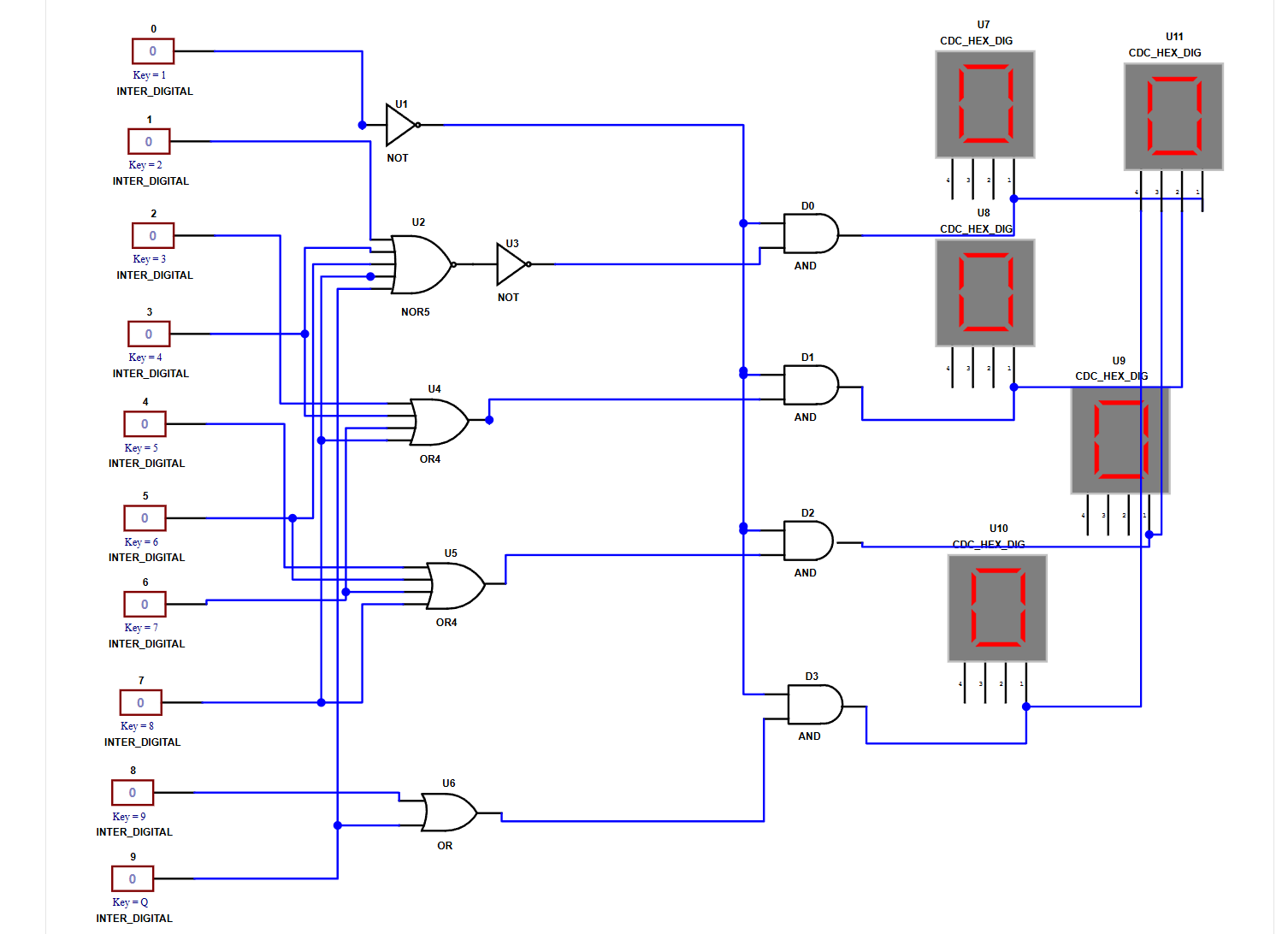
2. 对编码器进行仿真，填写普通 BCD 编码器的真值表 2-1。注意确认 BCD 码与十进制数之间的关系。

（3）任务1小结

熟悉了编码器的原理

1. 电路图、步骤截图、真值表及实验数据表等

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **输入端** | | **输出端（16进制）** | | |
|  | **方式** | **M=1逻辑运算** | **M=0算术运算** | |
| **AB(16进制)** | **S3S2S1S0** | **逻辑运算** | **CN=1(无进位)** | **CN=0(有进位)** |
| **00** | **0 0 0 0** | **f** | **0** | **1** |
| **ff** | **0 0 0 0** | **0** | **f** | **0** |
| **99** | **0 0 0 0** | **6** | **9** | **a** |
| **10** | **0 1 1 0** | **1** | **0** | **1** |
| **11** | **0 1 1 0** | **0** | **f** | **0** |
| **00** | **0 1 1 0** | **0** | **f** | **0** |
| **00** | **1 0 0 1** | **f** | **0** | **1** |
| **51** | **1 0 0 1** | **6** | **6** | **7** |
| **fe** | **1 0 0 1** | **e** | **d** | **e** |
| **10** | **1 0 1 1** | **0** |  |  |
| **11** | **1 0 1 1** | **1** |  |  |
| **00** | **1 0 1 1** | **0** |  |  |
| **00** | **1 1 1 0** | **0** |  |  |
| **10** | **1 1 1 0** | **1** |  |  |
| **01** | **1 1 1 0** | **1** |  |  |
| **ee** | **1 1 1 1** | **d** |  |  |
| **10** | **1 1 1 1** | **0** |  |  |
| **25** | **1 1 1 1** | **1** |  |  |



1. **常用编码器和译码器**
2. 任务描述：

了解常用编码器和译码器

1. 实验步骤

优先编码器 74LS148

1. 打开项目下的 74LS148.dlsche 文件。该原理图文件中绘制了 74LS148 的内部原理图。其输入信 号包括级联入（使能）EI，低电平有效，还有 8 个输入信号 D0~D7，也是低电平有效，D0 优先级 最低，D7 优先级最高。输出信号包括编码 A0~A2，以及级联出 EO 和 GS。

2. 启动仿真。根据 74LS148 的功能表 2-2，验证其功能。并将功能表补充完整。需要说明的是，在 此原理图中使用了“八位交互式数字信号”控制 D0~D7 的输入，读者可以选中此器件，然后在右 侧的属性窗口中编辑此器件的“数字信号”属性，在其中填入一个两位的十六进制数后按回车，就可以设定该器件输出的信号了。

译码器 74LS138

1. 打开项目下的原理图 74LS48.dlsche。该原理图文件中使用 74LS48 设计了一个用于将输入的 4 位 二进制信号显示为十进制数字的电路。

2.测试 74LS48 七段数码管显示译码器的功能

三态门

1. 打开项目下的原理图 tristate.dlsche。该原理图文件中将两个输入信号分别通过一个三态门连 接到了同一条总线上，这样就可以通过控制三态门的状态来决定是将哪个信号输出到总线上，从 而避免总线上的信号发生冲突。这里的三态门是低电平使能，也就是说当控制端信号为低电平时， 三态门打开。

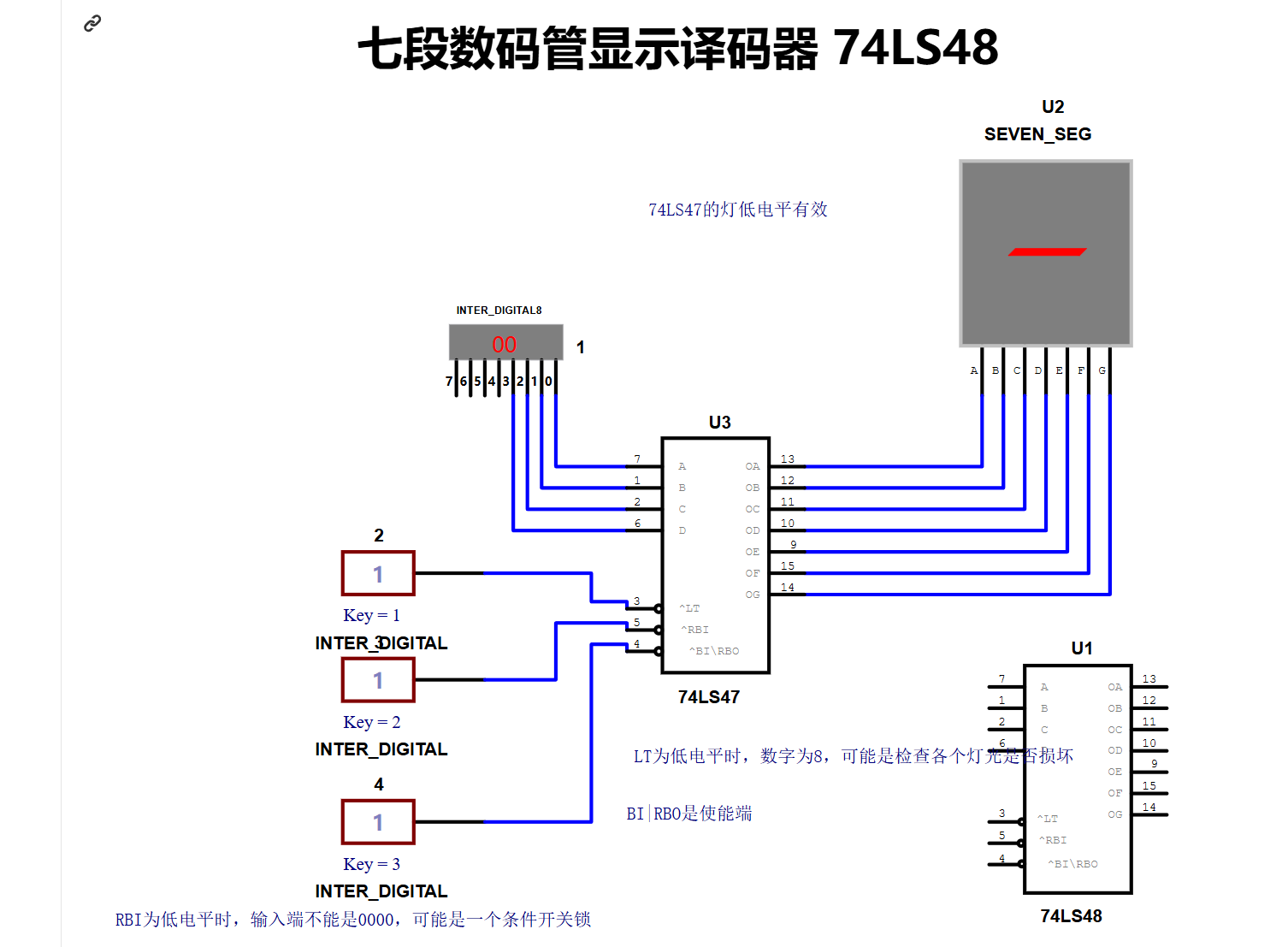
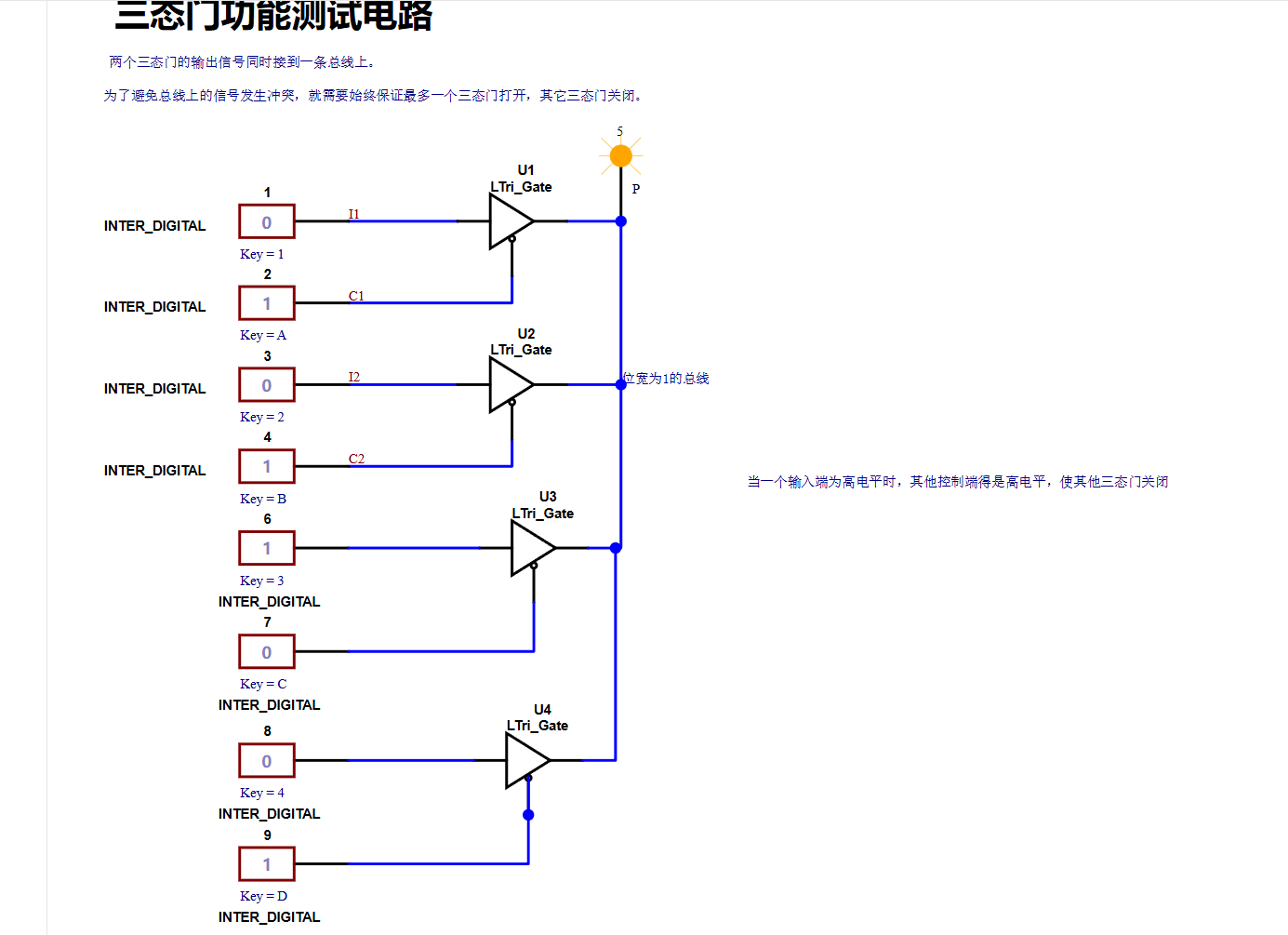
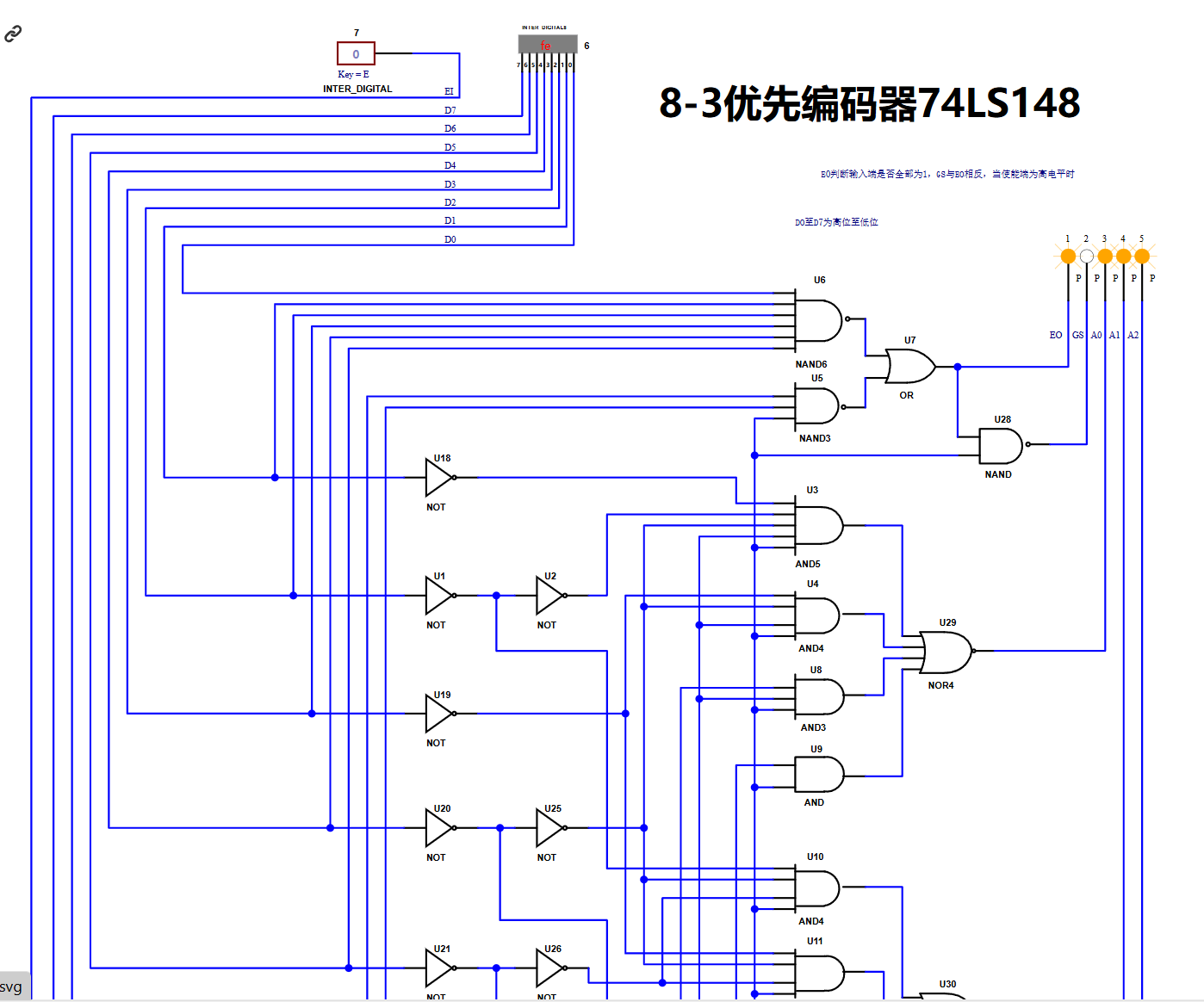
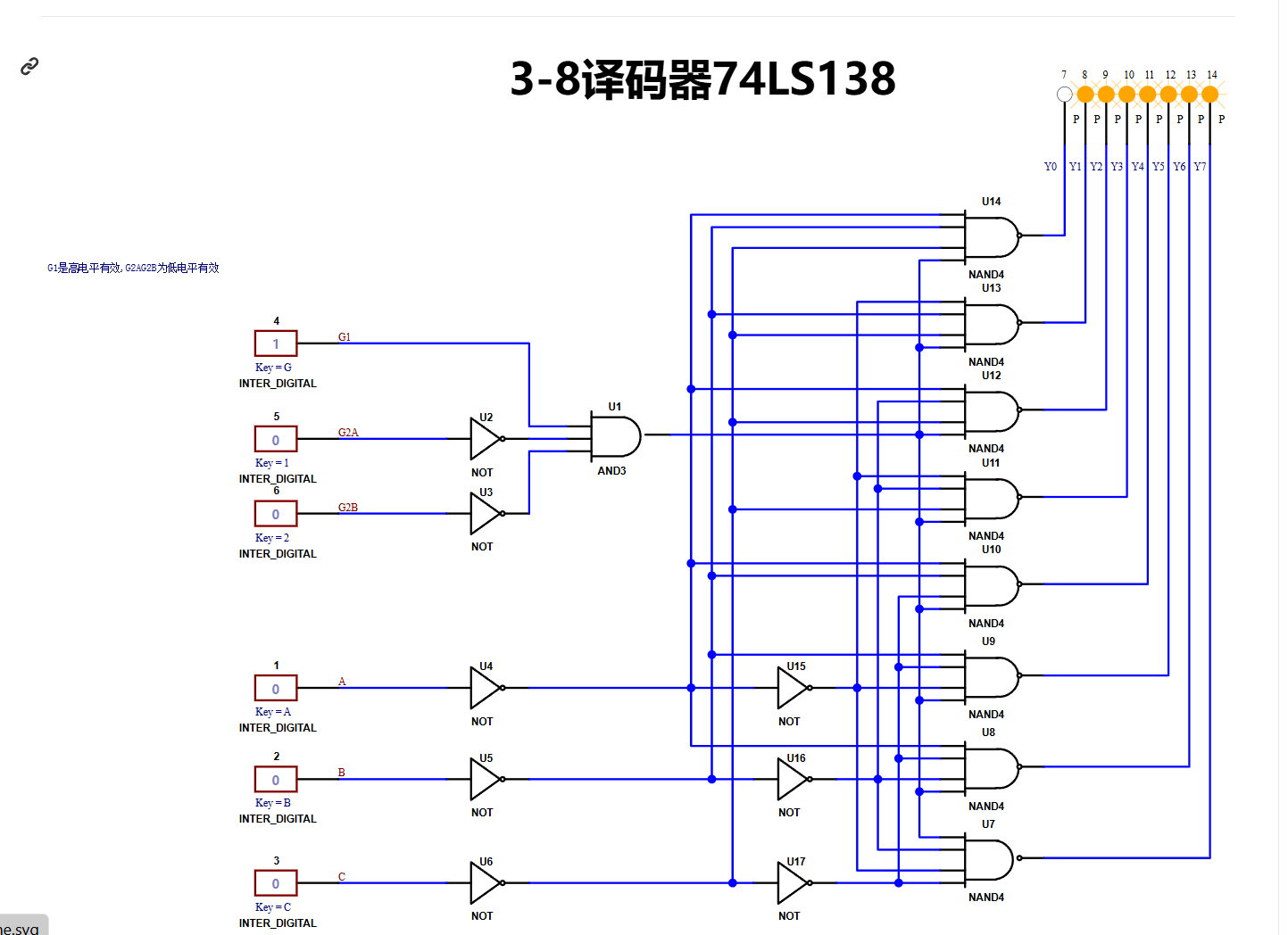
2. 启动仿真。根据表 2-5，验证三态门的工作原理，并将表格补充完整。开始仿真后，当总线为蓝 色时，说明总线上的信号发生了冲突，是一个不确定的值，在一个实际可工作的数字系统中是绝 对不允许出现这种情况的。

3. 修改原理图，将总线上连接的信号数量从两个扩展为四个。首先，在左侧型号库窗口的“逻辑门” 型号库中找到低电平使能三态门的型号 LTri\_Gate，使用此型号在原理图文件 tristate.dlsche 中再添加两个三态门，然后将原有的两个输入信号扩展为四个输入信号，最后完成仿真验证。

4. 提交作业

（3）任务1小结

（4）电路图、步骤截图、真值表及实验数据表等

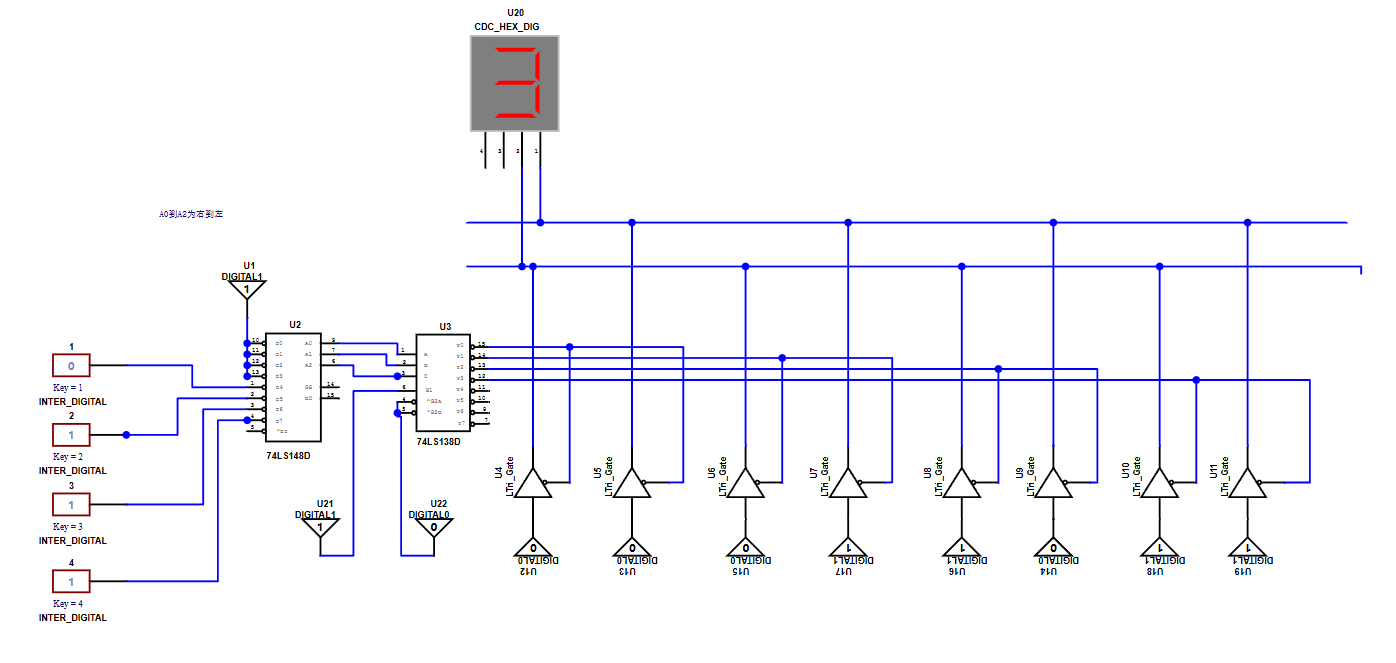


1. **设计多外设共享地址总线排队电路**
2. 任务描述：
3. 实验步骤：

根据本实验预备知识中介绍的多外设共享地址总线排队电路，并参考图 2-1，在原理图文件 top.dlsche 中设计一个多外设共享地址总线排队电路，并完成仿真验证。要求在电路中模拟 0、1、2、3 共 4 个设备， 优先级逐次降低，0 号设备的请求优先级最高，4 号设备的请求优先级最低。设备地址码为 2 位，设备地 址依次为 0,1,2,3，所以地址总线位宽为 2。

既然是模拟这些设备，就不需要真的设计出来这些设备，只需要让这些设备能够产生总线请求信号， 可以产生地址信号并发送到地址总线即可。读者可以参考图 2-3 设计总线请求信号，然后参考图 2-4 设计 设备地址信号与地址总线的连接关系，最后将编码器和译码器连接好就可以了。

（3）电路图、步骤截图、真值表及实验数据表等



五、实验收获与心得

1、了解了编码器和译码器

2、学会使用三态门

六、思考与练习

七、附录

1、XXX管脚图及功能说明

2、XXX管脚图及功能说明

……