|  |  |  |  |
| --- | --- | --- | --- |
| 姓名： | 王哲霖 | 学号： | 2307110346 |
| 学院： | 计算机与电子信息学院 | 专业： | 计算机大类 |
| 班级： | 233班 | 时间： | 10.29 |
|  |  | 指导教师： | 何华光 |

# 实验名称： 触发器

一、实验目的

1.掌握各类锁存器的工作方式。

2.掌握各类触发器的触发方式、逻辑功能及原理。

3.学会运用触发器设计基本时序电路。

二、实验原理

2.1 时序逻辑电路

2.2 锁存器的基本特性

2.3 触发器

2.4 触发器的应用

2.5 时序电路的设计与测试

三、实验设备及器件

1、与或非门电路器若干个；

2、数字信号源若干个；

3、仿真软件：Dream Logic 2019。

四、实验内容及过程

1、基本 SR 锁存器

（1）任务描述：

了解学习SR锁存器

（2）实验步骤

1. 打开项目下的原理图文件 SR.dlsche。

2. 启动仿真。根据第三种形式的仿真结果完成 SR 锁存器的特征表 4-1，并根据特征表，写出状态方 程。在表 4-1 中的现态是指，当 S 或 R 发生变化后进入的状态，此时新的 Q 值作为次态。例如， 读者通过按键盘上的 5、6 键，将 S 和 R 设置为 0，然后启动仿真，此时 Q 的值为 1，读者按下键 盘上的 5，使 R 变为 1，则此瞬间 S、R、Q 的值分别为 0、1、1，这个就是表中的第 4 个现态，记 录此时 Q 的值为 0，称为次态。

（3）任务1小结

（4）电路图、步骤截图、真值表及实验数据表等

|  |  |  |  |
| --- | --- | --- | --- |
| 现态 | | | 次态 |
| S | R | Q | Q(n+1) |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 状态不定 |
| 1 | 1 | 1 | 状态不定 |

2、基本 SR 锁存器

（1）任务描述：

门控 SR 锁存器如图 4-2 所示。它是在基本 SR 锁存器的基础上加以改进，增加一级输入与非门，由使 能控制信号 EN 进行控制。EN 有效时，锁存器才接收数据输入信号；EN 无效时，锁存器拒绝接收数据输入 信号。门控SR 锁存器也叫电平触发 SR 触发器，通常使用时钟 CLK 作为门控信号，也就是触发信号。

1. 实验步骤

1. 打开项目下的原理图文件 SR\_gate.dlsche。

2. 参考表 4-1 为门控 SR 锁存器设计一个特征表，只考虑 EN=1 的情况即可。通过仿真验证门控 SR 锁

存器的功能，并将其特征表填写完整。

（3）任务1小结

（4）电路图、步骤截图、真值表及实验数据表等

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 现态 | | | | 次态 | |
| EN | S | R | Q | | Q(n+1) |
| 1 | 0 | 0 | 0 | | 0 |
| 1 | 0 | 0 | 1 | | 0 |
| 1 | 0 | 1 | 0 | | 0 |
| 1 | 0 | 1 | 1 | | 0 |
| 1 | 1 | 0 | 0 | | 1 |
| 1 | 1 | 0 | 1 | | 1 |
| 1 | 1 | 1 | 0 | | 状态不定 |
| 1 | 1 | 1 | 1 | | 状态不定 |

3、门控 D 锁存器

（1）任务描述：

图 4-3 是门控 D 锁存器。它与门控 SR 锁存器相同处在于第一级都是两个与非门，不同处在于只有一 个数据输入端 D。D 输入经过一个非门加到原来门控 SR 锁存器的 R 输入端，变成互补输入，所以 D 锁存器 是门控 SR 锁存器的一种改进形式。其工作原理是：当数据输入 D=1 且使能控制 EN=1，锁存器置 1；当 D=0 且 EN=1 时，锁存器置 0。门控 D 触发器也称为电平触发 D 触发器，通常使用时钟 CLK 作为门控信号，也就 是触发信号。

（2）实验步骤

1. 打开项目下的原理图文件 D\_gate.dlsche。

2. 参考表 4-1 为门控 D 锁存器设计一个特征表，只考虑 EN=1 的情况即可。通过仿真验证门控 D 锁存器的功能，并将其特征表填写完整。

（3）任务1小结

（4）电路图、步骤截图、真值表及实验数据表等

|  |  |  |  |
| --- | --- | --- | --- |
| 现态 | | | 次态 |
| EN | D | Q | Q(n+1) |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 |

4、边沿触发 D 触发器

（1）任务描述：

（2）实验步骤

电平触发 D 触发器在 EN（CLK）的有效电平期间输出 Q 始终跟随输入 D 变化，输出与输入的状态保持 相同，所以又将其称为“透明的 D 型锁存器”。 为了提高触发器的可靠性，增强抗干扰能力，希望触发器的次态仅仅取决于 CLK 信号下降沿（或上升 沿）到达时刻输入信号的状态。可以将其比作一个瞬时采样器，在时钟的边沿对输入 D 进行采样，而与时 钟边沿前后的输入无关，这样就只需要保证时钟沿到来的那个瞬间，输入数据 D 稳定在一个有效值即可。 为了实现这一设想，人们相继研制成了各种边沿触发器。边沿触发 D 触发器是由两个电平触发 D 触发器组 成的。

请读者按下列步骤验证边沿触发 D 触发器的功能：

1. 打开项目下的原理图文件 D\_edge.dlsche。

2. 启动仿真，根据表 4-2 验证边沿触发 D 触发器的功能。

（3）任务1小结

（4）电路图、步骤截图、真值表及实验数据表等

5、边沿触发JK 触发器

（1）任务描述：

（2）实验步骤

在上述边沿触发 D 触发器实验中，使用 D 触发器的内部电路进行仿真测试其功能。在实际的应用中， 需要将 D 触发器的内部电路封装起来，仅向外提供输入/输出管脚，以便使用。下面，就对另外一个常用 的边沿触发器 JK 触发器进行功能验证。步骤如下：

1. 打开项目下的原理图文件 jk.dlsche。

2. 启动仿真。按 JK 触发器的功能表 4-3 进行验证。

（3）任务1小结

（4）电路图、步骤截图、真值表及实验数据表等

6、设计四分频器

（1）任务描述：

（2）实验步骤

在请读者参考二分频器的设计方法，使用 D 触发器设计一个四分频器，并仿真验证其功能。步骤如下：

1. 在项目下新建一个原理图文件 freq\_divider4.dlsche。新建原理图文件的方法可以参考实验一中 的相关内容。

2. 使用 D 触发器设计一个四分频电路，将源信号 CLK 和分频后的信号 CLK\4 接到逻辑分析仪的管脚 1 和管脚 2。在原理图中添加逻辑分析仪的方法是：选择菜单“仪器->逻辑分析仪”，将鼠标移动 到原理图中，单击鼠标左键即可完成绘制。在型号库“触发器”中可以找到 D 触发器，在型号库数字信号源”中可以找到单周期时钟和时钟。

3. 通过仿真检验四分频电路的功能，确保其可以产生正确的信号。

（3）任务1小结

（4）电路图、步骤截图、真值表及实验数据表等

五、实验收获与心得

基本了解了触发器原理以及分频操作