|  |  |  |  |
| --- | --- | --- | --- |
| 姓名： | 王哲霖 | 学号： | 2307110346 |
| 学院： | 计算机与电子信息学院 | 专业： | 计算机大类 |
| 班级： | 233班 | 时间： | 11.5 |
|  |  | 指导教师： | 何华光 |

# 实验名称： 寄存器和计数器

一、实验目的

1.掌握使用触发器设计寄存器和计数器的方法。

2.掌握计数器和移位寄存器的电路结构和工作原理。

二、实验原理

1.寄存器

2.移位寄存器

3.计数器

三、实验设备及器件

1、与或非门电路器若干个；

2、数字信号源若干个；

3、仿真软件：Dream Logic 2019。

四、实验内容及过程

1、锁存器构成的寄存器和触发器构成的寄存器

（1）任务描述：

了解学习寄存器

（2）实验步骤

1. 打开项目下的原理图 reg.dlsche，结合原理图中的相关注释，熟悉原理图中的器件及其功能。

2. 启动仿真。

3. 通过键盘按键 E，设置寄存器的使能端输入 EN=0（使能），观察电路的状态。

4. 选择八位交互式数字信号源，在属性栏中将其数字信号值改为 08。然后，观察两个寄存器的输出 值，有何不同？

5. 按下并抬起键盘按键 C，向寄存器 74LS377D 输入一个时钟上升沿，再次观察它的输出值，有何变化？

通过前面的实验步骤可知，在两种类型的寄存器都使能的情况下，锁存寄存器的输出始终与输入端的数据保持一致，而触发寄存器的输入数据必须等待时钟上升沿到来时，才能传送到寄存器的输出端。下面 检验使能端 EN 对寄存器的控制作用。

1. 通过键盘按键 E，设置寄存器使能输入端 EN=1（不使能）。

2. 将八位交互式数字信号源的值修改为 4b。

3. 观察两个寄存器的输出值是否为 4b？按下并抬起键盘按键 C，寄存器 74LS377D 的值有变化吗？

4. 设置 EN=0，再次观察寄存器输出值是否为 4b？

5. 按下键盘按键 C 不动，观察触发寄存器的输出值是否为 4b？抬起按键 C 后呢？

（3）任务1小结

（4）电路图、步骤截图、真值表及实验数据表等

2、移位寄存器

（1）任务描述：

门控 SR 锁存器如图 4-2 所示。它是在基本 SR 锁存器的基础上加以改进，增加一级输入与非门，由使 能控制信号 EN 进行控制。EN 有效时，锁存器才接收数据输入信号；EN 无效时，锁存器拒绝接收数据输入 信号。门控SR 锁存器也叫电平触发 SR 触发器，通常使用时钟 CLK 作为门控信号，也就是触发信号。

1. 实验步骤

学习右移寄存器的工作原理。请读者按下列步骤进行实验：

1. 打开项目下的原理图文件 shift\_reg.dlsche，查看 4 位右移寄存器的电路。

2. 启动仿真，观察各个 D 触发器的输出值，蓝色网络表示无效电平。

3. 通过按键 D 设置第一个触发器的数据输入 D1=1。

4. 通过按键 C 输入一个时钟脉冲，观察 Q1~Q4 的值，可以看到 Q1=1。

5. 通过按键 D 设置 D1=0。

6. 通过按键 C 逐个输入时钟脉冲，可以看到 Q1~Q4 指示灯依次点亮。表示输入数据在向右移位。

通过上述实验可知，右移寄存器的工作原理是，在同一个时钟驱动下，一序列二进制数依次向右传递。

（3）任务1小结

（4）电路图、步骤截图、真值表及实验数据表等

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 现态 | | | | 次态 | |
| EN | S | R | Q | | Q(n+1) |
| 1 | 0 | 0 | 0 | | 0 |
| 1 | 0 | 0 | 1 | | 0 |
| 1 | 0 | 1 | 0 | | 0 |
| 1 | 0 | 1 | 1 | | 0 |
| 1 | 1 | 0 | 0 | | 1 |
| 1 | 1 | 0 | 1 | | 1 |
| 1 | 1 | 1 | 0 | | 状态不定 |
| 1 | 1 | 1 | 1 | | 状态不定 |

3、移位寄存器 74LS194

（1）任务描述：

图 4-3 是门控 D 锁存器。它与门控 SR 锁存器相同处在于第一级都是两个与非门，不同处在于只有一 个数据输入端 D。D 输入经过一个非门加到原来门控 SR 锁存器的 R 输入端，变成互补输入，所以 D 锁存器 是门控 SR 锁存器的一种改进形式。其工作原理是：当数据输入 D=1 且使能控制 EN=1，锁存器置 1；当 D=0 且 EN=1 时，锁存器置 0。门控 D 触发器也称为电平触发 D 触发器，通常使用时钟 CLK 作为门控信号，也就 是触发信号。

（2）实验步骤

验证移位寄存器 74LS194（参见附录）的功能，注意 SR 触发器的使用方法：

1. 打开项目下的原理图 74LS194.dlsche。该原理图文件中绘制了 74LS194 的内部原理图。

2. 启动仿真，根据表 5-1 对 74LS194 进行功能验证。

（3）任务1小结

（4）电路图、步骤截图、真值表及实验数据表等

|  |  |  |  |
| --- | --- | --- | --- |
| 现态 | | | 次态 |
| EN | D | Q | Q(n+1) |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 |

4、使用 D 触发器设计加法计数器

（1）任务描述：

（2）实验步骤

接下来，读者可以学习使用 D 触发器设计一个模 7 加法计数器的完整过程，使读者掌握计数器设计的一种基本方法。加法计数器是一种简单的有限状态机，它在时钟沿的驱动下，由当前稳定状态（当前计数值）进入下一个状态（计数器加 1 后的值）。请读者按照下列步骤，完成模 7 加法计数器的设计：

1. 首先在项目下新建一个原理图文件 m7.dlsche。

2. 模 7 加法计数器可以表示的值为 0~6，至少需要 3 位二进制数才能表示，所以需要 3 个 D 触发器。每一个 D 触发器存储一位二进制数。在原理图中依次放置 3 个 D 触发器，各个触发器之间留出一 定的间隔，以便放置其他器件。如图 5-2 所示。

3.为了可以随时清零计数器，使其从 0 开始计数，就需要在原理图中添加一个手动的复位按键 R，如图 5-3 所示。

4. 完成复位电路后，启动仿真，测试复位功能。按下复位按键 R 后抬起，使 Q2Q1Q0=000（计数器值 为 0）。

5. 模 7 加法计数器的状态转换如图 5-4 所示。当 Q2Q1Q0稳定为某个状态时，表示一个唯一的数，例 如 Q2Q1Q0=011 时表示 3，那么下一个计数值一定是 Q2Q1Q0=100，也就是当前状态决定了下一个状态。所以，只需得到次态方程 Qn+1=f(Q2n,Q1n,Q0n)就能通过逻辑电路实现当前状态到下一个状态的转换。

6. 由模 7 加法计数器的状态转换表，可得到各位的次态方程。当前计数值为 3、4、5 时，下一个状 态 Q2n+1为 1。若用 m0~m6 表示计数值 0~6，那么 Q2n+1= m3 + m4 + m5（mx 为高电平时有效） 同理可得 Q1n+1= m1 + m2 + m5 Q0n+1= m0 + m2 + m4

7. 可以由 Q2n、Q1n、Q0n通过 3-8 译码器得到 m0~m5 这 6 个值对应的信号。当译码输出任意一位有效 时，就能确定当前计数值。例如，m5 有效（3-8 译码器输出低电平表示有效），那么当前计数值 为 5。于是得到最终的电路如图 5-5 所示。注意在图 5-5 中，计数器输出的 Q2Q1Q0通过网络标签 与数码管和 3-8 译码器的输入端连接，这样既可显示计数器的值，又对计数器的现态完成了译码。

8. 读者仿照图 5-5 绘制完成电路后，可以仿真验证模 7 加法计数器的功能。

（3）任务1小结

（4）电路图、步骤截图、真值表及实验数据表等

五、实验收获与心得

基本了解了寄存器和计数器