

A.90% B.98% C.95% D.99%

7. 下列关于多级存储系统的说法中，正确的有（）
- I. 多级存储系统是为了降低存储成本
 - II. 虚拟存储器中主存和辅存之间的数据调动对任何程序员是透明的
 - III. CPU 只能与 Cache 直接交换信息，CPU 与主存交换信息也需要经过 Cache
- A. 仅I B. 仅I 和II C. I 、II 和III D. 仅II
8. 某容量为 256MB 的存储器由若干 $4M \times 8$ 位的 DRAM 芯片构成，该 DRAM 芯片的地址引脚和数据引脚总数是（）
- A.19 B.22 C.30 D.36
9. 下列有关 RAM 和 ROM 的叙述中，正确的是（）
- I. RAM 是易失性存储器，ROM 是非易失性存储器
 - II. RAM 和 ROM 都采用随机存取方式进行信息访问
 - III. RAM 和 ROM 都可用作 Cache IV. RAM 和 ROM 都需要进行刷新
- A. 仅I 和II B. 仅II 和III C. 仅I 、II 和III D. 仅II 、II 和IV
10. 下列（）是动态半导体存储器的特点
- I. 在工作中存储器内容会产生变化
 - II. 每隔一定时间，需要根据原存内容重新写入一遍
 - III. 一次完整的刷新过程需要占用两个存储周期
 - IV. 一次完整的刷新过程只需要占用一个存储周期
- A.I、III B.II、III C.II、IV D.III
11. 下列存储器中，在工作期间需要周期性刷新的是（）
- A.SRAM B.SDRAM C.ROM D.FLASH
12. 某计算机主存容量为64KB, 其中 ROM 区为 4KB, 其余为 RAM 区，按字节编址。现要用 $2K \times 8$ 位的 ROM 芯片和 $4K \times 4$ 位的 RAM 芯片来设计该存储器，需要上述规格的 ROM 芯片数和 RAM 芯片数分别是（）
- A.1, 15 B.2, 15 C.1, 30 D.2, 30

13. 假定用若干 $2K \times 4$ 位的芯片组成一个 $8K \times 8$ 位的存储器，则地址 0B1FH 所在芯片的最小地址是 ()
- A.0000H B.0600H C.0700H D.0800H
14. 地址总线 A_0 (高位) ~ A_{15} (低位)，用 $4K \times 4$ 位的存储芯片组成 16KB 存储器，则产生片选信号的译码器的输入地址线应该是 ()
- A. A_2A_3 B. A_0A_1 C. $A_{12}A_{13}$ D. $A_{14}A_{15}$
15. 双端口 RAM 在 () 情况下会发生读 / 写冲突。
- A. 左端口和右端口的地址码不同 B. 左端口和右端口的地址码相同
- C. 左端口和右端口的数据码不同 D. 左端口和右端口的数据码相同
16. 已知单个存储体的存储周期为 110ns, 总线传输周期为 10ns, 采用低位交叉编址的多模块存储器时，为保障无总线冲突，存储体数应 ()
- A.小于等于11 B.等于11 C.大于11 D.大于等于11
17. 某计算机使用四体交叉编址存储器，假定在存储器总线上出现的主存地址（十进制）序列为 8005, 8006, 8007, 8008, 8001, 8002, 8003, 8004, 8000，则可能发生访存冲突的地址对是 ()
- A.8004和8008 B.8002和8007 C.8001和8008 D.8000和8004
18. 假设某计算机的存储系统由 Cache 和主存组成，某程序执行过程中访存1000次，其中访问 Cache 缺失（未命中） 50 次，则 Cache 的命中率是 ()
- A.5% B.9.5% C.50% D.95%
19. 下列关于虚存的叙述中，正确的是 ()
- A. 对应用程序员透明，对系统程序员不透明
- B. 对应用程序员不透明，对系统程序员透明
- C. 对应用程序员、系统程序员都不透明
- D. 对应用程序员、系统程序员都透明

20. 下列关于TLB和Cache的叙述中，错误的是（ ）
- A. 命中率都与程序局部性有关
 - B. 缺失后都需要去访问主存
 - C. 缺失处理都可以由硬件实现
 - D. 都由DRAM存储器组成
21. 在CPU执行指令的过程中，指令的地址由（ ）给出
- A. 程序计数器（PC）
 - B. 指令的地址码字段
 - C. 操作系统
 - D. 程序员
22. 在指令格式中，采用变长操作码设计方案的目的是（ ）
- A. 减少指令字长度
 - B. 增加指令字长度
 - C. 保持指令字长度不变而增加指令的数量
 - D. 保持指令字长度不变而增加寻址空间
23. 某计算机按字节编址，指令字长固定且只有两种指令格式，其中三地址指令29条、二地址指令107条，每个地址字段为6位，则指令字长至少应该是（ ）
- A.23位 B.24位 C.28位 D.32位
24. 偏移寻址通过将某个寄存器的内容与一个形式地址相加来生成有效地址。下列寻址方式中，不属于偏移寻址方式的是（ ）
- A. 间接寻址 B. 基址寻址 C. 相对寻址 D. 变址寻址
25. （ ）便于处理数组问题
- A. 间接寻址 B. 变址寻址 C. 相对寻址 D. 基址寻址

26. 某计算机有 16 个通用寄存器，采用 32 位定长指令字，操作码字段（含寻址方式位）为 8 位，Store 指令的源操作数和目的操作数分别采用寄存器直接寻址和基址寻址方式。若基址寄存器可使用任一通用寄存器，且偏移量用补码表示，则 Store 指令中偏移量的取值范围是（ ）。

A. - 32768~+32767 B. - 32767~+32768
C. -65536~+65535 D. - 65535~+65536

27. 某指令格式如下所示。

OP	M	I	D
----	---	---	---

其中 M 为寻址方式，I 为变址寄存器编号，D 为形式地址。若采用先变址后间址的寻址方式，则操作数的有效地址是（ ）

A. I+ D B. (I)+ D C. ((I)+ D) D. ((I)) + D

28. 下列指令系统的特点中，有利于实现指令流水线的是（ ）

- I. 指令格式规整且长度一致
- II. 指令和数据按边界对齐存放
- III. 只有 Load/Store 指令才能对操作数进行存储访问

A. 仅I、II B. 仅II、III C. 仅I、III D. I、II、III

29. 从下列有关存储器的描述中，正确的是（ ）。

- A. 多体交叉存储主要解决扩充容量问题
- B. 访问存储器的请求均由CPU发出
- C. Cache与主存统一编址，即主存空间的某一部分属于 Cache
- D. Cache的功能全由硬件实现。

二、 简 答 / 计 算 题

1. CPU 执行一段程序时，Cache 完成存取的次数为2420次，主存完成存取的次数为80次。

已知 Cache 存储周期为40ns，主存存储周期为 240ns 。

求 Cache/ 主存系统的命中率和平均访问时间。

2. 某计算机字长16位，主存容量为 64K 字，采用单字长单地址指令，共有40条指令，试采用直接、立即、变址、相对四种寻址方式设计指令格式（画出指令格式图）。

3. 设某系统采用页式虚拟存储管理，页表存放在内存中。

1) 如果一次内存访问使用 50ns，访问一次主存需用多少时间？

2) 如果增加TLB，忽略查找TLB占用的时间，并且75%的页表访问命中TLB，内存的有效访问时间是多少？

4. 某个Cache 的容量大小为 64KB ， 行大小为 128B ， 采用四路组相联地址映射。主存使用32位地址，按字节进行编址。

- 1) 该Cache 共有多少行？多少组？
- 2) 该Cache 的标记阵列中需要有多少标记项？每个标记项中标记位长度是多少？

5. 某机字长为 16 位，存储器按字编址，访问内存指令格式如下：

15	11	10	8	7	0
OP		M		A	

其中， OP 为操作码， M 为寻址特征， A 为形式地址。设 PC 和 Rx 分别为程序计数器和变址寄存器，寄存器为 16 位，问：

- 1) 最多能定义多少种指令？
- 2) 写出下表中各种寻址方式的有效地址 EA 的计算公式及对应寻址范围。

寻址方式	有效地址 EA 计算公式	寻址范围
直接寻址		
间接寻址		
变址寻址		
相对寻址		

6. 设 CPU 有 16 根地址线, 8 根数据线, 并用 \overline{MREQ} 作为访存控制信号 (低电平有效), 用 \overline{WR} 作为读 / 写控制信号 (高电平为读, 低电平为写)。现有下列存储芯片:

$1K \times 4$ 位 RAM, $4K \times 8$ 位 RAM, $8K \times 8$ 位 RAM, $2K \times 8$ 位 ROM,
 $4K \times 8$ 位 ROM, $8K \times 8$ 位 ROM

以及 74LS138 译码器和各种门电路。

画出 CPU 与存储器的连接图, 要求:

- 1) 画出主存地址分配图: $6000H - 67FFH$ 为系统程序区, $6800H - 6BFFH$ 为用户程序区。
- 2) 合理选用上述存储芯片, 说明各选几片。
- 3) 详细画出存储芯片的片选逻辑图。