



# **MT6573/MT6513 ETT & stress test & DDR layout rule SOP for customer V1.0 (Chinese)**

**Document Number:**

Preliminary (Released) Information

Revision: 1.0

Release Date: 2011-8-5

## Legal Disclaimer

---

BY OPENING OR USING THIS FILE, BUYER HEREBY UNEQUIVOCALLY ACKNOWLEDGES AND AGREES THAT THE SOFTWARE/FIRMWARE AND ITS DOCUMENTATIONS ("MEDIATEK SOFTWARE") RECEIVED FROM MEDIATEK AND/OR ITS REPRESENTATIVES ARE PROVIDED TO BUYER ON AN "AS-IS" BASIS ONLY. MEDIATEK EXPRESSLY DISCLAIMS ANY AND ALL WARRANTIES, EXPRESS OR IMPLIED, INCLUDING BUT NOT LIMITED TO THE IMPLIED WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE OR NONINFRINGEMENT. NEITHER DOES MEDIATEK PROVIDE ANY WARRANTY WHATSOEVER WITH RESPECT TO THE SOFTWARE OF ANY THIRD PARTY WHICH MAY BE USED BY, INCORPORATED IN, OR SUPPLIED WITH THE MEDIATEK SOFTWARE, AND BUYER AGREES TO LOOK ONLY TO SUCH THIRD PARTY FOR ANY WARRANTY CLAIM RELATING THERETO. MEDIATEK SHALL ALSO NOT BE RESPONSIBLE FOR ANY MEDIATEK SOFTWARE RELEASES MADE TO BUYER'S SPECIFICATION OR TO CONFORM TO A PARTICULAR STANDARD OR OPEN FORUM.

BUYER'S SOLE AND EXCLUSIVE REMEDY AND MEDIATEK'S ENTIRE AND CUMULATIVE LIABILITY WITH RESPECT TO THE MEDIATEK SOFTWARE RELEASED HEREUNDER WILL BE, AT MEDIATEK'S OPTION, TO REVISE OR REPLACE THE MEDIATEK SOFTWARE AT ISSUE, OR REFUND ANY SOFTWARE LICENSE FEES OR SERVICE CHARGE PAID BY BUYER TO MEDIATEK FOR SUCH MEDIATEK SOFTWARE AT ISSUE.

THE TRANSACTION CONTEMPLATED HEREUNDER SHALL BE CONSTRUED IN ACCORDANCE WITH THE LAWS OF THE STATE OF CALIFORNIA, USA, EXCLUDING ITS CONFLICT OF LAWS PRINCIPLES.

## Revision History

Revision	Date (mm/dd/yyyy)	Author	Comments
1.0	08/05/2011	Binjie Chen	

## Table of Contents

<b>Legal Disclaimer .....</b>	<b>2</b>
<b>Revision History .....</b>	<b>3</b>
<b>1 Introduction .....</b>	<b>5</b>
<b>2 ETT introduction .....</b>	<b>6</b>
2.1 什么是 ETT? .....	6
2.2 ETT 的目的? .....	6
2.3 ETT 的必要性? .....	6
2.4 MT6573/MT6513 ETT 测试项目和条件有哪些? .....	6
<b>3 ETT preparation .....</b>	<b>7</b>
<b>4 ETT test steps .....</b>	<b>9</b>
4.1 说明.....	9
4.2 I: “超级终端” 设置 .....	9
4.3 II: download ETT bin file .....	12
4.4 III:使用 parser tool merge timing .....	17
4.5 IV : 导入 ETT 测试后的 timing .....	17
<b>5 Stress test.....</b>	<b>19</b>
5.1 Stress test 的目的? .....	19
5.2 必要性? .....	19
5.3 测试 item 及判别 pass 的标准? .....	19
5.4 测试条件 .....	19
5.5 电压调整方法 .....	19
5.6 Neocore 安装方法.....	19
5.7 测试方法 .....	20
<b>6 Q &amp; A .....</b>	<b>21</b>
6.1 ETT test 、stress test 与 DDR layout rule 三者的关系? .....	21
6.2 为什么要在高低温和高低压下进行的 ETT 测试? .....	21
6.3 对温箱参数有何要求? .....	21
6.4 ETT 测试中, Vcore、VIO1V8 电压如何调整? .....	21
6.5 ETT 相关资料如何从 MTK 获得? .....	21
6.6 ETT bin file 为什么会有 CS0 与 CS1 两种? .....	21
6.7 ETT 测试是否会破坏原有程序代码? .....	21
6.8 为什么 ETT bin file download 完毕并跳转成功后, 超级终端并没有数据打出? .....	22
6.9 为什么用超级终端接收到的数据会丢失开头部分? .....	22
6.10 ETT 测试完毕后, 为什么接收到的 raw data file 会少 1KB? .....	22
6.11 MT6573 是否需要低速的 ETT 测试? .....	22
6.12 如果只做了常温的 ETT 测试, 如何 merger 出 timing? .....	22
6.13 ETT 测试出来的结果如何导入? .....	22
6.14 如果 PCB 改版是否需要重新测试? .....	22
6.15 ETT 测试是在研发阶段还是量产阶段进行? .....	22
<b>7 Appendix : MTK DDR layout rule.....</b>	<b>23</b>

## **1 Introduction**

---

手机系统工作的稳定性在很大程度上取决于处理器与存储器之间的通信质量。检验和提高通信质量的方法为 ETT 和 stress test，本文会对 MT6573/MT6513 平台上 ETT 以及 stress test 的操作方法进行介绍；同时，也会对 DDR layout rule 进行简要的说明，目的在于降低客户项目出货的风险。文中若有不当或错误之处，望各位不吝提出！谢谢！

## 2 ETT introduction

### 2.1 什么是 ETT?

ETT(EMI Timing Tuning):外部存储器接口时序的调整 (only for DDR)

### 2.2 ETT 的目的?

得到最适合客户项目 PCB 的精确 timing 与合理 driving current

### 2.3 ETT 的必要性?

DDR 属于高速存储器件,其信号传输质量受 PCB layout 影响很大,MTK 在"memory device list"中 release 的 official timing 是在内部 EVB 上 tuning 出来的,它能保证此颗 memory 与 MT6573 平台搭配;但客户实际的 PCB 与 EVB 在 layout 上有一定的差别,使用 official 的 timing 就存在一定的风险,必须要通过 ETT 测试来获取精确的 timing 来保证系统的稳定性!

### 2.4 MT6573\MT6513 ETT 测试项目和条件有哪些?

测试项目有 3 个:

HS\_HTMLV (高速\_高温低压)

HS\_NTNV (高速\_常温常压)

HS\_LTHV (高速\_低温高压)

测试条件 for MT6573\MT6513 :

Conditions	Temperature	Vcore	VIO1V8
HTMLV	65°C	1.15V	1.7V
NTNV	室温(一般为 25°C)	1.25V(default)	1.8V(default)
LTHV	-20°C	1.325V	1.9V

**Note1:** MT6573\MT6513 目前验证过 memory 的 DDR I/O power 为 1.8V,参考设计 VM 接到 VIO1V8 上。

**Note2 :** MT6573 与 MT6513 ETT 测试的项目、条件、tool 等完全一样。

### 3 ETT preparation

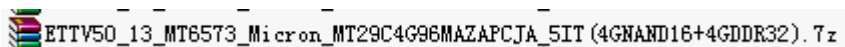
	Items	Description	Where to get?
HW	Target handset PCB(3 部) (1)	The ETT test target	Customers
	Download cable(2)	Use UART1 to output ETT log to PC	Customers
S/W	ETT binary file(3)	MT6573\MT6513 only need HS (high-speed)	file exchange systems
Tool	BRom Adapter Tool(4)	For DDR ETT binary download	file exchange systems
	Parsing Tool(5)	To find the EMI timing setting after loading the ETT raw data with various Vcore/Vmem/temperature	file exchange systems
Equipment	Chamber(6)	To perform ETT under various temperature	Customers
	精密电源 x 2 路(7) 一般电源 x 1 路	精密电源 for Vcore/VMEM 一般电源 for VBAT	Customers
	PC	To log ETT output data	Customers
Document	MTK ETT SOP&FAQ(8)	ETT SOP and trouble-shooting Q&A	DMS
	Instrument Setup for ETT Tool	To know how to setup instrument for ETT tuning flow	DMS
	Memory Stress Test SOP(9)	To stress test the ETT selected memory timing at customers PR stage	DMS

(1)如果严格 follow MTK DDR layout rule，可以只测一部手机

(2)和之前平台不同，MT6573\MT6513 的 I/O power 为 1.8V，请注意所用 UART cable 的 I/O power 也对应为 1.8V；抓 log 要用 UART1。

(3) Bin file path：ETT\_BIN\_PACKAGE\_20110721\ETT Bin\MT6573

以 Micron\_MT29C4G96MAZAPCJA\_5IT 为例,ETT bin file 会放到下图所示的压缩包中



里面有标号为 CS0\_HS 和 CS1\_HS 两个文件夹，他们中的 ETT bin file 分别对应 DDR 的 die0 和 die1

(4) tool path：

ETT\_BIN\_PACKAGE\_20110623\ETT Bin\TOOLS\BAT\MT6573\BAT\_Tool\_For\_MT6573\  
BAT\_Tool\_For\_MT6573

(5) tool path :

ETT\_BIN\_PACKAGE\_20110623\ETT Bin\TOOLS\ETT\_PARSER\MT6573\  
ParseTool\_MT6573\_Release

(6)用于高低温测试，高温 65℃，低温-20℃；对温箱参数没有特殊的要求。

(7)Vcore 与 VMEM 的高低压测试时，需要由精密电源来供电；VBAT 可以选择一般电源，电压值只要保证系统正常工作即可。

(8)ETT 相关的文档会放到 DMS 上

(9)ETT 测试完毕后进行压力测试，目的是验证所得 timing 是否满足系统工作的需求；stress test 在下面会有介绍。



## 4 ETT test steps

### 4.1 说明

ETT bin file 分 CS0 和 CS1 各一支文件，对于 2G 的 DDR 来说，目前我们验证过的都为 single die，要根据硬件电路中 CS0 与 CS1 的实际线路，选择其中一只 ETT bin file 进行测试；对于 4G 的 DDR，目前我们验证过的都为 dual die，CS0 与 CS1 都要进行 ETT 测试，测试项目和方法完全相同。

本文以 Micron MT29C4G96MAZAPCJA\_5IT(4GNAND16+4GDDR32)为例来介绍 ETT 的测试方法

### 4.2 I: “超级终端” 设置



HyperTerminal

Step1:打开“超级终端”



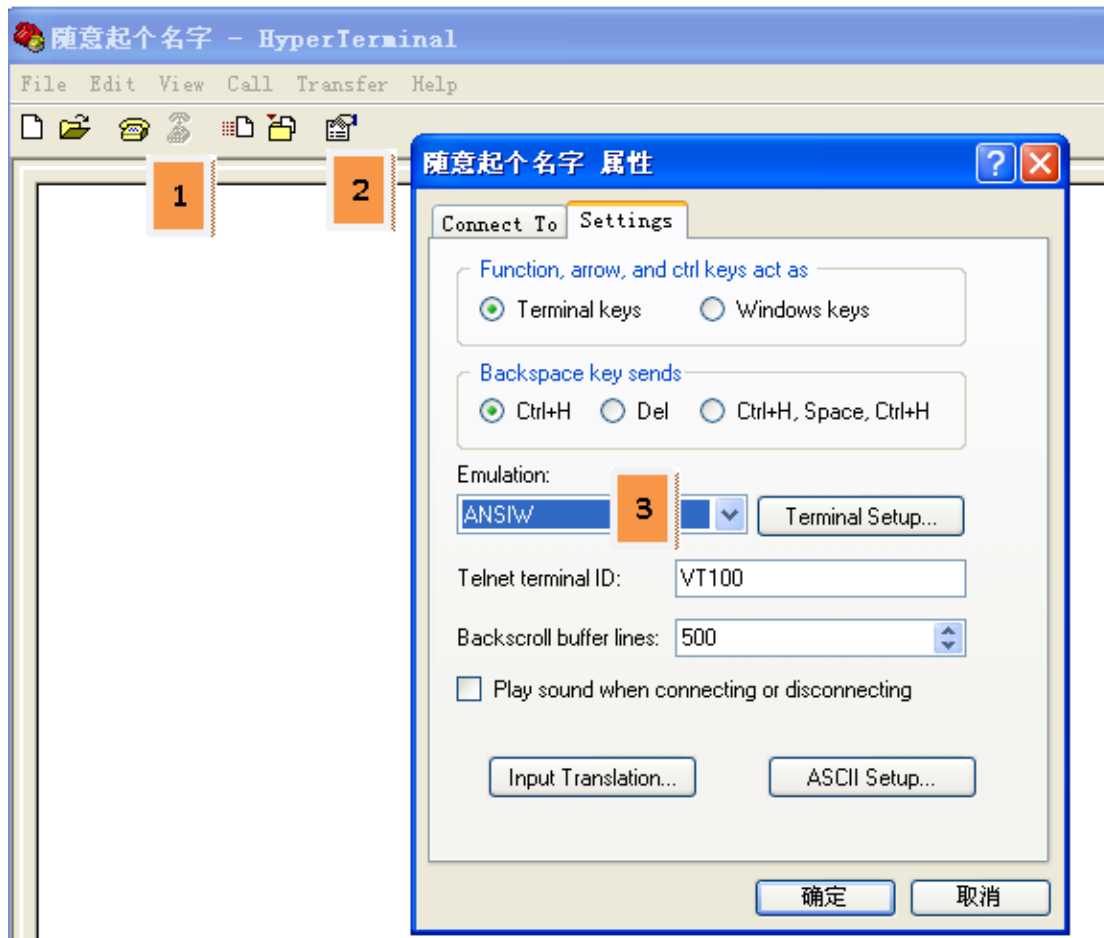
Step2:选择正确的 UART1 COM port



Step3:波特率设置为"115200",数据流为"无"

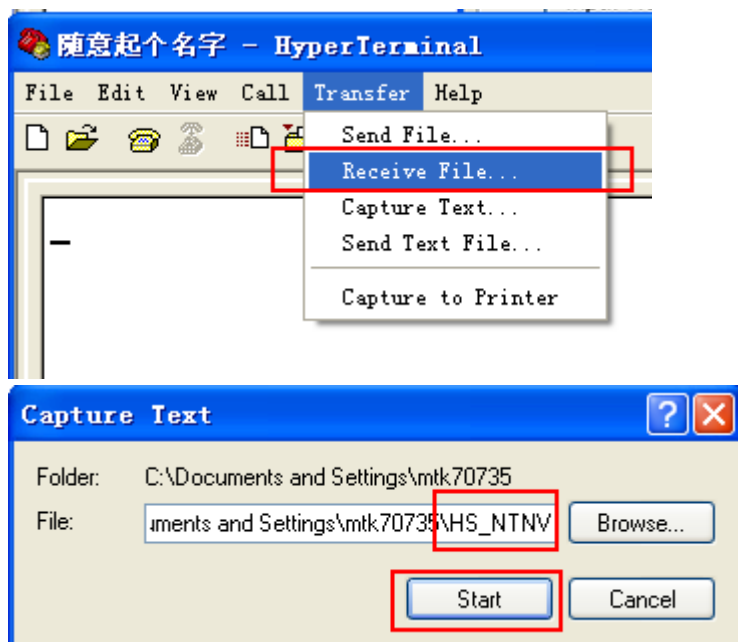


**Step4:**先断开“超级终端”,设置仿真格式为“ANSIW”



**Note:** 因超级终端与 BromAdapterTool 共用 UART1, 所以, 超级终端设置完毕后要先断开, 否则无法 download ETT bin file

**Step5:**建立接收 ETT raw data 的文件



**Note1:**一种测试条件对应一个单独的文件

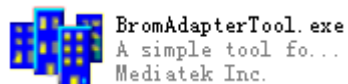
**Note2:**如果中途接收数据异常或中断,需要重新建立一个新的接收文件重做一遍,不要在旧文件上继续做.

#### 4.3 II: download ETT bin file

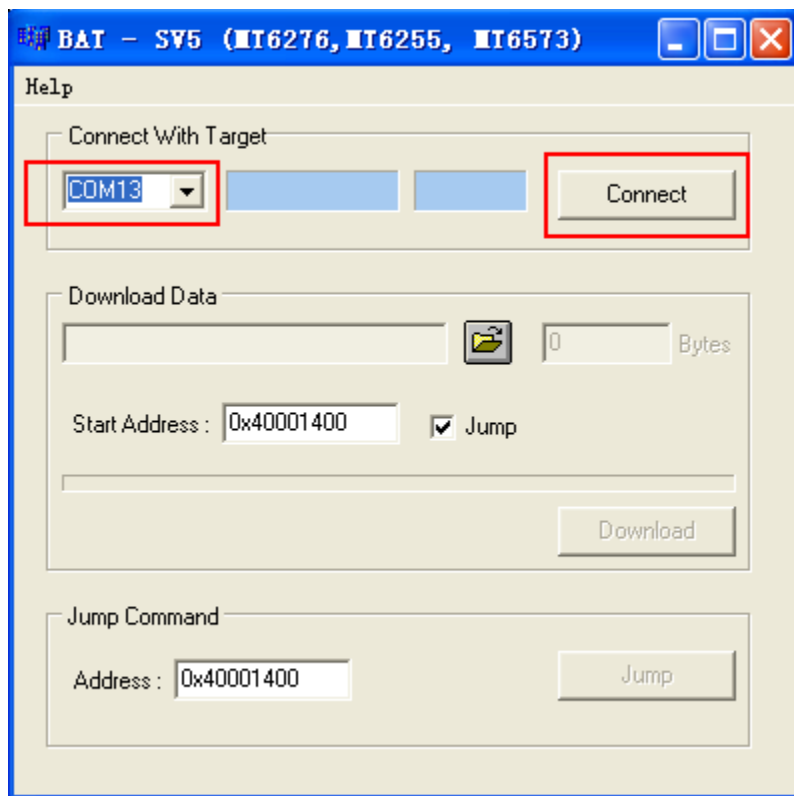
**Tool:** BromAdapterTool.exe

获取:FES(File Exchange System)文件交换系统中

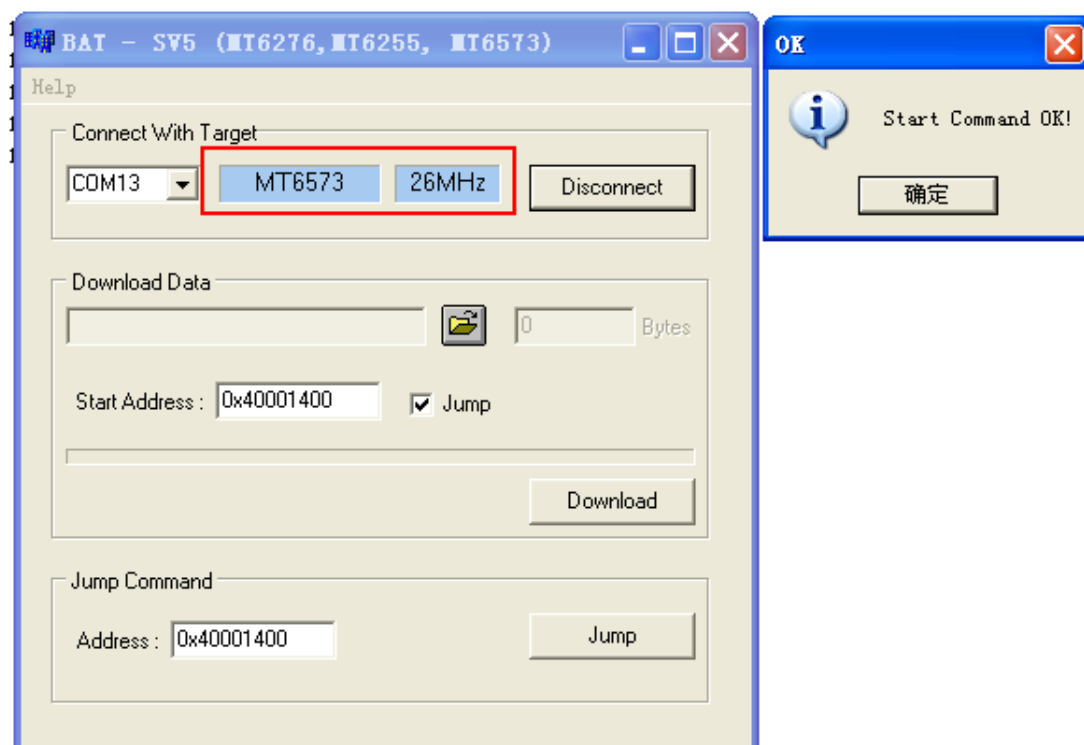
**ETT\_BIN\_PACKAGE\_20110721\ETT Bin\TOOLS\BAT\MT6573**



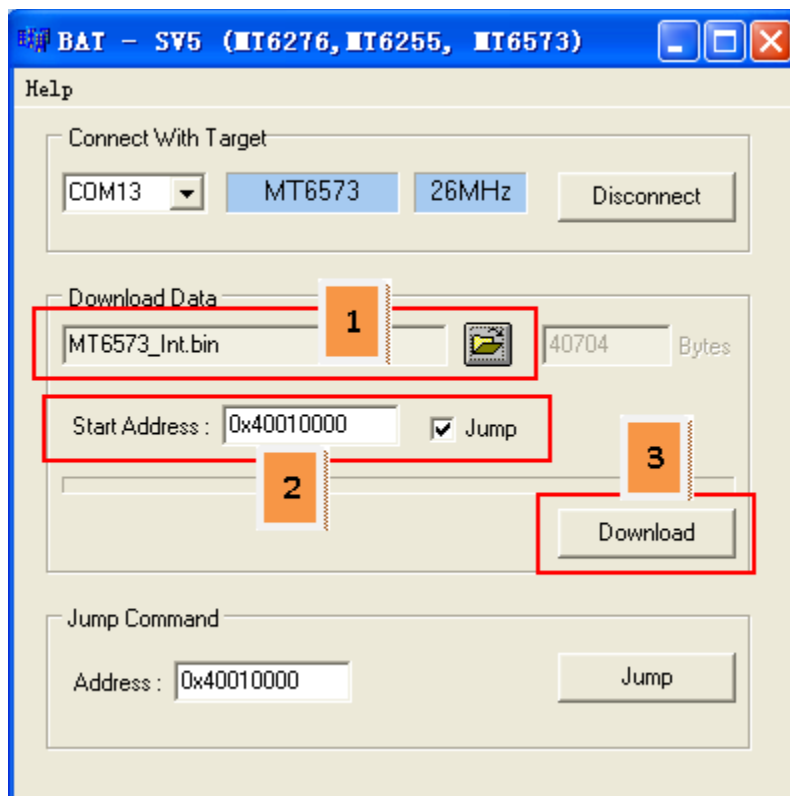
**Step1:**选择 UART1 port(与连接超级终端的相同),点击"connect"后按 power key



若连接成功,会有如下的平台信息提示!

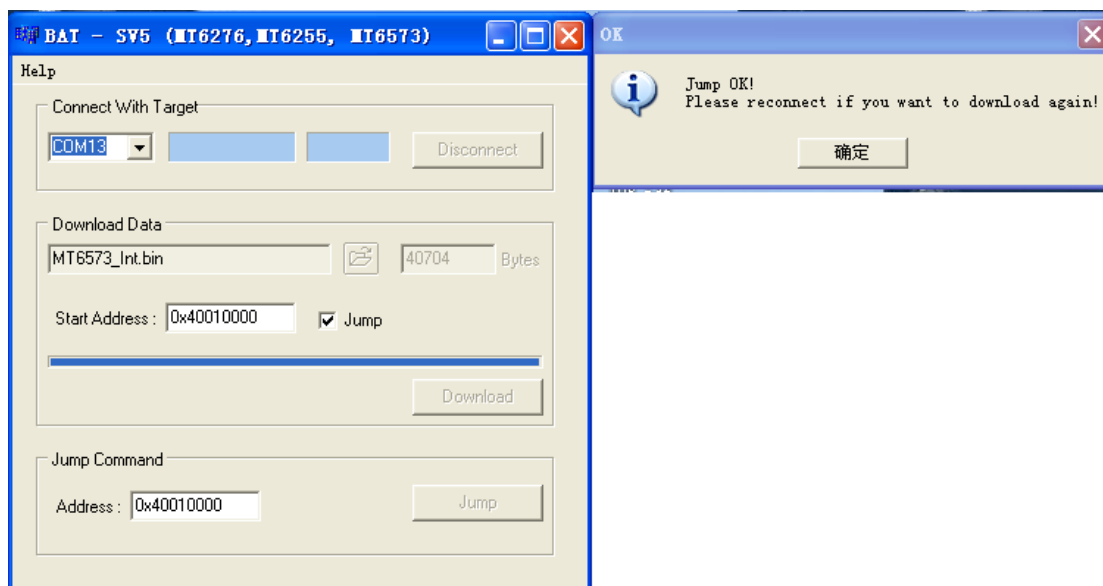


**Step2:**选择 ETT bin file, start address 为"0x40010000", "jump"打勾, 点击 download

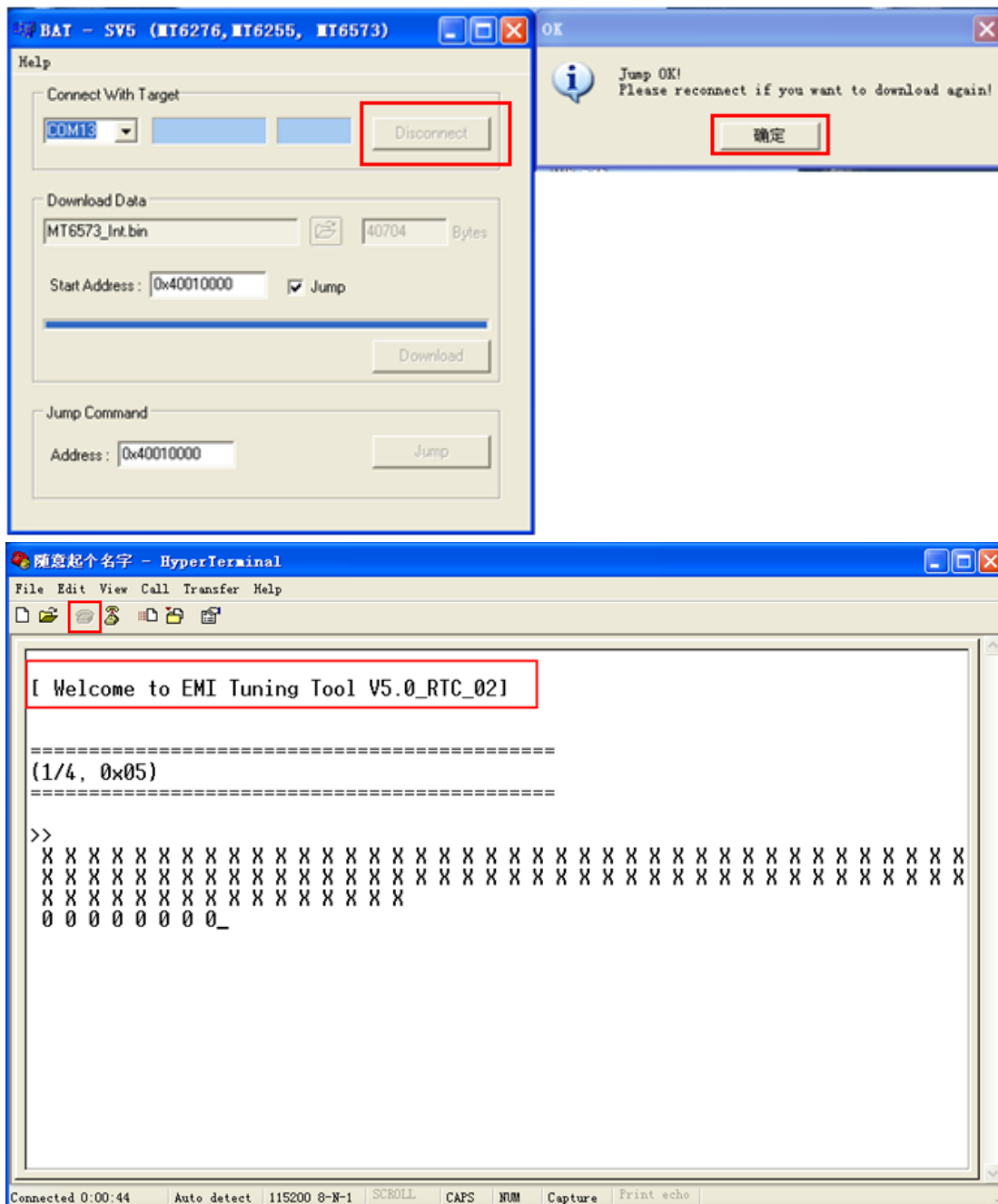


**Note:** download 前要确认 start address 为"0x40010000", 若值不对, 请手动改正 !

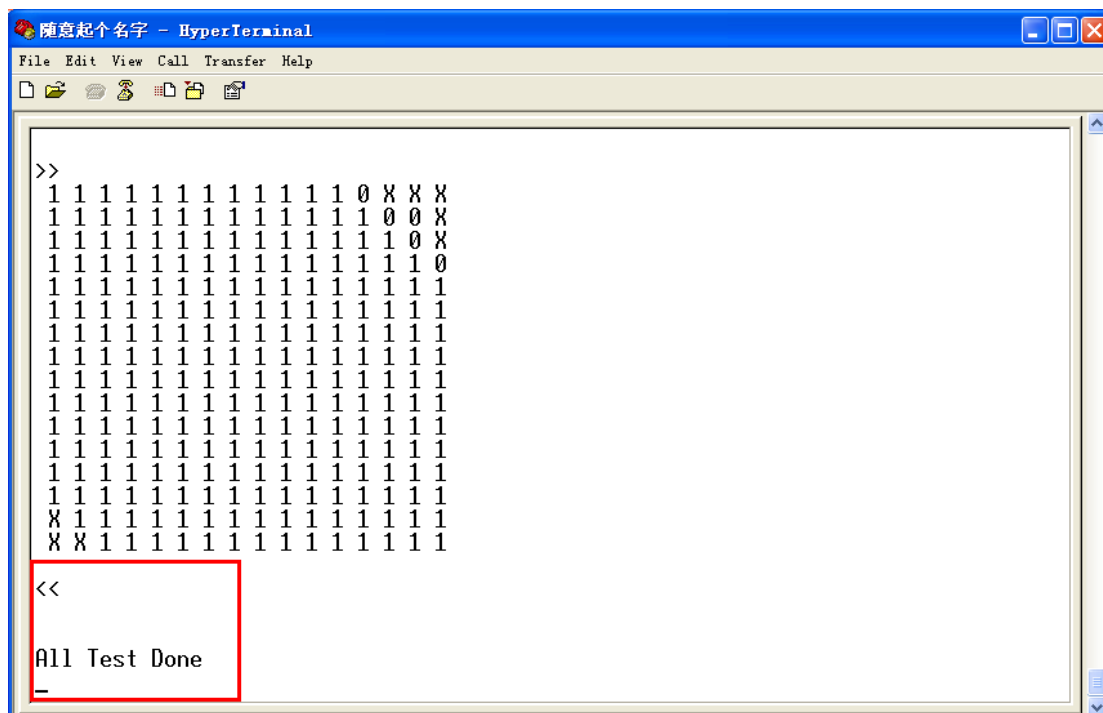
Download 完毕并跳转成功后, 会有如下"Jump OK"的提示



**Step3**：先点击“确定”并断开 BAT tool，然后连接上超级终端；40S 左右后开始接收 log，大约 2 个半小时会接收完毕,log file size 为 164KB

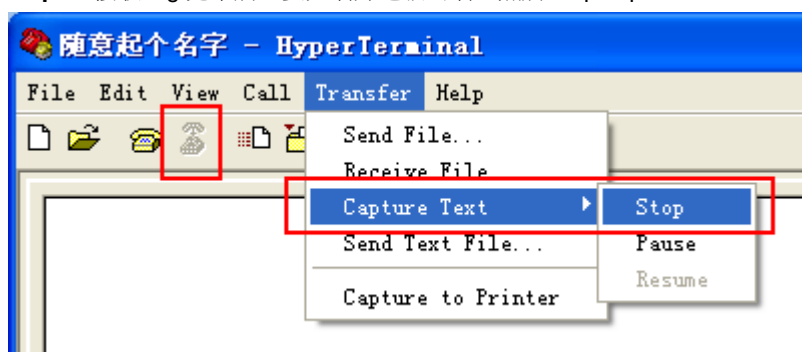


**Note**：ETT 接收 log 开始，会有“welcome to EMI tuning tool”的提示



**Note :** ETT 接收 log 完毕，会有“all test done”的提示，注意整个过程会有两次“all test done”的提示，请以第二次出现的为准。

**Step4 :** 接收 log 完毕后，要先端开超级终端，然后 stop capture 。



**Note :** 接收 log 完毕后，一定要先断开“超级终端”，否则可能会丢失部分 log 数据，导致无法 merge 出 timing

**Step5 :** 以同样的方法再分别进行 HS\_HTLV（高速高温低压）与 HS\_LTHV（高速低温高压）的 ETT 测试，一共得到 3 支 ETT raw data file :

HS_HTLV_CS0.TXT	164 KB	文本文件
HS_LTHV_CS0.TXT	164 KB	文本文件
HS_NTNV_CS0.TXT	164 KB	文本文件

若是 4G 的 DDR（dual die），应得到共计 6 支 ETT raw data file :

HS_HTLV_CS1.TXT	164 KB	文本文件
HS_HTLV_CS0.TXT	164 KB	文本文件
HS_LTHV_CS1.TXT	164 KB	文本文件
HS_LTHV_CS0.TXT	164 KB	文本文件
HS_NTNV_CS1.TXT	164 KB	文本文件
HS_NTNV_CS0.TXT	164 KB	文本文件

**Step6 :** 请将 ETT 测试得到的 raw data file 务必反馈给 MTK，我们会对 timing 的合理性和 margin 进行评判。



#### 4.4 III:使用 parser tool merge timing

此工具存放在 MTK 通过 FES 释放的 ETT\_BIN\_PACKAGE\_20110721 这个压缩包中。

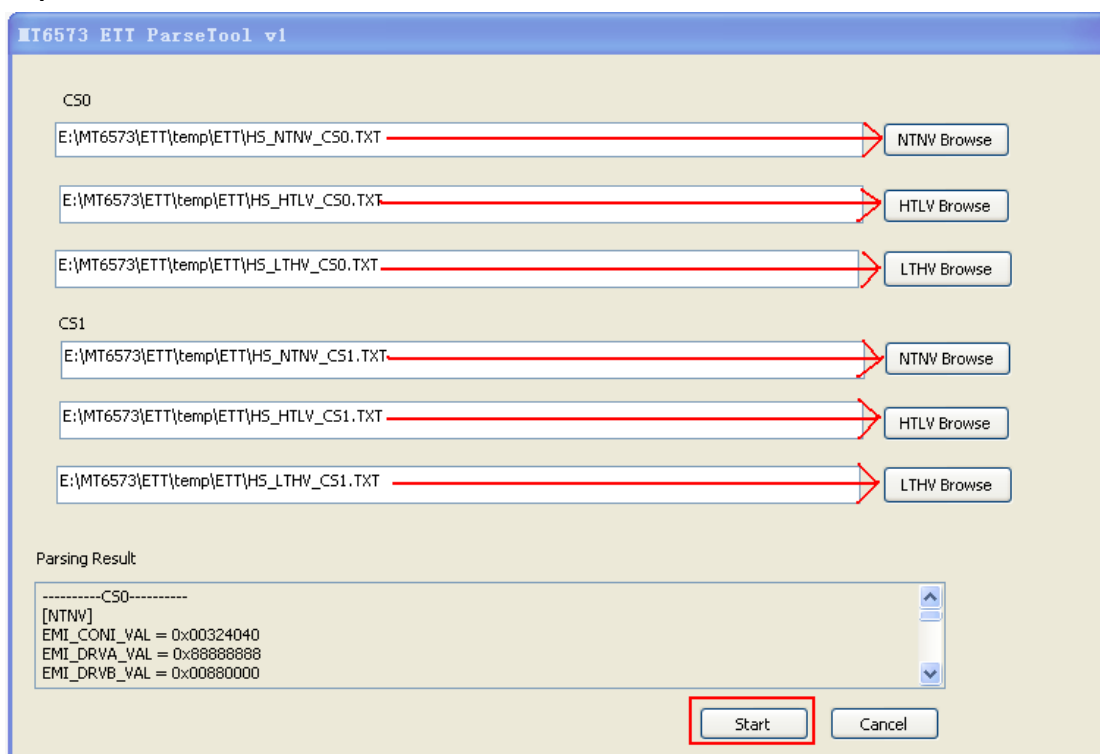
存放路径为：

ETT\_BIN\_PACKAGE\_20110621\ETT Bin\TOOLS\ETT\_PARSER\MT6573\ParseTool\_MT6573\_Release



ParseTool\_MT6573\_Release.exe

**Step1**：打开 Parser tool，对应填入上面提到的 ETT raw data file



**Step2**：点击“start”开始 merge timing

**Note1**：若只做 NTNV，HTLV 与 LTHV 栏位中都填成 NTNV 的 raw data 可

**Note2**：若只做 CS0，则 CS1 对应的栏位不必填加 raw data

#### 4.5 IV：导入 ETT 测试后的 timing

**Step1**：将 ETT raw data file 反馈给 MTK，如果 MTK check pass，可以将 merge 出来的 timing 替换 MTK release 的“memory device list”中 official timing 即可；如果 MTK check failed，MTK 会协助客户 debug。

**Step2**：打开”MemoryDeviceList\_MT6573.xls”，将 parser tool merge 出的”ETTout.txt”文件中相关寄存器值，对应替换 list 即可；并导入到 codebase 中进行重新编译。

EMI\_CONI\_VAL = 0x00324040

EMI\_DRVA\_VAL = 0x88888888

EMI\_DRVB\_VAL = 0x00880000

**Note1**：也就是说将上面 3 个 merge 出的寄存器值对应替换表格中寄存器值

EMI_CONI_VAL	EMI_DRVA_VAL	EMI_DRVB_VAL
0x00324040	0x88888888	0x00880000

**Note2**：表格中其它的参数值保留原值即可。

## 5 Stress test

### 5.1 Stress test 的目的?

ETT 测试可以确保 BB 与 DDR 之间存取数据所用的 timing 是最符合当前所用 PCB 的，但是这个 timing 是否能够满足整个系统的工作要求，就一定要进行压力测试。

### 5.2 必要性?

之前发生过几起这样的案例：ETT 测试出来的 timing 的 margin 很大，但是在压力测试时发现有可能性无法开机或死机的 issue 发生，原因是没有严格 follow MTK DDR layout rule，特别是没有添加 power plane，使得电源完整性很差引起的；这些 issue 都是要通过压力测试才能够发现。

### 5.3 测试 item 及判别 pass 的标准?

在 HTLV、NTNV、LTHV 三种条件下对至少 3 台手机运行 Neocore(3D 应用程序)，如果在>8 小时内均没发生异常，Neocore 仍在运行，则判定为 pass！

### 5.4 测试条件

Conditions	Temperature	Vcore	VIO1V8
HTLV	65°C	1.15V	1.7V
NTNV	室温(一般为 25 摄氏度)	1.25V(default)	1.8V(default)
LTHV	-20°C	1.325V	1.9V

Note:与 ETT 测试条件一致

### 5.5 电压调整方法

**Step1**：键入 `***#3646633#**`，进入 engineer mode

**Step2**：在“baseband” item 中的 address(Hex)和 Value(Hex)输入下表中的寄存器值，来设置 Vcore 及 VIO1V8 的电压值，并点击“write”。

Vcore	Address(Hex)	Value(Hex)
1.15V	7002f900	a9e1
1.325V	7002f900	a851
VIO1V8	Address(Hex)	Value(Hex)
1.7V	7002f920	a9c1
1.9V	7002f920	a841

**Note1**：engineer mode 下的电压设置只在当前开机有效，关机后就会失效。

**Note2**：NTNV 的电压不必调整，用 default 即可。

### 5.6 Neocore 安装方法

Stress test 所用 3D 应用程序为“Neocore1.9.22.apk”，从网上可以 download 到。

**安装方法 1**：使用 Android-SDK-Windows\tool

```

C:\WINDOWS\system32\CMD.exe
Microsoft Windows XP [版本 5.1.2600]
(C) 版权所有 1985-2001 Microsoft Corp.

C:\Documents and Settings\mtk70735>d:

D:\>cd D:\tool\ADB tool\tools

D:\tool\ADB tool\tools>adb devices
* daemon not running. starting it now *
* daemon started successfully *
List of devices attached
0123456789ABCDEF    device

D:\tool\ADB tool\tools>adb install Neocore1.9.22.apk
2225 KB/s (5661205 bytes in 2.484s)
pkg: /data/local/tmp/Neocore1.9.22.apk
Success

D:\tool\ADB tool\tools>
QQPinyin 半:
    
```

#### 安装方法 2：

使用 Android OS 相关的电脑客户端软件进行安装，例如“91 手机助手”“APK 安装器”等。

#### 安装方法 3：

将 Neocore.apk 拷贝到 T-card 中，从手机端直接安装。

**Note：**若用 PC 安装 apk 文件，需要先在手机中打开 USB 调试功能，设置->应用程序->开发->USB 调试√

### 5.7 测试方法

**Step1：**安装“Neocore1.9.22.apk”

**Step2：**engineer mode 下调整 Vcore 与 VIO1V8 电压，设置温箱温度。

**Step3：**UART4 连接 PC 抓取 AP 的 log

**Step4：**运行“Neocore”，选择“interactive mode”循环播放 3D 动画

**Step5：**连续播放 3D 动画>8 个小时仍能正常工作判断为 pass，否则为 failed；如果 failed，请将 log 发送给 MTK，MTK 会协助分析原因。

**Step6：**重复上述步骤将>3 部手机的 NTN\HTLV\LVTHV 所有条件下的 stress test 完成。

## 6 Q & A

### 6.1 ETT test、stress test 与 DDR layout rule 三者的关系？

(1) ETT test 用于验证信号的完整性，stress test 用于验证电源的完整性，严格 follow MTK DDR layout rule 是信号与电源完整性的基础和保障。

(2) ETT test 可以确保系统使用最佳的 timing，但是否满足系统的工作需求就一定要做 stress test。

**Note：**MTK DDR layout rule 请见附录，以做参考。

### 6.2 为什么要在高低温和高低压下进行的 ETT 测试？

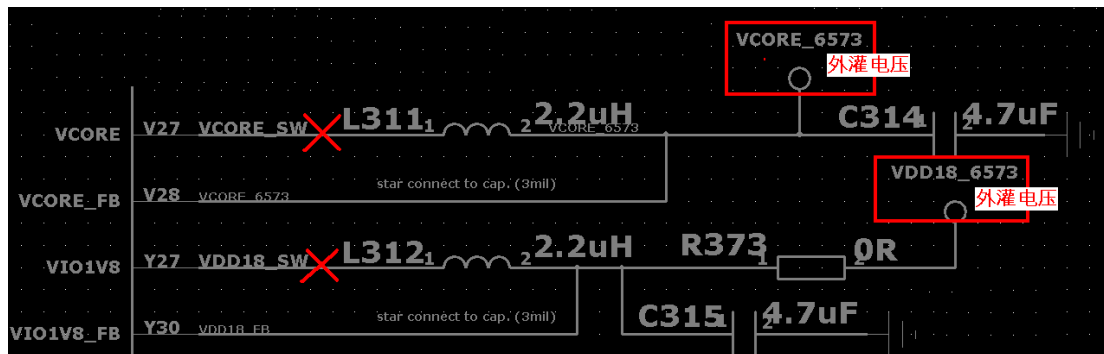
高低温与高低压下电子信号传输的时间 delay 有差异，必须 cover 到所有可能的情况，才能保证 timing 的合理性。

### 6.3 对温箱参数有何要求？

普通温箱即可（ETT 高温 65℃，低温 -20℃）

### 6.4 ETT 测试中，Vcore、VIO1V8 电压如何调整？

外供电是指要断开 MT6573 本身的 Vcore 和 VIO1V8 供电(红色x处)，用精密电源提供 power supply 加到“红色框”处



**Note：**由于外供电的导线上有线阻，请以 PCB 上 Vcore、VIO1V8 的实际获得电压为准进行 ETT 测试。

### 6.5 ETT 相关资料如何从 MTK 获得？

(1) ETT 相关 bin file 及 tool 可以到文件交换系统上去下载一个“ETT\_BIN\_PACKAGE\_xxxx”的压缩包，网址：

<https://fex.mediatek.com>

(2) ETT training slide 请到 DCC 上下载

### 6.6 ETT bin file 为什么会有 CS0 与 CS1 两种？

CS0 对应 DDR 的 die0，CS1 对应 DDR 的 die1.对于 2G 的 DDR 来说，目前我们验证过的都为 single die，要根据硬件电路中 CS0 与 CS1 的实际线路，选择其中一只 ETT bin file 进行测试；对于 4G 的 DDR，目前我们验证过的都为 dual die，CS0 与 CS1 都要进行 ETT 测试。

### 6.7 ETT 测试是否会破坏原有程序代码？

不会的！ETT 的 bin file 是 download 到 BB 内部的 system RAM 中，掉电后消失，不会破坏 NAND 中的程序代码；同时，NAND 中无程序代码都可以进行 ETT 测试。

#### 6.8 为什么 ETT bin file download 完毕并跳转成功后，超级终端并没有数据打出？

请检查 start address 是否为 “0x40010000”，如果不是，请手动修改过来。

#### 6.9 为什么用超级终端接收到的数据会丢失开头部分？

BAT tool 跳转完毕后，要在 40S 内完成断开 BAT tool，同时连接超级终端的操作，否则可能会丢失开头部分的数据。

#### 6.10 ETT 测试完毕后，为什么接收到的 raw data file 会少 1KB？

ETT 测试完毕后，要先断开超级终端，然后再停止接收数据，否则可能会发生 raw data file 的缺少 1KB 的现象。

#### 6.11 MT6573 是否需要进行低速的 ETT 测试？

不需要，低速部分可以自动调整。

#### 6.12 如果只做了常温的 ETT 测试，如何 merger 出 timing？

将 parser tool 中高低温选项用常温 raw data file 替换即可

#### 6.13 ETT 测试出来的结果如何导入？

将 ETT 测试出来的 raw data file 用 parser tool 进行 merge，将 merge 所得 file 中的寄存器值对应替换 memory device list 中的寄存器值即可。

**Note：**寄存器的替换以 memory device list 中的 item 为准，也即 memory device list 中存在的 item，但 result file 中没有，寄存器值保持原值即可。

#### 6.14 如果 PCB 改版是否需要重新测试？

如果 PCB 进行过改版，只要 DDR 部分的 layout、MCP 型号、PCB 板厂、PCB 板材不发生更改，就不需要重新测试。

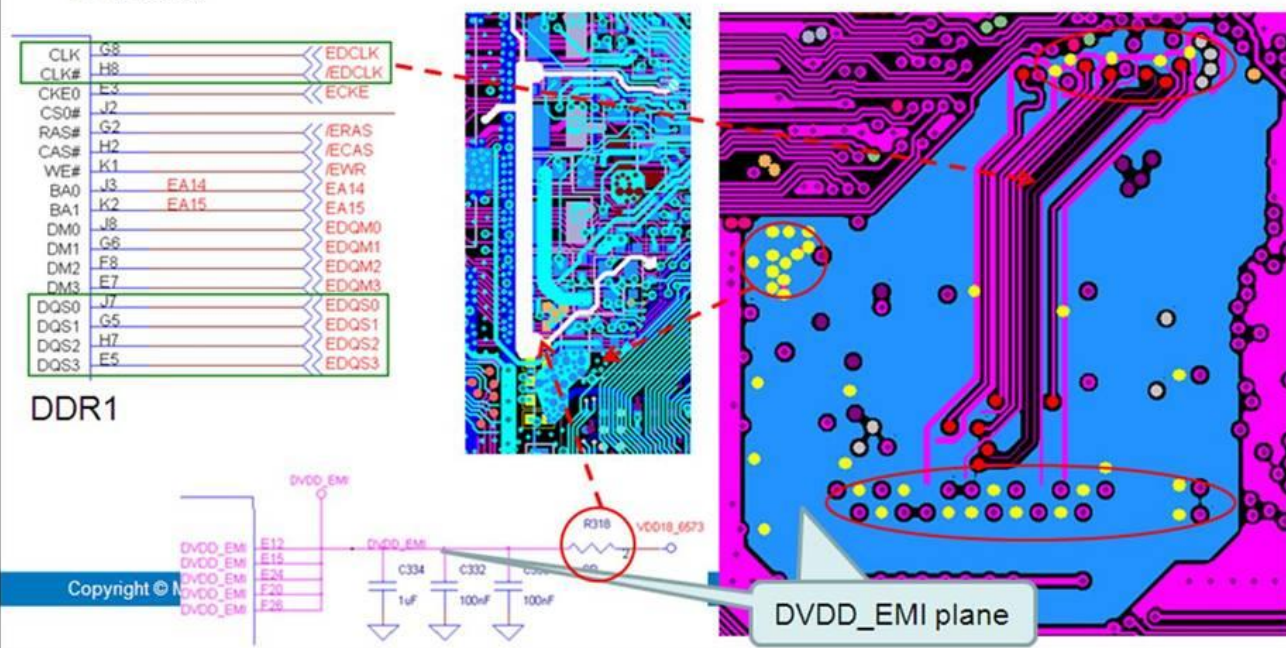
#### 6.15 ETT 测试是在研发阶段还是量产阶段进行？

量产阶段一定要进行 ETT 测试，但我们建议研发阶段就先进行，这样可以确保项目开始阶段就使用最佳的 timing 进行 debug，同时及早的发现因 timing 引起的相关 issue；另外，如果保证 item14 的条件，只进行一次 ETT 测试即可。

## 7 Appendix: MTK DDR layout rule

### 走线规则(Memory 1/2)

- 1)BB和DDR这两处的DVDD\_EMI balls附近都要有de-cap, 并且务必要**分别靠近BB和DDR的DVDD\_EMI balls**摆放
- 2)DVDD\_EMI走线的trace要尽量加粗至20mil以上, 换层时务必多打via (尽量在3个以上)
- 3)BB与DDR间走线的下方铺放DVDD\_EMI power plane: 对于L8板, 若L3与L5为主地, 铺在L4; power plane要尽可能覆盖BB与DDR间的走线





## 走线规则(Memory 2/2)

4) EDCLK&/EDCLK务必差分走线并包地处理，建议走在power plane中；DATA、DQS、DQM要尽量等长走线，同一组的DATA、DQS、DQM走在相同的层；所有的信号线尽量都在表层和次表层走完。

5) 为了降低走线的难度，DDR的data line可以组间或组内交换；组间交换时对应的DQS与DQM要同时交换。

