

**Universidade de Brasília**

**Departamento de Ciência da Computação**



## **Relatório Laboratório 2 - OAC**

### **Autores:**

André Cássio 16/0111943

Henrique Léo 16/0124379

Gabriel Bessa 16/0120811

Giovanni M Guidini 16/0122660

Vitor F Dullens 16/0148260

Thiago Veras 16/0146682

Brasília

9 de Outubro de 2017

# 1 Unidade Lógico-Aritmética de Inteiros

## 1.1 Diagrama de Blocos

O diagrama de blocos da ULA pode ser encontrado nos arquivos em anexo, em /Lab2/1.

O tamanho do digrama é um bom indicativo da complexidade relativamente alta do circuito, e de seu gasto em questão de área no chip. Nota-se que é um circuito bastante grande.

## 1.2 Simulação Temporal

As imagens das simulações temporais podem ser observadas nos arquivos em anexo (em /Lab2/1/timeSimulations/). As 28 operações estão devidamente analisadas. Nas análises, iA representa o primeiro número, iB o segundo. iCLK é o sinal de clock. iControl é a operação sendo realizada (que foi definido para uma única operação para propósitos de teste). Os outputs importantes são oALUresult, o resultado da computação, ozero, sinal de zero, e ooverflow, sinal de overflow.

## 1.3 Requisitos Físicos

Fazendo a compilação da ULA com uma operação definida conseguimos uma boa estimativa da quantidade de elementos lógicos e tempo de atraso necessários para realizar cada operação da ULA. Os resultados foram reunidos na tabela 1.

A operação "base" se refere à OPDEBUG, uma operação de teste que simplesmente pega a entrada iA e coloca como resultado da ULA. A operação OPDIV, divisão de inteiros, é a que mais requer elementos lógicos, e a operação OPDIVU, que divide e salva em Lo o resultado da divisão e em Hi o resto é a que mais demora para ser realizada.

A Frequência máxima foi calculada como o inverso do tempo de atraso com uma adição (pequena) para garantir certeza de resultado correto nas operações.

Um vídeo demonstrando algumas operações da ULA sintetizada no FPGA pode ser conferido neste [link](#)

## 2 Unidade Aritmética de Ponto Flutuante

### 2.1 Diagrama de Blocos

O diagrama de blocos da FPULA pode ser encontrado nos arquivos em anexo, em /Lab2/2.

O tamanho do digrama é um bom indicativo da complexidade relativamente alta do circuito, e de seu gasto em questão de área no chip. Nota-se que é um circuito bastante grande. Os blocos em verde são os blocos previamente definidos pelo Quartus, ou seja, existe em cada um deles ainda um outro circuito. Logo, a FPULA, na verdade, é maior do que a imagem aparenta.

### 2.2 Simulação Temporal

As imagens das simulações temporais podem ser observadas nos arquivos em anexo (em /Lab2/2/timeSimulations). As 12 operações estão devidamente analisadas. Nas análises, iA representa o primeiro número, iB o segundo. iCLK é o sinal de clock. iControl é a operação sendo realizada (que foi definido para uma única operação para propósitos de teste). Os outputs importantes são oALUresult, o resultado da computação, ozero, sinal de zero, e ooverflow, sinal de overflow.

### 2.3 Requisitos Físicos

Fazendo a compilação da FPULA com uma operação definida conseguimos uma boa estimativa da quantidade de elementos lógicos e tempo de atraso (clock to output) necessários para realizar cada operação da ULA. Os resultados foram reunidos na tabela 2.

A operação "base" se refere à operação default da FPULA. As operações OPABS e OPNEG só trocam um único bit do número, por isso acreditamos que o Quartus otimizou demais a operação a ponto de não precisar de nenhum elemento lógico para realizar a operação. Os tempos de atraso então foram desconsiderados, mas estas seriam as operações mais rápidas. A próxima operação mais rápida é OPCLT, compare less than. A operação que usa o menor número de elementos lógicos é OPCEQ.

A Frequência máxima foi calculada como o inverso do tempo de atraso com uma adição (pequena) para garantir certeza de resultado correto nas operações.

Um vídeo demonstrando algumas funcionalidades da FPULA sintetizada no FPGA pode ser visto neste [link](#)

	A	B	C	D
1	Operação	Elementos Lógicos	Tempo atraso	Frequência Max
2	Base	11	14,792 ns	0,066 GHz
3	OPAND	43	15,314 ns	0,063 GHz
4	OPOR	43	15,339 ns	0,063 GHz
5	OPADD	44	15,195 ns	0,063 GHz
6	OPMFHI	11	14,729 ns	0,066 GHz
7	OPSL	170	14,044 ns	0,07 GHz
8	OPMFLO	11	14,729 ns	0,066 GHz
9	OPSUB	44	15,510 ns	0,064 GHz
10	OPSLT	32	13,410 ns	0,076 GHz
11	OPSGT	32	13,410 ns	0,076 GHz
12	OPSQL	170	17,243 ns	0,057 GHz
13	OPSRA	174	18,217 ns	0,053 GHz
14	OPXOR	43	17,816 ns	0,055 GHz
15	OPSLTU	32	13,410 ns	0,075 GHz
16	OPNOR	43	9,811 ns	0,12 GHz
17	OPLUI	5	9,805 ns	0,12 GHz
18	OPSLLV	170	17,044 ns	0,056 GHz
19	OPRAV	174	18,217 ns	0,053 GHz
20	OPSLV	170	17,244 ns	0,56 GHz
21	OPMULT	53	8,885 ns	0,105 GHz
22	OPDIV	1266	9,446 ns	0.1 GHz
23	OPMULTU	40	22,197 ns	0,044 GHz
24	OPDIVU	1133	159,695 ns	0,006 GHz
25	OPMTHI	11	14,729 ns	0,066 GHz
26	OPMTLO	11	14,729 ns	0,066 GHz
27	OPMADD	40	21,340 ns	0,046 GHz
28	OPMADDU	40	22,197 ns	0,044 GHz
29	OPMSUB	72	23,337 ns	0,041 GHz
30	OPMSUBU	72	24,519 ns	0,04 GHz
31	Total	6686	28.088 ns	0,033 GHz

Figura 1: Requisitos físicos por operação da ULA

	A	B	C	D
1	Operação	Componentes Lógicos	clk to output time	f max
2	base	813	8,916 ns	0,111 GHz
3	OPADDS	820	9,126 ns	0,105 GHz
4	OPSUBS	813	8,916 ns	0,111 GHz
5	OPMULS	283	9,748 ns	0,100 GHz
6	OPDIVS	328	9,261 ns	0,105 GHz
7	OPSQRT	804	7,9 ns	0,125 GHz
8	OPABS	0	-----	-----
9	OPNEG	0	-----	-----
10	OPCEQ	49	6,447 ns	0,147 GHz
11	OPCLT	88	5,963 ns	0,166 GHz
12	OPCLE	88	6,215 ns	0,153 GHz
13	OPCVTSW	311	7,542 ns	0,125 GHz
14	OPCVTWS	462	11,206 ns	0,087 GHz

Figura 2: Requisitos físicos por operação da FPULA