

Taller entrega 1

IIC2343

Formalidades

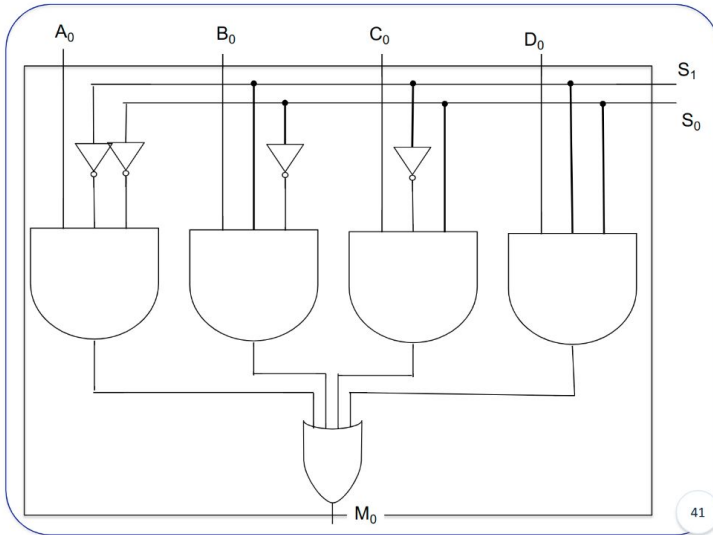
- ° La inscripción de grupos será hasta hoy a las 17 horas.
- ° Quienes no tengan grupo serán enviado un correo electrónico a las 20 horas del día de hoy con su información grupal
- ° La entrega es el 3 de Abril **20:00 hrs**
- ° La calificación de esta entrega equivale al 15% de la nota final de proyecto y no se puede eliminar

Contenidos

- MUX en Vivado
- ¿Qué es un clock?
- ¿Qué es un flanco de subida?
- ¿Qué es un registro?
- ¿Qué es la entrega 1?
- Lo que deben entregar y evaluación de pares
- Atender dudas generales

Mux en vivado

° En clases se vio lo que era un selector y como reproducirlo en compuertas lógicas. Vivado nos provee la operación with select para reducir complejidad a la hora de describir nuestros circuitos



```
signal a0      : std_logic;
signal b0      : std_logic;
signal c0      : std_logic;
signal d0      : std_logic;
signal m0      : std_logic;
signal s       : std_logic_vector(1 downto 0);

with s select
  m0 <=  a0 when "00",
         b0 when "10",
         c0 when "01",
         d0 when others;
```

Mux en vivado: Ejemplo práctico

° En clases se vio lo que era un selector y como reproducirlo en compuertas lógicas. Vivado nos provee la operación with select para reducir complejidad a la hora de describir nuestros circuitos

```
with sw select
    disA <= "0111" when "110",
            "0000" when others;

with sw select
    disB <= "0111" when "110",
            "0000" when others;

with sw select
    disC <= "0001" when "110",
            "0000" when others;

with sw select
    disD <= "1000" when "110",
            "0000" when others;
```

¿Qué es un clock?

- ° Un clock es un circuito que emite una serie de pulsos constantes.
- ° Es útil para dar tiempo y coordinar circuitos
- ° En el proyecto la señal clk corresponderá al reloj simulado que estará dado en el archivo simulación de la siguiente forma (disponible en Canvas)

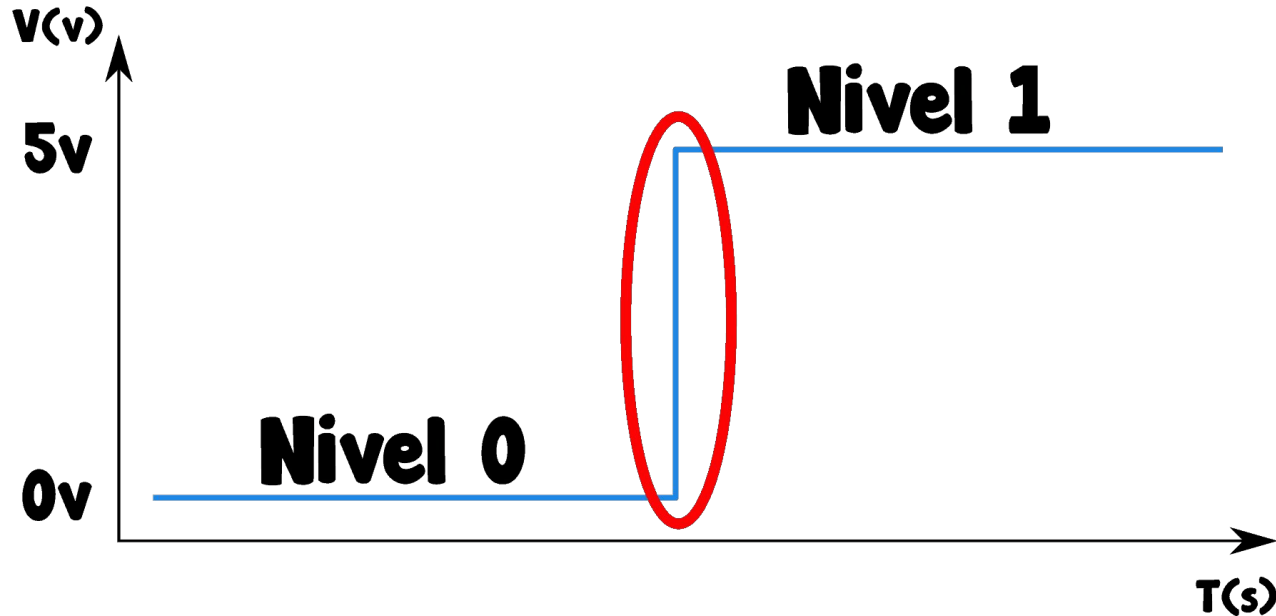
```
wait for clk_period/2;  
clk <= not clk;  
wait for clk_period/2;  
  
if NOW > 3000 ns then  
    wait;  
end if;  
end process;
```



- ° Este pulso definido será usado para evaluar sus proyectos, y en particular será fundamental para usar la entidad Registro.

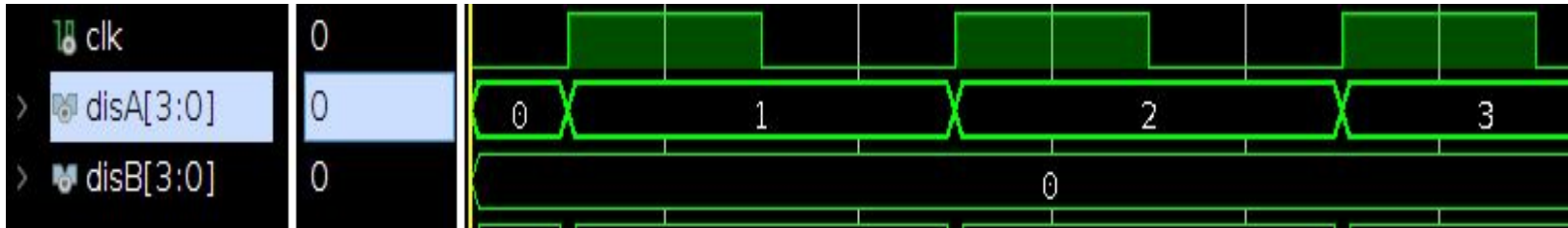
¿Qué es un flanco de subida?

° Se define como la transición del nivel bajo(cuando la señal esta apagada) a uno alto (cuando la señal esta activada).



¿Qué es un registro?

- ° Es una unidad de almacenamiento de datos digital.
- ° En esta entrega se utilizará para guardar los estados de los displays
- ° Su funcionamiento es que cuando exista un flanco de subida, y se active una señal de carga cambia guarda un nuevo valor, y en otro caso se queda con el último que guardo.



Entidad Reg

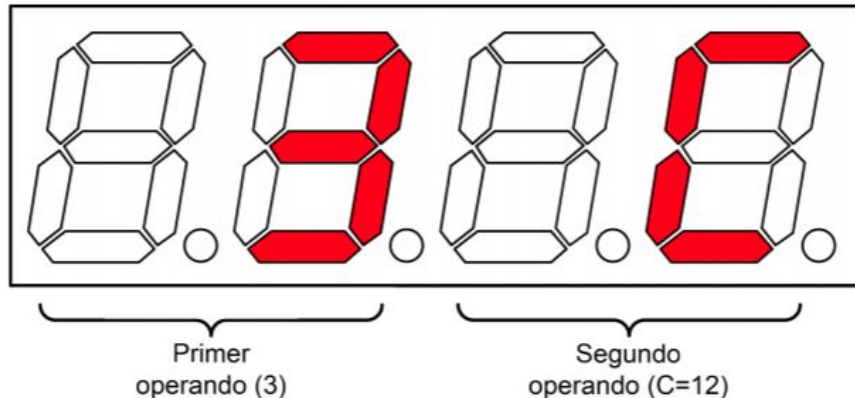
- ° Es el registro multipropósito que ocuparan en la entrega.
- ° Consiste en un registro de cuatro entradas: El dato nuevo, señal de carga para el dato nuevo, señal de carga para aumentar en uno, señal de carga para disminuir en uno.

Entradas					Salidas
clock	load	up	down	datain	dataout
Flanco Subida	1	*	*	*	datain
Flanco Subida	0	1	*	*	dataout + 1
Flanco Subida	0	0	1	*	dataout - 1
*	*	*	*	*	dataout

Figura 4: Tabla de verdad de Reg.

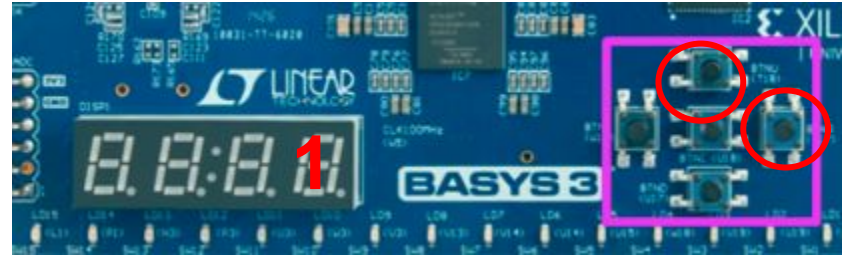
¿Qué es la entrega 1?

- ° Desarrollar una mini calculadora de 16 bits, a través de una unidad aritmética lógica como la que fue vista en la clase (ALU)
- ° Esta unidad aritmética lógica debe ser utilizada como componente de la entidad Basys3 (el archivo de la placa) para poder interactuar con dicha calculadora
- ° Los registros servirán como almacenamiento de los operando y el resultado



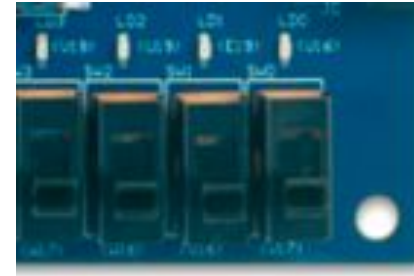
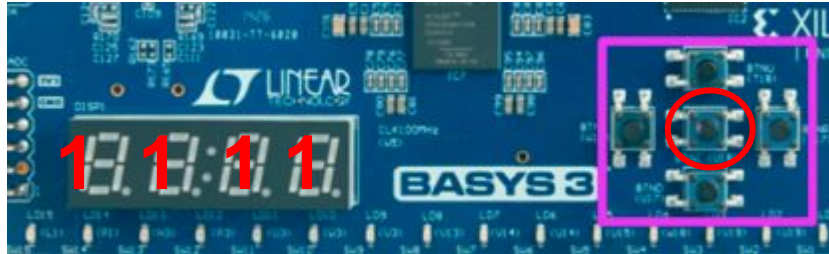
¿Qué es la entrega 1?

° Para interactuar con los operandos vamos a ir subiendo o bajando sus valores con los botones (en el archivo Basys3 btn)



¿Qué es la entrega 1?

- ° Si se mantiene presionado el botón del centro se mostrará el resultado de la ALU dado dichos operandos.
- ° Los switches indicarán qué operación hace la ALU
- ° Los leds indican señales de la ALU y el clock



¿Qué es la entrega 1?

Como base tendrán la entidad Basys3. (Disponible en Canvas)

```
entity Basys3 is
  Port (
    sw      : in  std_logic_vector (2 downto 0); -- Señales de entrada de los interruptores
    btn     : in  std_logic_vector (4 downto 0); -- Señales de entrada de los botones
    led     : out std_logic_vector (4 downto 0); -- Señales de salida a los leds
    clk     : in  std_logic;                    -- No Tocar - Señal de entrada del clock
    disA    : out std_logic_vector(3 downto 0); -- Señales de salida al display A.
    disB    : out std_logic_vector(3 downto 0); -- Señales de salida al display B.
    disC    : out std_logic_vector(3 downto 0); -- Señales de salida al display C.
    disD    : out std_logic_vector(3 downto 0); -- Señales de salida al display D.
  );
end Basys3;

architecture Behavioral of Basys3 is

  -- Inicio de la declaración de los componentes.

  component Reg
    Port (
      clock      : in  std_logic;
      load       : in  std_logic;
      up         : in  std_logic;
      down       : in  std_logic;
      datain     : in  std_logic_vector (15 downto 0);
      dataout    : out std_logic_vector (15 downto 0)
    );
  end component;
```

Lo que deben entregar

- ° En sus repositorios de Github deben subir la carpeta del proyecto de Vivado
- ° En dicho debe estar contenido los archivos srcs, con las entidades Basys3 y ALU.
- ° Un informe en formato Markdown donde se detalla lo que hizo cada persona como también muestras de las simulaciones de que su entidad funciona correctamente.

Evaluación de Pares

- ° Esta evaluación se hará durante el desarrollo de la entrega hasta el 1 de Abril
- ° El objetivo es poder lograr una comunicación efectiva con todo el equipo, y que si sea necesario una intervención del cuerpo docente sea antes de entregar para evitar perjudicar la nota final
- ° Si presenta alguna complicación no dude en informar lo más pronto posible para poder tomar las medidas pertinentes.

¿Dudas?