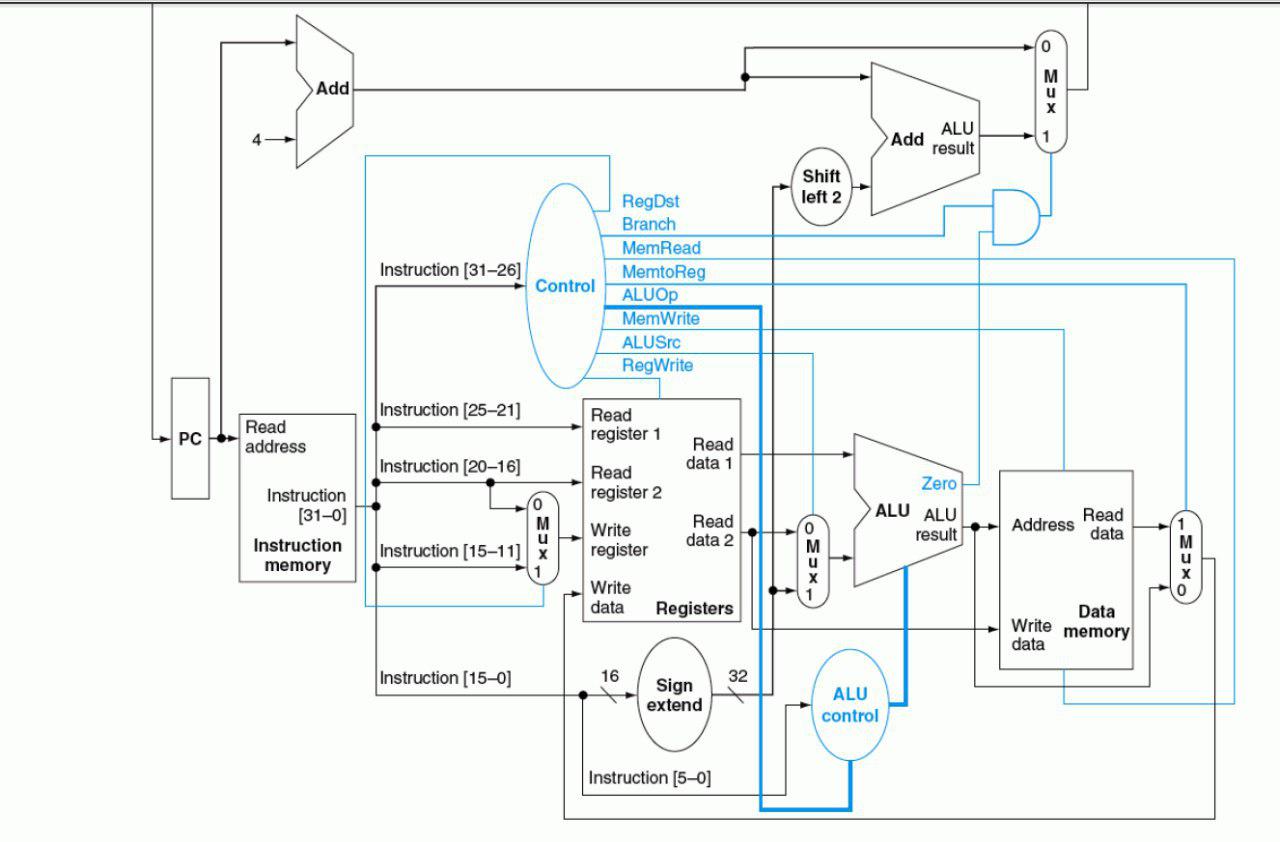
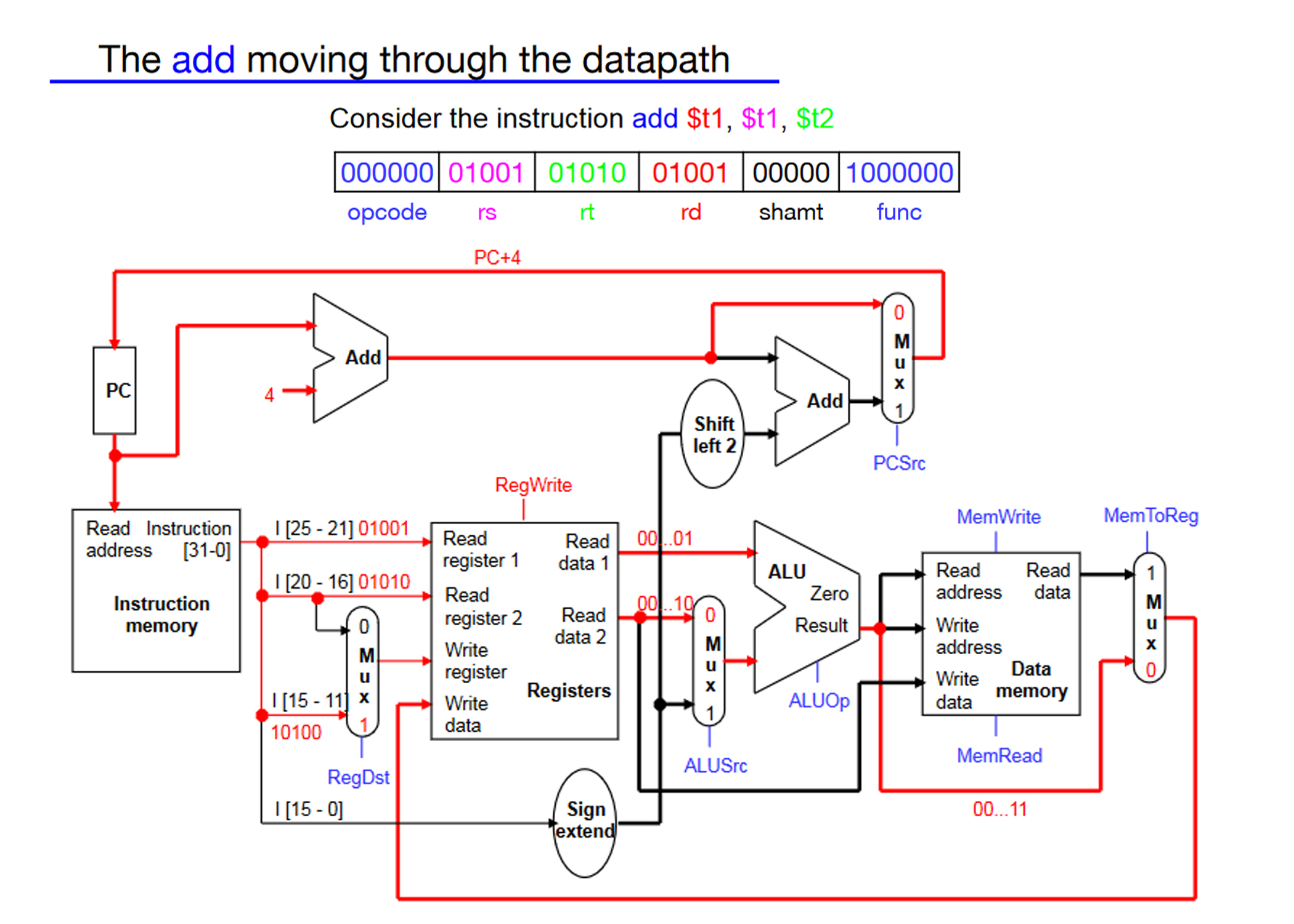
به نام خدا

موضوع: گزارش پروژه Verilog MIPS pipeline CPU لینک پروژه: https://git.io/fjaRD

تیم: محمد دریانی (963112041) ادریس محمدی(963212081)

در ابتدا یک بررسی مختصر ی از single cycle داریم چون اول این پروژه

س



مسیر داده در دستور های محاسباتی

