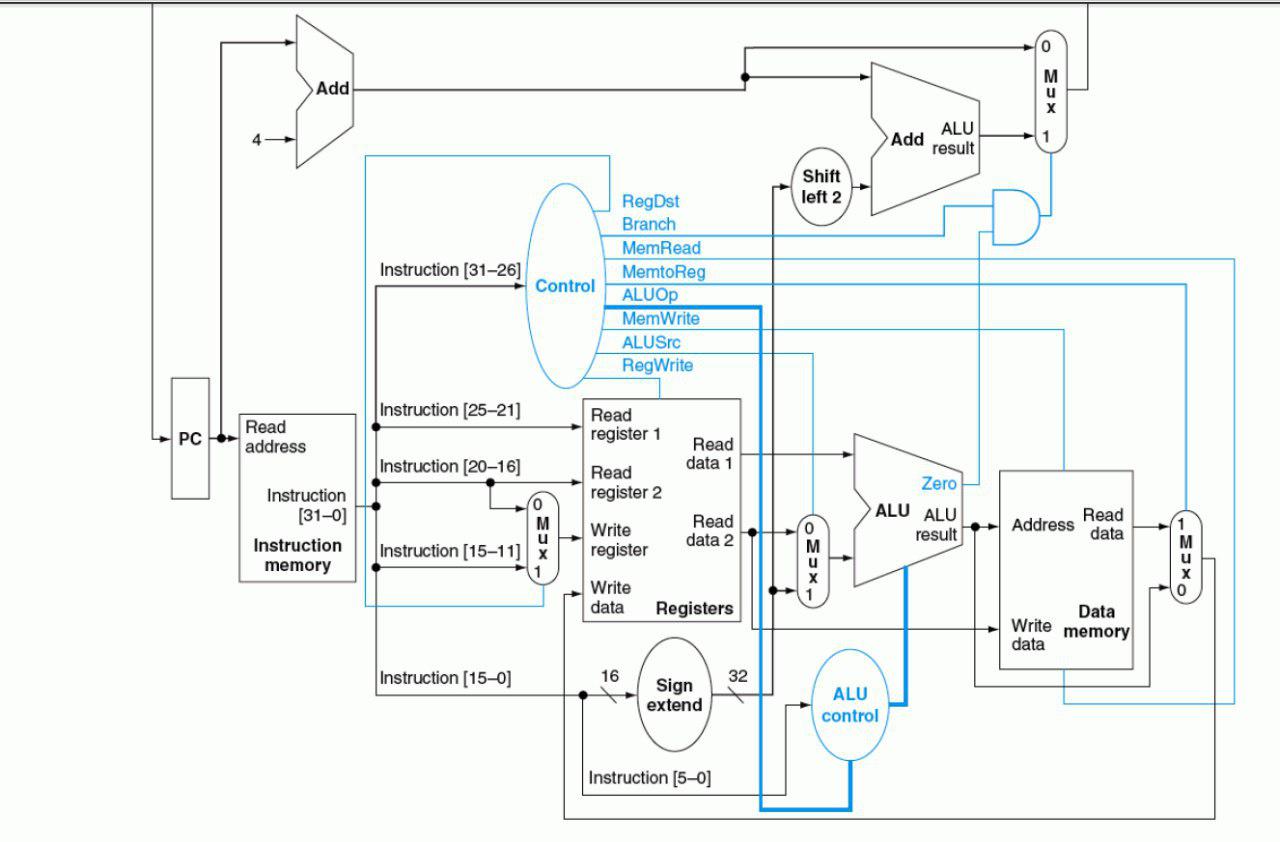
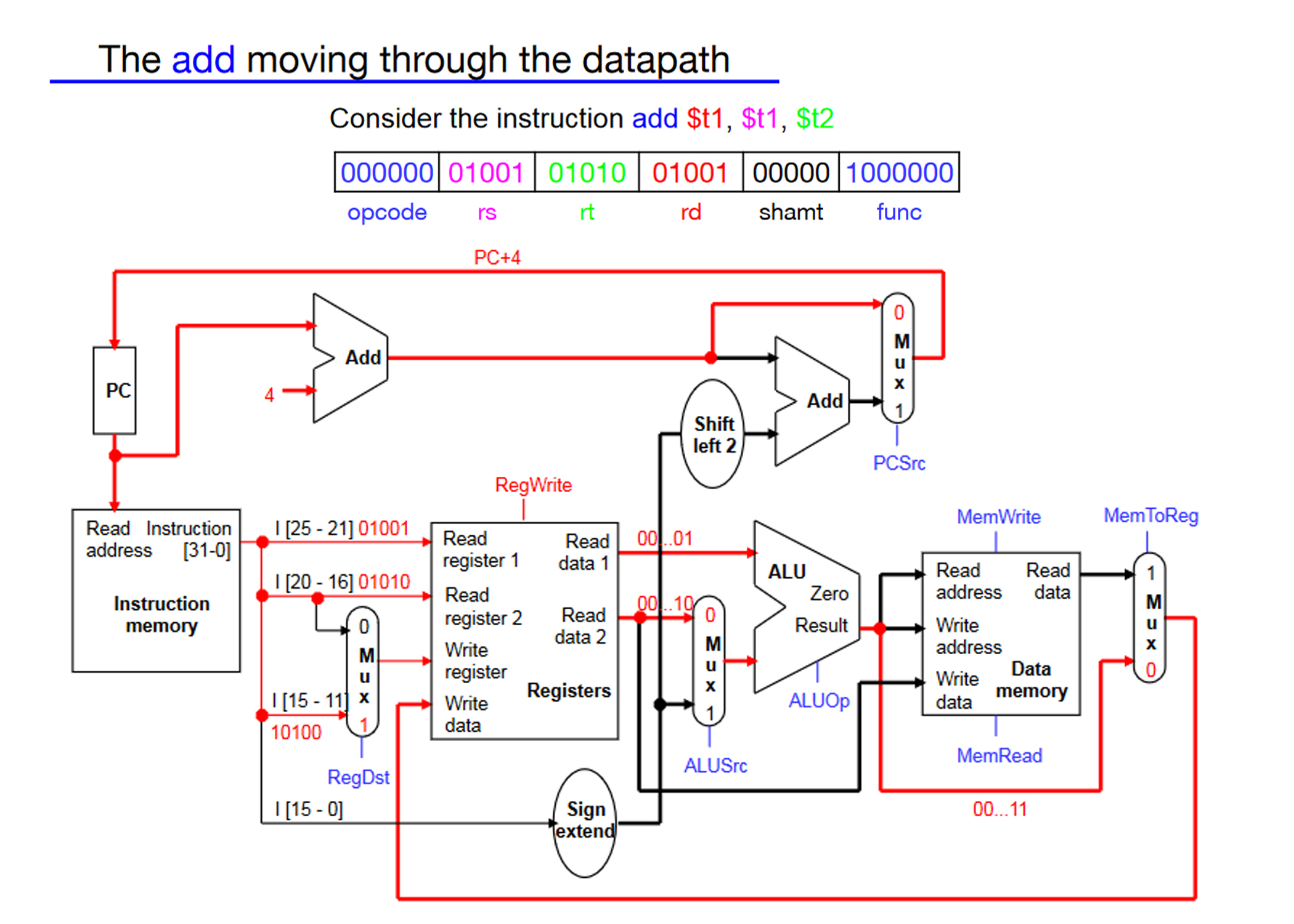
به نام خدا

موضوع: گزارش پروژه Verilog MIPS pipeline CPU لینک پروژه: https://git.io/fjaRD

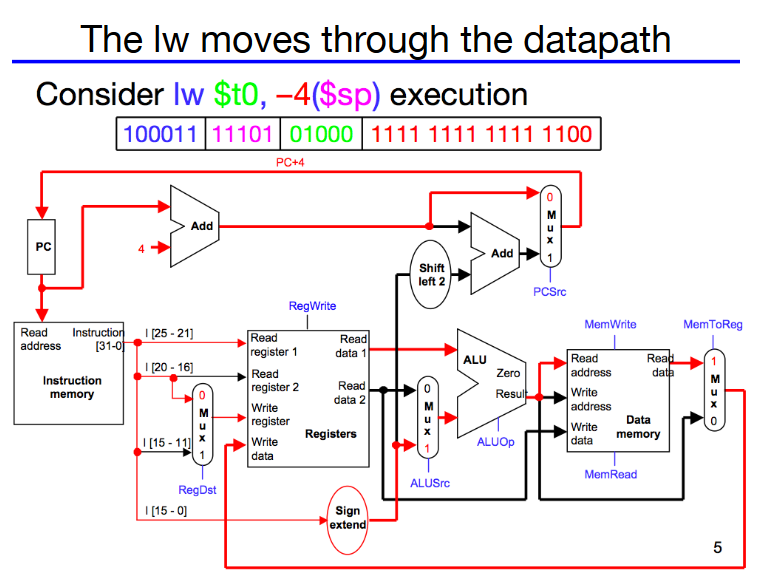
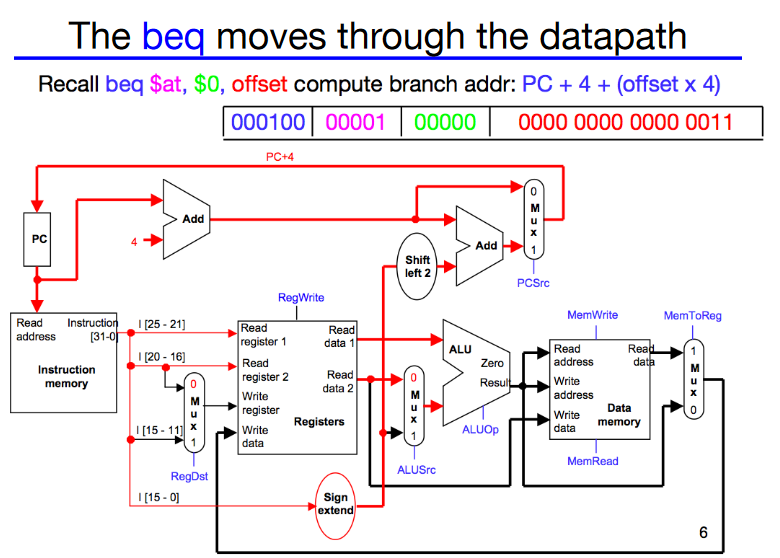
تیم: محمد دریانی (963112041) ادریس محمدی(963212081)

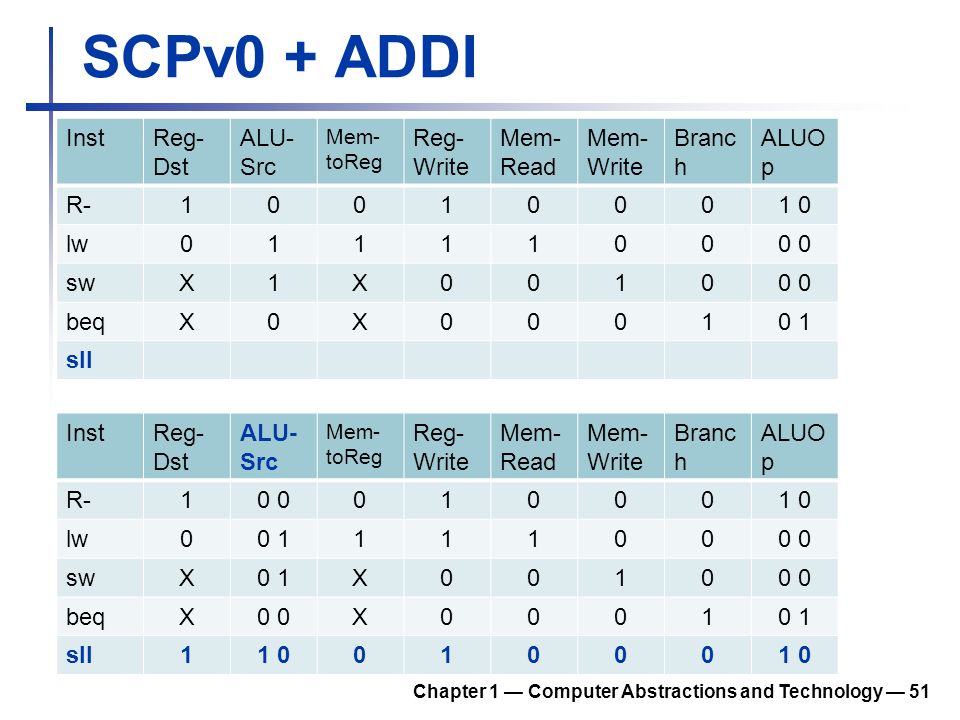
در ابتدا یک بررسی مختصر ی از single cycle داریم چون اول این پروژه





مسیر داده در دستور های محاسباتی



Func

6'b100000: ALUCtl = 0; //add

6'b100100: ALUCtl = 1; //and

6'b100101: ALUCtl = 2; //or

6'b100010: ALUCtl = 3; //sub

