# Proyecto 1 – 2023 – Gestión de riesgos y excepciones en MIPS

Cascán Zalewska, Alain

Arellano Zubía, Gari

lunes, 1 de mayo de 2023

## Breve resumen

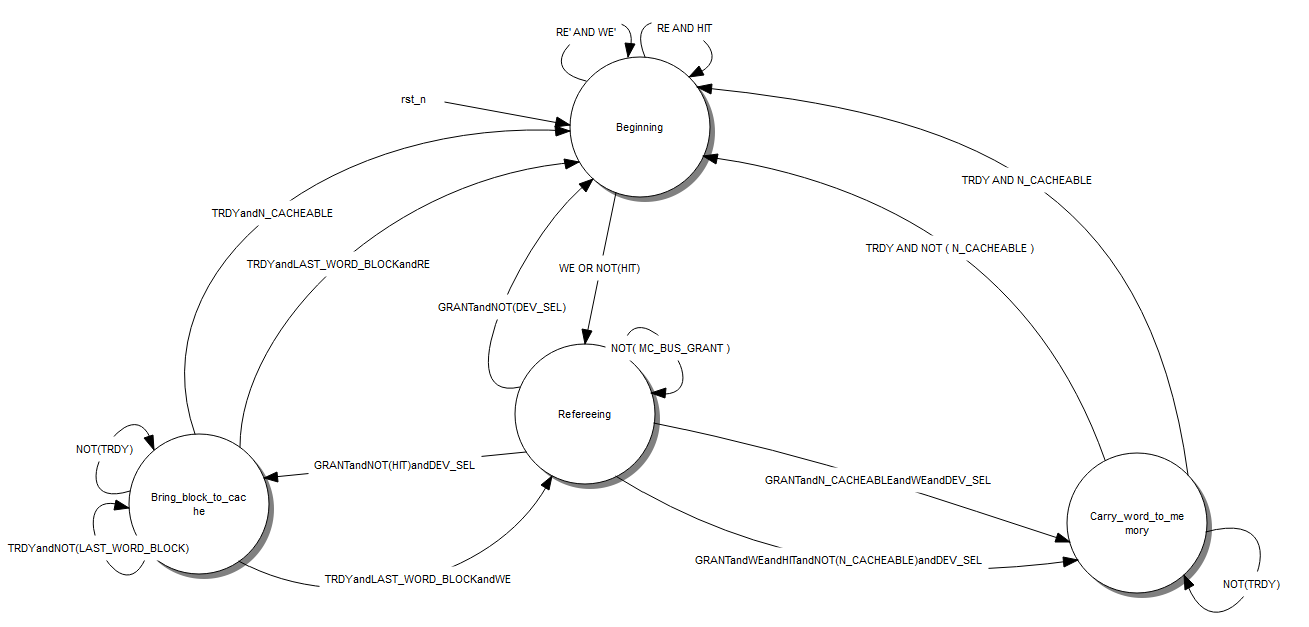
*El objetivo de este proyecto era aprender a trabajar con una jerarquía de memoria algo más compleja que en el proyecto anterior debido a que en el proyecto anterior los accesos eran idóneos debido a que estos se resolvían siempre en un ciclo. Además de trabajar con una jerarquía de memoria, hemos tenido que gestionar la comunicación de diferentes periféricos tanto maestros como servidores mediante un bus semi-síncrono.*

*En la jerarquía de memoria hemos incluido una memoria cache la cual abreviaremos como “MC”, una memoria de datos o memoria principal “MD Principal” la cual es más lenta que la cache debido a que esta tarda más en responder y, para terminar, tenemos una segunda memoria de datos la cual llamaremos “MD Scratch”, la cual es una memoria mucho más rápida que la MD Principal de la cual hemos hablado anteriormente pero, esta tiene ciertas características especiales de las cuales desglosaremos más adelante pero, principalmente, los contenidos de esta no se deben de guardar en MC.*

*El objetivo de este proyecto ha sido diseñar la unidad de control de la memoria cache para que esta atenta las peticiones del procesador, gestionando las trasferencias a través del bus semi-síncrono que hemos hablado anteriormente encargado de comunicar los distintos periféricos.*

*Además de diseñar la unidad de control, hemos tenido que implementar esta jerarquía de memoria en MIPS, para ello hemos tenido que tener en cuenta que cuando se realiza un fallo en la memoria cache, esta tiene que consumir ciertos ciclos tanto en el acceso a MD Principal o MD Scratch y, después de realizar las acciones pertinentes para parar el procesador y que este no genere ni incoherencias en memoria, si se detecta una parada en memoria, pararemos TODO el procesador con la señal parar\_EX.*

## Diagrama de estado de la unidad de control



* Estado Beginning:

El estado de Beginning

## Cuantificación de horas dedicadas

* Estudio del MIPS, VHDL, entorno, instalación…:
  + Gari Arellano: 5h
  + Alain Cascán: 5h
* Adición de las nuevas instrucciones:
  + Gari Arellano: 1h
  + Alain Cascán: 1.5h
* Gestión de excepciones:
  + Gari Arellano: 2.5h
  + Alain Cascán: 2h
* Gestión de riesgos:
  + Gari Arellano: 3.5h
  + Alain Cascán: 3h
* Depuración, verificación y programas de prueba:
  + Gari Arellano: 9 h
  + Alain Cascán: 9.5 h
* Memoria:
  + Gari Arellano: 3h
  + Alain Cascán: 3h

## Conclusiones y Autoevaluación

*¿Para qué ha servido vuestro trabajo?, ¿Qué os ha parecido?, ¿qué calificación os otorgáis a vosotros mismos?*