**PHÂN TÍCH VÀ THIẾT KẾ BITCELL 8T TRÊN**

**CÔNG NGHỆ 130NM**

ANALYSIS AND DESIGN BITCELL 8T USING

130NM TECHNOLOGY

**Lê Tuấn Kiệt, Nguyễn Tuấn Kiệt, Phạm Tuấn Kiệt**

**Dương Đình Linh, Huỳnh Văn Vũ Luân**

*Trường Đại học Khoa học Tự nhiên*

*ĐHQG TP.HCM*

1. ***Định nghĩa:***

Bitcell 8T là một loại mạch lưu trữ dữ liệu (SRAM), bao gồm tám transistor, bao gồm hai transistor PMOS và sáu transistor NMOS, được kết nối lại với nhau để lưu trữ một bit dữ liệu.

1. ***Cấu trúc:***

Ảnh có chứa biểu đồ, Kế hoạch, Bản vẽ kỹ thuật, sơ đồ

Mô tả được tạo tự động

1. ***Hoạt động:***
   1. ***Ghi ‘0’:***

Để viết '0', **BL** (Bit line) phải cung cấp 0 volt và VDD cho **BLB** (Bit line bar). Và **WWL** (write word line) được xác nhận làm cho cả hai bóng bán dẫn M3 và M4 BẬT. Do đó, giá trị trong dòng bit được lưu trữ tại Q và '0' được lưu trữ tại Q.

* 1. ***Ghi ‘1’:***

Tương tự như vậy, khi ghi '1' **BL** (Bit line) phải cung cấp giá trị VDD và **BLB** (Bit line bar) được cung cấp giá trị 0 volt. Khi **WWL** (write word line) được bật cho thao tác ghi, các giá trị trong các dòng bit được lưu trữ tại các nút tương ứng tại Q sẽ có giá trị logic '1' và logic '0' tại Qbar.

* 1. ***Đọc ‘0’:***

Hoạt động đọc được bắt đầu bằng cách nạp trước **RBL** (Read bit line) vào VDD. **RWL** (Read word line) điều khiển transistor M5 BẬT. Nếu giá trị được lưu trữ tại Q là '0' thì transistor M6 sẽ BẬT và **RBL** (Read bit line) được nối đất trực tiếp thông qua các lần xả của transistor M5&M6. Điều này có nghĩa là giá trị được lưu trữ tại Q trong SRAM bằng không.

* 1. ***Đọc ‘1’:***

Nếu giá trị được lưu trữ tại Q là '1', transistor M6 sẽ TẮT và không có đường xả cho **RBL**, và giá trị trong **RBL** là VDD cho thấy giá trị được lưu trữ tại Q là '1'.

1. ***Thông số tính toán:***
   1. ***Kích thước bitcell:***

Kích thước của bitcell được xác định bởi kích thước của các transistor trong mạch.

Thời gian truy cập (Access time): Thời gian truy cập là thời gian cần để đọc hoặc ghi dữ liệu vào bitcell. Thời gian truy cập phụ thuộc vào tốc độ của các transistor và điều kiện điện áp.

tacc = tread = twrite = tBL + tMux + tSA + tDQ

Trong đó:

* tBL: thời gian để đưa dữ liệu vào / ra khỏi bus đường truy cập (Bitline)
* tMux : thời gian để chọn đường truy cập đúng (Multiplexer)
* tSA : thời gian để kích hoạt và đọc / ghi trạng thái của bitcell (Sense Amplifier)
* tDQ : thời gian để đưa dữ liệu vào / ra khỏi bus dữ liệu (Data Output)
  1. ***Tiêu thụ năng lượng (Power consumption):***

Tiêu thụ năng lượng là lượng năng lượng cần thiết để hoạt động mạch. Công suất tiêu thụ của thiết kế bao gồm thành phần công suất tĩnh và công suất động. Trong đó, công suất động (𝑃𝑑𝑦𝑛𝑎𝑚𝑖𝑐) là thành phần ảnh hưởng chính đến tổng công suất tiêu thụ của thiết kế trong trạng thái hoạt động. Thành phần này bị ảnh hưởng bởi các yếu tố như điện áp (VDD), điện dung tải (C) và tần số hoạt động của thiết kế (𝑓)

Pdynamic = C \* VDD2 \* f

Trong đó:

* C: điện dung tải (load capacitance)
* VDD: điện áp cung cấp
* f: tần số hoạt động
  1. ***Dung lượng lưu trữ (Storage capacity):***

Dung lượng lưu trữ được xác định bởi số bitcell có trong mạch SRAM.

* 1. ***Độ tin cậy (Reliability):***

Độ tin cậy của bitcell 8T SRAM được xác định bởi độ ổn định của các transistor và điều kiện môi trường.

* 1. ***Diện tích mạch (Chip area):***

Diện tích mạch SRAM phụ thuộc vào số lượng bitcell và kích thước của chúng. Bitcell 8T SRAM có thể giảm diện tích mạch so với các loại SRAM khác.

Diện tích mạch (Layout area):

S = Scell \* Ncell

Trong đó:

* Scell: diện tích của một bitcell 8T SRAM
* Ncell: số lượng bitcell trong bộ nhớ
  1. ***Tốc độ hoạt động (Operating speed):***

Tốc độ hoạt động của bitcell 8T SRAM phụ thuộc vào tốc độ của các transistor và điều kiện điện áp.

Cường độ dòng điện đọc (Read current):

Iread = Istatic + Idynamic

Trong đó:

* Istatic : dòng điện tĩnh khi đọc dữ liệu không được lưu trữ trong bitcell
* Idynamic : dòng điện động khi đọc dữ liệu đã được lưu trữ trong bitcell

1. ***Đặc điểm:***
   1. ***Độ ổn định cao***

Bitcell 8T SRAM có thể có độ ổn định cao hơn so với bitcell 6T SRAM do các yếu tố thiết kế khác nhau. Dưới đây là một số lý do có thể giải thích tại sao bitcell 8T có thể có độ ổn định cao:

Điện áp đánh giá (Vmin): Bitcell 8T thường có điện áp đánh giá (Vmin) cao hơn so với bitcell 6T. Điều này có nghĩa là bitcell 8T có thể duy trì dữ liệu ổn định hơn ở điện áp thấp hơn, giảm khả năng xảy ra sai sót dữ liệu.

Kiến trúc lưu trữ: Bitcell 8T có kiến trúc lưu trữ phức tạp hơn, sử dụng các transistor thêm để cải thiện khả năng duy trì dữ liệu. Cấu trúc này có thể tạo ra các yếu tố kháng nhiễu và tăng khả năng chống nhiễu, giúp nâng cao độ ổn định của bitcell.

Tính linh hoạt và điều khiển: Bitcell 8T có khả năng điều khiển và linh hoạt cao hơn. Các transistor phụ trợ trong bitcell 8T cho phép thực hiện các phép đọc và ghi dữ liệu với điều kiện và điện áp điều khiển linh hoạt hơn. Điều này có thể giúp nâng cao độ ổn định và khả năng duy trì dữ liệu trong các điều kiện khác nhau.

Tuy nhiên, cần lưu ý rằng mỗi loại bitcell có ưu điểm và hạn chế riêng, và độ ổn định cũng phụ thuộc vào yêu cầu ứng dụng cụ thể và yếu tố thiết kế khác nhau. Việc lựa chọn giữa bitcell 8T và 6T phụ thuộc vào các yêu cầu kỹ thuật và hiệu năng của hệ thống.

* 1. ***Chống nhiễu tốt***

Bitcell 8T SRAM có khả năng chống nhiễu tốt hơn bitcell 6T SRAM vì cấu trúc phức tạp và sử dụng nhiều transistor hơn. Dưới đây là một số lý do giải thích tại sao bitcell 8T SRAM có khả năng chống nhiễu tốt hơn:

Độ ổn định cao: Bitcell 8T SRAM có khả năng duy trì dữ liệu ổn định ở điện áp thấp hơn so với bitcell 6T SRAM. Điều này làm giảm khả năng xảy ra sai sót dữ liệu và tăng độ tin cậy của mạch bộ nhớ trong môi trường nhiễu.

Cấu trúc phức tạp: Bitcell 8T SRAM sử dụng một số lượng transistor lớn hơn bitcell 6T SRAM. Cấu trúc phức tạp này cung cấp khả năng chống nhiễu tốt hơn. Nó giúp giảm tác động của nhiễu từ các tác nhân bên ngoài và duy trì dữ liệu không bị nhiễu trong quá trình lưu trữ.

* 1. ***Khả năng lưu trữ dữ liệu tốt***
     1. ***Biên độ tín hiệu nhiễu (SNM):***

Biên độ tín hiệu nhiễu (Signal-to-Noise Margin – SNM) đo khoảng cách giữa điện áp đọc và điện áp nhiễu tối đa mà bitcell có thể chịu trước khi xảy ra sai sót đọc. Khi điện áp nhiễu (noise) xuất hiện, nó có thể ảnh hưởng đến đầu ra và gây sai lệch giá trị đọc. Điểm quan trọng là SNM càng cao thì độ ổn định của bitcell càng tốt và khả năng xảy ra sai sót đọc càng thấp.

Các trường hợp ô nhớ không giữ được dữ liệu đã ghi, đọc không đúng dữ liệu được ghi trước đó, hoặc ghi sai dữ liệu mong muốn vào ô nhớ đều làm giảm độ tin cậy trong việc lưu trữ và truy xuất của thiết kế SRAM. SNM thể hiện phạm vi nhiễu điện áp cho phép mà ô nhớ SRAM có thể duy trì trạng thái hoạt động ổn định và không phát sinh các lỗi trên.

Trong thiết kế 8T SRAM đã tách biệt 2 phần ghi và đọc dữ liệu lên ô nhớ SRAM để làm cải thiện đáng kể SNM trong hoạt động đọc khi không ảnh hưởng đến hoạt động ghi dữ liệu cũng như dữ liệu được ghi trước đó lên ô nhớ.

Ảnh có chứa văn bản, biểu đồ, hàng, ảnh chụp màn hình

Mô tả được tạo tự động

Hình 5(a) và 5(b) thể hiện đường cong SNM trong hoạt động đọc (RSNM) và ghi (WSNM) dữ liệu trên thiết kế 6T và 8T tương ứng. Thiết kế được mô phỏng tại điều kiện nhiệt độ chuẩn T = 270C và điện áp hoạt động VDD = 1V. Biên độ nhiễu tín hiệu SNM thể hiện giá trị lớn nhất của nhiễu điện áp mà một ô nhớ SRAM có thể duy trì và hoạt động ổn định mà không làm ảnh hưởng đến giá trị ghi vào trước đó. Hình 5 thể hiện sự thay đổi trạng thái tại điểm Q/QB của ô nhớ SRAM dưới sự thay đổi của điện áp V1/V2. Có thể thấy, thiết kế 8T cải thiện RSNM tăng khoảng 3.5 lần từ 70mV lên 250mV cho hoạt động đọc so sánh với thiết kế 6T. Đối với hoạt động ghi, vì cơ bản phần ghi dữ liệu trong thiết kế 8T kế thừa từ thiết kế 6T vì thế thông số WSNM của 2 thiết kế xấp xỉ là 300mV.

Biên độ tín hiệu nhiễu cao trong một bitcell SRAM 8T có thể làm tăng khả năng lưu trữ của nó vì các lý do sau:

Độ ổn định cao: Khi SNM tăng, khoảng cách giữa điện áp đọc và điện áp nhiễu tối đa trở nên lớn hơn. Điều này cho phép bitcell chịu được một lượng nhiễu lớn hơn trước khi xảy ra sai sót đọc. Khi bitcell ổn định, nó có khả năng giữ giá trị dữ liệu lâu hơn và tránh xảy ra sai sót trong quá trình đọc.

Khả năng chống nhiễu tốt: Khi SNM cao, bitcell có thể chịu được một lượng nhiễu lớn hơn trước khi bị ảnh hưởng và đảm bảo rằng giá trị lưu trữ không bị sai lệch.

Hiệu suất đọc cao: Khi SNM cao, độ chính xác của quá trình đọc dữ liệu được cải thiện. Điều này giúp đạt được hiệu suất đọc cao hơn và giảm khả năng xảy ra lỗi đọc. Khi bitcell có khả năng lưu trữ dữ liệu tốt và đọc chính xác, hiệu suất hoạt động của SRAM được cải thiện.

Tuy nhiên, cần lưu ý rằng biên độ tín hiệu nhiễu quá lớn cũng có thể gây ra các vấn đề khác như tiêu thụ năng lượng cao hơn, tăng cường cơ chế nhiễu và có thể gây ra lỗi dữ liệu. Do đó, cần có một sự cân nhắc tỉ lệ hợp lý giữa biên độ tín hiệu nhiễu và các yếu tố khác trong thiết kế SRAM.

* 1. ***Khả năng đọc ghi nhanh***

Bitcell 8T SRAM có khả năng đọc/ghi nhanh hơn so với một số cấu trúc bitcell khác nhờ vào các đặc điểm sau:

Số transistor: Bitcell 8T SRAM sử dụng nhiều transistor hơn so với bitcell 6T SRAM. Cấu trúc phức tạp này giúp tăng khả năng xử lý và điều khiển dữ liệu. Việc sử dụng nhiều transistor cho phép bitcell 8T SRAM thực hiện các hoạt động đọc/ghi dữ liệu một cách hiệu quả và nhanh chóng.

Độ tin cậy và ổn định: Bitcell 8T SRAM có khả năng duy trì dữ liệu ổn định ở điện áp thấp hơn. Điều này cho phép hoạt động với tần số cao hơn và thời gian truy cập ngắn hơn. Đồng thời, khả năng ổn định cao giúp giảm khả năng xảy ra sai sót dữ liệu và đảm bảo tính chính xác của quá trình đọc/ghi dữ liệu.

1. ***Ứng dụng:***

Bitcell 8T SRAM là một trong những thành phần quan trọng của bộ nhớ trong các hệ thống điện tử, nó được sử dụng rộng rãi trong các ứng dụng như:

Bộ nhớ đệm (cache) trong các vi xử lý: Bitcell 8T SRAM được sử dụng để lưu trữ dữ liệu tạm thời trong các bộ nhớ đệm của các vi xử lý để tăng tốc độ xử lý.

Bộ nhớ chính (RAM): Bitcell 8T SRAM được sử dụng để lưu trữ dữ liệu trong bộ nhớ chính của các hệ thống máy tính.

Hệ thống lưu trữ: Bitcell 8T SRAM được sử dụng trong các hệ thống lưu trữ dữ liệu như ổ đĩa cứng, ổ đĩa flash, thẻ nhớ...Hệ thống điều khiển: Bitcell 8T SRAM được sử dụng trong các hệ thống điều khiển như hệ thống điều khiển tự động, hệ thống điều khiển nhà thông minh...

Hệ thống viễn thông: Bitcell 8T SRAM được sử dụng trong các thiết bị viễn thông như điện thoại di động, thiết bị định vị GPS...

Tóm lại, bitcell 8T SRAM được sử dụng rộng rãi trong các hệ thống điện tử, đóng vai trò quan trọng trong việc lưu trữ và xử lý dữ liệu.

1. ***Mô phỏng:***

Ảnh có chứa văn bản, biểu đồ, hàng, Kế hoạch

Mô tả được tạo tự động

**Hình 1. Mô phỏng trên LTSpice**

Ảnh có chứa ảnh chụp màn hình

Mô tả được tạo tự động

Ảnh có chứa đồ điện tử, ảnh chụp màn hình, Kỹ thuật điện, máy tính

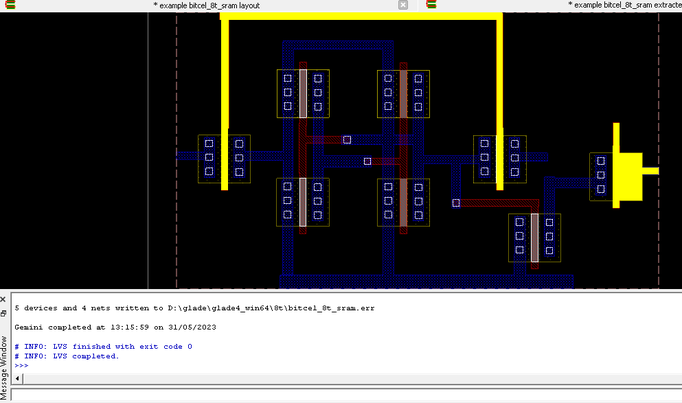
Mô tả được tạo tự động**Hình 2. Mô phỏng trên Glaxy Custom Designer**

**Hình 3. Dạng sóng trên**

**Hình 3. Dạng sóng**

# *Tài liệu tham khảo*

|  |  |
| --- | --- |
| [1] | S. J. Lingam Rajesh, “International Journal of Innovative Research in Electronics and Communications (IJIREC),” *Design and Power Analysis of 8T SRAM Cell Using Charge,* 2016. |
| [2] | N. D. T. Phạm Văn Khoa, *PHÂN TÍCH HIỆU NĂNG CỦA CÁC THIẾT KẾ SRAM TRÊN CÔNG NGHỆ TSMC 90nm CMOS,* 2022. |
| [3] | heyshakya, “github.com,” Memory Design Workshop, 2021. [Trực tuyến]. Available: http://surl.li/hpkze. |



**Hình 4. Layout**