

# 华中科技大学计算机学院

## 《数字电路与逻辑设计》试卷 A（闭卷）

班级 IS0803 学号 \_\_\_\_\_ 姓名 \_\_\_\_\_ 成绩 \_\_\_\_\_

### 一. 单项选择题（每题 1 分，共 10 分）

- 表示任意两位无符号十进制数需要（ ）二进制数。  
A. 6      B. 7      C. 8      D. 9
- 余 3 码 10001000 对应的 2421 码为（ ）。  
A. 01010101      B. 10000101      C. 10111011      D. 11101011
- 补码 1. 1000 的真值是（ ）。  
A. +1.0111      B. -1.0111      C. -0.1001      D. -0.1000
- 标准或-与式是由（ ）构成的逻辑表达式。  
A. 与项相或      B. 最小项相或      C. 最大项相与      D. 或项相与
- 根据反演规则， $F = (\overline{A} + C) \cdot (C + DE) + \overline{E}$  的反函数为（ ）。  
A.  $\overline{F} = [\overline{A}\overline{C} + \overline{C}(\overline{D} + \overline{E})] \cdot E$       B.  $\overline{F} = \overline{A}\overline{C} + \overline{C}(\overline{D} + \overline{E}) \cdot E$   
C.  $\overline{F} = (\overline{A}\overline{C} + \overline{C}\overline{D} + \overline{E}) \cdot E$       D.  $\overline{F} = \overline{A}\overline{C} + C(D + E) \cdot \overline{E}$
- 下列四种类型的逻辑门中，可以用（ ）实现三种基本运算。  
A. 与门      B. 或门  
C. 非门      D. 与非门
- 将 D 触发器改造成 T 触发器，图 1 所示电路中的虚线框内应是（ ）。

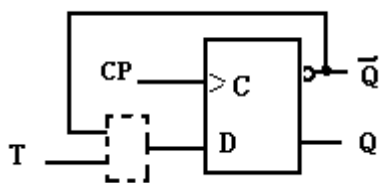


图 1

- 或非门      B. 与非门      C. 异或门      D. 同或门
- 实现两个四位二进制数相乘的组合电路，应有（ ）个输出函数。  
A. 8      B. 9      C. 10      D. 11
  - 要使 JK 触发器在时钟作用下的次态与现态相反，JK 端取值应为（ ）。  
A. JK=00      B. JK=01      C. JK=10      D. JK=11
  - 设计一个四位二进制码的奇偶位发生器（假定采用偶检验码），需要（ ）个异或门。  
A. 2      B. 3      C. 4      D. 5

### 二. 判断题（判断各题正误，正确的在括号内记“√”，错误的在括号内记“×”，并在划线处改正。每题 2 分，共 10 分）

- 原码和补码均可实现将减法运算转化为加法运算。（ ）

2. 逻辑函数  $F(A,B,C) = \prod M(1,3,4,6,7)$ , 则  $\bar{F}(A,B,C) = \sum m(0,2,5)$ 。 ( )
3. 化简完全确定状态表时, 最大等效类的数目即最简状态表中的状态数目。( )
4. 并行加法器采用先行进位 (并行进位) 的目的是简化电路结构。 ( )
5. 图 2 所示是一个具有两条反馈回路的电平异步时序逻辑电路。 ( )

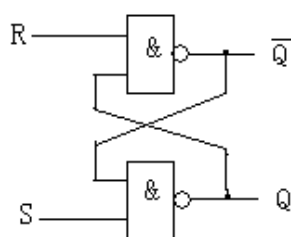


图 2

三. 多项选择题 (从各题的四个备选答案中选出两个或两个以上正确答案, 并将其代号填写在题后的括号内, 每题 2 分, 共 10 分)

1. 小数 “0” 的反码形式有 ( )。
- A. 0. 0……0 ;                      B. 1. 0……0 ;
- C. 0. 1……1 ;                      D. 1. 1……1
2. 逻辑函数  $F=A \oplus B$  和  $G=A \odot B$  满足关系 ( )。
- A.  $F = \bar{G}$     B.  $F' = G$     C.  $F' = \bar{G}$     D.  $F = G \oplus 1$
3. 若逻辑函数  $F(A,B,C) = \sum m(1,2,3,6)$ ,  $G(A,B,C) = \sum m(0,2,3,4,5,7)$ , 则 F 和 G 相 “与” 的结果是 ( )。
- A.  $m_2 + m_3$     B. 1    C.  $\bar{A}B$     D.  $AB$
4. 设两输入或非门的输入为 x 和 y, 输出为 z, 当 z 为低电平时, 有 ( )。
- A. x 和 y 同为高电平 ;                      B. x 为高电平, y 为低电平 ;
- C. x 为低电平, y 为高电平 ;                      D. x 和 y 同为低电平.
5. 组合逻辑电路的输出与输入的关系可用 ( ) 描述。
- A. 真值表                                      B. 流程表
- C. 逻辑表达式                                      D. 状态图

四. 函数化简题 (10 分)

1. 用代数法求函数  $F(A,B,C) = AB + AC + \bar{B} \cdot \bar{C} + \bar{A} \cdot \bar{B}$  的最简 “与-或” 表达式。(4 分)

2. 用卡诺图化简逻辑函数

$$F(A, B, C, D) = \sum m(2, 3, 9, 11, 12) + \sum d(5, 6, 7, 8, 10, 13)$$

求出最简“与-或”表达式和最简“或-与”表达式。(6分)

CD \ AB	AB			
	00	01	11	10
00				
01				
11				
10				

五. 设计一个将一位十进制数的余3码转换成二进制数的组合电路，电路框图如图3所示。(15分)

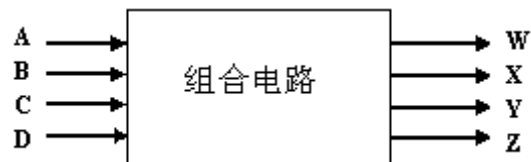


图3

要求:

1. 填写表1所示真值表;

表1 真值表

ABCD	WXYZ	ABCD	WXYZ
0000		1000	
0001		1001	
0010		1010	
0011		1011	
0100		1100	
0101		1101	
0110		1110	
0111		1111	

2. 利用图4所示卡诺图，求出输出函数最简与-或表达式;

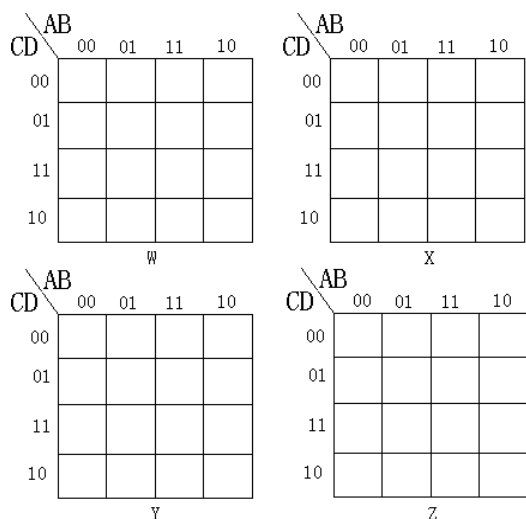


图 4

3. 画出用 PLA 实现给定功能的阵列逻辑图。

4. 若采用 PROM 实现给定功能, 要求 PROM 的容量为多大?

## 六、分析与设计 (15 分)

某同步时序逻辑电路如图 5 所示。

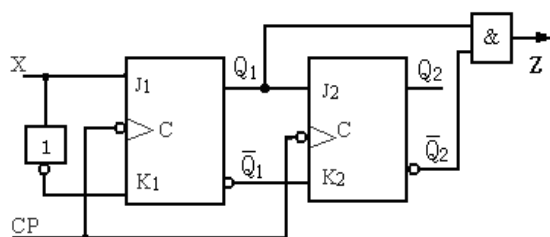


图 5

(1) 写出该电路激励函数和输出函数;

(2) 填写表 2 所示次态真值表;

表 2

输入 X	现态 $Q_2 \quad Q_1$	激励函数 $J_2 \quad K_2 \quad J_1 \quad K_1$	次态 $Q_2^{(n+1)} \quad Q_1^{(n+1)}$	输出 Z

(3) 填写表 3 所示电路状态表;

表 3

现态	次态 $Q_2^{(n+1)}$ $Q_1^{(n+1)}$		输出
$Q_2 Q_1$	X=0	X=1	Z
00			
01			
10			
11			

(4) 设各触发器的初态均为 0，试画出图 6 中  $Q_1$ 、 $Q_2$  和  $Z$  的输出波形。

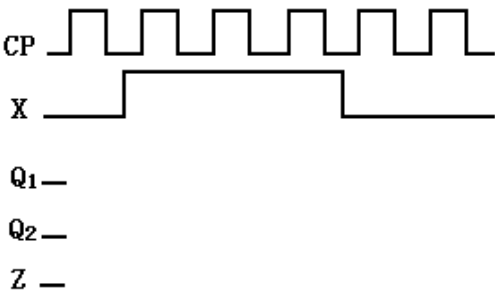


图 6

(5) 改用 T 触发器作为存储元件，填写图 7 中激励函数  $T_2$ 、 $T_1$  卡诺图，求出最简表达式。

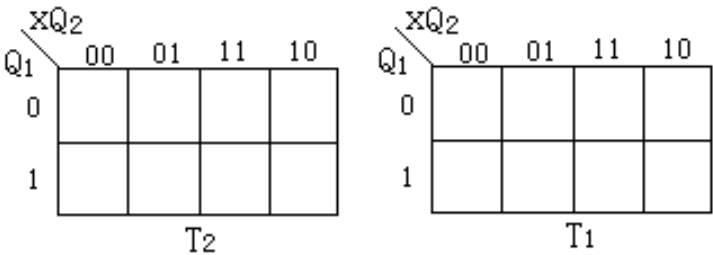


图 7

七. 分析与设计 (15 分)

某电平异步时序逻辑电路的结构框图如图 8 所示。图中：

$$Y_2 = \bar{x}_1 y_2 + x_2 y_2 + x_2 \bar{x}_1 y_1$$
$$Y_1 = x_1 y_2 \bar{y}_1 + x_2 x_1 + \bar{x}_2 \bar{x}_1 y_2$$
$$Z = x_2 x_1 y_2$$

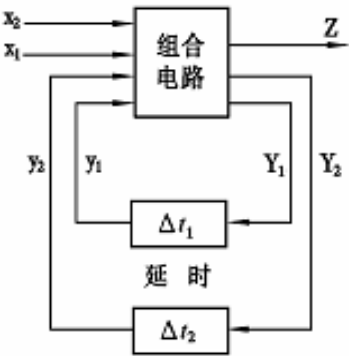


图 8

要求：

- 1. 根据给出的激励函数和输出函数表达式，填写表 4 所示流程表；

表 4

二次状态 $y_2 \ y_1$	激励状态 $Y_2Y_1$ /输出 $Z$			
	$x_2x_1=00$	$x_2x_1=01$	$x_2x_1=11$	$x_2x_1=10$
0 0				
0 1				
1 1				
1 0				

2. 判断以下结论是否正确，并说明理由。

- ① 该电路中存在非临界竞争；
- ② 该电路中存在临界竞争；

3. 将所得流程表 4 中的 00 和 01 互换，填写出新的流程表 5，试问新流程表对应的电路是否存在非临界竞争或临界竞争？

表 5

二次状态 $y_2 \ y_1$	激励状态 $Y_2Y_1$ /输出 $Z$			
	$x_2x_1=00$	$x_2x_1=01$	$x_2x_1=11$	$x_2x_1=10$
0 0				
0 1				
1 1				
1 0				

八. 分析与设计（15 分）

某组合逻辑电路的芯片引脚图如图 9 所示。

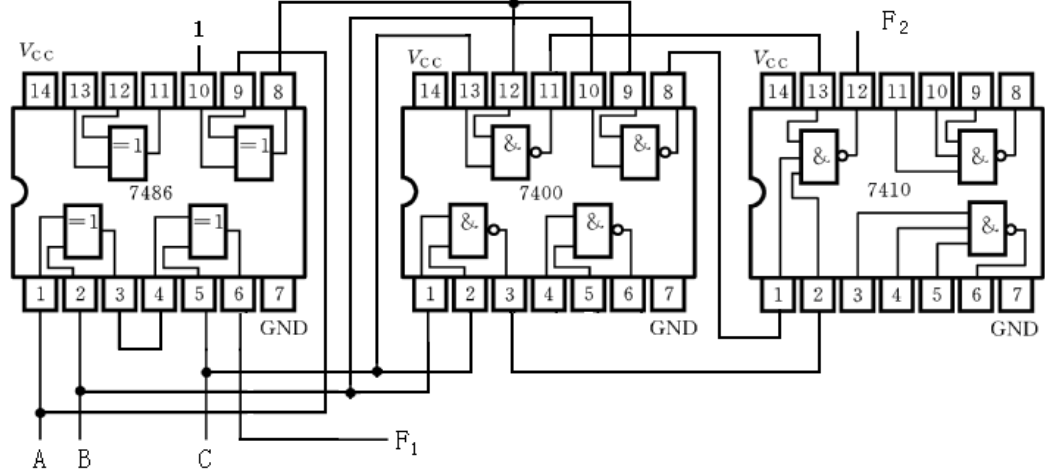


图 9

1. 分析图 9 所示电路，写出输出函数  $F_1$ 、 $F_2$  的逻辑表达式，并说明该电路功能。

2. 假定用四路数据选择器实现图 9 所示电路的逻辑功能，请确定图 10 所示逻辑电路中各数据输入端的值，完善逻辑电路。

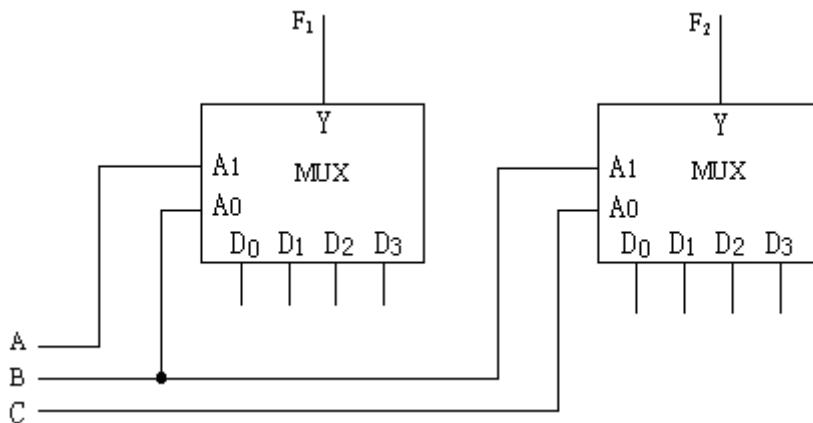


图 10

3. 假定用 EPROM 实现图 9 所示电路的逻辑功能，请画出阵列逻辑图。

## 参考答案

一. 单项选择题（每题 1 分，共 10 分）

1. B ;      2. C ;      3. D ;      4. B ;      5. A ;  
6. D ;      7. D ;      8. A ;      9. D ;      10. B .

二. 判断题（判断各题正误，正确的在括号内记“√”，错误的在括号内记“×”，并在划线处改正。

每题 2 分，共 10 分）

1. 反码和补码均可实现将减法运算转化为加法运算。 (×)  
2. 逻辑函数  $F(A,B,C) = \prod M(1,3,4,6,7)$ , 则  $\bar{F}(A,B,C) = \sum m(1,3,4,6,7)$  。 (×)  
3. 化简完全确定状态表时，最大等效类的数目即最简状态表中的状态数目。 (√)  
4. 并行加法器采用先行进位（并行进位）的目的是提高运算速度。 (×)  
5. 图 2 所示是一个具有一条反馈回路的电平异步时序逻辑电路。 (×)

三. 多项选择题（从各题的四个备选答案中选出两个或两个以上正确答案，并将其代号填写在题后的括号内，每题 2 分，共 10 分）

1. AD;      2. ABD;      3. AC;      4. ABC;      5. AC .

四. 函数化简题（10 分）

1. 代数化简（4 分）

$$\begin{aligned}
 F(A,B,C) &= AB + AC + \overline{B} \cdot \overline{C} + \overline{A} \cdot \overline{B} \\
 &= AB + AC + \overline{B}(\overline{C} + \overline{A}) \\
 &= AB + AC + \overline{BAC} \\
 &= AB + AC + \overline{B} \\
 &= A + AC + \overline{B} \\
 &= A + \overline{B}
 \end{aligned}$$

2. 卡诺图化简（共 6 分）

AB \ CD	00	01	11	10
00	1	d	1	d
01	d	d	d	1
11	1	d	1	1
10	1	d	d	d

最简“与-或”表达式为：  $F = A\overline{C} + \overline{B}C$  （3 分）

最简“或-与”表达式为：  $F = (A + C) \cdot (\overline{B} + \overline{C})$  （3 分）

五. 设计（共 15 分）

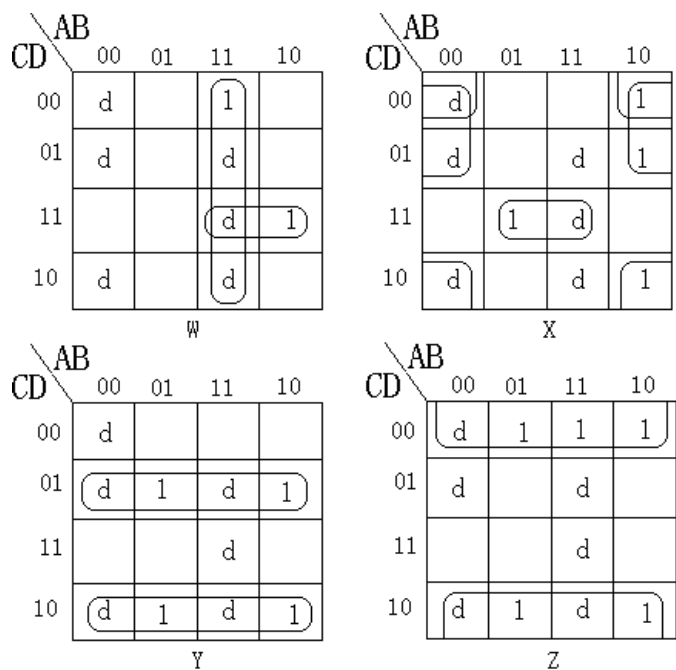
1. 填写表 1 所示真值表；（4 分）

表 1 真值表

ABCD	WXYZ	ABCD	WXYZ
0000	dddd	1000	0101
0001	dddd	1001	0110
0010	dddd	1010	0111
0011	0000	1011	1000
0100	0001	1100	1001
0101	0010	1101	dddd
0110	0011	1110	dddd
0111	0100	1111	dddd

2. 利用卡诺图，求出输出函数最简与-或表达式如下：（4 分）





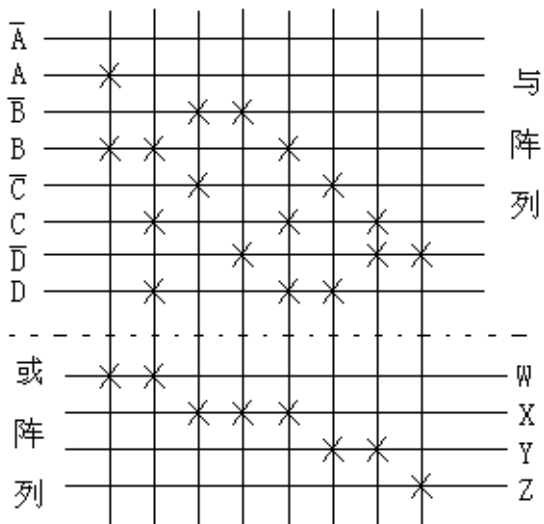
$$W = AB + BCD$$

$$X = \overline{B}\overline{C} + \overline{B}\overline{D} + BCD$$

$$Y = \overline{C}\overline{D} + C\overline{D}$$

$$Z = \overline{D}$$

3. 画出用 PLA 实现给定功能的阵列逻辑图如下：（5 分）



4. 若采用 PROM 实现给定功能, 要求 PROM 的容量为：（2 分）

$$2^4 \times 4(\text{bit})$$

六、分析与设计（15 分）

（1）写出该电路激励函数和输出函数；（3 分）

$$J_1 = X, K_1 = \overline{X}, J_2 = Q_1, K_2 = \overline{Q_1}, Z = \overline{Q_2}Q_1$$

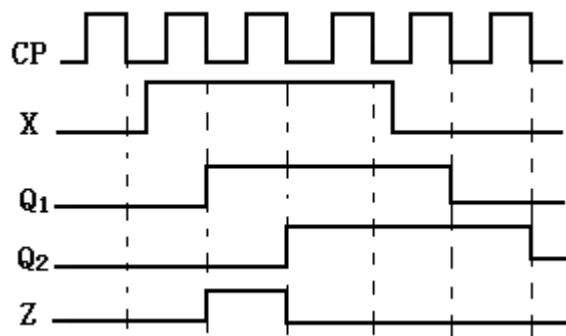
（2）填写次态真值表；（3 分）

输入 X	现态 $Q_2 Q_1$	激励函数 $J_2 K_2 J_1 K_1$	次态 $Q_2^{(n+1)} Q_1^{(n+1)}$	输出 Z
0	00	0 1 0 1	0 0	0
0	01	1 0 0 1	1 0	1
0	10	0 1 0 1	0 0	0
0	11	1 0 0 1	1 0	0
1	00	0 1 1 0	0 1	0
1	01	1 0 1 0	1 1	1
1	10	0 1 1 0	0 1	0
1	11	1 0 1 0	1 1	0

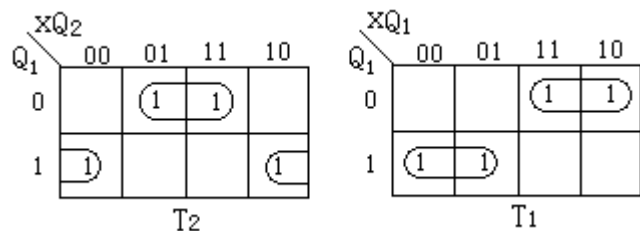
(3) 填写如下所示电路状态表：(3 分)

现态	次态 $Q_2^{(n+1)} Q_1^{(n+1)}$		输出
$Q_2 Q_1$	X=0	X=1	Z
00	00	01	0
01	10	11	1
10	00	01	0
11	10	11	0

(4) 设各触发器的初态均为 0，根据给定波形画出  $Q_1$ 、 $Q_2$  和 Z 的输出波形。(3 分)



(5) 改用 T 触发器作为存储元件，填写激励函数  $T_2$ 、 $T_1$  卡诺图，求出最简表达式。(3 分)



$$T_2 = Q_2 \bar{Q}_1 + \bar{Q}_2 Q_1 = Q_2 \oplus Q_1$$

最简表达式为：  $T_1 = X \bar{Q}_1 + \bar{X} Q_1 = X \oplus Q_1$

七. 分析与设计 (15 分)

1. 根据给出的激励函数和输出函数表达式, 填流程表; (5 分)

二次状态 $y_2 y_1$	激励状态 $Y_2Y_1$ /输出 $Z$			
	$x_2x_1=00$	$x_2x_1=01$	$x_2x_1=11$	$x_2x_1=10$
0 0	00/0	00/0	01/0	00/0
0 1	00/0	00/0	01/0	10/0
1 1	11/0	00/0	11/1	10/0
1 0	11/0	01/0	11/1	10/0

2. 判断以下结论是否正确, 并说明理由。(6 分)

① 该电路中存在非临界竞争;

正确。因为处在稳定总态 (00, 11), 输入由 00 变为 01 或者处在稳定总态 (11, 11), 输入由 11 变为 01 时, 均引起两个状态变量同时改变, 会发生反馈回路间的竞争, 但由于所到达的列只有一个稳定总态, 所以属于非临界竞争。

② 该电路中存在临界竞争;

正确。因为处在稳定总态 (11, 01), 输入由 11 变为 10 时, 引起两个状态变量同时改变, 会发生反馈回路间的竞争, 且由于所到达的列有两个稳定总态, 所以属于非临界竞争。

3. 将所得流程表 3 中的 00 和 01 互换, 填写出新的流程表, 试问新流程表对应的电路是否存在非临界竞争或临界竞争? (4 分)

新的流程表如下:

二次状态 $y_2 y_1$	激励状态 $Y_2Y_1$ /输出 $Z$			
	$x_2x_1=00$	$x_2x_1=01$	$x_2x_1=11$	$x_2x_1=10$
0 0	01/0	01/0	00/0	10/0
0 1	01/0	01/0	00/0	01/0
1 1	11/0	01/0	11/1	10/0
1 0	11/0	00/0	11/1	10/0

新流程表对应的电路不存在非临界竞争或临界竞争。

八. 分析与设计 (15 分)

1. 写出电路输出函数  $F_1$ 、 $F_2$  的逻辑表达式, 并说明该电路功能。(4 分)

$$F_1 = A \oplus B \oplus C = \overline{\overline{A}BC} + \overline{\overline{A}B\overline{C}} + \overline{A\overline{B}C} + \overline{ABC}$$

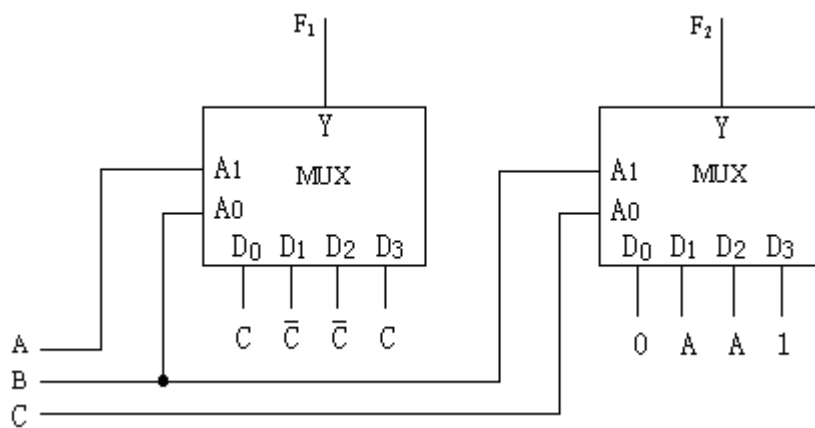
$$F_2 = \overline{\overline{\overline{A}C} \cdot \overline{\overline{A}B} \cdot \overline{BC}} = \overline{A}C + \overline{A}B + BC$$

该电路实现全减器的功能功能。（1 分）

2. 假定用四路数据选择器实现该电路的逻辑功能，请确定给定逻辑电路中各数据输入端的值，完善逻辑电路。（5 分）

$$F_1: D_0 = C, D_1 = \overline{C}, D_2 = \overline{C}, D_3 = C$$

$$F_2: D_0 = 0, D_1 = \overline{A}, D_2 = \overline{A}, D_3 = 1$$



3. 假定用 EPROM 实现原电路的逻辑功能，可画出阵列逻辑图如下：（5 分）

