

## 计算机组成原理试卷（二）

1、 单选题（2分\*15=30分）

1. 某寄存器中的值有时是地址，因此只有计算机的\_\_\_才能识别它。

- A.译码器
- B.判断程序
- C.指令
- D.时序信号

答案 C

2. 用 16 位字长（其中 1 位符号位）表示定点整数时，所能表示的数值范围是\_\_\_。

- A.  $[0, 2^{16} - 1]$
- B.  $[0, 2^{15} - 1]$
- C.  $[0, 2^{14} - 1]$
- D.  $[0, 2^{15}]$

答案 B

3. 某 SRAM 芯片，其容量为  $512 \times 8$  位，包括电源端和接地端，该芯片引出线的最小数目应为\_\_\_。

- A. 23
- B. 25
- C. 50
- D. 19

答案 D

4. 以下四种类型的半导体存储器中，以传输同样多的字为比较条件，则读出数据传输率最高的是\_\_\_。

- A. DRAM
- B. SRAM
- C. 闪速存储器
- D. EPROM

答案:C

5. 指令的寻址方式有顺序和跳跃两种方式，采用跳跃寻址方式，可以实现\_\_\_。

- A.堆栈寻址；
- B.程序的条件转移；
- C.程序的无条件转移；
- D.程序的条件转移或无条件转移；

答案 D

6. 异步控制常用于\_\_\_作为其主要控制方式。

- A. 在单总线结构计算机中访问主存与外围设备时；
- B. 微型机的 CPU 中；
- C. 硬布线控制器中；

D. 微程序控制器中 ；

答案:A

7.多总线结构的计算机系统，采用\_\_\_方法，对提高系统的吞吐率最有效。

- A. 多端口存储器 ；
- B. 提高主存的速度 ；
- C. 交叉编址多模块存储器 ；
- D. 高速缓冲存储器 ；

答案:A

8.已知X为整数，且 $[X]_{\text{补}} = 10011011$ ，则X的十进制数值是\_\_\_。

- A. +155
- B. - 101
- C. - 155
- D. +101

答案:B

9. 在CPU中跟踪指令后继地址的寄存器是\_\_\_。

- A. 主存地址寄存器
- B. 程序计数器
- C. 指令寄存器
- D. 状态条件寄存器

答案:B

10. 指令系统采用不同寻址方式的目的是\_\_\_。

- A. 实现存储程序和程序控制；
- B. 缩短指令长度，扩大寻址空间，提高编程灵活性；。
- C. 可直接访问外存；
- D. 提供扩展操作码的可能并降低指令译码的难度；

答案:B

11. CRT的颜色数为256色，则刷新存储器每个单元的字长是\_\_\_。

- A. 256 位
- B. 16 位
- C. 8 位
- D. 7 位

答案 C

12. 四片74181ALU和1片74182CLA器件相配合，具有如下进位传递功能\_\_\_。

- A. 行波进位 ；
- B. 组内先行进位，组间先行进位 ；
- C. 组内先行进位，组间行波进位 ；
- D. 组内行波进位，组间先行进位 ；

答案:B

13. 某机字长 32 位，存储容量为 1MB，若按字编址，它的寻址范围是\_\_\_。

- A. 1M
- B. 512KB
- C. 256K
- D. 256KB

答案:C

14. 在\_\_\_的微型计算机系统中，外设可和主存贮器单元统一编址，故以不使用 I/O 指令。

- A. 单总线
- B. 双总线
- C. 三总线
- D. 多总线

答案:A

15. 假定下列字符码中有奇偶校验位，但没有数据错误，采用奇校验的字符码是\_\_\_。

- A. 11001011
- B. 11010100
- C. 11001001
- D. 11000001

答案:A

## 2、 简答题 (5 分 6= 30 分)

1. 什么是计算机系统的硬件和软件？为什么说计算机系统的硬件和软件在逻辑功能上是等价的？

答案：

计算机硬件系统是指构成计算机系统的电子线路和电子元件等物理设备的总称。硬件是构成计算机的物质基础，是计算机系统的核心。计算机的硬件系统包含运算器、控制器、存储器、输入设备和输出设备等五大部件。

计算机软件是计算机中全部程序的集合。软件按其功能分成应用软件和系统软件两大类。

计算机硬件实现的往往是最基本的算术运算和逻辑运算功能，而其它功能大多是通过软件的扩充得以实现的。有许多功能可以由硬件实现，也可以由软件实现，即从用户的角度来看它们在功能上是等价的，这一等价性被称为软/硬件逻辑功能的等价性。

2. 为什么计算机中采用补码表示带符号的整数？

答案：

(1) 因为使用补码可以将符号位和其他位统一处理，同时，减法也可以按加法来处理，即如果是补码表示的数，不管是加减法都直接用加法运算即可实现。

(2) 两个用补码表示的数相加时，如果最高位（符号位）有进位，则进位被舍弃。

这样的运算有两个好处：

(a) 使符号位能与有效值部分一起参加运算，从而简化运算规则。从而可以简化运算器的结构，提高运算速度；（减法运算可以用加法运算表示出来。）

(b) 加法运算比减法运算更易于实现。使减法运算转换为加法运算，进一步简化计算机中

运算器的线路设计。

3. 如何判断浮点数运算结果是否为规格化数?如果不是规格化数,如何进行规格化?

答案:

当尾数采用补码表示时,若运算结果不是  $11.0 \times \times \cdots \times$  或  $00.1 \times \times \cdots \times$  的形式时,结果就不是规格化数。则应进行相应的规格化处理:

当尾数符号为 01 或 10 时,需要向右规格化,且只需将尾数右移一位,同时将结果的阶码值加 1。

当尾数运算结果为  $11.1 \times \times \cdots \times$  或  $00.0 \times \times \cdots \times$  时需要左移规格化,而且左移次数不固定,与运算结果的形式有关。

左规的方法是尾数连同符号位一起左移位、和的阶码减 1,直到尾数部分出现 11.0 或 00.1 的形式为止。

4. 计算机系统中采用层次化存储体系结构的目的是什么?层次化存储体系结构如何构成?

答案:

采用层次化存储体系的目的包括两方面:其一是解决快速的 CPU 和慢速的主存之间的速度差异;其二是解决主存容量不够大的问题。

存储系统的分级结构由 Cache、主存和辅助存储器三级结构构成。其理论基础是时间局部性原理和空间局部性原理,Cache—主存存储层次解决了主存速度不快的问题;而主存-辅存存储层次解决了主存容量不足的问题。

5. RISC 处理器有何特点?

答案:

RISC 具有如下特点:使用等长指令、寻址方式少且简单、只有取数和存数指令访问存储器、指令数量和指令格式少于、指令功能简单、CPU 内部设置了大量的寄存器、控制器多采用硬布线方式、大多数指令可在一个时钟周期内完成、支持指令流水并强调指令流水的优化使用。

6. 中央处理器的基本功能是什么?

答案:

指令执行顺序的控制。即控制程序中的指令按事先规定的顺序自动地执行,从而保证程序执行过程中,指令在逻辑上的相互关系不被改变。

指令的操作控制。即产生指令执行过程中所需要的信号,以控制执行部件按指令规定的操作运行。

时间控制,即对每个控制信号进行定时,以便按规定的时间顺序启动各操作。对于任何一条指令而言,如果操作控制信号的时间不正确,则指令的功能也就不能正确实现。

数据加工处理。即对数据进行算术、逻辑运算,或将数据在相关部件之间传送。

异常和中断处理。如处理运算中的异常及处理外部设备的中断服务请求等。

### 三、计算题（10分 2 = 20分）

1. 假定某计算机 1 和计算机 2 以不同的方式实现了相同的指令集,该指令集中共有 A、B、C、D 四类指令,它们在程序中所占比例分别为 40%、20%、20%、20%, 机器 1 和机器 2 的时钟周期为 600MHZ 和 800MHZ, 各类指令在两机器上的 CPI 如表 1 所示, 求两机器的 MIPS 各为多少?

表 1 两台计算机不同指令的 CPI

	A	B	C	D
CPI1	2	3	4	5
CPI2	2	2	3	4

答案:

$$CPI1 = 2 \times 0.4 + 0.2 \times (3 + 4 + 5) = 3.2 \quad (2 \text{ 分})$$

$$MIPS1 = f / (CPI1 \times 10^6) = 600 \times 10^6 / (3.2 \times 10^6) = 187.5 \quad (3 \text{ 分})$$

$$CPI2 = 2 \times 0.4 + 0.2 \times (2 + 3 + 4) = 2.6 \quad (2 \text{ 分})$$

$$MIPS2 = f / (CPI2 \times 10^6) = 800 \times 10^6 / (2.6 \times 10^6) = 307.7 \quad (3 \text{ 分})$$

2. 用 IEEE754 32 位浮点数标准表示十进制数 3.1415927

答案:

首先分别将整数和分数部分转换成二进制数:

$$3.1415927 = 11.00100100001111110110101$$

移动小数点, 使其变成 1.M 的形式

$$11.00100100001111110110101 = 1.100100100001111110110101 \times 2$$

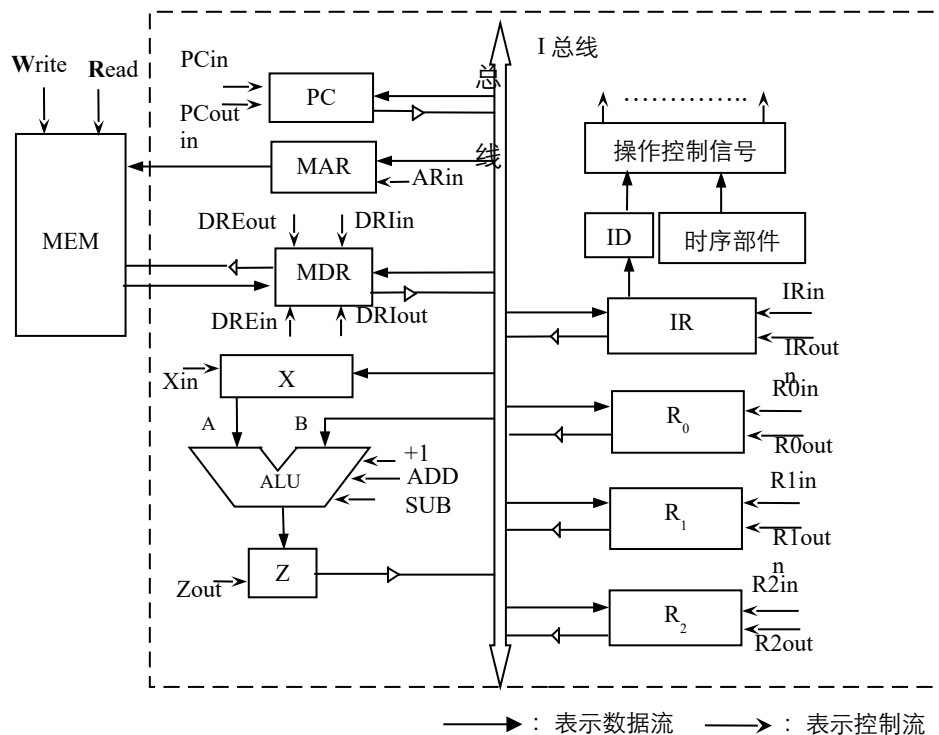
于是得到:

$$S=0, e=1, E=1+01111111=10000000, M=10010010000111111011010$$

最后得到 32 位浮点数的二进制存储格式为:

$$0100\ 0000\ 0100\ 1001\ 0000\ 1111\ 1101\ 1010 = (40490FDA)_{16}$$

四、CPU 内部结构如下图所示。图中各控制信号的作用如本题表所示, 其中所有向公共总线有输出的部件都采用带三态门的输出控制(图中用三角型空心箭头表示)。图中控制信号的作用如下表所示。



图中控制信号及其作用的说明

控制信号	作用说明
$PC_{in}$	控制 PC 接收来自 I 总线的数据
$PC_{out}$	控制 PC 向 I 总线输出数据
$AR_{in}$	控制 AR 接收来自 I 总线的数据
$DRI_{in}$	控制 DR 接收来自 I 总线的数据
$DRI_{out}$	控制 DR 向 I 总线输出数据
$DRE_{in}$	控制 PC 接收从主存读出的数据
$DRE_{out}$	控制 DR 向主存输出数据,以便最后将该数存入主存
$X_{in}$	控制暂存器 X 接收来自 I 总线的数据
+1	将 ALU A 端口的数据加 1
ADD	控制 ALU 执行加法,实现 A 端口和 B 端口的两数相加
SUB	控制 ALU 执行减法,实现 A 端口数减 B 端口数
$Z_{out}$	控制暂存器件 Z 向 I 总线输出数据
$IR_{in}$	控制 IR 接收来自 I 总线的指令
$IR_{out}$	控制 IR 中的地址、立即数、偏移量等向 I 总线输出
$R_{i,in}$	控制某寄存器接收来自 I 总线的数据
$R_{i,out}$	控制某寄存器向 I 总线输出数据
Write	存储器写命令
Read	存储器读命令

完成下列各题：

- 1) 本题图所示 CPU 结构是单周期 CPU 还是多周期 CPU，为什么？（4 分）
- 2) 指令 STORE R0, (R2) 的功能是  $M[R[2]] \leftarrow (R[0])$ ，即将 R0 内容送 R2 内容所指主存单元保存。写出该指令执行周期的操作流程和每一步的控制信号。（12 分）

3) 列出上述指令执行阶段的所有数据通路。 (4 分)

答案:

1).多周期，因为 CPU 结构是单总线结构，需要多个节拍才能完成数据在多个不同部件间的传送 (4 分)

2). STORE 指令执行周期的操作及控制信号

操作	控制信号
$MAR \leftarrow (R[2])$	$R2_{out}=AR_{in}=1$
$MDR \leftarrow (R[0])$	$R0_{out}=DR_{in}=1$
$M[R[3]] \leftarrow (MDR)$	$DRE_{out}=Write=1$

(共 12 分,每空 2 分)

3).列出上述指令执行阶段的所有数据通路。

(1)执行阶段第一个 CPU 周期用到的数据通路:

$R2 \rightarrow MAR$  传送地址; (2 分)

(2)执行阶段第二个 CPU 周期用到的数据通路:

$R0 \rightarrow MDR \rightarrow MEM$  往主存存数据。 (2 分)