

计算机组成原理试题四

一、选择题 (2*15=30 分)

1.运算器和控制器合称为()

- A.主机
- B.外设
- C.ALU
- D.CPU

答案: D

2.若十六进制数为 1A, 则相应的十进制数为()

- A.16
- B.17
- C.26
- D.31

答案: C

3.补码加法运算是指()

- A.操作数用补码表示, 符号位单独处理
- B.操作数用补码表示, 连同符号位一起相加
- C.操作数用补码表示, 将加数变补, 然后相加
- D.操作数用补码表示, 将被加数变补, 然后相加

答案: B

4.动态 RAM 存储信息依靠的是()

- A.电容
- B.双稳态触发器
- C.晶体管
- D.磁场

答案: A

5.对于容量为 8KB 的存储器, 寻址所需最小地址位数为()

- A.2
- B.3
- C.12
- D.13

答案 D

6.一条机器指令中通常包含的信息有()

- A.操作码、控制码

- B.操作码、立即数
- C.地址码、寄存器号
- D.操作码、地址码

答案：D

7.从主存中取回到 CPU 中的指令存放位置是()

- A.指令寄存器
- B.状态寄存器
- C.程序计数器
- D.数据寄存器

答案：A

8.指令执行所需的操作数不会来自()

- A.指令本身
- B.主存
- C.寄存器
- D.控制器

答案：D

9.微程序控制器将微程序存放在()

- A.主存中
- B.寄存器中
- C.ROM 中
- D.RAM 中

答案：C

10.组合逻辑控制器与微程序控制器相比()

- A.组合逻辑控制器的时序系统比较简单
- B.微程序控制器的时序系统比较简单
- C.两者的时序系统复杂程度相同
- D.微程序控制器的硬件设计比较复杂

答案:B

11.采用双符号位表示带符号数时，发生正溢的特征是双符号位为()

- A.00
- B.01
- C.10
- D.11

答案：B

12. CPU 响应 DMA 请求的时间是()

- A.必须在一条指令执行完毕时
- B.必须在一个总线周期结束时
- C.可在任一时钟周期结束时

D.在判明没有中断请求之后

答案: B

13.数据总线的宽度由总线的 () 特性定义

A.物理特性

B.功能特性

C.电气特性

D.时间特性

答案:A

14.下列叙述中, 正确的是 ()。

A.系统软件就是购买来的软件, 应用软件就是自己编写的软件

B.CPU 可以直接读取外存上的指令并执行

C.机器语言编写的程序可以直接由硬件执行, 而用高级语言编写的程序需要通过解释或编译才能被执行。

D.采用高级语言编写的程序执行效率更高。

答案:C

15. 设 $[X]_{\text{补}}=1.X_1X_2X_3X_4$, 当满足条件___时, $X > -1/2$ 成立。

A. $X_1=1$, $X_2\sim X_4$ 至少有一个为 1

B. $X_1=1$, $X_2\sim X_4$ 任意

C. $X_1=0$, $X_2\sim X_4$ 至少有一个为 1

D. $X_1=1$, $X_2\sim X_4$ 任意

答案:A

二、填空题 (每空 1 分,共 20 分)

1. $x = -27/64$, 用浮点数表示时, 若阶码为 3 位, 尾数为 9 位, 均用补码表示, 则阶码为 , 尾数为 .

答案: 111, 100101000

2. 存储一个 24×24 点阵的汉字, 需要 字节的存储空间

答案: 72

3. 对于二进制码 10000000, 若其值为 -0, 则它是用 码表示的; 若其值为 -128, 则它是用 码表示的; 若其值为 -127, 则它是用 码表示的

答案: 原、补、反

4. 若动态存储芯片有 12 位地址, 其中 7 位用于行译码, 5 位用于列译码, 则刷新计数器的模为 , 该存储芯片的容量为 .

答案: 128、4K

5. 取指令的同时就能得到操作数据的寻址方式是_____。

答案: 立即数寻址

6. 在变址寄存器寻址方式中, 若变址寄存器的内容是 4E3CH, 偏移量是 63H, 则对应的有效地址是_____。(用 16 进制数表示)

答案: 4E9FH

7. 微程序控制器主要由_____、_____和地址转移逻辑三大部分组成, 其中前者是只读型存储器, 用来保存_____。

答案: 控制存储器、微指令寄存器、微程序

8. 微指令的编码方式主要有_____、_____和_____三种。对于微命令数量相同的计算机而言, 采用前者, 其微指令长, 采用后者其微指令短。

答案: 直接表示法、混合表示法和编码表示法

9. 以 RS-232 为接口, 进行 7 位 ASCII 码字符传送, 带有一位校验位和两位停止位, 当波特率为 19200Baud 时候, 字符传输速率为_____ bps。

答案: 1920

10. 在菊花链方式下, 越靠近总线控制器的设备优先级_____; 在计数器定时查询方式下, 设备的优先级取决于_____。

答案: 越高, 总线控制器中计数器的值

11. 某计算机存储字长 32 位, 假定在取指令阶段完成 PC 值的修改, 则该计算机中任何指令在取指阶段完成后, PC 的增量为_____字节。

答案: 4

三、简答题 (5 分*6=30 分)

1. 根据一条指令中地址码的数量, 可将指令分为哪几种指令? 这些指令各有何特征?

答案:

零地址指令: 没有操作数或操作数隐含在特定的寄存器中;

一地址指令: 由指令指出一个操作数, 另一个操作数一般采用累加器提供;

二地址指令: 由指令指出两个操作数, 其中一个还作为目的操作数;

三地址指令: 由指令指出 2 个源操作数和一个目的操作数。

2. 微程序控制器主要由哪些部分组成? 并说明其中一个部件的作用?

答案:

控制存储器: 存放微程序;

微指令寄存器: 存放从控制存储器中取出的微指令;

地址转移逻辑: 实现微程序的分支、条件判断、指令与微程序之间的映射等功能。

(3 个部件各 1 分, 任何一个部件的功能 2 分, 共 5 分)

3. 简述 I/O 指令对外设的统一编址和单独编址的两种编址方式。

答案:

统一编址: 指外设与内存占用统一的地址空间, 此时不再区分是访问内存还是访问外设的

指令，仅通过地址来区分是内存还是外设；（3分）

单独编址：指外设与地址采用各自的地址空间，通过指令来区分是访问内存还是访问外设（2分）

4.试说明一条访存指令的执行过程。

答案：

- 1)取指令:根据PC的内容访问主存单元,取出指令并送指令寄存器IR中保存;
 - 2)送操作数地址:根据寻址方式计算出操作数的物理地址,并送地址寄存器AR中保存;
 - 3)访问存储器:根据AR的值从主存中读出操作数,并送数据缓冲寄存器DR中保存;
 - 4)将DR中的数据送到指令中直接指定或隐含指定的寄存器,指令执行结束.
- 内容正确即可给满分,其他情况可酌情扣分.

5.高速缓存Cache用来存放什么内容？设置它的主要目的是什么？

答案：

Cache保存的内容包括:主存相关单元的数据、标记值、有效位、脏位等信息（3分）

设置Cache的目的：环节快速的CPU与慢速的主存之间的速度差异。（2分）

6.冯诺依曼型计算机的基本思想是什么？按此思想设计的计算机硬件系统应该由哪几部分组成？

答案：

冯诺依曼型计算机的基本思想是存储程序和程序控制，其中的“存储程序”是指将解题的步骤编写成程序，然后把存储存放到计算机的内存中，而“程序控制”是指控制器读取出存在存储器中的程序并根据该程序控制全机协调工作以完成程序的功能。

根据冯诺依曼型计算机的基本思想，计算机的硬件应该由运算器、控制器、存储器、输入/输出设备和总线组成。

四.计算题（20分）

1.设存储器容量为32字，字长64位，模块数 $m=4$,分别用顺序方式和交叉方式进行组织.若存储周期 $T=200\text{ns}$ ，数据总线宽度为64位，总线传送周期 $\tau=50\text{ns}$ ，问：顺序存储器和交叉存储器带宽各是多少？（10分）

答案：

存储器和交叉存储器连续读出 $m=4$ 个字的信息总量都是

$$q = 64 \text{ 位} \times 4 = 256 \text{ 位}$$

顺序存储器和交叉存储器连续读出4个字所需的时间分别是

$$t_2 = mT = 4 \times 200\text{ns} = 800\text{ns} = 8 \times 10^{-7} \text{ (S)}$$

$$t_1 = T + (m-1)\tau = 200\text{ns} + 3 \times 50\text{ns} = 350\text{ns} = 3.5 \times 10^{-7} \text{ (S)}$$

顺序存储器带宽 $W_2 = q/t_2 = 256 / (8 \times 10^{-7}) = 32 \times 10^7 \text{ (位/S)}$

交叉存储器带宽 $W_1 = q/t_1 = 256 / (3.5 \times 10^{-7}) = 73 \times 10^7 \text{ (位/S)}$

2. 假设磁盘采用DMA方式与主机交换信息,其传输速率为2MB/s.而且DMA的预处理需要1000个时钟周期，DMA完成传输后的中断处理需要500个时钟周期。如果平均传输的数据

长度为 4KB，问磁盘工作时，50MHZ 的处理器需要多大的时间比率进行 DMA 操作？（10 分）

答案：

DMA 的处理包含三个时间段：

预处理的时间为：1000 个时钟周期

DMA 完成后的中断处理时间为：500 个时钟周期

每秒中需要执行的 DMA 次数为：2MB/4KB= 500 次

由于 DMA 数据传输不需要 CPU 的参与,因此不占用 CPU 时间,

则 DMA 操作所占用 CPU 时间的比率为：

$$500 \times (1000 + 500) / (50 \times 10^6) = 0.75 / 50 = 1.5\%$$