

**数字逻辑实验报告（1）**

系列二进制加法器设计

**姓 名：**

**学 号：**

**班 级：**

**指 导 教 师：**

**计算机科学与技术学院**

**20 年 月 日**

一、实验名称

系列二进制加法器设计。

二、实验目的

采用传统电路的设计方法，对4种二进制加法器进行设计，并利用工具软件logisim的虚拟仿真功能来检查电路设计是否达到要求。

通过以上实验的设计、仿真、验证3个训练过程使同学们掌握传统逻辑电路的设计、仿真、调试的方法。

三、实验内容

按要求设计4种二进制加法器,并使用logisim软件进行虚拟实验仿真。除逻辑门、触发器外，不能直接使用logisim软件提供的逻辑库元件，具体内容如下。

1、一位二进制半加器

设计一个一位二进制半加器，电路输入为被加数A、加数B，输出本位和S和向高位进位C。

2、一位二进制全加器

设计一个一位二进制全加器，电路输入为被加数A、加数B和来自低位进位Ci，两个输出S和Ci+1，输出本位和S和向高位的进位Ci+1。

3、四位二进制串行加法器

用四个一位二进制全加器串联设计一个四位二进制串行加法器，电路有九个输入A3、A2、A1、A0、B3、B2、B1、B0和C0，五个输出S3、S2、S1、S0和C4。输入为被加数A= A3A2A1A0、加数B= B3B2B1B0和来自低位的进位C0，输出S= S3S2S1S0为本位和，C4为向高位的进位。

4、将四位二进制串行加法器封装成一个组件

将设计好的四位二进制并行加法器进行封装，生成一个“私有”库元件，以便后续实验使用，封装后的逻辑符号参见图3-1所示。

**S3 S2 S1 S0**

**C4 四位二进制串行加法器 C0**

**A3 A2 A1 A0  B3 B2 B1 B0**

图3-1“私有”的四位二进制并行加法器

四、实验方案设计

1、一位二进制半加器的设计方案

**（1）建立给定问题的逻辑描述**

**（2）求出逻辑函数的最简表达式**

**（3）选择合适的逻辑门进行逻辑函数的变换**

**（4）做出电路图（建议用“logisim”软件绘制电路图）**

图4-1 一位二进制半加器

2、一位二进制全加器的设计方案

**（1）建立给定问题的逻辑描述**

**（2）求出逻辑函数的最简表达式**

**（3）选择合适的逻辑门进行逻辑函数的变换**

**（4）做出电路图（建议用“logisim”软件绘制电路图）**

图4-2 一位二进制全加器

3、四位二进制串行加法器的设计方案

**（1）建立给定问题的逻辑描述**

**（2）求出逻辑函数的最简表达式**

**（3）选择合适的逻辑门进行逻辑函数的变换**

**（4）做出电路图（建议用“logisim”软件绘制电路图）**

图4-3四位二进制串行加法器

**4、封装四位二进制串行加法器电路**

对“第3步”完成的电路进行封装，然后对它设计的正确性进行验证。