**Section A（重点关注！）**

1. 冯.诺伊曼结构的工作原理

冯诺依曼结构计算机的工作原理是“存储程序”和“程序控制”。存储程序，就是将解题的步骤编成程序,然后将程序存放到计算机的存储器中。程序控制，就是程序运行时，控制器根据逐条从主存中取出指令，控制全机相关部件执行相应的操作，完成指令的功能，直到程序中所有指令执行完成，从而实现程序应该完成的功能。

1. 试阐述哈佛结构与冯.诺伊曼结构的异同与应用现状

([英语](http://zh.wikipedia.org/wiki/%E8%8B%B1%E8%AF%AD)：**Harvard architecture**)是一种将程序指令储存和数据储存分开的存储器结构。[中央处理器](http://zh.wikipedia.org/wiki/%E4%B8%AD%E5%A4%AE%E5%A4%84%E7%90%86%E5%99%A8)首先到程序指令储存器中读取程序指令内容，解码后得到数据地址，再到相应的数据储存器中读取数据，并进行下一步的操作（通常是执行）。程序指令储存和数据储存分开，数据和指令的储存可以同时进行，可以使指令和数据有不同的数据宽度，如[Microchip](http://zh.wikipedia.org/w/index.php?title=Microchip&action=edit&redlink=1)公司的[PIC](http://zh.wikipedia.org/wiki/PIC)16芯片的程序指令是14位宽度，而数据是8位宽度。

与冯.诺曼结构处理器比较，哈佛结构处理器有两个明显的特点：

1、使用两个独立的存储器模块，分别存储指令和数据，每个存储模块都不允许指令和数据并存；

2、使用独立的两条总线，分别作为CPU与每个存储器之间的专用通信路径，而这两条总线之间毫无关联。

哈佛结构的微处理器通常具有较高的执行效率。其程序指令和数据指令分开组织和储存的，执行时可以预先读取下一条指令。目前使用哈佛结构的[中央处理器](http://zh.wikipedia.org/wiki/%E4%B8%AD%E5%A4%AE%E5%A4%84%E7%90%86%E5%99%A8)和[微控制器](http://zh.wikipedia.org/wiki/%E5%BE%AE%E6%8E%A7%E5%88%B6%E5%99%A8)有很多，除了上面提到的[Microchip](http://zh.wikipedia.org/w/index.php?title=Microchip&action=edit&redlink=1)公司的[PIC](http://zh.wikipedia.org/wiki/PIC)系列芯片，还有[摩托罗拉公司](http://zh.wikipedia.org/wiki/Motorola)的MC68系列、[Zilog](http://zh.wikipedia.org/w/index.php?title=Zilog&action=edit&redlink=1)公司的Z8系列、[ATMEL](http://zh.wikipedia.org/w/index.php?title=ATMEL&action=edit&redlink=1)公司的AVR系列和[安谋](http://zh.wikipedia.org/wiki/%E5%AE%89%E8%B0%8B)公司的ARM9、ARM10和ARM11。

（3）试简要比较RISC与CISC体系结构与应用现状。硬布线和微程序各有何特点，

RISC和CISC分别适合哪一种？

复杂指令系统CISC：适合微程序。

特点：指令系统复杂庞大，寻址方式多，指令格式多，指令译码复杂，大多采用微程序设计。

精简指令系统RISC：适合硬布线。

特点：使用等长指令，寻址方式少且简单，只有取数和存数指令访问存储器，指令数量和指令格式少，指令功能简单，CPU内部设置了大量的寄存器，控制器多采用硬布线方式，大多指令可以在一个时钟周期内完成，支持指令流水并强调指令流水的优化使用。

硬布线：由基本的门电路组合实现。这种方式实现的控制器的处理速度快，但电路庞杂，制造周期长，不灵活，可维护性差。

微程序：仿照程序设计的方法编制每个机器指令对应的微程序，每个微程序由若干条微指令构成，各微指令包含若干条微命令。所有指令对应的微程序放在只读存储器中。当执行到某条指令时，取出对应微程序中的各条微指令，译码产生对应的微命令，送到机器相应的地方，控制其动作。微程序控制方式下，控制单元的设计简单，指令添加容易（灵活），可维护性好，但速度较慢。

1. 比较中断I/O和DMA的异同点。

相同点：都可以用来进行主机与外设之间的数据传输，都使用了中断技术。  
不同点：  
1、中断I/O适合实时控制和紧急事件的处理 ，DMA主要用于高速外设进行大批量数据传送的场合。  
2、中断方式是在数据缓冲寄存区满后，发中断请求，CPU进行中断处理，由于中断的数据缓冲寄存区较小，如果传输数据量过大就会频繁发送中断请求。DMA方式则是以数据块为单位传输的,在所要求传送的数据块全部传送结束时要求CPU进行中断处理,大大减少了CPU进行中断处理的次数  
3、中断方式的数据传送是由设备到CPU再到内存，或者相反。DMA方式的数据传送则是将所传输的数据由设备直接送入内存，或是由内存直接送到设备。

（5）中断的概念？中断的响应条件有哪些？

中断：计算机系统运行时，若系统外部、内部或现行程序本身出现某种非预期的事件，CPU将暂时停下现行程序，转向为该事件服务，待事件处理完毕，再恢复执行原来被终止的程序继续运行。

响应条件：

1. 中断允许触发器处于允许
2. 对应的中断未被屏蔽。
3. CPU已执行到一条指令的最后一个状态周期
4. 如果CPU正在执行中断服务程序，则要求新的中断请求符合中断嵌套的条件。
5. 无DMA请求，因为DMA请求的优先级比中断的优先级高。

（6）DMA传送三种方式的基本原理

停止CPU使用主存：外设需要传送一片数据时，由DMA接口向CPU发一个信号，要求CPU放弃地址线、数据线和有关控制线的使用权，DMA接口获得总线控制权后，开始进行数据传输。在数据传送结束后，DMA接口通知CPU可以使用主存，并把总线控制权交还给CPU。

DMA控制器与CPU交替使用主存：这种方式适用于CPU的工作周期比主存存取周期长的情况。这种方式不需要总线使用权的申请、建立和归还过程，总线使用权是通过分时控制的。

周期挪用：当I/O设备没有DMA请求时，CPU按程序的要求访问主存，一旦I/O设备有DMA请求，就会遇到三种情况：1.CPU不在访存，故I/O的访存请求与CPU未发生冲突。2.是CPU正在访存，必须等待存储周期结束后，CPU再将总线所有权让出。3.I/O和CPU同时请求访存，出现了访存冲突，此刻CPU要暂时放弃总线所有权，由I/O设备挪用一个或几个存储周期。

（7）并行总线与串行总线的定义和区别，应用场景

按总线连接线位的数量可分为并行传输总线和串行传输总线。在并行总线中，又可以按传输数据的宽度分为8位、16位、32位、64位等。

可进行并行传输或串行传输，一次传输1位数据或多位数据。

（8）微操作具体分为哪两类微操作？定义各是什么？

微操作：控制部件向执行部件发出的各种控制命令。

相容性微操作：指能同时在一个CPU周期内并行执行的微操作

互斥性微操作：不能在同一个CPU周期内并行执行的微操作

（9）微程序控制器的工作原理

仿照程序设计的方法，把完成每条指令所需要的操作控制信号编写成微指令，存放到一个只读存储器（控存）中。每条机器指令对应一段微程序，当机器执行程序时依次读出每条指令所对应的微指令，执行每条微指令中规定的微操作，从而完成指令的功能，重复这一过程，直到该程序的所有指令完成。、

(10)试说明内存和控存的区别？

内存是用来存放机器指令和数据的，控存则是用来存放解释机器指令的微程序的，控存在CPU内。

(11)说明SRAM比DRAM存取速度差异的主要原因。

DRAM用电容有无电荷来表示信息，为防止电容漏电而导致读取信息出错，需要周期性的给电容充电，即刷新，而SRAM是用触发器的两个稳态来表示信息，所以不需要刷新，所以速度快于DRAM。

（12）谈谈对当今流行的SDX（Software Defined X软件定义一切，如SDN：软件定义的网络等）的理解？

**这题我觉得自由发挥。**

**Section B**

1. 简述对于字长一定的浮点数，其表示范围与精确度之间的关系。

浮点数由符号位，阶码（含阶符），尾数，组成。

阶符和阶码的位数合起来反应浮点数的表示范围及小数点的实际位置。

尾数的位数反应了浮点数的精度。

即字长一定，尾数越多，精确度越高，但是表示范围越小，反之，尾数越少，精确度越低，阶码的位数越多，表示范围越大。

（2）简述CPU的基本功能并说明实现这些功能的相应部件的名称。

(a)顺序控制：PC

(b)操作控制：操作控制器(OC) ,或微程序控制器或硬布线控制器

(c)时序控制：时间序列发生器

(d)数据加工：ALU或运算器

（3）试述AR、DR、IR和PC的功能。

AR：地址寄存器，用来存放当前CPU所访问的内存单元的地址。

DR：数据寄存器，用来暂时存放由主存读出的一条指令或一个数据字；反之，当向主存存入一条指令或一个数据字时，也将它们暂时在数据缓冲寄存器中。

（作为CPU，内存和外设之间的信息传送中转站，补偿CPU、内存外设之间操作速度上的差别）

IR ：指令寄存器，用来保存当前正在执行的指令。

PC：程序计数器，具有寄存信息和计数的功能，总是保存下一条将要执行的指令的地址。

（4）试述CPU对含 Cache的内存储器进行操作的读/写操作原理

若CPU要读取内存时，先将地址通过cache-内存地址转换器，若转换成功，则用转换后的cache地址在cache 中访问相关数据；若失败，则用主存地址访问主存，将数据块调入cache 中，如果cache已满，则用相应的替换算法替换相应的块。

CPU进行写操作时，有写回法和写直达法两种，前者是当数据航被替换出时通过“脏位”判断该行是否被修改，若是将其写回内存；后者是写cache时提示也写内存。

（5）集中式总线控制方式下，确定总线使用权优先级的方法有哪几种？各有什么特点？

**集中式仲裁总结：链式查询方式，计数器定时查询，独立请求方式**



（6）总线有哪几种结构？试述其优缺点。

单总线结构，双总线结构，三总线结构。

单总线结构：

* 总线结构简单，使用灵活，扩充容易；
* 统一编址，简化指令系统，存储空间减少；
* 共享总线，分时使用，通信速度慢；
* 高速设备的高速特性得不到发挥

双总线结构：

* 存储总线有效降低系统总线负载，提升了并行性
* 需增加专门的I/O指令，存储空间扩大
* 结构简单，系统扩展容易

三总线结构：

* 高速与低速传输活动分离
  + 将I/O设备与主存之间的通信与处理器的活动分离
  + 高速设备靠近CPU，慢速设备远离CPU
* 不同层次总线之间采用桥接方式连接和缓冲