1．根据需要展开下面的循环并进行指令调度，直到没有任何延迟。

LOOP: LD F0,0(R1);

MULD F0,F0,F2;

LD F4,0(R2);

ADD.D F0,F0,F4;

SD F0,0(R2);

DSUBI R1,R1,#8;

DSUBI R2,R2,#8;

BNEZ R1, R2，LOOP;

解：将循环展开两次，进行指令调度，即可以消除延迟，代码如下：

LOOP：L.D F0，0（R1）

L.D F10，-8（R1）

MUL.D F0，F0，F2

MUL.D F10，F10，F2

L.D F4，0（R2）

L.D F14，-8（R2）

ADD.D F0，F0，F4

ADD.D F10，F10，F14

DSUBI R1，R1，16

S.D 0（R2），F0

DSUBI R2，R2，16

BNEZ R1，R2，LOOP

S.D 8（R2），F10

2、按例4-4中的一段指令代码和记分牌信息初始状态，试给出SUB.D指令写结果前各记录表的状态。

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **指令** | **指令状态表** | | | |
| **IS** | **RO** | **EX** | **WR** |
| LD F6，34(R2) | √ | √ | √ | √ |
| LD F2，45(F3) | √ | √ | √ | √ |
| MULTD F0，F2 ，F4 | √ | √ | √ |  |
| SUBD F8，F6，F2 | √ | √ | √ |  |
| DIVD F10，F0，F6 | √ |  |  |  |
| ADDD F6，F8，F2 |  |  |  |  |

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **名**  **称** | **功能部件状态表** | | | | | | | | |
| **Busy** | **Op** | **Fi** | **Fj** | **Fk** | **Qj** | **Qk** | **Rj** | **Rk** |
| **整数** | **no** |  |  |  |  |  |  |  |  |
| **乘法1** | **yes** | MULT.D | F0 | F2 | F4 |  |  | no | no |
| **乘法2** | **no** |  |  |  |  |  |  |  |  |
| **加法** | **yes** | SUB.D | F8 | F6 | F2 |  |  | no | no |
| **除法** | **yes** | DIV.D | F10 | F0 | F6 | **乘法1** |  | no | yes |

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **域** | **寄存器状态表** | | | | | | | |
| **F0** | **F2** | **F4** | **F6** | **F8** | **F10** | **…** | **F30** |
| **Qi** | **乘法1** |  |  |  | **加法** | **除法** |  |  |

3、按Tomosulo算法例4-6中的一段指令代码和各表的初始状态，试给出SUB.D指令写结果前的指令状态、保留站状态和寄存器状态。

|  |  |  |  |
| --- | --- | --- | --- |
| **指令** | **指令状态表** | | |
| **流出** | **执行** | **写结果** |
| LD F6，34(R2) | √ | √ | √ |
| LD F2，45(F3) | √ | √ | √ |
| MULTD F0，F2 ，F4 | √ | √ |  |
| SUBD F8，F6，F2 | √ | √ |  |
| DIVD F10，F0，F6 | √ |  |  |
| ADDD F6，F8，F2 | √ |  |  |

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| **名**  **称** | **保留站与缓冲** | | | | | | |
| **Busy** | **Op** | **Vj** | **Vk** | **Qj** | **Qk** | **A** |
| **Load1** | **no** |  |  |  |  |  |  |
| **Load2** | **no** |  |  |  |  |  |  |
| **Add1** | **yes** | SUB.D | Mem[34+Regs[R2]] | Mem[45+Regs[R3]] |  |  |  |
| **Add2** | **yes** | ADD.D |  | Mem[45+Regs[R3]] | Add1 |  |  |
| **Add3** | **no** |  |  |  |  |  |  |
| **Mult1** | **yes** | MULT.D | Mem[45+Regs[R3]] | Regs[F4] |  |  |  |
| **Mult2** | **yes** | DIV.D |  | Mem[34+Regs[R2]] | Mult1 |  |  |

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **域** | **寄存器状态表** | | | | | | | |
| **F0** | **F2** | **F4** | **F6** | **F8** | **F10** | **…** | **F30** |
| **Qi** | Mult1 |  |  | Add2 | Add1 | Mult2 |  |  |