

说明

CH32V103 数据手册

版本: V1.1

概述

32 位 RISC 处理器 RISC-V3A 基于 RISC-V 开源指令集设计,其系统架构实现了硬件平台的低成本、低功耗及功能应用的最佳平衡。

CH32V1 系列通用微控制器以此处理器为核心,挂载了丰富的外设接口和功能模块,包括时钟安全机制、多级电源管理、通用 DMA 控制器、多通道 12 位 ADC 转换模块、多通道触摸按键电容检测(TKey)、高级和通用定时器、USB2.0 主机控制器和设备控制器、多路 I2C/USART/SPI 接口等。微控制器配备了完整的软硬件平台,调试接口工具,可以满足工业、医疗、消费类等市场上的各种需求。

产品特性

● 内核 Core:

- 支持 RV32IMAC 指令集组合,硬件乘法和除法
- 快速可编程中断控制器+硬件现场保存恢复
- 静态分支预测、冲突处理机制
- 低功耗两级流水线
- 最高 80MHz 系统主频

● 存储器:

- 20KB 易失数据存储区 SRAM
- 64KB 用户应用程序存储区 CodeFlash
- 3.75KB 系统引导程序存储区 BootLoader
- 128B 系统非易失配置信息存储区
- 128B 用户自定义信息存储区

● 电源管理和低功耗:

- 供电范围: 2.7V~5.5V, GPIO 同步供电电压
- 多种低功耗模式: 睡眠/停止/待机
- V_{BAT} 电源独立为 RTC 和后备寄存器供电

● 系统时钟、复位

- 内嵌出厂调校的 8MHz 的 RC 振荡器
- 内嵌 40KHz 的 RC 振荡器
- 内嵌 PLL, 可选 CPU 时钟达 80MHz
- 外部支持 4MHz~16MHz 高速振荡器
- 外部支持 32.768KHz 低速振荡器
- 上电/断电复位(POR/PDR)、可编程电压监测器(PVD)

● 实时时钟 RTC: 32 位独立定时器

● 通用 DMA 控制器

- 提供 7 个通道
- 支持外设和存储器、存储器和存储器
- 支持环形缓冲区管理
- 支持外设: TIM/ADC/USART/I2C/SPI

● 12 位模数转换 ADC

- 转换范围: $0 \sim V_{DDA}$, 最快 1us 转换完成
- 16 路外部信号通道 + 2 路内部信号通道
- 片上温度传感器

● 16 路 Touch-Key 通道检测

● 7 个定时器

- 1 个 16 位高级定时器, 包含通用定时器功能, 并自带死区控制和紧急刹车, 提供用于电机控制的 PWM
- 3 个 16 位通用定时器, 提供多达 4 个用于输入捕获/输出比较/PWM/脉冲计数的通道和增量编码器输入
- 2 个看门狗定时器(独立和窗口型)
- 系统时间定时器: 64 位自增型计数器

● 8 个标准通讯接口:

- USB2.0 主机/设备接口(全速和低速)
- 2 个 I2C 接口(支持 SMBus/PMBus)
- 3 个 USART 接口(支持 ISO7816 接口、LIN、IrDA 接口和调制解调控制)
- 2 个 SPI 接口(支持 Master 和 Slave 模式)

● 快速 GPIO 端口

- 多达 51 个 I/O 口, 并可映像到 16 个外部中断

● 安全特性: CRC 计算单元, 96 位芯片唯一 ID

● 调试模式: 串行 2 线调试接口

● 封装形式

- LQFP64M (LQFP64-10*10)
- LQFP48 (LQFP48-7*7)
- QFN48X7 (QFN48-7*7)

第 1 章 规格信息

CH32V1 系列 MCU 产品使用 RISC-V3A 处理器及架构,支持 RV32IMAC 开源指令。最高工作频率 80MHz, 内置高速存储器, 并采用预取方式提高指令访问速度。系统结构中多条总线同步工作, 提供了丰富的外设功能和增强型 I/O 端口。本系列产品内置 RTC、时钟安全机制、1 个 12 位 ADC 转换模块、多组定时器、16 通道触摸按键电容检测 (TKey) 等功能, 还包含标准的通讯接口: 2 个 I2C 接口、2 个 SPI 接口、3 个 USART 接口、1 个 USB2.0 全速主机/设备接口 (全/低速通讯)。

本系列产品供电电压为 2.7V~5.5V, 工作温度范围为-40℃~85℃工业级。支持多种省电工作模式来满足产品低功耗应用要求。本系列中各产品在资源分配、外设数量、外设功能等方面有所差异, 按需选择。提供了 LQFP64M/LQFP48/QFN48X7 几种封装形式。可以广泛应用于: 电机驱动和应用控制、医疗和手持设备、PC 游戏外设和 GPS 平台、可编程控制器、变频器、打印机、扫描仪、警报系统、视频对讲、暖气通风空调系统等场合。

1.1 型号对比

表 1-1 CH32V103x 产品资源分配

产品型号 资源差异		CH32V103 C6T6	CH32V103 C8T6	CH32V103 C8U6	CH32V103 R8T6
芯片引脚数		48	48	48	64
闪存 (字节)		32K	64K	64K	64K
SRAM (字节)		10K	20K	20K	20K
GPIO 端口数		37	37	37	51
定时器	通用	2	3	3	3
	高级	1	1	1	1
	看门狗	2	2	2	2
	系统时钟	1	1	1	1
ADC/TKey (通道数)		10	10	10	16
通信接口	SPI	1	2	2	2
	I2C	1	2	2	2
	USART	2	3	3	3
	USBHD 2.0FS	1	1	1	1
CPU 主频		典型: 72MHz			
工作电压		2.7V~5.5V			
工作温度		工业级: -40℃~85℃			
封装形式		LQFP48		QFN48X7	LQFP64M (10*10)

1.2 系统架构

CH32V1 系列产品是基于 RISC-V3A 处理器设计的通用微控制器, 其架构中的内核、仲裁单元、DMA 模块、SRAM 存储等部分通过多组总线实现交互。内核采用 2 级流水线处理, 设置了静态分支预测、指令预取机制, 实现系统低功耗、低成本、高速运行的最佳性能比。控制器中设有通用 DMA 控制器以减轻 CPU

负担、提高效率，时钟树分级管理降低了外设总的运行功耗，同时兼有数据保护机制，时钟安全系统保护机制等措施来增加系统稳定性。

下图是系列产品内部架构框图。

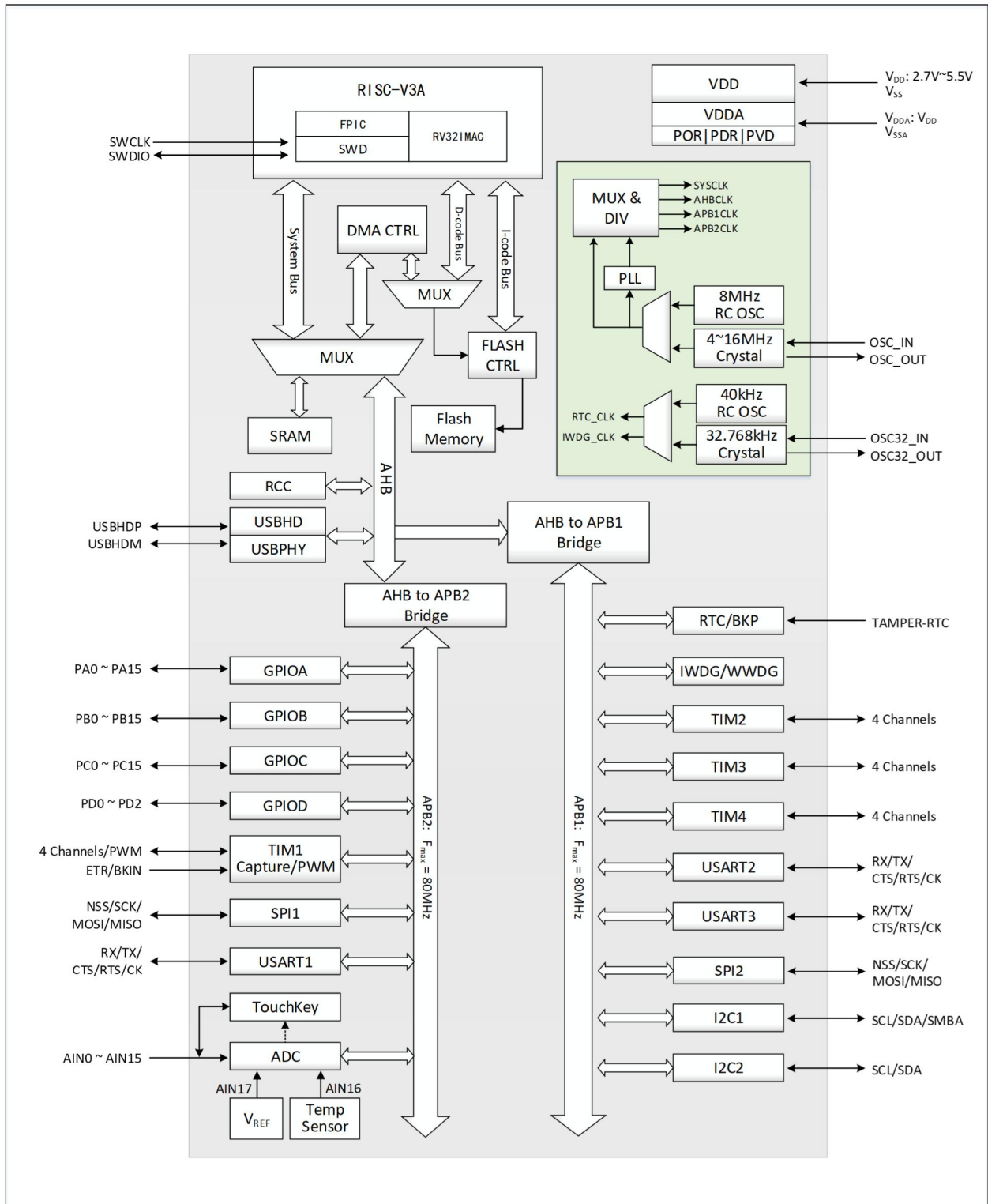


图 1-1 系统框图

1.3 存储器映射表

1.4 时钟树

低频时钟源为 RTC 和独立看门狗提供了时钟基准。

PLL 倍频时钟直接通过分频器提供 USBHD 模块的工作时钟基准 48MHz。

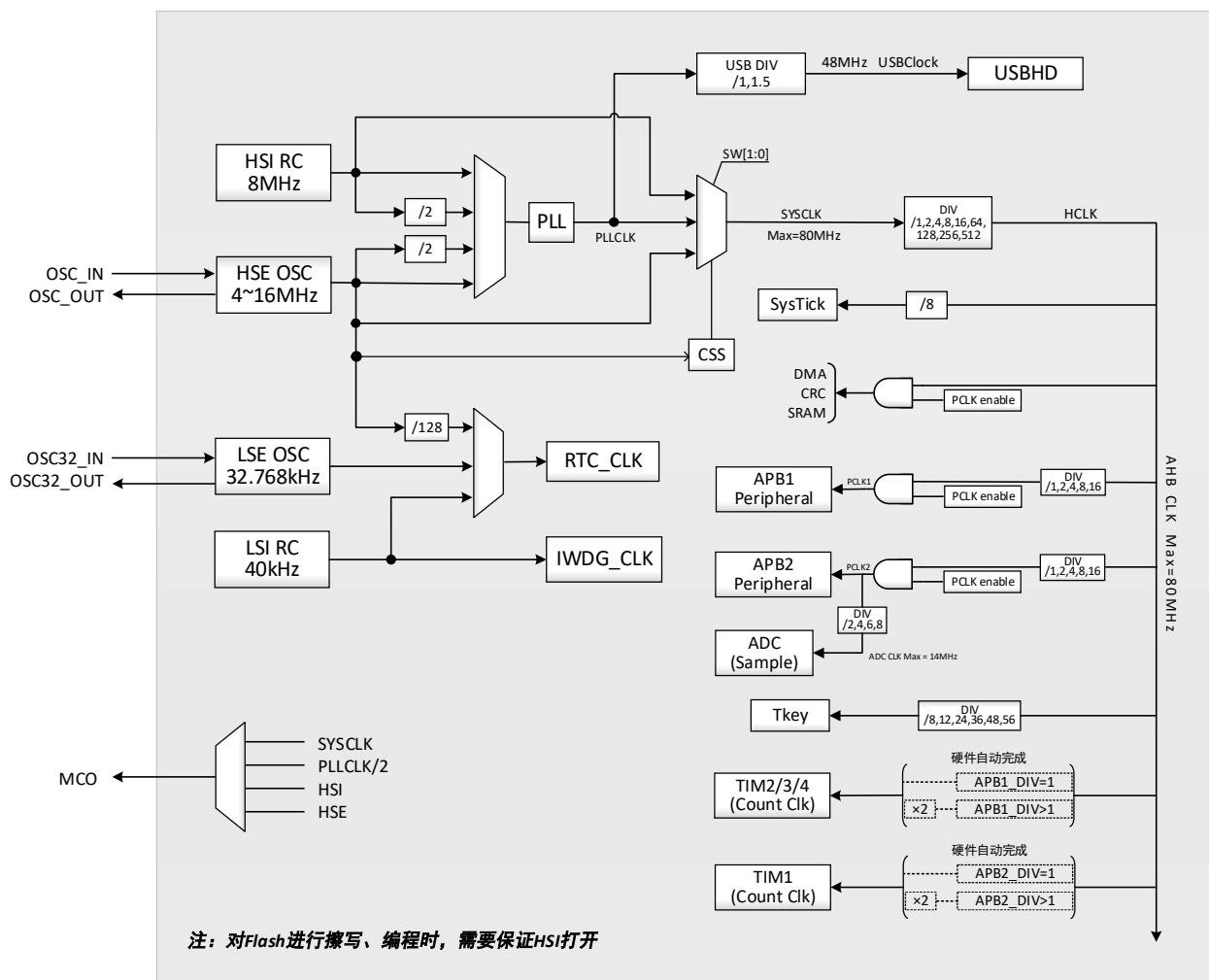


图 1-3 时钟树框图

注：

当使用 USB 功能时，必须同时使用 PLL，CPU 的频率必须是 48MHz 或 72MHz。

当需要 ADC 采样时间为 1us 时，APB2 必须设置在 14MHz、28MHz 或 56MHz。

当系统从睡眠状态唤醒时，系统会自动切换为 HSI 做主频。

对 Flash 进行擦写、编程时，必须保证 HSI 打开。

1.5 功能概述

1.5.1 RISC-V3A 处理器

RISC-V3A 是 32 位嵌入式处理器，内部模块化管理，支持 RISC-V 开源指令集 IMAC 子集。包含快速可编程中断控制器（PFIC），提供了 4 个向量可编程的快速中断通道及 44 个优先级可配的普通中断，通过硬件现场保存和恢复的方式实现中断的最短周期响应；包含 2 线串行调试接口，支持用户在线升级和调试；包括多组总线连接处理器外部单元模块，实现外部功能模块和内核的交互。

- RV32IMAC 指令集，小端数据模式
- 低功耗两级流水线
- 支持机器和用户特权模式
- 快速可编程中断控制器（PFIC），Tail-Chaining 尾链中断处理，2 级硬件压栈
- 串行 2 线调试接口

- 分支预测、高效跳转、冲突检测机制

此设计基础的处理器以其极简指令集、多种工作模式、模块化定制扩展等特点可以灵活应用不同场景微控制器设计，例如小面积低功耗嵌入式场景、高性能应用操作系统场景等。

CH32V1 系列控制器采用 RISC-V3A 核心，配备了完整的软硬件平台和工具，支持应用代码的在线下载、调试、跟踪。

1.5.2 片上存储器及自举模式

内置 20K 字节 SRAM 区，用于存放数据。

内置 64K 字节程序闪存存储区（CodeFlash），用于用户的应用程序存储。

内置 3.75K 字节系统存储区（BootLoader），用于系统引导程序存储（厂家固化自举加载程序）。

额外，128 字节用于厂商配置字存储，128 字节用于用户选择字存储。

在启动时，通过自举引脚（BOOT0 和 BOOT1）可以选择三种自举模式中的一种：

- 从程序闪存存储器自举
- 从系统存储器自举
- 从内部 SRAM 自举

自举加载程序存放于系统存储区，可以通过 USART1 和 USB 接口对程序闪存存储区内容重新编程。

1.5.3 供电方案

- $V_{DD} = 2.7 \sim 5.5V$ ： V_{DD} 引脚为 I/O 引脚、RC 振荡器、复位模块和内部调压器供电。
- $V_{DDA} = 2.7 \sim 5.5V$ ：为 ADC、温度传感器和 PLL 的模拟部分提供供电。 V_{DDA} 和 V_{SSA} 必须分别连接到 V_{DD} 和 V_{SS} 。
- $V_{BAT} = 1.8 \sim 5.5V$ ：当 V_{DD} 移除或者不工作时， V_{BAT} 单独为 RTC、外部 32KHz 振荡器和后备寄存器供电。

1.5.4 供电监控器

本产品内部集成了上电复位（POR）/掉电复位（PDR）电路，该电路始终处于工作状态，保证系统在供电超过 2.7V 时工作；当 V_{DD} 低于设定的阈值（ $V_{POR/PDR}$ ）时，置器件于复位状态，而不必使用外部复位电路。

另外设有一个可编程的电压监测器（PVD），需要通过软件开启，用于比较 V_{DD}/V_{DDA} 供电与设定的阈值 V_{PVD} 的电压大小。打开 PVD 相应边沿中断，可在 V_{DD} 下降到 PVD 阈值或上升到 PVD 阈值时，收到中断通知。

关于 $V_{POR/PDR}$ 和 V_{PVD} 的值参考表 3-4。

1.5.5 电压调节器

复位后，调节器自动开启，根据应用方式有三个操作模式

- 开启模式：正常的运行操作，提供稳定的内核电源
- 低功耗模式：当 CPU 进入停止模式后，可选择调节器低功耗运行
- 关断模式：当 CPU 进入待机模式后自动切换调节器到此模式，调压器输出为高阻状态，内核电路的供电切断，调压器处于零消耗状态

该调压器在复位后始终处于开启模式，在待机模式下被关闭处于关断模式，此时是高阻输出。

1.5.6 低功耗模式

系列产品支持三种低功耗模式，可以在要求低功耗、短启动时间和多种唤醒事件等条件下选择达到最佳的平衡。

- 睡眠模式

执行 WFI/WFE 指令进入。在睡眠模式下，只有 CPU 时钟停止，但所有外设时钟供电正常，外设处于工作状态。此模式是最浅低功耗模式，但可以达到最快唤醒。

退出条件：任意中断或唤醒事件。

- 停止模式

清除 PDDS 位、置位 SLEEPDEEP 位、选择清除/置位 LPDS 位，执行 WFI/WFE 指令进入。在停止模式下，FLASH 进入低功耗模式，由 LPDS 位决定是否关闭内核部分的供电，PLL、HSI 的 RC 振荡器和 HSE 晶体振荡器被关闭。在保持 SRAM 和寄存器内容不丢失的情况下，停止模式可以达到最低的电能消耗。

退出条件：任意外部中断/事件（EXTI 信号）、NRST 上的外部复位信号、IWDG 复位、WKUP 引脚上的一个上升边沿，其中 EXTI 信号包括 16 个外部 I/O 口之一、PVD 的输出、RTC 闹钟或 USB 的唤醒信号。

- 待机模式

置位 PDDS、SLEEPDEEP 位，执行 WFI/WFE 指令进入。内核部分的供电被关闭；PLL、HSI 的 RC 振荡器和 HSE 晶体振荡器也被关闭；此模式下可以达到最低的电能消耗，但唤醒后系统复位。

退出条件：任意外部中断/事件（EXTI 信号）、NRST 上的外部复位信号、IWDG 复位、WKUP 引脚上的一个上升边沿，其中 EXTI 信号包括 16 个外部 I/O 口之一、PVD 的输出、RTC 闹钟或 USB 的唤醒信号。

1.5.7 CRC（循环冗余校验）计算单元

CRC（循环冗余校验）计算单元使用一个固定的多项式发生器，从一个 32 位的数据字产生一个 CRC 码。在众多的应用中，基于 CRC 的技术被用于验证数据传输或存储的一致性。在 EN/IEC 60335-1 标准的范围内，提供了一种检测闪存存储器错误的手段，CRC 计算单元可以用于实时地计算软件的签名，并与在链接和生成该软件时产生的签名对比。

1.5.8 快速可编程中断控制器（PFIC）

产品内置快速可编程中断控制器（PFIC），最多支持 255 个中断向量。CH32V1 控制器提供了 5 个内核私有中断和 44 个外设中断管理，其他中断源保留。PFIC 的寄存器均可以在用户和机器特权模式下访问。

- 44+3 个可单独屏蔽中断
- 提供一个不可屏蔽中断 NMI
- 16 级优先级编程，动态修改。
- 2 级嵌套中断进入和退出硬件自动压栈和恢复，无需指令开销
- 4 路可编程快速中断通道，自定义中断向量地址
- 支持中断尾部链接功能
- 提供不可屏蔽中断第一时间响应

该模块以最小的中断延迟提供了灵活的中断管理功能。

1.5.9 外部中断/事件控制器（EXTI）

外部中断/事件控制器包含 20 个边沿检测器，用于产生中断/事件请求。每个中断线都可以独立地配置其触发事件（上升沿或下降沿或双边沿），并能够单独地被屏蔽；挂起寄存器维持所有中断请求状态。EXTI 可以检测到脉冲宽度小于内部 APB2 的时钟周期。多达 51 个通用 I/O 口都可选择连接到 16 个外部中断线。

1.5.10 通用 DMA 控制器

灵活的通用 DMA 可以管理存储器到存储器、外设到存储器和存储器到外设间的高速数据传输，提供 7 个通道，支持环形缓冲区管理。每个通道都有专门的硬件 DMA 请求逻辑，支持一个或多个外设对存储器的访问请求、存储器到存储器数据传输，可配置访问优先权、传输长度、传输的源地址和目标地址等。

DMA 用于主要的外设包括：通用/高级控制定时器 TIM、ADC、USART、I2C、SPI。

1.5.11 时钟和启动

系统时钟源 HSI 默认开启，在没有配置时钟或者复位后，内部 8MHz 的 RC 振荡器作为默认的 CPU 时钟，随后可以另外选择外部 4~16MHz 时钟或 PLL 时钟。当打开时钟安全模式后，如果 HSE 用作系统时钟（直接或间接），此时检测到外部时钟失效，系统时钟将自动切换到内部 RC 振荡器，同时 HSE 和 PLL 自动关闭；对于关闭时钟的低功耗模式，唤醒后系统也将自动地切换到内部的 RC 振荡器。如果使能了时钟中断，软件可以接收到相应的中断。

多个预分频器用于配置 AHB 总线时钟、高速 APB2 和低速 APB1 区域总线时钟。参考图 1-2 的时钟树框图。

1.5.12 RTC（实时时钟）和后备寄存器

RTC 和后备寄存器在产品内部处于后备供电区域，在 V_{DD} 有效时由 V_{DD} 供电，否则内部自动切换到由 V_{BAT} 引脚供电。

RTC 实时时钟是一组 32 位可编程计数器，时基支持 20 位预分频，用于较长时间段的测量。时钟基准来源高速的外部时钟 128 分频（HSE/128）、外部晶体的 32.768KHz 的振荡器（LSE）或内部低功耗 RC 振荡器（LSI）。其中 LSE 也存在后备供电区域，所以，当选择 LSE 做 RTC 时基下，系统复位或从待机模式唤醒后，RTC 的设置和时间能够保持不变。

后备寄存器包含 10 个 16 位寄存器，可以用来存储 20 字节的用户应用数据。此数据在待机唤醒后，或系统复位或电源复位时，都能维持不会被复位。在侵入检测功能开启下，一旦侵入检测信号有效，可清除后备寄存器中所有内容。

1.5.13 ADC（模拟/数字转换器）和触摸按键电容检测（TKey）

产品内嵌 1 个 12 位的模拟/数字转换器（ADC），提供多达 16 个外部通道和 2 个内部通道采样，可编程的通道采样时间，可以实现单次、连续、扫描或间断模式转换。提供模拟看门狗功能允许非常精准地监视一路或多路选中的通道，用于监视通道信号电压。支持外部事件触发转换，触发源包括片上定时器的内部信号和外部引脚（EXTI 线 11）。支持使用 DMA 操作。

ADC 内部通道采样包括一路内置温度传感器采样和一路内部参考电源采样。温度传感器产生一个随温度线性变化的电压，需供电范围在 $3.0V < V_{DDA} < 5.5V$ 之间。温度传感器在内部被连接到 ADC_IN16 的输入通道上，用于将传感器的输出转换到数字数值。

触摸按键电容检测功能，复用 ADC 的外部通道，提供了多达 16 路检测。应用程序通过数字值的变化量判断触摸按键状态。

1.5.14 定时器

定时器包含 1 个高级 16 位定时器、3 个通用 16 位定时器，以及 2 个看门狗定时器和 1 个系统时基定时器。

1.5.14.1 高级控制定时器 (TIM1)

高级控制定时器 (TIM1) 是一个 16 位的自动装载计数器，具有可编程的预分频器。除了完整的通用定时器功能外，可以被看成是分配到 6 个通道的三相 PWM 发生器，具有带死区插入的互补 PWM 输出功能，允许在指定数目的计数器周期之后更新定时器进行重复计数周期，刹车功能等。高级控制定时器的很多功能都与通用定时器相同，内部结构也相同，因此高级控制定时器可以通过定时器链接功能与 TIM 定时器协同操作，提供同步或事件链接功能。

1.5.14.2 通用定时器 (TIM2/3/4)

系统内置了多达 3 个可同步运行的标准定时器 (TIM2、TIM3 和 TIM4)。每个定时器都有一个 16 位的自动装载递增/递减计数器、一个可编程的 16 位预分频器和 4 个独立的通道，每个通道都可用于输入捕获、输出比较、PWM 生成和单脉冲模式输出。

还能通过定时器链接功能与高级控制定时器共同工作，提供同步或事件链接功能。在调试模式下，计数器可以被冻结，同时 PWM 输出被禁止，从而切断由这些输出所控制的开关。任意通用定时器都能用于产生 PWM 输出。每个定时器都有独立的 DMA 请求机制。

这些定时器还能够处理增量编码器的信号，也能处理 1 至 3 个霍尔传感器的数字输出。

1.5.14.3 独立看门狗 (IWDG)

独立看门狗是一个自由运行的 12 位递减计数器，有一个 8 位的预分频器。由一个内部独立的 40KHz 的 RC 振荡器提供时钟；因为这个 RC 振荡器独立于主时钟，所以可运行于停止和待机模式。IWDG 在主程序之外，可以完全独立工作，因此，用于在发生时复位整个系统，或作为一个自由定时器为应用程序提供超时管理。通过选项字节可以配置成是软件或硬件启动看门狗。在调试模式下，计数器可以被冻结。

1.5.14.4 窗口看门狗 (WWDG)

窗口看门狗是一个 7 位的递减计数器，并可以设置成自由运行。可以被用于在发生时复位整个系统。其由主时钟驱动，具有早期预警中断功能；在调试模式下，计数器可以被冻结。

1.5.14.5 系统时基定时器 (SysTick)

这是内核控制器自带的一个定时器，用于产生 SYSTICK 异常，可专用于实时操作系统，为系统提供“心跳”节律，也可当成一个标准的 64 位递增计数器。以 AHB 时钟的 8 分频为基准时钟源。当计数器递增到设置比较值时，产生一个可屏蔽系统中断。

1.5.15 标准通讯接口

1.5.15.1 通用同步/异步收发器 (USART)

3 组通用异步收发器 USART，支持全双工异步通信、同步单向通信以及半双工单线通信，也支持 LIN(局部互连网)，兼容 ISO7816 的智能卡协议和 IrDA SIR ENDEC 传输编解码规范，以及调制解调器 (CTS/RTS 硬件流控) 操作。还允许多处理器通信。其采用分数波特率发生器系统，USART1 接口最高达 4.5Mbps/s，USART2/3 可达 2.25Mbps/s。支持 DMA 操作连续通讯。

1.5.15.2 串行外设接口 (SPI)

2 组串行外设 SPI 接口，提供主或从操作，动态切换。支持多主模式，全双工或半双工同步传输，支持基本的 SD 卡和 MMC 模式。时钟频率最高可达 36MHz，可编程的时钟极性和相位，数据位宽提供 8 或 16 位选择，可靠通信的硬件 CRC 产生/校验，支持 DMA 操作连续通讯。

1.5.15.3 I2C 总线

多达 2 个 I2C 总线接口，能够工作于多主机模式或从模式，完成所有 I2C 总线特定的时序、协议、仲裁等。支持标准和快速两种通讯速度，同时与 SMBus2.0 兼容。

I2C 接口提供 7 位或 10 位寻址，并且在 7 位从模式时支持双从地址寻址。内置了硬件 CRC 发生器/校验器。可以使用 DMA 操作并支持 SMBus 总线 2.0 版/PMBus 总线。

1.5.15.4 通用串行总线 (USB)

产品内嵌 1 个 USB2.0 主机控制器和设备控制器 (USBHD)，遵循 USB2.0 Fullspeed 标准。提供 16 个可配置的 USB 设备端点及一组主机端点。支持控制/批量/同步/中断传输，双缓冲区机制，USB 总线挂起/恢复操作，并提供待机/唤醒功能。USBHD 模块专用的 48MHz 时钟由内部主 PLL 分频直接产生 (PLL 必须为 72MHz 或 48MHz)。

1.5.16 通用输入输出接口 (GPIO)

系统提供了 4 组 GPIO 端口，共 51 个 GPIO 引脚。每个引脚都可以由软件配置成输出(推挽或开漏)、输入(带或不带上拉或下拉)或复用的外设功能端口。多数 GPIO 引脚都与数字或模拟的复用外设共用。除了具有模拟输入功能的端口，所有的 GPIO 引脚都有大电流通过能力。提供锁定机制冻结 IO 配置，以避免意外的写入 I/O 寄存器。

1.5.17 2 线串行调试接口 (SWD)

内嵌 SWD 接口，这是一个 2 线串行调试接口。硬件包括 SWDIO 和 SWCLK 引脚，支持在线代码升级、调试。

第 2 章 引脚信息

2.1 引脚排列

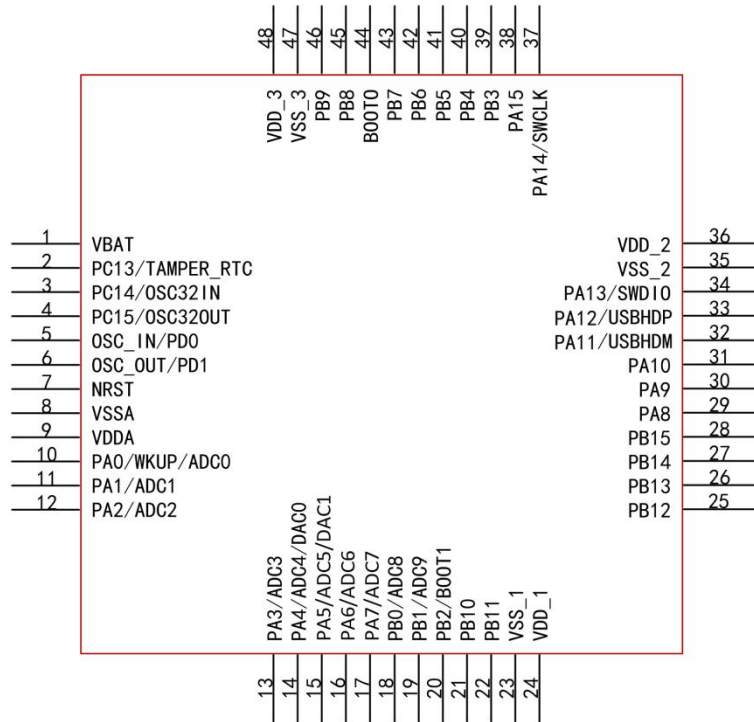


图 2-1 CH32V103Cx (LQFP48/QFN48X7) 引脚分布

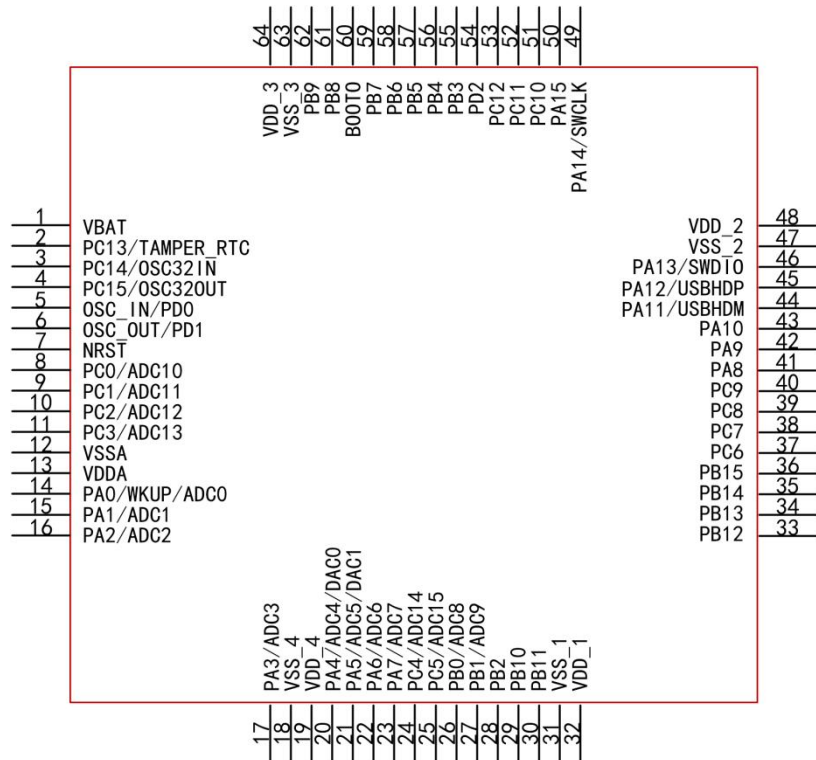


图 2-2 CH32V103Rx (LQFP64M) 引脚分布

2.2 引脚描述

表 2-1 CH32V103x8x6 引脚定义

引脚编号			引脚名称	引脚类型	主功能 (复位后)	默认复用功能	重映射功能
LQFP48	QFN48X7	LQFP64M					
1	1	1	V _{BAT}	P	V _{BAT}		
2	2	2	PC13- TAMPER-RTC	I/O	PC13	TAMPER-RTC	
3	3	3	PC14- OSC32_IN	I/O/A	PC14	OSC32_IN	
4	4	4	PC15- OSC32_OUT	I/O/A	PC15	OSC32_OUT	
5	5	5	OSC_IN	I/A	OSC_IN		PD0
6	6	6	OSC_OUT	O/A	OSC_OUT		PD1
7	7	7	NRST	I/O	NRST		
-	-	8	PC0	I/O/A	PC0	ADC_IN10	
-	-	9	PC1	I/O/A	PC1	ADC_IN11	
-	-	10	PC2	I/O/A	PC2	ADC_IN12	
-	-	11	PC3	I/O/A	PC3	ADC_IN13	
8	8	12	V _{SSA}	P	V _{SSA}		
9	9	13	V _{DDA}	P	V _{DDA}		
10	10	14	PA0-WKUP	I/O/A	PA0	WKUP/USART2_CTS/ADC_IN0 /TIM2_CH1/TIM2_ETR	
11	11	15	PA1	I/O/A	PA1	USART2_RTS/ADC_IN1 /TIM2_CH2	
12	12	16	PA2	I/O/A	PA2	USART2_TX/ADC_IN2 /TIM2_CH3	
13	13	17	PA3	I/O/A	PA3	USART2_RX/ADC_IN3 /TIM2_CH4	
-	-	18	V _{SS_4}	P	V _{SS_4}		
-	-	19	V _{DD_4}	P	V _{DD_4}		
14	14	20	PA4	I/O/A	PA4	SPI1_NSS/USART2_CK /ADC_IN4	
15	15	21	PA5	I/O/A	PA5	SPI1_SCK/ADC_IN5	
16	16	22	PA6	I/O/A	PA6	SPI1_MISO/ADC_IN6 /TIM3_CH1	TIM1_BKIN
17	17	23	PA7	I/O/A	PA7	SPI1_MOSI/ADC_IN7 /TIM3_CH2	TIM1_CH1N
-	-	24	PC4	I/O/A	PC4	ADC_IN14	
-	-	25	PC5	I/O/A	PC5	ADC_IN15	
18	18	26	PB0	I/O/A	PB0	ADC_IN8/TIM3_CH3	TIM1_CH2N
19	19	27	PB1	I/O/A	PB1	ADC_IN9/TIM3_CH4	TIM1_CH3N

20	20	28	PB2	I/O	PB2 /BOOT1		
21	21	29	PB10	I/O	PB10	I2C2_SCL/USART3_TX	TIM2_CH3
22	22	30	PB11	I/O	PB11	I2C2_SDA/USART3_RX	TIM2_CH4
23	23	31	V _{SS_1}	P	V _{SS_1}		
24	24	32	V _{DD_1}	P	V _{DD_1}		
25	25	33	PB12	I/O	PB12	SPI2_NSS/I2C2_SMBAI /USART3_CK/TIM1_BKIN	
26	26	34	PB13	I/O	PB13	SPI2_SCK/USART3_CTS /TIM1_CH1N	
27	27	35	PB14	I/O	PB14	SPI2_MISO/USART3_RTS /TIM1_CH2N	
28	28	36	PB15	I/O	PB15	SPI2_MOSI/TIM1_CH3N	
–	–	37	PC6	I/O	PC6		TIM3_CH1
–	–	38	PC7	I/O	PC7		TIM3_CH2
–	–	39	PC8	I/O	PC8		TIM3_CH3
–	–	40	PC9	I/O	PC9		TIM3_CH4
29	29	41	PA8	I/O	PA8	USART1_CK/TIM1_CH1/MCO	
30	30	42	PA9	I/O	PA9	USART1_TX/TIM1_CH2	
31	31	43	PA10	I/O	PA10	USART1_RX/TIM1_CH3	
32	32	44	PA11	I/O/A	PA11	USART1_CTS/USBHDM/TIM1_CH4	
33	33	45	PA12	I/O/A	PA12	USART1_RTS/USBHDP/TIM1_ETR	
34	34	46	PA13	I/O	SWDIO		PA13
35	35	47	V _{SS_2}	P	V _{SS_2}		
36	36	48	V _{DD_2}	P	V _{DD_2}		
37	37	49	PA14	I/O	SWCLK		PA14
38	38	50	PA15	I/O	PA15		TIM2_CH1/TIM2_ETR /SPI1_NSS
–	–	51	PC10	I/O	PC10		USART3_TX
–	–	52	PC11	I/O	PC11		USART3_RX
–	–	53	PC12	I/O	PC12		USART3_CK
–	–	54	PD2	I/O	PD2	TIM3_ETR	
39	39	55	PB3	I/O	PB3		TRACESWO/TIM2_CH2 /SPI1_SCK
40	40	56	PB4	I/O	PB4		TIM3_CH1/SPI1_MISO
41	41	57	PB5	I/O	PB5	I2C1_SMBAI	TIM3_CH2/SPI1_MOSI
42	42	58	PB6	I/O/A	PB6	I2C1_SCL/TIM4_CH1	USART1_TX
43	43	59	PB7	I/O/A	PB7	I2C1_SDA/TIM4_CH2	USART1_RX
44	44	60	BOOT0	I	BOOT0		
45	45	61	PB8	I/O/A	PB8	TIM4_CH3	I2C1_SCL
46	46	62	PB9	I/O/A	PB9	TIM4_CH4	I2C1_SDA
47	47	63	V _{SS_3}	P	V _{SS_3}		
48	48	64	V _{DD_3}	P	V _{DD_3}		

表 2-2 CH32V103x6x6 引脚定义

引脚编号		引脚名称	引脚类型	主功能 (复位后)	默认复用功能	重映射功能
LQFP48	LQFP64M					
1	1	V _{BAT}	P	V _{BAT}		
2	2	PC13- TAMPER-RTC	I/O	PC13	TAMPER-RTC	
3	3	PC14- OSC32_IN	I/O/A	PC14	OSC32_IN	
4	4	PC15- OSC32_OUT	I/O/A	PC15	OSC32_OUT	
5	5	OSC8M_IN	I/A	OSC8M_IN		PDO
6	6	OSC8M_OUT	O/A	OSC8M_OUT		PD1
7	7	NRST	I/O	NRST		
-	8	PC0	I/O/A	PC0	ADC_IN10	
-	9	PC1	I/O/A	PC1	ADC_IN11	
-	10	PC2	I/O/A	PC2	ADC_IN12	
-	11	PC3	I/O/A	PC3	ADC_IN13	
8	12	V _{SSA}	P	V _{SSA}		
9	13	V _{DDA}	P	V _{DDA}		
10	14	PA0-WKUP	I/O/A	PA0	WKUP/USART2_CTS/ADC_IN0 /TIM2_CH1/TIM2_ETR	
11	15	PA1	I/O/A	PA1	USART2_RTS/ADC_IN1 /TIM2_CH2	
12	16	PA2	I/O/A	PA2	USART2_TX/ADC_IN2/TIM2_CH3	
13	17	PA3	I/O/A	PA3	USART2_RX/ADC_IN3/TIM2_CH4	
-	18	V _{SS_4}	P	V _{SS_4}		
-	19	V _{DD_4}	P	V _{DD_4}		
14	20	PA4	I/O/A	PA4	SP11_NSS/USART2_CK/ADC_IN4	
15	21	PA5	I/O/A	PA5	SP11_SCK/ADC_IN5	
16	22	PA6	I/O/A	PA6	SP11_MISO/ADC_IN6/TIM3_CH1	TIM1_BKIN
17	23	PA7	I/O/A	PA7	SP11_MOSI/ADC_IN7/TIM3_CH2	TIM1_CH1N
-	24	PC4	I/O/A	PC4	ADC_IN14	
-	25	PC5	I/O/A	PC5	ADC_IN15	
18	26	PB0	I/O/A	PB0	ADC_IN8/TIM3_CH3	TIM1_CH2N
19	27	PB1	I/O/A	PB1	ADC_IN9/TIM3_CH4	TIM1_CH3N
20	28	PB2	I/O	PB2/B00T1		
21	29	PB10	I/O	PB10		TIM2_CH3
22	30	PB11	I/O	PB11		TIM2_CH4
23	31	V _{SS_1}	P	V _{SS_1}		
24	32	V _{DD_1}	P	V _{DD_1}		

25	33	PB12	I/O	PB12	TIM1_BKIN	
26	34	PB13	I/O	PB13	TIM1_CH1N	
27	35	PB14	I/O	PB14	TIM1_CH2N	
28	36	PB15	I/O	PB15	TIM1_CH3N	
–	37	PC6	I/O	PC6		TIM3_CH1
–	38	PC7	I/O	PC7		TIM3_CH2
–	39	PC8	I/O	PC8		TIM3_CH3
–	40	PC9	I/O	PC9		TIM3_CH4
29	41	PA8	I/O	PA8	USART1_CK/TIM1_CH1/MCO	
30	42	PA9	I/O	PA9	USART1_TX/TIM1_CH2	
31	43	PA10	I/O	PA10	USART1_RX/TIM1_CH3	
32	44	PA11	I/O/A	PA11	USART1_CTS/USBHDM/TIM1_CH4	
33	45	PA12	I/O/A	PA12	USART1_RTS/USBHDP/TIM1_ETR	
34	46	PA13	I/O	SWDIO		PA13
35	47	V _{SS_2}	P	V _{SS_2}		
36	48	V _{DD_2}	P	V _{DD_2}		
37	49	PA14	I/O	SWCLK		PA14
38	50	PA15	I/O	PA15		TIM2_CH1/TIM2_ETR/SPI1_NSS
–	51	PC10	I/O	PC10		
–	52	PC11	I/O	PC11		
–	53	PC12	I/O	PC12		
–	54	PD2	I/O	PD2	TIM3_ETR	
39	55	PB3	I/O	PB3		TRACESWO/TIM2_CH2/SPI1_SCK
40	56	PB4	I/O	PB4		TIM3_CH1/SPI1_MISO
41	57	PB5	I/O	PB5	I2C1_SMBAI	TIM3_CH2/SPI1_MOSI
42	58	PB6	I/O/A	PB6	I2C1_SCL	USART1_TX
43	59	PB7	I/O/A	PB7	I2C1_SDA	USART1_RX
44	60	BOOT0	I	BOOT0		
45	61	PB8	I/O/A	PB8		I2C1_SCL
46	62	PB9	I/O/A	PB9		I2C1_SDA
47	63	V _{SS_3}	P	V _{SS_3}		
48	64	V _{DD_3}	P	V _{DD_3}		

注：引脚类型：

I = TTL/CMOS 电平斯密特输入；

O = CMOS 电平三态输出；

A = 模拟信号输入或输出；

P = 电源；

第3章 电气特性

3.1 测试条件

除非特殊说明和标注，所有电压都以 V_{SS} 为基准。

所有最小值和最大值将在最坏的环境温度、供电电压和时钟频率条件下得到保证。典型数值是基于常温和 $V_{DD} = 3.3V$ 环境下，可用于设计指导。

对于通过综合评估、设计模拟或工艺特性得到的数据，不会在生产线上进行测试。在综合评估的基础上，最小和最大值是通过样本测试后统计得到。

常温环境：25℃

供电方案：

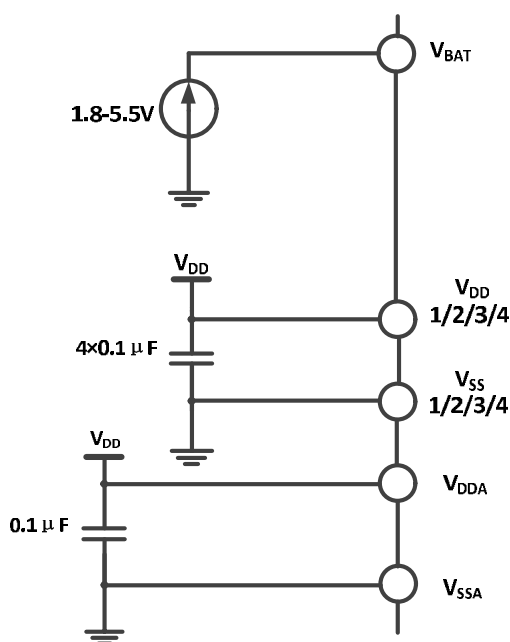


图 3-1 常规供电典型电路

3.2 绝对最大值

临界或者超过绝对最大值将可能导致芯片工作不正常甚至损坏。

表 3-1 绝对最大值参数表

符号	描述	最小值	最大值	单位
T_A^1	工作时的环境温度	-40	85	℃
T_S	存储时的环境温度	-40	105	℃
$V_{DD}-V_{SS}^1$	外部主供电电压（包含 V_{DDA} 和 V_{DD} ）	-0.3	5.5	V
V_{IN}^1	引脚上的输入电压	$V_{SS}-0.3$	5.5	V
$ \Delta V_{DDx} ^1$	不同供电引脚之间的电压差		50	mV
$ V_{SSx}-V_{SS} ^1$	不同接地引脚之间的电压差		50	mV
$V_{ESD(HBM)}^1$	ESD 静电放电电压（人体模型，非接触式）	4000		V
I_{VDD}^2	经过 V_{DD}/V_{DDA} 电源线的总电流（供应电流）		50	mA

I_{VSS}^2	经过 V_{SS} 地线的总电流（流出电流）		50	
I_{IO}^1	任意 I/O 和控制引脚上的吸入电流		-25	
	任意 I/O 和控制引脚上的输出电流		25	

注：1. 设计参数。

2. 正常工作能达到最大电流值。

3.3 电气参数

3.3.1 工作条件

表 3-2 通用工作条件

符号	参数	条件	最小值	最大值	单位
F_{SYSCLK}	内部系统时钟频率			80	MHz
F_{HCLK}	内部 AHB 域总线时钟频率			80	MHz
F_{PCLK1}	内部 APB1 域总线时钟频率			80	MHz
F_{PCLK2}	内部 APB2 域总线时钟频率			80	MHz
V_{DD}	标准工作电压		2.7	5.5	V
V_{DDA}	模拟部分工作电压(未使用 ADC)	必须与 V_{DD} 相同	2.7	5.5	V
	模拟部分工作电压（使用 ADC）		3.0		
V_{BAT}^2	备份单元工作电压	不能大于 V_{DD}	1.8	5.5	V
T_A^1	环境温度		-40	85	°C

注：1. 设计参数。

2. 电池到 V_{BAT} 连线要尽可能的短。

表 3-3 上电和掉电条件

符号	参数	条件	最小值	最大值	单位
t_{VDD}	V_{DD} 上升速率		0	∞	us/V
	V_{DD} 下降速率		50	∞	us/V

注：电池到 V_{BAT} 连线要尽可能的短。

3.3.2 内嵌复位和电源控制模块特性

表 3-4 复位及电压监测器

符号	参数	条件	最小值	典型值	最大值	单位
V_{PVD}^2	可编程电压检测器的电平选择	PLS[2:0] = 000(上升沿)		2.65		V
		PLS[2:0] = 000(下降沿)		2.5		V
		PLS[2:0] = 001(上升沿)		2.87		V
		PLS[2:0] = 001(下降沿)		2.7		V
		PLS[2:0] = 010(上升沿)		3.07		V
		PLS[2:0] = 010(下降沿)		2.89		V
		PLS[2:0] = 011(上升沿)		3.27		V
		PLS[2:0] = 011(下降沿)		3.08		V
		PLS[2:0] = 100(上升沿)		3.46		V
		PLS[2:0] = 100(下降沿)		3.27		V
		PLS[2:0] = 101(上升沿)		3.76		V

		PLS[2:0] = 101(下降沿)		3.55		V
		PLS[2:0] = 110(上升沿)		4.07		V
		PLS[2:0] = 110(下降沿)		3.84		V
		PLS[2:0] = 111(上升沿)		4.43		V
		PLS[2:0] = 111(下降沿)		4.18		V
$V_{PVDhyst}^1$	PVD 迟滞			0.2		V
$V_{POR/PDR}^1$	上电/掉电复位阈值	上升沿		2.5		V
		下降沿		2.42		V
$V_{PDRhyst}^1$	PDR 迟滞		40		110	mV
$t_{RSTTEMPO}^1$	复位持续时间		16		44	mS

注：1. 设计参数

2. 常温测试值。

3.3.3 内置的参考电压

表 3-5 内置参考电压

符号	参数	条件	最小值	最大值	单位
V_{REFINT}	内置参考电压	$T_A = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$	1.12	1.28	V
$T_{S_vrefint}$	当读出内部参考电压时，ADC 的采样时间		0.107	17.1	us

3.3.4 供电电流特性

电流消耗是多种参数和因素的综合指标，这些参数和因素包括工作电压、环境温度、I/O 引脚的负载、产品的软件配置、工作频率、I/O 脚的翻转速率、程序在存储器中的位置以及执行的代码等。

电流消耗测量方法如下图：

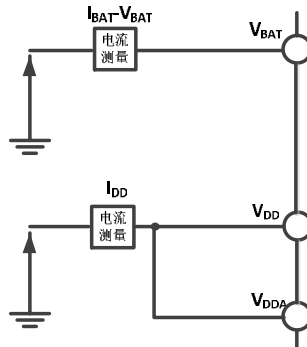


图 3-2 电流消耗测量

微控制器处于下列条件：

常温情况下， $V_{DD} = 3.3\text{V}$ ，所有 I/O 端口配置上拉输入，使能或关闭所有外设时钟（不包括 GPIO 外设），没有初始化外设功能。

表 3-6 运行模式下典型的电流消耗，数据处理代码从内部闪存中运行

符号	参数	条件	典型值		单位
			使能所有外设	关闭所有外设	

I_{DD}	运行模式下的 供应电流	外部时钟	$F_{SYSCLK} = 72MHz$	13.56	8.88	mA
			$F_{SYSCLK} = 48MHz$	9.76	6.64	
			$F_{SYSCLK} = 36MHz$	8.51	5.85	
			$F_{SYSCLK} = 24MHz$	6.38	4.62	
			$F_{SYSCLK} = 16MHz$	5.11	3.88	
			$F_{SYSCLK} = 8MHz$	3.15	2.61	
			$F_{SYSCLK} = 4MHz$	2.50	2.26	
			$F_{SYSCLK} = 500KHz$	1.99	1.96	
		运行于高速内部 RC 振荡器 (HSI), 使用 AHB 预分频 以减低频率	$F_{SYSCLK} = 64MHz$	12.63	7.63	
			$F_{SYSCLK} = 48MHz$	9.92	6.17	
			$F_{SYSCLK} = 36MHz$	7.90	5.08	
			$F_{SYSCLK} = 24MHz$	5.75	3.98	
			$F_{SYSCLK} = 16MHz$	4.57	3.31	
			$F_{SYSCLK} = 8MHz$	2.82	2.23	
			$F_{SYSCLK} = 4MHz$	2.19	1.88	
			$F_{SYSCLK} = 500KHz$	1.61	1.58	

注：以上为实测参数

表 3-7 睡眠模式下典型的电流消耗，数据处理代码从内部闪存或 SRAM 中运行

符号	参数	条件		典型值		单位
				使能所有外设	关闭所有外设	
I _{DD}	睡眠模式下的 供应电流 （此时外设 供电和时钟 保持）	外部时钟	F _{SYSCLK} = 72MHz	10.98	5.33	mA
			F _{SYSCLK} = 48MHz	8.05	4.27	
			F _{SYSCLK} = 36MHz	6.87	4.06	
			F _{SYSCLK} = 24MHz	5.30	3.42	
			F _{SYSCLK} = 16MHz	4.34	3.08	
			F _{SYSCLK} = 8MHz	2.83	2.21	
			F _{SYSCLK} = 4MHz	2.37	2.06	
			F _{SYSCLK} = 500KHz	1.97	1.93	
		运行于高速内部 RC 振荡器（HSI）， 使用 AHB 预分频 以减低频率	F _{SYSCLK} = 64MHz	9.71	4.69	
			F _{SYSCLK} = 48MHz	7.73	3.96	
			F _{SYSCLK} = 36MHz	6.24	3.41	
			F _{SYSCLK} = 24MHz	4.76	2.87	
			F _{SYSCLK} = 16MHz	3.83	2.57	
			F _{SYSCLK} = 8MHz	2.47	1.84	
			F _{SYSCLK} = 4MHz	2.00	1.68	
			F _{SYSCLK} = 500KHz	1.59	1.55	

注：以上为实测参数

表 3-8 停止和待机模式下典型的电流消耗

符号	参数	条件	典型值	单位
----	----	----	-----	----

I_{DD}	停止模式下的供应电流	调压器处于运行模式，低速和高速内部 RC 振荡器及外部振荡器都处于关闭状态（没有独立看门狗）	455	uA
		调压器处于低功耗模式，低速和高速内部 RC 振荡器及外部振荡器都处于关闭状态（没有独立看门狗）	1.6	
	待机模式下的供应电流	低速内部 RC 振荡器和独立看门狗处于开启状态	2.8	
		低速内部 RC 振荡器处于开启状态，独立看门狗处于关闭状态	2.7	
		低速内部 RC 振荡器和独立看门狗处于关闭状态，低速外部振荡器和 RTC 关闭状态	1.6	
I_{DD_VBAT}	备份区域的供应电流 (移除 V_{DD} 和 V_{DDA} , 只使用 V_{BAT} 供电)	低速外部振荡器和 RTC 处于开启状态	2.4	

注：以上为实测参数

3.3.5 外部时钟源特性

表 3-9 来自外部高速时钟

符号	参数	条件	最小值	典型值	最大值	单位
F_{HSE_ext}	外部时钟频率			8	25	MHz
V_{HSEH}^1	OSC_IN 输入引脚高电平电压		$0.8V_{DD}$		V_{DD}	V
V_{HSEL}^1	OSC_IN 输入引脚低电平电压		0		$0.2V_{DD}$	V
$C_{in(HSE)}$	OSC_IN 输入电容			5		pF
$DuCy_{(HSE)}$	占空比			50		%

注：1. 不满足此条件可能会引起电平识别错误。

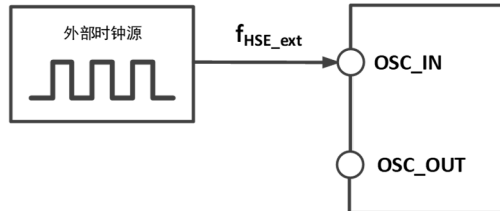


图 3-3 外部提供高频时钟源电路

表 3-10 来自外部低速时钟

符号	参数	条件	最小值	典型值	最大值	单位
F_{LSE_ext}	用户外部时钟频率			32.768	1000	KHz
V_{LSEH}	OSC32_IN 输入引脚高电平电压		$0.8V_{DD}$		V_{DD}	V

V_{LSEL}	OSC32_IN 输入引脚低电平电压		0		$0.2V_{DD}$	V
$C_{in(LSE)}$	OSC32_IN 输入电容			5		pF
$DuCy_{(LSE)}$	占空比			50		%

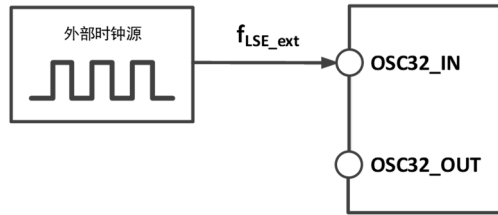


图 3-4 外部提供低频时钟源电路

表 3-11 使用一个晶体/陶瓷谐振器产生的高速外部时钟

符号	参数	条件	最小值	典型值	最大值	单位
F_{OSC_IN}	谐振器频率		4	8	16	MHz
I_2^1	HSE 驱动电流	$V_{DD} = 3.3V$, 20p 负载		0.2		mA
g_m^1	振荡器的跨导	启动		4.6		mA/V
$t_{SU(HSE)}$	启动时间	V_{DD} 是稳定的		1		ms

注：1. 设计参数

电路参考设计及要求：

晶体的负载电容一般选用 20pF ($C_{L1}=C_{L2}$, 建议 5~25pF)，实际请参考所使用晶体的厂家数据手册。

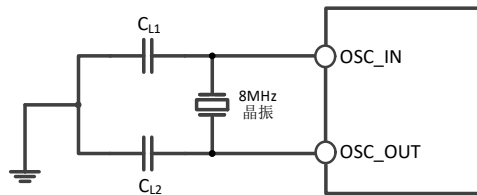


图 3-5 外接 8M 晶体典型电路

表 3-12 使用一个晶体/陶瓷谐振器产生的低速外部时钟 ($f_{LSE}=32.768KHz$)

符号	参数	条件	最小值	典型值	最大值	单位
i_2^1	LSE 驱动电流	$V_{DD} = 3.3V$		0.5		uA
g_m^1	振荡器的跨导	启动		13.5		uA/V
$t_{SU(LSE)}$	启动时间	V_{DD} 是稳定的		200		mS

注：1. 设计参数。

电路参考设计及要求：

晶体的负载电容一般选用不超过 15pF ($C_{L1}=C_{L2}$, 建议 5~15pF)，实际请参考所使用晶体的厂家数据手册。

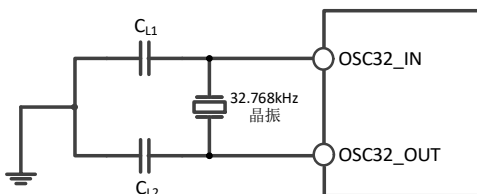


图 3-6 外接 32.768K 晶体典型电路

注：负载电容 C_L 由下式计算： $C_L = C_{L1} \times C_{L2} / (C_{L1} + C_{L2}) + C_{stray}$ ，其中 C_{stray} 是引脚的电容和 PCB 板或 PCB 相关的电容，它的典型值是介于 2pF 至 7pF 之间。

3.3.6 内部时钟源特性

表 3-13 内部高速 (HSI) RC 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
F_{HSI}	频率			8		MHz
$DuCy_{HSI}$	占空比		45	50	55	%
ACC_{HSI}	HSI 振荡器的精度	$T_A = 0^{\circ}\text{C} \sim 70^{\circ}\text{C}$	-1.5		1.5	%
		$T_A = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$	-2		2	%
$t_{SU(HSI)}$	HSI 振荡器启动时间				2.6	μs
$I_{DD(HSI)}$	HSI 振荡器功耗			200		μA

表 3-14 内部低速 (LSI) RC 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
F_{LSI}	频率		25	36	60	KHz
$DuCy_{LSI}$	占空比		45	50	55	%
$t_{SU(LSI)}$	LSI 振荡器启动时间				82	μs
$I_{DD(LSI)}^1$	LSI 振荡器功耗			0.6		μA

注：1. 设计参数

3.3.7 PLL 特性

表 3-15 PLL 特性

符号	参数	条件	最小值	典型值	最大值	单位
F_{PLL_IN}	PLL 输入时钟		4	8	16	MHz
	PLL 输入时钟占空比 ¹		40		60	%
F_{PLL_OUT}	PLL 倍频输出时钟				80	MHz
t_{LOCK}^1	PLL 锁定时间				1000	$1/F_{PLL_IN}$

注：1. 设计参数

3.3.8 从低功耗模式唤醒的时间

表 3-16 低功耗模式唤醒的时间

符号	参数	条件	典型值	单位
$t_{WUSLEEP}$	从睡眠模式唤醒	使用 HSI RC 时钟唤醒	5.8	μs
t_{WUSTOP}	从停止模式唤醒 (调压器处于运行模式)	HSI RC 时钟唤醒	253	μs
	从停止模式唤醒 (调压器为低功耗模式)	调压器从低功耗模式唤醒时间 + HSI RC 时钟唤醒 + flash 启动	253	μs
$t_{WUSTDBY}$	从待机模式唤醒	调压器从低功耗模式唤醒时间 + HSI RC 时钟唤醒 + flash 启动	340	μs

3.3.9 存储器特性

表 3-17 闪存存储器特性

符号	参数	条件	最小值	典型值	最大值	单位
$t_{\text{ERASE}_{128}}$	页（128 字节）编程时间	$T_A = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$	2.5	2.75	3	ms
t_{ERASE}	页（128 字节）擦除时间	$T_A = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$	2.5	2.75	3	ms
t_{prog}	16 位的编程时间	$T_A = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$	2.5	2.75	3	ms
t_{ERASE}	页（1K 字节）擦除时间	$T_A = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$	20	22	24	ms
t_{ME}	整片擦除时间	$T_A = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$	2.5	2.75	3	ms
V_{prog}	编程电压		2.7		5.5	V

表 3-18 闪存存储器寿命和数据保存期限

符号	参数	条件	最小值	典型值	最大值	单位
N_{END}	擦写次数	$T_A = 25^{\circ}\text{C}$	10K	80K ¹		次
t_{RET}	数据保存期限		10			年

注：实测操作擦写次数，非担保。

3.3.10 I/O 端口特性

表 3-19 通用 I/O 静态特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{IL}	输入低电平电压	TTL 端口	-0.3		0.8	V
V_{IH}	标准 I/O 脚，输入高电平电压	TTL 端口 $2.7\text{V} < V_{\text{DD}} < 4.2\text{V}$	2		$V_{\text{DD}} + 0.3$	V
		TTL 端口 $4.2\text{V} \leq V_{\text{DD}} < 5.5\text{V}$	$0.55V_{\text{DD}}$		$V_{\text{DD}} + 0.3$	V
V_{IL}	输入低电平电压	CMOS 端口	-0.3		0.8	V
V_{IH}	输入高电平电压		$0.65V_{\text{DD}}$		$V_{\text{DD}} + 0.3$	V
V_{hys}	标准 I/O 脚施密特触发器电压迟滞			330		mV
I_{lk}	输入漏电流				± 1	μA
R_{PU}	弱上拉等效电阻		30	42	55	K Ω
R_{PD}	弱下拉等效电阻		30	42	55	K Ω
C_{IO}	I/O 引脚电容			5		pF

注：以上为设计参数

输出驱动电流特性

GPIO (通用输入/输出端口) 可以吸收或输出多达 $\pm 8\text{mA}$ 电流, 并且吸收或输出 $\pm 20\text{mA}$ 电流 (不严格达到 $V_{\text{OL}}/V_{\text{OH}}$)。在用户应用中, 所有 I/O 引脚驱动总电流不能超过 3.2 节给出的绝对最大额定值:

表 3-20 输出电压特性

符号	参数	条件	最小值	最大值	单位
V_{OL}	输出低电平, 单个引脚吸收电流	TTL 端口, $I_{\text{IO}} = +8\text{mA}$ $2.7\text{V} < V_{\text{DD}} < 5.5\text{V}$		0.4	V
V_{OH}	输出高电平, 单个引脚输出电流		$V_{\text{DD}} - 0.4$		V
V_{OL}	输出低电平, 单个引脚吸收电流	CMOS 端口, $I_{\text{IO}} = +8\text{mA}$ $2.7\text{V} < V_{\text{DD}} < 5.5\text{V}$		0.4	V
V_{OH}	输出高电平, 单个引脚输出电流		2.3		V

V_{OL}	输出低电平, 单个引脚吸收电流	$I_{IO} = +20\text{mA}$ $2.7\text{V} < V_{DD} < 5.5\text{V}$		1.3	V
V_{OH}	输出高电平, 单个引脚输出电流		$V_{DD}-1.3$		V

注：以上条件中如果多个 I/O 引脚同时驱动，电流总和不能超过表 3.2 节给出的绝对最大额定值。另外多个 I/O 引脚同时驱动时，电源/地线点上的电流很大，会导致压降使内部 I/O 的电压达不到表中电源电压，从而导致驱动电流小于标称值。

表 3-21 输入输出交流特性

MODEx[1:0] 配置	符号	参数	条件	最小值	最大值	单位
10 (2MHz)	$F_{\max(I/O)\text{out}}$	最大频率	$CL=50\text{pF}$, $V_{DD}=2.7-5.5\text{V}$		2	MHz
	$t_{f(I/O)\text{out}}$	输出高至低电平的下降时间	$CL=50\text{pF}$, $V_{DD}=2.7-5.5\text{V}$		125	ns
	$t_{r(I/O)\text{out}}$	输出低至高电平的上升时间			125	ns
01 (10MHz)	$F_{\max(I/O)\text{out}}$	最大频率	$CL=50\text{pF}$, $V_{DD}=2.7-5.5\text{V}$		10	MHz
	$t_{f(I/O)\text{out}}$	输出高至低电平的下降时间	$CL=50\text{pF}$, $V_{DD}=2.7-5.5\text{V}$		25	ns
	$t_{r(I/O)\text{out}}$	输出低至高电平的上升时间			25	ns
11 (50MHz)	$F_{\max(I/O)\text{out}}$	最大频率	$CL=30\text{pF}$, $V_{DD}=2.7-5.5\text{V}$		50	MHz
			$CL=50\text{pF}$, $V_{DD}=2.7-5.5\text{V}$		30	MHz
	$t_{f(I/O)\text{out}}$	输出高至低电平的下降时间	$CL=30\text{pF}$, $V_{DD}=2.7-5.5\text{V}$		20	ns
			$CL=50\text{pF}$, $V_{DD}=2.7-5.5\text{V}$		5	ns
	$t_{r(I/O)\text{out}}$	输出低至高电平的上升时间	$CL=30\text{pF}$, $V_{DD}=2.7-5.5\text{V}$		8	ns
			$CL=50\text{pF}$, $V_{DD}=2.7-5.5\text{V}$		12	ns
	t_{EXTIPW}	EXTI 控制器检测到外部信号的脉冲宽度		10		ns

注：以上为设计参数

3.3.11 NRST 引脚特性

表 3-22 外部复位引脚特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IL(NRST)}^1$	NRST 输入低电平电压		-0.3		0.8	V
$V_{IH(NRST)}^1$	NRST 输入高电平电压		$0.65V_{DD}$		$V_{DD}+0.5$	V
$V_{hys(NRST)}$	NRST 施密特触发器电压迟滞			330		mV
R_{PU}^2	弱上拉等效电阻		30	42	55	K Ω
$T_{F(NRST)}^1$	NRST 输入滤波脉冲				4	ns
$T_{NF(NRST)}^1$	NRST 输入非滤波脉冲		20			ns

注：1. 设计参数

2. 上拉电阻是一个真正的电阻串联一个可开关的 PMOS 实现。这个 PMOS/NMOS 开关的电阻很小 (约占 10%)。

电路参考设计及要求：

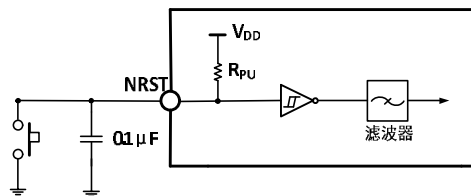


图 3-7 外部复位引脚典型电路

3.3.11 TIM 定时器特性

表 3-23 TIMx 特性

符号	参数	条件	最小值	最大值	单位
$t_{res(TIM)}$	定时器基准时钟		1		$t_{TIMxCLK}$
		$f_{TIMxCLK} = 72MHz$	13.9		ns
F_{EXT}	CH1 至 CH4 的定时器外部时钟频率		0	$f_{TIMxCLK}/2$	MHz
		$f_{TIMxCLK} = 72MHz$	0	36	MHz
R_{esTIM}	定时器分辨率			16	位
$t_{COUNTER}$	当选择了内部时钟时，16 位计数器时钟周期		1	65536	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 72MHz$	0.0139	910	us
t_{MAX_COUNT}	最大可能的计数			65535	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 72MHz$		59.6	s

注：以上为设计参数

3.3.12 I2C 接口特性

表 3-24 I2C 接口特性

符号	参数	标准 I2C		快速 I2C		单位
		最小值	最大值	最小值	最大值	
$t_w(SCLL)$	SCL 时钟低电平时间	4.7		1.2		us
$t_w(SCLH)$	SCL 时钟高电平时间	4.0		0.6		us
$t_{SU(SDA)}$	SDA 数据建立时间	250		100		ns
$t_h(SDA)$	SDA 数据保持时间	0		0	900	ns
$t_r(SDA)/t_r(SCL)$	SDA 和 SCL 上升时间		1000	20		ns
$t_f(SDA)/t_f(SCL)$	SDA 和 SCL 下降时间		300			ns
$t_h(STA)$	开始条件保持时间	4.0		0.6		us
$t_{SU(STA)}$	重复的开始条件建立时间	4.7		0.6		us
$t_{SU(STO)}$	停止条件建立时间	4.0		0.6		us
$t_w(STO:STA)$	停止条件至开始条件的时间(总线空闲)	4.7		1.2		us
C_b	每条总线的容性负载		400		400	pF

注：以上为设计参数

3.3.12 SPI 接口特性

表 3-25 SPI 接口特性

符号	参数	条件	最小值	最大值	单位
f_{SCK}	SPI 时钟频率	主模式		36	MHz
		从模式		36	MHz
$t_r(SCK)/t_f(SCK)$	SPI 时钟上升和下降时间	负载电容: $C = 30pF$		20	ns
$t_{SU(NSS)}$	NSS 建立时间	从模式	$2t_{PCLK}$		ns
$t_h(NSS)$	NSS 保持时间	从模式	$2t_{PCLK}$		ns
$t_w(SCKH)/t_w(SCKL)$	SCK 高电平和低电平时间	主模式, $f_{PCLK} = 36MHz$, 预分频系数=4	40	60	ns
$t_{SU(MI)}$	数据输入建立时间	主模式	5		ns

		从模式	5		ns
$t_{h(MI)}$	数据输入保持时间	主模式	5		ns
		从模式	4		ns
$t_{a(SO)}$	数据输出访问时间	从模式, $f_{PCLK} = 20MHz$	0	$1t_{PCLK}$	ns
$t_{dis(SO)}$	数据输出禁止时间	从模式	0	10	ns
$t_{V(SO)}$	数据输出有效时间	从模式（使能边沿之后）		25	ns
$t_{V(MO)}$	数据输出有效时间	主模式（使能边沿之后）		5	ns
$t_{h(SO)}$	数据输出保持时间	从模式（使能边沿之后）	15		ns
$t_{h(MO)}$		主模式（使能边沿之后）	0		ns

3.3.13 USB 接口特性

表 3-26 USB 模块特性

符号	参数	条件	最小值	最大值	单位
V_{DD}	USB 操作电压	不启用 USB5VSEL 控制位	3.0	3.6	V
		启用 USB5VSEL 控制位	4.0	5.5	
V_{SE}^{-1}	单端接收器阈值	$V_{DD} = 3.3V$	1.2	1.9	V
		$V_{DD} = 5V$	1.2	2	
V_{OL}	静态输出低电平			0.3	V
V_{OH}	静态输出高电平		2.8	3.6	V

注：1. 设计参数

3.3.14 12 位 ADC 特性

表 3-27 ADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DDA}	供电电压		3.0		5.5	V
f_{ADC}	ADC 时钟频率				14	MHz
f_s	采样速率				1	MHz
f_{TRIG}	外部触发频率	$f_{ADC} = 14MHz$			875	KHz
					16	$1/f_{ADC}$
V_{AIN}	转换电压范围		0		V_{DDA}	V
R_{AIN}	外部输入阻抗				58	K Ω
R_{ADC}	采样开关电阻			0.6	0.75	K Ω
C_{ADC}	内部采样和保持电容			30		pF
t_{lat}	注入触发转换时延	$f_{ADC} = 14MHz$			0.143	us
					2	$1/f_{ADC}$
t_{latr}	常规触发转换时延	$f_{ADC} = 14MHz$			0.143	us
					2	$1/f_{ADC}$
t_s	采样时间	$f_{ADC} = 14MHz$	0.107		17.1	us
			1.5		239.5	$1/f_{ADC}$
t_{STAB}	上电时间				1	us
t_{CONV}	总的转换时间（包括采样时间）	$f_{ADC} = 14MHz$	1		18	us
			14		252	$1/f_{ADC}$

注：以上均为设计参数

公式：最大 R_{AIN}

$$R_{AIN} < \frac{T_s}{f_{ADC} \times C_{ADC} \times \ln 2^{N+2}} - R_{ADC}$$

上述公式用于决定最大的外部阻抗，使得误差可以小于 1/4 LSB。其中 N=12 (表示 12 位分辨率)。

表 3-28 $f_{ADC} = 14\text{MHz}$ 时的最大 R_{AIN}

T_s (周期)	t_s (us)	最大 R_{AIN} (K Ω)
1.5	0.11	0 (不推荐)
7.5	0.54	1.1
13.5	0.96	2.6
28.5	2.04	6.2
41.5	2.96	9.4
55.5	3.96	12.9
71.5	5.11	16.8
239.5	17.1	58

注：以上均为设计参数

C_p 表示 PCB 与焊盘上的寄生电容 (大约 5pF)，可能与焊盘和 PCB 布局质量有关。较大的 C_p 数值将降低转换精度，解决办法是降低 f_{ADC} 值。

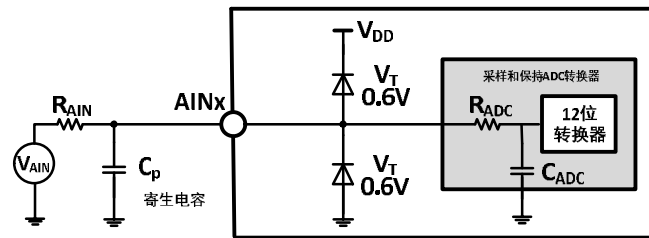


图 3-8 ADC 典型连接图

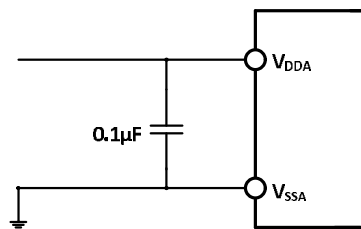


图 3-9 模拟电源及退耦电路参考

3.3.15 温度传感器特性

表 3-29 温度传感器特性

符号	参数	条件	最小值	典型值	最大值	单位
Avg_Slope	平均斜率		3.3	4.3	5.3	mV/°C
V ₂₅	在 25°C 时的电压		1.11	1.34	1.57	V
T _{s_temp}	当读取温度时，ADC 采样时间	$f_{ADC} = 14\text{MHz}$			17.1	us

注：以上均为设计参数。

3.3.16 TKey 模块特性

表 3-29 TKey 模块特性

符号	参数	条件	最小值	典型值	最大值	单位
I_{TKey}	模块工作电流	$V_{DD}=3.3V$	211	270	421	μA

第 4 章 封装信息

芯片封装

封装形式	塑体宽度	引脚间距		封装说明	订货型号
LQFP48	7*7mm	0.5mm	19.7mil	标准 LQFP48 脚贴片	CH32V103C6T6
LQFP48	7*7mm	0.5mm	19.7mil	标准 LQFP48 脚贴片	CH32V103C8T6
QFN48X7	7*7mm	0.5mm	19.7mil	方形无引线 48 脚贴片	CH32V103C8U6
LQFP64M	10*10mm	0.5mm	19.7mil	LQFP64M (10*10) 贴片	CH32V103R8T6

说明：尺寸标注的单位是 mm（毫米），引脚中心间距总是标称值，没有误差，除此之外的尺寸误差不大于±0.4mm 或者 15%。

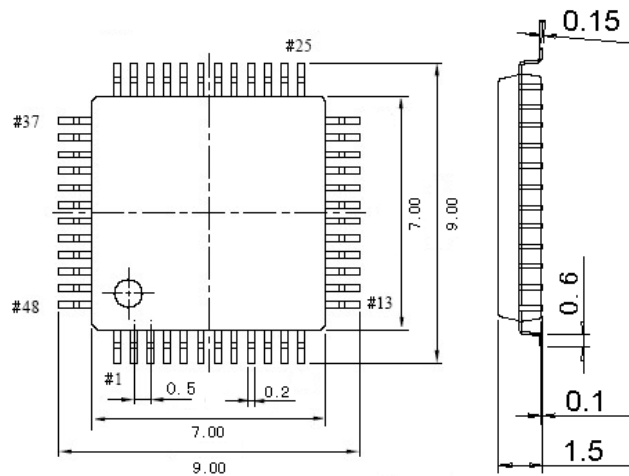


图 4-1 LQFP48 封装

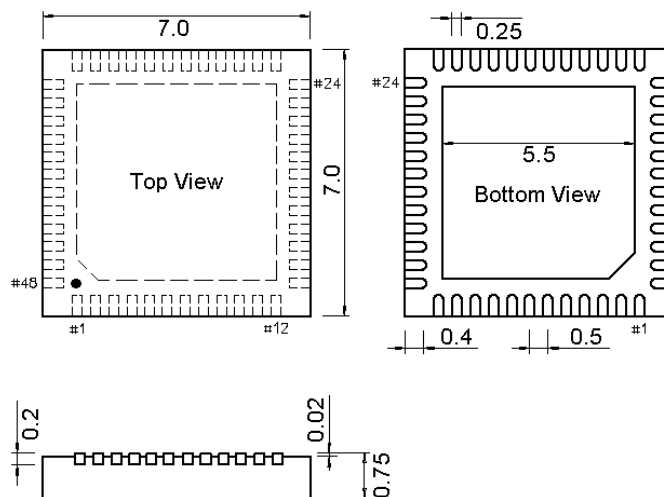


图 4-2 QFN48X7 (QFN48-7*7) 封装

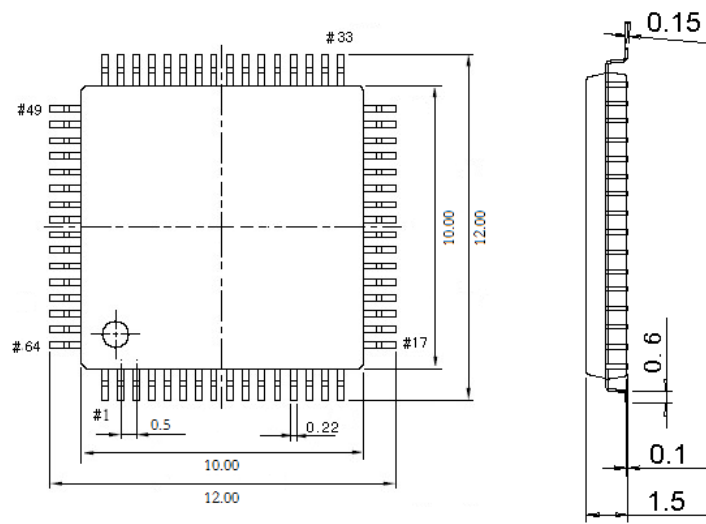


图 4-3 LQFP64M(LQFP64-10*10) 封装