

## Lab 5. 순차 회로 – 계수기

Digital System Design (CSED273)

20220100 박기현

### 1. 개요

이번 실험은 순차 회로(sequential circuit)의 대표적인 예시 중 하나인 계수기(counter)의 특성을 알아보고 다양한 계수기를 구현해본다.

### 2. 이론적 배경

#### 1) D 플립플롭(D Flip-Flop)

D 플립플롭은 Delay 플립플롭으로, 클럭 신호에 맞춰 입력값 D가 Q에 반영되는 회로이다.

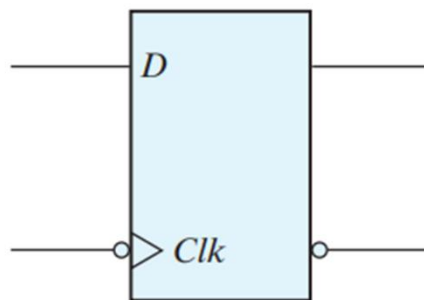


그림 1 D 플립플롭

D	Q	Q <sup>+</sup>
0	0	0
0	1	0
1	0	1
1	1	1

표 1 D 플립플롭의 Excitation table

#### 2) 계수기(counter)

계수기는 순차 회로의 일종으로, 클럭에 따라 순차적으로 지정된 패턴의 숫자를 저장하고 출력하는 회로이다. 사용 목적에 따라 출력 패턴을 다르게 하여 다양한 종류의 계수기를 만들 수

있다. 크게 비동기 계수기와 동기 계수기로 나뉜다. 비동기 계수기에는 ripple counter 가 있으며, 동기 계수기에는 binary counter, BCD counter, Ring counter, Johnson counter 등이 있다.

### 3) 동기 계수기(Synchronous counter)

동기 계수기는 조합 회로를 통해 클럭 신호를 카운터의 모든 플립플롭에 동시에 인가하는 계수기이다. 비동기 계수기에 비해 회로가 복잡하지만 클럭이 지연되지 않기 때문에 작동 속도는 더 빠르다.

### 4) 십진 계수기(Decade counter)

십진 계수기는 십진수를 순차적으로 세는 회로이다. 그림 2 와 같이 0 부터 9 까지 반복하여 돌아간다.

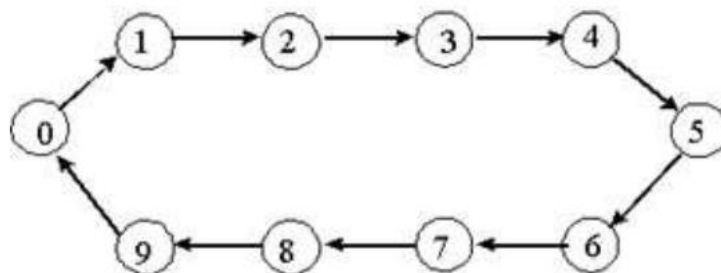


그림 2 십진 계수기의 상태 전이도

### 5) 상태 전이도 및 전이표(state diagram & state transition table)

상태 전이도와 전이표는 순차 회로의 상태 변화를 그림 혹은 표로 나타낸 것이다. 예를 들어 3 비트 이진 계수기는 아래 그림 3 과 같이 나타낼 수 있다.

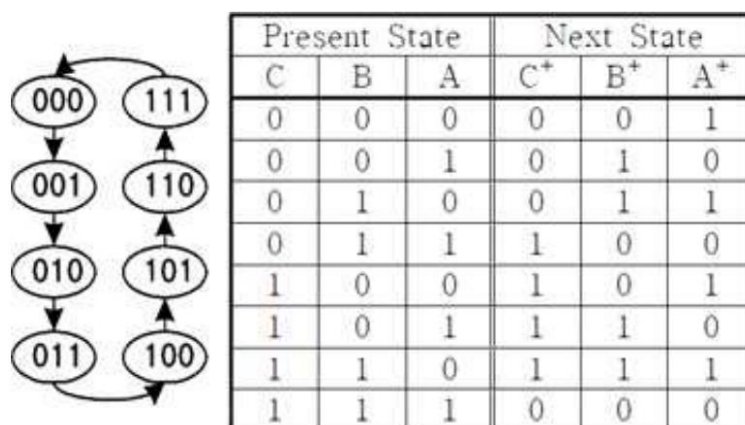
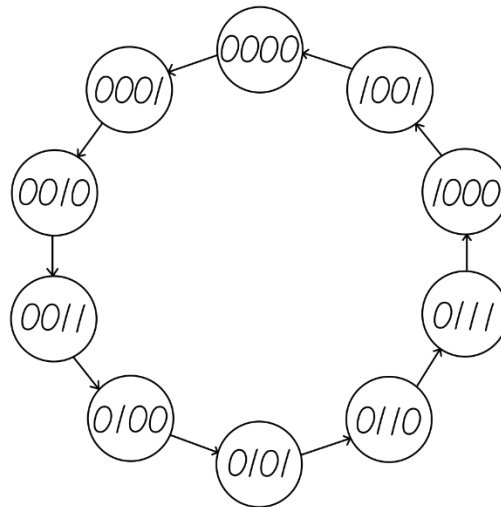


그림 3 3 비트 이진 계수기의 상태 전이도와 전이표

### 3. 실험 준비

1) JK 플립플롭을 이용한 Synchronous decade BCD counter

ㄱ. 계수기의 상태 전이도를 그린다.



ㄴ. 상태 전이표를 작성하고 각 상태 전환에 필요한 JK 플립플롭의 입력을 구한다.

Present state				Next state											
A	B	C	D	A	B	C	D	JA	KA	JB	KB	JC	KC	JD	KD
0	0	0	0	0	0	0	1	0	X	0	X	0	X	1	X
0	0	0	1	0	0	1	0	0	X	0	X	1	X	X	1
0	0	1	0	0	0	1	1	0	X	0	X	X	0	1	X
0	0	1	1	0	1	0	0	0	X	1	X	X	1	X	1
0	1	0	0	0	1	0	1	0	X	X	0	0	X	1	X
0	1	0	1	0	1	1	0	0	X	X	0	1	X	X	1
0	1	1	0	0	1	1	1	0	X	X	0	X	0	1	X
0	1	1	1	1	0	0	0	1	X	X	1	X	1	X	1
1	0	0	0	1	0	0	1	X	0	0	X	0	X	1	X
1	0	0	1	0	0	0	0	X	1	0	X	0	X	X	1
1	0	1	0	X	X	X	X	X	X	X	X	X	X	X	X
1	0	1	1	X	X	X	X	X	X	X	X	X	X	X	X
1	1	0	0	X	X	X	X	X	X	X	X	X	X	X	X
1	1	0	1	X	X	X	X	X	X	X	X	X	X	X	X
1	1	1	0	X	X	X	X	X	X	X	X	X	X	X	X
1	1	1	1	X	X	X	X	X	X	X	X	X	X	X	X

ㄷ. JK 플립플롭의 입력을 단순화하여 나타낸다.

AB \ CD	00	01	11	10
00	0	0	0	0
01	0	0	1	0
11	X	X	X	X
10	X	X	X	X

$$J_A = BCD$$

AB \ CD	00	01	11	10
00	X	X	X	X
01	X	X	X	X
11	X	X	X	X
10	0	1	X	X

$$K_A = D$$

AB \ CD	00	01	11	10
00	0	0	1	0
01	X	X	X	X
11	X	X	X	X
10	0	0	X	X

$$J_B = CD$$

AB \ CD	00	01	11	10
00	X	X	X	X
01	0	0	1	0
11	X	X	X	X
10	X	X	X	X

$$K_A = CD$$

AB \ CD	00	01	11	10
00	0	1	X	X
01	0	1	X	X
11	X	X	X	X
10	0	0	X	X

$$J_C = A'D$$

AB \ CD	00	01	11	10
00	X	X	1	0
01	X	X	1	0
11	X	X	X	X
10	X	X	X	X

$$K_C = D$$

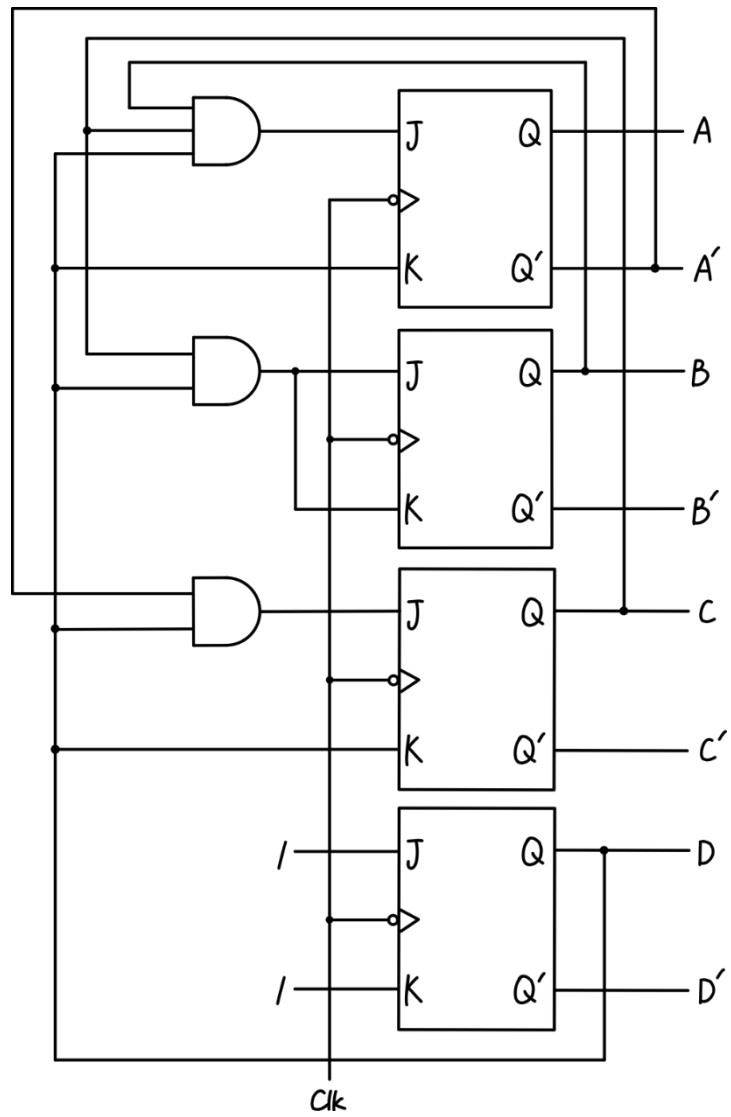
AB \ CD	00	01	11	10
00	1	X	X	1
01	1	X	X	1
11	X	X	X	X
10	1	X	X	X

$$J_D = 1$$

AB \ CD	00	01	11	10
00	X	1	1	X
01	X	1	1	X
11	X	X	X	X
10	X	1	X	X

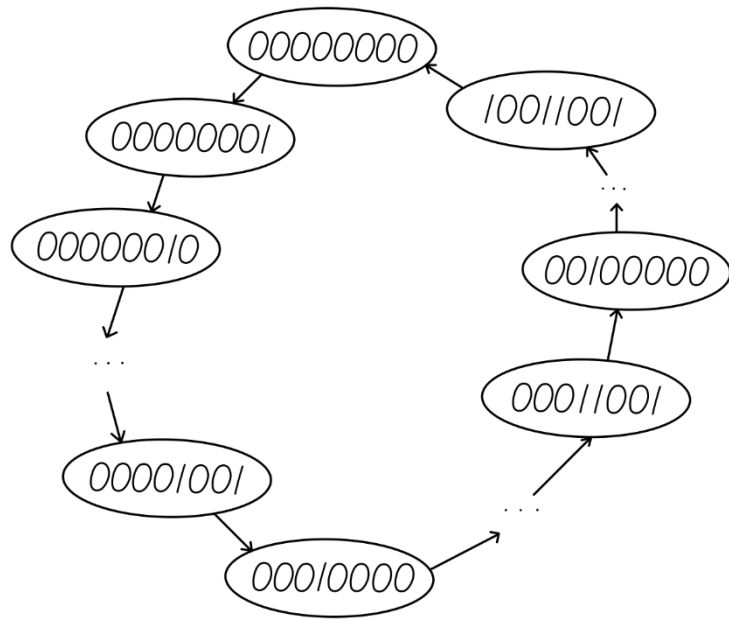
$$K_D = 1$$

ㄹ. 전체 회로도를 그린다.

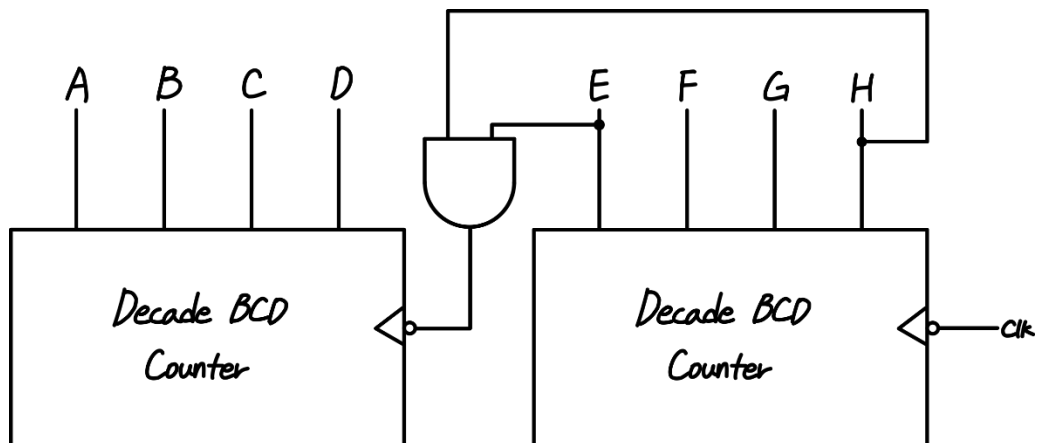


2) JK 플립플롭을 이용한 두 자릿수 Decade BCD counter (0~99)

ㄱ. 계수기의 개략적인 상태 전이도를 그린다.

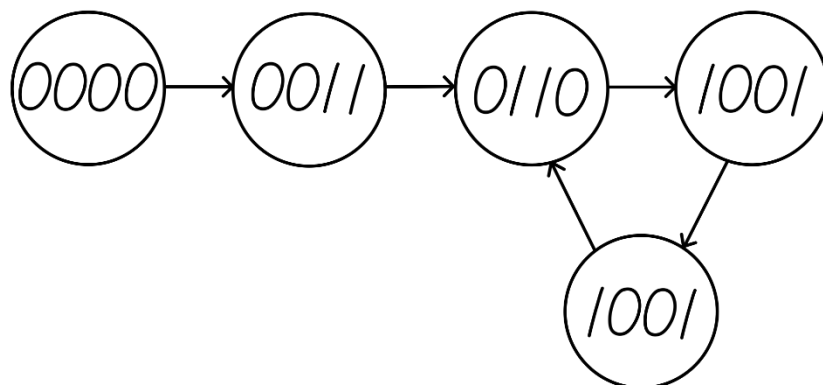


ㄴ. 1)의 계수기를 활용하여 회로도를 그린다.



3) D 플립플롭을 이용한 3, 6, 9 계수기 (0→3→6→9→13→6→9→13→...)

ㄴ. 계수기의 상태 전이도를 그린다.





ㄴ. 상태 전이표를 작성하고 각 상태 전환에 필요한 D 플립플롭의 입력을 구한다.

Present state				Next state				DA	DB	DC	DD
A	B	C	D	A	B	C	D				
0	0	0	0	0	0	1	1	0	0	1	1
0	0	0	1	X	X	X	X	X	X	X	X
0	0	1	0	X	X	X	X	X	X	X	X
0	0	1	1	0	1	1	0	0	1	1	0
0	1	0	0	X	X	X	X	X	X	X	X
0	1	0	1	X	X	X	X	X	X	X	X
0	1	1	0	1	0	0	1	1	0	0	1
0	1	1	1	X	X	X	X	X	X	X	X
1	0	0	0	X	X	X	X	X	X	X	X
1	0	0	1	1	1	0	1	1	1	0	1
1	0	1	0	X	X	X	X	X	X	X	X
1	0	1	1	X	X	X	X	X	X	X	X
1	1	0	0	X	X	X	X	X	X	X	X
1	1	0	1	0	1	1	0	0	1	1	0
1	1	1	0	X	X	X	X	X	X	X	X
1	1	1	1	X	X	X	X	X	X	X	X

ㄷ. 플립플롭의 입력을 단순화하여 나타낸다.

CD \ AB	00	01	11	10
00	0	X	0	X
01	X	X	X	1
11	X	0	X	X
10	X	1	X	X

$$D_A = AB' + BC$$

CD \ AB	00	01	11	10
00	0	X	1	X
01	X	X	X	0
11	X	1	X	X
10	X	1	X	X

$$D_B = D$$

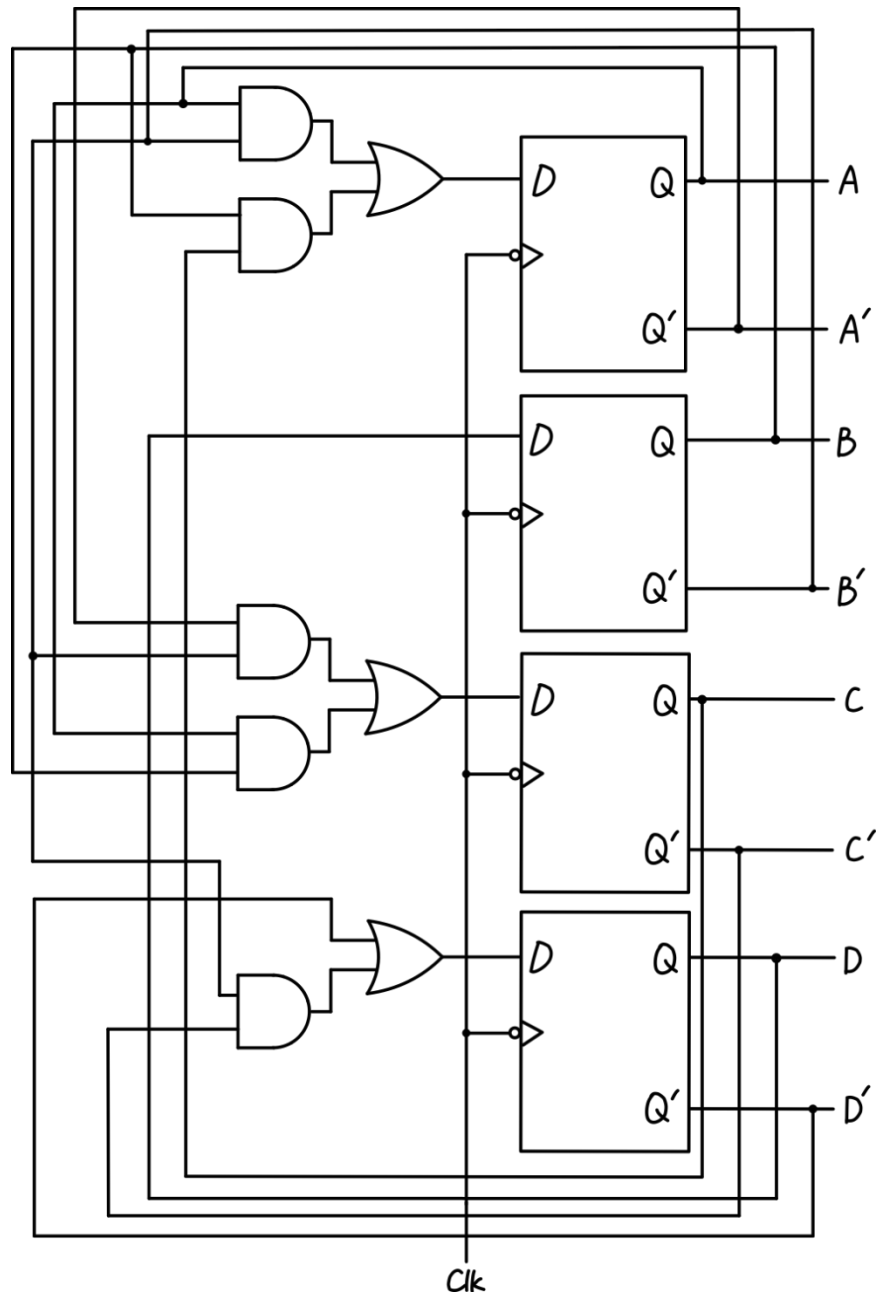
AB \ CD	00	01	11	10
00	1	X	1	X
01	X	X	X	0
11	X	1	X	X
10	X	0	X	X

$$D_C = A'B' + AB$$

AB \ CD	00	01	11	10
00	1	X	0	X
01	X	X	X	1
11	X	0	X	X
10	X	1	X	X

$$D_D = D' + B'C'$$

ㄹ. 전체 회로도를 그린다.

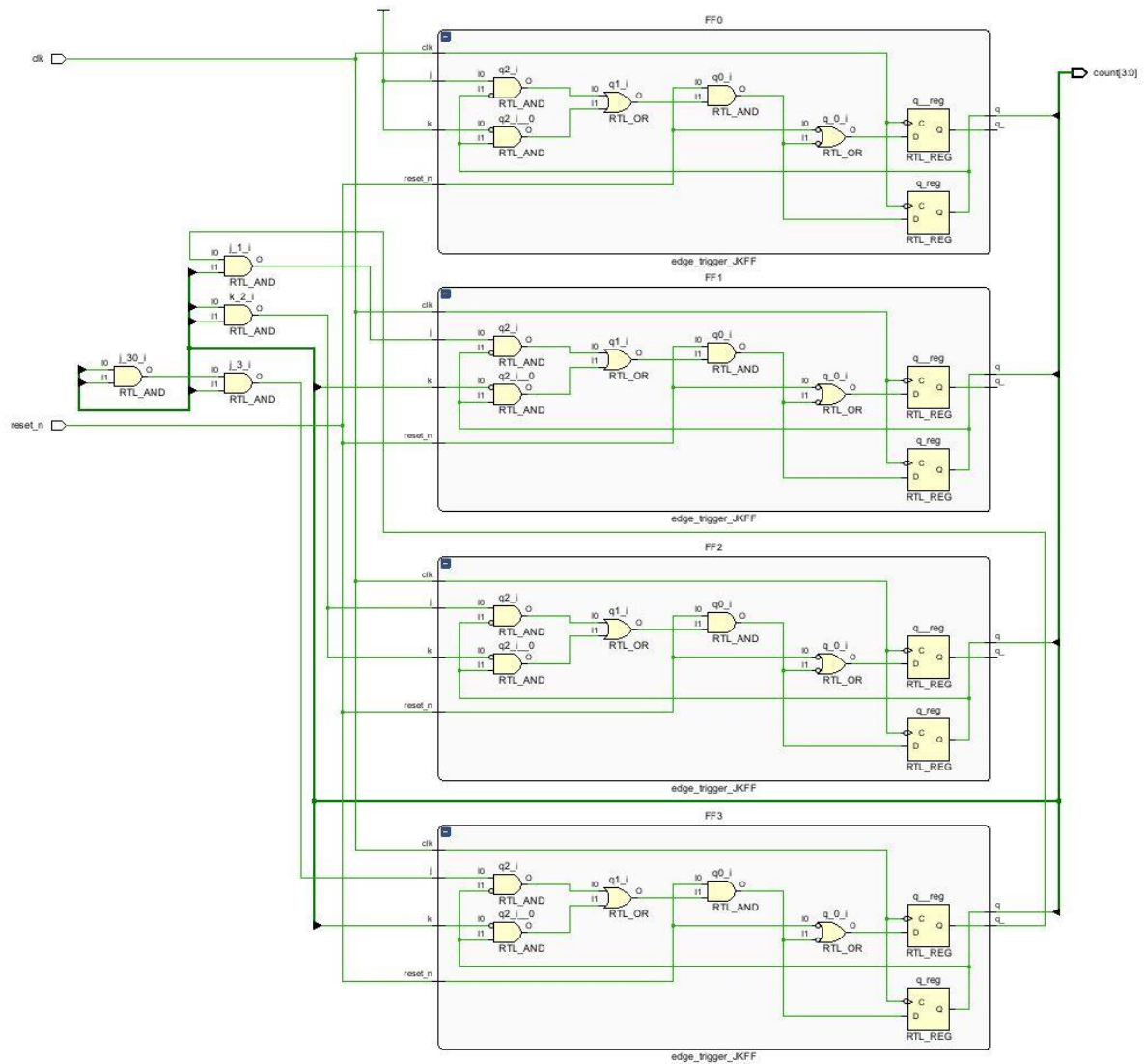


#### 4. 결과

##### 1) JK 플립플롭을 이용한 Synchronous decade BCD counter

ㄱ. 제공된 negative edge triggered JK 플립플롭을 사용해 Synchronous decade BCD counter 를 완성한다.

ㄴ. Schematic 기능으로 회로를 확인한다.

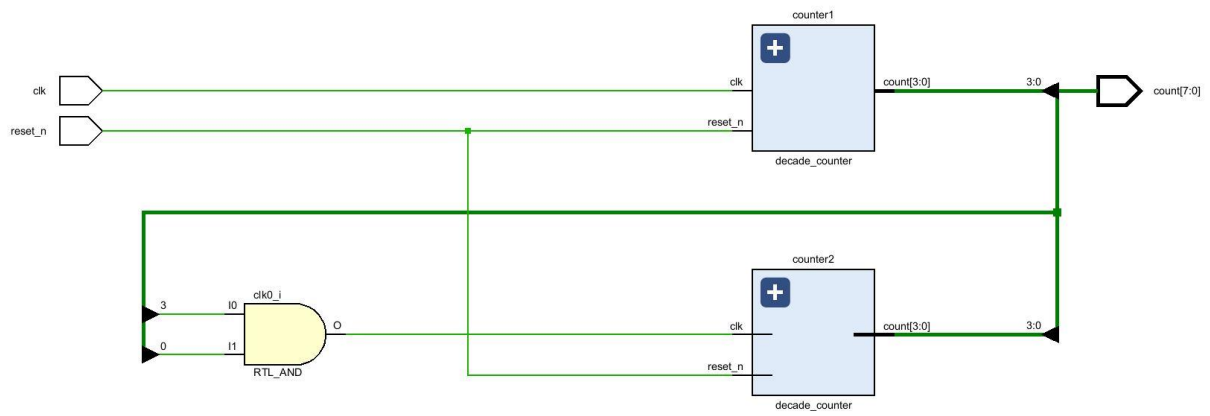


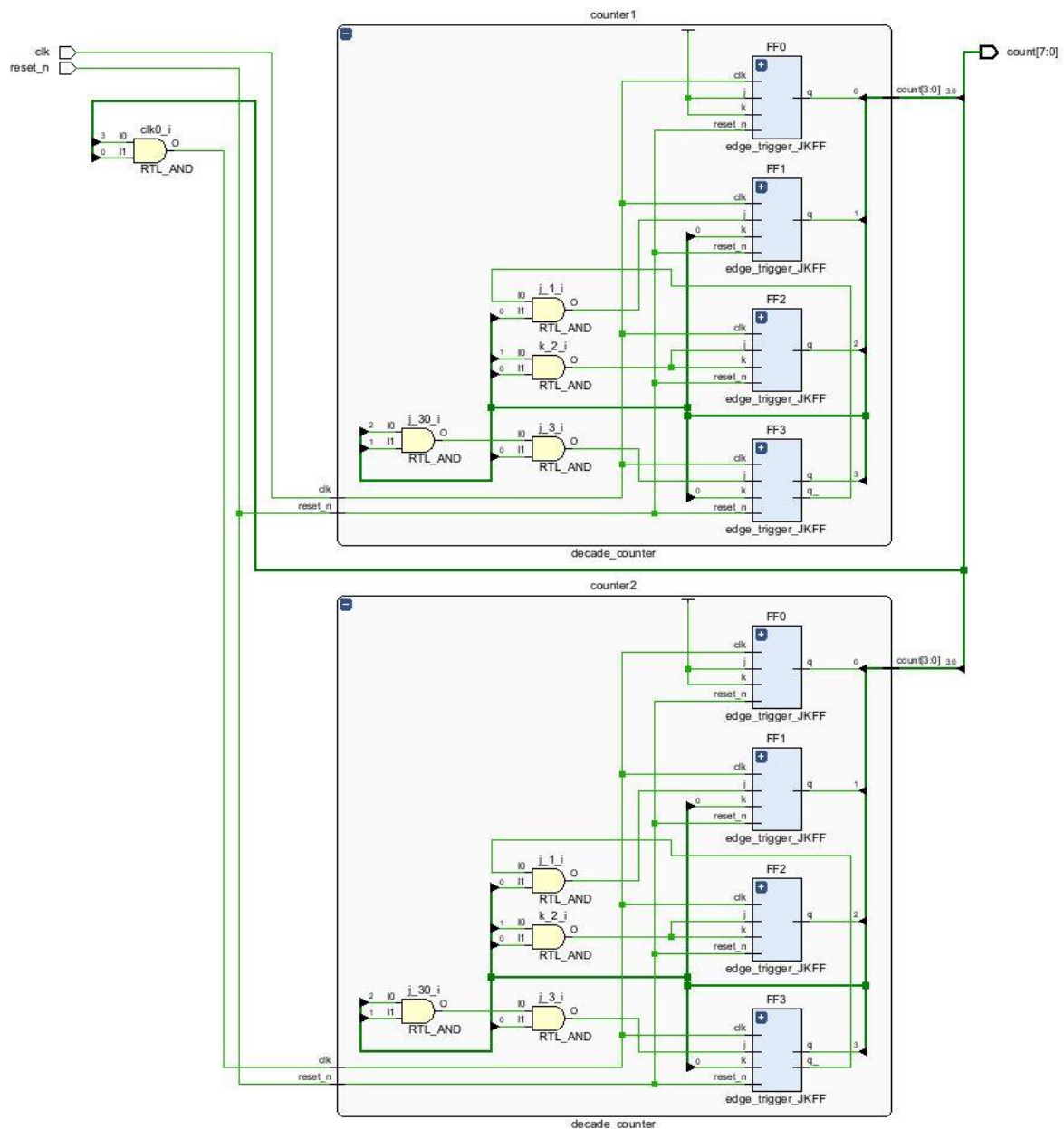
ㄷ. 테스트벤치를 완성하고 시뮬레이션을 실행하여 정상 작동을 확인한다.

2) JK 플립플롭을 이용한 두 자릿수 Decade BCD counter

ㄱ. 1)에서 구현한 Synchronous decade BCD counter 를 활용하여 두 자릿수 Decade counter 를 완성한다.

ㄴ. 기능으로 회로를 확인한다.





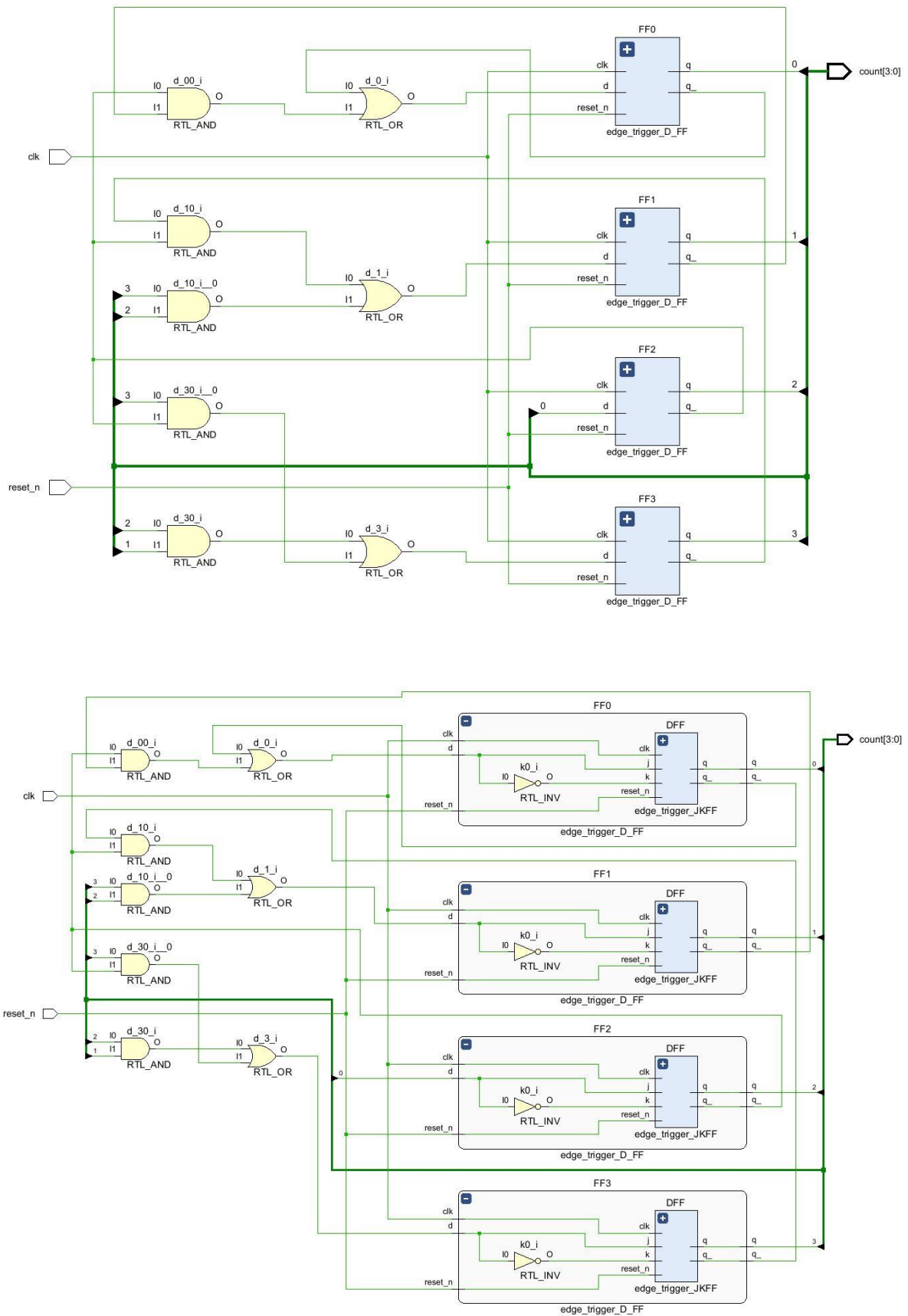
ㄷ. 테스트벤치를 완성하고 시뮬레이션을 실행하여 정상 작동을 확인한다.

3) D 플립플롭을 이용한 3, 6, 9 계수기

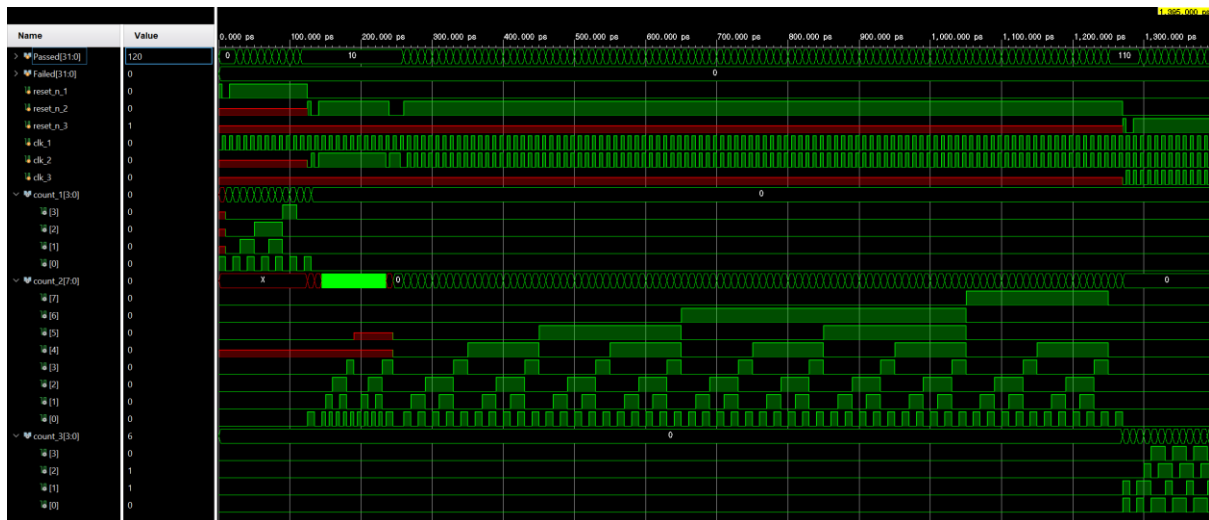
ㄱ. 제공된 Negative edge triggered JK 플립플롭을 사용해 Negative edge triggered D 플립플롭을 완성한다.

ㄴ. 완성한 D 플립플롭을 활용하여 3, 6, 9 계수기를 완성한다.

ㄷ. Schematic 기능으로 회로를 확인한다.



ㄹ. 테스트벤치를 완성하고 시뮬레이션을 실행하여 정상 작동을 확인한다.



1) 2) 3) 시뮬레이션 결과

## 5. 논의

### 1) 느낀 점

이번 실험을 통해 순차 회로 중 카운터에 대해 이해할 수 있었다. Asynchronous counter 와 Synchronous counter 의 장단점을 알 수 있었고, 회로의 관점에서 어떤 차이를 가지고 있는지 이해할 수 있었다. 특히 플립플롭을 이용해 구현함으로써 JK 플립플롭과 D 플립플롭에 대한 이해도 역시 향상시킬 수 있었던 실험이었다.

### 2) 어려웠던 점 및 해결 방법

이번 실험에서는 특히 테스트벤치를 확인하는 과정이 어려웠다고 생각한다.

Synchronous 한 상황에서 어떻게 하면 원하는 값과 비교하여 Pass 시킬 수 있을지 코드를 고안하는 과정에 있어서 많이 헤맸던 것 같다.

이제껏 주어진 테스트벤치 코드는 내가 구현하는 것이 아니라, 이미 구현되어 있던 코드를 이용하여 확인하는 과정에만 그쳤기 때문에 테스트벤치 구현에 있어서 큰 어려움을 겪지 못했었는데, 이번 실험에서 테스트벤치 구현을 위해 지난 실험의 테스트벤치 코드를 분석해봄으로써 그제서야 왜 이런 테스트벤치 코드를 구성하였는지 이해할 수 있었고, 그 과정을 통해 그나마 어려웠던 점들을 하나씩 해결할 수 있었던 것 같다.

특히 두 번째 실험의 테스트벤치를 구현할 때 많이 헤맸었는데, 그 이유는 두 번째 회로는 decade BCD counter 가 두 개 연결되어 있는 구조로, 두 번째 counter 의 clock 신호는 첫 번째 counter 의 count[3]과 count[1]이 모두 1 이 될 때, 활성화된다. 따라서 바로 값을 비교하는 것이



아니라, 두 번째 counter 를 먼저 활성화시켜줘야 하는 과정이 있어야 한다는 것을 깨닫는 데까지 꽤 많은 시간이 들었던 것 같다.