

# AN005

通用文档

## InnoGaN 开关特性介绍

目录

- 1 氮化镓开关特性介绍 ..... 1
  - 1.1 氮化镓的特点 ..... 1
  - 1.2 HV InnoGaN开关特性 ..... 1
  - 1.3 HV InnoGaN与Si MOSFET对比 ..... 3
- 2 HV InnoGaN开关过程..... 4
  - 2.1 开通过程： ..... 5
  - 2.2 关断过程： ..... 7
- 3 器件开关损耗 ..... 9
  - 3.1 驱动损耗 ..... 9
  - 3.2 开通/关断损耗理论分析 ..... 12
  - 3.3 双脉冲测试 ..... 14
- 4 GaN的反向导通特性 ..... 19
- 5 导通损耗..... 20
  - 5.1 静态导通Ron ..... 20
  - 5.2 温升带来Ron增加 ..... 20
  - 5.3 动态开关带来Ron增加 ..... 22
- 历史版本 ..... 24

## 1 氮化镓开关特性介绍

### 1.1 氮化镓的特点

氮化镓(GaN)是一种“宽禁带”(WBG)材料。禁带,是指电子从原子核轨道上脱离出来所需要的能量,氮化镓的禁带宽度为 3.4eV,是硅的 3 倍多,所以说氮化镓拥有宽禁带特性(WBG)。由于宽禁带材料具备高电场强度,耗尽区非常窄且短,从而可以开发出载流子浓度非常高的器件结构。氮化镓相比传统的硅,可以在更小的器件空间内处理更大的电场,同时提供更快的开关速度。

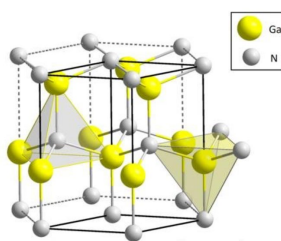


图 1 GaN元素图

### 1.2 HV InnoGaN开关特性

#### GaN的开关特性:

下面表1和表2分别是氮化镓高压GaN和高压MOSFET及低压GaN和低压MOSFET参数对比,从表中关键参数对比可以看出相比于传统的硅材料功率半导体MOSFET,氮化镓晶体管的极小寄生参数,极快开关速度使其特别适合高频应用,高压GaN的 $R_{on} \cdot Q_g$ 是高压MOSFET的1/8倍左右,低压也只有MOSFET的1/3。

表 1 高压GaN与MOSFET参数比较表

参数	INN650TA030AH (TOLL)	MOSFET(PG-HDSOP-22)
Vds (V)	650	650
Ron@25°C(mΩ)	26	24
Vgs(V)	-6 to +7	-20 to +20
Vth(V)	1.7	4
Ciss(pF)	655	7149
Co_er(pF)	362	261
Co_tr(pF)	497	2774
Qg(nC)	16	139
Qrr(μC)	0	1.6
Vsd(V)	4.4	1.0

表 2 低压GaN与MOSFET参数比较表

参数	INN150FQ032A (FCQFN 4X6)	MOSFET (PG-HSOG-8)
Vds (V)	150	150
Ron@25°C(mΩ)	3.2	3.5
Id,pulse@25°C(A)	260	760
Vgs(V)	-4 to +6	-20 to +20
Vth(V)	1.1	3.8
Ciss(pF)	2200	5600
Coss(pF)	900	1400
Crss(pF)	10.5	31
Qg(nC)	20	74
Qoss(nC)	130	207
Qrr(nC)	0	77
Vsd(V)	1.5	0.81

GaN的输出特性：

如下图2所示，HV InnoGaN具有很高的跨导和很低的Vth电压，驱动电压越高，器件的通流能力越强，兼容器件的性能和可靠性推荐在应用时驱动电压取6V~6.5V；HV InnoGaN是通过自换相来完成反向导通，没有类似MOSFET那样的体二极管，没有体二极管就意味着没有二极管的反向恢复，没有Qrr。

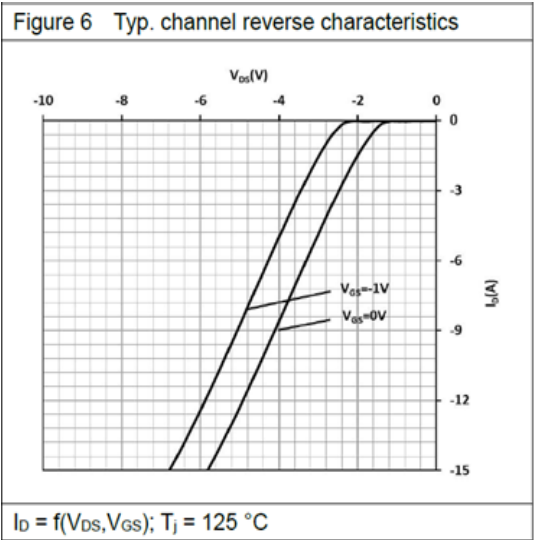
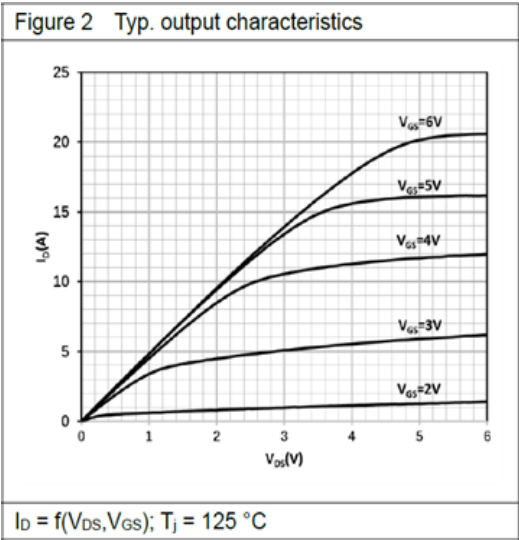


图 2 增强型GaN FET的输出和反向特性

### 1.3 HV InnoGaN与Si MOSFET对比

#### 与Si MOSFET相同点：

- HV InnoGaN与增强型Si MOSFET一样都是常关型功率器件
- 电压型驱动，驱动电压在开关过程中给器件寄生电容 $C_{iss}/C_{rss}$ 充放电，以及在正偏时提供Gate的漏电流 $I_{gss}$
- 通过外置驱动电阻 $R_{g\_ext}$ 调节开关速度

#### 与Si MOSFET不同点：

- 栅极耐压能力和 $V_{th}$ 阈值更低，需要更小心的处理驱动回路，避免振荡导致误动作
- 极低的 $Q_g$ ，更小的驱动损耗
- 更小的 $Q_{gd}$ ，具有更低的米勒效应，更低的开关损耗
- 更小的死区时间损耗和反向恢复损耗

## 2 HV InnoGaN开关过程

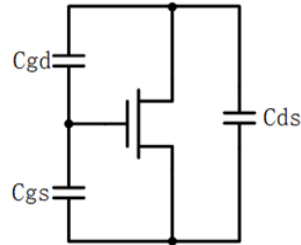


图 3 GaN寄生电容等效模型

如图3 GaN寄生电容的等效模型所示。

输入电容 $C_{iss}$ ，指的是DS短接，用交流信号测得的GS之间的电容， $C_{iss}$ 由GS电容和GD电容并联而成：

$$C_{iss} = C_{gd} + C_{gs}$$

输出电容 $C_{oss}$ ，指的是GS短接，用交流信号测得的DS之间的电容， $C_{oss}$ 由GD电容和DS电容并联而成：

$$C_{oss} = C_{gd} + C_{ds}$$

反向传输电容 $C_{rss}$ ，指的是S接地，GD之间的电容：

$$C_{rss} = C_{gd}$$

开关过程中Gate端的充放电电荷为：

$$Q_g = Q_{gs1} + Q_{gs2} + Q_{gd} + Q_{gs3}$$

## 2.1 开通过程:

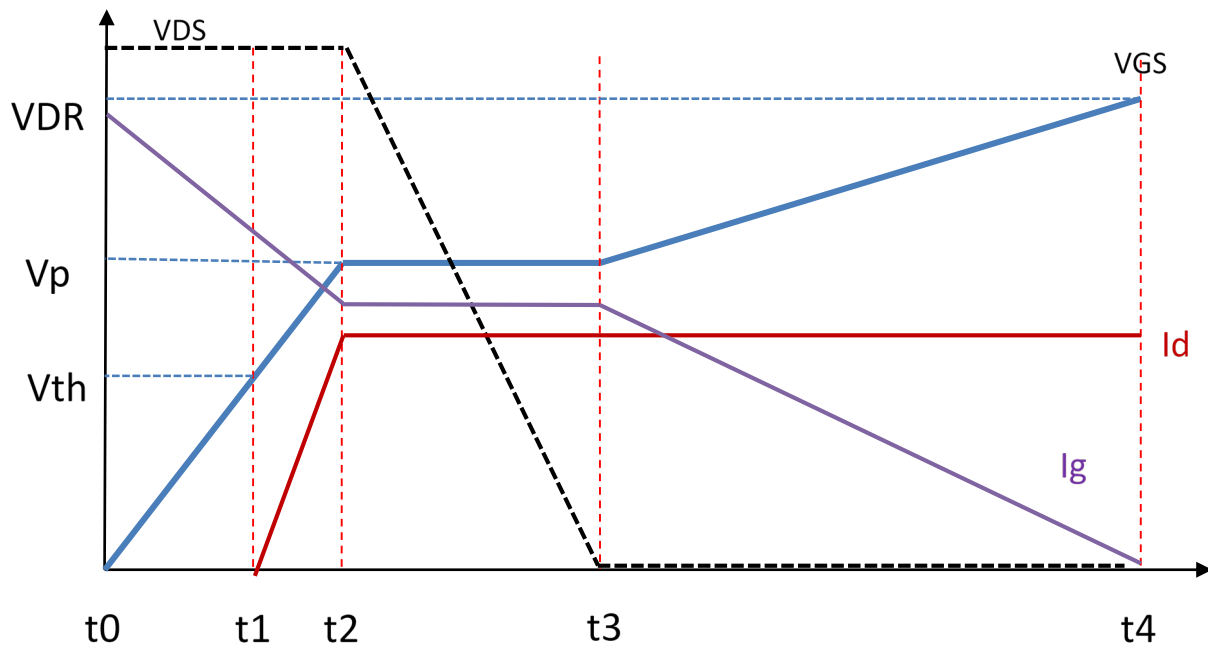
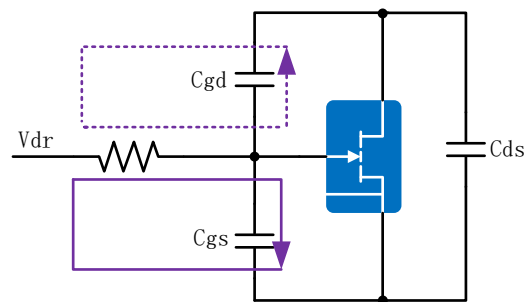


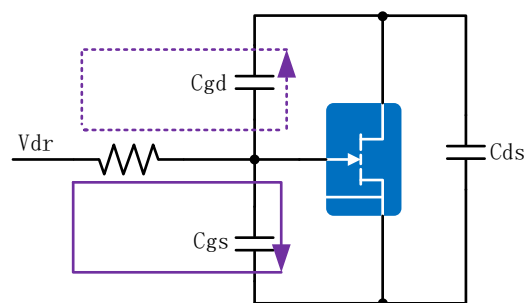
图 4 增强型GaN FET的开通过程

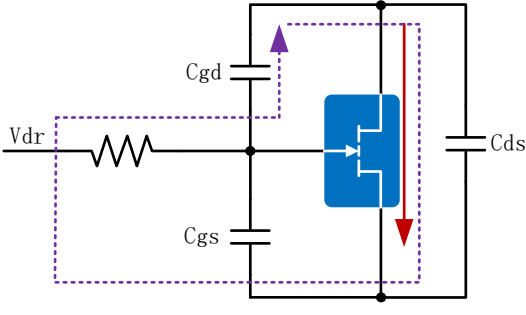
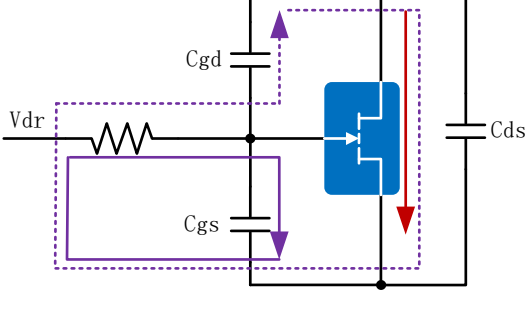
1.  $t_0$ - $t_1$ : 驱动电压开始给器件的输入电容( $C_{iss}$ )充电直到 $Q_{gs}$ 电荷为 $Q_{gs1}$ , 电压也从  $0V$  充电至  $V_{th}$ 。在此期间, 大部分栅极电流用于对  $C_{gs}$  电容器充电。随着栅极电压的升高, 这个期间称为开通延时, 因为器件的漏极电流和漏极电压均保持不变, 器件保持截止状态。

$$Q_{gs1} = \int_0^{V_{th}} (C_{gd} + C_{gs}) * d(V_{gs})$$



2.  $t_1$ - $t_2$ : 栅极电平从  $V_{th}$  升高到米勒平台的电平电压  $V_{GS\_Miller}$  即  $V_p$ , 输入电容的电荷从  $Q_{gs1}$  充电到  $Q_{gs2}$ 。在  $t_1$  时刻, 器件开始导通, 漏极  $I_d$  电流与栅极电压成正比, 这是器件的线性工作区 (恒流区)。在栅极侧, 就像在第一阶段中那样, 电流流入  $C_{gs}$  和  $C_{gd}$  电容器中, 并且  $V_{gs}$  电压升高。在器件的输出端, 漏极电流升高, 同时漏源极间电压保持之前的电平



<p>(VDS_off)基本不变。</p> $Q_{gs2} = \int_{V_{th}}^{V_p} (C_{gd} + C_{gs}) * d(V_{gs})$	
<p>3. t2-t3: 这阶段是米勒平台区域。驱动器提供的所有栅极电流都被转移，从而对 Cgd 电容器充电，即Qgd阶段，以便在漏源极端子上实现快速的电压变化（下降到接近0），<math>Q_{gd} = \int_0^{V_{bus}} C_{gd} * d(V_{ds})</math>。现在，器件的漏极电流受到外部电路的限制，因此保持恒定不变。</p>	
<p>4. t3-t4: 通过施加更高的栅极驱动电压，充分增加 MOSFET 的导通电流通道宽。Vgs 的最终幅值决定了开通期间器件的最终（更小的）导通电阻。所以，在第四阶段中，Vgs 从 Vp 上升至最终值 VDRV。这通过对 Cgs 和 Cgd 电容器充电来实现，因此现在栅极电流在两个组件之间分流。当这些电容器充电时，漏极电流仍然保持恒定，而由于器件的导通电阻下降，此时电荷</p> $Q_{gs3} = \int_{V_p}^{V_{dr}} (C_{gd} + C_{gs}) * d(V_{gs})$	



## 2.2 关断过程:

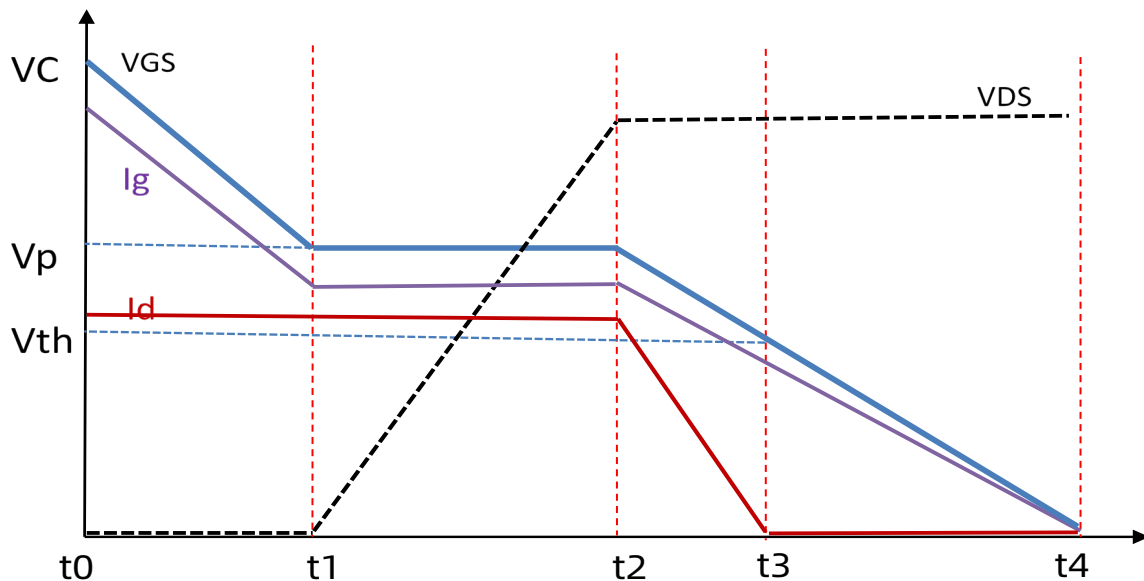
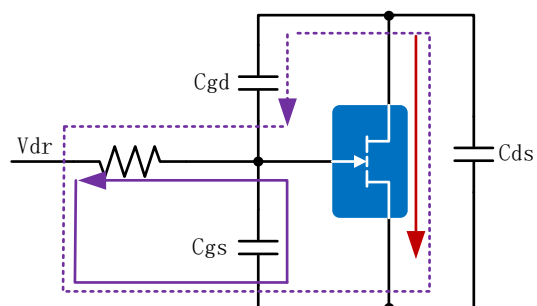


图 5 增强型GaN FET的关断过程

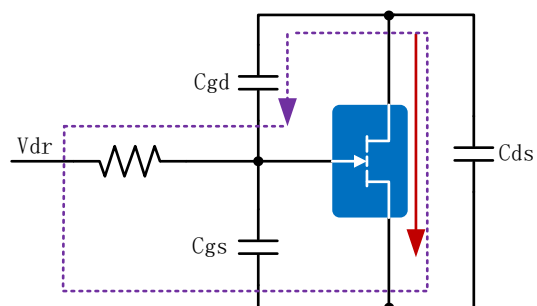
1.  $t_0-t_1$ : 关断延迟, 从 $t_0$ 时刻开始, 需要将输入电容 $C_{iss}$ 的电压从初始值放电至米勒平台电平。在这段时间内, 栅极电流由输入电容 $C_{iss}$ 电容器自己提供, 并流经 MOSFET 的  $C_{gs}$  和  $C_{gd}$  电容器。驱动电压的降低, 器件的漏极电压和漏极的电流保持不变。

$$\text{此时电荷为 } Q_{gs3} = \int_{V_{dr}}^{V_p} (C_{gd} + C_{gs}) * d(V_{gs})$$



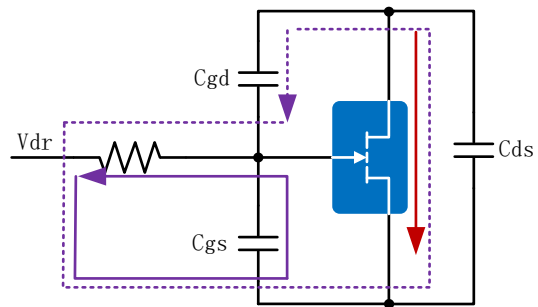
2.  $t_1-t_2$ : 在 $t_1$ 时刻, 器件的漏源电压从  $ID \cdot R_{DS(on)}$  开始上升, 最终在 $t_2$ 时刻上升至最终的  $V_{DS\_off}$  电平, 在此时间段内, 与栅极电压波形中的米勒平台区域对应, 栅极电流完全是  $C_{gd}$  电容器的充电电流, 因为栅源极电压是恒定的。

$$\text{此时电荷为 } Q_{gd} = \int_{V_{bus}}^0 C_{gd} * d(V_{ds})$$



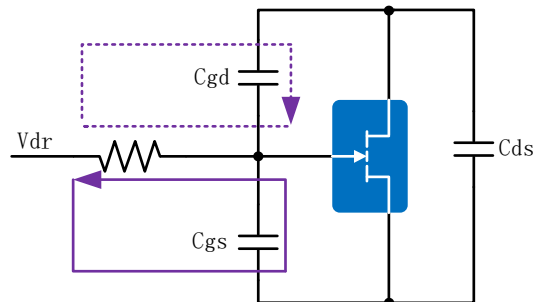
3. t2-t3: 栅极电压继续从 米勒平台电压  $V_p$  开始 下降至  $V_{th}$ 。绝大部分栅极电流来自  $C_{gs}$  电容器, 只有很少一部分流过  $C_{gd}$ , 因此  $C_{gd}$  电容器实际上可以认为在前一个阶段中就已经充满电了。漏极电压在  $V_{DS\_off}$  处保持稳定。漏极电流从  $I_d$  下降到接近0。

$$\text{此时电荷为 } Q_{gs2} = \int_{V_p}^{V_{th}} (C_{gd} + C_{gs}) * d(V_{gs})$$



4. t3-t4: 对器件的输入电容完全放电。  
 $V_{gs}$  进一步下降, 直至达到 0V。器件的漏极电流和漏极电压保持不变, 器件DS处于截止状态。

$$\text{此时电荷为 } Q_{gs1} = \int_{V_{th}}^0 (C_{gd} + C_{gs}) * d(V_{gs})$$



## 3 器件开关损耗

### 3.1 驱动损耗

驱动总损耗为 $P_{drive}$ 和 $P_{g\_on}$ 之和,其中 $P_{gate}$ 为驱动 $Q_g$ 带来的损耗,  $P_{g\_on}$ 为驱动漏电流带来的损耗:

$$P_{drive} = P_{gate} + P_{g\_on}$$

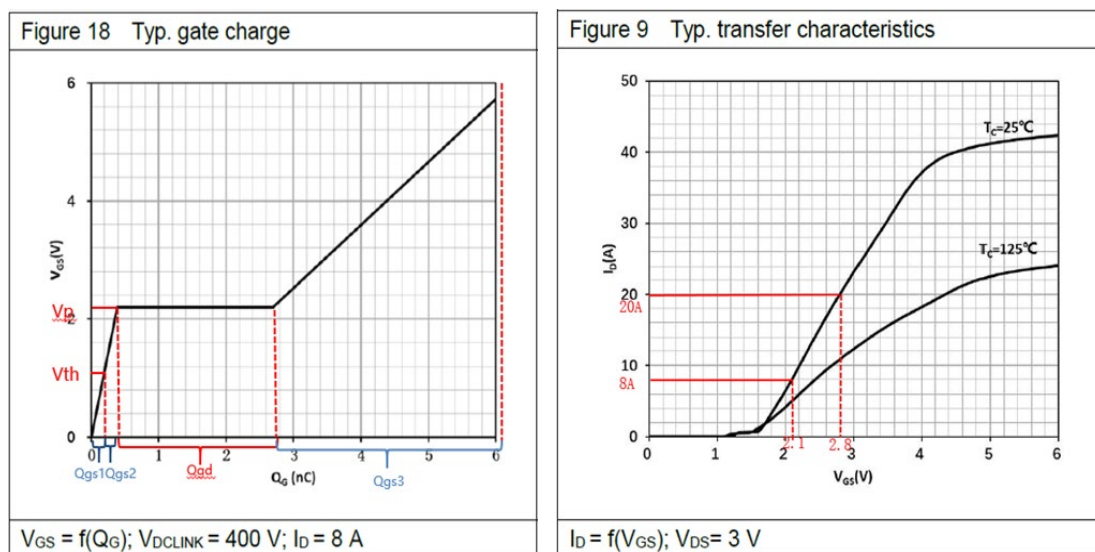


图 6 gate 充电过程及 $V_{GS}$ 转换特性

表 3 INNO-GaN FET 的 $Q_g$ 特性

Parameter	Symbol	Value			Unit	Note/Test Condition
		Min.	Typ.	Max.		
Gate charge	$Q_G$	-	6.2	-	nC	$V_{GS} = 0\text{ to }6\text{ V};$ $V_{DS} = 400\text{ V}; I_D = 8\text{ A}$
Gate-source charge	$Q_{GS}$	-	0.5	-	nC	
Gate-drain charge	$Q_{GD}$	-	2.2	-	nC	

对不同 $I_D$ , miller平台电压有差异, 8A时为2.1V, 20A时为2.8V。已知8A时 $Q_{gs}$ 为0.5nC,, 可以计算得出20A时的 $Q_{gs}(20A)$ 为

$$Q_{gs}(20A) = \frac{Q_{gs}}{V_{pl}} * V_{pl}(20A) = \frac{0.5}{2.1} * 2.8 = 0.667nC$$

如表3可以计算出 $I_D$ 等于20A时的 $Q_{gs1}$ 和 $Q_{gs2}$

$$Q_{gs1}(20A) = \frac{Q_{gs}}{V_{pl}} * V_{th} = \frac{0.5}{2.1} * 1.7 = 0.405nC$$

$$Q_{gs2}(20A) = Q_{gs}(20A) - Q_{gs1}(20A) = 0.262nC$$

$Q_{gd}$ 为非线性变化, 须根据 $C_{rss}$ 的曲线进行估算

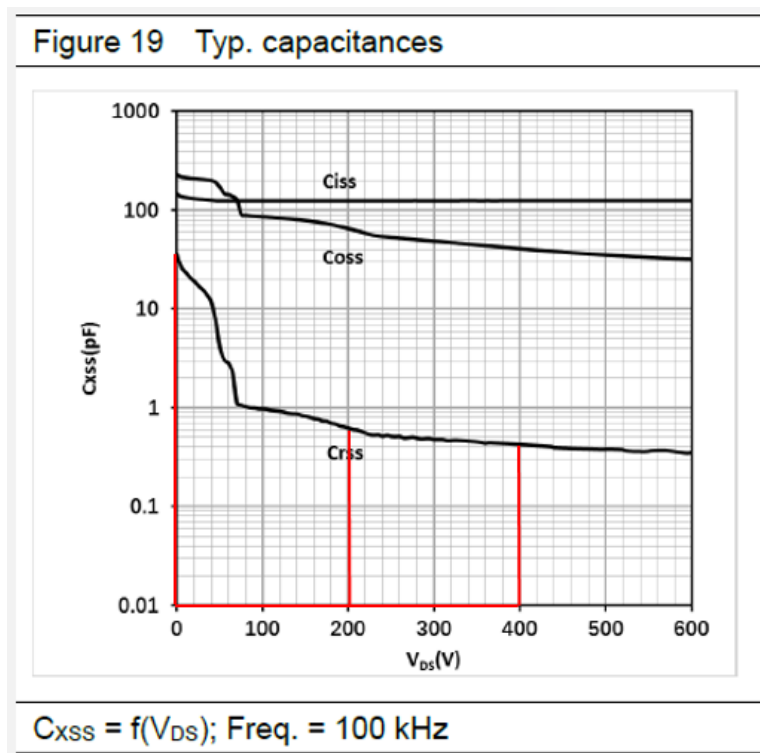


图 7 Crss曲线示例图

$$Q_{gd} = \int_0^{V_{bus}} C_{rssi}(V_{ds}) dV_{ds}$$

Miller平台后的Qg曲线斜率为K，则斜率K可以由下式计算

$$K = \frac{Q_g - (Q_{gs} + Q_{gd})}{V_{drive} - V_{pl}} = \frac{6.2 - (2.2 + 0.5)}{6 - 2.1} = 0.855 \text{ nC/V}$$

$$Q_{gs3} = K * (V_{drive} - V_{pl}(20A))$$

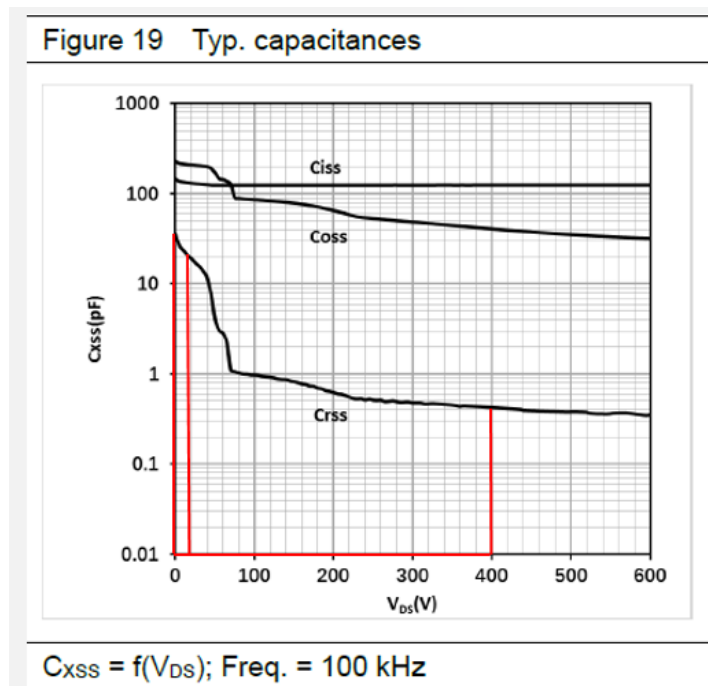


图 8 Crss曲线示例图

得出20A电流时的Qg

$$Qg(20A) = Qgs(20A) + Qgd + Qgs3 \\ = 0.667 + 2.2 + 0.855 * (6 - 2.8) = 5.603nC$$

对于ZVS开通的器件以及同步整流管，在开通前Vds电压已经降为0，则miller平台消除，开通过程中栅极电荷不包括Qgd，从曲线也可以看出电压接近0时，Qgd=0

$$Qg_{zvs} = Qg - Qgd$$

器件栅极本身充放电产生的损耗，可由下式计算得到

$$P_{gate} = Qg * Vdrive * fsw$$

INNO-GaN的栅极结构类似两个背靠背的二极管串联，栅极漏电比Si MOS大很多，器件开通时，栅极维持电流的损耗为：

$$P_{g\_on} = Vdrive * Igss * D$$

### 3.2 开通/关断损耗理论分析

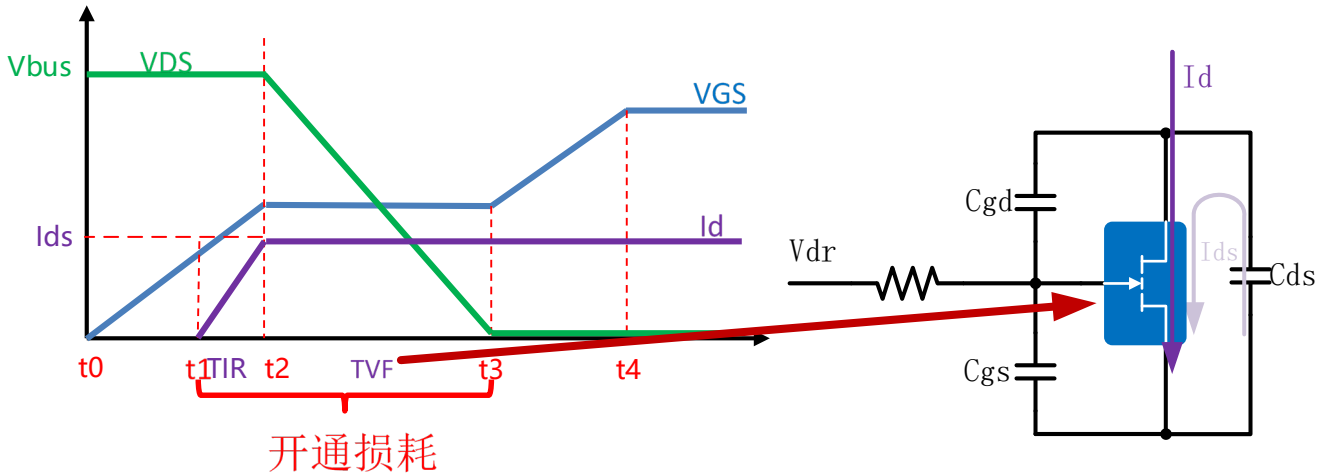


图 9 INNO-GaN FET的开通损耗示意图

如图9所示为INNO-GaN FET的开通过程，开通损耗主要产生在T1和T2阶段

$$P_{turn\_on} = P(TVF) + P(TIR)$$

开通过程中，从t0时刻起，栅源极间电容开始充电，栅电压开始上升，栅极电压为

$$V_{gs}(t) = V_{GS} * (1 - e^{-\frac{t}{\tau}})$$

其中：

$$\tau = (R_g + R_{on}) * C_{iss}$$

V<sub>GS</sub>为PWM栅极驱动器的输出电压，R<sub>on</sub>为PWM栅极驱动器内部串联导通电阻，C<sub>iss</sub>为MOSFET输入电容，R<sub>g</sub>为GaN的栅极电阻。

V<sub>GS</sub>电压从0增加到开启阈值电压V<sub>TH</sub>前，时间t<sub>1</sub>-t<sub>0</sub>为

$$t_1 - t_0 = (R_g + R_{on}) * C_{iss} * \ln\left(\frac{1}{1 - \frac{V_{th}}{V_{GS}}}\right) = (R_g + R_{on}) * \frac{Q_{gs1}}{V_{th}} * \ln\left(\frac{1}{1 - \frac{V_{th}}{V_{GS}}}\right)$$

V<sub>GS</sub>电压从V<sub>th</sub>增加到米勒平台电压V<sub>P</sub>的时间T<sub>IR</sub>为

$$T_{IR} = (R_g + R_{on}) * C_{iss} * \ln\left(\frac{1}{1 - \frac{V_P}{V_{GS}}}\right) - (t_1 - t_0)$$

$$= (R_g + R_{on}) * \frac{Q_{gs2}}{V_P - V_{th}} * \ln \left( \frac{1}{1 - \frac{V_{th}}{V_{GS}}} \right) - (t_1 - t_0)$$

TIR过程中产生的交叉损耗为：

$$P(TIR) = \frac{1}{2} * V_{bus} * I_{ds} * T_1 * f_{sw}$$

其中：

$V_{bus}$ 是VDS开通时的最大电压， $I_{ds}$ 是 $I_d$ 开通时的最大电流， $f_{sw}$ 是GaN工作的频率

VGS处于米勒平台的时间TVF为：

$$TVF = \frac{Q_{gd}}{\frac{V_{GS} - V_P}{R_g + R_{on}}}$$

T2过程的损耗交叉损耗：

$$P1(TVF) = \frac{1}{2} * V_{bus} * I_{ds} * TVF * f_{sw}$$

T2过程中自身Cds产生的损耗为：

$$P2(TVF) = E_{oss} * f_{sw}$$

开通过程中产生的总损耗为：

$$P_{turnon} = P(TIR) + P(TVF)$$

$$= \frac{1}{2} * V_{bus} * I_{ds} * TIR * f_{sw} + \frac{1}{2} * V_{bus} * I_{ds} * TVF * f_{sw} + E_{oss} * f_{sw}$$

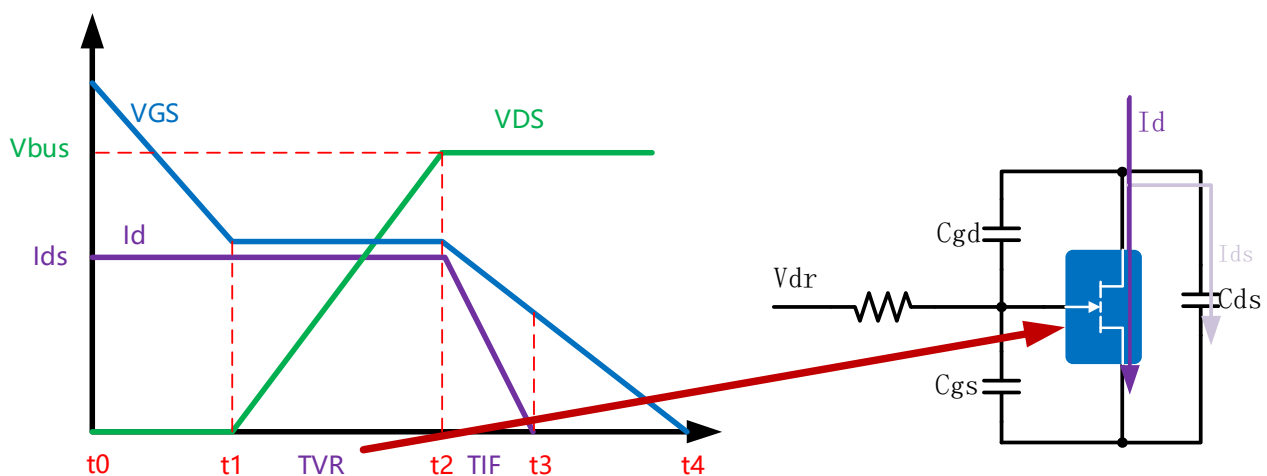


图 10 INNO-GaN FET的关断损耗示意图

关断的过程如图10所示，分析和上面的过程相同，需注意的就是此时要用PWM驱动

器内部的下拉电阻和Rg串联计算，同时电流要用最大电流即峰值电流来计算关断的米勒平台电压及相关的时间值。

VGS处于米勒平台的时间TVR为：

$$TVR = \frac{Q_{gd}}{\frac{VP}{Rg + Roff}}$$

T3过程中产生的交叉损耗为：

$$P(TVR) = \frac{1}{2} * V_{bus} * Ids * TVR * f_{sw}$$

VGS从米勒平台VP下降到Vth的时间TIF为：

$$TIF = -(Rg + Roff) * Ciss * \ln \frac{V_{th}}{VP} = -(Rg + Roff) * \frac{Q_{gs2}}{VP - V_{th}} * \ln \frac{V_{th}}{VP}$$

T4过程中产生的交叉损耗为：

$$P(TIF) = \frac{1}{2} * V_{bus} * Ids * TIF * f_{sw}$$

TVR过程中给Cds产生的损耗为：

$$P_{Eoss} = E_{oss} * f_{sw}$$

关断过程一部分电流用来给结电容Cds充电，关断损耗应减去这一部分损耗

$$P_{turnoff} = P(TVR) + P(TIF) - P_{Eoss}$$

### 3.3 双脉冲测试

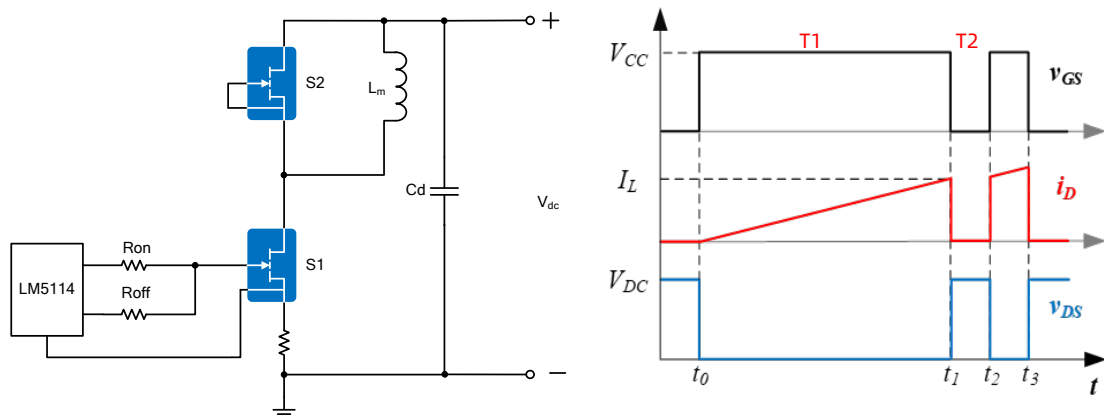


图 11 双脉冲测试原理图

双脉冲测试流程：

- 1、在t0时刻，被测器件（INNO-GaN）的门极接收到第一个脉冲，被测器件（INNO-GaN）导通，母线电压Vdc加在负载电感L上，电感上的电流线性上升， $I = U * t / L$ ；被测器件关断前的t1时刻，电感电流的数值由U和L决定；在U和L都确



定时，电流的数值由被测器件开启的脉宽T1决定，开启时间越长，电流越大；

关注点：0电流开通时，被测器件产生的开关损耗，通过改变脉冲宽度的大小，自主设定电流的数值。

- 2、t1到t2之间，被测器件（INNO-GaN）关断，此时负载的电流L的电流由上管INNO-GaN续流，该电流缓慢衰减；t1时刻，被测器件关断，因为母线杂散电感Ls的存在，会产生一定的电压尖峰；

关注点：在该时刻，重点是观察INNO-GaN的关断过程产生的关断损耗。

- 3、在t2时刻，被测器件（INNO-GaN）再次导通，此时电流探头所测得的Id为上管Qoss与电感电流叠加，产生电流尖峰；

关注点：INNO-GaN的开通过程，CCM模式下，被测器件的开关损耗

测试条件及测试仪器：

Vdc = 400 V, L = 265uH, Id=27.5A ;

Ron = 10  $\Omega$ , Roff = 2  $\Omega$ ;

Vgs = -1~6 V (Drive IC--TI LM5114AMF) ;

TeKtronix MSO58 Oscilloscope;

Vgs: CH1\_TPP1000-spring-1GHz;

Vds: CH2\_THDP0200-200MHz;

Id: CH3\_BNC Cable -SSDN-10-1GHz。

第一个脉冲开通测试损耗如图12

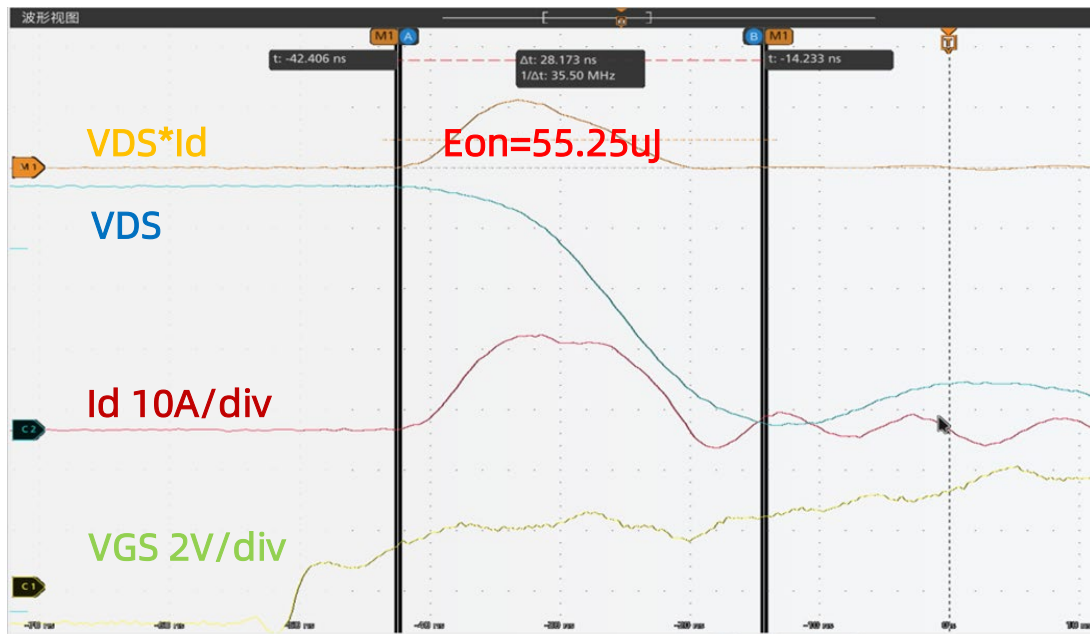


图 12 第一个脉冲开通损耗波形示意图

$E_{on}=55.25\mu J$  @ $V_{ds}=400V, I_{ds}=0A$  ( $E_{qoss}$  损耗)主要是由上管放电时带来的损耗, 实际被测器件带来的损耗如图13为:

$$E_{trunon1} = E_{on} + E_{oss} > 55.25\mu J$$

$$E_{oss} = \int_0^{V_{dc}} V_{ds} * C_{oss}(V_{ds}) dV_{ds}$$

$$E_{qoss} = \int_0^{V_{dc}} (V_{dc} - V_{ds}) * C_{oss}(V_{ds}) dV_{ds}$$

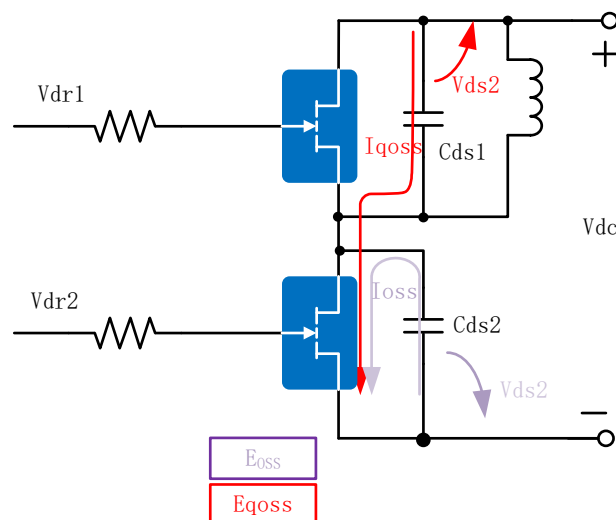


图 13 第一个脉冲开通损耗原理图示意图

第一个脉冲关断测试损耗如图14

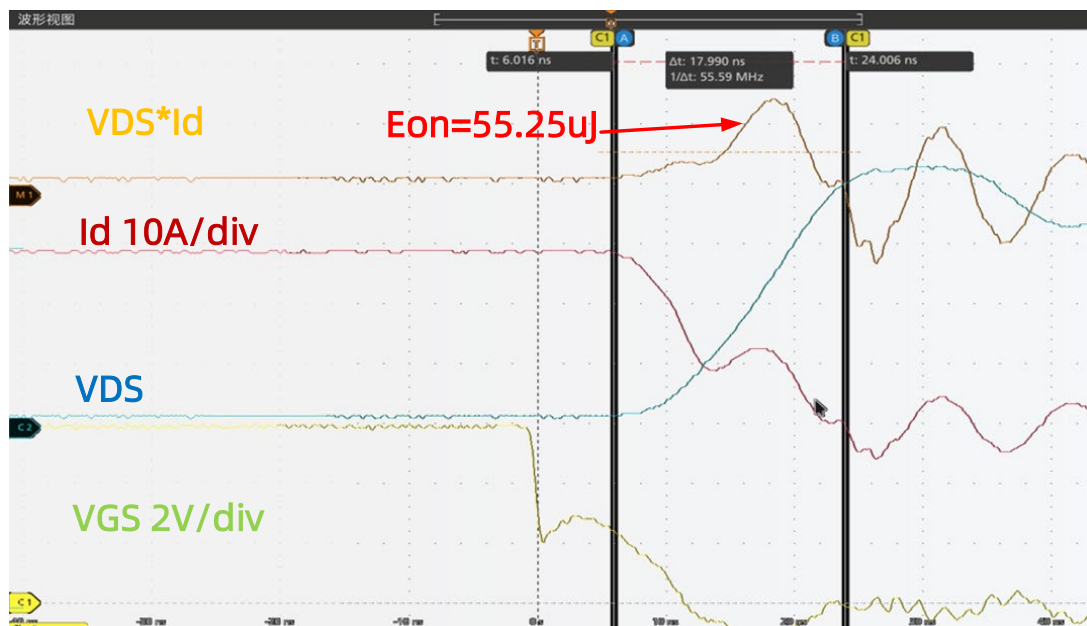


图 14 第一个脉冲关断损耗波形示意图

$E_{off}=25.28\mu J$  @ $V_{ds}=0V, I_{ds}=27.5A$ , 主要是测量出来关断的交叉损耗，实际被测器件包括给COSS存储的能量带来的损耗如图15为：

$$E_{oss} = \int_0^{V_{dc}} V_{ds} * C_{oss}(V_{ds}) dV_{ds}$$

$$E_{off} = \int_0^t V_{ds} * I_{ds} dt$$

$$E_{V_{loff}} = E_{off} - E_{oss} < 25.28\mu J$$

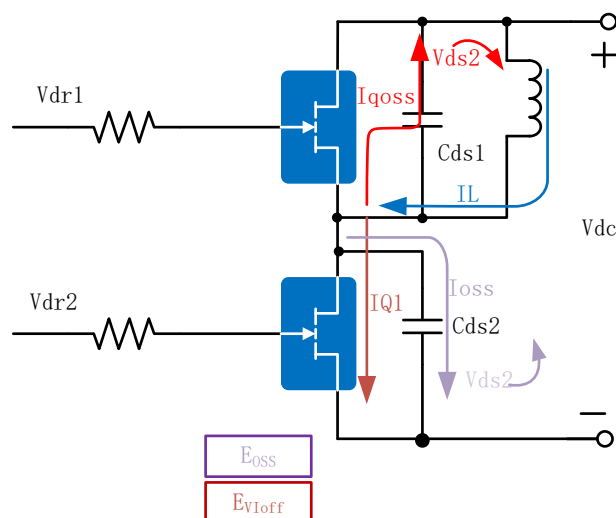


图 15 第一个脉冲关断损耗原理图示意图

第二个脉冲开通时测试损耗如图16

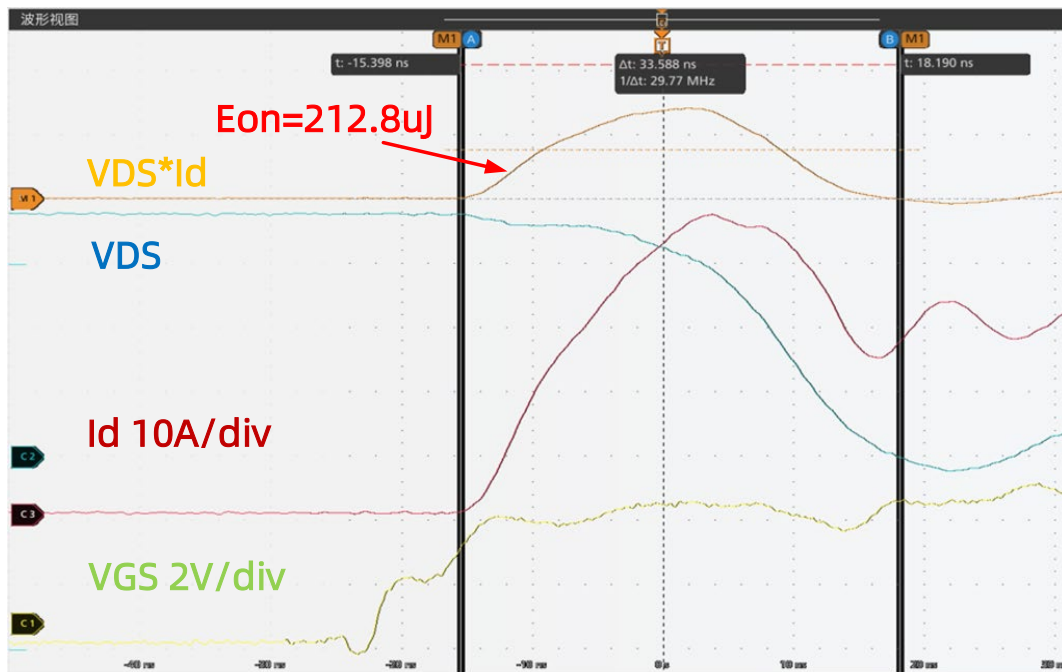


图 16 第二个脉冲开通损耗波形示意图

$E_{on}=212.8\mu J$  @  $V_{ds}=400V, I_{ds}=0A$  ( $E_{qoss}$  损耗) 主要是由上管放电时和电感带来的损耗，实际被测器件带来的损耗如图17为：

$$E_{oss} = \int_0^{V_{dc}} V_{ds} * C_{oss}(V_{ds}) dV_{ds}$$

$$E_{qoss} = \int_0^{V_{dc}} (V_{dc} - V_{ds}) * C_{oss}(V_{ds}) dV_{ds}$$

$$E_{on} = EV_{lon} + E_{oss}$$

备注：实际应用由于寄生参数的差异会有偏差

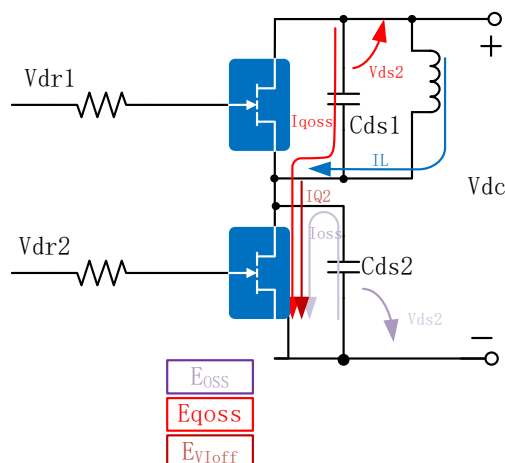


图 17 第二个脉冲开通损耗原理图示意图

## 4 GaN的反向导通特性

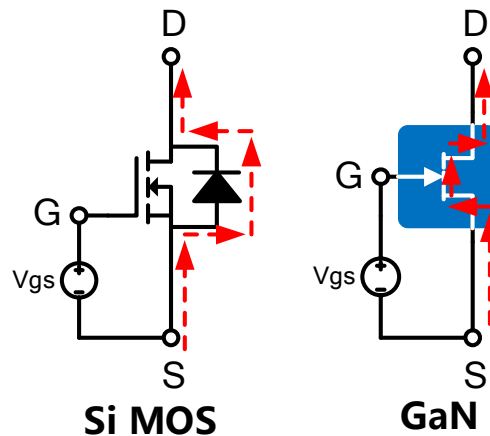


图 18 Si MOS 与 GaN结构上的区别

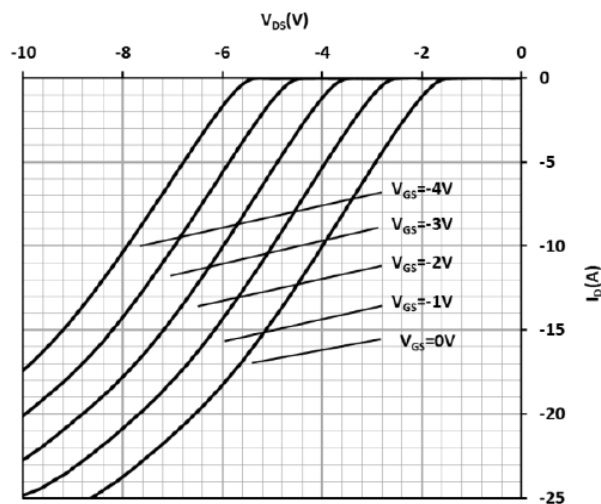


图 19 GaN的反向导通特性

如图18可知，GaN是可以反向导通的，不需要并联二极管。

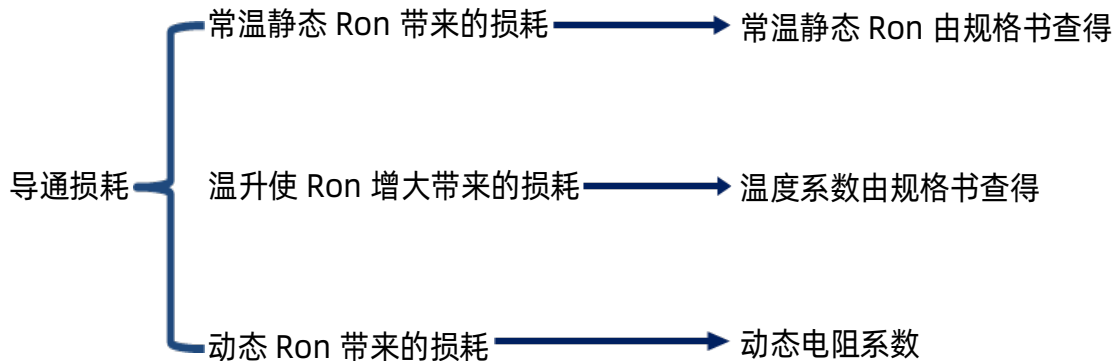
GaN无寄生体二极管，反向导通不同于Si MOS

当 $V_{GS}$ 间加0V或者负压时， $V_{SD}$ 的电压可以表示为：

$$V_{SD} = V_{TH\_GD} + I * R_{on} + (-V_{GS})$$

在PFC或者LLC等H桥电路工作期间，每个开关周期都设置了一个短时间段（也称为死区时间），使半桥的两个开关不同时导通。死区时间及关联的电压和电流会导致每个周期出现损耗，而自适应死区时间等复杂控制算法有助于降低这类损耗。使用高级驱动器功能（例如，理想二极管模式），可减小死区时间损耗，而且无需复杂的固件或硬件控制。

## 5 导通损耗



导通损耗和上面3个方面有关，分别是常温下静态的Ron，高温下Ron增加的系数以及开关动态带来Ron的增加：

$$P_{\text{cond}_{\text{loss}}} = I_{\text{rms}}^2 * R_{\text{on}_{25}} * (1 + K_t) * (1 + K_d)$$

其中： $K_t$ 为温度系数， $K_d$ 为动态系数。

### 5.1 静态导通Ron

表 4 GaN的静态参数

Parameter	Symbol	Value			Unit	Note/Test Condition
		Min.	Typ.	Max.		
Gate threshold voltage	$V_{\text{GS(th)}}$	1.2	1.7	2.5	V	$I_D = 17.2\text{mA}$ ; $V_{\text{DS}} = V_{\text{GS}}$ ; $T_J = 25^\circ\text{C}$
		-	1.7	-		$I_D = 17.2\text{mA}$ ; $V_{\text{DS}} = V_{\text{GS}}$ ; $T_J = 150^\circ\text{C}$
Drain-source leakage current	$I_{\text{DSS}}$	-	0.6	25	$\mu\text{A}$	$V_{\text{DS}} = 650\text{V}$ ; $V_{\text{GS}} = 0\text{V}$ ; $T_J = 25^\circ\text{C}$
		-	7	-		$V_{\text{DS}} = 650\text{V}$ ; $V_{\text{GS}} = 0\text{V}$ ; $T_J = 150^\circ\text{C}$
Gate-source leakage current	$I_{\text{GSS}}$	-	70	-	$\mu\text{A}$	$V_{\text{GS}} = 6\text{V}$ ; $V_{\text{DS}} = 0\text{V}$
Drain-source on-state resistance	$R_{\text{DS(on)}}$	-	106	140	$\text{m}\Omega$	$V_{\text{GS}} = 6\text{V}$ ; $I_D = 5\text{A}$ ; $T_J = 25^\circ\text{C}$
		-	230	-	$\text{m}\Omega$	$V_{\text{GS}} = 6\text{V}$ ; $I_D = 5\text{A}$ ; $T_J = 150^\circ\text{C}$
Gate resistance	$R_G$	-	3.5	-	$\Omega$	$f = 5\text{MHz}$ ; open drain

如表4可知，GaN在25°下驱动电压6V时的Ron典型值为106mΩ，但是我们设计时应按照最大值来设计。

### 5.2 温升带来Ron增加

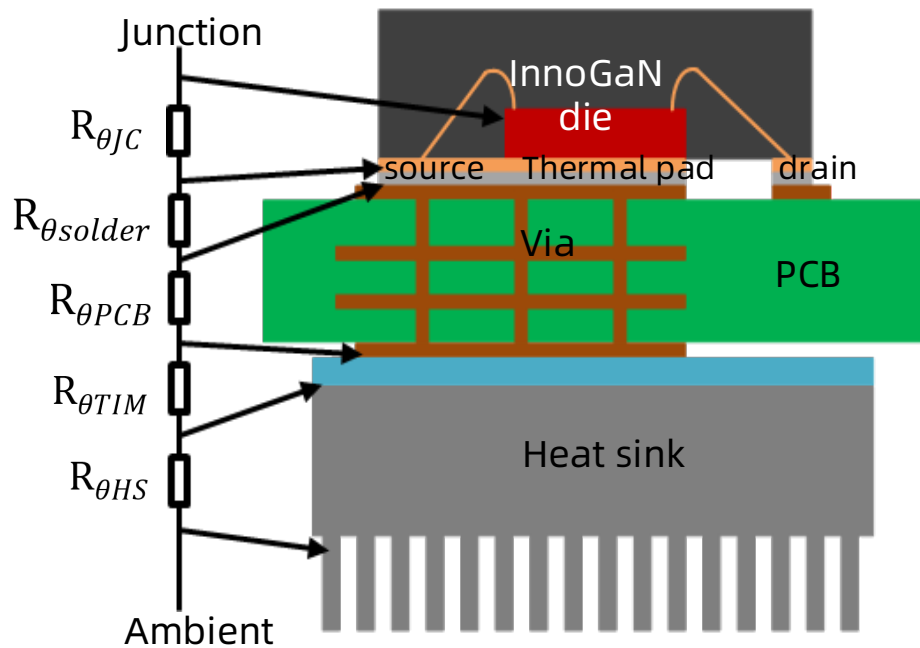


图 20 GaN器件的热模型

$$T_J = T_A + P_{loss} * R_{\theta JA}$$

$$T_J = T_C + P_{loss} * R_{\theta JC}$$

如图20可得：

$$R_{\theta JA} = R_{\theta JC} + R_{\theta s} + R_{\theta PCB} + R_{\theta TIM} + R_{\theta HS} + R_{\theta Am}$$

其中：

$R_{\theta JA}$ ：结到环境的热阻（K/W）

$R_{\theta JC}$ ：结到壳的热阻（K/W）

$R_{\theta s}$ ：焊点的热阻（K/W）

$R_{\theta PCB}$ ：PCB的热阻（K/W）

$R_{\theta TIM}$ ：导热胶的热阻（K/W）

$R_{\theta HS}$ ：散热片的热阻（K/W）

$R_{\theta Am}$ ：散热片到环境的热阻（K/W）

通过测试得出温升的 $R_{on}$ ，原理如下：

在固定的系统中，随着通过器件的电流增加，损耗增大， $R_{on}$ 增大。通过测量DS

电压，可以得出不同电流 $I_d$ 对应的 $R_{on}$ ：

$$R_{on} = V_{ds} / I_d$$

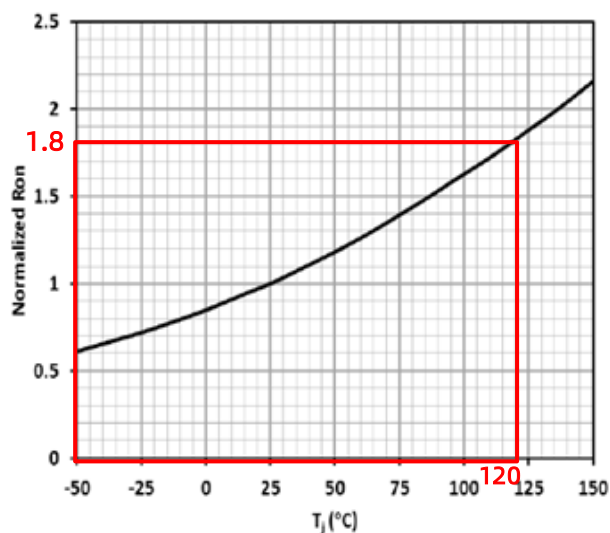


图 21 静态电阻对温度归一化曲线

求出的 $R_{on}$ 与常温静态的比值即可得出归一化后的值。在规格书中，归一化 $R_{on}$ 与结温 $T_j$ 的曲线已经描出。我们可以通过归一化 $R_{on}$ 反差对应的 $T_j$ 。

于此同时通过记录对应电流下器件底层PCB温度，可以得到PCB温度 $T_{pcb}$ 与 $T_j$ 的关系式。在系统端测试可以通过PCB温度推算出对应的结温从而得出温升下的 $R_{on}$ 。

### 5.3 动态开关带来 $R_{on}$ 增加

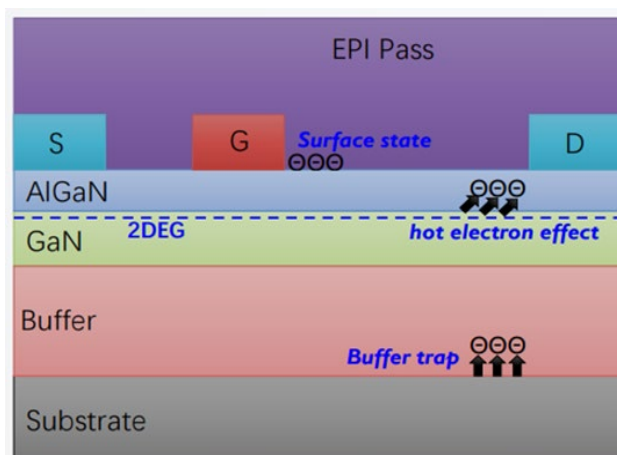


图 22 影响动态电阻的因素示意图

影响动态电阻的因素如图22：

- 关断时的 $V_{ds}$ 应力影响



- 表面态捕获沟道电子
- Buffer中的陷阱
- Buffer中的陷阱
  - 热电子注入

动态电阻的测试方法及数据如图23：

- 测试Rs两端的电压可以测试出流过GaN的电流，然后通过测试Clamped电路上的电压可以测试出GaN+Rs两端的电压

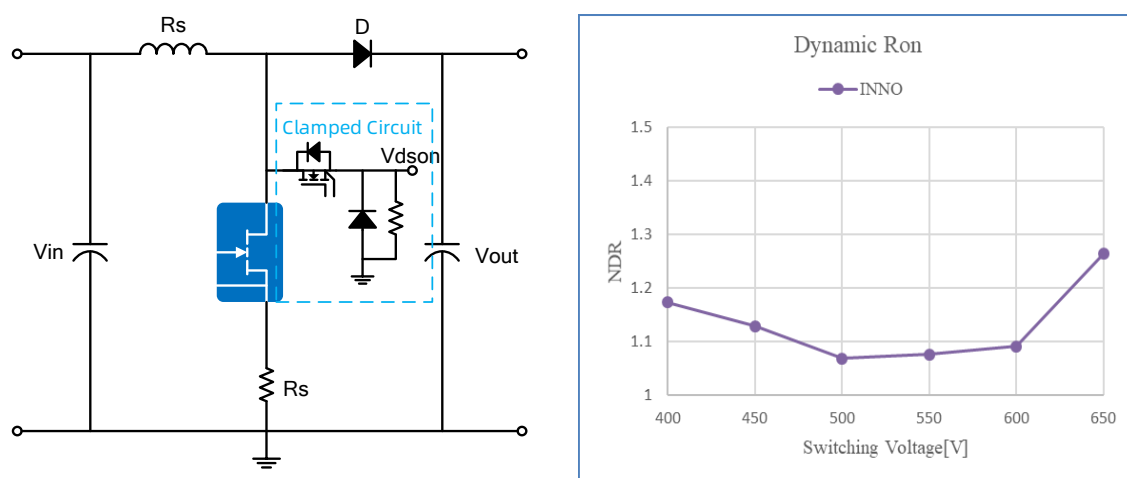


图 23 动态电阻的测试平台及测试结果

历史版本

日期	版本	备注	作者
2023/11/14	1.0	第一版	AE 团队



Note:  
There is a dangerous voltage on the demo board, and exposure to high voltage may lead to safety problems such as injury or death.  
Proper operating and safety procedures must be adhered to and used only for laboratory evaluation demonstrations and not directly to end-user equipment.



Reminder:  
This product contains parts that are susceptible to electrostatic discharge (ESD). When using this product, be sure to follow antistatic procedures.



Disclaimer:  
Innosence reserves the right to make changes to the products or specifications described in this document at any time. All information in this document, including descriptions of product features and performance, is subject to change without notice. INNOIC ACCEPTSURBIT ACCEPTS NO LIABILITY ARISING OUT OF THE USE OF ANY EQUIPMENT OR CIRCUIT DESCRIBED HEREIN. The performance specifications and operating parameters of the products described in this article are determined in a stand-alone state and are not guaranteed to be performed in the same manner when installed in the customer's product. Samples are not suitable for extreme environmental conditions. We make no representations or warranties, express or implied, as to the accuracy or completeness of the statements, technical information and advice contained herein and expressly disclaim any liability for any direct