

AN011

通用文档

HV InnoGaN大功率并联 设计指导



目 录



1. 并联的意义及特性

由于更高功率的需求不断增长,对具有更低导通电阻RDS(on)的开关管的需求更加强烈。在许多应用中,单个开关管已经不足以承载系统所必要的电流,这就往往需要并联开关管,以降低导通损耗,降低器件温升并提高功率转换器的效率。由于需要在功率转换器中并联开关管,设计工程师面临着并联开关管之间不均流和功率损耗不平衡的问题,因为它们在导通和关断过程中并不完全同步。

本文基于软开关应用从器件驱动设计,PCB设计等维度展开阐述并联设计要点。若有针对并联硬开关应用场景,多管并联应用等需求,请联系INNO FAE获取更多信息。



2. GaN并联 layout设计

2.1. PCB layout设计关注点

为了实现更高的功率应用,部分场景需要使用多个GaN并联。如何使多个GaN性能的 表现的如一个GaN一样,本节将从共源电感、功率回路和驱动回路去实现多管并联的方案 设计。

2.1.1. 共源电感

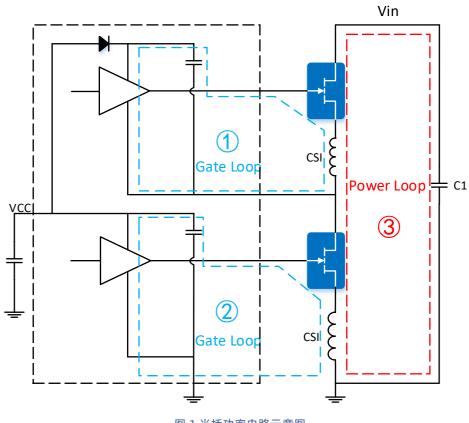
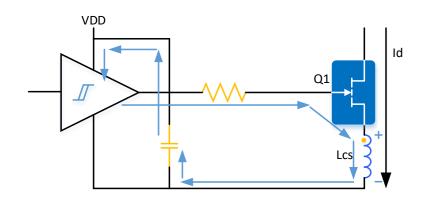


图 1 半桥功率电路示意图

共源电感(CSI)是栅极驱动回路和功率回路共用的回路电感(如图1中的CSI)





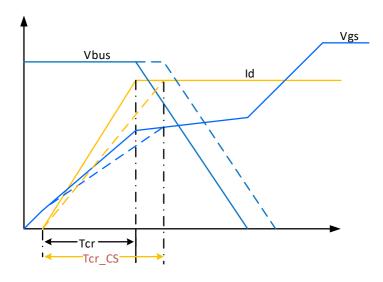


图 2 共源电感影响

在器件导通的过程中,di/dt的大小取决于驱动电路的驱动能力。由于有共源电感的存在,在开通过程中,漏极电流di/dt将在共源电感产生一个与栅极驱动电压相反的电压,从而减少用于栅极电容充电的电流,延长转换时间Tcr,增大开通损耗,降低效率。故在并联场景中需格外注意共源电感。

2.1.2. 功率回路

对于高频功率器件的布局,减少寄生电感非常重要。推荐PCB布局如下图3所示。

- 1. 瓷片电容靠近上管GaN,对高频信号解耦。
- 第一层采用功率回路,通过第三层构建最小的物理回路尺寸,并具备磁场自消除功能,将功率回路中的寄生电感降低,有助于降低尖峰电压和提高效率。
- 3. 并联器件间Layout保持对称,打孔数量保持一致以保持均流一致性。
- 4. 并联器件间开窗预留汇流条位置,汇流条能显著提升器件均流效果,实现热均衡。



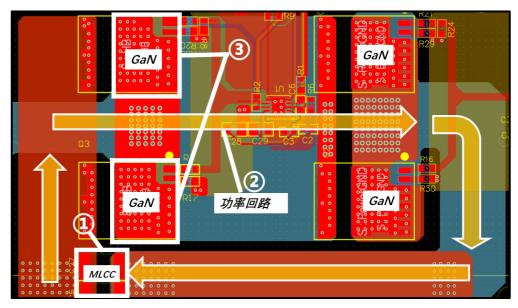


图 3 推荐功率回路PCB布局

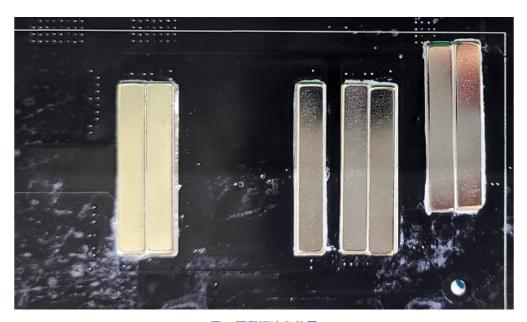


图 4 预留汇流条位置

2.1.3. 驱动回路

参考《AN001-高压InnoGaN驱动设计指导》驱动设计方案,对于并联驱动设计,驱动回路元件尽量共用,驱动电阻共用开通电阻R4,关断电阻R10,以保证驱动一致性。靠近Gate端,采用独立电阻R5,R7,可以有效抑制因为驱动回路长而带来的振铃问题。同时器件采用开尔文设计,将驱动回路与功率回路分离,有效减小CSI影响。



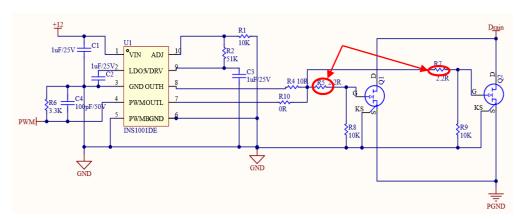


图 5 驱动设计

对于并联驱动回路PCB设计,参考设计如下:

- 1. 开通,关断路径保持长度一致。保证驱动信号一致性。
- 2. 驱动电阻靠近GaN。
- 3. 通过开尔文引脚设计将驱动回路和功率回路,减小CSI影响。
- 4. 第二层驱动回路参考GND铺大,可以有效减小回路寄生感,同时可以屏蔽动点 SW点对驱动的辐射干扰。

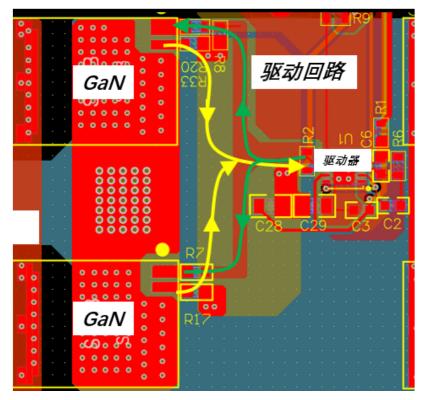


图 6 推荐驱动回路PCB布局



2.2. 并联GaN设计

2.2.1. 单管拓扑GaN并联

在单个开关器件中应用多个器件并联,它导致系统的结构复杂,需要考虑不同开关管各种电流路径。多个GaN并联应用对于PCB的对称性要求更加苛刻;

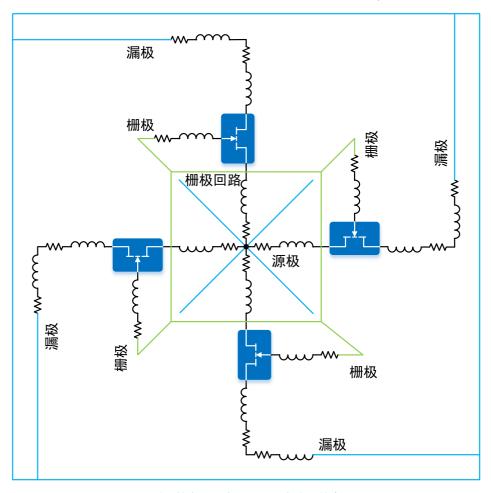


图 7 对称性布局示意图 (适用高速开关应用)

为了符合对称的需求,并且使得GaN器件有效并联,如图7所示,功率回路对称、CSI和栅极回路都是有效的并联GaN的关键因数。随着并联的GaN数量增加,使得整个电路的布局无法实现完全对称。所以需要考虑寄生参数优先级。

- 1. 共源电感的对称;
- 2. 功率回路;
- 3. 栅极回路;



2.2.2. 半桥拓扑GaN并联

对于半桥应用中的并联方式,可以应用上面布局方法,但是由于一些限制的原因,这种方案在该并联的场景中有局限,对于系统来说,不是最优的方案。最佳方案推荐对称镜像方案,如下图。

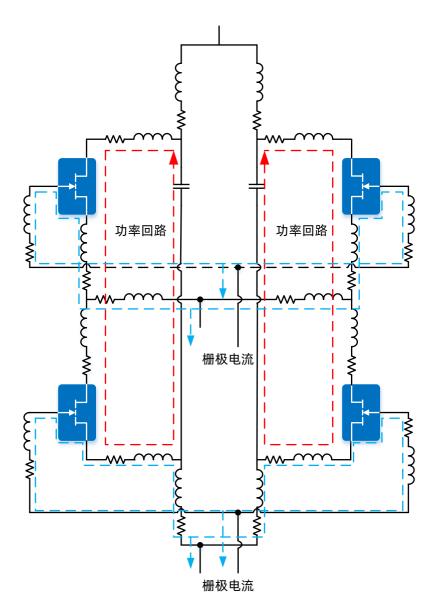


图 8 半桥对称性布局示意图

该对称性方案实现多GaN可靠并联方案。它具备独立的功率回路,不但可以将系统的总寄生参数降低,同时保证系统寄生参数的一致性,提供寄生参数最佳平衡。



3. 并联案例

3.1. 3kW PSU并联方案

基于上文应用设计要点,验证3kW PSU并联实际效果。该系统前级PFC采用INN650TA030AH 2管并联。测试条件:输入电压230V,输出390V &满载工作1小时,TCM模式。实际并联效果良好,并联器件壳温均衡。如下图9所示:

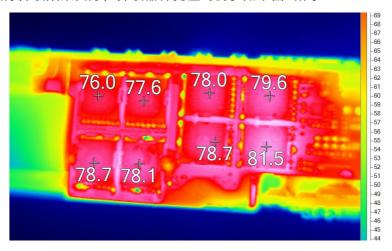


图 9 3kW实测壳温

3.1.1. 驱动设计

基于上面GaN特性的分析,在该并联方案中,驱动电阻共用开通电阻RP23,以保证驱动一致性。在靠近Gate端,增加RP43,RP44,它可以有效抑制因为驱动回路长带来的振铃问题。

- 1. 驱动开通电阻选型:开通电阻阻值取决于控制器的驱动电压及器件漏电流,EMI等因素,当前RP12选用12Ω。
- 2. 下拉电阻RP22按经验值通常选用10-20K阻值

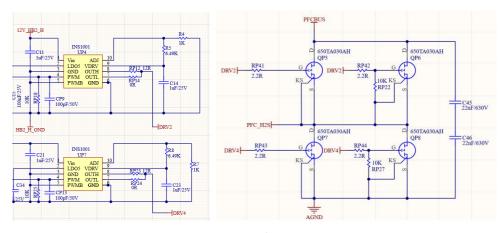


图 10 驱动配置



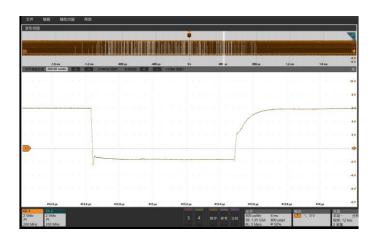


图 11 驱动波形

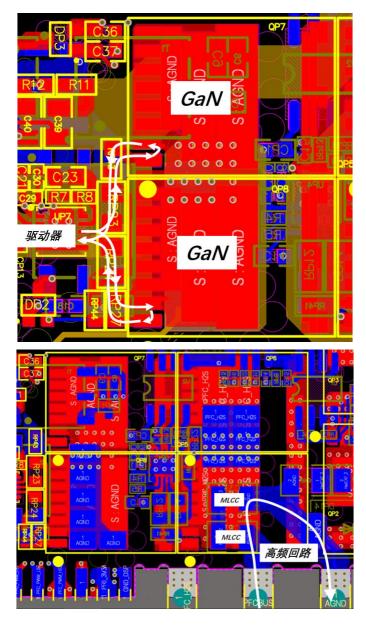


图12 PCB布局



历史版本

日期	版本	备注	作者
2024/08/09	1.0	第一版	AE 团队



Note:

There is a dangerous voltage on the demo board, and exposure to high voltage may lead to safety problems such as injury or death.

Proper operating and safety procedures must be adhered to and used only for laboratory evaluation demonstrations and not directly to end-user equipment.



Reminder:

This product contains parts that are susceptible to electrostatic discharge (ESD). When using this product, be sure to follow antistatic procedures.



Disclaimer:

Innoscience reserves the right to make changes to the products or specifications described in this document at any time. All information in this document, including descriptions of product features and performance, is subject to change without notice. INNOIC ACCEPTSURBIT ACCEPTS NO LIABILITY ARISING OUT OF THE USE OF ANY EQUIPMENT OR CIRCUIT DESCRIBED HEREIN. The performance specifications and operating parameters of the products described in this article are determined in a stand-alone state and are not guaranteed to be performed in the same manner when installed in the customer's product. Samples are not suitable for extreme environmental conditions. We make no representations or warranties, express or implied, as to the accuracy or completeness of the statements, technical information and advice contained herein and expressly disclaim any liability for any direct or indirect loss or damage suffered by any person as a result thereof. This document serves as a guide only and does not convey any license under the intellectual property rights of Innoscience or any third party.