

北 京 邮 电 大 学

实 验 报 告

课程名称：数字逻辑与数字系统实验

实验名称：触发器实验

计算机学院 2024211314 班 学号 2024210932

姓名：刘相宜

教师：石劭轩 成绩_____

2025 年 11 月 14 日

一、实验目的

深入理解 RS 触发器、D 触发器、JK 触发器的核心工作原理及逻辑特性。
熟练掌握 RS 触发器、D 触发器、JK 触发器的正确接线方法与实际操作技巧。
能够准确观测和记录各类触发器的输出状态变化，验证其真值表，分析波形关系。
对比不同类型触发器的触发方式、逻辑功能及应用场景差异。

二、实验器件和设备

器件/设备名称	型号/规格	数量	用途
二输入四与非门	74LS00	1 片	构成基本 RS 触发器
双 D 触发器	74LS74	1 片	测试 D 触发器逻辑功能
双 JK 触发器	74LS107	1 片	测试 JK 触发器逻辑功能
数字电路实验系统	TEC8	1 台	提供电源、电平开关、脉冲源等
双踪示波器	TBS1102B-EDU	1 台	观测脉冲波形及触发器输入输出波形
电平开关	-	若干	提供高低电平输入
电平指示灯	-	若干	显示触发器输出状态
导线	-	若干	电路连接

三、实验原理

RS 触发器

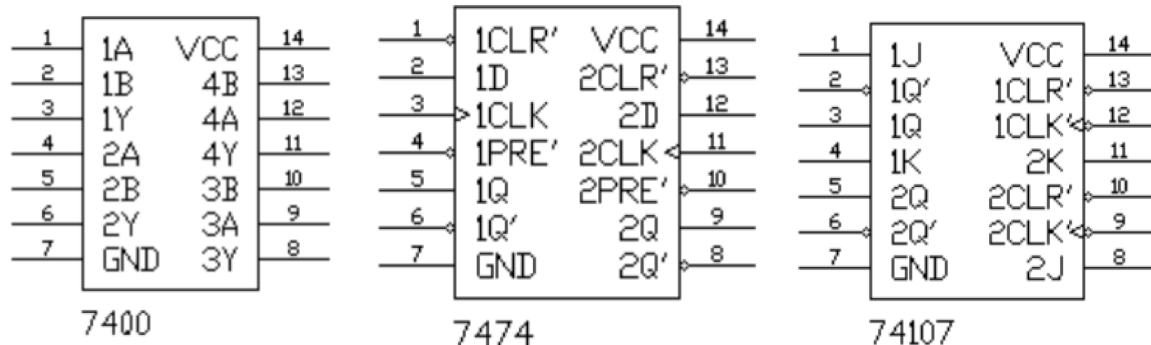
由 74LS00 与非门构成基本 RS 触发器，采用低电平触发方式。其中 $\overline{R_D}$ 为复位端（置 0 端）， $\overline{S_D}$ 为置位端（置 1 端），Q 和 \overline{Q} 为互补输出端。其逻辑功能由输入信号 $\overline{R_D}$ 、 $\overline{S_D}$ 和现态 Q^n 共同决定，存在不定状态（ $\overline{R_D} = 0$ 且 $\overline{S_D} = 0$ ），实际应用中需避免。

D 触发器（74LS74）

采用上升沿触发方式，具有异步复位端（CLR，低电平有效）和异步置位端（PR，低电平有效）。时钟脉冲（CP）上升沿时刻，输出 Q 跟随输入 D 的状态变化（ $Q^{n+1} = D$ ），其余时刻输出保持原状态不变。

JK 触发器（74LS107）

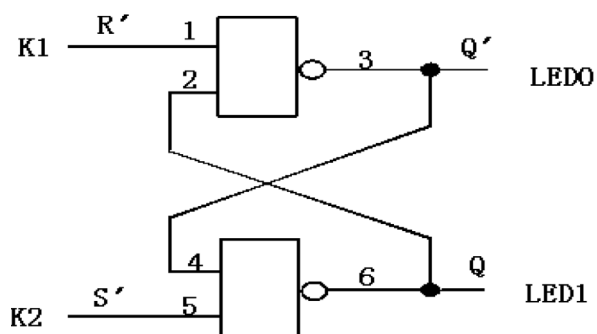
采用下降沿触发方式，同样具有低电平有效的异步复位端（CLR）。其逻辑功能丰富， $J = 0$ 、 $K = 0$ 时保持原状态； $J = 0$ 、 $K = 1$ 时置 0； $J = 1$ 、 $K = 0$ 时置 1； $J = 1$ 、 $K = 1$ 时实现翻转功能（ $Q^{n+1} = \overline{Q^n}$ ）。



四、实验内容与步骤

（一）RS 触发器实验（74LS00 构成）

电路连接: 使用 74LS00 的两个与非门构成基本 RS 触发器， \overline{R}_D 端接电平开关 K1， \overline{S}_D 端接电平开关 K2，Q 端接 LED0， \overline{Q} 端接 LED1，同时接入电源 VCC 和地 GND。



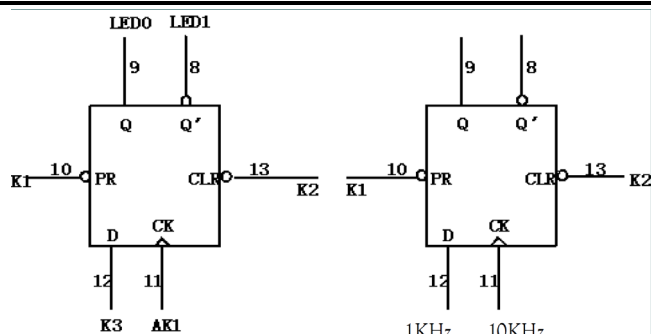
功能测试: 按照真值表要求，依次改变 \overline{R}_D 和 \overline{S}_D 的电平组合（高电平用“1”表示，低电平用“0”表示），观测并记录不同现态 Q^n 下输出端 Q 和 \overline{Q} 的状态，验证触发器的置 0、置 1 和保持功能，注意观察不定状态的现象。

（二）D 触发器实验（74LS74）

异步复位/置位功能测试

将 74LS74 的 CLR（复位端）、PR（置位端）接电平开关，Q 和 \overline{Q} 端接电平指示灯。

分别设置 CLR、PR 为不同电平组合（仅低电平有效），观测并记录 Q 和 \overline{Q} 的输出状态，验证异步复位（置 0）和异步置位（置 1）功能。



同步数据传输功能测试

保持 CLR、PR 为高电平（关闭异步功能），D 端接电平开关，CP 端接单脉冲信号。

分别设置 D 为高电平和低电平，按压单脉冲按钮（产生 CP 上升沿），观测并记录 Q 和 \bar{Q} 的状态变化，验证 $Q^{n+1} = D$ 的逻辑关系。

动态波形观测

保持 CLR、PR 为高电平，D 端接 1KHz 脉冲源，CP 端接 10KHz 脉冲源。

用双踪示波器分别观测并记录 D 端与 CP 端的波形、D 端与 Q 端的波形，分析 Q 端波形与 D 端、CP 端波形的时序关系。

思考题验证

将 D 端接 10KHz 脉冲源，CP 端接 1KHz 脉冲源，用示波器观测 Q 端是否能稳定显示波形，分析原因。

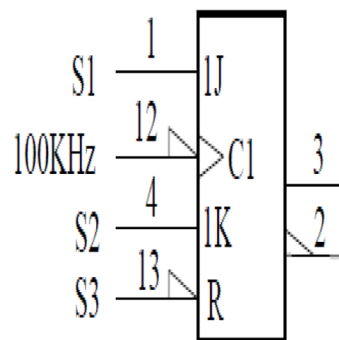
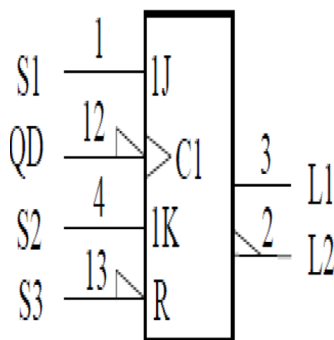
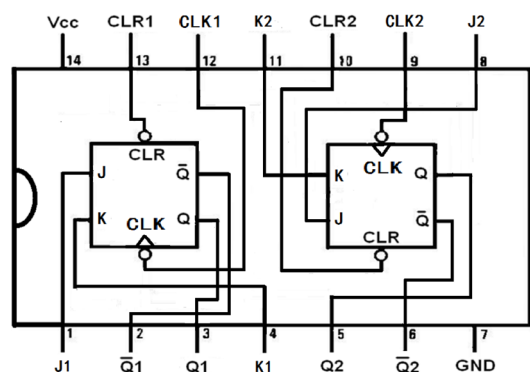
（三）JK 触发器实验（74LS107）

测试方案设计

异步复位功能测试：CLR 接电平开关，J、K 接高电平，CLK 悬空，Q 端接指示灯，改变 CLR 电平，观测 Q 状态。

同步逻辑功能测试：CLR 接高电平，J、K 分别通过电平开关设置为不同组合（00、01、10、11），CLK 端接单脉冲（下降沿有效），观测不同 J、K 组合下，CP 触发后 Q 端的状态变化。

翻转特性测试：J=1、K=1 时，CLK 接单脉冲或低频脉冲源，观测 Q 端翻转与 CLK 的时序关系，用示波器记录波形。



实验操作：按照设计方案连接电路，逐步进行测试，详细记录每个步骤的输入条件和输出结果。

五、实验数据与结果

（一）RS 触发器真值表（74LS00 构成）

$\overline{R_D}$	$\overline{S_D}$	现态 Q^n	次态 Q^{n+1}	说明
0	0	0	x	不定状态（不允许）
0	0	1	x	不定状态（不允许）
0	1	0	0	触发器置 0
0	1	1	0	触发器置 0
1	0	0	1	触发器置 1
1	0	1	1	触发器置 1
1	1	0	0	保持原状态
1	1	1	1	保持原状态

（二）D 触发器实验结果（74LS74）

异步复位/置位真值表

CLR	PR	Q^n	Q^{n+1}	说明
0	1	0	0	异步复位（置 0）
0	1	1	0	异步复位（置 0）
1	0	0	1	异步置位（置 1）
1	0	1	1	异步置位（置 1）
1	1	0	取决于 D 和 CP	同步工作模式
1	1	1	取决于 D 和 CP	同步工作模式

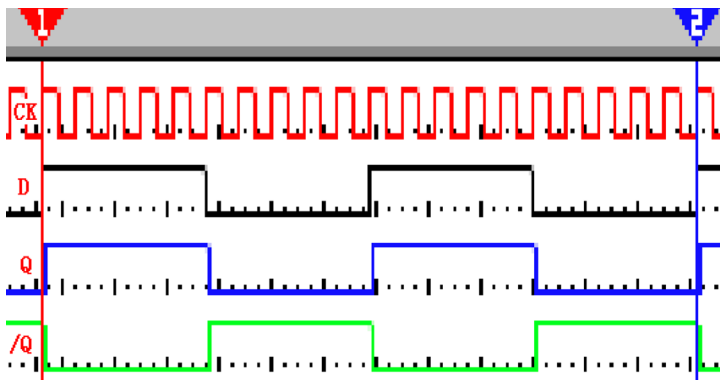
同步数据传输真值表（CP 上升沿触发）

D	Q^n	Q^{n+1} （CP 上升沿后）	说明
0	0	0	输出跟随 D 置 0
0	1	0	输出跟随 D 置 0

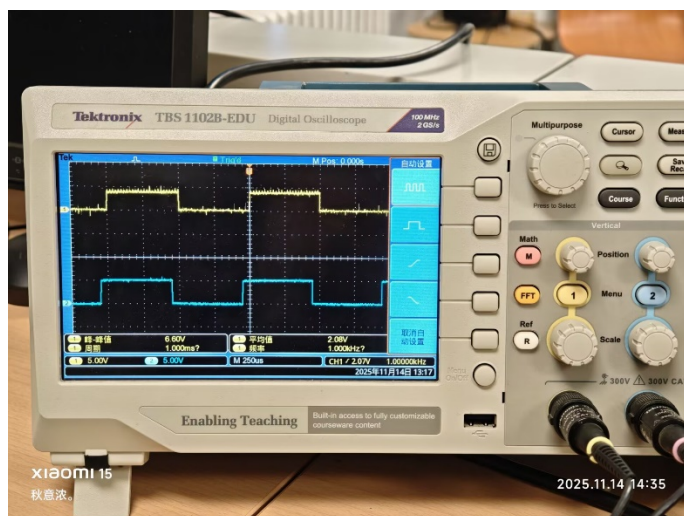
1	0	1	输出跟随 D 置 1
1	1	1	输出跟随 D 置 1

波形记录

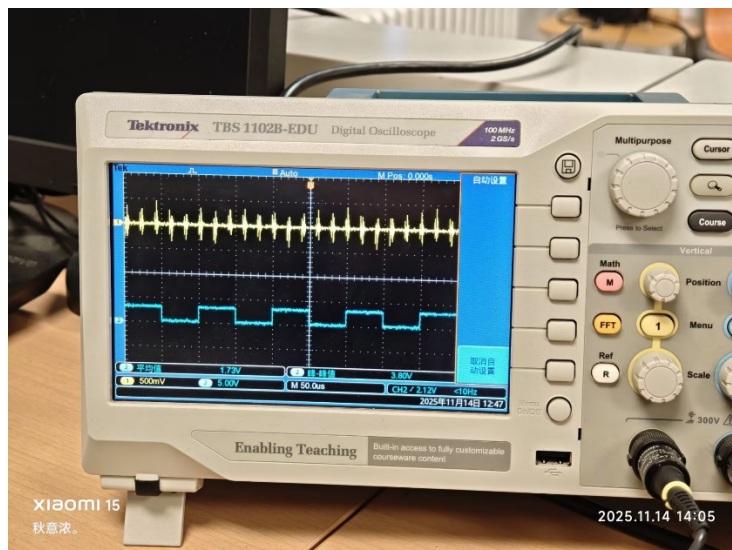
D (1KHz) 与 CP (10KHz) 波形: CP 频率为 D 的 10 倍, 波形为连续周期性脉冲, CP 脉冲密度更高。



D (1KHz) 与 Q 波形: Q 端在 CP 上升沿时刻跟随 D 的状态变化, 其余时刻保持稳定, Q 波形与 D 波形存在一定时序延迟 (由器件响应速度决定)。



思考题结果: 当 D 接 10KHz 脉冲、CP 接 1KHz 脉冲时, 无法观察到稳定的 Q 波形。原因: CP 频率低于 D 频率, CP 上升沿触发时, D 端信号可能处于频繁变化状态, 触发器无法稳定采样 D 的有效电平, 导致 Q 端输出杂乱无章。



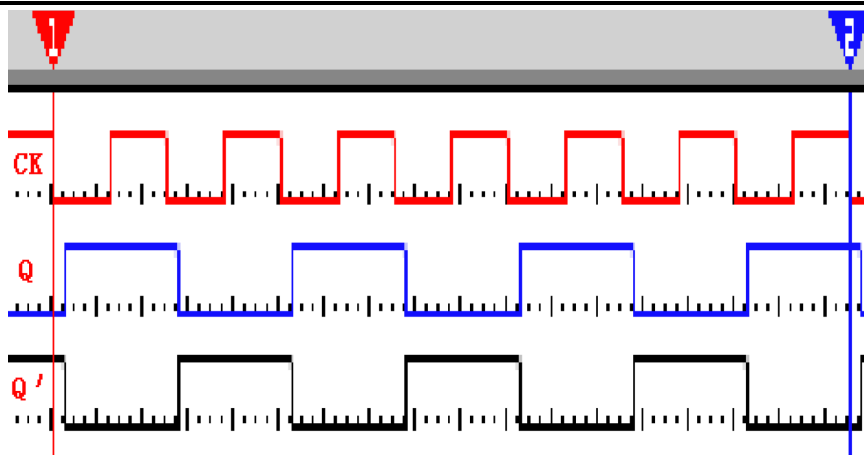
(三) JK 触发器实验结果 (74LS107)

异步复位功能：当 CLR=0 时，无论 J、K 和 CLK 状态如何，Q=0，实现异步复位；CLR=1 时，异步功能关闭，进入同步工作模式。

同步逻辑功能真值表（CLK 下降沿触发）

J	K	Q^n	Q^{n+1} (CLK 下降沿后)	说明
0	0	0	0	保持原状态
0	0	1	1	保持原状态
0	1	0	0	置 0
0	1	1	0	置 0
1	0	0	1	置 1
1	0	1	1	置 1
1	1	0	1	翻转
1	1	1	0	翻转

翻转特性波形：J=1、K=1 时，Q 端在每个 CLK 下降沿发生一次翻转，Q 波形与 CLK 波形为二分频关系，即 CLK 每两个周期，Q 完成一个周期的翻转。



六、实验分析与讨论

RS 触发器：通过与非门构成的基本 RS 触发器结构简单，但存在不定状态（ $\overline{R_D} = \overline{S_D} = 0$ ），限制了其在复杂数字系统中的应用，仅适用于对可靠性要求不高的简单置位、复位场景。实验中观测到不定状态时，LED 指示灯会出现闪烁或不稳定现象，符合理论预期。

D 触发器：74LS74 的上升沿触发特性保证了数据传输的同步性和准确性，避免了电平触发可能出现的空翻问题。异步复位/置位功能可优先控制触发器状态，灵活性较高。动态波形观测中，Q 端仅在 CP 上升沿响应 D 的变化，验证了同步触发的核心特性。思考题中，由于 CP 采样频率不足，无法稳定捕获高频 D 信号，体现了触发器对时钟与数据频率匹配的要求。

JK 触发器：74LS107 的下降沿触发与丰富的逻辑功能（保持、置 0、置 1、翻转）使其应用广泛，尤其翻转功能可用于构成计数器等时序逻辑电路。实验中 $J=1$ 、 $K=1$ 时的二分频波形，直观展示了其翻转特性，符合 $Q^{n+1} = \overline{Q^n}$ 的逻辑关系。

七、不同类型触发器触发方式对比

触发器类型	触发方式	关键特性	触发时刻
RS 触发器 (74LS00 构成)	低电平触发（异步）	无时钟信号，输入电平直接控制输出	输入信号 $\overline{R_D}$ 、 $\overline{S_D}$ 为有效电平时立即响应
D 触发器 (74LS74)	上升沿触发（同步）	时钟控制，输出跟随输入 D	时钟脉冲 CP 的上升沿（电平从低变高瞬间）
JK 触发器 (74LS107)	下降沿触发（同步）	时钟控制，逻辑功能丰富	时钟脉冲 CP 的下降沿（电平从高变低瞬间）

八、实验总结与体会

本次实验通过理论与实践结合，深入掌握了 RS、D、JK 三种触发器的工作原理、接线方法和功能测试流程，验证了其真值表和波形特性，加深了对时序逻辑电路同步触发与异步触发概念的理解。

实验中发现，电路接线的准确性直接影响实验结果，尤其是芯片引脚的识别（如 VCC、GND、控制端与信号端的区分）和触发边沿的判断，需要格外细致。示波器的使用技巧（如通道耦合方式、触发方式、时基与电压档位调节）是观测动态波形的关键。

对比三种触发器的特性可知，RS 触发器结构简单但存在不定状态；D 触发器逻辑清晰、无不定状态，适用于数据存储与传输；JK 触发器功能全面，可实现多种逻辑操作，适用于计数器、寄存器等复杂时序电路。

实验中遇到的波形观测不稳定、输出状态异常等问题，通过排查接线错误、调整信号频率和示波器参数得以解决，培养了问题分析与排查能力。同时，对数字电路中“同步”与“异步”、“边沿触发”与“电平触发”的区别有了更直观的认识，为后续时序逻辑电路的设计与应用奠定了基础。

九、思考题解答

问题：如果 D 给 10KHz 脉冲源，CP 接 1KHz 的脉冲源，能否观察到波形？

解答：不能观察到稳定的 Q 波形。原因如下：

触发器的同步工作依赖时钟脉冲对输入数据的采样，D 触发器仅在 CP 上升沿时刻采样 D 端信号并更新输出 Q。

当 CP 频率（1KHz）远低于 D 信号频率（10KHz）时，每个 CP 周期内 D 端信号会发生 10 次变化，CP 上升沿触发时，D 端信号可能处于任意电平状态（高电平、低电平或跳变过程中）。

触发器无法稳定捕获 D 端的有效数据，导致 Q 端输出信号杂乱无章，无法形成与 D 信号相关的稳定波形，因此无法观察到清晰可辨的 Q 波形。