

北京邮电大学

实验报告

课程名称：数字逻辑与数字系统实验

实验名称：逻辑门与三态门实验

计算机学院 2024211314 班 学号 2024210932

姓名：刘相宜

教师：石劭轩 成绩_____

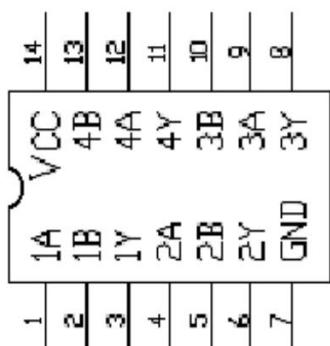
2025年11月11日

一、 实验目的

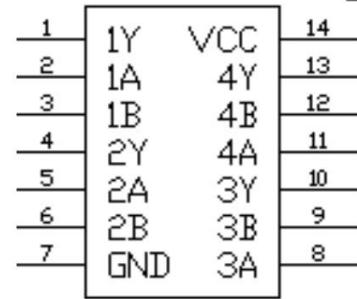
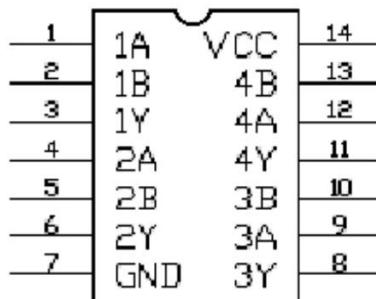
1. 掌握 TTL 与非门，或非门和异或门输入与输出之间的逻辑关系；
2. 熟悉 TTL 中，小规模集成电路的外形，管脚和使用方法；
3. 掌握三态门逻辑功能和使用方法；
4. 掌握用三态门构成总线的方法和特点；
5. 掌握 TEC-8 数字电路实验系统的使用方法；
6. 初步学会用示波器测量简单数字波形。

二、 实验器件和设备

- 二输入四与非门：74LS00；
- 二输入四或非门：74LS28（02）；
- 二输入四异或门：74LS86；
- 四总线缓冲器（三态输出）：74LS125；
- TEC-8 数字电路实验系统；
- TBS1102B-EDU 双踪示波器。
- 数字电路实验中所用到的小规模集成电路芯片都是双列直插式的。
- 以 74LS00 芯片为例，其引脚排列规则如图所示



74LS00

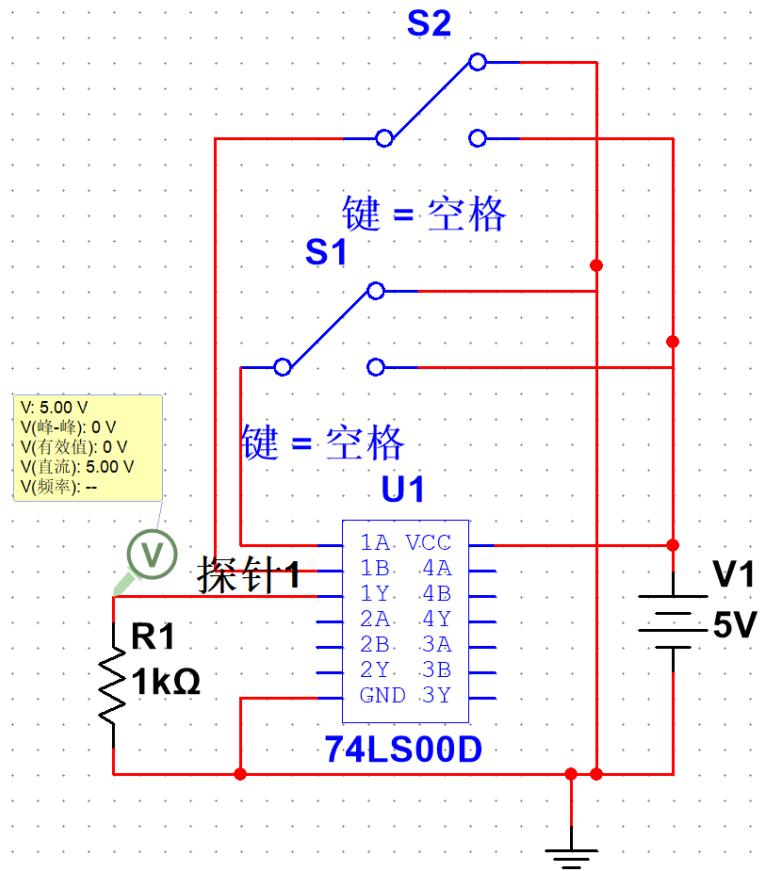


7428

三、 实验过程及结果

任务一：测试 74LS00 一个逻辑门的输入与输出之间的逻辑关系。

电路图：



真值表：

1A	1B	1Y
0	0	1
0	1	1
1	0	1
1	1	0

遇到的问题及解决方案、值得注意和思考的问题等

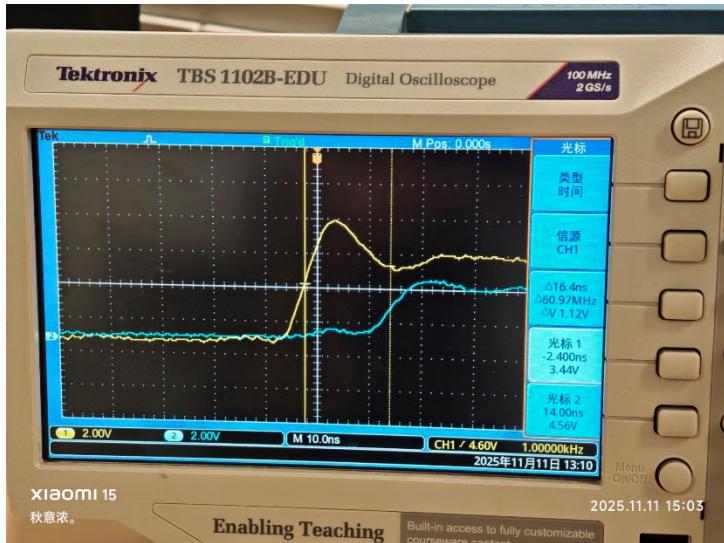
问题：LED 指示灯无反应，排查发现芯片管脚接线错误，VCC 未正确接入 +5V 电源。

解决方案：对照芯片手册确认管脚定义，重新连接 VCC 和 GND 引脚，确保电源连接稳定。

注意事项：接线前需明确芯片管脚功能，避免正负极接反损坏芯片；拨动电平开关时动作轻柔，防止接触不良。

任务二：测试 74LS00 四个逻辑门的门级延迟

记录延迟数据



延迟：16.4ns

分析产生门级延迟的原因

由于 74LS00 为 TTL 双极型晶体管逻辑，其门电路内部由多级晶体管组成。输入信号变化时，晶体管需要一定时间完成导通或截止的转换，同时内部电容的充放电也会造成 RC 延迟，因此输出信号相对输入信号存在一定的传播延迟。

此外，输出端的负载电容、环境温度以及电源电压等因素也会对延迟时间产生影响。实验中用示波器测得延迟约为十几纳秒，与 TTL 器件数据手册的典型值一致。

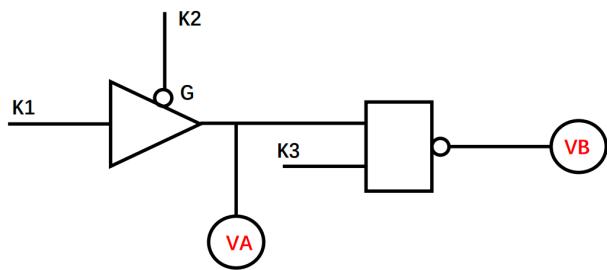
任务三：74LS125 的输出负载为 74LS00 一个与非门输入端，当与非门另一输入端分别接高，低电平时，测试 74LS125 的三态输出和 74LS00 的输出。

分析三态门的逻辑功能

三态门在输出端除高、低电平外，还具有“高阻态”这一第三种状态。当使能端为有效电平时，输出端的逻辑状态与输入端相同，起到缓冲作用；当使能端为无效电平时，输出端呈高阻态，相当于与电路断开。

因此，三态门可通过控制使能信号，实现多路设备共享同一条总线而互不干扰的功能，是总线结构中常用的逻辑元件。

实验电路图



实验结果及分析 (ppt 中的表格)

K1	K2	K3	A 点电压	B 点电压
0	0	0	144mV	4.61V
0	0	1	144mV	4.62V
1	0	0	3.57V	4.61V
1	0	1	3.51V	313mV
0	1	0	?	4.61V
0	1	1	?	312mV
1	1	0	?	4.62V
1	1	1	?	309mV

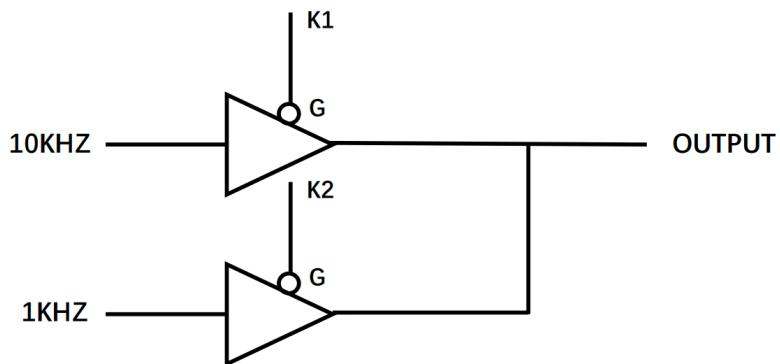
分析：不同输入对 A、B 点电压的影响以及原因，重点分析在三态门高阻态的情况下，A 点电压与 K3 输入的关系。

由实验结果可知，当控制信号 K3 为高电平时，74LS125 三态门导通，输出 B 点电压与输入 A 点一致；当 K3 为低电平时，三态门处于高阻态，B 点与电路断开，保持原状态或受其他负载影响而浮动。A 点电压由 74LS00 与非门决定，当 K1、K2 变化时，A 点呈现相应的逻辑反相输出（即 $A = \neg(K1 \cdot K2)$ ）。在三态门高阻态时，A 点电压仅由前级逻辑门决定，与 K3 无关，而 B 点不受 A 点影响，体现了三态门的隔离功能。整体结果验证了三态门的逻辑控制特性与高阻态行为。

遇到的问题及解决方案、值得注意和思考的问题等。

任务四：用 74LS125 两个三态门构成一条总线。两控制端分别由高，低电平控制；两输入端分别接 10KHZ，1KHZ 信号；用示波器观察三态门的输出波形。

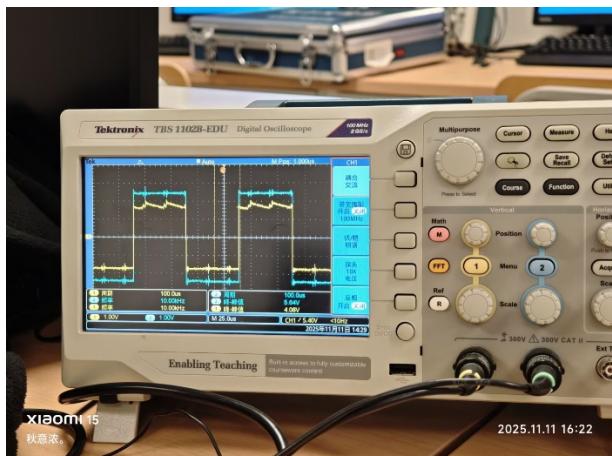
实验电路图



实验结果及分析

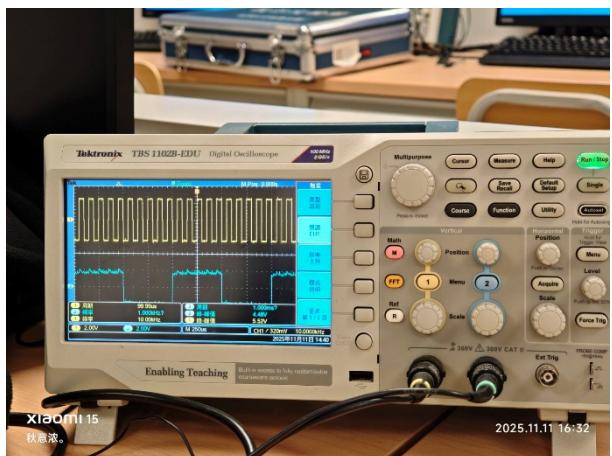
K1=0, K2=1 时, 输出波形及频率

输出波形: 10 kHz 方波



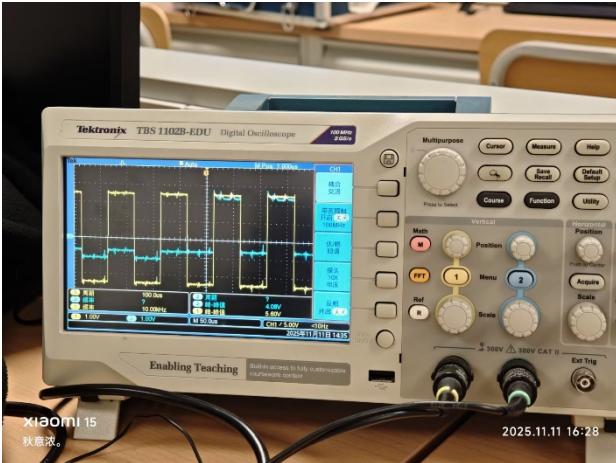
K1=1, K2=0 时, 输出波形及频率

输出波形: 1 kHz 方波



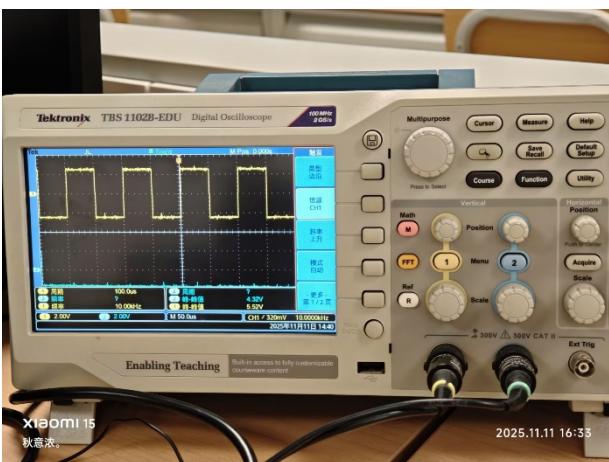
K1=0, K2=0 时, 现象

总线不允许两个输出同时处于有效驱动状态。当两个输出电平不一致时,一个门输出高电平、另一个输出低电平,会在两输出间形成电流回路,导致总线电平不稳定。



K1=1, K2=1 时, 现象

总线未被任何门驱动, 输出悬空



分析: 输出波形变换的原因, 重点分析两个三态门都导通的情况下, 波形的状况以及原因。

当控制端 K1、K2 交替为有效电平时, 分别由不同输入信号的三态门驱动总线输出, 因此输出波形随控制信号变化而在 10 kHz 与 1 kHz 之间切换。当 K1、K2 均为高电平时, 两个三态门都处于高阻态, 总线悬空, 输出电平不稳定或保持前一状态。而当 K1、K2 均为低电平时, 两个三态门同时导通, 10 kHz 与 1 kHz 信号同时作用于总线, 导致输出波形发生冲突与畸变, 可能出现电平抖动或波形叠加。这是由于两个输出端同时驱动同一总线且输出逻辑不一致, 引起电流竞争和信号干扰, 体现了总线设计中必须避免多个三态门同时导通的重要性。

遇到的问题及解决方案、收获、值得注意和思考的问题等。

问题: 切换控制端时波形切换不及时, 排查发现电平开关切换存在机械延迟。

解决方案: 缓慢切换开关, 待示波器波形稳定后记录数据; 实验前检查开关灵敏度, 确保控制信号可靠。