

【软考达人】

软考资料免费获取

- 1、最新软考题库
- 2、软考备考资料
- 3、考前压轴题



微信扫一扫，立马获取



6W+免费题库



免费备考资料

PC版题库: ruankaodaren.com

试题 1(2017 年上半年试题 14)

循环冗余校验码 (Cyclic Redundancy Check , CRC)是数据通信领域中最常用的一种差错校验码，该校验方法中，使用多项式除法（模 2 除法）运算后的余数为校验字段。若数据信息为 n 位，则将其左移 k 位后，被长度为 $k+1$ 位的生成多项式相除，所得的 k 位余数即构成 k 个校验位，构成 $n+k$ 位编码。若数据信息为 1100，生成多项式为 X^3+X+1 （即 1011），则 CRC 编码是（ ）。

- (14) A.1100010
B.1011010
C.1100011
D.1011110

试题分析

本题考查的是 CRC 循环校验码的编码。

编码流程为：

- 1、在原始信息位后加 k 个 000，即 1100000。
- 2、将 1100000 与生成多项式 1011 做模 2 除法，得到余数为 010。
- 3、将原始信息位与余数连接起来得到：1100010。

试题答案

(14) A

试题 2(2017 年上半年试题 15)

执行 CPU 指令时，在一个指令周期的过程中，首先需从内存读取要执行的指令，此时先要将指令的地址即（ ）的内容送到地址总线上。

A.指令寄存器(IR)

- B.通用寄存器 (GR)
- C.程序计数器 (PC)
- D.状态寄存器 (PSW)

试题分析

本题考查计算机组成原理的 CPU 寄存器。备选答案中的多种寄存器中 PC 负责记录要执行的指令地址。所以应把 PC 中的内容送到地址总线上。

试题答案

(15) C

试题 3(2017 年上半年试题 16)

流水线的吞吐率是指流水线在单位时间里所完成任务数或输出的结果数。设某流水线有 5 段，有 1 段的时间为 2ns，另外 4 段的每段时间为 1ns，利用此流水线完成 100 个任务的吞吐率约为 () 个/s。

- A. 500×10^6
- B. 490×10^6
- C. 250×10^6
- D. 167×10^6

试题分析

本题考查组成原理中的流水线技术。

流水线执行 100 个任务所需要的时间为：

$$(2+1+1+1+1) + (100 - 1) * 2 = 204\text{ns}$$

所以每秒吞吐率为： $(100/204)*10^9=490*10^6$

注意：1 秒= 10^9 纳秒。

试题答案

(16) B

试题 4(2017 年上半年试题 17)

以下关于复杂指令集计算机(Complex Instruction Set Computer,CISC) 的叙述中，正确的是（ ）。

- A.只设置使用频度高的一些简单指令，不同指令执行时间差别很小
- B.CPU 中设置大量寄存器，利用率低
- C.常采用执行速度更快的组合逻辑实现控制器
- D.指令长度不固定，指令格式和寻址方式多

试题分析

指令系统类型	指令	寻址方式	实现方式	其它
CISC（复杂）	数量多，使用频率差别大 可变长格式	支持多种	微程序控制技术 （微码）	研制周期长
RISC（精简）	数量少，使用频率接近， 定长格式，大部分为单周期指令，操作寄存器，只有 Load/Store 操作内存	支持方式少	增加了通用寄存器；硬布线逻辑控制为主；适合采用流水线	优化编译，有效支持高级语言

试题答案

(17) D

试题 5(2017 年上半年试题 18)

在高速缓存 (Cache) -主存储器构成的存储系统中, ()。

- A.主存地址到 Cache 地址的变换由硬件完成, 以提高速度
- B.主存地址到 Cache 地址的变换由软件完成, 以提高灵活性
- C.Cache 的命中率随其容量增大线性地提高
- D.Cache 的内容在任意时刻与主存内容完全一致

试题分析

本题考查的是计算机组成原理中的 Cache 存储器。

Cache 与主存之间的映射采用的是硬件方式完成的, 其目的是提高速度。

试题答案

(18) A

试题 6(2016 年上半年试题 15)

某浮点数格式如下: 7 位阶码 (包含一个符号位), 9 位尾数 (包含一个符号位)。若阶码用移码、尾数用规格化的补码表示, 则浮点数所能表示数的范围是 ()。

- (15) A. $-2^{63} \sim (1-2^{-8}) \times 2^{63}$
- B. $-2^{64} \sim (1-2^{-7}) \times 2^{64}$
- C. $-(1-2^{-8}) \times 2^{63} \sim 2^{63}$
- D. $-(1-2^{-7}) \times 2^{64} \sim (1-2^{-8}) \times 2^{63}$

试题分析

如果浮点数的阶码（包括 1 位阶符）用 R 位的移码表示，尾数（包括 1 位数符）用 M 位的补码表示，则这种浮点数所能表示的数值范围如下。

最大的正数： $+(1-2^{-M+1}) \times 2^{(2^{R-1}-1)}$ ，最小的负数： $-1 \times 2^{(2^{R-1}-1)}$

试题答案

(15) A

试题 7(2016 年上半年试题 16)

Cache 的替换算法中，（ ）算法计数器位数多，实现困难。A.FIFO

B.LFU

C.LRU

D.RAND

试题分析

(1) 随机算法。这是最简单的替换算法。随机法完全不管 cache 块过去、现在及将来的使用情况，简单地根据一个随机数，选择一块替换掉。

(2) 先进先出 (First In and First Out, FIFO) 算法。按调入 cache 的先后决定淘汰的顺序，即在需要更新时，将最先进入 cache 的块作为被替换的块。这种方法要求为每块做一记录，记下它们进入 cache 的先后次序。这种方法容易实现，而且系统开销小。其缺点是可能会把一些需要经常使用的程序块（如循环程序）替换掉。

(3) 近期最少使用 (Least Recently Used, LRU) 算法。LRU 算法是把 CPU 近期最少使用的块作为被替换的块。这种替换方法需要随时记录 cache 中各块的使用情况，以便确定哪个块是近期最少使用的块。LRU 算法相对合理，但实

现起来比较复杂，系统开销较大。通常需要对每一块设置一个称为“年龄计数器”的硬件或软件计数器，用以记录其被使用的情况。

(4) 最不经常使用页置换 (Least Frequently Used (LFU)) 算法，要求在页置换时置换引用计数最小的页，因为经常使用的页应该有一个较大的引用次数。但是有些页在开始时使用次数很多，但以后就不再使用，这类页将会长时间留在内存中，因此可以将引用计数寄存器定时右移一位，形成指数衰减的平均使用次数。LFU 的复杂度以及计数器规模都比 LRU 大，LRU 只关注近期访问情况，而 LFU 会统计累计访问次数作为淘汰的依据。

试题答案

(16) B

试题 8(2016 年上半年试题 17)

以下关于总线的说法中，正确的是（ ）。A.串行总线适合近距离高速数据传输，但线间串扰会导致速率受限
B.并行总线适合长距离数据传输，易提高通信时钟频率来实现高速数据传输
C.单总线结构在一个总线上适应不同种类的设备，设计复杂导致性能降低
D.半双工总线只能在一个方向上传输信息

试题分析

按照总线中数据线的多少，可分为并行总线和串行总线。并行总线是含有多条双向数据线的总线，它可以实现一个数据的多位同时传输，总线中数据线的数量决定了可传输一个数据的最大位数（一般为 8 的倍数）。由于可以同时传输数据的各位，所以并行总线具有数据传输速率高的优点。但由于各条数据线的传输特性不可能完全一致，当数据线较长时，数据各位到达接收端时的延迟可能不一致，

会造成传输错误，所以并行总线不宜过长，适合近距离连接。大多数的系统总线属于并行总线。串行总线是只含有一条双向数据线或两条单向数据线的总线，可以实现一个数据的各位按照一定的速度和顺序依次传输。由于按位串行传输数据对数据线传输特性的要求不高，在长距离连线情况下仍可以有效地传送数据，所以串行总线的优势在于远距离通信。但由于数据是按位顺序传送的，所以在相同的时钟控制下，数据传输速率低于并行总线。大多数的通信总线属于串行总线。在单总线结构中计算机的各个部件均与系统总线相连，所以它又称为面向系统的单总线结构。在单总线结构中，CPU 与主存之间、CPU 与 I/O 设备之间、I/O 设备与主存之间、各种设备之间都通过系统总线交换信息。单总线结构的优点是控制简单方便，扩充方便。但由于所有设备部件均挂在单一总线上，使这种结构只能分时工作，即同一时刻只能在两个设备之间传送数据，这就使系统总体数据传输的效率和速度受到限制，这是单总线结构的主要缺点。

试题答案

(17) C

试题 9(2016 年上半年试题 60-61)

使用 Cache 改善系统性能的依据是程序的局部性原理。程序中大部分指令是 () 的。设某计算机主存的读 / 写时间为 100ns，有一个指令和数据合一的 Cache，已知该 Cache 的读 / 写时间为 10ns，取指令的命中率为 98%，取数据的命中率为 95%。在执行某类程序时，约有 1/5 指令需要额外存 / 取一个操作数。假设指令流水线在任何时候都不阻塞，则设置 Cache 后，每条指令的平均读取时间约为 () ns。

A.顺序存储、顺序执行
B.随机存储、顺序执行

C.顺序存储、随机执行

D.随机存储、随机执行

A.12.3

B.14.7

C.23.4

D.26.3

试题分析

$$(100 \times 2\% + 10 \times 98\%) + (100 \times 5\% + 10 \times 95\%) \times 20\% = 14.7$$

试题答案

(60) A (61) B

试题 10(2015 年上半年试题 14-15)

Flynn 分类法根据计算机在执行程序的过程中 () 的不同组合, 将计算机分为 4

类。当前主流的多核计算机属于 () 计算机。A.指令流和数据流

B.数据流和控制流

C.指令流和控制流

D.数据流和总线带宽

A.SISD

B.SIMD

C.MISD

D.MIMD

试题分析

Flynn 根据不同的指令流-数据流组织方式，把计算机系统分成以下四类：

(1) 单指令流单数据流 (Single Instruction stream and Single Data stream, SISD)：SISD 其实就是传统的顺序执行的单处理器计算机，其指令部件每次只对一条指令进行译码，并只对一个操作部件分配数据。流水线方式的单处理机有时也被当作 SISD。

(2) 单指令流多数据流 (Single Instruction stream and Multiple Data stream, SIMD)：SIMD 以并行处理机（矩阵处理机）为代表，并行处理机包括多个重复的处理单元，由单一指令部件控制，按照同一指令流的要求为它们分配各自所需的不同数据。

(3) 多指令流单数据流 (Multiple Instruction stream and Single Data stream, MISD)：MISD 具有 n 个处理单元，按 n 条不同指令的要求对同一数据流及其中间结果进行不同的处理。一个处理单元的输出又作为另一个处理单元的输入。这类系统实际上很少见到。有文献把流水线看作多个指令部件，称流水线计算机是 MISD。

(4) 多指令流多数据流 (Multiple Instruction stream and Multiple Data stream, MIMD)：MIMD 是指能实现作业、任务、指令等各级全面并行的多机系统。多处理机属于 MIMD。高性能服务器与超级计算机大多具有多个处理机，能进行多任务处理，称为多处理机系统，无论是海量并行处理 (Massive Parallel Processing, MPP) 结构，还是对称多处理 (Symmetrical Multi-Processing, SMP) 结构，都属于这一类。目前笔记本电脑与台式机也普遍采用多核处理器，这些处理器中的多个核能并行完成任务，也属于 MIMD。

试题答案

(14) A (15) D

试题 11(2015 年上半年试题 17)

某计算机系统采用集中式总线仲裁方式, 各个主设备得到总线使用权的机会基本相等, 则该系统采用的总线仲裁方式 ()。

①菊花链式查询方式 ②计数器定时查询 (轮询) 方式 ③独立请求方式 (17)

A.可能是③, 不可能是①或②

B.可能是②或 3, 不可能是①

C.可能是②, 不可能是①或③

D.可能是①、②或③

试题分析

本题考查计算机系统基础知识。

共享总线上允许有多个主设备和从设备, 可能会有多个主设备同时要求使用总线的情况 (执行操作都是由主设备发起的), 为了防止总线竞争, 共享总线上某一时刻只允许一个主设备使用总线。这就需要总线仲裁。集中式仲裁采用一个中央总线仲裁器 (总线控制器), 由它来决定总线上同时提出使用请求的主设备谁可以获得总线使用权, 主要有三种方案: 菊花链式查询方式, 计数器定时查询 (轮询) 方式和独立请求方式。

菊花链式查询方式中, 设备的先后连接顺序决定了其优先级。而计数器定时查询 (轮询) 方式及独立请求方式中, 可以做到各个主设备得到总线使用权的机会基本相等。

试题答案

(17) B

试题 12(2015 年上半年试题 18)

关于大规模并行处理器 MPP，以下说法不正确的是（ ）。A.大多数 MPP 系统使用标准的 CPU 作为它们的处理器

B.其互连网络通常采用商用的以太网实现

C.是一种异步的分布式存储器结构的 MIMD 系统

D.使用特殊的硬件和软件来监控系统、检测错误并从错误中平滑地恢复

试题分析

大规模并行处理计算机：Massive Parallel Processor。由大量通用微处理器构成的多处理机系统，适合多指令流多数据流处理。其特点包括：

- 1、大多数 MPP 系统使用标准的 CPU 作为它们的处理器。
- 2、MPP 系统使用高性能的定制的高速互连网络及网络接口，可以在低延迟和高带宽的条件下传递消息。
- 3、MPP 是一种异步的分布式存储器结构的 MIMD 系统，它的程序有多个进程，分布在各个微处理器上，每个进程有自己独立的地址空间，进程之间以消息传递进行相互通信。
- 4、在 MPP 中存在一个特殊的问题，即如何进行容错。在使用数千个 CPU 的情况下，每星期有若干个 CPU 失效是不可避免的。因此大规模的 MPP 系统总是使用特殊的硬件和软件来监控系统、检测错误并从错误中平滑地恢复。

试题答案

(18) B

试题 13(2014 年上半年试题 14)

使用多处理机系统的主要目的是实现（ ）代码的并行性。

- A.操作级和指令级
- B.指令级和作业级
- C.作业级和任务级
- D.任务级和指令级

试题分析

广义上说,使用多台计算机协同工作来完成所要求的任务的计算机系统都是多处理机系统。传统的狭义多处理机系统是指利用系统内的多个 CPU 并行执行用户多个程序,以提高系统的吞吐量或用来进行冗余操作以提高系统的可靠性。程序级的并行,属于作业级和任务级。

并行性又有粗粒度并行性(coarse-grained parallelism)和细粒度并行性(fine-grained parallelism)之分。所谓粗粒度并行性是在多处理机上分别运行多个进程,由多台处理机合作完成一个程序。所谓细粒度并行性是在一个进程中进行操作一级或指令一级的并行处理。这两种粒度的并行性在一个计算机系统中可以同时采用,在单处理机上则用细粒度并行性。

试题答案

(14) C

试题 14(2014 年上半年试题 15)

按照 Cache 地址映像的块冲突概率,从高到低排列的是（ ）。

- A.全相联映像→直接映像→组相联映像
- B.直接映像→组相联映像→全相联映像

C.组相联映像→全相联映像→直接映像

D.直接映像→全相联映像→组相联映像

试题分析

高速缓冲存储器是存在于主存与 CPU 之间的一级存储器，由静态存储芯片 (SRAM)组成，容量比较小但速度比主存高得多，接近于 CPU 的速度。Cache 的功能是用来存放那些近期需要运行的指令与数据。Cache 与内存之间的映射有三种不同的方式：全相联方式、直接相联方式、组相联方式。

1、全相联方式

地址映象规则：主存的任意一块可以映象到 Cache 中的任意一块。

- (1) 主存与缓存分成相同大小的数据块。
- (2) 主存的某一数据块可以装入缓存的任意一块空间中。

2、直接相联方式

地址映象规则：主存储器中一块只能映象到 Cache 的一个特定的块中。

- (1) 主存与缓存分成相同大小的数据块。
- (2) 主存容量应是缓存容量的整数倍，将主存空间按缓存的容量分成区，主存中每一区的块数与缓存的总块数相等。
- (3) 主存中某区的一块存入缓存时只能存入缓存中块号相同的位置。

3、组相联映象方式

组相联的映象规则：

- (1) 主存和 Cache 按同样大小划分成块。
- (2) 主存和 Cache 按同样大小划分成组。

(3) 主存容量是缓存容量的整数倍，将主存空间按缓冲区的大小分成区，主存中每一区的组数与缓存的组数相同。

(4) 当主存的数据调入缓存时，主存与缓存的组号应相等，也就是各区中的某一块只能存入缓存的同组号的空间内，但组内各块地址之间则可以任意存放，即从主存的组到 Cache 的组之间采用直接映象方式；在两个对应的组内部采用全相联映象方式。

这三种方式中，直接相联的实现最为简单，但由于直接相联中，内存块调入 Cache 时，只能进入特定块，这使得块冲突的可能性变得比较大。相比之下全相联中，内存块调入 Cache 并无限制，只要 Cache 中有空闲区，都能调入，所以块冲突可能性最小。组相联是全相联与直接相联的折中，所以排在中间。

试题答案

(15) B

试题 15(2014 年上半年试题 18)

浮点数在机器中的表示形式如下所示，若阶码的长度为 e ，尾数的长度为 m ，则以下关于浮点表示的叙述中，正确的是（ ）。

阶符	阶码	数符	尾数
----	----	----	----

① e 的值影响浮点数的范围， e 越大，所表示的浮点数值范围越大

② e 的值影响浮点数的精度， e 越大，所表示的浮点数精度越高

③ m 的值影响浮点数的范围， m 越大，所表示的浮点数范围越大

④ m 的值影响浮点数的精度， m 越大，所表示的浮点数精度越高 (18) A.①③

B.②③

C.①④

D.②④

试题分析

浮点数是属于有理数中某特定子集的数的数字表示, 在计算机中用以近似表示任意某个实数。具体的说, 这个实数由一个整数或定点数 (即尾数) 乘以某个基数 (计算机中通常是 2) 的整数次幂得到, 这种表示方法类似于基数为 10 的科学计数法。在浮点数表示中, 阶码的长度 e 决定了浮点数的范围, 而尾数的长度 m 决定了浮点数的精度。

试题答案

(18) C

试题 16(2014 年上半年试题 58-59)

流水线技术是通过并行硬件来提高系统性能的常用方法。对于一个 k 段流水线, 假设其各段的执行时间均相等 (设为 t) , 输入到流水线中的任务是连续的理想情况下, 完成 n 个连续任务需要的总时间为 () 。若某流水线浮点加法运算器分为 5 段, 所需要的时间分别是 $6ns$ 、 $7ns$ 、 $8ns$ 、 $9ns$ 和 $6ns$, 则其最大加速比为 () 。

A. nkt

B. $(k+n-1)t$

C. $(n-k)kt$

D. $(k+n+1)t$

A.4

B.5

C.6

D.7

试题分析

本题主要考查流水线技术的相关基础知识与计算。

流水线技术是通过并行硬件来提高系统性能的常用方法,它把一项任务分解为若干可以同时进行的并行工作。在任一时刻,任一任务只占其中一个操作部件,这样就可以实现多项任务的重叠执行。对于一个 k 段流水线,假设其各段的执行时间均相等(设为 t),输入到流水线中的任务是连续的理想情况下,从流水线的输出端看,用 k 个时钟周期输出第一项任务,其余 $n-1$ 个时钟周期,每个周期输出一项任务,因此完成 n 个连续任务需要的总时间为 $(k+n-1)*t$ 。加速比定义为顺序执行时间与流水线执行时间的比值,根据题干假设,顺序执行时间为 $6+7+8+9+6=36$,在流水线中的执行时间为 $5+5-1=9$,因此加速比为 $36/9=4$ 。

试题答案

(58) B (59) A

试题 17(2014 年上半年试题 60-61)

总线规范会详细描述总线各方面的特性,其中()特性规定了总线的线数,以及总线的插头、插座的形状、尺寸和信号线的排列方式等要素。总线带宽定义为总线的最大数据传输速率,即每秒传输的字节数。假设某系统总线在一个总周期

中并行传输 4B 信息，一个总线周期占用 2 个时钟周期，总线时钟频率为 10MHz，则总线带宽为（ ）Mbps。

- A.物理
- B.电气
- C.功能
- D.时间

- A.20
- B.40
- C.60
- D.80

试题分析

总线规范会详细描述总线方面的特性，其中物理特性规定了总线的线数，以及总线的插头、插座的形状、尺寸和信号线的排列方式等要素。总线带宽定义为总线的最大数据传输速率，即每秒传输的字节数。假设某系统总线在一个总线周期中并行传输 4B 信息，一个总线周期占用 2 个时钟周期，总线时钟频率为 10MHz，则总线带宽为 $(4/2) * 10 = 20\text{MBps}$ （严格的来说，题目不严谨，一般 bps 中是小写的 b，代表 bit 位，但没有可供选择的答案，故只能选 A，认为此处的 b 是代表字节）。

试题答案

(60) A (61) A

试题 18(2013 年上半年试题 14-15)

某计算机系统采用 4 级流水线结构执行命令，设每条指令的执行由取指令 ($2\Delta t$)、分析指令 ($1\Delta t$)、取操作数 ($3\Delta t$)、运算并保存结果 ($2\Delta t$) 组成 (注：括号中是指令执行周期)。并分别用 4 个子部件完成，该流水线的最大吞吐率为 ()；若连续向流水线输入 5 条指令，则该流水线的加速比为 ()。

(14) A.1

B. $\frac{1}{2\Delta t}$

C. $\frac{1}{3\Delta t}$

D. $\frac{1}{8\Delta t}$

(15) A.1:1

B.2:1

C.8:3

D.3:8

试题分析

本题考查流水线的相关计算。

流水线最大吞吐率计算公式为：
$$TP_{max} = \lim_{n \rightarrow \infty} \frac{n}{(K + n - 1)t} = \frac{1}{t}$$

其中 K 代表流水线级数，n 为指令数，t 为流水线周期。所以本题流水的最大吞

吐率为 $\frac{1}{3\Delta t}$ 。

流水线加速比计算公式为：

$$S = \frac{T_0}{T_k}$$

其中 T_0 是不采用流水线的执行时间， T_k 是采用流水线的执行时间。

在本题中，

$T_0 = (2\Delta t + 1\Delta t + 3\Delta t + 2\Delta t) * 5 = 40\Delta t$, $T_k = (2\Delta t + 1\Delta t + 3\Delta t + 2\Delta t) + 3\Delta t * (5 - 1) = 20\Delta t$ ，所以加速比为： $40\Delta t : 20\Delta t = 2:1$ 。

试题答案

(14) C (15) B

试题 19(2013 年上半年试题 16)

CPU 访问存储器时，被访问数据倾向于聚集在一个较小的连续区域中，若一个存储单元已被访问，则其邻近的存储单元有可能还要被访问，该特性被称为（ ）。

- A.指令局部性
- B.数据局部性
- C.时间局部性
- D.空间局部性

试题分析

本题考查局部性原理。

程序局部性包括时间局部性和空间局部性，时间局部性是指程序中的某条指令一旦执行，不久以后该指令可能再次执行。产生时间局部性的典型原因是由于程序中存在大量的循环操作；空间局部性是指一旦程序访问了某个存储单元，不久以后，其附近的存储单元也将被访问，即程序在一段时间内所访问的地址可能集中在一定的范围内，其典型情况是程序顺序执行。

试题答案

(16) D

试题 20(2013 年上半年试题 18)

RISC（精简指令系统计算机）的技术思想是当代计算机设计的基础技术之一，

() 不是 RISC 的特点。

- A.指令长度固定，指令种类尽量少
- B.增加寄存器数目，以减少访存次数
- C.寻址方式丰富，指令功能尽可能强
- D.用硬布线电路实现指令解码，以尽快对指令译码

试题分析

RISC 与 CISC 是常见的两种指令系统。

RISC 的特点是：指令数量少，使用频率接近，定长格式，大部分为单周期指令，操作寄存器，只有 Load/Store 操作内存；寻址方式少；并增加了通用寄存器；硬布线逻辑控制为主；适合采用流水线。

CISC 的特点是：指令数量多，使用频率差别大，可变长格式；寻址方式多；常常采用微程序控制技术（微码）；且研制周期长。

试题答案

(18) C

试题 21(2013 年上半年试题 51-52)

假设磁盘块与缓冲区大小相同，每个盘块读入缓冲区的时间为 100us，缓冲区送用户区的时间是 60us，系统对每个磁盘块数据的处理时间为 50us。若用户需要将大小为 10 个磁盘块的 File1 文件逐块从磁盘读入缓冲区，并送用户区进行处

理，那么采用单缓冲需要花费的时间为（ ）us；采用双缓冲需要花费的时间为（ ）us。

A.1000

B.1110

C.1650

D.2100

A.1000

B.1110

C.1650

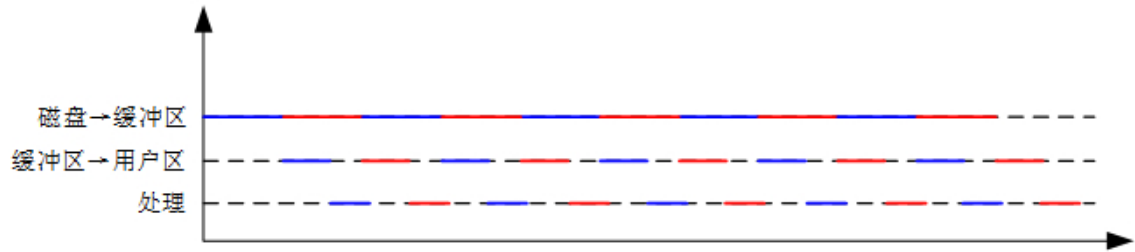
D.2100

试题分析

本题考查的是操作系统中文件读取方面的知识。但在解题过程中，我们可以发现需要用到计算机组成原理中的流水线知识。因为进行处理时，每个数据要经过 3 个步骤：读入缓冲区、送用户区、处理。这三个步骤中，有两个步骤是需要用到缓冲区的，这两个步骤执行时，缓冲区都不可以开始下一个磁盘区的处理工作，所以三个步骤可合并为两个：读入缓冲区并送用户区、处理。此时，可应用流水线的方式来提升效率。所以用户将大小为 10 个磁盘块的 File1 文件逐块从磁盘读入缓冲区，并送用户区进行处理，采用单缓冲时需要花费的时间为：

$$(100+60+50) + (10-1) * (100+60) = 1650\text{us}$$

若增加一个缓冲区，情况如图所示。



从图可知，使用双缓冲区时，从磁盘向缓冲区中传送数据的工作可通过两个缓冲区持续交替进行，所以计算方式为：

$$100 \times 10 + 60 + 50 = 1110 \mu s$$

试题答案

(51) C (52) B

试题 22(2012 年上半年试题 14-15)

设每条指令由取指、分析、执行 3 个子部件完成，并且每个子部件的执行时间均为 Δt 。若采用常规标量单流水线处理机（即该处理机的度为 1），连续执行 16 条指令，则共耗时（ ） Δt 。若采用度为 4 的超标量流水线处理机，连续执行上述 16 条指令，则共耗时（ ） Δt 。

A.16

B.18

C.32

D.48

A.4

B.5

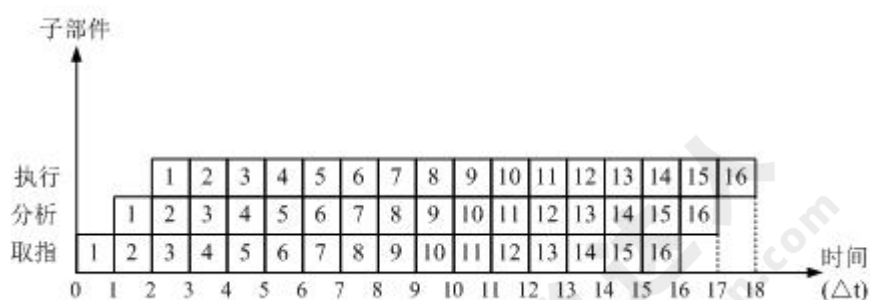
C.6

D.8

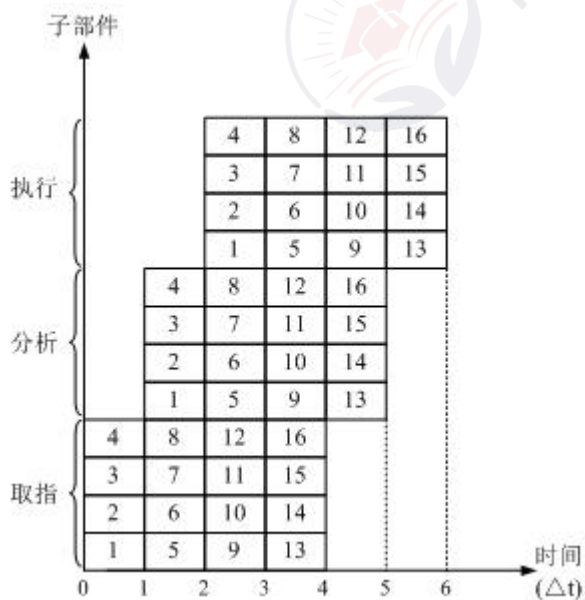
试题分析

本题考查系统流水线知识。

采用常规标量单流水线处理机（即该处理机的度 $m = 1$ ），连续执行 16 条指令的时空图如下图所示，从中可以看出，连续执行 16 条指令所需时间为 $18\Delta t$ 。



当采用度 m 为 4 的超标量流水线处理机，连续执行上述 16 条指令时，时空图如下所示。从中可以看出，连续执行 16 条指令所需时间为 $6\Delta t$ 。



试题答案

(14) B (15) C

试题 23(2012 年上半年试题 18)

以下关于程序访问局部性原理的叙述，错误的是（ ）。

- A. 程序访问具有时间局部性，即最近将要用的信息很可能是正在使用的信息
- B. 程序访问具有空间局部性，即最近将要用的信息很可能与正在使用的信息在存储空间上是相邻的
- C. 程序访问局部性是构成层次结构的存储系统的主要依据
- D. 程序访问局部性是确定存储系统的性能指标（命中率、平均访问时间、访问效率等）的主要依据

试题分析

本题考查存储系统知识。程序访问的局部性原理包含两方面的含义：一是时间局部性，指程序在最近的未来要用到的信息很可能是现在正在使用的信息；二是空间局部性，指最近的未来要用到的信息与现在正在使用的信息很可能在空间上是相邻的或相近的，这是因为程序中大多数指令是顺序存放且顺序执行的，数据一般也是聚簇存储在一起的。程序访问局部性原理是存储层次得以构成和管理的主要依据。根据该原理，可以把空间位置相临近的信息作为一“块”放到容量最小的第一级存储器 M1 中，在最近未来的一段时间内多次连续访问很可能都在 M1 的同一“块”中，从而使整个存储系统的访问速度接近于 M1 的速度。

试题答案

(18) D

试题 24(2012 年上半年试题 48-49)

假设某磁盘的每个磁道划分成 11 个物理块，每块存放 1 个逻辑记录。逻辑记录 R0, R1, . . . , R9, R10 存放在同一个磁道上，记录的存放顺序如下表所示

物理块	1	2	3	4	5	6	7	8	9	10	11
逻辑记录	R0	R1	R2	R3	R4	R5	R6	R7	R8	R9	R10

如果磁盘的旋转周期为 33ms，磁头当前处在 R0 的开始处。若系统使用单缓冲区顺序处理这些记录，每个记录处理时间为 3ms，则处理这 11 个记录的最长时间为（ ）；若对信息存储进行优化分布后，处理 11 个记录的最少时间为（ ）。

- A.33ms
- B.336ms
- C.366ms
- D.376ms

- A.33ms
- B.66ms
- C.86ms
- D.93ms

试题分析

本题考查操作系统磁盘优化方面的基础知识。

试题（48）分析：系统读记录的时间为 $33/11 = 3\text{ms}$ ，对第一种情况：系统读出并处理记录 R0 之后，将转到记录 R2 的开始处，所以为了读出记录 R1，磁盘必须再转一圈，需要 33ms（转一圈）的时间。这样，处理 11 个记录的总时间应为 366ms，因为处理前 10 个记录（即 R0，R1，R2，...，R9）的时间为 $10 \times (33+3) \text{ ms} = 360 \text{ ms}$ ，读记录 R10 及处理记录 R10 时间为 6ms，所以处理 11 个记录的总时间=360ms+ 6ms=366ms。

物理块	1	2	3	4	5	6	7	8	9	10	11
逻辑记录	R0	R6	R1	R7	R2	R8	R3	R9	R4	R10	R5

试题（49）分析：对于第二种情况，若对信息进行分布优化的结果如下所示：

从中可以看出，当读出记录 R0 并处理结束后，磁头刚好转至 R1 记录的开始处，立即就可以读出 R1 并处理，因此处理 11 个记录的总时间为：

$$11 \times (3\text{ms}(\text{读记录}) + 3\text{ms}(\text{处理记录})) = 11 \times 6\text{ms} = 66\text{ms}$$

试题答案

(48) C (49) B

试题 25(2011 年上半年试题 14)

若计算机采用 CRC 进行差错校验，生成多项式为 $G(X) = X^4 + X + 1$ ，信息字为 10110，则 CRC 校验码是（ ）。

A.0000

B.0100

C.0010

D.1111

试题分析

本题考查数据校验知识。

CRC 即循环冗余校验码（Cyclic Redundancy Check）是数据通信领域中最常用的一种差错校验码，其特征是信息字段和校验字段的长度可以任意选定。

在 CRC 校验方法中，进行多项式除法（模 2 除法）运算后的余数为校验字段。

信息字为 10110，对应的多项式 $M(x) = x^4 + x^2 + x$ ，生成多项式为

$G(X) = X^4 + X + 1$ ，对应的代码为 10011。

校验码计算过程为：先将信息码左移 4 位（生成码长-1），得到 101100000，

然后反复进行异或运算（即除数和被除数最高位对齐，按位异或），如下所示：

$10110 \oplus 10011 = 00101$ ，00101左移两位得到10100再与10011异或；

$10100 \oplus 10011 = 00111$ ，00111左移两位得到11100再与10011异或；

$11100 \oplus 10011 = 01111$ ，其结果为CRC校验码，即余数1111。

试题答案

(14) D

试题 26(2011 年上半年试题 15)

以下关于复杂指令集计算机（Complex Instruction Set Computer, CISC）弊端的叙述中，错误的是（ ）。

- A.指令集过分庞杂
- B.每条复杂指令需要占用过多的 CPU 周期
- C.CPU 中的寄存器过多，利用率低
- D.强调数据控制，导致设计复杂，研制周期长

试题分析

本题考查指令系统知识。

RISC 和 CISC 是目前设计制造微处理器的两种典型技术，虽然它们都试图在体系结构、操作运行、软件硬件、编译时间和运行时间等诸多因素中做出某种平衡，以求达到高效的目的，但采用的方法不同，主要区别有：

① 指令系统：RISC 设计者把主要精力放在那些经常使用的指令上，尽量使它们具有简单高效的特色。对不常用的功能，常通过组合指令来完成。因此，在 RISC 机器上实现特殊功能时，效率可能较低。但可以利用流水技术和超标量技术加以改进和弥补。而 CISC 计算机的指令系统比较丰富，有专用指令来完成特定的功能。因此，处理特殊任务效率较高。

- ② 存储器操作：RISC 对存储器操作有限制，使控制简单化；而 CISC 机器的存储器操作指令多，操作直接。
- ③ 程序：RISC 汇编语言程序一般需要较大的内存空间，实现特殊功能时程序复杂，不易设计；而 CISC 汇编语言程序编程相对简单，科学计算及复杂操作的程序设计相对容易，效率较高。
- ④ 中断：RISC 机器在一条指令执行的适当地方可以响应中断；而 CISC 机器是在一条指令执行结束后响应中断。
- ⑤ CPU：RISC 的 CPU 包含有较少的单元电路，因而面积小、功耗低；而 CISC CPU 包含有丰富的电路单元，因而功能强、面积大、功耗大。
- ⑥ 设计周期：RISC 微处理器结构简单，布局紧凑，设计周期短，且易于采用最新技术；CISC 微处理器结构复杂，设计周期长。
- ⑦ 用户使用：RISC 微处理器结构简单，指令规整，性能容易把握，易学易用；CISC 微处理器结构复杂，功能强大，实现特殊功能容易。
- ⑧ 应用范围：由于 RISC 指令系统的确定与特定的应用领域有关，故 RISC 机器更适合于专用机；而 CISC 机器则更适合于通用机。

试题答案

(15) C

试题 27(2011 年上半年试题 17)

在 Cache-主存层次结构中，主存单元到 Cache 单元的地址转换由（ ）完成。

A.硬件

B.寻址方式

C.软件和少量的辅助硬件

D.微程序

试题分析

本题考查存储系统知识。

在由 Cache-主存构成的层次式存储系统中，为了提高地址转换速度，主存单元到 Cache 单元的地址转换采用硬件完成。

试题答案

(17) A

试题 28(2011 年上半年试题 18)

某 4 级流水线如下图所示，若每 $3\Delta t$ 向该流水线输入一个任务，连续输入 4 个，则该流水线的加速比为（ ）。



A.4

B.1.75

C.1.5

D.1

试题分析

本题考查流水线知识。

流水线的加速比定义如下：为完成一批任务，不使用流水线所用的时间与使用流水线所用的时间之比称为流水线的加速比。

因此，该流水线的加速比为 $28\Delta t:16\Delta t$ ，即 $7:4=1.75$ 。

试题答案

(18) B

试题 29(2010 年上半年试题 14)

在计算机系统中，对构成内存的半导体存储器进行自检的方法有许多种，其中对

() 一般采用对其内容求累加和进行自检的方法。

A.ROM

B.DRAM

C.SDRAM

D.DDR SDRAM

试题分析

一般来讲，RAM 类存储器通过写入 0xAA， 0x55 等数字再读出的方式进行自检；ROM 类存储器通过累加和校验进行自检。

试题答案

(14) A

试题 30(2010 年上半年试题 15)

() 不是复杂指令系统计算机 CISC 的特征。

A.丰富的寻址方式

B.多种指令格式

C.指令长度可变

D.设置大量通用寄存器

试题分析

RISC 技术通过简化计算机指令功能，使指令的平均执行周期减少，从而提高计算机的工作主频，同时大量使用通用寄存器来提高子程序执行的速度。相反，设置多种指令格式、采用丰富的寻址方式和长度可变的指令等则是复杂指令系统计算机 CISC 的特点。

试题答案

(15) D

试题 31(2010 年上半年试题 16-17)

在计算机系统中，若一个存储单元被访问，这个存储单元有可能很快会再被访问，该特性被称为（ ）；这个存储单元及其邻近的存储单元有可能很快会再被访问，该特性被称为（ ）。

- A.程序局部性
- B.空间局部性
- C.时间局部性
- D.数据局部性

- A.程序局部性
- B.空间局部性
- C.时间局部性
- D.数据局部性

试题分析

局部性原理是指在指定时间内，程序趋于在有限的内在区内重复访问。通常将局部性分为空间局部性和时间局部性。空间局部性是指已访问过的内存地址附近的

位置很可能被连续访问。时间局部性是指已访问过的内存地址在较短的时间内还可能被多次访问。

试题答案

(16) C (17) B

试题 32(2010 年上半年试题 18)

利用海明码校验方法在工程上可以有效地提高内存可靠性。若不加校验功能时，内存的可靠性为 0.98，出错位数为 1 的概率为 80%，当采用海明码校验，将内存出错 1 位加以纠正之后，内存的可靠性为（ ）。

- A.0.99
- B.0.996
- C.0.999
- D.0.9996

试题分析

$0.98 + 0.02 \times 80\% = 0.996$ 。

试题答案

(18) B

试题 33(2010 年上半年试题 47-48)

在磁盘调度管理中，应先进行移臂调度，再进行旋转调度。若磁盘移动臂位于 22 号柱面上，进程的请求序列如下表所示。若采用最短移臂调度算法，则系统的响应序列应为（ ），其平均移臂距离为（ ）。

请求序列	柱面号	磁头号	扇区号
	18	8	9
	25	6	3

	25	9	6
	40	10	5
	18	8	4
	40	3	10
	18	7	9
	25	10	4
	45	10	8

A.②⑧③④⑤①⑦⑥⑨

B.②⑧③⑤⑦①④⑥⑨

C.①②③④⑤⑥⑦⑧⑨

D.②③⑧④⑥⑨①⑤⑦

A.4.11

B.5.56

C.12.5

D.13.22

试题分析

当进程请求读磁盘时，操作系统先进行移臂调度，再进行旋转调度。由于移动臂位于是 22 号柱面上，按照最短寻道时间优先的响应柱面序列为 25→18→40→45。按照旋转调度的原则分析如下：

进程在 25 号柱面上的响应序列为②→⑧→③，因为进程访问的是不同磁道上的具有不同编号的扇区，旋转调度部是让首先到达读写磁头位置下的扇区先进行传送操作。

进程在 18 号柱面上的响应序列为⑤→⑦→①，或⑤→①→⑦。对于①和⑦可以

任选一个进行读写，因为进程访问的是不同磁道上的具有不同编号的扇区，旋转调度可以任选一个读写磁头位置下的扇区进行传送操作。

进程在 40 号柱面上的响应序列为④→⑥，由于在 45 号柱面上，故响应最后响应。

从上面的分析中可以得出按照最短寻道时间优先的响应序列为②⑧③⑤⑦①④

⑥⑨

平均移臂距离等于移臂总距离除请求次数，即

平均移臂距离 = $((25-22) + (25-18) + (40-18) + (45-40)) / 9 \approx 4.11$

试题答案

(47) B (48) A

