软考计算机基础

2018 年上半年

- 对有 n 个结点、e 条边且采用数组表示法(即邻接矩阵存储)的无向图进行深度优先遍历,时间复杂度为(1)。
 - A. 0 (n2)
 - B. 0(e2)
 - C.0(n+e)
 - D. 0 (n*e)
- 浮点数的表示分为阶和尾数两部分。两个浮点数相加时,需要先对阶,即(2) (n 为阶差的绝对值)。
 - A. 将大阶向小阶对齐, 同时将尾数左移 n 位
 - B. 将大阶向小阶对齐, 同时将尾数右移 n 位
 - C. 将小阶向大阶对齐, 同时将尾数左移 n 位
 - D. 将小阶向大阶对齐, 同时将尾数右移 n 位
- 计算机运行过程中,遇到突发率件,要求 CPU 暂时停止正在运行的程序,转去为突发事件服务,服务完毕,再自动返回原程序继续执行,这个过程称为(3),其处理过程中保存现场的目的是(4)。
 - A. 阻塞
 - B. 中断
 - C. 动态绑定
 - D. 静态绑定
 - A. 防止丢失数据
 - B. 防止对其他部件造成影响
 - C. 返回去维续执行原程序
 - D. 为中断处理程序提供数据
- 海明码是一种纠错码,其方法是为需要校验的数据位增加若干校验位,使得校验位的值决定于某些被校位的数据,当被校数据出错时,可根据校验位的值的变化找到出错位,从而纠正错误。对于 32 位的数据,至少需要加(5)个校验位才能构成海明码。
- 以 10 位数据为例,其海明码表示为 D9D8D7D6D5D4P4D3D2D1P3D0P2P1 中,其中 Di($0 \le i \le 9$)表示数据位,Pj($1 \le j \le 4$)表示校验位,数据位 D9 由 P4、P3 和 P2 进行校验(从右至左 D9 的位序为 14,即等于 8+4+2,因此用第 8 位的 P4、第 4 位的 P3 和第 2 位的 P2 校验),数据位 D5 由(6)进行校验
 - A. 3
 - B. 4

C. 5

D. 6

A. P4P1

B. P4P2

C. P4P3P1

D. P3P2P1

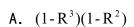
- 流水线的吞吐率是指单位时间流水线处理的任务数,如果各段流水的操作时间不同,则流水线的吞吐率是(7)的倒数。
 - A. 最短流水段操作时间间
 - B. 各段流水的操作时间总和
 - C. 最长流水段操作时间
 - D. 流水段数乘以最长流水段操作时间

2017 年下半年

- 1. 在程序执行过程中, Cache 与主存的地址映射是由()完成的。A. 操作系统B. 程序员调度C. 硬件自动D. 用户软件
- 2. 某四级指令流水线分别完成取指、取数、运算、保存结果四步操作。若完成上述操作的时间依次为 8ns、9ns、 4ns、8ns,则该流水线的操作周期应至少为 ()ns 。
 - A. 4
 - B. 8
 - C. 9
 - D. 33
- 3. 内存按字节编址。若用存储容量为 32Kx8bit 的存储器芯片构成地址从 A0000H 到 DFFFFH 的内存,则至少需要()片芯片。
 - A. 4
 - B. 8
 - C. 16
 - D. 32
- 4. 计算机系统的主存主要是由()构成的。
 - A. DRAM
 - B. SRAM
 - C. Cache
 - D. EEPROM
- 5. 以下关于海明码的叙述中,正确的是()。
 - A. 海明码利用奇偶性进行检错和纠错
 - B. 海明码的码距为 1
 - C. 海明码可以检错但不能纠错
 - D. 海明码中数据位的长度与校验位的长度必须相同
- 6. 计算机运行过程中, CPU 需要与外设进行数据交换。采用() 控制技术时, CPU 与外设可并行工作。
 - A. 程序查询方式和中断方式
 - B. 中断方式和 DMA 方式
 - C. 程序查询方式和 DMA 方式
 - D. 程序查询方式、中断方式和 DMA 方式

2017 年上半年

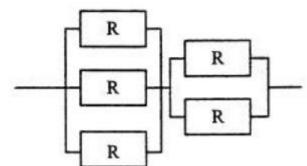
- CPU 执行算术运算或者逻辑运算时,常将源操作数和结果暂存在(1)中。
 - A. 程序计数器 (PC)
 - B. 累加器 (AC)
 - C. 指令寄存器 (IR)
 - D. 地址寄存器 (AR)
- 要判断宇长为 16 位的整数 a 的低四位是否全为 0, 则(2)
 - A. 将 a 与 0x000F 进行"逻辑与"运算, 然后判断运算结果是否等于 0
 - B. 将 a 与 0x000F 进行"逻辑或"运算, 然后判断运算结果是否等于 F
 - C. 将 a 与 0x000F 进行"逻辑异或"运算, 然后判断运算结果是否等于 0
 - D. 将 a 与 0x000F 进行"逻辑与"运算, 然后判断运算结果是否等于 F
- 计算机系统中常用的输入/输出控制方式有无条件传送、中断、程序查询和 DMA 方式等。当采用(3)方式时,不需要 CPU 执行程序指令来传送数据。
 - A. 中断
 - B. 程序查询
 - C. 无条件传送
 - D. DMA
- 某系统由下图所示的冗余部件构成。若每个部件的千小时可靠度都为 R ,则 该系统的千小时可靠度为(4)。



B.
$$(1-(1-R)^3)(1-(1-R)^2)$$

C.
$$(1-R^3)+(1-R^2)$$

D. $(1-(1-R)^3)+(1-(1-R)^2)$



- 己知数据信息为 16 位,最少应附加(5)位校验位,才能实现海明码纠错。
 - A. 3
 - B. 4
 - C. 5
 - D. 6
- 以下关于 Cache (高速缓冲存储器)的叙述中,不正确的是(6)

- A. Cache 的设置扩大了主存的容量
- B. Cache 的内容是主存部分内容的拷贝
- C. Cache 的命中率并不随其容量增大线性地提高
- D. Cache 位于主存与 CPU 之间

2016 年下半年

- 在程序运行过程中, CPU 需要将指令从内存中取出并加以分析和执行。CPU 依据(1)来区分在内存中以二进制编码形式存放的指令和数据。
 - A. 指令周期的不同阶段
 - B. 指令和数据的寻址方式
 - C. 指令操作码的译码结果
 - D. 指令和数据所在的存储单元
- 计算机在一个指令周期的过程中,为从内存读取指令操作码,首先要将(2)的内容送到地址总线上。
 - A. 指令寄存器(IR)
 - B. 通用寄存器(GR)
 - C. 程序计数器 (PC)
 - D. 状态寄存器 (PSW)
- 设 16 位浮点数, 其中阶符 1 位、阶码值 6 位、数符 1 位、尾数 8 位。 若阶码用移码表示, 尾数用补码表示, 则该浮点数所能表示的数值范围是(3)。

A.
$$-2^{64} \sim (1-2^{-8})2^{64}$$

B.
$$-2^{63} \sim (1-2^{-8})2^{63}$$

c.
$$-(1-2^{-8})2^{64} \sim (1-2^{-8})2^{64}$$

p.
$$-(1-2^{-8})2^{63} \sim (1-2^{-8})2^{63}$$

- 已知数据信息为 16 位,最少应附加(4)位校验位,以实现海明码纠错。
 - A. 3
 - B. 4
 - C. 5
 - D. 6
- 将一条指令的执行过程分解为取指、分析和执行三步,按照流水方式执行,若取指时间 $t_{\text{取指}}$ =4 \triangle t、分析时间 t 分析 $t_{\text{分析}}$ =2 \triangle t、执行时间 $t_{\text{执行}}$ =3 \triangle t,则执行完 100 条指令,需要的时间为(5) \triangle t。
 - A. 200
 - B. 300
 - C. 400
 - D. 405
- 以下关于 Cache 与主存间地址映射的叙述中,正确的是(6)。
 - A. 操作系统负责管理 Cache 与主存之间的地址映射

- B. 程序员需要通过编程来处理 Cache 与主存之间的地址映射
- C. 应用软件对 Cache 与主存之间的地址映射进行调度
- D. 由硬件自动完成 Cache 与主存之间的地址映射

2016 年上半年

- VLIW 是 (1) 的简称。
 - A. 复杂指令系统计算机
 - B. 超大规模集成电路
 - C. 单指令流多数据流
 - D. 超长指令字
- 主存与 Cache 的地址映射方式中, (2) 方式可以实现主存任意一块装入 Cache 中任意位置, 只有装满才需要替换。
 - A. 全相联
 - B. 直接映射
 - C. 组相联
 - D. 串并联
- 如果 "2X" 的补码是 "90H", 那么 X 的真值是 (3)。
 - A. 72
 - B. -56
 - C. 56
 - D. 111
- 移位指令中的(4)指令的操作结果相当于对操作数进行乘 2 操作。
 - A. 算术左移
 - B. 逻辑右移
 - C. 算术右移
 - D. 带进位循环左移
- 内存按字节编址,从 A1000H 到 B13FFH 的区域的存储容量为(5) KB。
 - A. 32
 - B. 34
 - C. 65
 - D. 67
- 以下关于总线的叙述中,不正确的是(6)。
 - A. 并行总线适合近距离高速数据传输
 - B. 串行总线适合长距离数据传输
 - C. 单总线结构在一个总线上适应不同种类的设备,设计简单且性能很高
 - D. 专用总线在设计上可以与连接设备实现最佳匹配