实验四 模型机时序部件的实现

班级 信安 2302 班 姓名 石云博 学号 202308060227

一、实验目的

1．了解模型机中 SM 的作用。

2．熟悉指令寄存器、状态寄存器、指令计数器、寄存器的工作原理

3．学会使用 VERILOG 语言设计时序电路。

二、实验内容

1．用 VERILOG 语言设计 SM；

2．用 VERILOG 语言设计一个 8 位的指令寄存器 IR；

3．用 VERILOG 语言设计一个 1 位的状态寄存器 PSW；

4．用 VERILOG 语言设计一个 8 位的指令计数器 PC；

5．用 VERILOG 语言设计 4 个 8 位寄存器组成的寄存器组，实现读写操作；

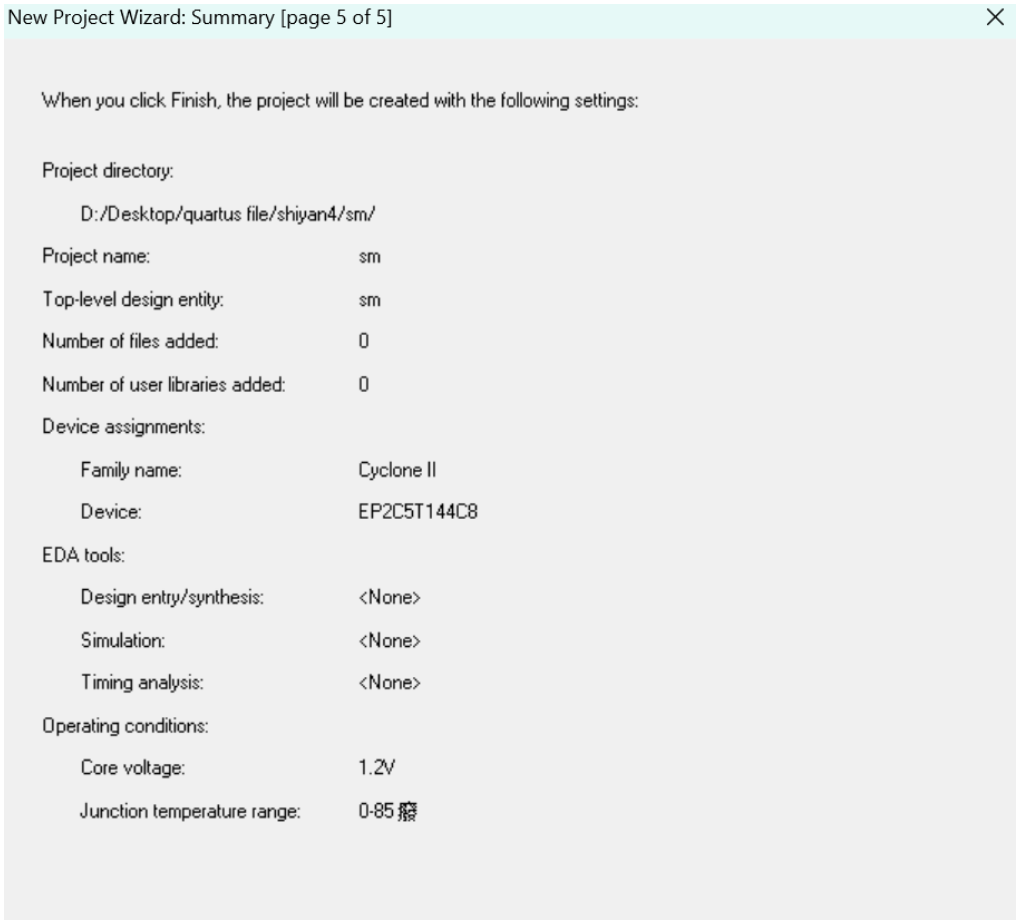
三、实验过程

1、SM

A）创建工程（选择的芯片为 family=Cyclone II；name=EP2C5T144C8）

步骤：左上角 file->New Project Wizard->选择工程位置和工程名->选择芯片 Cyclone II，available device 中选择 EP2C5T144C8->点击 next->最后点击 finish 完成创建工程

工程创建图：



B）编写源代码

根据实验指导和要求实现的功能写出对应的 Verilog 代码。

步骤：左上角 file->new->Verilog hdl file->编写代码（模块名需与工程名一致）->编译成功后保存到工程文件中。

代码截图：

```
module sm(
    input clk,sm_en,
    output reg sm);

initial sm=1'b0;

always @(negedge clk)
begin
    if(sm_en==1'b1) sm<=~sm;
    else sm<=sm;
end
endmodule
```

C）编译与调试（包含编译调试过程中的错误、警告信息以及资源消耗）

确定源代码文件为当前工程文件，点击【processing】-【start compilation】进行文件编译，编译成功，保存文件。

无错误。

警告信息：

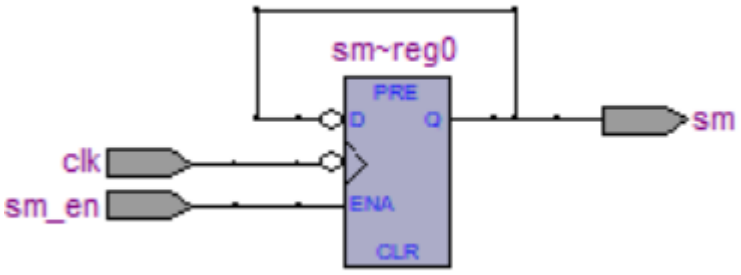
```
Warning: Feature LogicLock is not available with your current license
Warning: No exact pin location assignment(s) for 3 pins of 3 total pins
Warning: Found 1 output pins without output pin load capacitance assignment
Warning: The Reserve All Unused Pins setting has not been specified, and will default to 'As output driving ground'.
Warning: Found pins functioning as undefined clocks and/or memory enables
```

资源消耗：

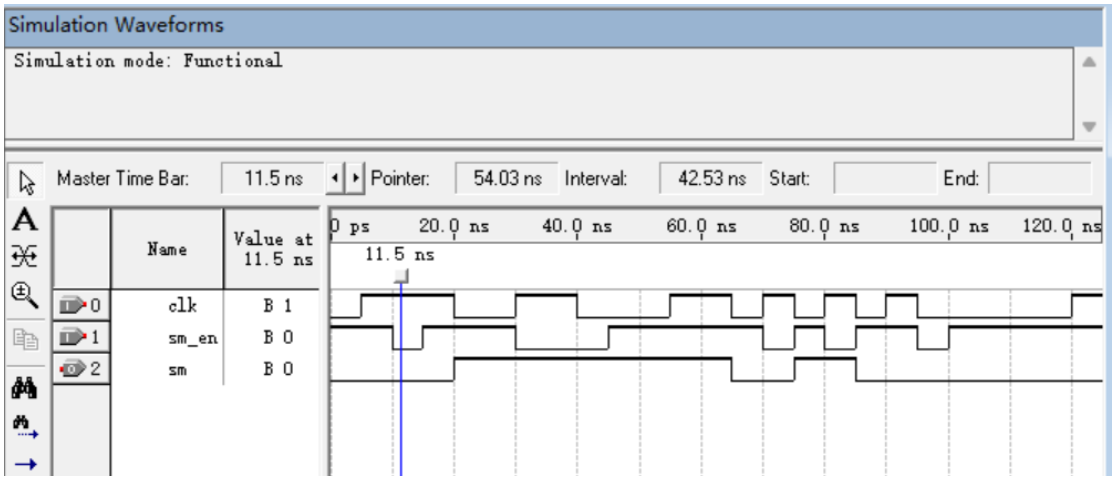
Flow Summary

Flow Status	Successful - Mon Dec 09 21:50:42 2024
Quartus II Version	9.0 Build 184 04/29/2009 SP 1 SJ Web Edition
Revision Name	sm
Top-level Entity Name	sm
Family	Cyclone II
Device	EP2C5T144C8
Timing Models	Final
Met timing requirements	Yes
Total logic elements	1 / 4,608 (< 1 %)
Total combinational functions	1 / 4,608 (< 1 %)
Dedicated logic registers	1 / 4,608 (< 1 %)
Total registers	1
Total pins	3 / 89 (3 %)
Total virtual pins	0
Total memory bits	0 / 119,808 (0 %)
Embedded Multiplier 9-bit elements	0 / 26 (0 %)
Total PLLs	0 / 2 (0 %)

D）RTL 视图



E）功能仿真波形



F）时序仿真波形

G）结果分析及结论

分析：对于功能仿真，可以看到当 sm_en 信号为 1 有效时,输出 sm 在时钟的下降沿发生翻转，符合功能设计。当 sm_en 信号为 0 时，输出信号 sm 保持不变，正确。

对于时序仿真，其输出结果和功能仿真类似，但存在 7ns 左右的延迟

结论：元件设计符合设计要求，元件内部存在 7ns 左右的延迟

2、指令寄存器 IR

A）创建工程（选择的芯片为 family=Cyclone II；name=EP2C5T144C8）

步骤：左上角 file->New Project Wizard->选择工程位置和工程名->选择芯片 Cyclone II，available device 中选择 EP2C5T144C8->点击 next->最后点击 finish 完成创建工程

工程创建图：

New Project Wizard: Summary [page 5 of 5]

When you click Finish, the project will be created with the following settings:

Project directory:	
D:/Desktop/quartus file/shiyan4/ir/	
Project name:	ir
Top-level design entity:	ir
Number of files added:	0
Number of user libraries added:	0
Device assignments:	
Family name:	Cyclone II
Device:	EP2C5T144C8
EDA tools:	
Design entry/synthesis:	<None>
Simulation:	<None>
Timing analysis:	<None>
Operating conditions:	
Core voltage:	1.2V
Junction temperature range:	0-85癈

B）编写源代码

根据实验指导和要求实现的功能写出对应的 Verilog 代码。

步骤：左上角 file->new->Verilog hdl file->编写代码（模块名需与工程名一致）->编译成功后保存到工程文件中。

代码截图：

ir.v

```
1  module ir (
2      input clk,ld_ir,
3      input [7:0] a,
4      output reg [7:0] x=8'b00000000);
5
6  always @(negedge clk)
7  begin
8      if(ld_ir==1'b1) x<=a;
9  end
10 endmodule
```

C）编译与调试（包含编译调试过程中的错误、警告信息以及资源消耗）

确定源代码文件为当前工程文件，点击【processing】-【start compilation】进行文件编译，编译成功，保存文件。

无错误。

警告信息：

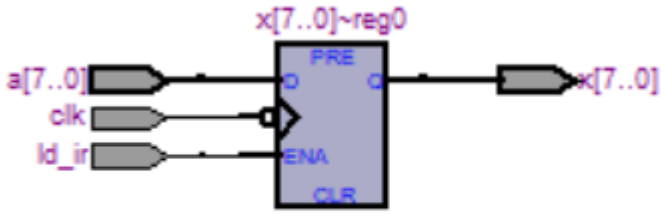
Type	Message
⚠	Warning: Feature LogicLock is not available with your current license
⊞ ⚠	Warning: No exact pin location assignment(s) for 18 pins of 18 total pins
⊞ ⚠	Warning: Found 8 output pins without output pin load capacitance assignment
⚠	Warning: The Reserve All Unused Pins setting has not been specified, and will default to 'As output driving ground'.
⊞ ⚠	Warning: Found pins functioning as undefined clocks and/or memory enables

资源消耗：

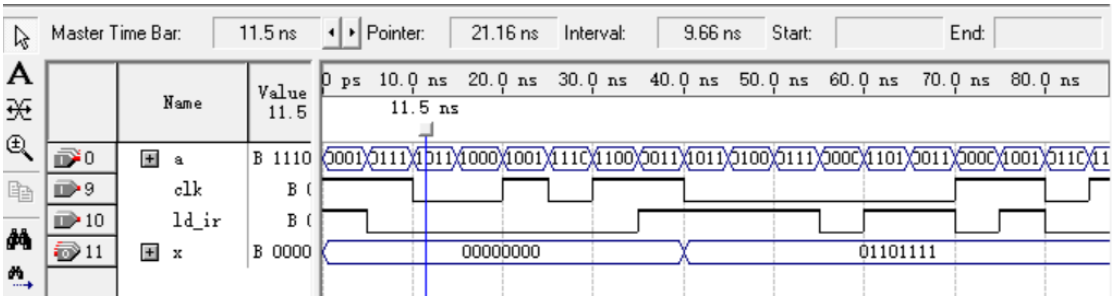
Flow Summary

Flow Status	Successful - Mon Dec 09 21:54:46 2024
Quartus II Version	9.0 Build 184 04/29/2009 SP 1 SJ Web Edition
Revision Name	ir
Top-level Entity Name	ir
Family	Cyclone II
Device	EP2C5T144C8
Timing Models	Final
Met timing requirements	Yes
Total logic elements	8 / 4,608 (< 1 %)
Total combinational functions	0 / 4,608 (0 %)
Dedicated logic registers	8 / 4,608 (< 1 %)
Total registers	8
Total pins	18 / 89 (20 %)
Total virtual pins	0
Total memory bits	0 / 119,808 (0 %)
Embedded Multiplier 9-bit elements	0 / 26 (0 %)
Total PLLs	0 / 2 (0 %)

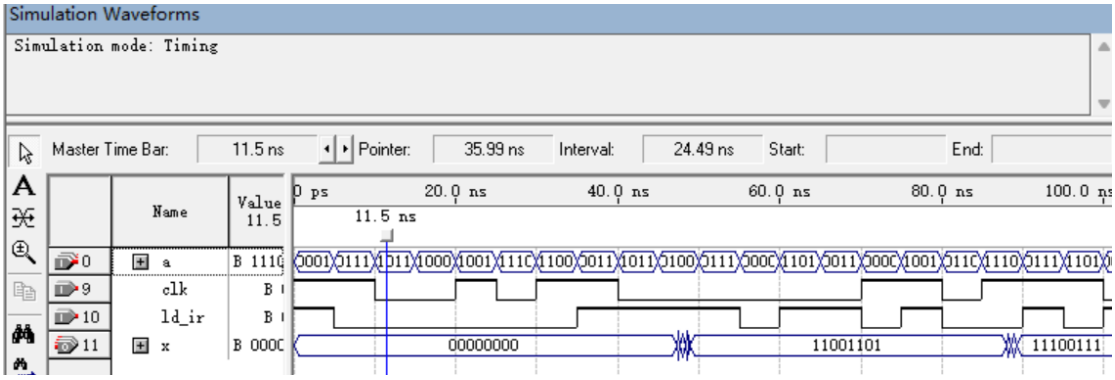
D）RTL 视图



E） 功能仿真波形



F） 时序仿真波形



G）结果分析及结论

分析：对于功能仿真，在 0-5ns，ld_ir 为 1，在时钟下降沿将输入写入输出，当 ld_ir 为 0 时，输出保持不变，正确

对于时序仿真，可以看到输出存在 9ns 左右的延迟，同时部分时刻输入的变化导致冒险出现，使得输出错误，输出的变化情况大致与功能仿真相同

结论：元件设计符合设计要求，元件内部存在 9ns 左右的延迟

3、状态寄存器 PSW

A）创建工程（选择的芯片为 family=Cyclone II；name=EP2C5T144C8）

步骤：左上角 file->New Project Wizard->选择工程位置和工程名->选择芯片 Cyclone II，available device 中选择 EP2C5T144C8->点击 next->最后点击 finish 完成创建工程

工程创建图：

New Project Wizard: Summary [page 5 of 5]

When you click Finish, the project will be created with the following settings:

Project directory:	
D:/Desktop/quartus file/shiyan4/psw/	
Project name:	psw
Top-level design entity:	psw
Number of files added:	0
Number of user libraries added:	0
Device assignments:	
Family name:	Cyclone II
Device:	EP2C5T144C8
EDA tools:	
Design entry/synthesis:	<None>
Simulation:	<None>
Timing analysis:	<None>
Operating conditions:	
Core voltage:	1.2V
Junction temperature range:	0-85 癈

B）编写源代码

根据实验指导和要求实现的功能写出对应的 Verilog 代码。

步骤：左上角 file->new->Verilog hdl file->编写代码（模块名需与工程名一致）->编译成功后保存到工程文件中。

代码截图：

psw.v

```
1  module psw (
2      input clk,g_en,g,
3      output reg gf=1'b0);
4  always @(negedge clk)
5  begin
6      if (g_en==1'b1) gf<=g;
7  end
8  endmodule
```

C）编译与调试（包含编译调试过程中的错误、警告信息以及资源消耗）

确定源代码文件为当前工程文件，点击【processing】-【start compilation】进行文件编译，编译成功，保存文件。

无错误。

警告信息：

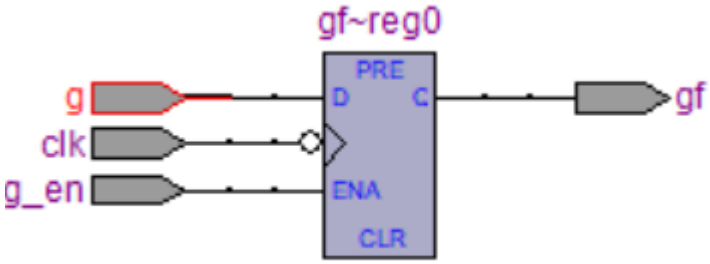
Type	Message
⚠	Warning: Feature LogicLock is not available with your current license
⚠	Warning: No exact pin location assignment(s) for 4 pins of 4 total pins
⚠	Warning: Found 1 output pins without output pin load capacitance assignment
⚠	Warning: The Reserve All Unused Pins setting has not been specified, and will default to 'As output driving ground'.
⚠	Warning: Found pins functioning as undefined clocks and/or memory enables

资源消耗：

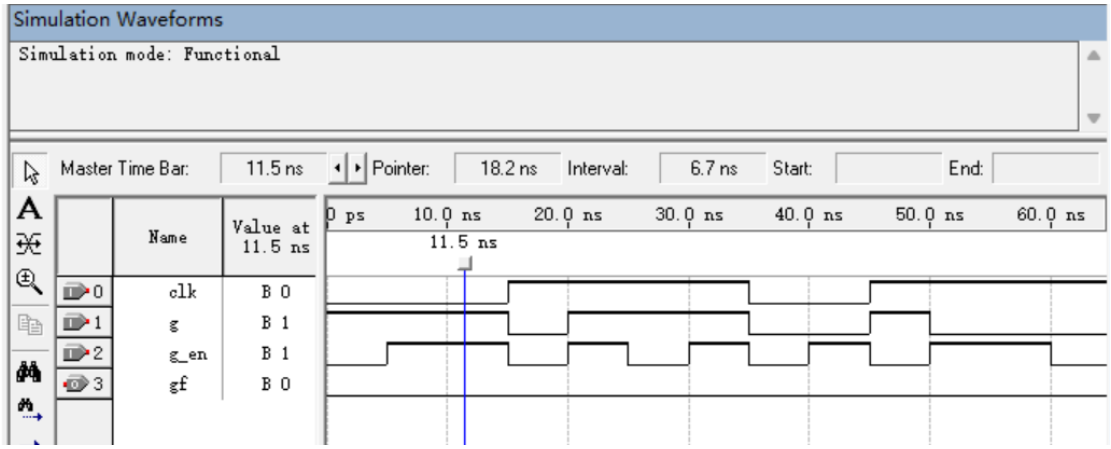
Flow Summary

Flow Status	Successful - Mon Dec 09 21:58:25 2024
Quartus II Version	9.0 Build 184 04/29/2009 SP 1 SJ Web Edition
Revision Name	psw
Top-level Entity Name	psw
Family	Cyclone II
Device	EP2C5T144C8
Timing Models	Final
Met timing requirements	Yes
Total logic elements	1 / 4,608 (< 1 %)
Total combinational functions	1 / 4,608 (< 1 %)
Dedicated logic registers	1 / 4,608 (< 1 %)
Total registers	1
Total pins	4 / 89 (4 %)
Total virtual pins	0
Total memory bits	0 / 119,808 (0 %)
Embedded Multiplier 9-bit elements	0 / 26 (0 %)
Total PLLs	0 / 2 (0 %)

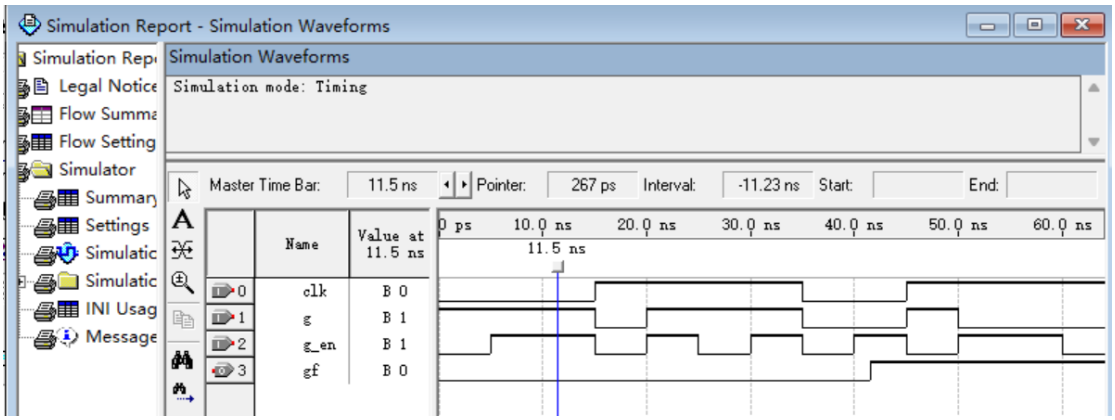
D）RTL 视图



E） 功能仿真波形



F） 时序仿真波形



G）结果分析及结论

分析：对于功能仿真，42-60ns，g_en 为 1，在时钟下降沿，将 g 的值写入输出 gf 中，15-20ns，g_en 为 0，输出 gf 保持不变，正确

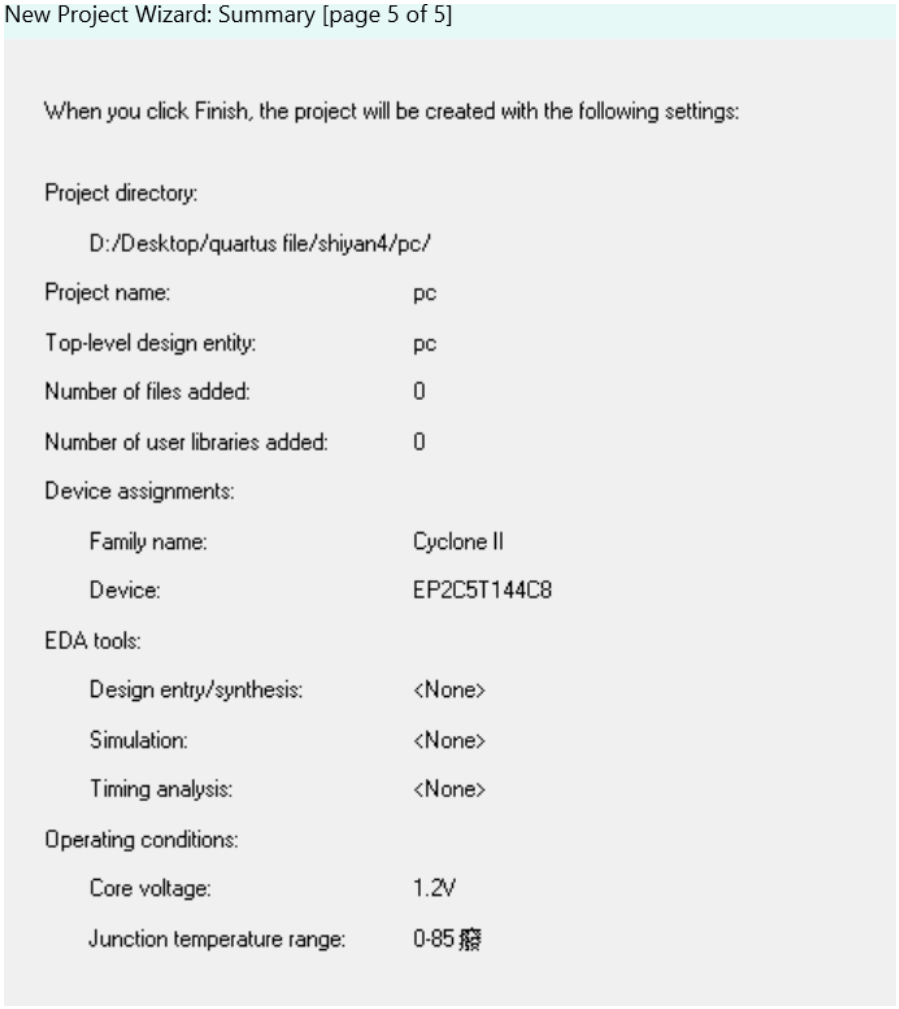
结论：元件设计符合要求，输出 gf 有 7ns 延迟

4、指令计数器 PC

A）创建工程（选择的芯片为 family=Cyclone II；name=EP2C5T144C8）

步骤：左上角 file->New Project Wizard->选择工程位置和工程名->选择芯片 Cyclone II，available device 中选择 EP2C5T144C8->点击 next->最后点击 finish 完成创建工程

工程创建图：



B）编写源代码

根据实验指导和要求实现的功能写出对应的 Verilog 代码。

步骤：左上角 file->new->Verilog hdl file->编写代码（模块名需与工程名一致）->编译成功后保存到工程文件中。

代码截图：

pc.v

```
1  module pc (
2      input clk,ld_pc,in_pc,
3      input [7:0] a,
4      output reg[7:0] c=8'b00000000);
5
6   always @(negedge clk)
7  begin
8      if(in_pc==1'b1&&ld_pc==1'b0) c<=c+8'b0000001;
9      else if(in_pc==1'b0&&ld_pc==1'b1) c<=a;
10  end
11  endmodule
```

C）编译与调试（包含编译调试过程中的错误、警告信息以及资源消耗）

确定源代码文件为当前工程文件，点击【processing】-【start compilation】进行文件编译，编译成功，保存文件。

无错误。

警告信息：

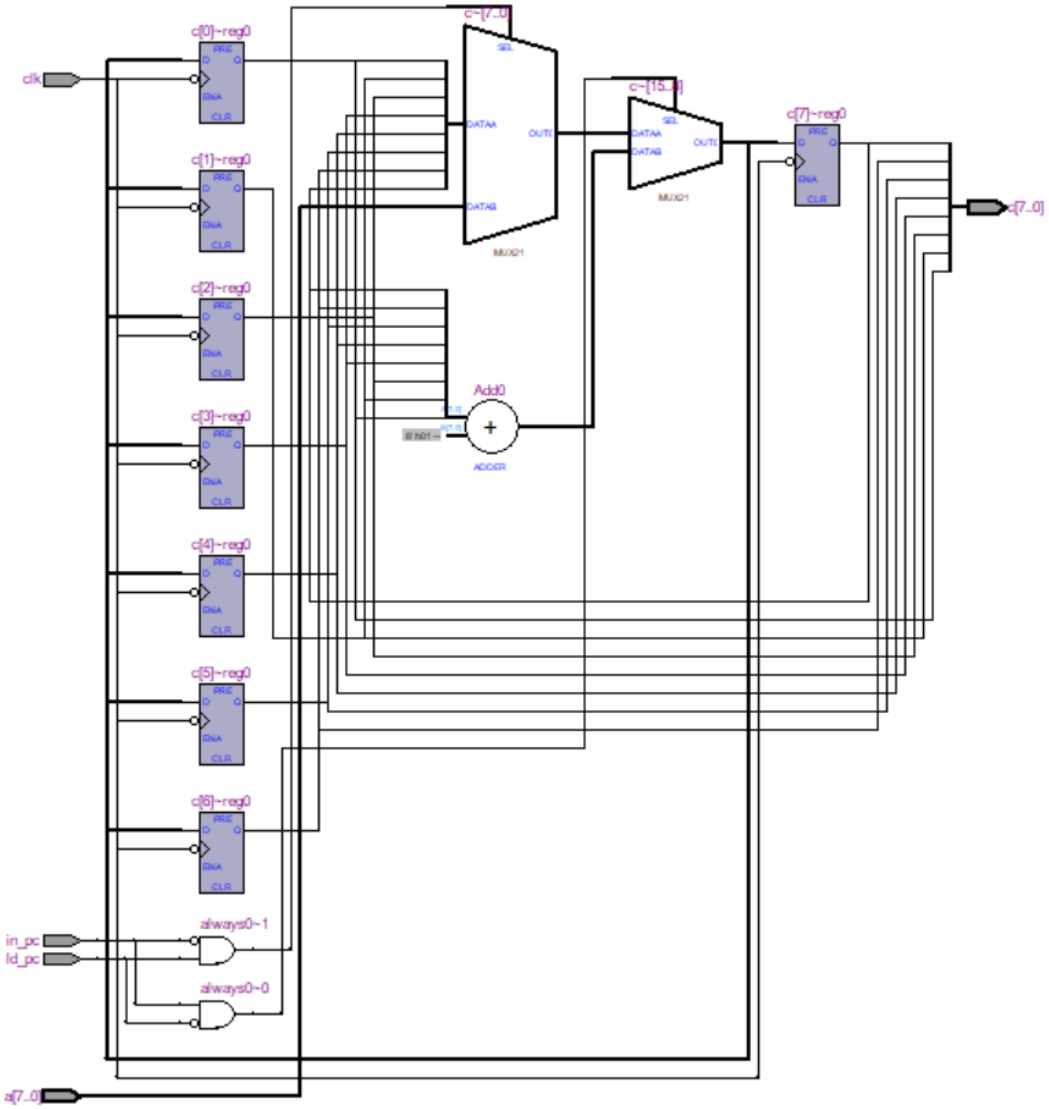
```
Warning: Feature LogicLock is not available with your current license
Warning: No exact pin location assignment(s) for 19 pins of 19 total pins
Warning: Found 8 output pins without output pin load capacitance assignment
Warning: The Reserve All Unused Pins setting has not been specified, and will default to 'As output driving ground'
Warning: Found pins functioning as undefined clocks and/or memory enables
```

资源消耗：

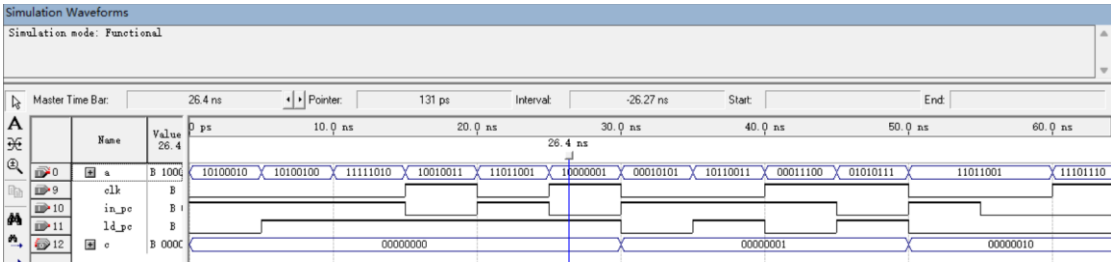
Flow Summary

Flow Status	Successful - Mon Dec 09 22:03:48 2024
Quartus II Version	9.0 Build 184 04/29/2009 SP 1 SJ Web Edition
Revision Name	pc
Top-level Entity Name	pc
Family	Cyclone II
Device	EP2C5T144C8
Timing Models	Final
Met timing requirements	Yes
Total logic elements	10 / 4,608 (< 1 %)
Total combinational functions	10 / 4,608 (< 1 %)
Dedicated logic registers	8 / 4,608 (< 1 %)
Total registers	8
Total pins	19 / 89 (21 %)
Total virtual pins	0
Total memory bits	0 / 119,808 (0 %)
Embedded Multiplier 9-bit elements	0 / 26 (0 %)
Total PLLs	0 / 2 (0 %)

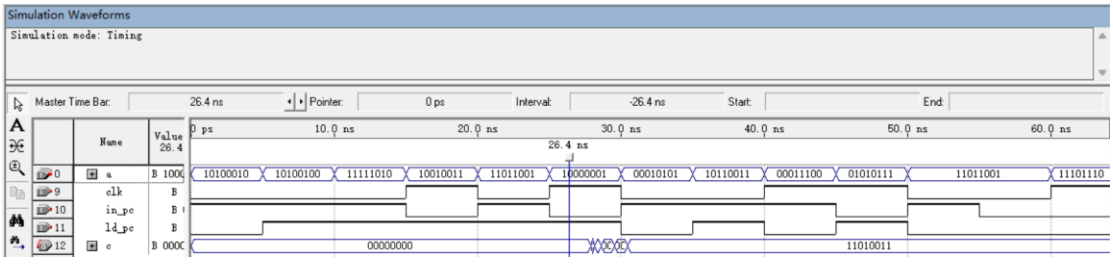
D) RTL 视图



E) 功能仿真波形



F) 时序仿真波形



G）结果分析及结论

分析：对于功能仿真，0-5ns，in_pc 为 1，ld_pc 为 0，执行地址加 1 操作，15ns-25ns,in_pc 为 0，ld_pc 为 1，执行写入操作，将输入写入到输出中，25-40ns，in_pc 为 0，ld_pc 为 0，数据保持不变，正确

对于时序仿真，存在 9ns 左右的延迟，输出结果大致与功能仿真相同

结论：元件设计符合要求，元件存在 9ns 左右的延迟

5、通用寄存器组

A）创建工程（选择的芯片为 family=Cyclone II；name=EP2C5T144C8）

步骤：左上角 file->New Project Wizard->选择工程位置和工程名->选择芯片 Cyclone II，available device 中选择 EP2C5T144C8->点击 next->最后点击 finish 完成创建工程

工程创建图：

B）编写源代码

根据实验指导和要求实现的功能写出对应的 Verilog 代码。

步骤：左上角 file->new->Verilog hdl file->编写代码（模块名需与工程名一致）->编译成功后保存到工程文件中。

代码截图：

reg_group.v

```
1  module reg_group(
2      input clk,we,
3      input [1:0] sr,dr,
4      input [7:0] i,
5      output reg[7:0] s,d);
6    reg[7:0] R0=8'b00000001,R1=8'b00000001,R2=8'b00000001,R3=8'b00000001;
7
8    always @(sr,dr)
9  begin
10     case (sr)
11     2'b00: s=R0;
12     2'b01: s=R1;
13     2'b10: s=R2;
14     default: s=R3;
15     endcase
16
17     case (dr)
18     2'b00: d=R0;
19     2'b01: d=R1;
20     2'b10: d=R2;
21     default: d=R3;
22     endcase
23   end
24
25   always @(negedge clk)
26 begin
27     if(we==1'b1)
28     begin
29         case (dr)
30         2'b00: R0<=i;
31         2'b01: R1<=i;
32         2'b10: R2<=i;
33         2'b11: R3<=i;
```

C）编译与调试（包含编译调试过程中的错误、警告信息以及资源消耗）

确定源代码文件为当前工程文件，点击【processing】-【start compilation】进行文件编译，编译成功，保存文件。

无错误。

警告信息：

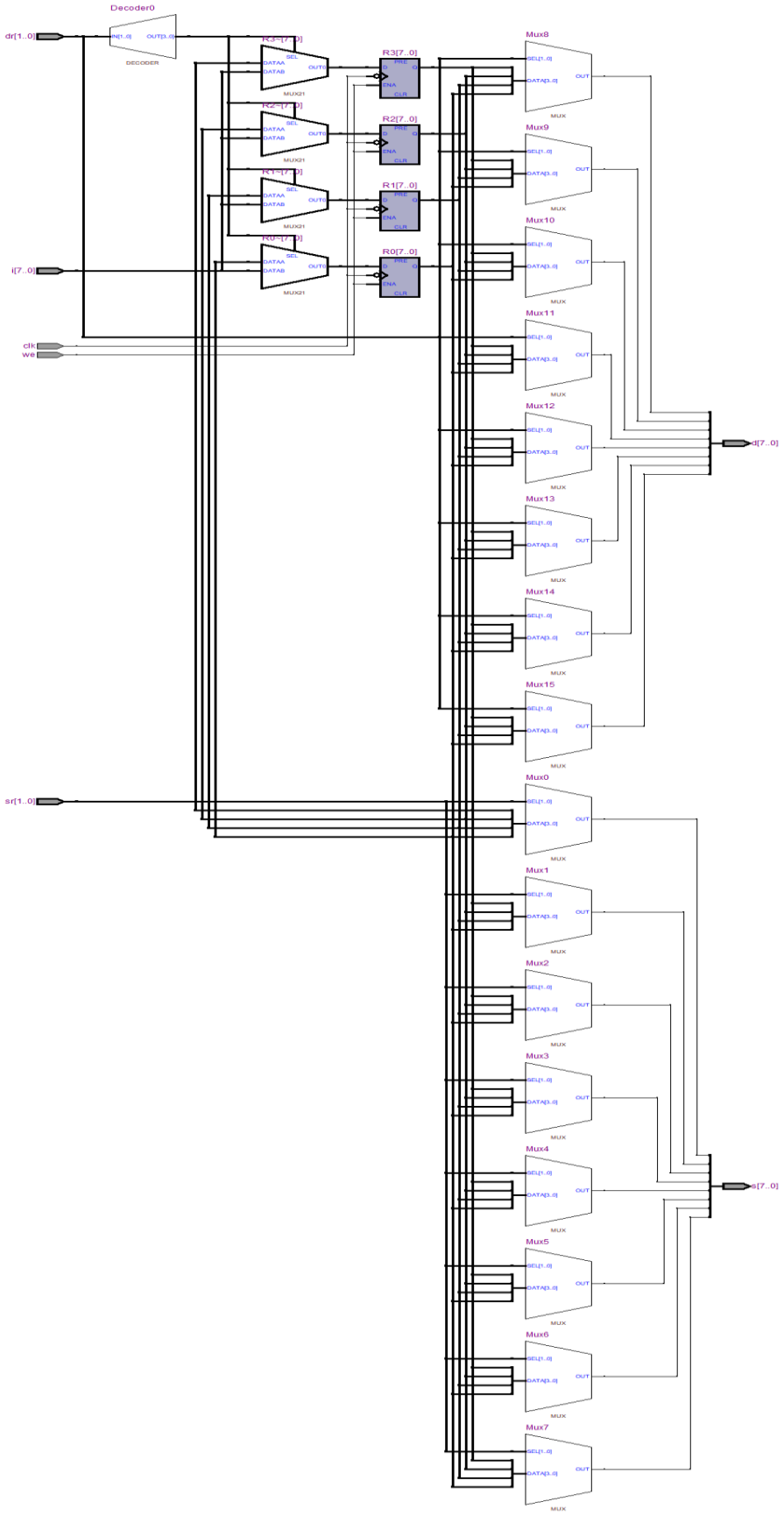
Type	Message
⚠	Warning (10235): Verilog HDL Always Construct warning at reg_group.v(11): variable "R0" is read inside the Always Construct but isn't in the Always Construct's Ever
⚠	Warning (10235): Verilog HDL Always Construct warning at reg_group.v(12): variable "R1" is read inside the Always Construct but isn't in the Always Construct's Ever
⚠	Warning (10235): Verilog HDL Always Construct warning at reg_group.v(13): variable "R2" is read inside the Always Construct but isn't in the Always Construct's Ever
⚠	Warning (10235): Verilog HDL Always Construct warning at reg_group.v(14): variable "R3" is read inside the Always Construct but isn't in the Always Construct's Ever
⚠	Warning (10235): Verilog HDL Always Construct warning at reg_group.v(18): variable "R0" is read inside the Always Construct but isn't in the Always Construct's Ever
⚠	Warning (10235): Verilog HDL Always Construct warning at reg_group.v(19): variable "R1" is read inside the Always Construct but isn't in the Always Construct's Ever
⚠	Warning (10235): Verilog HDL Always Construct warning at reg_group.v(20): variable "R2" is read inside the Always Construct but isn't in the Always Construct's Ever
⚠	Warning (10235): Verilog HDL Always Construct warning at reg_group.v(21): variable "R3" is read inside the Always Construct but isn't in the Always Construct's Ever

资源消耗：

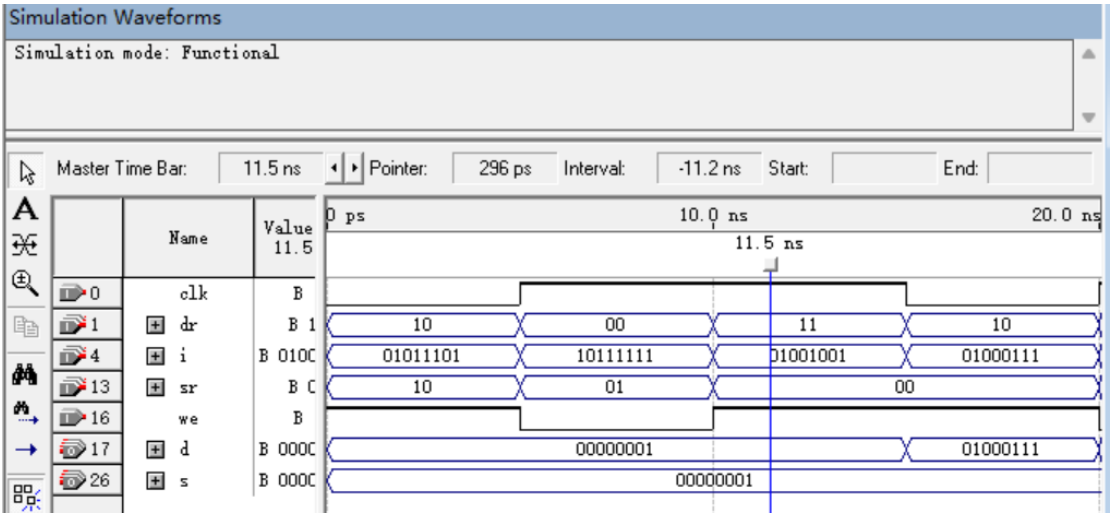
Flow Summary

Flow Status	Successful - Mon Dec 09 22:09:22 2024
Quartus II Version	9.0 Build 184 04/29/2009 SP 1 SJ Web Edition
Revision Name	reg_group
Top-level Entity Name	reg_group
Family	Cyclone II
Device	EP2C5T144C8
Timing Models	Final
Met timing requirements	Yes
Total logic elements	40 / 4,608 (< 1 %)
Total combinational functions	40 / 4,608 (< 1 %)
Dedicated logic registers	32 / 4,608 (< 1 %)
Total registers	32
Total pins	30 / 89 (34 %)
Total virtual pins	0
Total memory bits	0 / 119,808 (0 %)
Embedded Multiplier 9-bit elements	0 / 26 (0 %)
Total PLLs	0 / 2 (0 %)

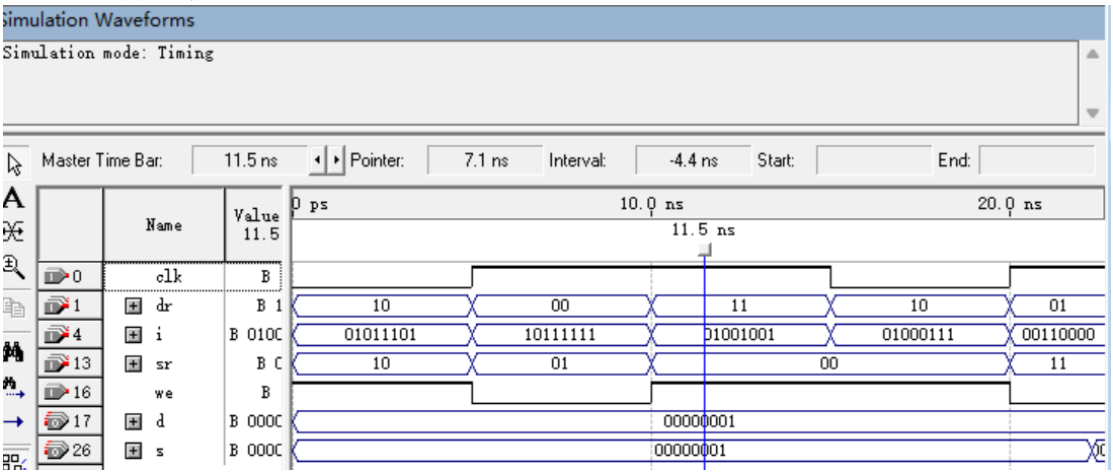
D) RTL 视图


Decoder0
dr[1..0]
i[7..0]
clk
we
sr[1..0]
R3[7..0]
R2[7..0]
R1[7..0]
R0[7..0]
Mux8
Mux9
Mux10
Mux11
Mux12
Mux13
Mux14
Mux15
Mux0
Mux1
Mux2
Mux3
Mux4
Mux5
Mux6
Mux7
d[7..0]
s[7..0]

E）功能仿真波形



F）时序仿真波形



G）时序分析

操作方法是：编译后，在 compilation report 中选择【timing analysis】-【summary】

Timing Analyzer Summary

	Type	Slack	Required Time	Actual Time	From	To	From Clock	To Clock	Failed Paths
1	Worst-case tsu	N/A	None	7.881 ns	dr[0]	R2[6]	--	clk	0
2	Worst-case tco	N/A	None	13.874 ns	R0[4]	s[4]	clk	--	0
3	Worst-case tpd	N/A	None	17.230 ns	dr[0]	d[7]	--	--	0
4	Worst-case th	N/A	None	0.072 ns	i[0]	R0[0]	--	clk	0
5	Total number of failed paths								0

H）结果分析及结论

分析：对于功能仿真，当 we=1 时进行写入操作，在时钟信号的下降沿根据 dr 的值将 i 写入寄存器（R0、R2、R1、R0，在波形中未体现），当 dr=00 时将 R0 的值从 d 中输出，dr=01 时将 R1 的值从 d 中输出，dr=10 时将 R2 的值从 d 中输出，dr=11 时将 R3 的值从 d 中输出。当 sr=00 时将 R0 的值从 s 中输出，sr=01 时将 R1 的值从 s 中输出，sr=10

时将 R2 的值从 s 中输出，sr=11 时将 R3 的值从 s 中输出。对于时序仿真，基本功能与波形和功能仿真类似，但输出存在 10s 左右的延迟，同时其中较多变化出现冒险。

四、思考题

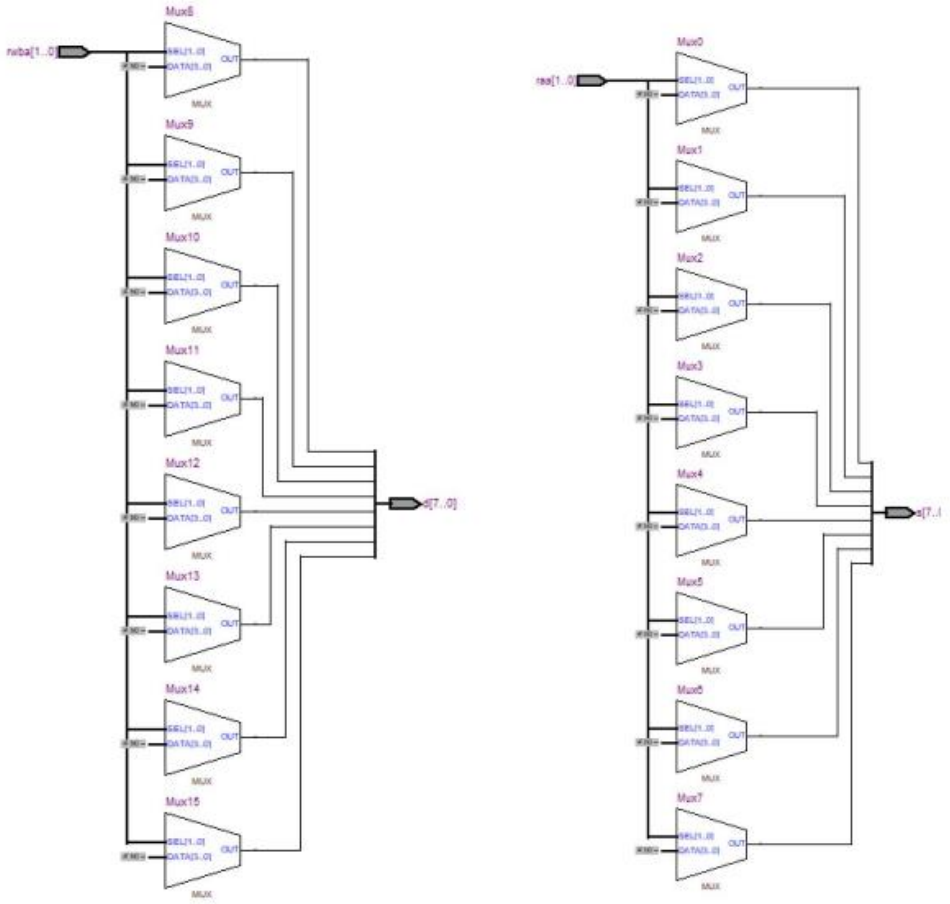
1．时钟周期的上升沿实现对 RAM 的读写操作，为何 PC、SM、IR、PSW 以及寄存器组的操作是下降沿完成？

答：因为我们既要保证取址操作在一个周期内完成，同时要保证 RAM 为优先级较高，所以需要放在不同的跳变沿执行。若放在同一时间，可能会便数据处理来不及，导致出错。

2.采用 VERILOG 语言描述时序部件应该采用阻塞赋值语句还是非阻塞赋值语句？

答：使用非阻塞赋值。

3、通用寄存器组只有 WE 的控制信号，实现通用寄存器组读操作的电路是组合电路还是时序电路？请大致画出对寄存器组进行读操作的电路部分。
答：是组合电路。电路图为：



五、实验总结、必得体会及建议

1、从需要掌握的理论、遇到的困难、解决的办法以及经验教训等方面进行总结。

通过此次实验我学会了如何用 Verilog 编写时序逻辑元件以及使用 quartus 软件画电路图并进行仿真。刚开始不懂何时使用阻塞赋值还是非阻塞赋值，但是通过询问同学和上网查询资料后得以解决。以后遇到类似问题时可以先在老师 ppt 上寻找答案，并根据写过的组合电路进行类比来解决问题。

2、对本实验内容、过程和方法的改进建议（可选项）。

无