# 实验二 模型机组合部件的实现（一）

班级 信安2302班 姓名 石云博 学号 202308060227

一、实验目的

1. 了解简易模型机的内部结构和工作原理。
2. 熟悉译码器、运算器的工作原理。
3. 分析模型机的功能，设计指令译码器。
4. 分析模型机的功能，设计 AU。

二、实验内容

1. 用 VERILOG 语言设计指令译码器；
2. 用 VERILOG 语言设计 AU。

三、实验过程

1、指令译码器

A）创建工程（选择的芯片为family=Cyclone II；name=EP2C5T144C8）

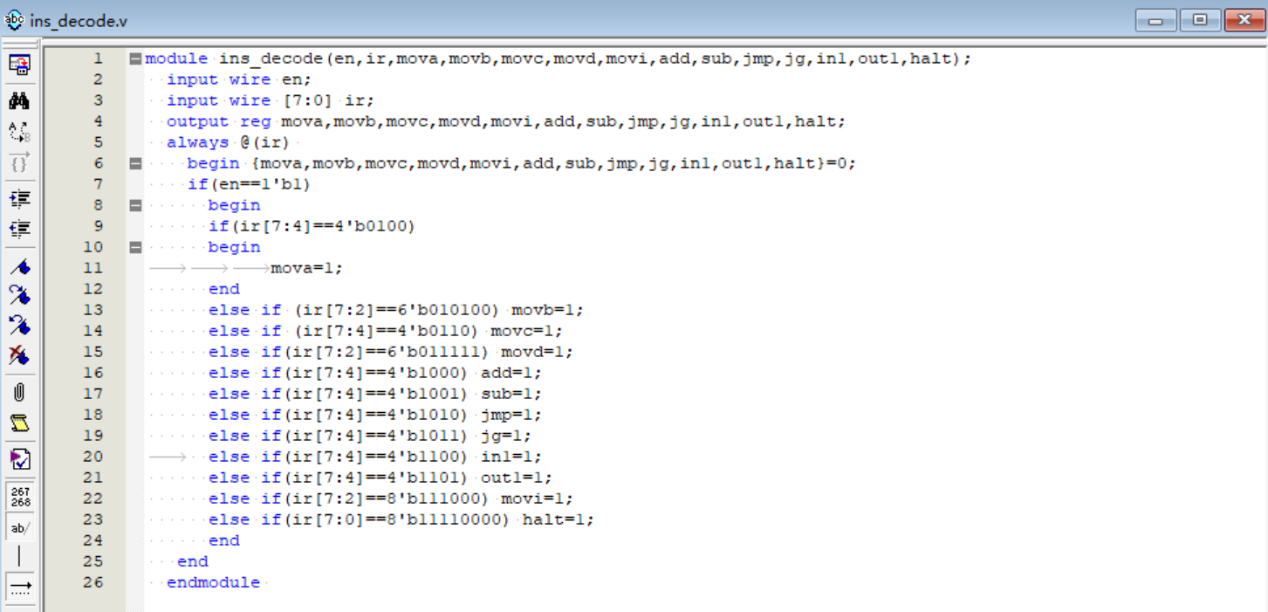
步骤：左上角 file->New Project Wizard->选择工程位置和工程名->选择芯片 Cyclone II，available device中选择 EP2C5T144C8->点击 next->最后点击 finish 完成创建工程

B) 编写源代码

根据实验指导和要求实现的功能写出对应的 Verilog 代码。

步骤：左上角 file->new->Verilog hdl file->编写代码（模块名需与工程名一致）->编译成功后保存到工程文件中。

代码截图：

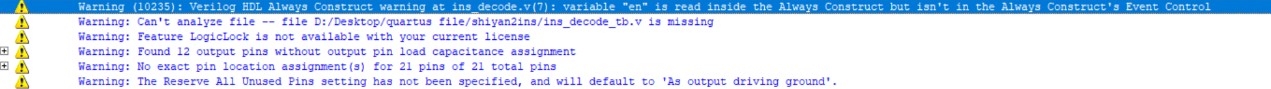


C) 编译与调试（包含编译调试过程中的错误、警告信息以及资源消耗）

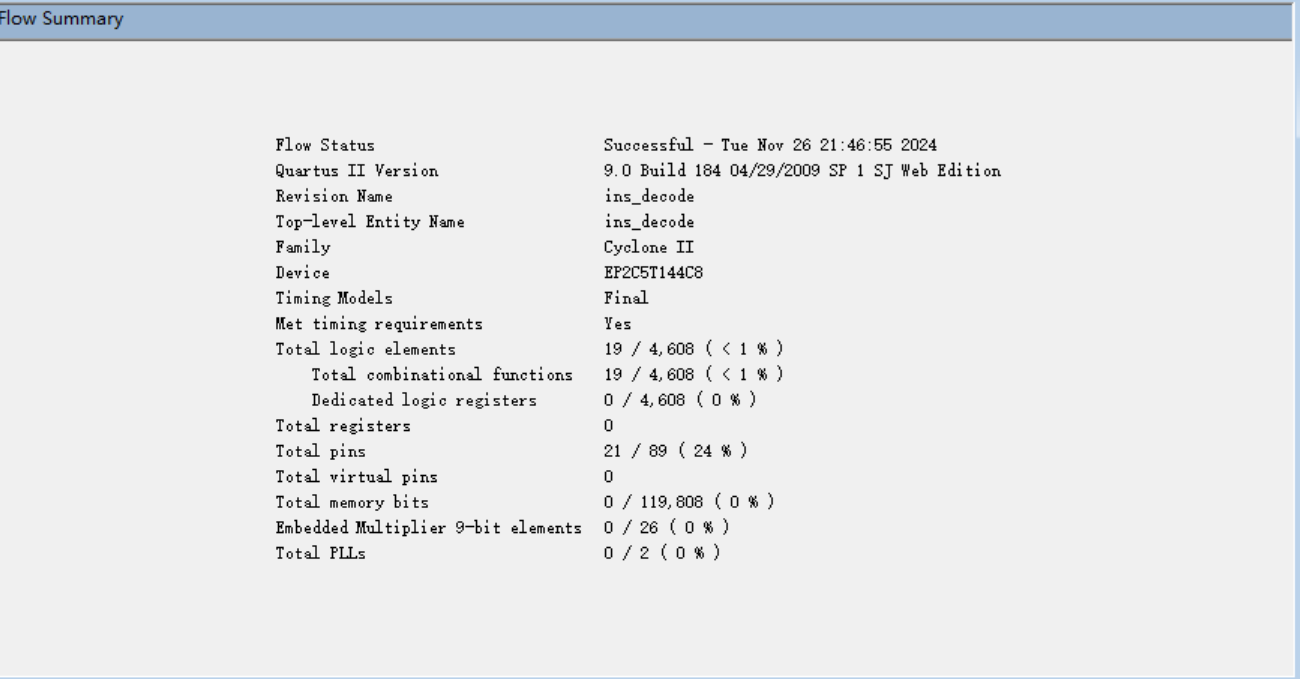
确定源代码文件为当前工程文件，点击【processing】-【start compilation】进行文件编译，编译成功，保存文件。

无错误。

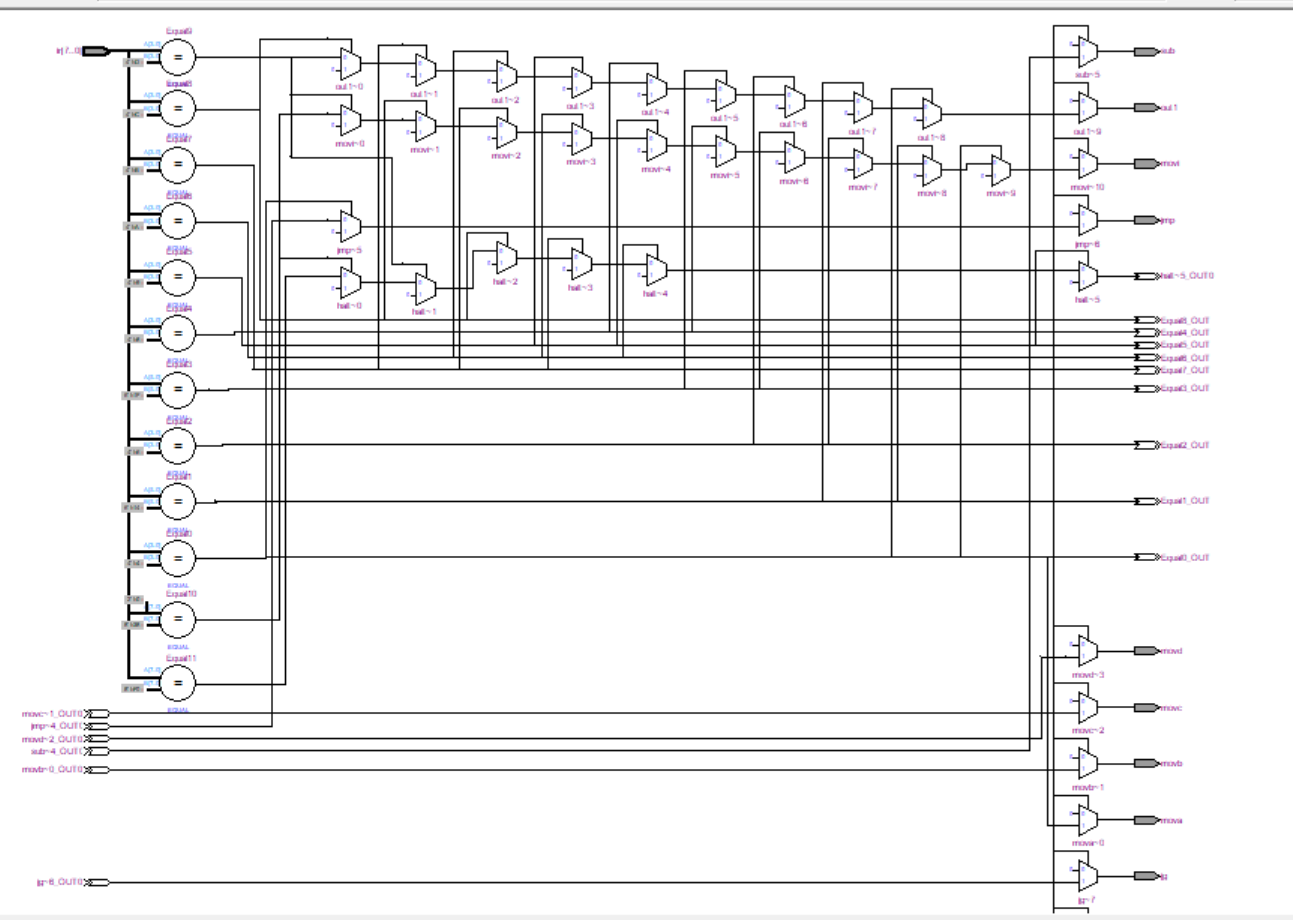
警告信息：



资源消耗：



D) RTL视图



视图分析及结论：

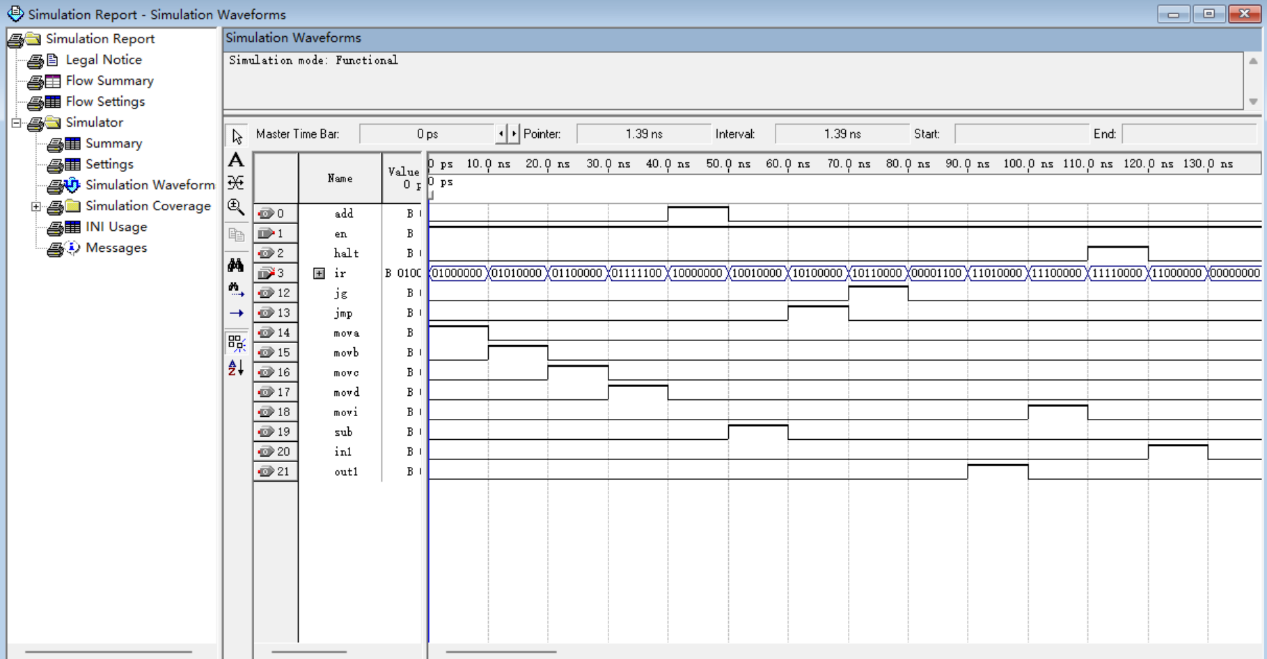
分析：视图左边为输入，右边为输出。其中连接有大量的元器件。例如比较器：当输入相等时输出1，不相等时输出0；还由大量的2-1选择器构成，当控制信号为0时，输出第一位，控制信号1时，输出第二位。图中输入信号为ir和en，输出信号包括mova等12种情况。各个输出端口之间通过导线相连。

结论：指令译码器功能需要经过多重门的处理后才能实现，其内部原理结构图十分复杂。

E) 功能仿真波形

步骤：新建一个vector waveform file。通过操作：右击 -【insert】-【insert node or bus】-【node finder】（pins=all；【list】）-【>>】-【ok】-【ok】，在【assignments】-【setting】-【simulator settings】-【simulation mode】中，将 timing 修改为functional，然后再点击【processing】-【Generate Functional Simulation Netlist】，接着设置输入波形，成功后点击【start simulation】开始仿真，查看输出功能仿真波形图。

功能仿真波形图：



结果分析及结论：

结果分析：功能仿真是指不考虑器件延时和布线延时的理想情况下对源代码进行逻辑功能的验证。由仿真波形可得，对于输入状态的变化，输出结果实时变化，没有延迟，其结果与电路设计的真值表的结果相对应。

当en为0时，不管 ir 为何值，12个输出全为 0

当en为1时：

当ir=0100….时，mova输出为 1；

当ir=010100..时，movb输出为 1；

当ir=0110..时，movc输出为 1；

当ir=011111..时，movd输出为 1；

当ir=1000….时，add输出为 1；

当ir=1001….时，sub输出为 1；

当ir=1010….时，jmp输出为 1；

当ir=1011….时，jg输出为 1；

当ir=1100….时，in1输出为 1；

当ir=1101….时，out1输出为 1；

当ir=111000..时，movi输出为 1；

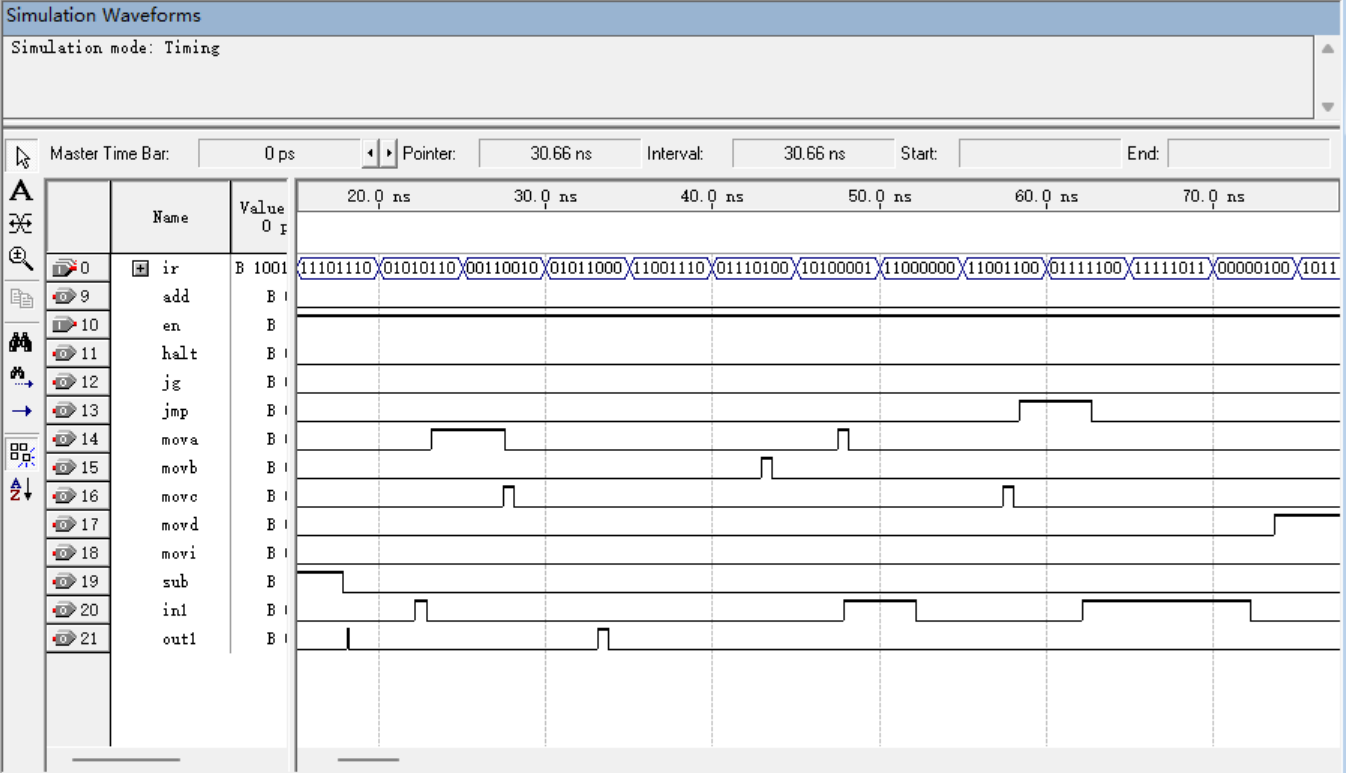
当ir=11110000时，halt输出为 1；

结论：功能仿真是指在一个设计中，在设计实现前对所创建的逻辑进行的验证其功能是否正确的过程。 布局布线以前的仿真都称作功能仿真，它包括综合前仿真（Pre-Synthesis Simulation）和综合后仿真（Post-Synthesis Simulation）。 综合前仿真主要针对基于原理框图的设计 ; 综合后仿真既适合原理图设计 , 也适合基于 HDL 语言的设计。功能仿真操作简单，能体现和验证实验的功能，但忽略延迟的影响会使结果与实际结果，有一定误差。

F) 时序仿真波形

步骤：新建一个 vector waveform file。通过操作：右击 -【insert】-【insert node or bus】-【node finder】（pins=all；【list】）-【>>】-【ok】-【ok】。接着设置输入波形，然后点击【start simulation】开始仿真，查看时序仿真输出波形图。

时序仿真图：



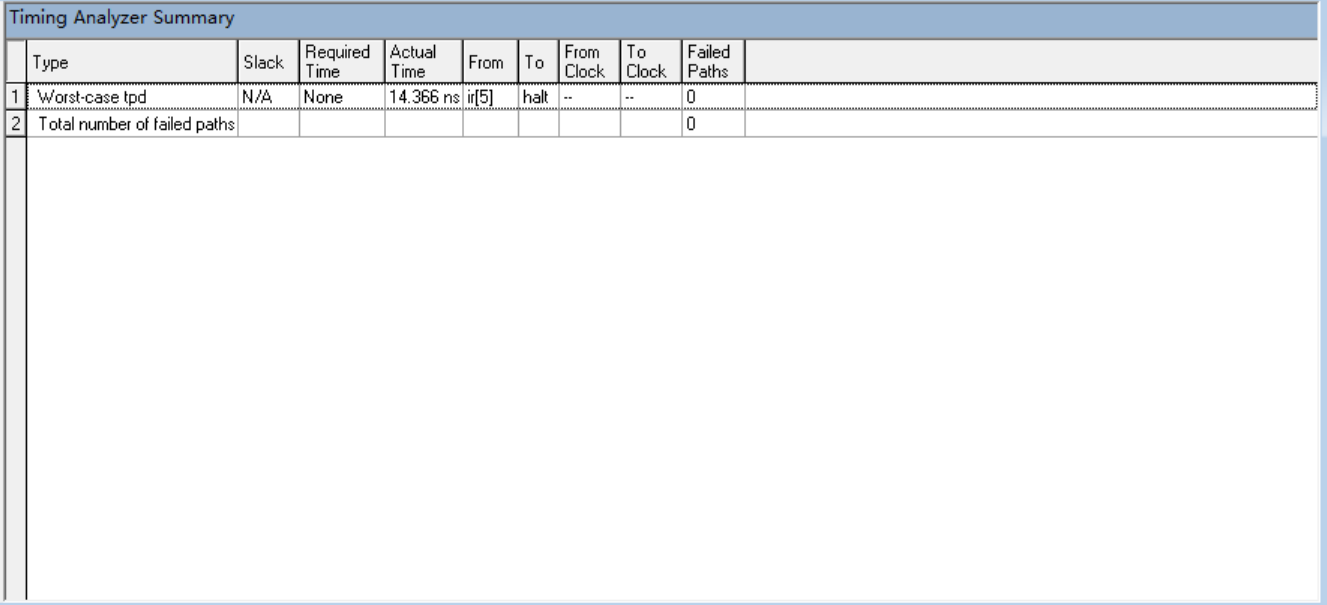
结果分析及结论：

结果分析：时序仿真是指在布线后进行，是最接近真实器件运行的仿真，它与特定的器件有关，又包含了器件和布线的延时信息。由波形可得，当输入状态发生改变时，输出结果并未同时改变，而是有一定延迟，同时由于输入状态的改变，导致电路出现“冒险”，导致输出结果并未与预期结果相同。

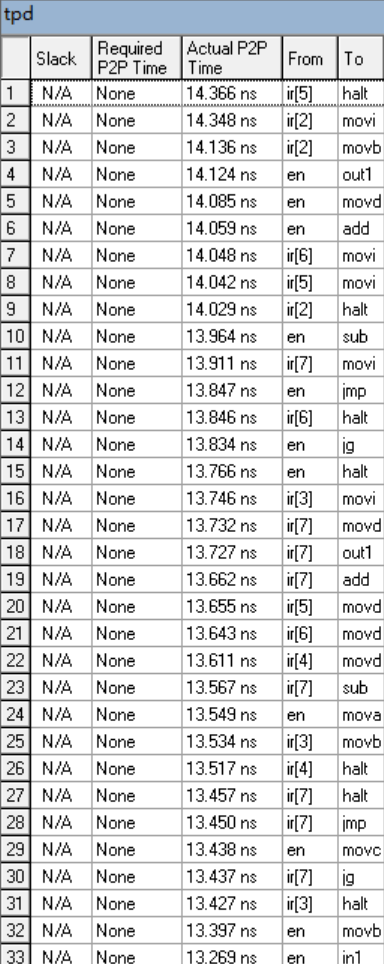
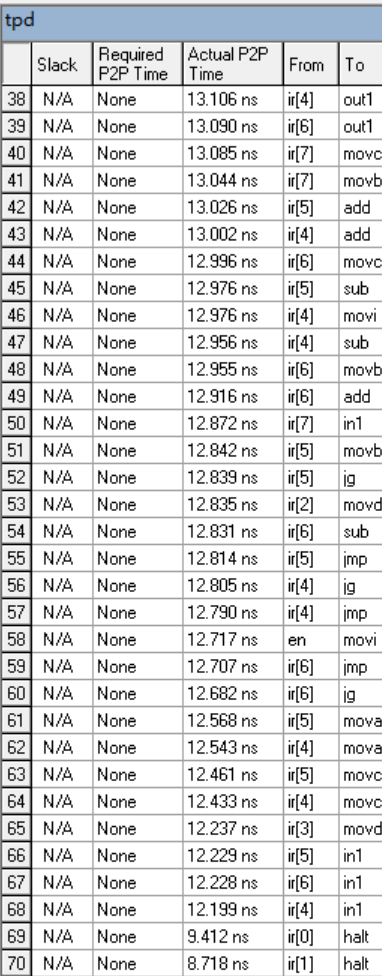
结论：时序仿真使用布局布线后器件给出的模块和连线的延时信息，在最坏的情况下对电路的行为作出实际地估价。时序仿真使用的仿真器和功能仿真使用的仿真器是相同的，所需的流程和激励也是相同的；唯一的差别是为时序仿真加载到仿真器的设计包括基于实际布局布线设计的最坏情况的布局布线延时，并且在仿真结果波形图中，时序仿真后的信号加载了时延，而功能仿真没有。时序仿真可以用来验证程序在目标器件中的时序关系。同时考虑了器件的延迟后，其输出结果跟接近实际情况，但是考虑的情况过多，不容易操作，容易产生错误。时序仿真不仅反应出输出和输入的逻辑关系，同时还计算了时间的延时信息，是与实际系统更接近的一种仿真结果。不过，要注意的是，这个时间延时是仿真软件“估算”出来的。

G) 时序分析

操作方法是：编译后，在compilation report中选择【timing analysis】-【summary】和【tpd】



Timing Analyzer Summmary 图

Tpd 图

结果分析及结论：

结果分析：由图可得，Timing Analyzer Summmary总结所有经典定时分析的结果，并报告每个定时特性的最坏情况定时。比如从ir[5]到halt的最坏定时情况的tpd为14.366ns。下面的tpd报告表则给出了源节点和目标节点之间的tpd延迟时间，比如第二行中ir[2]到movi的tpd 为14.348ns。

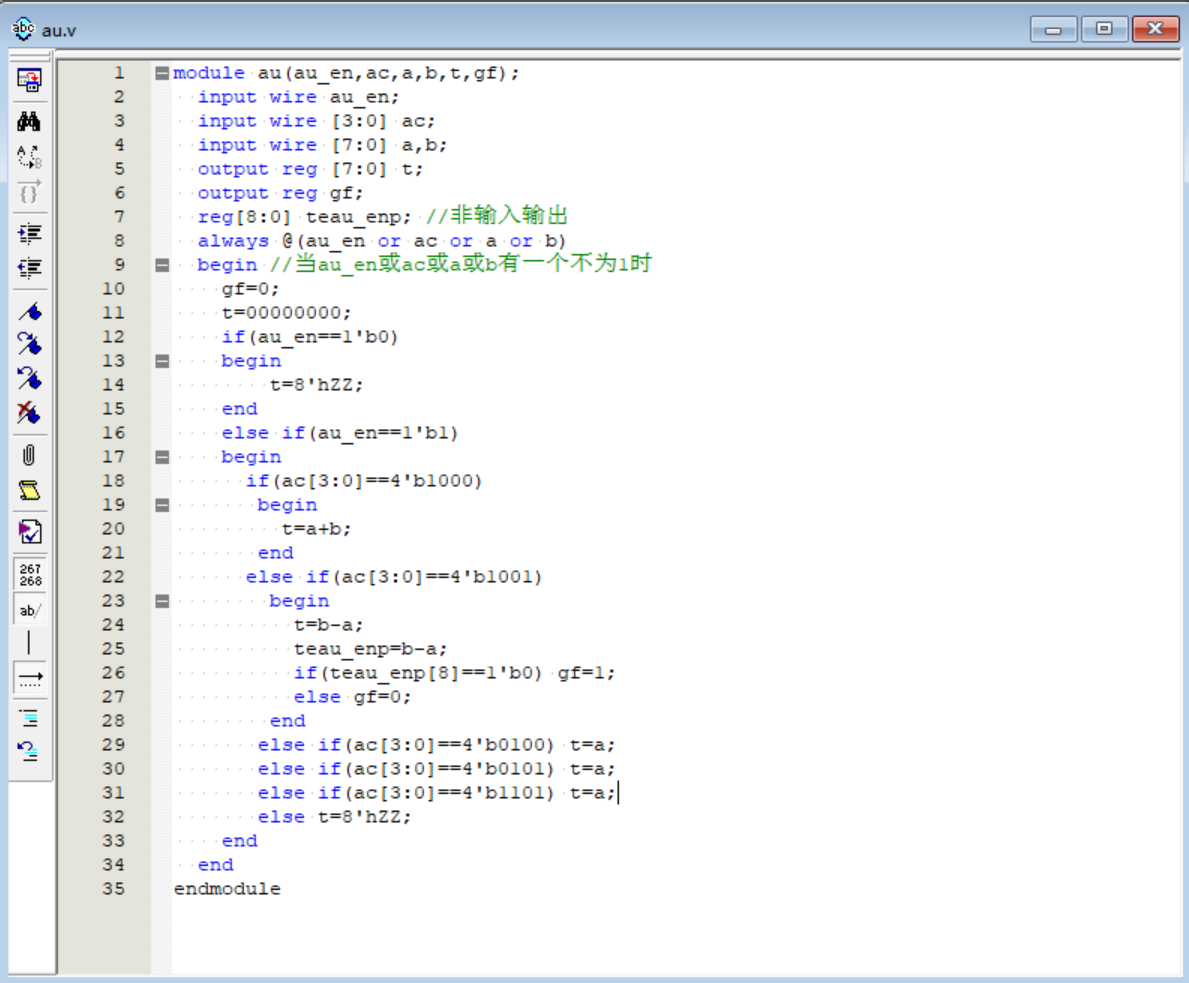
结论：实际连接图中个元器件连接之间是存在时间延迟的，而且不同的元器件之间的时间延迟也不相同。

2、算术逻辑单元ALU

A）创建工程（选择的芯片为family= Cyclone II；name= EP2C5T144C8）

左上角 file->New Project Wizard->选择工程位置和工程名->选择芯片 Cyclone II，available device中选择 EP2C5T144C8->点击 next->最后点击 finish 完成创建工程

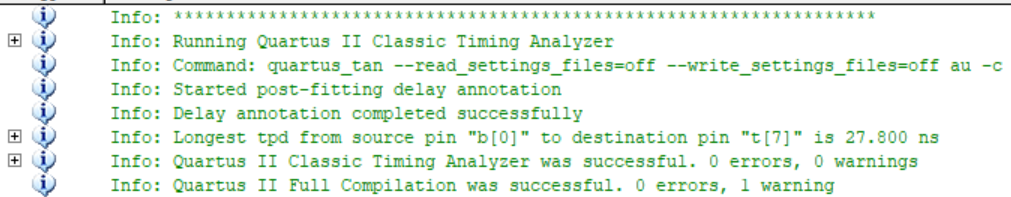
B) 编写源代码



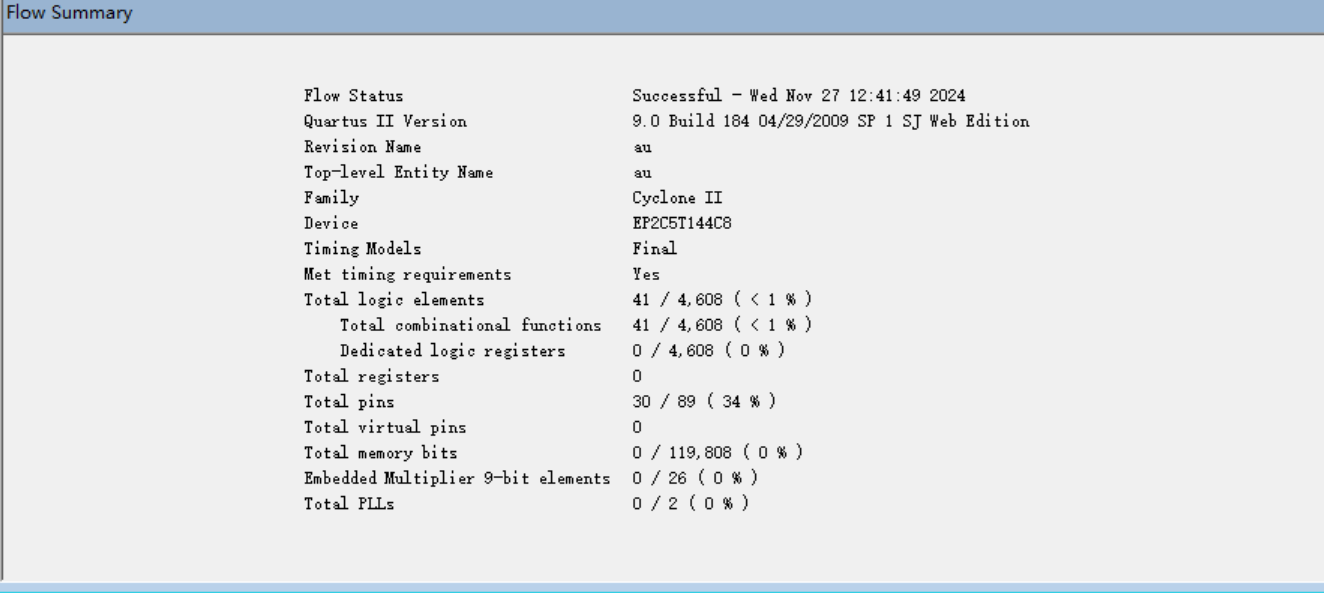
C) 编译与调试（包含编译调试过程中的错误、警告信息以及资源消耗）

无错误。

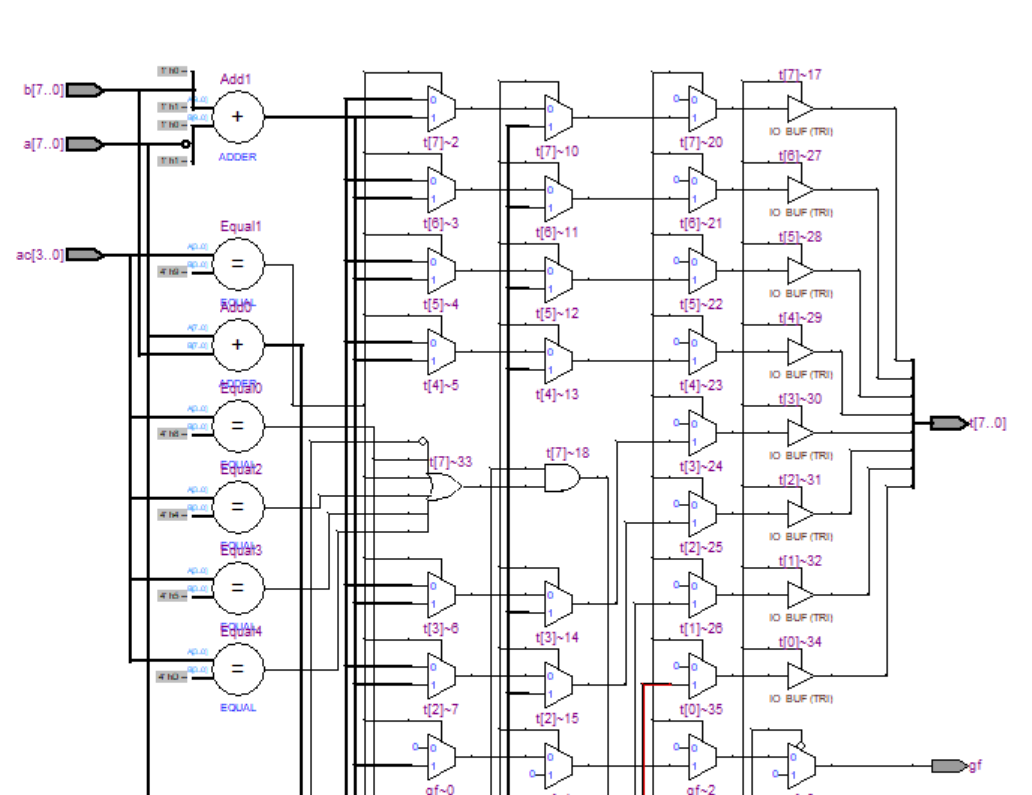
警告信息：无警告

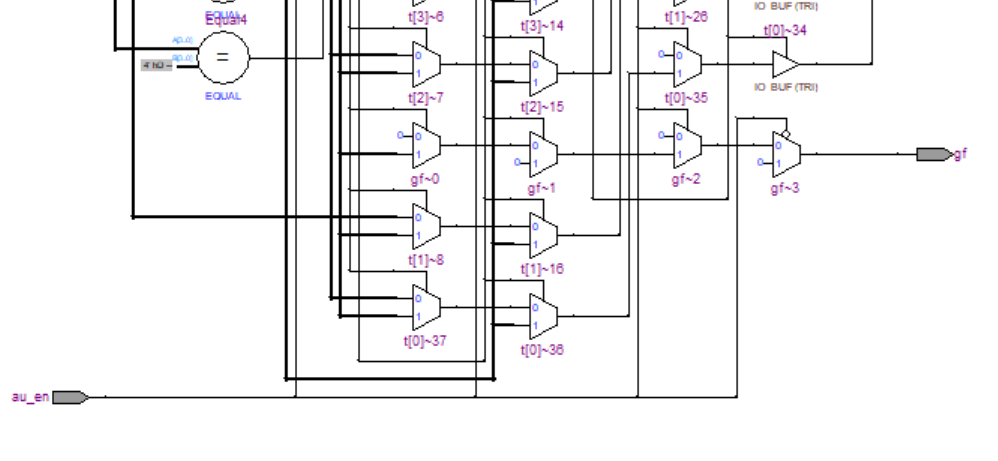


资源消耗：



D) RTL视图





结果分析及结论：

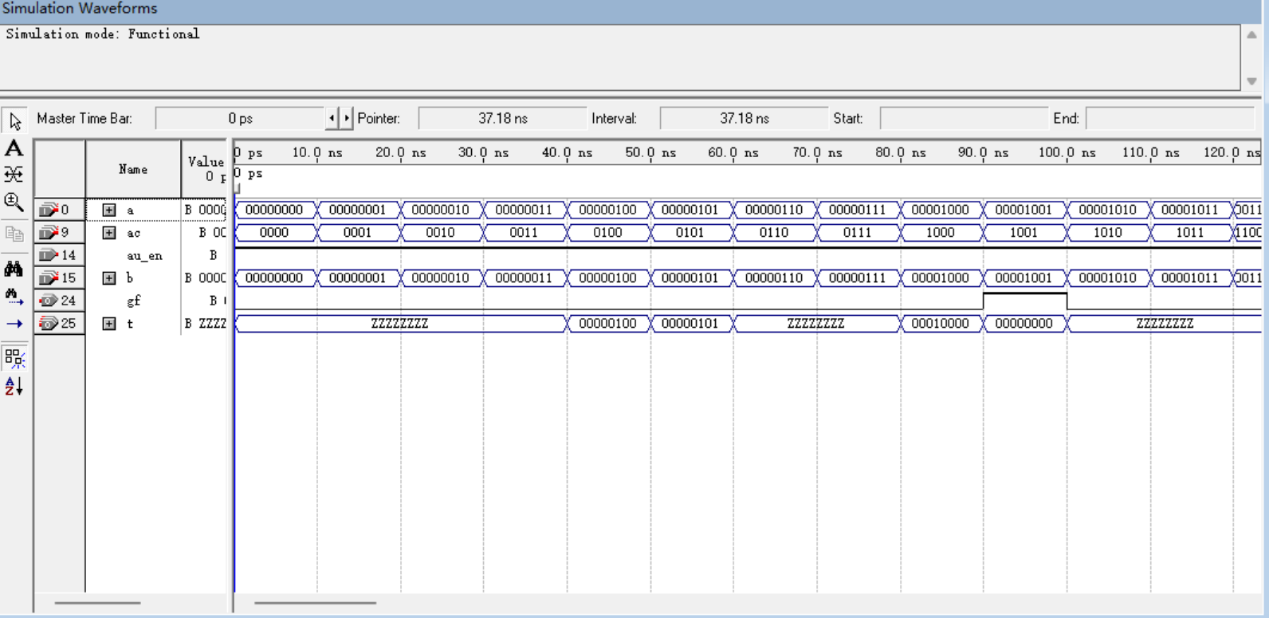
结果分析：视图左边为输入，右边为输出。其中连接有大量的元器件。比如比较器：当输入相等时输出1，不相等时输出0；还由大量的2-1选择器构成，当控制信号为0时，输出第一位，控制信号为1时，输出第二位。图中输入信号为a,b,au\_en,ac，输出信号为t，gf。各个输出端口之间通过导线相连。

结论：AU需要经过多重门的处理后才能实现，AU的内部原理结构图十分复杂。

E) 功能仿真波形

步骤：新建一个vector waveform file。通过操作：右击 -【insert】-【insert node or bus】-【node finder】（pins=all；【list】）-【>>】-【ok】-【ok】，在【assignments】-【setting】-【simulator settings】-【simulation mode】中，将 timing 修改为functional，然后再点击【processing】-【Generate Functional Simulation Netlist】，接着设置输入波形，成功后点击【start simulation】开始仿真，查看输出功能仿真波形图。

功能仿真波形图：



结果分析及结论：

结果分析：功能仿真是指不考虑器件延时和布线延时的理想情况下对源代码进行逻辑功能的验证。由仿真波形可得，对于输入状态的变化，输出结果实时变化，没有延迟，其结果与电路设计的真值表的结果相对应。

当控制信号au\_en为1，s为1000时，执行t=a+b

当控制信号au\_en为1，s为1001时，执行t=b-a

当控制信号au\_en为1，s为0100时，执行t=a

当控制信号au\_en为1，s为0101时，执行t=a

当控制信号au\_en为0，s为1101时，执行t=a

当控制信号au\_en为0，s上述其他时，执行t=zzzzzzzz

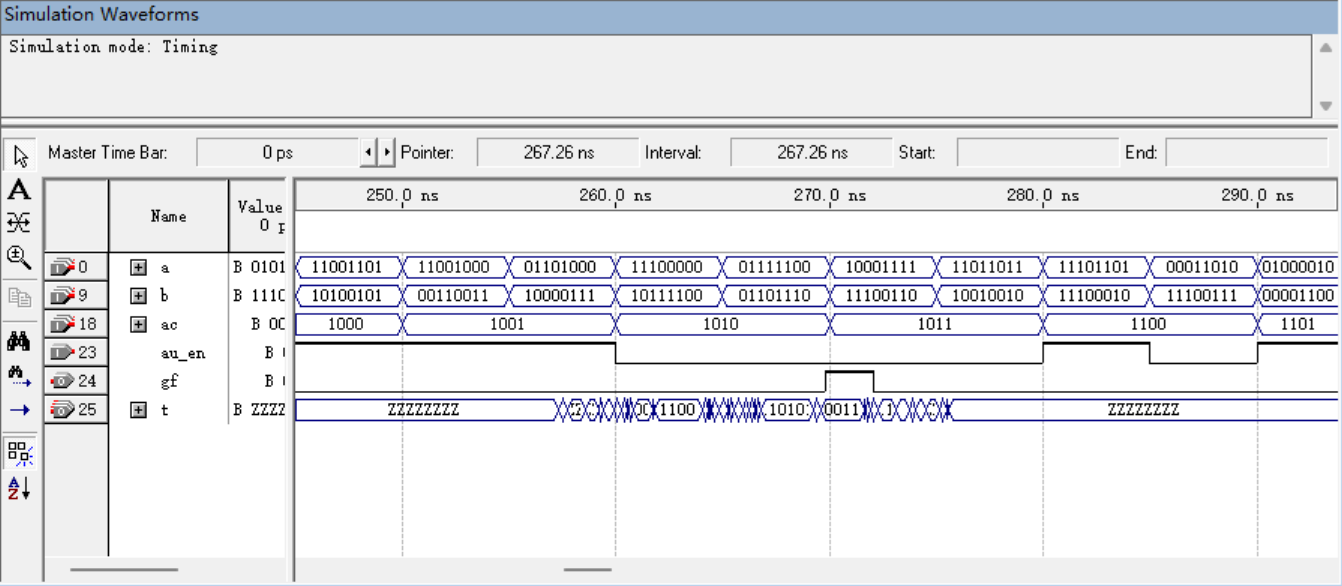
有进位和借位时gf为1，否则为0；

结论：功能仿真是指在一个设计中，在设计实现前对所创建的逻辑进行的验证其功能是否正确的过程。 布局布线以前的仿真都称作功能仿真，它包括综合前仿真（Pre-Synthesis Simulation）和综合后仿真（Post-Synthesis Simulation）。 综合前仿真主要针对基于原理框图的设计 ; 综合后仿真既适合原理图设计 , 也适合基于 HDL 语言的设计。功能仿真操作简单，能体现和验证实验的功能，但忽略延迟的影响会使结果与实际结果有一定误差。

F) 时序仿真波形

步骤：新建一个 vector waveform file。通过操作：右击 -【insert】-【insert node or bus】-【node finder】（pins=all；【list】）-【>>】-【ok】-【ok】。接着设置输入波形，然后点击【start simulation】开始仿真，查看时序仿真输出波形图。

时序仿真图：

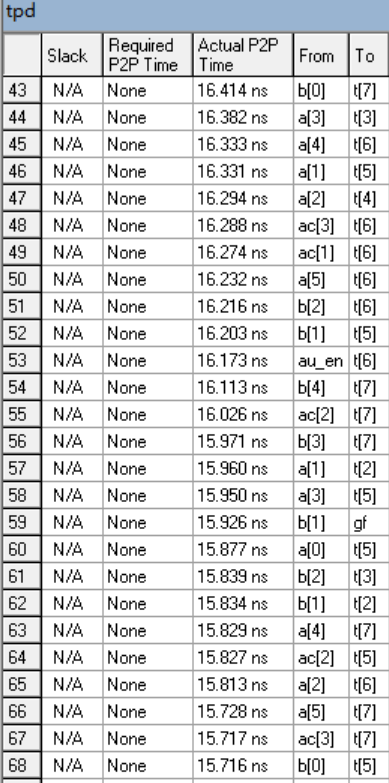
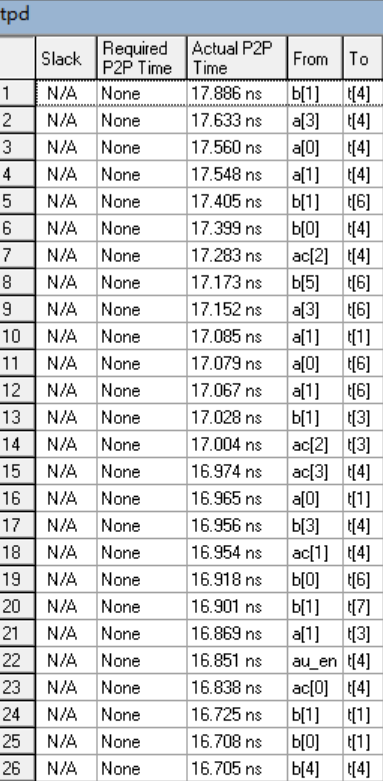
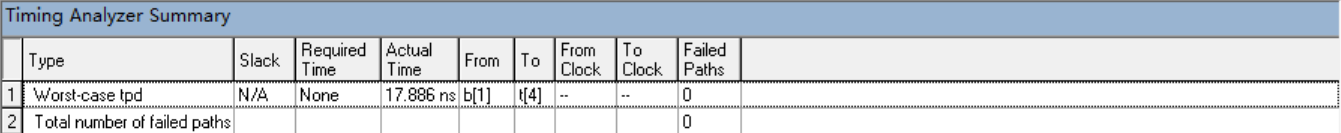


结果分析及结论：

结果分析：时序仿真是指在布线后进行，是最接近真实器件运行的仿真，它与特定的器件有关，又包含了器件和布线的延时信息。由波形可得，当输入状态发生改变时，输出结果并未同时改变，而是有一定延迟，同时由于输入状态的改变，导致电路出现“冒险”，导致输出结果并未与预期结果相同。

结论：时序仿真使用布局布线后器件给出的模块和连线的延时信息，在最坏的情况下对电路的行为作出实际地估价。时序仿真使用的仿真器和功能仿真使用的仿真器是相同的，所需的流程和激励也是相同的；唯一的差别是为时序仿真加载到仿真器的设计包括基于实际布局布线设计的最坏情况的布局布线延时，并且在仿真结果波形图中，时序仿真后的信号加载了时延，而功能仿真没有。时序仿真可以用来验证程序在目标器件中的时序关系。同时考虑了器件的延迟后，其输出结果跟接近实际情况，但是考虑的情况过多，不容易操作，容易产生错误。时序仿真不仅反应出输出和输入的逻辑关系，同时还计算了时间的延时信息，是与实际系统更接近的一种仿真结果。不过，要注意的是，这个时间延时是仿真软件“估算”出来的。

G) 时序分析



结果分析及结论：

结果分析：由图可得，Timing Analyzer Summmary总结所有经典定时分析的结果，并报告每个定时特性的最坏情况定时。比如从b[1]到t[4]的最坏定时情况的tpd为17.886ns。下面的tpd报告表则给出了源节点和目标节点之间的tpd延迟时间，比如第二行中a[1]到t[4]的tpd为17.548ns。

结论：实际连接图中个元器件连接之间是存在时间延迟的，而且不同的元器件之间的时间延迟也不相同。

四、思考题

1．指令译码器必须要12个输出吗？可否将一些输出合并，哪些可以合并，为什么？

不需要。jmp和add可以合并起来，因为jmp是将add后的结果写入pc中，则可以进行add 操作后直接进行写入操作。add和sub操作可以合并，因为这两个操作类似，且输出为使能信号，故可以用一个合并使能信号来作为两个输出的共同使能信号。

2．AU中的S[3..0]控制信号是来自哪里或者说与什么信息相同？

来自指令码ir的前四位，即ir[7:4]；

3、为何AU算术单元不执行加、减运算和MOVA、MOVB和OUT指令的数据传送功能时，输出为高阻态？

因为 AU 算数单元的输出端与其他输出单元共用一根总线，当 AU 在不执行相应的运算和数据传送功能时，输出高阻态从而与总线断开，避免对其他输出端产生影响。

五、实验总结、心得体会及建议

1、从需要掌握的理论、遇到的困难、解决的办法以及经验教训等方面进行总结。

基本了解了简易模型机的内部结构。同时熟悉了译码器、AU 的工作原理。学会使用 Verilog 语言描述简单的电路。但也遇到了一些困难，比如开始不懂如何使用QuartusII进行仿真。但通过上网查询相关资料和询问同学后得以解决问题，并通过分析仿真实验发现电路中的问题。还有不懂指令译码器和AU的工作原理等，但通过上网查询资料和小班讨论课讨论后基本都得以解决。以后再遇到相关问题时，可以通过先上网查询资料，再询问老师和同学来解决。

2、对本实验内容、过程和方法的改进建议（可选项）。

可以给同学们演示一下如何使用QuartusII进行Verilog文件的编译功能仿真和时序仿真。例如出一个演示视频，网上虽然能找到比较类似的资源，但还不是特别相似，需要耗费大量时间寻找、学习这些基础操作。