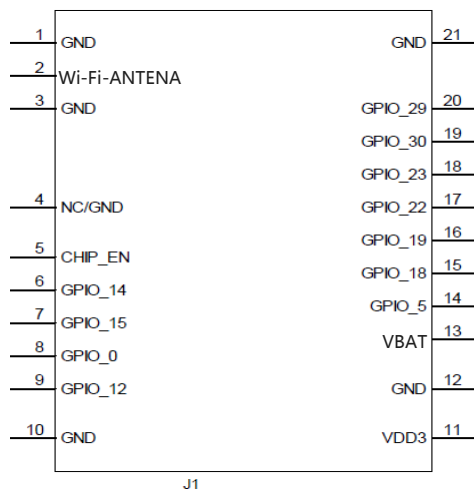




## 一、 模块管脚图



## 二、 管脚说明及参考设计

- 1 GND: 图中的 Pin1、3、4、10、12、21 为 GND，其中 Pin1、3 为天线地，在模块中与电源地连接在一起，用户可以不用接到设备上；其余 Pin 脚 GND 做为回路，需要用户设备接上；
- 2 VDD3: 图中唯一的一个电源引脚 Pin11，要求供电电压 3.0~3.6v，并且在对地需要并接一个 4.7~10uF 的电容做为滤波作用，供电电源的带载能力，需要满足额定输出电流 $\geq 500\text{mA}$ 。
- 3 CHIP\_EN: 图中的 Pin5 做为模块的 Power ON\OFF 管脚，此管脚在模块内部做了 10K 电阻的上拉，上拉到 VDD3；拉低此管脚可以关闭整个芯片电源。如果设备不需要控制此管脚，可以保持悬空。  
如果设备需要控制此管脚，设备 I\O 可直连，设备 I\O 必须保持高电平 2.4v 输出。
- 4 GPIOA\_14: 图中 Pin6，PWM0 输出管脚；可配置为普通 IO；
- 5 GPIOA\_15: 图中 Pin7，PWM1 输出管脚；可配置为普通 IO；
- 6 GPIOA\_0: 图中 Pin8，PWM2 输出管脚；可配置为普通 IO；
- 7 GPIOA12: 图中 Pin9，PWM3 输出管脚；可配置为普通 IO；

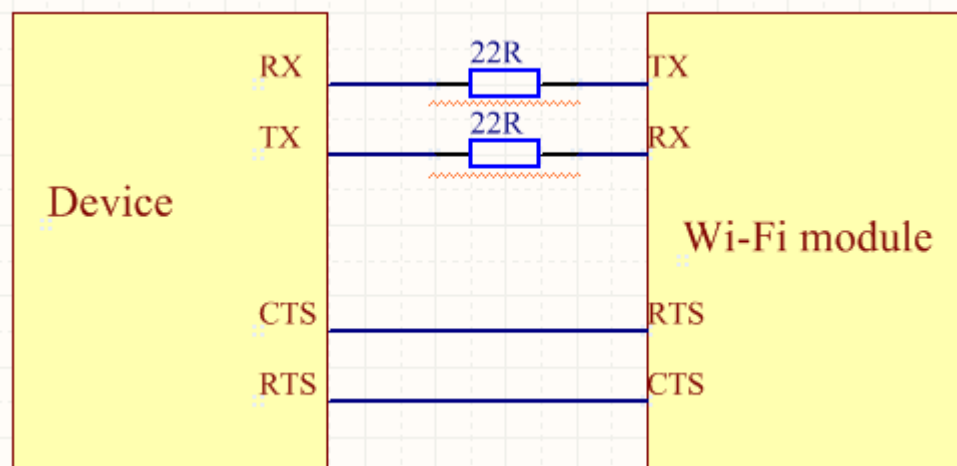


- 8 GPIOA\_5: 图中 Pin14, PWM4 输出管脚; 低功耗模式唤醒管脚; 可配置为普通 IO;
- 9 GPIOA\_18: 图中 Pin15, UART0\_RXD\SPI1\_CLK\SPI0\_CLK\I2C1\_SCL 复用, 可配置为普通 IO;
- 10 GPIOA\_19: 图中 Pin16, UART0\_CTS\SPI1\_CS\SPI0\_CS\I2C0\_SDA、普通 ADC 输入, 可配置为普通 IO;
- 11 GPIOA\_22: 图中 Pin17, UART0\_RTS\SPI1\_MISO\SPI0\_MISO\I2C0\_SCL 复用, 可配置为普通 IO;
- 12 GPIOA\_23: 图中 Pin18, UART0\_TXD\SPI1\_MOSI\SPI0\_MOSI\I2C1\_SDA 复用, 可配置为普通 IO;
- 13 GPIOA\_30: 图中 Pin19, UART2\_Log\_TXD 调试下载接口
- 14 GPIOA\_29: 图中 Pin20, UART2\_Log\_RXD 调试下载接口

### 三、 外设接口

- 1 UART0: 图中的 Pin15、16、17、18, 分别为 RX、CTS、RTS、TX; UART0 作为 AT Command 的通信接口, 如下为参考设计:

当打开硬件流控功能时, CTS 作为模组的输入端, 当 Device 输出低电平, 则允许模块给设备发数据, RTS 作为模组的输出端, 当模块输出低电平, 则允许设备给模块发数据。

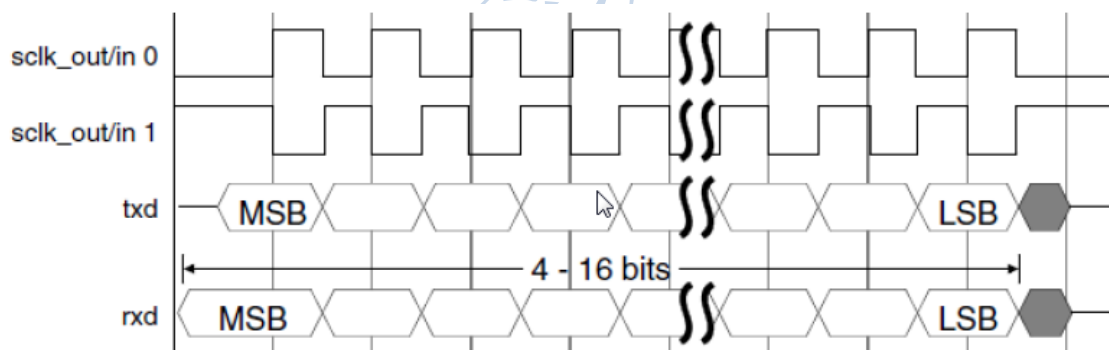
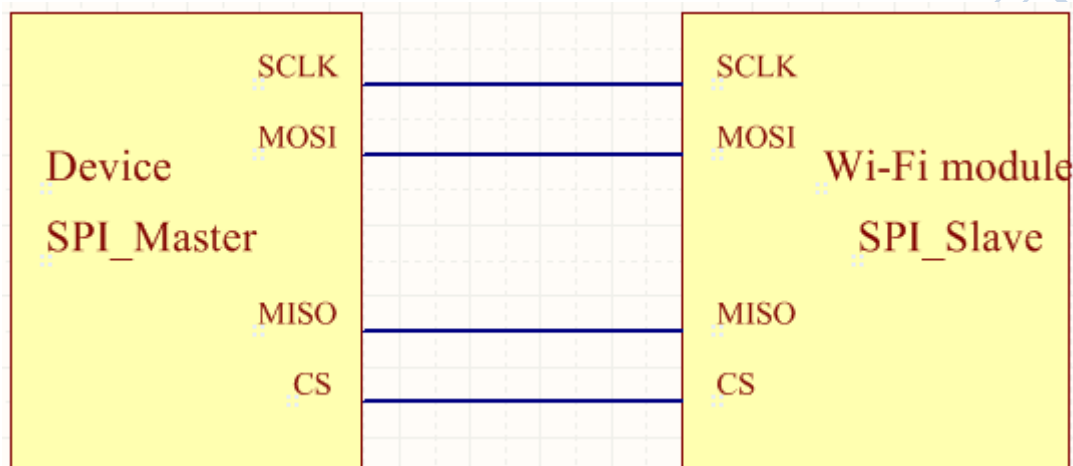




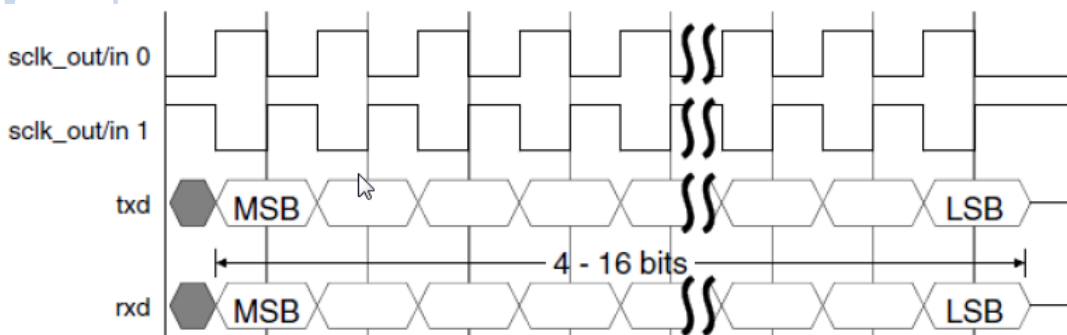
- 2 **SPI:** 图中 Pin15、16、17、18，分别为 SPI0\_CLK、SPI0\_CS、SPI0\_MISO、SPI0\_MOSI，作为通信接口，如下为参考设计：

Wi-Fi module: SPI1 (only SPI\_Master)

SPI0 (only SPI Slave)



SPI Serial Format (SCPH = 0)





### SPI Serial Format (SCPH = 1)

图中 **sclk\_out/in 0** 代表时钟极性为低，即 **CPOL=0**； **sclk\_out/in 1** 代表时钟极性为高，即 **CPOL=1**；  
**SCPH** 为时钟相位