

## 接口时序图

### 1 上电时序图

1.1 该模块具有允许主机通过启用或者控制电源信号的引脚，该引脚实现内部控制原理如下图：（给予该引脚低电平信号）

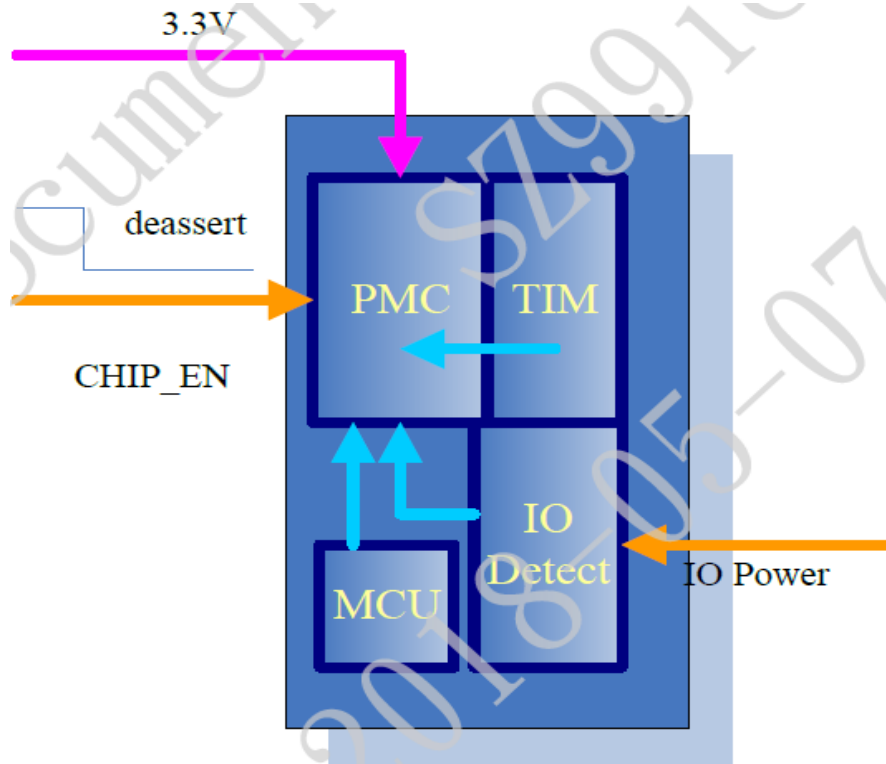


图 1：关闭系统电源

1.2 CHIP\_EN 上电运行时序图（悬空该引脚或者给予该引脚 2.7v 以上电压,正常工作）

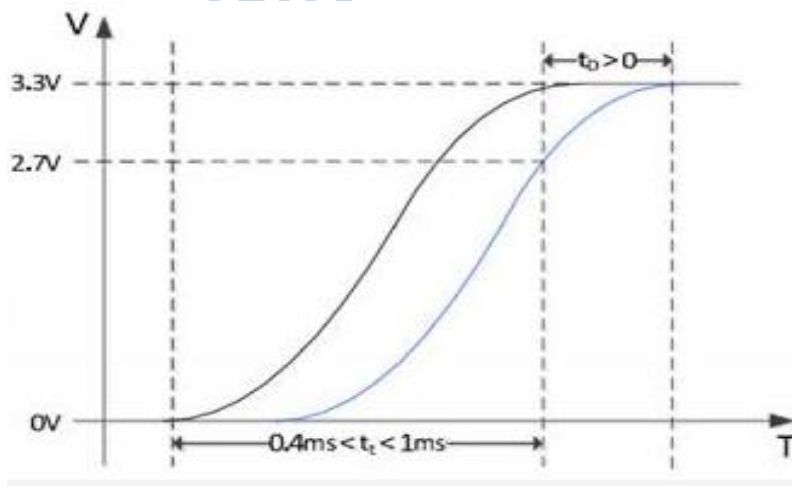


图 2：上电 CHIP\_EN 时序

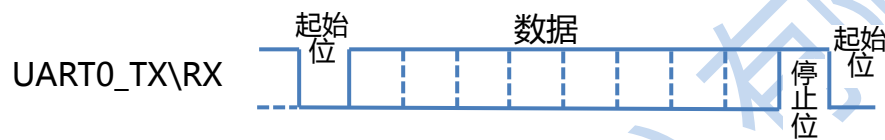


## 2 UART 工作时序图

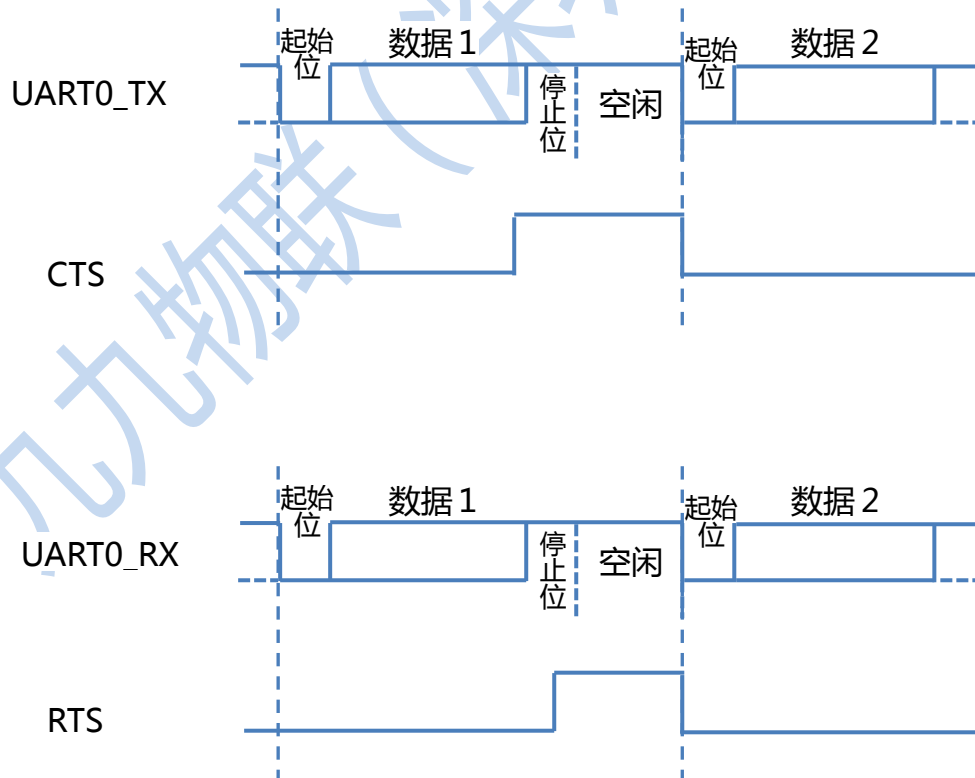
### 2.1 正常无数据发送状态：



### 2.2 数据传输状态



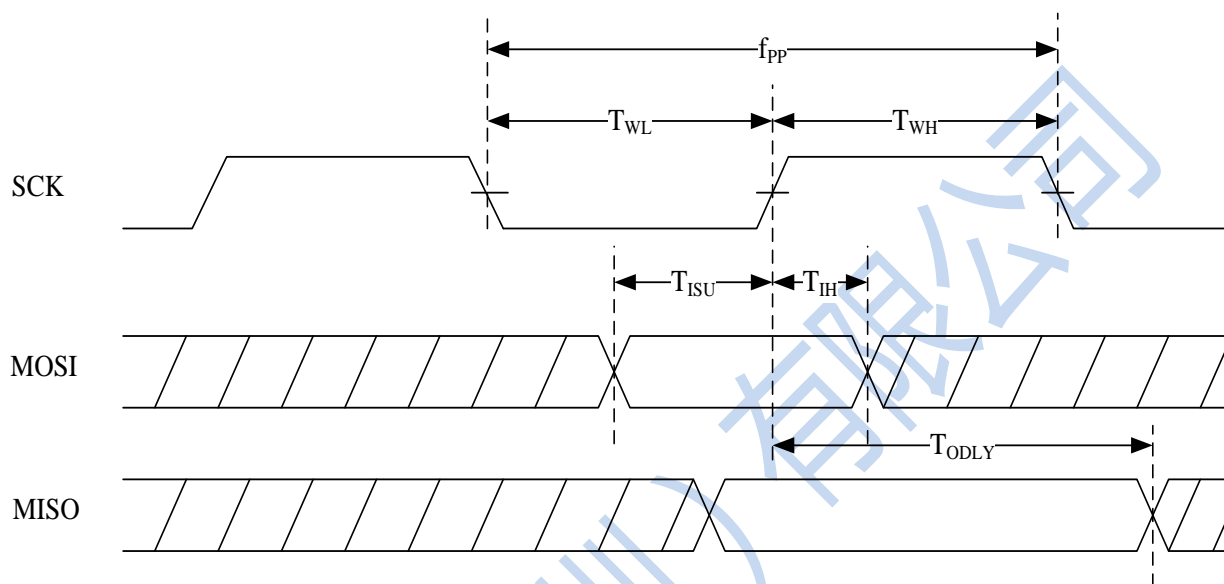
### 2.3 开启硬件流控





### 3 SPI 工作时序图

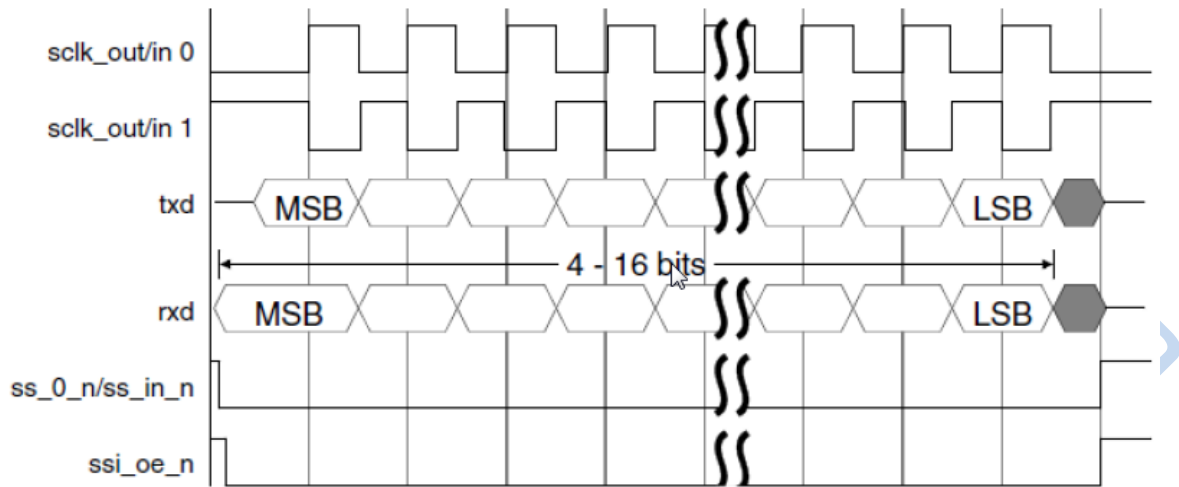
AFW121T、AFW125TO 模组支持串行外设接口，支持 Master( SPI1 )，Slave( SPI0 )模式；



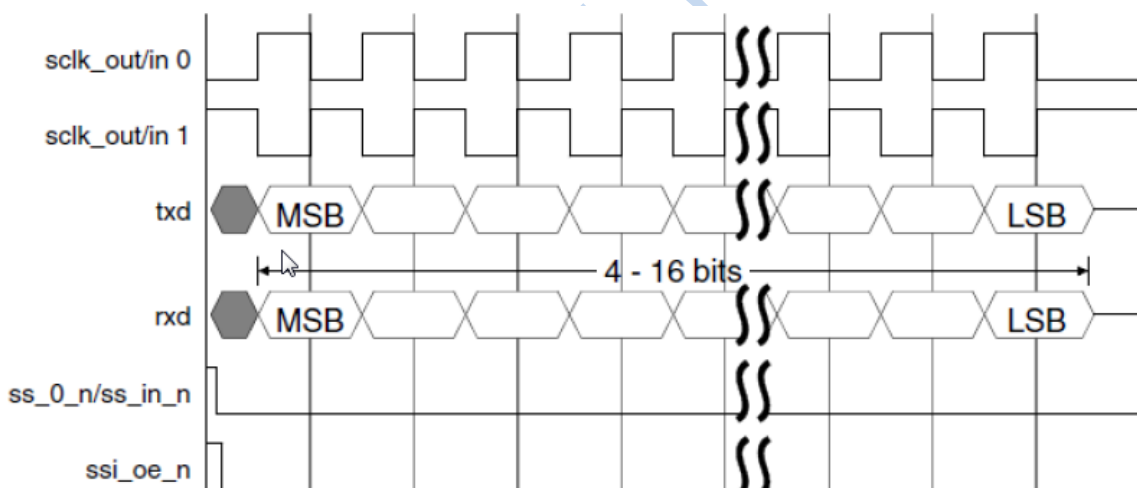
SPI 接口时序参数

NO	Parameter	MIN	MAX	Unit
$f_{PP}$	Clock Frequency	0	30	MHz
$T_{WL}$	Clock Low Time	8.33	—	ns
$T_{WH}$	Clock High Time	8.33	—	ns
$T_{ISU}$	Input Setup Time	4.17	—	ns
$T_{IH}$	Input Hold Time	4.17	—	ns
$T_{ODLY}$	Output Delay Time	—	11.67	ns

如下两个图说明时钟相位（SCPH）决定串行传输从那个时钟边缘开始数据采样：



时钟相位（SCPH = 0）



时钟相位（SCPH = 1）

ss\_0\_n: SPI 主机对从机选择信号

ss\_in\_n: SPI 从机对从机的选择输入信号

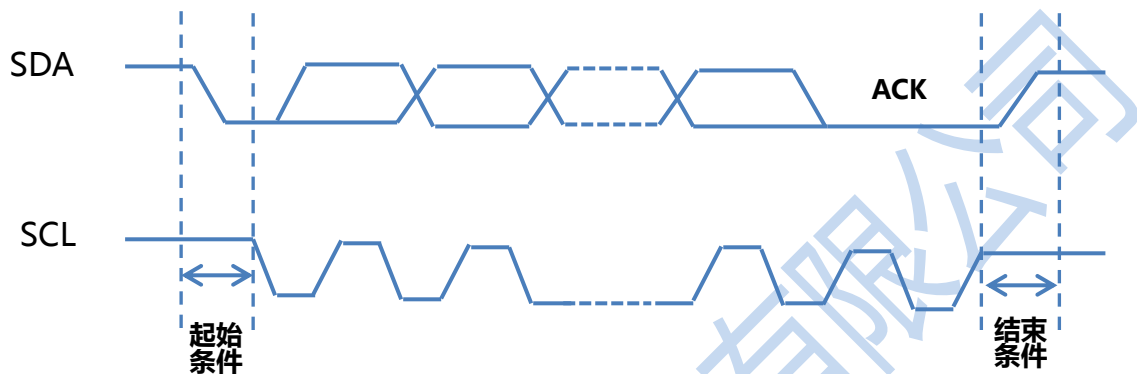
ss\_oe\_n: SPI 主\从机输出使能



## 4 IIC 工作时序图

IIC 总线是双线串行接口，由串行数据线（SDA）和串行时钟线（SCL）共同组成。

当总线空闲时，SCL 和 SDA 信号线都通过内部上拉电阻拉高；串行数据传输总是以起始条件开始并以停止条件结束，这两个条件都是在主模式下由软件控制产生。



IIC 有两种地址模式：7 位地址模式和 10 位地址模式。

### 7-bit Address Format

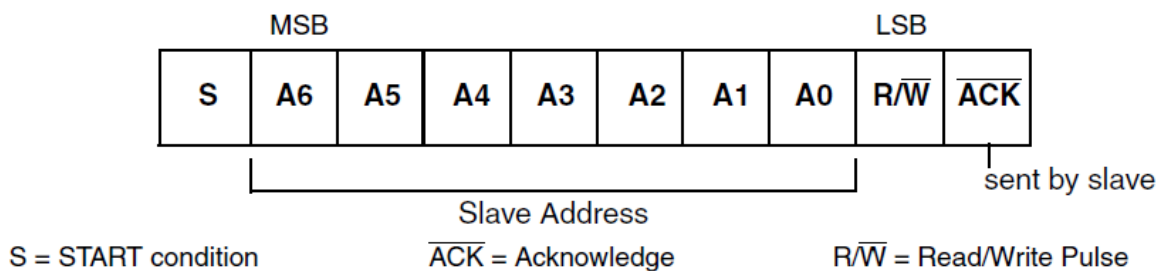


Figure 16 7-bit address format

### 10-bit Address Format

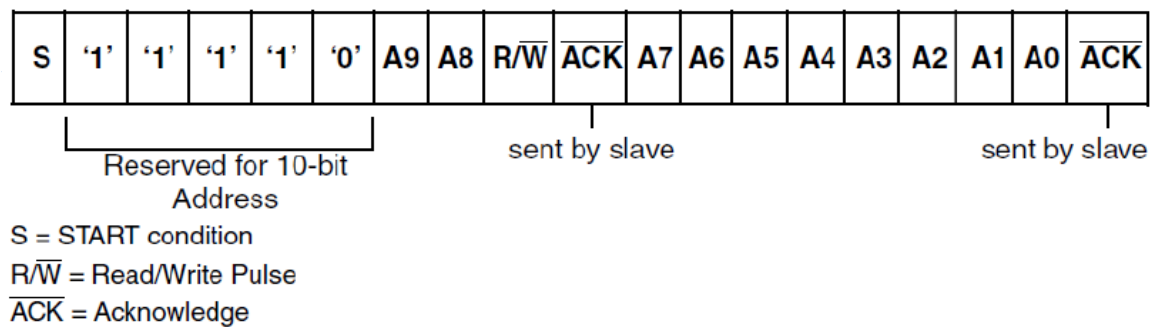


Figure 17 10-bit address format