



高性能系列，24MHz STM8S 8 位单片机，Flash 最多 128k 字节  
集成 EEPROM，10 位 ADC，多个定时器，2 个 UART，SPI，I<sup>2</sup>C，CAN

## 芯片特点

### 内核

- 最高fCPU：可达24MHz，当fCPU≤16MHz时0等待的存储器访问
- 高级STM8内核，基于哈佛结构并带有3级流水线
- 扩展指令集
- 最高20 MIPS @ 24 MHz

### 存储器

- 程序存储器：最多128k字节Flash；10k次擦写后在55°C环境下数据可保存20年
- 数据存储器：最多2k字节真正的数据EEPROM；可达30万次擦写
- RAM：最多6k字节

### 时钟、复位和电源管理

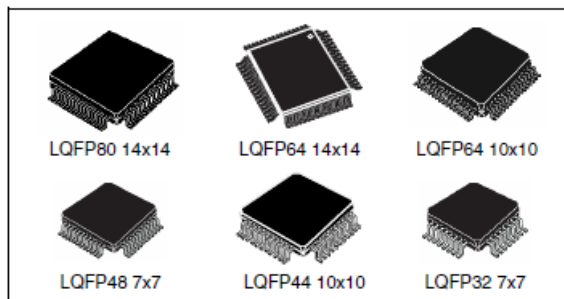
- 2.95到5.5V工作电压
- 灵活的时钟控制，4个主时钟源
- 低功率晶体振荡器
- 外部时钟输入
- 用户可调整的內部16MHz RC
- 内部低功耗128kHz RC
- 带有时钟监控的时钟安全保障系统
- 电源管理：
  - 低功耗模式(等待、活跃停机、停机)
  - 外设的时钟可单独关闭
  - 永远打开的低功耗上电和掉电复位

### 中断管理

- 带有32个中断的嵌套终端控制器
- 6个外部中断向量，最多37个外部中断

### 定时器

- 2个16位通用定时器，带有2+3个CAPCOM通道(IC、OC 或 PWM)
- 高级控制定时器：16位，4个CAPCOM通道，3个互补输出，死区控制和灵活的同步
- 带有8位预分频器的8位基本定时器



- 自动唤醒定时器
- 窗口看门狗和独立看门狗

### 通信接口

- 高速1Mbit/s CAN 2.0B接口
- 带有同步时钟输出的UART — LIN主模式
- UART兼容LIN2.1协议，主/从模式和自动重新同步
- SPI接口最高到10Mbit/s
- I<sup>2</sup>C接口最高到400Kbit/s

### 模数转换器

- 10位ADC，最多有16路通道

### I/O 端口

- 80脚封装芯片上最多有60个I/O，包括18个高吸收电流输出
- 非常强健的I/O设计，对倒灌电流有非常强的承受能力
- 开发支持
- 单线接口模块(SWIM)和调试模块(DM)，可以方便地进行在线编程和非侵入式调试

表1 芯片摘要

芯片编号：STM8S207xx
STM8S207MB, STM8S207M8, STM8S207RB, STM8S207R8, STM8S207R6, STM8S207CB, STM8S207C8, STM8S207C6, STM8S207SB, STM8S207S8, STM8S207S6, STM8S207K6
芯片编号：STM8S208xx
STM8S208MB, STM8S208RB, STM8S208R8, STM8S208R6, STM8S208CB, STM8S208C8, STM8S208C6, STM8S208SB, STM8S208S8, STM8S208S6

本文档英文原文下载地址：

<http://www.st.com/stonline/products/literature/ds/14733.pdf>

参照2009年7月 STM8S20xxx Datasheet 英文第8版

本译文仅供参考，如有翻译错误，请以英文原稿为准。请读者随时注意在ST网站下载更新版本

# 目录

1	简介.....	4
2	详细描述.....	5
3	模块框图.....	6
4	产品概述.....	7
4.1	STM8的中央处理单元 .....	7
4.2	单线接口模块(SWIM)和调试模块(DM) .....	7
4.3	中断控制器 .....	8
4.4	Flash程序存储器和数据EEPROM存储器 .....	8
4.5	时钟控制器 .....	9
4.6	电源管理 .....	9
4.7	看门狗定时器.....	10
4.8	自动唤醒计数器 .....	10
4.9	蜂鸣器 .....	10
4.10	TIM1 — 16位高级控制定时器.....	10
4.11	TIM2, TIM3 — 16位通用定时器.....	10
4.12	TIM4 — 8位基本定时器 .....	11
4.13	模数转换器(ADC2) .....	11
4.14	通信接口 .....	11
4.14.1	UART1.....	11
4.14.2	UART3.....	12
4.14.3	SPI.....	12
4.14.4	I <sup>2</sup> C.....	13
4.14.5	beCAN.....	13
5	引脚及其描述 .....	14
5.1	封装引脚 .....	14
5.2	备选功能重映射 .....	22
6	存储器和寄存器映射 .....	23
6.1	存储器映射 .....	23
6.2	寄存器映射 .....	24
7	中断向量映射 .....	32
8	选项字节.....	33
9	电气特性.....	36
9.1	参数条件.....	36
9.1.1	最小和最大值.....	36
9.1.2	典型数值 .....	36
9.1.3	典型曲线 .....	36
9.1.4	典型电流消耗.....	36
9.1.5	引脚负载条件.....	36
9.1.6	负载电容 .....	36
9.1.7	引脚输入电压.....	37
9.2	绝对最大额定值 .....	37
9.3	工作条件.....	38
9.3.1	VCAP外部电容 .....	39



9.3.2	供电电流特性 .....	39
9.3.3	外部时钟源和时间特性 .....	45
9.3.4	内部时钟源和时间特性 .....	46
9.3.5	存储器特性 .....	48
9.3.6	I/O端口引脚特性 .....	48
9.3.7	复位引脚特性 .....	54
9.3.8	串行外设接口(SPI) .....	56
9.3.9	I <sup>2</sup> C接口特性 .....	58
9.3.10	10位ADC特性 .....	59
9.3.11	EMC特性 .....	61
10	封装特性 .....	63
10.1	封装尺寸 .....	63
10.1.1	LQFP封装尺寸 .....	63
10.2	热特性 .....	69
10.2.1	参考文档 .....	69
10.2.2	选择产品的温度范围 .....	69
11	STM8 开发工具 (本章从略) .....	71
11.1	仿真和在线调试工具 .....	71
11.2	软件工具 .....	71
11.2.1	STM8工具套件 .....	71
11.2.2	C和汇编工具 .....	71
11.2.3	烧写工具 .....	71
12	订购信息 .....	72
13	(英文)版本修改记录 .....	73

# 1 简介

这本数据手册描述了STM8S20xxx高性能系列单片机的特点、引脚分配、电气特性、机械特性和订购信息。

- 如果需要关于STM8S单片机存储器、寄存器和外设等的详细信息，请参考[STM8S系列单片机参考手册\(RM0016\)](#)。
- 如果需要关于内部Flash存储器的编程、擦除和保护的信息，请参考[STM8S Flash编程手册\(PM0051\)](#)。
- 如果需要关于调试和SWIM(single wire interface module单线接口模块)，请参考[STM8 SWIM通信协议和调试模块用户手册\(UM0470\)](#)。
- 如果需要关于STM8内核的信息，请参考[STM8 CPU编程手册\(PM0044\)](#)。

## 2 详细描述

STM8S20xxx高性能系列8位单片机提供大容量(从32K到128K字节)的Flash程序存储器。它们是在STM8S微控制器系列参考手册里面指的高密度产品。

STM8S20xxx高性能系列所有的单片机提供下面这些优秀的性能:

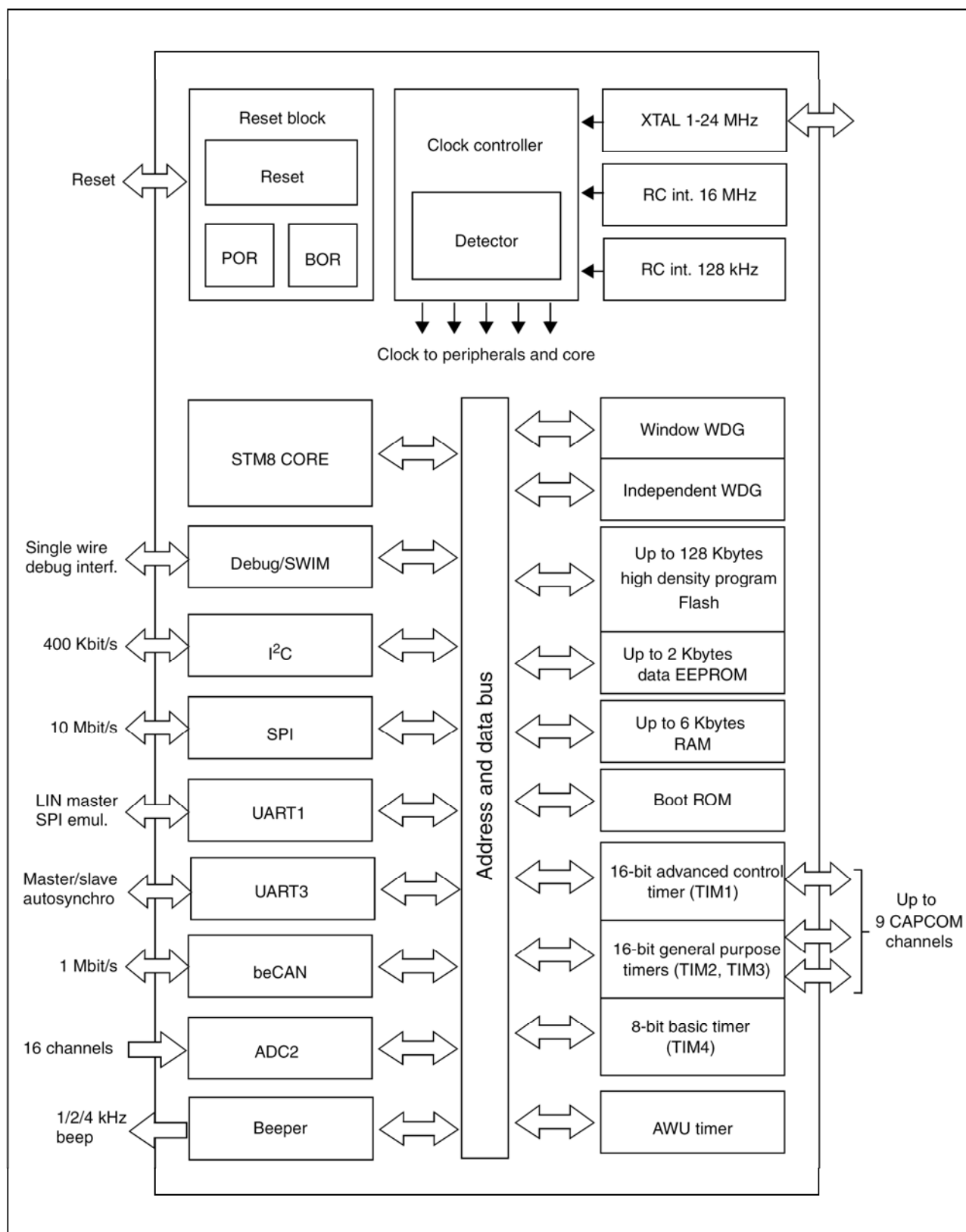
- 更低的系统成本
  - 内部集成真正的EEPROM数据存储器, 可以达到30万次的擦写周期
  - 高度集成了内部时钟振荡器、看门狗和掉电复位功能
- 高性能和高可靠性
  - 在24MHz CPU时钟频率下, 系统的运算性能可达到20MIPS
  - 强大的I/O功能, 拥有分立时钟源的独立看门狗
  - 时钟安全系统
- 缩短开发周期
  - 可根据具体的应用在通用的产品系列中选择具有合适的封装、存储器大小和外设模块的芯片
  - 完善的文档和多种开发工具选择
- 产品可延续性
  - 最新的技术打造的高水平的内核和外设
  - 系列产品广泛适应2.95伏到5.5伏的工作电压

表2 STM8S20xxx高性能系列产品特点

芯片型号	引脚	GPIO数目	外部中断引脚	定时器输入捕获/输出比较通道	定时器互补输出	A/D转换通道	高吸收电流I/O	Flash存储器(字节)	数据EEPROM存储器(字节)	RAM(字节)	beCAN接口
STM8S207MB	80	68	37	9	3	16	18	128K	2048	6K	无
STM8S207M8	80	68	37	9	3	16	18	64K	2048	6K	
STM8S207RB	64	52	36	9	3	16	16	128K	2048	6K	
STM8S207R8	64	52	36	9	3	16	16	64K	1536	4K	
STM8S207R6	64	52	36	9	3	16	16	32K	1024	2K	
STM8S207CB	48	38	35	9	3	10	16	128K	2048	6K	
STM8S207C8	48	38	35	9	3	10	16	64K	1536	4K	
STM8S207C6	48	38	35	9	3	10	16	32K	1024	2K	
STM8S207SB	44	34	31	8	3	9	15	128K	1536	4K	
STM8S207S8	44	34	31	8	3	9	15	64K	1536	4K	
STM8S207S6	44	34	31	8	3	9	15	32K	1024	2K	
STM8S207K6	32	25	23	8	3	7	12	32K	1024	2K	
STM8S208MB	80	68	37	9	3	16	18	128K	2048	6K	有
STM8S208RB	64	52	37	9	3	16	16	128K	2048	6K	
STM8S208R8	64	52	37	9	3	16	16	64K	2048	6K	
STM8S208R6	64	52	37	9	3	16	16	32K	2048	6K	
STM8S208CB	48	38	35	9	3	10	16	128K	2048	6K	
STM8S208MB	48	38	35	9	3	10	16	64K	2048	6K	
STM8S208MB	48	38	35	9	3	10	16	32K	2048	6K	
STM8S208MB	44	34	31	8	3	9	15	128K	1536	4K	
STM8S208MB	44	34	31	8	3	9	15	64K	1536	4K	
STM8S208RB	44	34	31	8	3	9	15	32K	1536	4K	

### 3 模块框图

图1 STM8S20xxx高性能系列芯片模块框图



## 4 产品概述

本节将要描述的是STM8S20xxx高性能系列芯片的功能模块和外设的基本特点。

如果需要更详细的信息请参考相应的产品系列参考手册(RM0016)。

### 4.1 STM8的中央处理单元

8位的STM8内核在设计时考虑了代码的效率和性能。

它的6个内部寄存器都可以在执行程序中直接寻址。共有包括间接变址寻址和相对寻址在内的20种寻址模式和80条指令。

#### 结构和寄存器

- 哈佛结构
- 3级流水线
- 32位宽程序存储器总线 — 对于大多数指令可进行单周期取指
- 两个16位寻址寄存器：X寄存器和Y寄存器 — 允许带有偏移的和不带偏移的变址寻址模式和读—修改—写式的数据操作
- 8位累加器
- 24位程序指针 — 16M字节线性地址空间
- 16位堆栈指针 — 可以访问64K字节深度堆栈
- 8位状态寄存器 — 可根据上条指令的结果产生7个状态标志位

#### 寻址

- 20种寻址模式
- 用于地址空间内任何位置上的查询数据表的变址寻址方式
- 用于局部变量和参数传递的堆栈指针相对寻址模式

#### 指令集

- 80条指令，指令的平均长度为2字节
- 标准的数据搬运和逻辑/算术运算功能
- 8位乘法指令
- 16位除8位和16位除16位除法指令
- 位操作指令
- 可通过对堆栈的直接访问实现堆栈和累加器之间的数据直接传送(push/pop)
- 可使用X和Y寄存器传送数据或者在存储器之间直接传送数据

### 4.2 单线接口模块(SWIM)和调试模块(DM)

单线接口模块和调试模块允许非侵入式、实时的在线调试和快速的存储器编程。

#### SWIM

通过单线接口模块可以直接访问调试模块和对存储器编程。这个接口在设备运行的所有模式下都有效。最大的数据传输速率为145字节/毫秒。

#### DM

非侵入式调试模块近似于一个全功能的仿真器，通过影子寄存器可以实时地观测到存储器、外设和CPU的运行情况。

- 实时地对RAM和外设寄存器进行读写
- 通过暂停CPU可以对所有资源进行读写操作
- 可以对所有程序存储器指令设置断点(软件断点)





- 2个高级断点，23种预定义的配置

### 4.3 中断控制器

- 带有3级软件优先级设定的嵌套中断
- 带有硬件优先级的32个中断向量
- 包括TLI中断在内的，最多37个外部中断分布在6个中断向量上
- 陷阱(trap)和复位中断

### 4.4 Flash程序存储器和数据EEPROM存储器

- 最多至128K字节的大容量单电压Flash程序存储器
- 最多至2K字节的真正的数据EEPROM
- 写同时读(RWW, Read while write): 向EEPROM中写数据同时可以执行程序存储器的程序
- 用户选项字节区

#### 写保护(WP, Write protection)

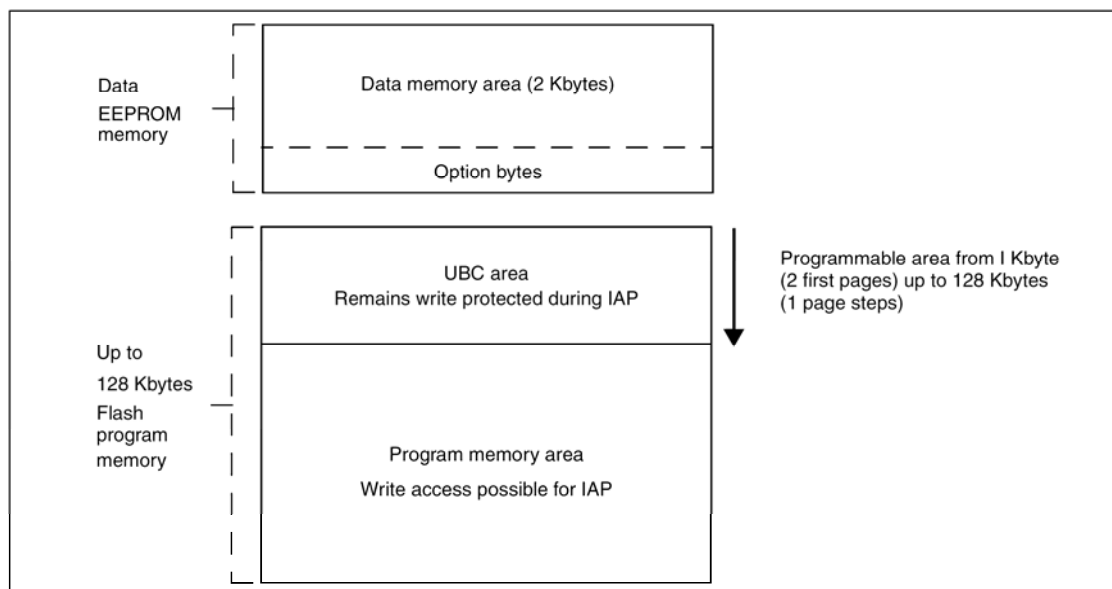
为了避免由于软件故障导致的对Flash程序存储器和数据EEPROM的意外擦写，芯片提供了写保护功能。

写保护分为两个等级。第一级写保护叫做MASS(Memory Access Security System, 存储器操作安全保障系统)。MASS始终有效并保护主要的Flash程序存储器，数据EEPROM和选项设置字节。

如果需要执行IAP(In-Application Programming, 在线编程)，可以向控制寄存器中写入MASS关键字序列去掉写保护，然后应用程序就可以向数据EEPROM写入数据，或者修改主程序存储器或者设备选项设置字节。

为了进一步保护一些特殊的UBC(user boot code, 用户启动代码)存储器区域，可以打开二级保护。参考图2。

图2 Flash存储器结构



在ICP模式下，可以通过设置UBC选项字节，按页增减UBC区域的大小。这将程序存储器分成了两部分：

- 主程序存储器：最多至128K字节减去UBC区域的大小
- 用户指定的启动代码(UBC)：可配置最高至128K字节

在线编程时UBC区域仍然保持写保护。也就是说，MASS关键字不能解锁UBC区域。这保护了用来存储启动程序，特殊的代码库，复位和中断向量，复位、IAP和通信程序的存储器区域。



## 读出保护(ROP, Read-out protection)

读出保护功能阻止在ICP模式(和调试模式)下对Flash程序存储器和数据EEPROM存储器的读写操作。一旦读保护功能使能后,任何尝试改变其状态的操作都会将程序和数据存储器全部擦除。尽管没有保护被认为是完全不可破解的,这个功能还是为通用的单片机提供了一个非常高等级的保护措施。

## 4.5 时钟控制器

时钟控制器将来自不同振荡器的系统时钟( $f_{\text{MASTER}}$ )连接到内核和外设,它也为低功耗模式管理时钟的选通,并确保时钟的可靠性。

### 特点:

- 时钟分频: 为了在速度和电流消耗之间找到一个最佳的平衡点,可以通过一个可编程的预分频器来调整CPU和外设的时钟频率。
- 安全的时钟切换: 通过一个配置寄存器,可以在运行的时候安全地切换时钟源。新的时钟源准备好之前时钟信号不会被切换。这个设计能够保证无故障地切换时钟。
- 时钟管理: 为了减少功耗,始终控制器可以关闭内核、每个外设或存储器的时钟。
- 主时钟源: 4个不同的时钟源可用来驱动主时钟
  - 1MHz 到 24MHz 高速外部晶振(HSE, High Speed External crystal)
  - 最高至 24MHz 的高速外部时钟(HSE, user-ext)
  - 16MHz 高速内部 RC 振荡器(HSI, High Speed Internal RC oscillator)
  - 128KHz 低速内部 RC(LSI, Low Speed Internal RC)
- 启动时钟: 复位之后,单片机默认运行在内部2MHz时钟下(HSI/8)。一旦代码开始运行,应用程序就可以更改预分频比例和时钟源。
- 时钟安全系统(CSS, Clock security system): 这个功能可以用软件打开。一旦HSE时钟失效,CSS可以自动地将主时钟切换到内部RC(16MHz/8),并且可以选择产生一个中断。
- 可配置的主时钟输出(CCO, Configurable main clock output): 应用程序可以控制输出一个外部时钟。

表3 CLK\_PCKENR1/2寄存器中的外设时钟控制位

控制位	外设	控制位	外设	控制位	外设	控制位	外设
PCKEN17	TIM1	PCKEN13	UART3	PCKEN27	beCAN	PCKEN23	ADC
PCKEN16	TIM2	PCKEN12	UART1	PCKEN26	保留	PCKEN22	AWU
PCKEN15	TIM3	PCKEN11	SPI	PCKEN25	保留	PCKEN21	保留
PCKEN14	TIM4	PCKEN10	I <sup>2</sup> C	PCKEN24	保留	PCKEN20	保留

## 4.6 电源管理

应用程序可以进入四种不同的低功耗模式来实现有效的电源管理。用户可以配置成任意模式,在最低的功耗、最快的启动和可用的唤醒源之间达到最佳的平衡。

- 等待模式(Wait mode): 在此模式下,CPU停止工作,但是外设仍在运行。可以用内部中断、外部中断、或复位来唤醒。
- 参考源开启的活跃停机模式: 在此模式下,CPU和外设时钟停止工作。自动唤醒单元(AWU, auto wakeup unit)按照设定好的间隔时间产生内部唤醒。主电压参考源保持供电,所以电流的消耗比参考源关闭的主动暂停模式较大,但是唤醒时间更短。可用内部AWU中断,外部中断或者复位来唤醒。
- 参考源关闭的活跃停机模式: 此模式除了主电压参考源断电以外,其它皆与参考源开启的主动暂停模式相同,所以唤醒时间较长。
- 停机模式: 此模式下单片机的功耗最低,CPU和外设的时钟都被关闭,主电压参考源断电。可用外部事件或中断唤醒。



## 4.7 看门狗定时器

看门狗系统基于两个独立的定时器来为应用提供最可靠的安全保障。

WDG(看门狗)定时器可用选项设置字节或软件来激活。一旦激活，除非复位，否则用户程序不能够关闭看门狗。

### 窗口看门狗定时器

窗口看门狗用来监测导致应用程序跳出了正常的执行顺序的软件错误，这种错误通常是外部的干扰或者没有考虑到的逻辑条件产生的。

窗口功能用来调整看门狗的状态使其与应用程序达到完美的结合。

应用软件必须在超时之前的限定时间窗口内刷新计数器。

在下面两种情况下会产生复位：

1. 超时：在 16MHz CPU 时钟下超时时间可以在 75 $\mu$ s 到 64 ms 之间进行调整。
2. 在窗口之外刷新：在递减计数器的值小于窗口寄存器存储的值之前，计数器就被刷新。

### 独立看门狗(IWDG)定时器

独立看门狗外设用来解决硬件或软件故障导致的处理器失效。

定时器使用128KHz LSI内部RC时钟源，因此甚至CPU时钟失效它仍然能够保持工作。

IWDG的时基范围从60 $\mu$ s到1s之间。

## 4.8 自动唤醒计数器

- 用来从主动暂停模式自动唤醒
- 时钟源：内部128kHz低频RC振荡器或外部时钟
- 用于校准时，LSI 时钟可以从内部连接到TIM3 的输入捕获通道1。

## 4.9 蜂鸣器

蜂鸣器功能通过BEEP引脚输出信号来产生声音。这个信号可在1，2或者4kHz中选择。

## 4.10 TIM1 — 16位高级控制定时器

这是一个为广范围控制应用而设计的高端定时器，带有互补输出、死区控制和中心对齐的PWM功能，这个领域的应用包括马达控制、照明和半桥驱动等。

- 带有16位预分频的16位递增、递减和双向(递增/递减)自动重载计数器
- 4个独立的捕获/比较通道(CAPCOM)，可配置成输入捕获，输出比较，PWM产生(边沿或中心对齐模式)和单脉冲模式输出
- 用来控制带有外部信号的定时器的同步模式
- 强制定时器输出进入预定状态的Break输入
- 可调整死区时间3个互补输出
- 编码器模式
- 中断源：3个输入捕获/输出比较中断，1个溢出/更新中断，1个break中断

## 4.11 TIM2, TIM3 — 16位通用定时器

- 16位向上计数和自动装载计数器
- 15位的预分频器，分频系数可调整为1~32768之间的2的幂
- 带有3个或者2个独立可配置的捕获/比较通道
- PWM模式
- 中断源：2个或3个输入捕获/输出比较中断，1个溢出/更新中断

## 4.12 TIM4 — 8位基本定时器

- 8位自动装载可调整的预分频器，比例可选为1~128之间任意的2的幂
- 时钟源：CPU时钟
- 中断源：1个溢出/更新中断

表4 定时器特点

定时器	计数器(位)	预分频	计数模式	CAPCOM通道	互补输出	外部触发	定时器同步/链
TIM1	16	1到65536之间任意整数	向上/向下	4	3	有	无
TIM2	16	1到32768之间任意2的幂	向上	3	0	无	
TIM3	16	1到32768之间任意2的幂	向上	2	0	无	
TIM4	8	1到128之间任意2的幂	向上	0	0	无	

## 4.13 模数转换器(ADC2)

- STM8S20xxx系列高性能产品包括一个10位连续渐近式模数转换器(ADC2)，提供多达16个多功能的输入通道和以下主要特点：
  - 输入电压范围：0~V<sub>DDA</sub>
  - 在80和64脚封装芯片上带有专用的参考电压(VREF)引脚
  - 转换时间：14个时钟周期
  - 单次和连续的转换模式
  - 外部触发输入
  - 可用TIM1定时器触发信号(TRGO)触发
  - 转换结束(EOC, End of conversion)中断

## 4.14 通信接口

芯片带有以下接口：

- UART1：
  - 全功能UART，模拟SPI，LIN2.1主模式，智能卡模式，IrDA模式，单线模式
- UART3：
  - 全功能UART，LIN2.1主/从模式
- SPI — 全双工和半双工，10Mbits/s
- I<sup>2</sup>C — 最高至400Kbits/s
- beCAN(rev 2.0A,B) — 3个发送邮箱 — 可达到1Mbits/s

### 4.14.1 UART1

主要特点

- 1Mbits/s全双工SCI
- 模拟SPI
- 高精度波特率发生器
- 智能卡模拟
- IrDA SIR编码解码
- LIN主模式
- 单线半双工模式

异步通信(UART模式)

- 全双工通信 — NRZ标准模式
- 可达1Mbits/s(f<sub>CPU</sub>/16)的可编程的发送接收波特率，不管输入频率如何皆可兼容任何标准波特率



- 发送和接收使能位可单独设置
- 2个接收唤醒模式：
  - 地址位(MSB)
  - 总线空闲(中断)
- 可产生中断的发送错误检测
- 奇偶校验控制

### 同步通信

- 全双工同步发送
- SPI主操作
- 8位数据通信
- 最大速度：在16MHz(fCPU/16)时为1Mbits/s

### LIN主模式

- 发送：产生13位同步中断帧
- 接收：检测11位中断帧

## 4.14.2 UART3

### 主要特点

- 1Mbit/s全双工SCI
- LIN主模式
- 高精度波特率发生器

### 异步通信(UART mode)

- 全双工通信 — NRZ标准格式
- 可达1Mbits/s(fCPU/16)的可编程的发送接收波特率，不管输入频率如何皆可兼容任何标准波特率
- 2个接收唤醒模式：
  - 地址位(MSB)
  - 总线空闲(中断)
- 可产生中断的发送错误检测
- 奇偶校验控制

### LIN主模式

- 发送：产生13位同步中断帧
- 接收：检测11位中断帧

### LIN从模式

- 自动头处理 — 每个有效的信息头都会产生一个单独的中断
- 自动波特率同步 — 最大容许偏离原始时钟 $\pm 15\%$
- 同步分隔符检查
- 11位LIN同步间断监测 — 间断监测始终有效
- LIN标识符区域校验检查
- LIN出错管理
- 热插拔支持

## 4.14.3 SPI

- 最大速率：10 Mbit/s (fMASTER/2)无论主设备或从设备
- 全双工同步发送



- 带有一根双向数据线的两线单工同步发送
- 主或从操作 — 可用硬件或软件选择
- CRC计算
- 1个字节的发送或接收缓冲器
- 从/主选择引脚

#### 4.14.4 I<sup>2</sup>C

- I<sup>2</sup>C主设备特点：
  - 时钟产生
  - 开始和停止位产生
- I<sup>2</sup>C从设备特点：
  - 可编程的 I<sup>2</sup>C 地址监测
  - 停止位监测
- 可产生和监测7位/10位地址呼叫和广播呼叫
- 提供不同的通信速率：
  - 标准速率(最高至 100kHz)
  - 高速(最高至 400kHz)

#### 4.14.5 beCAN

beCAN(basic enhanced CAN, 基本增强型CAN)控制器可与CAN网络连接并支持2.0A版和B版的CAN协议, 是为了使用最少的CPU工作量但能够高效地处理大量输入信息而设计的。

严格的安全要求应用需要支持CAN的节拍触发通信特性, CAN控制器为其提供了所有的硬件功能。

最高的传输速率是1Mbit,

##### 发送

- 3个发送邮箱
- 发送报文的优先级特性可用标识符或命令请求配置
- 记录发送SOF时刻的时间戳

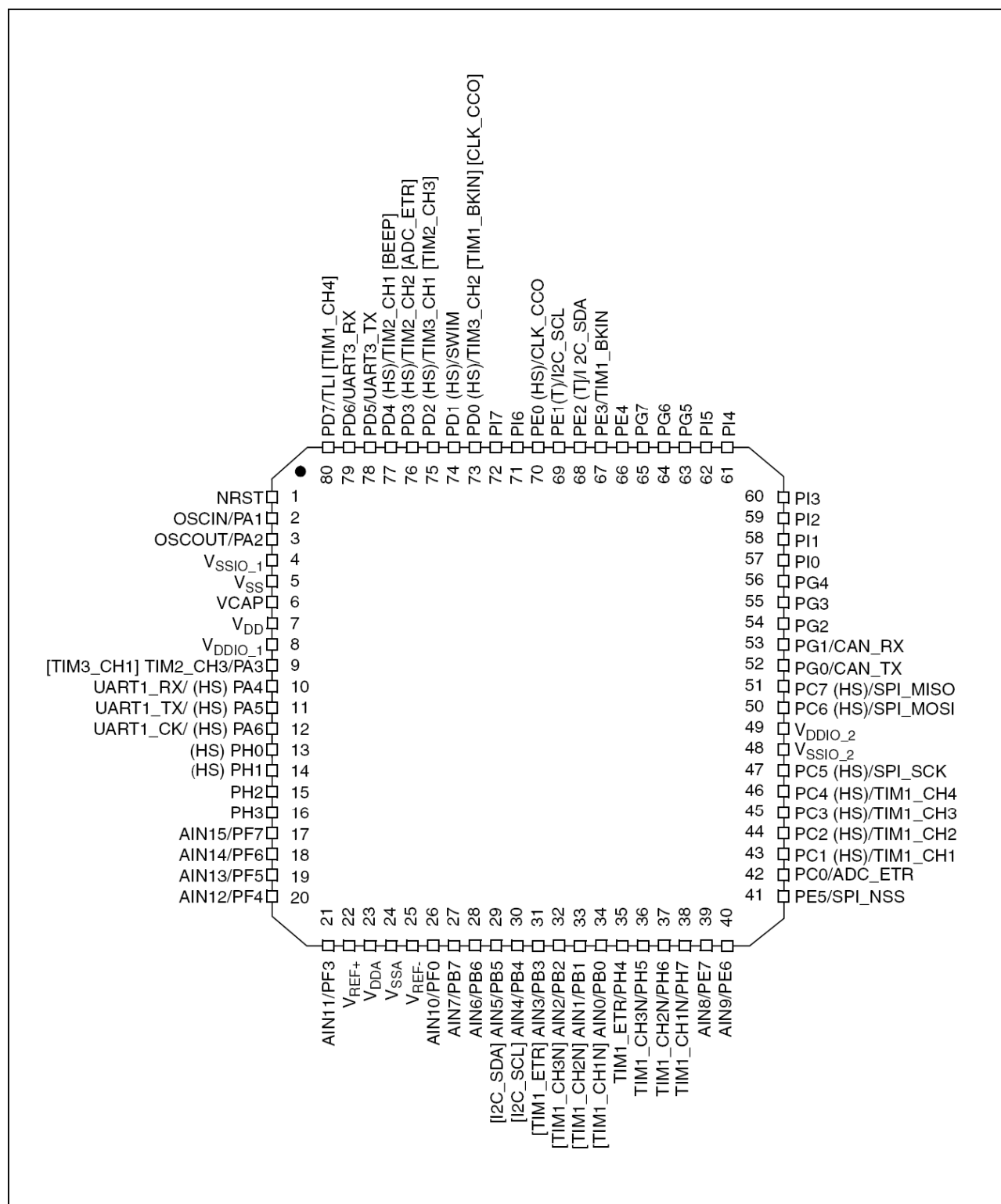
##### 接收

- 8位, 11位和29位ID
- 1个接收FIFO(可容纳3条信息)
- 邮箱占用唯一的地址空间, 便于提高软件效率
- FMI(filter match index, 过滤器匹配序号)与消息存储在一起
- 可设置的FIFO过载
- 记录接收SOF时刻的时间戳
- 6个位宽可变的过滤器组, 每个组包含2 x 32位(可变为4 x 16位), 以使能各种不同的屏蔽配置, 例如当ID为29位时可设为12个过滤器, 或者当ID为11位时可设为48个过滤器。
- 过滤模式:
  - 允许 ID 范围过滤的屏蔽模式
  - ID 列表模式
- 节拍触发通信特性
  - 禁止自动重传模式
  - 16 位自由运行定时器
  - 可配置定时器精度
  - 可在最后 2 个数据字节发送时间戳

## 5 引脚及其描述

### 5.1 封装引脚

图3 LQFP80引脚

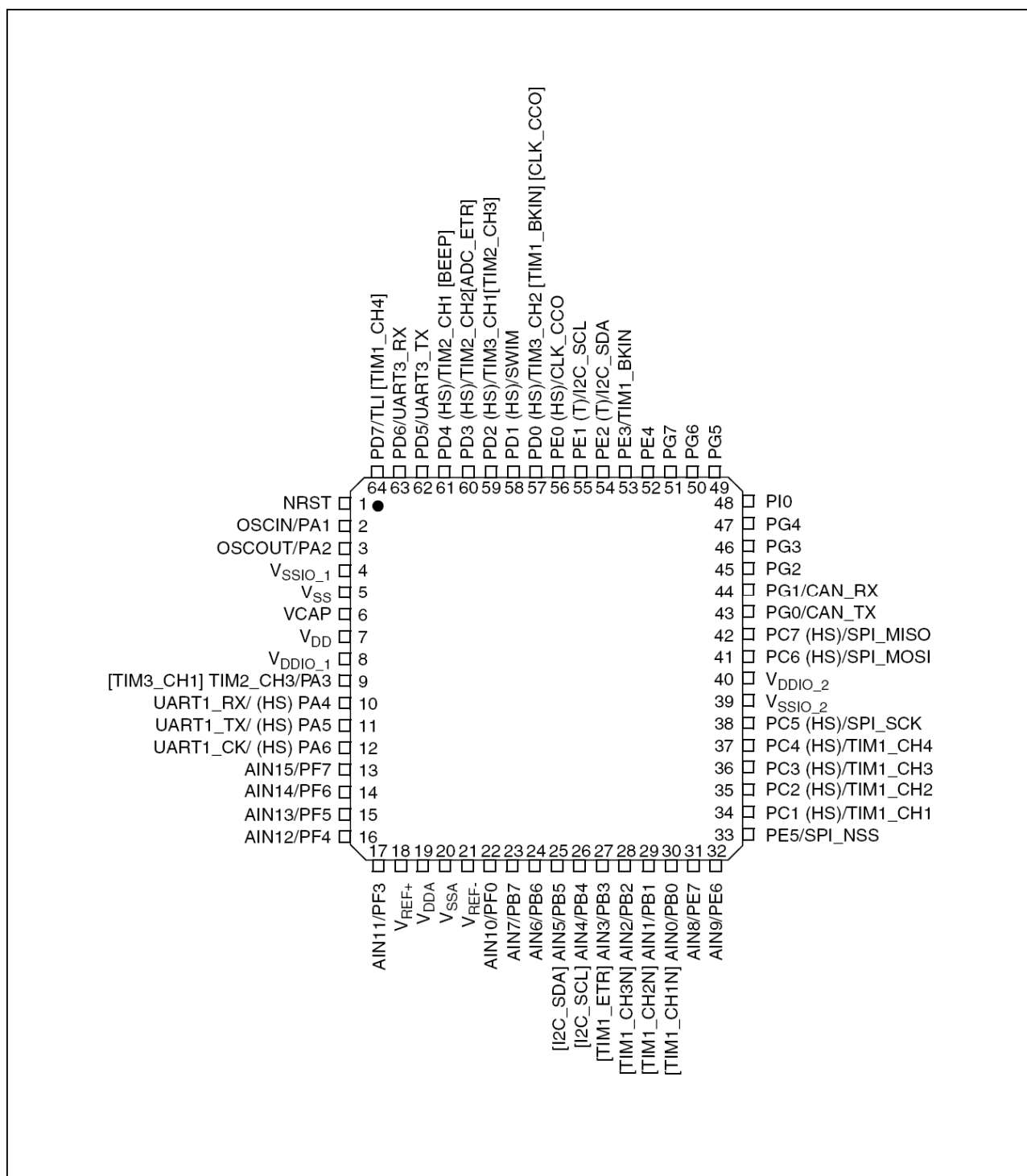


1. (HS)high sink capability高吸收电流。
2. (T)真正的开漏输出(没有P-buffer和连接到V<sub>DD</sub>的保护二极管)。
3. [ ]备选功能重映射选项(如果相同的备选功能显示两次, 用户也只能选择其中的一个, 并不是其中一个是另一个的备份)。
4. CAN\_RX 和 CAN\_TX 仅在 STM8S208xx 系列产品上才有效。





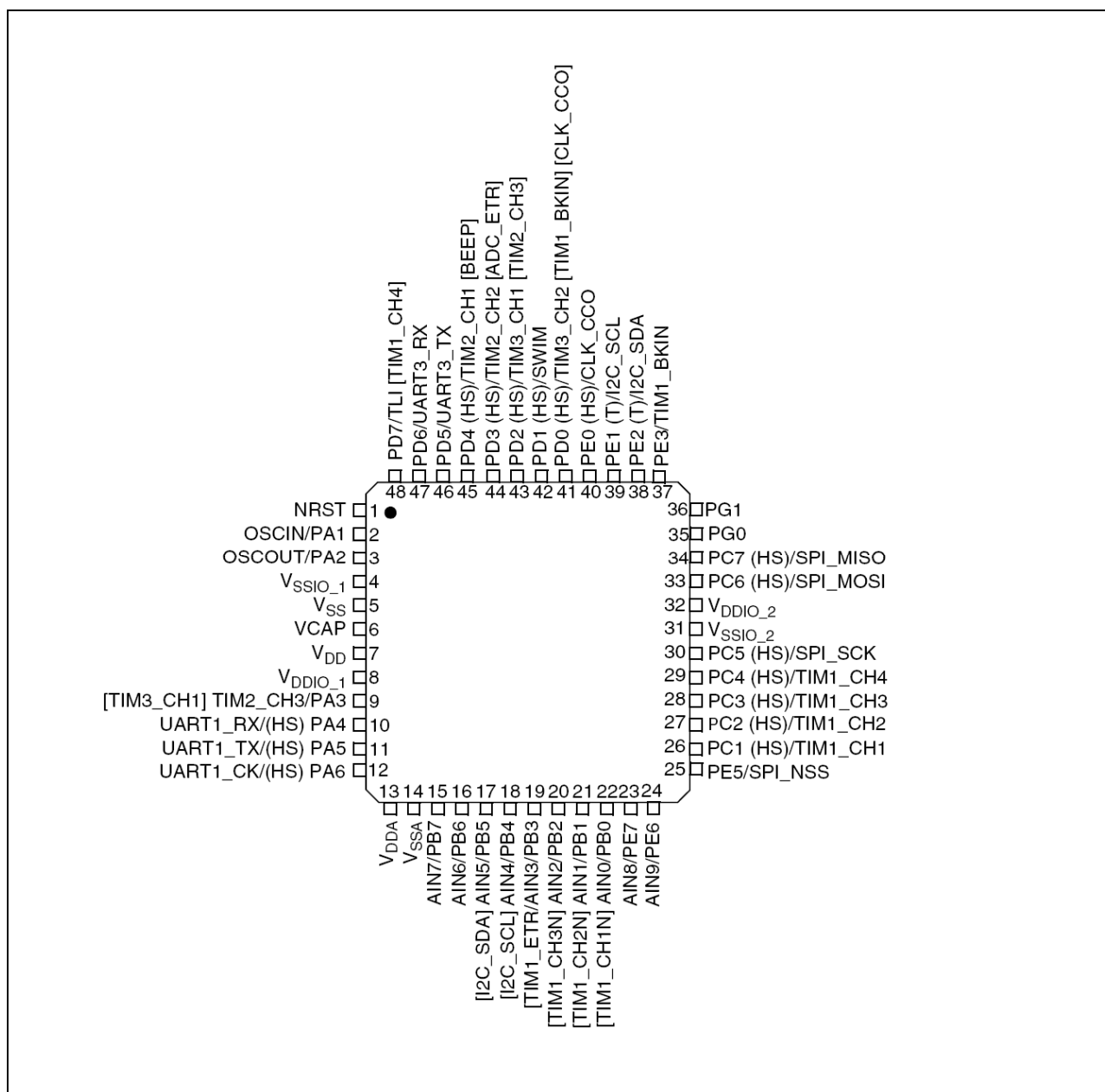
图4 LQFP64引脚



1. (HS)high sink capability高吸收电流。
2. (T)真正的开漏输出(没有P-buffer和连接到VDD的保护二极管)。
3. [ ]备选功能重映射选项(如果相同的备选功能显示两次，用户也只能选择其中的一个，并不是其中一个是另一个的备份)。
4. CAN\_RX 和 CAN\_TX 仅在 STM8S208xx 系列产品上才有效。

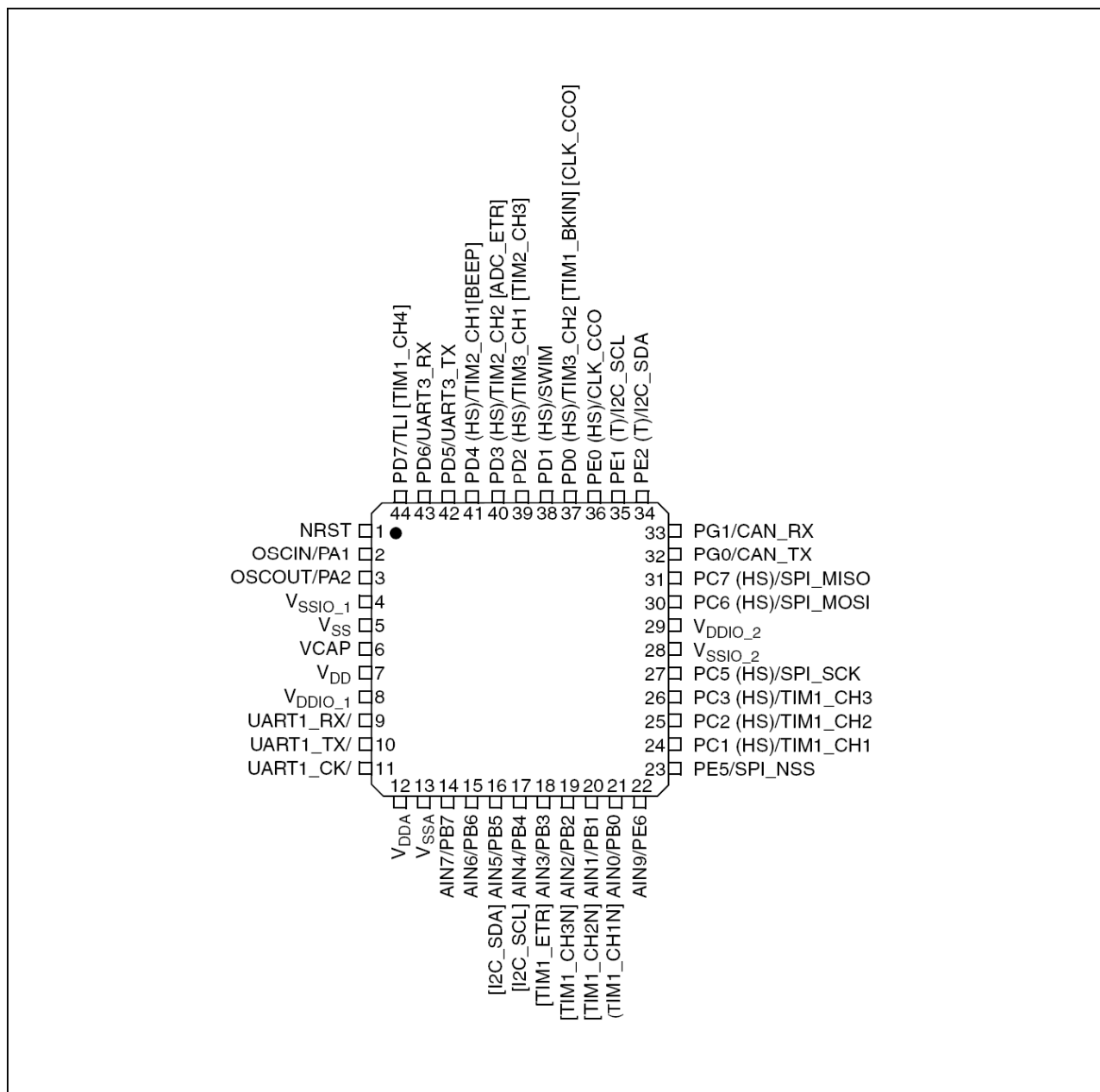


图5 LQFP48引脚



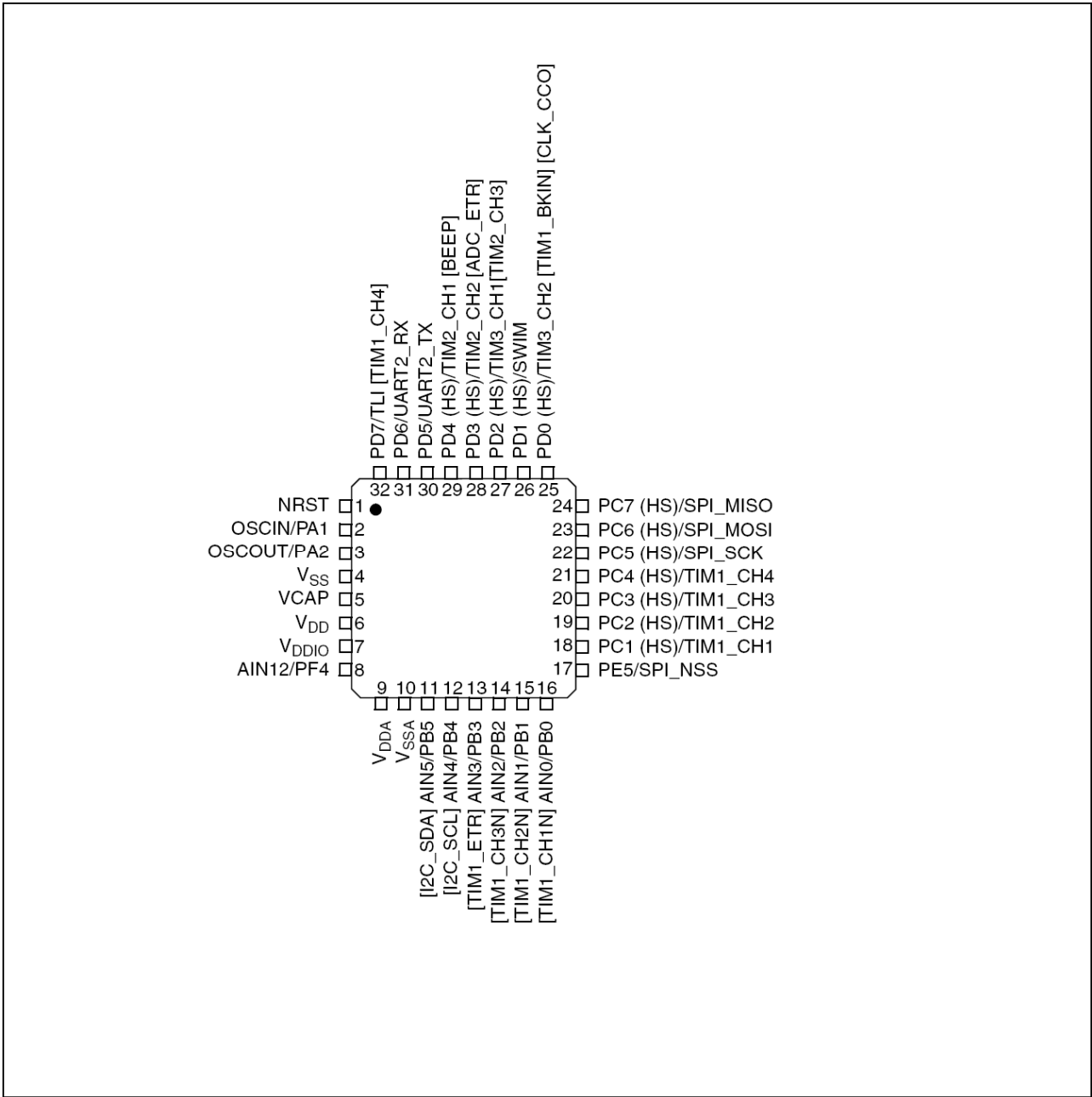
1. (HS)high sink capability高吸收电流。
2. (T)真正的开漏输出(没有P-buffer和连接到V<sub>DD</sub>的保护二极管)。
3. [ ]备选功能重映射选项(如果相同的备选功能显示两次,用户也只能选择其中的一个,并不是其中一个是另一个的备份)。

图6 LQFP44引脚



1. (HS)high sink capability高吸收电流。
2. (T)真正的开漏输出(没有P-buffer和连接到V<sub>DD</sub>的保护二极管)。
3. [ ]备选功能重映射选项(如果相同的备选功能显示两次，用户也只能选择其中的一个，并不是其中一个是另一个的备份)。
4. CAN\_RX 和 CAN\_TX 仅在 STM8S208xx 系列产品上才有效。

图7 LQFP32引脚



- 1. (HS)high sink capability高吸收电流。
- 2. [ ]备选功能重映射选项(如果相同的备选功能显示两次，用户也只能选择其中的一个，并不是其中一个是另一个的备份)。

表5 符号和缩写说明

类型	I = 输入，O = 输出，S = 供电引脚	
电平	输入	CM = CMOS
	输出	HS = High sink 高吸收电流
输出速率	O1 = 慢速(最高到2MHz)	
	O2 = 快速(最高到10MHz)	
	O3 = 可配置成快速或慢速，复位后默认为慢速	
	O4 = 可配置成快速或慢速，复位后默认为快速	
端口和控制配置	输入	float = 浮置，wpu = 弱上拉，weak pull-up
	输出	T = 真正的开漏结构，OD = 开漏结构，PP = 推挽

复位状态用**加粗字体**表示



表6 引脚描述

Pin number					Pin name	Type	Input			Output				Main function (after reset)	Default alternate function	Alternate function after remap [option bit]
LQFP80	LQFP64	LQFP48	LQFP44	LQFP32			floating	wpu	Ext. interrupt	High sink	Speed	OD	PP			
1	1	1	1	1	NRST	I/O		X						Reset		
2	2	2	2	2	PA1/OSCIN	I/O	X	X			O1	X	X	Port A1	Resonator/ crystal in	
3	3	3	3	3	PA2/OSCOUT	I/O	X	X	X		O1	X	X	Port A2	Resonator/ crystal out	
4	4	4	4	-	VSSIO_1	S								I/O ground		
5	5	5	5	4	VSS	S								Digital ground		
6	6	6	6	5	VCAP	S								1.8 V regulator capacitor		
7	7	7	7	6	VDD	S								Digital power supply		
8	8	8	8	7	VDDIO_1	S								I/O power supply		
9	9	9	-	-	PA3/TIM2_CH3	I/O	X	X	X		O1	X	X	Port A3	Timer 2 - channel3	TIM3_CH1 [AFR1]
10	10	10	9	-	PA4/UART1_RX	I/O	X	X	X	HS	O3	X	X	Port A4	UART1 receive	
11	11	11	10	-	PA5/UART1_TX	I/O	X	X	X	HS	O3	X	X	Port A5	UART1 transmit	
12	12	12	11	-	PA6/UART1_CK	I/O	X	X	X	HS	O3	X	X	Port A6	UART1 synchronous clock	
13	-	-	-	-	PH0	I/O	X	X		HS	O3	X	X	Port H0		
14	-	-	-	-	PH1	I/O	X	X		HS	O3	X	X	Port H1		
15	-	-	-	-	PH2	I/O	X	X			O1	X	X	Port H2		
16	-	-	-	-	PH3	I/O	X	X			O1	X	X	Port H3		
17	13	-	-	-	PF7/AIN15	I/O	X	X			O1	X	X	Port F7	Analog input 15	
18	14	-	-	-	PF6/AIN14	I/O	X	X			O1	X	X	Port F6	Analog input 14	
19	15	-	-	-	PF5/AIN13	I/O	X	X			O1	X	X	Port F5	Analog input 13	
20	16	-	-	8	PF4/AIN12	I/O	X	X			O1	X	X	Port F4	Analog input 12	
21	17	-	-	-	PF3/AIN11	I/O	X	X			O1	X	X	Port F3	Analog input 11	
22	18	-	-	-	VREF+	S								ADC positive reference voltage		
23	19	13	12	9	VDDA	S								Analog power supply		

表6(续) 引脚描述

Pin number					Pin name	Type	Input			Output				Main function (after reset)	Default alternate function	Alternate function after remap [option bit]
LQFP80	LQFP64	LQFP48	LQFP44	LQFP32			floating	wpu	Ext. interrupt	High sink	Speed	OD	pp			
24	20	14	13	10	V <sub>SSA</sub>	S							Analog ground			
25	21	-	-	-	V <sub>REF-</sub>	S							ADC negative reference voltage			
26	22	-	-	-	PF0/AIN10	I/O	X	X		O1	X	X	Port F0	Analog input 10		
27	23	15	14	-	PB7/AIN7	I/O	X	X	X	O1	X	X	Port B7	Analog input 7		
28	24	16	15	-	PB6/AIN6	I/O	X	X	X	O1	X	X	Port B6	Analog input 6		
29	25	17	16	11	PB5/AIN5	I/O	X	X	X	O1	X	X	Port B5	Analog input 5	I <sup>2</sup> C_SDA [AFR6]	
30	26	18	17	12	PB4/AIN4	I/O	X	X	X	O1	X	X	Port B4	Analog input 4	I <sup>2</sup> C_SCL [AFR6]	
31	27	19	18	13	PB3/AIN3	I/O	X	X	X	O1	X	X	Port B3	Analog input 3	TIM1_ETR [AFR5]	
32	28	20	19	14	PB2/AIN2	I/O	X	X	X	O1	X	X	Port B2	Analog input	TIM1_CH3N [AFR5]	
33	29	21	20	15	PB1/AIN1	I/O	X	X	X	O1	X	X	Port B1	Analog input 1	TIM1_CH2N [AFR5]	
34	30	22	21	16	PB0/AIN0	I/O	X	X	X	O1	X	X	Port B0	Analog input 0	TIM1_CH1N [AFR5]	
35	-	-	-	-	PH4/TIM1_ETR	I/O	X	X		O1	X	X	Port H4	Timer 1 - trigger input		
36	-	-	-	-	PH5/ TIM1_CH3N	I/O	X	X		O1	X	X	Port H5	Timer 1 - inverted channel 3		
37	-	-	-	-	PH6/ TIM1_CH2N	I/O	X	X		O1	X	X	Port H6	Timer 1 - inverted channel 2		
38	-	-	-	-	PH7/ TIM1_CH1N	I/O	X	X		O1	X	X	Port H7	Timer 1 - inverted channel 2		
39	31	23	-	-	PE7/AIN8	I/O	X	X	X	O1	X	X	Port E7	Analog input 8		
40	32	24	22	-	PE6/AIN9	I/O	X	X	X	O1	X	X	Port E6	Analog input 9		
41	33	25	23	17	PE5/SPI_NSS	I/O	X	X	X	O1	X	X	Port E5	SPI master/slave select		

表6(续) 引脚描述

Pin number					Pin name	Type	Input			Output				Main function (after reset)	Default alternate function	Alternate function after remap [option bit]
LQFP80	LQFP64	LQFP48	LQFP44	LQFP32			floating	wpu	Ext. interrupt	High sink	Speed	OD	PP			
42	-	-	-	-	PC0/ADC_ETR	I/O	X	X	X		O1	X	X	Port C0	ADC trigger input	
43	34	26	24	18	PC1/TIM1_CH1	I/O	X	X	X	HS	O3	X	X	Port C1	Timer 1 - channel 1	
44	35	27	25	19	PC2/TIM1_CH2	I/O	X	X	X	HS	O3	X	X	Port C2	Timer 1 - channel 2	
45	36	28	26	20	PC3/TIM1_CH3	I/O	X	X	X	HS	O3	X	X	Port C3	Timer 1 - channel 3	
46	37	29	-	21	PC4/TIM1_CH4	I/O	X	X	X	HS	O3	X	X	Port C4	Timer 1 - channel 4	
47	38	30	27	22	PC5/SPI_SCK	I/O	X	X	X	HS	O3	X	X	Port C5	SPI clock	
48	39	31	28	-	VSSIO_2	S								I/O ground		
49	40	32	29	-	VDDIO_2	S								I/O power supply		
50	41	33	30	23	PC6/SPI_MOSI	I/O	X	X	X	HS	O3	X	X	Port C6	SPI master out/ slave in	
51	42	34	31	24	PC7/SPI_MISO	I/O	X	X	X	HS	O3	X	X	Port C7	SPI master in/ slave out	
52	43	35	32	-	PG0/CAN_TX	I/O	X	X			O1	X	X	Port G0	beCAN transmit	
53	44	36	33	-	PG1/CAN_RX	I/O	X	X			O1	X	X	Port G1	beCAN receive	
54	45	-	-	-	PG2	I/O	X	X			O1	X	X	Port G2		
55	46	-	-	-	PG3	I/O	X	X			O1	X	X	Port G3		
56	47	-	-	-	PG4	I/O	X	X			O1	X	X	Port G4		
57	48	-	-	-	PI0	I/O	X	X			O1	X	X	Port I0		
58	-	-	-	-	PI1	I/O	X	X			O1	X	X	Port I1		
59	-	-	-	-	PI2	I/O	X	X			O1	X	X	Port I2		
60	-	-	-	-	PI3	I/O	X	X			O1	X	X	Port I3		
61	-	-	-	-	PI4	I/O	X	X			O1	X	X	Port I4		
62	-	-	-	-	PI5	I/O	X	X			O1	X	X	Port I5		
63	49	-	-	-	PG5	I/O	X	X			O1	X	X	Port G5		
64	50	-	-	-	PG6	I/O	X	X			O1	X	X	Port G6		
65	51	-	-	-	PG7	I/O	X	X			O1	X	X	Port G7		
66	52	-	-	-	PE4	I/O	X	X	X		O1	X	X	Port E4		

表6(续) 引脚描述

Pin number					Pin name	Type	Input			Output				Main function (after reset)	Default alternate function	Alternate function after remap [option bit]
LQFP80	LQFP64	LQFP48	LQFP44	LQFP32			floating	wpu	Ext. interrupt	High sink	Speed	OD	PP			
67	53	37	-	-	PE3/TIM1_BKIN	I/O	X	X	X		O1	X	X	Port E3	Timer 1 - break input	
68	54	38	34	-	PE2/I <sup>2</sup> C_SDA	I/O	X		X		O1	T <sup>(1)</sup>		Port E2	I <sup>2</sup> C data	
69	55	39	35	-	PE1/I <sup>2</sup> C_SCL	I/O	X		X		O1	T <sup>(1)</sup>		Port E1	I <sup>2</sup> C clock	
70	56	40	36	-	PE0/CLK_CCO	I/O	X	X	X	HS	O3	X	X	Port E0	Configurable clock output	
71	-	-	-	-	PI6	I/O	X	X			O1	X	X	Port I6		
72	-	-	-	-	PI7	I/O	X	X			O1	X	X	Port I7		
73	57	41	37	25	PD0/TIM3_CH2	I/O	X	X	X	HS	O3	X	X	Port D0	Timer 3 - channel 2	TIM1_BKIN [AFR3]/ CLK_CCO [AFR2]
74	58	42	38	26	PD1/SWIM	I/O	X	X	X	HS	O4	X	X	Port D1	SWIM data interface	
75	59	43	39	27	PD2/TIM3_CH1	I/O	X	X	X	HS	O3	X	X	Port D2	Timer 3 - channel 1	TIM2_CH3 [AFR1]
76	60	44	40	28	PD3/TIM2_CH2	I/O	X	X	X	HS	O3	X	X	Port D3	Timer 2 - channel 2	ADC_ETR [AFR0]
77	61	45	41	29	PD4/TIM2_CH1/ BEEP	I/O	X	X	X	HS	O3	X	X	Port D4	Timer 2 - channel 1	BEEP output [AFR7]
78	62	46	42	30	PD5/ UART3_TX	I/O	X	X	X		O1	X	X	Port D5	UART3 data transmit	
79	63	47	43	31	PD6/ UART3_RX	I/O	X	X	X		O1	X	X	Port D6	UART3 data receive	
80	64	48	44	32	PD7/TLI	I/O	X	X	X		O1	X	X	Port D7	Top level interrupt	TIM1_CH4 [AFR4]

1. 在开漏输出列中‘T’表示真正的开漏I/O(没有P-buffer和连接到V<sub>DD</sub>的保护二极管)

## 5.2 备选功能重映射

如引脚描述表最右列中所示,通过对8个AFR(备选功能重映射)选项位中的一位,一些备选功能可以被重新映射到不同的I/O端口上。请参考第8章:选项设置字节。当相应的重映射选项被打开后,引脚默认的备选功能将不可用了。

如果要使用备选的功能,外设寄存器中相应的外设一定要被使能。

备选功能重映射不影响I/O端口的GPIO功能(请见参考手册RM0016中有关GPIO的章节)。



## 6 存储器和寄存器映射

### 6.1 存储器映射

图8 存储器映射

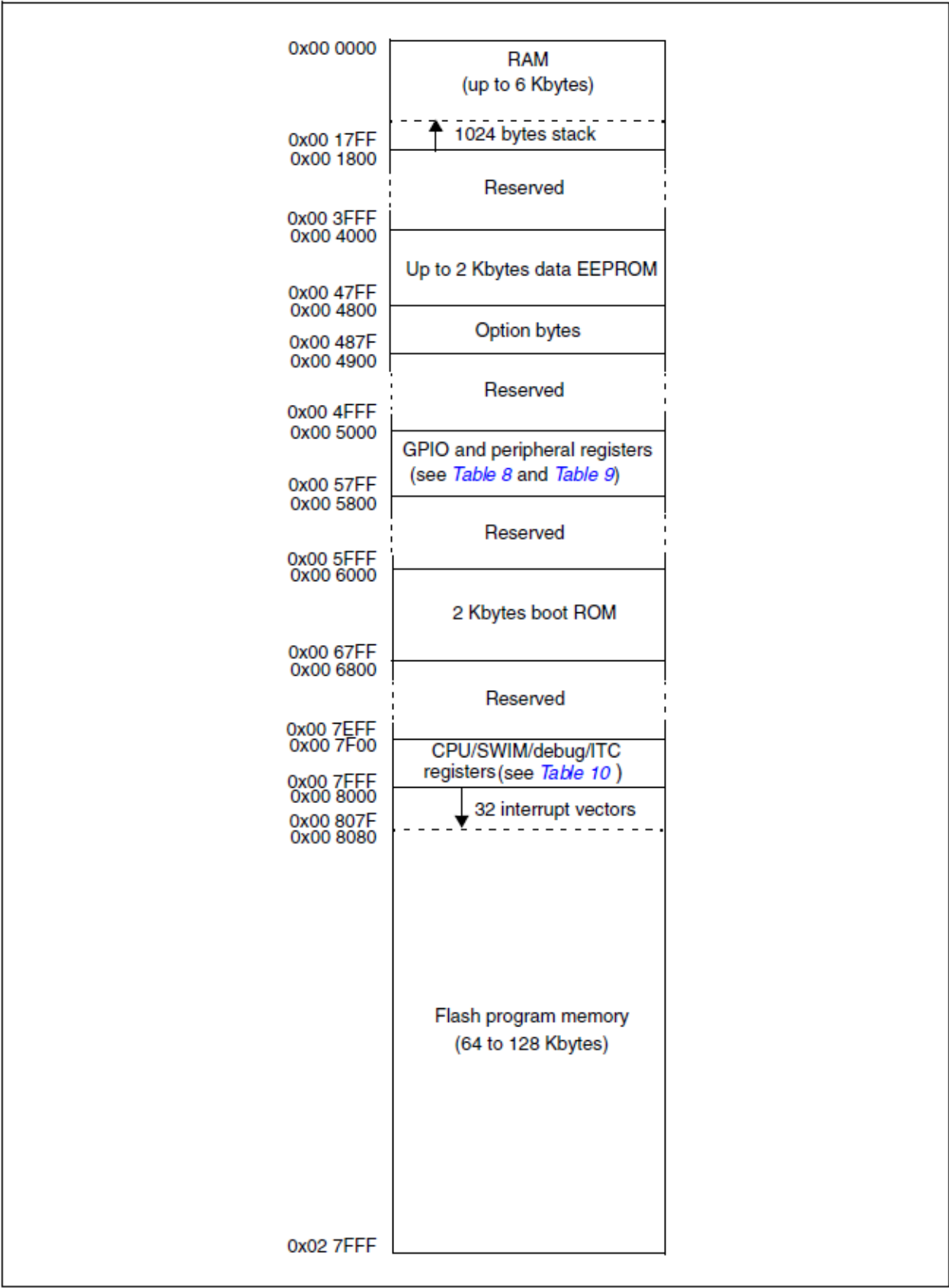


表7列出了每一种存储器的大小和边界地址，对于不同的RAM大小的情况下，堆栈的顶部都是RAM的结束地址。

表7 FLASH, Data EEPROM和RAM边界地址

存储器区域	大小(字节)	起始地址	结束地址
FLASH程序存储器	128K	0x00 8000	0x02 7FFF
	64K	0x00 8000	0x01 7FFF
	32K	0x00 8000	0x00 FFFF
RAM	6K	0x00 0000	0x00 17FF
	4K	0x00 0000	0x00 0FFF
	2K	0x00 0000	0x00 07FF
Data EEPROM	2048	0x00 4000	0x00 47FF
	1536	0x00 4000	0x00 45FF
	1024	0x00 4000	0x00 43FF

## 6.2 寄存器映射

表8 I/O端口硬件寄存器映射

地址	模组	寄存器标号	寄存器含义	复位值
00 5000h	端口A	PA_ODR	端口A数据输出锁存寄存器	00h
00 5001h		PA_IDR	端口A输入引脚值寄存器	00h
00 5002h		PA_DDR	端口A数据方向寄存器	00h
00 5003h		PA_CR1	端口A控制寄存器1	00h
00 5004h		PA_CR2	端口A控制寄存器2	00h
00 5005h	端口B	PB_ODR	端口B数据输出锁存寄存器	00h
00 5006h		PB_IDR	端口B输入引脚值寄存器	00h
00 5007h		PB_DDR	端口B数据方向寄存器	00h
00 5008h		PB_CR1	端口B控制寄存器1	00h
00 5009h		PB_CR2	端口B控制寄存器2	00h
00 500Ah	端口C	PC_ODR	端口C数据输出锁存寄存器	00h
00 500Bh		PC_IDR	端口C输入引脚值寄存器	00h
00 500Ch		PC_DDR	端口C数据方向寄存器	00h
00 500Dh		PC_CR1	端口C控制寄存器1	00h
00 500Eh		PC_CR2	端口C控制寄存器2	00h
00 500Fh	端口D	PD_ODR	端口D数据输出锁存寄存器	00h
00 5010h		PD_IDR	端口D输入引脚值寄存器	00h
00 5011h		PD_DDR	端口D数据方向寄存器	00h
00 5012h		PD_CR1	端口D控制寄存器1	00h
00 5013h		PD_CR2	端口D控制寄存器2	00h
00 5014h	端口E	PE_ODR	端口E数据输出锁存寄存器	00h
00 5015h		PE_IDR	端口E输入引脚值寄存器	00h
00 5016h		PE_DDR	端口E数据方向寄存器	00h
00 5017h		PE_CR1	端口E控制寄存器1	00h
00 5018h		PE_CR2	端口E控制寄存器2	00h
00 5019h	端口F	PF_ODR	端口F数据输出锁存寄存器	00h
00 501Ah		PF_IDR	端口F输入引脚值寄存器	00h
00 501Bh		PF_DDR	端口F数据方向寄存器	00h

00 501Ch		PF_CR1	端口F控制寄存器1	00h
00 501Dh		PF_CR2	端口F控制寄存器2	00h
00 501Eh	端口G	PG_ODR	端口G数据输出锁存寄存器	00h
00 501Fh		PG_IDR	端口G输入引脚值寄存器	00h
00 5020h		PG_DDR	端口G数据方向寄存器	00h
00 5021h		PG_CR1	端口G控制寄存器1	00h
00 5022h		PG_CR2	端口G控制寄存器2	00h
00 5023h	端口H	PH_ODR	端口H数据输出锁存寄存器	00h
00 5024h		PH_IDR	端口H输入引脚值寄存器	00h
00 5025h		PH_DDR	端口H数据方向寄存器	00h
00 5026h		PH_CR1	端口H控制寄存器1	00h
00 5027h		PH_CR2	端口H控制寄存器2	00h
00 5028h	端口I	PI_ODR	端口I数据输出锁存寄存器	00h
00 5029h		PI_IDR	端口I输入引脚值寄存器	00h
00 502Ah		PI_DDR	端口I数据方向寄存器	00h
00 502Bh		PI_CR1	端口I控制寄存器1	00h
00 502Ch		PI_CR2	端口I控制寄存器2	00h

表9 通用硬件寄存器映射

地址	模组	寄存器标号	寄存器含义	复位值
00 5050h to 00 5059h	保留区(10字节)			
00 505Ah	FLASH	FLASH_CR1	FLASH控制寄存器1	00h
00 505Bh		FLASH_CR2	FLASH控制寄存器2	00h
00 505Ch		FLASH_NCR2	FLASH互补控制寄存器2	FFh
00 505Dh		FLASH_FPR	FLASH保护寄存器	00h
00 505Eh		FLASH_NFPR	FLASH互补保护寄存器	FFh
00 505Fh		FLASH_IAPSR	FLASH在应用编程状态寄存器	00h
00 5060h to 00 5061h	保留区(2字节)			
00 5062h	FLASH	FLASH_PUKR	FLASH解保护寄存器	00h
00 5063h	保留区(1字节)			
00 5064h	FLASH	FLASH_DUKR	EEPROM解保护寄存器	00h
00 5065h to 00 509Fh	保留区(59字节)			
00 50A0h	ITC	EXTI_CR1	外部中断控制寄存器1	00h
00 50A1h		EXTI_CR2	外部中断控制寄存器2	00h
00 50A2h to 00 50B2h	保留区(17字节)			
00 50B3h	RST	RST_SR	复位状态寄存器	xxh
00 50B4h to 00 50BFh	保留区(12字节)			
00 50C0h	CLK	CLK_ICR	内部时钟控制寄存器	01h
00 50C1h		CLK_ECKR	外部时钟控制寄存器	00h

00 50C2h	保留区(1字节)			
00 50C3h	CLK	CLK_CMSR	主时钟状态寄存器	E1h
00 50C4h		CLK_SWR	主时钟切换寄存器	E1h
00 50C5h		CLK_SWCR	时钟切换控制寄存器	x0h
00 50C6h		CLK_CKDIVR	时钟分频寄存器	18h
00 50C7h		CLK_PCKENR1	外设时钟门控寄存器1	FFh
00 50C8h		CLK_CSSR	时钟安全系统寄存器	00h
00 50C9h		CLK_CCOR	可配置时钟控制寄存器	00h
00 50CAh		CLK_PCKENR2	外设时钟门控寄存器2	FFh
00 50CBh		CLK_CANCCR	CAN总线时钟控制寄存器	00h
00 50CCh		CLK_HSITRIMR	HIS时钟微调寄存器	xxh
00 50CDh		CLK_SWIMCCR	SWIM时钟控制寄存器	x0h
00 50CEh to 00 50D0h	保留区(3字节)			
00 50D1h	WWDG	WWDG_CR	WWDG控制寄存器	7Fh
00 50D2h		WWDG_WR	WWDR窗口寄存器	7Fh
00 50D3h to 00 50DFh	保留区(13字节)			
00 50E0h	IWDG	IWDG_KR	IWDG密钥寄存器	—
00 50C3h		IWDG_PR	IWDG预分频寄存器	00h
00 50C3h		IWDG_RLR	IWDG重装寄存器	FFh
00 50E3h to 00 50EFh	保留区(13字节)			
00 50F0h	AWU	AWU_CSR1	AWU控制/状态寄存器	00h
00 50F1h		AWU_APR	AWU异步预分频寄存器	3Fh
00 50F2h		AWU_TBR	AWU时基选择寄存器	00h
00 50F3h	BEEP	BEEP_CSR	BEEP控制/状态寄存器	1Fh
00 50F4h to 00 50FFh	保留区(12字节)			
00 5200h	SPI	SPI_CR1	SPI控制寄存器1	00h
00 5201h		SPI_CR2	SPI控制寄存器2	00h
00 5202h		SPI_ICR	SPI中断控制寄存器	00h
00 5203h		SPI_SR	SPI状态寄存器	02h
00 5204h		SPI_DR	SPI数据寄存器	00h
00 5205h		SPI_CRCPR	SPI CRC多项式寄存器	07h
00 5206h		SPI_RXCR	SPI接收CRC寄存器	FFh
00 5207h		SPI_TXCR	SPI发送CRC寄存器	FFh
00 5208h to 00 520Fh	保留区(8字节)			
00 5210h	I2C	I2C_CR1	I2C控制寄存器1	00h
00 5211h		I2C_CR2	I2C控制寄存器2	00h
00 5212h		I2C_FREQR	I2C频率寄存器	00h
00 5213h		I2C_OARL	I2C自身地址寄存器低位	00h
00 5214h		I2C_OARH	I2C自身地址寄存器高位	00h

00 5215h	保留区(1字节)			
00 5216h	I2C	I2C_DR	I2C数据寄存器	00h
00 5217h		I2C_SR1	I2C状态寄存器1	00h
00 5218h		I2C_SR2	I2C状态寄存器2	00h
00 5219h		I2C_SR3	I2C状态寄存器3	00h
00 521Ah		I2C_ITR	I2C中断控制寄存器	00h
00 521Bh		I2C_CCRL	I2C时钟控制寄存器低位	00h
00 521Ch		I2C_CCRH	I2C时钟控制寄存器高位	00h
00 521Dh		I2C_TRISER	I2C TRISE寄存器	02h
00 521Eh		I2C_PECR	I2C 包错误检查寄存器	00h
00 521Fh to 00 522Fh	保留区(17字节)			
00 5230h	UART1	UART1_SR	UART1状态寄存器	C0h
00 5231h		UART1_DR	UART1数据寄存器	xxh
00 5232h		UART1_BRR1	UART1波特率寄存器1	00h
00 5233h		UART1_BRR2	UART1波特率寄存器2	00h
00 5234h		UART1_CR1	UART1控制寄存器1	00h
00 5235h		UART1_CR2	UART1控制寄存器2	00h
00 5236h		UART1_CR3	UART1控制寄存器3	00h
00 5237h		UART1_CR4	UART1控制寄存器4	00h
00 5238h		UART1_CR5	UART1控制寄存器5	00h
00 5239h		UART1_GTR	UART1保护时间寄存器	00h
00 523Ah		UART1_PSCR	UART1预分频寄存器	00h
00 523Bh to 00 523Fh	保留区(5字节)			
00 5240h	UART2/3	UARTx_SR	UART 状态寄存器	C0h
00 5241h		UARTx_DR	UART 数据寄存器	xxh
00 5242h		UARTx_BRR1	UART 波特率寄存器1	00h
00 5243h		UARTx_BRR2	UART 波特率寄存器2	00h
00 5244h		UARTx_CR1	UART 控制寄存器1	00h
00 5245h		UARTx_CR2	UART 控制寄存器2	00h
00 5246h		UARTx_CR3	UART 控制寄存器3	00h
00 5247h		UARTx_CR4	UART 控制寄存器4	00h
00 5248h	保留区(1字节)			
00 5249h	UART2	UARTx_CR6	UART2控制寄存器6	00h
00 524Ah		UART2_GTR	UART2保护时间寄存器	00h
00 524Bh		UART2_PSCR	UART2预分频寄存器	00h
00 524Ch to 00 524Fh	保留区(4字节)			
00 5250h	TIM1	TIM1_CR1	TIM1控制寄存器1	00h
00 5251h		TIM1_CR2	TIM1控制检测器2	00h
00 5252h		TIM1_SMCR	TIM1从模式控制寄存器	00h
00 5253h		TIM1_ETR	TIM1外部触发寄存器	00h
00 5254h		TIM1_IER	TIM1中断使能寄存器	00h

00 5255h		TIM1_SR1	TIM1状态寄存器1	00h
00 5256h		TIM1_SR2	TIM1状态寄存器2	00h
00 5257h		TIM1_EGR	TIM1事件产生寄存器	00h
00 5258h		TIM1_CCMR1	TIM1比较/捕获模式寄存器1	00h
00 5259h		TIM1_CCMR2	TIM1比较/捕获模式寄存器2	00h
00 525Ah		TIM1_CCMR3	TIM1比较/捕获模式寄存器3	00h
00 525Bh		TIM1_CCMR4	TIM1比较/捕获模式寄存器4	00h
00 525Ch		TIM1_CCER1	TIM1比较/捕获使能寄存器1	00h
00 525Dh		TIM1_CCER2	TIM1比较/捕获使能寄存器2	00h
00 525Eh		TIM1_CNTRH	TIM1计数器高位	00h
00 525Fh		TIM1_CNTRL	TIM1计数器低位	00h
00 5260h		TIM1_PSCRH	TIM1预分频寄存器高位	00h
00 5261h		TIM1_PSCRL	TIM1预分频寄存器低位	00h
00 5262h		TIM1_ARRH	TIM1预装载寄存器高位	FFh
00 5263h		TIM1_ARRL	TIM1预装载寄存器低位	FFh
00 5264h		TIM1_RCR	TIM1重复计数器寄存器	00h
00 5265h		TIM1_CCR1H	TIM1比较/捕获寄存器1高位	00h
00 5266h		TIM1_CCR1L	TIM1比较/捕获寄存器1低位	00h
00 5267h		TIM1_CCR2H	TIM1比较/捕获寄存器2高位	00h
00 5268h		TIM1_CCR2L	TIM1比较/捕获寄存器2低位	00h
00 5269h		TIM1_CCR3H	TIM1比较/捕获寄存器3高位	00h
00 526Ah		TIM1_CCR3L	TIM1比较/捕获寄存器3低位	00h
00 526Bh		TIM1_CCR4H	TIM1比较/捕获寄存器4高位	00h
00 526Ch		TIM1_CCR4L	TIM1比较/捕获寄存器4低位	00h
00 526Dh		TIM1_BKR	TIM1中断寄存器	00h
00 526Eh		TIM1_DTR	TIM1死区寄存器	00h
00 526Fh		TIM1_OISR	TIM1输出停滞状态寄存器	00h
00 5270h to 00 52FFh	保留区(147字节)			
00 5300h	TIM2	TIM2_CR1	TIM2控制寄存器1	00h
00 5301h		TIM2_CR2	TIM2控制检测器2	00h
00 5302h		TIM2_SR1	TIM2状态寄存器1	00h
00 5303h		TIM2_SR2	TIM2状态寄存器2	00h
00 5304h		TIM2_EGR	TIM2事件产生寄存器	00h
00 5305h		TIM2_CCMR1	TIM2比较/捕获寄存器1	00h
00 5306h		TIM2_CCMR2	TIM2比较/捕获寄存器2	00h
00 5307h		TIM2_CCMR3	TIM2比较/捕获寄存器3	00h
00 5308h		TIM2_CCER1	TIM2比较/捕获使能寄存器1	00h
00 5309h		TIM2_CCER2	TIM2比较/捕获使能寄存器2	00h
00 530Ah		TIM2_CNTRH	TIM2计数器高位	00h
00 530Bh		TIM2_CNTRL	TIM2计数器低位	00h
00 530Ch		TIM2_PSCR	TIM2预分频寄存器	00h
00 530Dh		TIM2_ARRH	TIM2预装载寄存器高位	FFh
00 530Eh		TIM2_ARRL	TIM2预装载寄存器低位	FFh

00 530Fh		TIM2_CCR1H	TIM2比较/捕获寄存器1高位	00h
00 5310h		TIM2_CCR1L	TIM2比较/捕获寄存器1低位	00h
00 5311h		TIM2_CCR2H	TIM2比较/捕获寄存器2高位	00h
00 5312h		TIM2_CCR2L	TIM2比较/捕获寄存器2低位	00h
00 5313h		TIM2_CCR3H	TIM2比较/捕获寄存器2高位	00h
00 5314h		TIM2_CCR3L	TIM2比较/捕获寄存器2低位	00h
00 5315h to 00 531Fh	保留区(11字节)			
00 5320h	TIM3	TIM3_CR1	TIM3控制寄存器1	00h
00 5321h		TIM3_IER	TIM3中断使能寄存器	00h
00 5322h		TIM3_SR1	TIM3状态寄存器1	00h
00 5323h		TIM3_SR2	TIM3状态寄存器2	00h
00 5324h		TIM3_EGR	TIM3事件产生寄存器	00h
00 5325h		TIM3_CCMR1	TIM3比较/捕获寄存器1	00h
00 5326h		TIM3_CCMR2	TIM3比较/捕获寄存器2	00h
00 5327h		TIM3_CCER1	TIM3比较/捕获使能寄存器1	00h
00 5328h		TIM3_CNTRH	TIM3计数器高位	00h
00 5329h		TIM3_CNTRL	TIM3计数器低位	00h
00 532Ah		TIM3_PSCR	TIM3预分频寄存器	00h
00 532Bh		TIM3_ARRH	TIM3预装载寄存器高位	FFh
00 532Ch		TIM3_ARRL	TIM3预装载寄存器低位	FFh
00 532Dh		TIM3_CCR1H	TIM3比较/捕获寄存器1高位	00h
00 532Eh		TIM3_CCR1L	TIM3比较/捕获寄存器1低位	00h
00 532Fh		TIM3_CCR2H	TIM3比较/捕获寄存器2高位	00h
00 5330h		TIM3_CCR2L	TIM3比较/捕获寄存器2低位	00h
00 5331h to 00 533Fh	保留区(11字节)			
00 5340h	TIM4	TIM4_CR1	TIM4控制寄存器1	00h
00 5341h		TIM4_IER	TIM4中断使能寄存器	00h
00 5342h		TIM4_SR	TIM4状态寄存器	00h
00 5343h		TIM4_EGR	TIM4事件产生寄存器	00h
00 5344h		TIM4_CNTR	TIM4计数器	00h
00 5345h		TIM4_PSCR	TIM4预分频寄存器	00h
00 5346h		TIM4_ARR	TIM4预装载寄存器	FFh
00 5347h to 00 53FFh	保留位(185字节)			
00 5400h	ADC2	ADC_CSR	ADC控制/状态寄存器	00h
00 5401h		ADC_CR1	ADC配置寄存器1	00h
00 5402h		ADC_CR2	ADC配置寄存器2	00h
00 5403h		ADC_CR3	ADC配置寄存器3	00h
00 5404h		ADC_DRH	ADC数据寄存器高位	未定义
00 5405h		ADC_DRL	ADC数据寄存器低位	未定义
00 5406h		ADC_TDRH	ADC施密特触发器禁用寄存器高位	00h
00 5407h		ADC_TDRL	ADC施密特触发器禁用寄存器低位	00h



00 5408h to 00 541Fh	保留区(24字节)			
00 5420h	beCAN	CAN_MCR	CAN主控制寄存器	02h
00 5421h		CAN_MSR	CAN主状态寄存器	02h
00 5422h		CAN_TSR	CAN发送状态寄存器	00h
00 5423h		CAN_TPR	CAN发送优先级寄存器	0Ch
00 5424h		CAN_RFR	CAN接收FIFO寄存器	00h
00 5425h		CAN_IER	CAN中断使能寄存器	00h
00 5426h		CAN_DGR	CAN诊断寄存器	0Ch
00 5427h		CAN_FPSR	CAN页选择寄存器	00h
00 5428h		CAN_P0	CAN分页寄存器0	
00 5429h		CAN_P1	CAN分页寄存器1	
00 542Ah		CAN_P2	CAN分页寄存器2	
00 542Bh		CAN_P3	CAN分页寄存器3	
00 542Ch		CAN_P4	CAN分页寄存器4	
00 542Dh		CAN_P5	CAN分页寄存器5	
00 542Eh		CAN_P6	CAN分页寄存器6	
00 542Fh		CAN_P7	CAN分页寄存器7	
00 5430h		CAN_P8	CAN分页寄存器8	
00 5431h		CAN_P9	CAN分页寄存器9	
00 5432h		CAN_PA	CAN分页寄存器A	
00 5433h		CAN_PB	CAN分页寄存器B	
00 5434h		CAN_PC	CAN分页寄存器C	
00 5435h		CAN_PD	CAN分页寄存器D	
00 5436h		CAN_PE	CAN分页寄存器E	
00 5437h		CAN_PF	CAN分页寄存器F	
00 5438h to 00 57FFh	保留区(968字节)			

表10 CPU/SWIM/调试模块/中断控制寄存器

地址	模组	寄存器标号	寄存器含义	复位值
00 7F00h	CPU <sup>(1)</sup>	A	累加器	00h
00 7F01h		PCE	程序计数器扩展字节	00h
00 7F02h		PCH	程序计数器高字节	00h
00 7F03h		PCL	程序计数器低字节	00h
00 7F04h		XH	X索引寄存器高字节	00h
00 7F05h		XL	X索引寄存器低字节	00h
00 7F06h		YH	Y索引寄存器高字节	00h
00 7F07h		YL	Y索引寄存器低字节	00h
00 7F08h		SPH	堆栈指针高字节	0x17 <sup>(1)</sup>
00 7F09h		SPL	堆栈指针低字节	00h
00 7F0Ah		CCR	条件代码寄存器	00h
00 7F0Bh to 00 7F5Fh	保留区(85字节)			
00 7F60h	CPU	CFG_GCR	全局配置寄存器	00h

00 7F70h	ITC	ITC_SPR1	中断软件优先级寄存器1	FFh
00 7F71h		ITC_SPR2	中断软件优先级寄存器2	FFh
00 7F72h		ITC_SPR3	中断软件优先级寄存器3	FFh
00 7F73h		ITC_SPR4	中断软件优先级寄存器4	FFh
00 7F74h		ITC_SPR5	中断软件优先级寄存器5	FFh
00 7F75h		ITC_SPR6	中断软件优先级寄存器6	FFh
00 7F76h		ITC_SPR7	中断软件优先级寄存器7	FFh
00 7F77h		ITC_SPR8	中断软件优先级寄存器8	FFh
00 7F78h to 00 7F79h	保留区(2字节)			
00 7F80h	SWIM	SWIM_CSR	SWIM控制状态寄存器	00h
00 7F81h to 00 7F8Fh	保留区(15字节)			
00 7F90h	DM	DM_BK1RE	DM断点1寄存器扩展字节	FFh
00 7F91h		DM_BK1RH	DM断点1寄存器高字节	FFh
00 7F92h		DM_BK1RL	DM断点1寄存器低字节	FFh
00 7F93h		DM_BK2RE	DM断点2寄存器扩展字节	FFh
00 7F94h		DM_BK2RH	DM断点2寄存器高字节	FFh
00 7F95h		DM_BK2RL	DM断点2寄存器低字节	FFh
00 7F96h		DM_CR1	DM调试模块控制寄存器1	00h
00 7F97h		DM_CR2	DM调试模块控制寄存器2	00h
00 7F98h		DM_CSR1	DM调试模块控制/状态寄存器1	00h
00 7F99h		DM_CSR2	DM调试模块控制/状态寄存器2	00h
00 7F9Ah		DM_ENFCTR	DM使能功能寄存器	00h
00 7F9Bh to 00 7F9Fh	保留区(5字节)			

1. 只有调试模块可以读取
2. 该值与具体型号有关，请参考6.1。

## 7 中断向量映射

表11 中断映射

IRQ no.	Source block	Description	Wakeup from halt mode	Wakeup from active-halt mode	Vector address
	RESET	Reset	Yes	Yes	0x00 8000
	TRAP	Software interrupt	-	-	0x00 8004
0	TLI	External top level interrupt	-	-	0x00 8008
1	AWU	Auto wake up from halt	-	Yes	0x00 800C
2	CLK	Clock controller	-	-	0x00 8010
3	EXTI0	Port A external interrupts	Yes <sup>(1)</sup>	Yes <sup>(1)</sup>	0x00 8014
4	EXTI1	Port B external interrupts	Yes	Yes	0x00 8018
5	EXTI2	Port C external interrupts	Yes	Yes	0x00 801C
6	EXTI3	Port D external interrupts	Yes	Yes	0x00 8020
7	EXTI4	Port E external interrupts	Yes	Yes	0x00 8024
8	beCAN	beCAN RX interrupt	Yes	Yes	0x00 8028
9	beCAN	beCAN TX/ER/SC interrupt	-	-	0x00 802C
10	SPI	End of transfer	Yes	Yes	0x00 8030
11	TIM1	TIM1 update/overflow/underflow/ trigger/break	-	-	0x00 8034
12	TIM1	TIM1 capture/compare	-	-	0x00 8038
13	TIM2	TIM2 update /overflow	-	-	0x00 803C
14	TIM2	TIM2 capture/compare	-	-	0x00 8040
15	TIM3	Update/overflow	-	-	0x00 8044
16	TIM3	Capture/compare	-	-	0x00 8048
17	UART1	Tx complete	-	-	0x00 804C
18	UART1	Receive register DATA FULL	-	-	0x00 8050
19	I <sup>2</sup> C	I <sup>2</sup> C interrupt	Yes	Yes	0x00 8054
20	UART3	Tx complete	-	-	0x00 8058
21	UART3	Receive register DATA FULL	-	-	0x00 805C
22	ADC2	ADC2 end of conversion	-	-	0x00 8060
23	TIM4	TIM4 update/overflow	-	-	0x00 8064
24	Flash	EOP/WR_PG_DIS	-	-	0x00 8068
Reserved					0x00 806C to 0x00 807C

1. PA1 除外

## 8 选项字节

选项字节包括芯片硬件特性的配置和存储器的保护状态，这些字节保存在存储器中一个专用的块内。除了ROP(read-out protection, 读出保护)字节，每个选项字节必须被保存两次，一个是通常的格式(OPTx)和一个用来备份的互补格式。

可以在ICP模式(通过SWIM)下访问表6中EEPROM的地址来修改选项字节。选项字节也可以通过应用程序在IAP模式下运行的时候修改，但是ROP和UBC选项只能在ICP模式(通过SWIM)下被修改。

有关SWIM编程过程的内容请参考STM8S Flash编程手册(PM0051)和STM8 SWIM通信协议和调试模块用户手册(UM0470)。

表12 选项字节

Addr.	Option name	Option byte no.	Option bits								Factory default setting
			7	6	5	4	3	2	1	0	
4800h	Read-out protection (ROP)	OPT0	ROP[7:0]								00h
4801h	User boot code(UBC)	OPT1	UBC[7:0]								00h
4802h		NOPT1	NUBC[7:0]								FFh
4803h	Alternate function remapping (AFR)	OPT2	AFR7	AFR6	AFR5	AFR4	AFR3	AFR2	AFR1	AFR0	00h
4804h		NOPT2	NAFR7	NAFR6	NAFR5	NAFR4	NAFR3	NAFR2	NAFR1	NAFR0	FFh
4805h	Watchdog option	OPT3	Reserved				LSI_EN	IWDG_HW	WWDG_HW	WWDG_HALT	00h
4806h		NOPT3	Reserved				NLSI_EN	NIWDG_HW	NWWDG_HW	NWWDG_HALT	FFh
4807h	Clock option	OPT4	Reserved				EXT_CLK	CKAWU_SEL	PRS_C1	PRS_C0	00h
4808h		NOPT4	Reserved				NEXT_CLK	NCKAWU_SEL	NPR_SC1	NPR_SC0	FFh
4809h	HSE clock startup	OPT5	HSECNT[7:0]								00h
480Ah		NOPT5	NHSECNT[7:0]								FFh
480Bh	Reserved	OPT6	Reserved								00h
480Ch		NOPT6	Reserved								FFh
480Dh	Flash wait states	OPT7	Reserved							Wait state	00h
480Eh		NOPT7	Reserved							Nwait state	FFh
487Eh	Bootloader	OPTBL	BL[7:0]								00h
487Fh		NOPTBL	NBL[7:0]								FFh

表13 选项字节描述

选项字节	描 述
OPT0	<b>ROP[7:0]</b> 存储器读出保护(ROP, read-out protection) 0xAA: 读出保护使能(通过SWIM协议写访问) <i>Note: 详细内容请参考产品参考手册(RM0016)中关于Flash/EEPROM存储器读保护内容的章节</i>
OPT1	<b>UBC[7:0]</b> 用户启动代码区域 0x00: 没有UBC, 没有写保护 0x01: 页0~页1定义为UBC, 存储器写保护 0x02: 页0~页3定义为UBC, 存储器写保护 0x03: 页0~页4定义为UBC, 存储器写保护 ... 0xFE: 页0~页255定义为UBC, 存储器写保护 0xFF: 保留定义 <i>Note: 详细内容请参考产品参考手册(RM0016)中关于Flash/EEPROM存储器写保护内容的章节</i>
OPT2	<b>AFR7</b> 被选功能重映射选项7 0: 端口D4备选功能为TIM2_CH1 1: 端口D4备选功能为BEEP <b>AFR6</b> 被选功能重映射选项6 0: 端口B5备选功能为AIN5, 端口B4备选功能为AIN4 1: 端口B5备选功能为I <sup>2</sup> C_SDA, 端口B4备选功能为I <sup>2</sup> C_SCL <b>AFR5</b> 被选功能重映射选项5 0: 端口B3备选功能为AIN3, 端口B2备选功能为AIN2, 端口B1备选功能为AIN1, 端口B0备选功能为AIN0 1: 端口B3备选功能为TIM1_ETR, 端口B2备选功能为TIM1_CH3N, 端口B1备选功能为TIM1_CH2N, 端口B0备选功能为TIM1_CH1N <b>AFR4</b> 被选功能重映射选项4 0: 端口D7备选功能为TLI 1: 端口D7备选功能为TIM1_CH4 <b>AFR3</b> 被选功能重映射选项3 0: 端口D0备选功能为TIM3_CH2 1: 端口D0备选功能为TIM1_BKIN <b>AFR2</b> 被选功能重映射选项2 0: 端口D0备选功能为TIM3_CH2 1: 端口D0备选功能为CLK_CCO <b>AFR1</b> 被选功能重映射选项1 0: 端口A3备选功能为TIM2_CH3, 端口D2备选功能为TIM3_CH1 1: 端口A3备选功能为TIM3_CH1, 端口D2备选功能为TIM2_CH3 <b>AFR0</b> 被选功能重映射选项0 0: 端口D3备选功能为TIM2_CH2 1: 端口D3备选功能为ADC_ETR
OPT3	<b>LSI_EN:</b> 低速内部时钟使能 0: LSI时钟不能被用作CPU的时钟源 1: LSI时钟可以被用作CPU的时钟源 <b>IWDG_HW:</b> 独立看门狗

	0: IWDG独立看门狗由软件激活 1: IWDG独立看门狗由硬件激活
	<b>WWDG_HW:</b> 窗口看门狗激活 0: WWDG窗口看门狗由软件激活 1: WWDG窗口看门狗由硬件激活
	<b>WWDG_HALT:</b> 当芯片进入暂停模式时窗口看门狗的复位动作 0: 如果窗口看门狗使能, 当芯片进入暂停模式时不产生复位 1: 如果窗口看门狗使能, 当芯片进入暂停模式时可以产生复位
OPT4	<b>EXT_CLK:</b> 外部时钟选择 0: 外部晶体振荡器连接到OSCIN/OSCOUT引脚上 1: 外部时钟连接到OSCIN引脚上
	<b>CKAWUSEL:</b> 自动唤醒单元/时钟 0: LSI时钟源作为AWU的时钟 1: HSE分频后的时钟作为AWU的时钟源
	<b>PRSC[1:0]:</b> AWU时钟预分频 00: 24MHz到128kHz分频 01: 16MHz到128kHz分频 10: 8MHz到128kHz分频 11: 4MHz到128kHz分频
OPT5	<b>HSECNT[7:0]:</b> HSE晶体振荡器稳定时间 0x00: 2048个HSE周期 0xB4: 128个HSE周期 0xD2: 8个HSE周期 0xE1: 0.5个HSE周期
OPT6	保留
OPT7	<b>WAITSTATE:</b> 等待状态配置 这个选项设置从Flash或EEPROM存储器中读取数据时插入的等待周期。当fCPU > 16 MHz时需要一个等待周期 0: 无等待 1: 1的等待周期
OPTBL	<b>BL[7:0]:</b> 启动引导选项字节 复位后引导ROM中的程序检查这个选项。同时根据复位向量中的内容决定CPU跳到引导程序还是复位向量运行。 更多信息请参考STM8S引导程序手册。

## 9 电气特性

### 9.1 参数条件

除非特别说明，所有电压的都以VSS为基准。

#### 9.1.1 最小和最大值

除非特别说明，在生产线上通过对100%的产品在环境温度 $T_A=25^{\circ}\text{C}$ 和 $T_A=T_{Amax}$ 下执行的测试( $T_{Amax}$ 与选定的温度范围匹配)，所有最小和最大值将在最坏的环境温度、供电电压和时钟频率条件下得到保证。

在每个表格下方的注解中说明为通过推算、设计模拟和/或工艺特性得到的数据，不会在生产线上进行测试；在推算的基础上，最小和最大数值是通过样本测试后，取其平均值再加减三倍的标准分布(平均 $\pm 3\sigma$ )得到。

#### 9.1.2 典型数值

除非特别说明，典型数据是基于 $T_A=25^{\circ}\text{C}$ 和 $V_{DD}=3.3\text{V}$ ( $2\text{V} \leq V_{DD} \leq 3.3\text{V}$ 电压范围)。这些数据仅用于设计指导而未经测试。

典型的ADC精度数值是通过对一个标准的批次采样，在所有温度范围下测试得到，95%产品的误差小于等于给出的数值(平均 $\pm 2\sigma$ )。

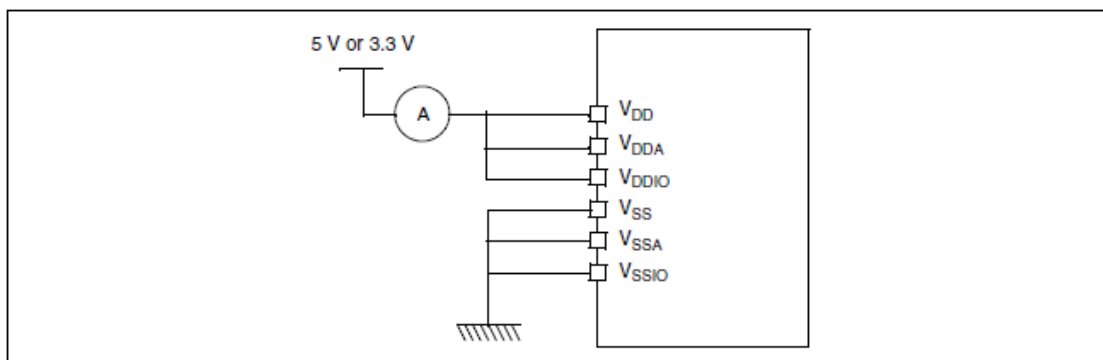
#### 9.1.3 典型曲线

除非特别说明，典型曲线仅用于设计指导而未经测试。

#### 9.1.4 典型电流消耗

测量典型电流消耗时， $V_{DD}$ ， $V_{DDIO}$ 和 $V_{DDA}$ 连接在一起，如下图所示。

图9 供电电流测量条件

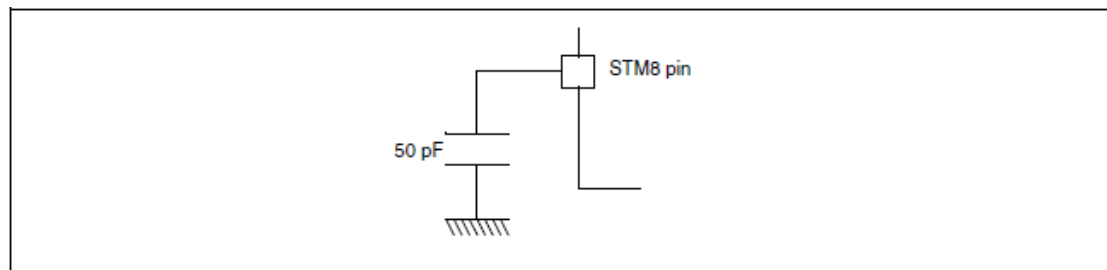


#### 9.1.5 引脚负载条件

#### 9.1.6 负载电容

测量引脚参数时的负载条件如下图所示。

图10 引脚负载条件

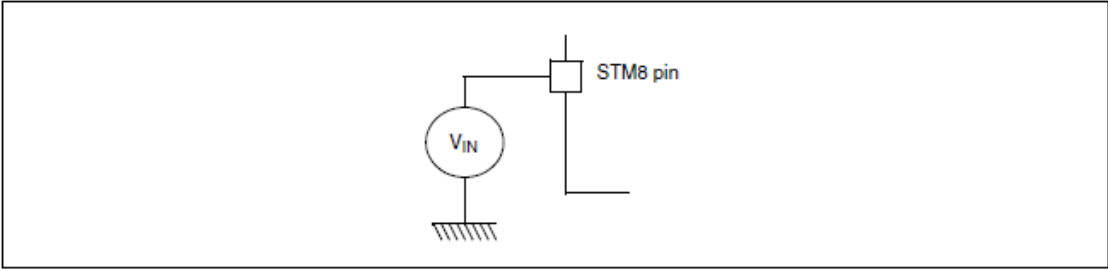




### 9.1.7 引脚输入电压

引脚上的输入电压测量如下图所示。

图11 引脚输入电压



## 9.2 绝对最大额定值

加在器件上的载荷如果超过‘绝对最大额定值’列表中给出的值会导致器件永久性地损坏。这里只是给出能承受的最大载荷，并不意味着在此条件下器件的功能性操作无误。器件长期工作在最大值条件下会影响器件的可靠性。

表14 电压特性

符号	描述	最小值	最大值	单位
$V_{DDx} - V_{SS}$	供电电压(包括 $V_{DDA}$ 和 $V_{DDIO}$ ) <sup>(1)</sup>	-0.3	6.5	V
$V_{IN}$	在真正开漏引脚(PE1, PE1)上的输入电压	$V_{SS}-0.3$	6.5	
	在其他引脚上的输入电压 <sup>(2)</sup>	$V_{SS}-0.3$	$V_{DD}+0.3$	
$ V_{DDx} - V_{DD} $	不同供电引脚之间的电压差		50	mV
$ V_{SSx} - V_{SS} $	不同接地引脚之间的电压差		50	
$V_{ESD}$	ESD静电放电电压	参考‘绝对最大额定值’列表		

- 所有的电源( $V_{DD}$ 、 $V_{DDIO}$ 、 $V_{DDA}$ )和地( $V_{SS}$ 、 $V_{SSIO}$ 、 $V_{SSA}$ )引脚必须一直连接到外部对应的供电引脚上。
- 绝对不可以超过  $I_{INJ}(PIN)$  的极限。当  $V_{IN}$  不超过其最大值时， $I_{INJ}(PIN)$  也不会超过其最大值。如果  $V_{IN}$  超过  $V_{IN}$  的最大值时，注入电流必须通过在外加以限制，使其在允许的极值之内。当  $V_{IN} > V_{DD}$  时，有一个正向注入电流；当  $V_{IN} < V_{DD}$  时，有一个负向注入电流。对于真正开漏的引脚，没有正向注入电流， $V_{IN}$  的最大值必须得到保证。

表15 电流特性

符号	描述	最大值 <sup>(1)</sup>	单位
$I_{VDD}$	经过 $V_{DD}$ 电源线的总电流(拉电流) <sup>(2)</sup>	60	mA
$I_{VSS}$	经过 $V_{SS}$ 地线的总电流(灌电流) <sup>(2)</sup>	60	
$I_{IO}$	任意I/O和控制引脚上的输出灌电流	20	
	任意I/O和控制引脚上的输出拉电流	20	
$\Sigma I_{IO}$	所有I/O和控制引脚上的总输出拉电流(有2个 $V_{DDIO}$ 的器件) <sup>(3)</sup>	200	
	所有I/O和控制引脚上的总输出拉电流(有1个 $V_{DDIO}$ 的器件) <sup>(3)</sup>	100	
	所有I/O和控制引脚上的总输出灌电流(有1个 $V_{DDIO}$ 的器件) <sup>(3)</sup>	160	
	所有I/O和控制引脚上的总输出灌电流(有1个 $V_{DDIO}$ 的器件) <sup>(3)</sup>	80	
$I_{INJ}(PIN)$ <sup>(4) (5)</sup>	NRST引脚的注入电流	+/-4	
	OSCIN引脚的注入电流	+/-4	
	其他引脚的注入电流 <sup>(6)</sup>	+/-4	
$\Sigma I_{INJ}(PIN)$ <sup>(4)</sup>	所有I/O和控制引脚上的总注入电流 <sup>(6)</sup>	+/-20	

- 数据基于特性总结得出，没有在产品上测试。
- 所有的电源( $V_{DD}$ 、 $V_{DDIO}$ 、 $V_{DDA}$ )和地( $V_{SS}$ 、 $V_{SSIO}$ 、 $V_{SSA}$ )引脚必须一直连接到外部对应的供电引脚上。



- 同时使用的用于大电流 I/O(灌电流或拉电流)必须均匀地分配在  $V_{DD}/V_{SSIO}$  的引脚之间。
- 绝对不可以超过  $I_{INJ(PIN)}$  的极限。当  $V_{IN}$  不超过其最大值时,  $I_{INJ(PIN)}$  也不会超过其最大值。如果  $V_{IN}$  超过  $V_{IN}$  的最大值时, 注入电流必须通过在外部加以限制, 使其在允许的极值之内。当  $V_{IN} > V_{DD}$  时, 有一个正向注入电流; 当  $V_{IN} < V_{DD}$  时, 有一个负向注入电流。对于真正开漏的引脚, 没有正向注入电流,  $V_{IN}$  的最大值必须得到保证。
- 负注入电流会干扰器件的模拟性能。请看 9.3.10
- 当几个 I/O 口同时有注入电流时,  $\Sigma I_{INJ(PIN)}$  的最大值为正向注入电流与负向注入电流的即时绝对值之和。该结果基于在器件 4 个 I/O 端口上  $\Sigma I_{INJ(PIN)}$  最大值的特性。

表16 热特性

符号	描述	数值	单位
$T_{STG}$	保存温度范围	-65 到 +150	°C
$T_J$	最大结温	150	

## 9.3 工作条件

表17 通用操作条件

Symbol	Parameter	Conditions	Min	Max	Unit
$f_{CPU}$	Internal CPU clock frequency	$T_A \leq 105^\circ\text{C}$	0	24	MHz
			0	16	MHz
$V_{DD}/V_{DD\_IO}$	Standard operating voltage		2.95	5.5	V
$C_{EXT}$	VCAP external capacitor <sup>(1)</sup>	$0.05 \leq ESR \leq 0.2\Omega$ at 1 MHz	470	3300	nF
$P_D^{(2)}$	Power dissipation at $T_A = 85^\circ\text{C}$ for suffix 6 or $T_A = 125^\circ\text{C}$ for suffix 3	44, 48, 64, and 80-pin devices, with output on 8 standard ports, 2 high sink ports and 2 open drain ports simultaneously <sup>(3)</sup>		443	mW
		32-pin package, with output on 8 standard ports and 2 high sink ports simultaneously <sup>(3)</sup>		360	
$T_A$	Ambient temperature for 6 suffix version	Maximum power dissipation	-40	85	°C
		Low power dissipation <sup>(4)</sup>	-40	105	
	Ambient temperature for 3 suffix version	Maximum power dissipation	-40	125	
		Low power dissipation <sup>(4)</sup>	-40	140	
$T_J$	Junction temperature range	6 suffix version	-40	105	
		3 suffix version	-40	130 <sup>(5)</sup>	

- 由于误差、温度的依赖性、直流偏致和频率变化等因素, 需要谨慎地选择电容器。
- 使用公式  $P_{Dmax} = (T_{Jmax} - T_A)/\theta_{JA}$  来计算  $P_{Dmax}(T_A)$ , 参见(10.2 节 热特性),  $T_{Jmax}$  的值在表 17 中给出,  $\theta_{JA}$  在表 56 中给出。
- 计算方法参考 10.2 节
- 在低功耗的状态, 由于  $T_J$  没有超过  $T_{Jmax}$  因此  $T_A$  能达到该温度范围。
- $T_{Jmax}$  的给出是依据测试界限, 超过该值的产品性能是不保证的。

图12 不同f<sub>CPUmax</sub>及V<sub>DD</sub>情况下的MCU工作情况

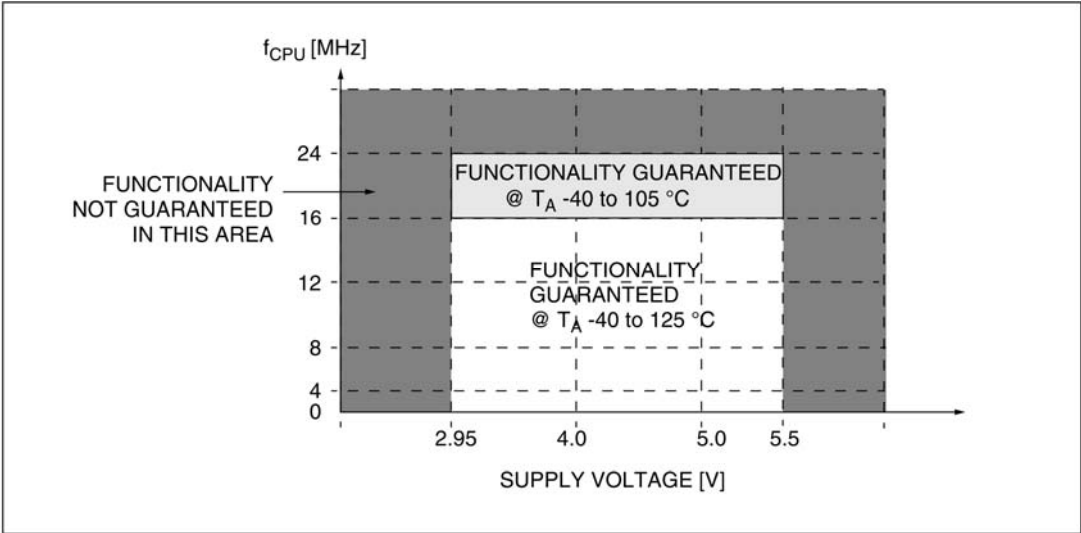


表18 在上电/掉电时的工作条件

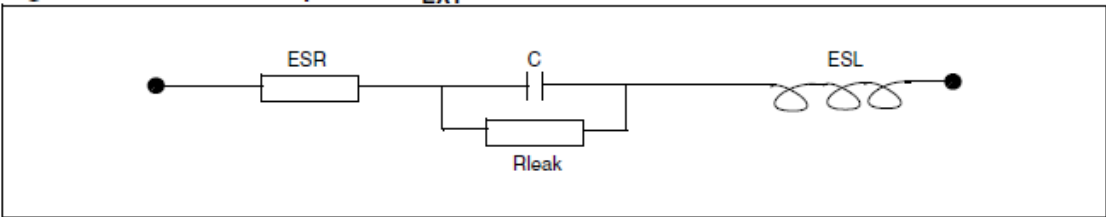
Symbol	Parameter	Conditions	Min	Typ	Max	Unit
t <sub>VDD</sub>	V <sub>DD</sub> rise time rate		2 <sup>(1)</sup>		∞	μs/V
	V <sub>DD</sub> fall time rate		2 <sup>(1)</sup>		∞	
t <sub>TEMP</sub>	Reset release delay	V <sub>DD</sub> rising			1.7 <sup>(1)</sup>	ms
V <sub>IT+</sub>	Power-on reset threshold		2.65	2.8	2.95	V
V <sub>IT-</sub>	Brown-out reset threshold		2.58	2.73	2.88	V
V <sub>HYS(BOR)</sub>	Brown-out reset hysteresis			70		mV

1. 由设计保证，未在产品上测试。

9.3.1 VCAP外部电容

通过在VCAP脚上加一个外部电容来保证主电压调节器的稳定。该电容的典型值为470nF，同时具有较低的等效串联电阻(ESR)。要注意引脚上的串联电感值要小于15nH。

图13 外部电容



1. 符号说明：ESR 是指等效串联电阻，ESL是指等效电感

9.3.2 供电电流特性

电流消耗如图9所示来测量。

在运行模式下的总电流消耗

MCU处于以下条件中：

- 所有的I/O口工作于输入模式，并被连接到VDD或VSS(无负载)。
- 除非明确提及，所有外设都停止工作(通过配置外设时钟门控寄存器来停止时钟)。



- 当F<sub>cpu</sub>为24MHz时,  $T_A \leq 105^\circ\text{C}$ 并且选择字节中WAITSTATE位被置1。

运行在通常的V<sub>DD</sub>及T<sub>A</sub>条件下。

表19 在V<sub>DD</sub>=5.0V, MCU处于运行模式执行代码时的总电流消耗

Symbol	Parameter	Conditions	Typ	Max	Unit
I <sub>DD(RUN)</sub>	Supply current in run mode, code executed from RAM	f <sub>CPU</sub> = f <sub>MASTER</sub> = 24 MHz, T <sub>A</sub> ≤ 105 °C	HSE crystal osc. (24 MHz)	4.4	
			HSE user ext. clock (24 MHz)	3.7	7.3 <sup>(1)</sup>
		f <sub>CPU</sub> = f <sub>MASTER</sub> = 16 MHz	HSE crystal osc. (16 MHz)	3.3	
			HSE user ext. clock (16 MHz)	2.7	5.8
			HSI RC osc. (16 MHz)	2.5	3.4
		f <sub>CPU</sub> = f <sub>MASTER</sub> /128 = 125 kHz	HSE user ext. clock (16 MHz)	1.2	4.1 <sup>(1)</sup>
			HSI RC osc. (16 MHz)	1.0	1.3 <sup>(1)</sup>
		f <sub>CPU</sub> = f <sub>MASTER</sub> /128 = 15.625 kHz	HSI RC osc. (16 MHz/8)	0.55	
	Supply current in run mode, code executed from Flash	f <sub>CPU</sub> = f <sub>MASTER</sub> = 24 MHz, T <sub>A</sub> ≤ 105 °C	LSI RC osc. (128 kHz)	0.45	
		f <sub>CPU</sub> = f <sub>MASTER</sub> = 16 MHz	f <sub>CPU</sub> = f <sub>MASTER</sub> = 24 MHz, T <sub>A</sub> ≤ 105 °C		
			HSE crystal osc. (24 MHz)	11.4	
			HSE user ext. clock (24 MHz)	10.8	18 <sup>(1)</sup>
		f <sub>CPU</sub> = f <sub>MASTER</sub> = 16 MHz	HSE crystal osc. (16 MHz)	9.0	
			HSE user ext. clock (16 MHz)	8.2	15.2 <sup>(1)</sup>
			HSI RC osc.(16 MHz)	8.1	13.2 <sup>(1)</sup>
		f <sub>CPU</sub> = f <sub>MASTER</sub> = 2 MHz.	HSI RC osc. (16 MHz/8) <sup>(2)</sup>	1.5	
		f <sub>CPU</sub> = f <sub>MASTER</sub> /128 = 125 kHz	HSI RC osc. (16 MHz)	1.1	
		f <sub>CPU</sub> = f <sub>MASTER</sub> /128 = 15.625 kHz	HSI RC osc. (16 MHz/8)	0.6	
		f <sub>CPU</sub> = f <sub>MASTER</sub> = 128 kHz	LSI RC osc. (128 kHz)	0.55	

1. 数据基于特性总结得出, 没有在产品上测试。
2. 默认时钟配置将外设全部关闭。

表20 在 $V_{DD}=3.3V$ ，MCU处于运行模式执行代码时的总电流消耗

Symbol	Parameter	Conditions		Typ	Max <sup>(1)</sup>	Unit
$I_{DD(RUN)}$	Supply current in run mode, code executed from RAM	$f_{CPU} = f_{MASTER} = 24\text{ MHz}$ , $T_A \leq 105\text{ }^{\circ}\text{C}$	HSE crystal osc. (24 MHz)	4.0		mA
			HSE user ext. clock (24 MHz)	3.7	7.3	
		$f_{CPU} = f_{MASTER} = 16\text{ MHz}$	HSE crystal osc. (16 MHz)	2.9		
			HSE user ext. clock (16 MHz)	2.7	5.8	
			HSI RC osc. (16 MHz)	2.5	3.4	
		$f_{CPU} = f_{MASTER}/128 = 125\text{ kHz}$	HSE user ext. clock (16 MHz)	1.2	4.1	
			HSI RC osc. (16 MHz)	1.0	1.3	
		$f_{CPU} = f_{MASTER}/128 = 15.625\text{ kHz}$	HSI RC osc. (16MHz/8)	0.55		
	Supply current in run mode, code executed from Flash	$f_{CPU} = f_{MASTER} = 128\text{ kHz}$	LSI RC osc. (128 kHz)	0.45		
		$f_{CPU} = f_{MASTER} = 24\text{ MHz}$ , $T_A \leq 105\text{ }^{\circ}\text{C}$	HSE crystal osc. (24 MHz)	11.0		
			HSE user ext. clock (24 MHz)	10.8	18.0	
		$f_{CPU} = f_{MASTER} = 16\text{ MHz}$	HSE crystal osc. (16 MHz)	8.4		
			HSE user ext. clock (16 MHz)	8.2	15.2	
			HSI RC osc. (16 MHz)	8.1	13.2	
		$f_{CPU} = f_{MASTER} = 2\text{ MHz}$	HSI RC osc. (16 MHz/8) <sup>(2)</sup>	1.5		
		$f_{CPU} = f_{MASTER}/128 = 125\text{ kHz}$	HSI RC osc. (16 MHz)	1.1		

1. 数据基于特性总结得出，没有在产品上测试。
2. 使用默认时钟配置。

### 在等待模式下的电流消耗

表21 在 $V_{DD}=5.0V$ ，MCU处于等待模式时的总电流消耗

Symbol	Parameter	Conditions		Typ	Max <sup>(1)</sup>	Unit
$I_{DD(WFI)}$	Supply current in wait mode	$f_{CPU} = f_{MASTER} = 24\text{ MHz}$ , $T_A \leq 105\text{ }^{\circ}\text{C}$	HSE crystal osc. (24 MHz)	2.4		mA
			HSE user ext. clock (24 MHz)	1.8	4.7	
		$f_{CPU} = f_{MASTER} = 16\text{ MHz}$	HSE crystal osc. (16 MHz)	2.0		
			HSE user ext. clock (16 MHz)	1.4	4.4	
			HSI RC osc. (16 MHz)	1.2	1.6	
		$f_{CPU} = f_{MASTER}/128 = 125\text{ kHz}$	HSI RC osc. (16 MHz)	1.0		
		$f_{CPU} = f_{MASTER}/128 = 15.625\text{ kHz}$	HSI RC osc. (16 MHz/8) <sup>(2)</sup>	0.55		
		$f_{CPU} = f_{MASTER} = 128\text{ kHz}$	LSI RC osc. (128 kHz)	0.5		

1. 数据基于特性总结得出，没有在产品上测试。
2. 默认时钟配置将外设全部关闭。

表22 在 $V_{DD}=3.3V$ ，MCU处于等待模式时的总电流消耗

Symbol	Parameter	Conditions		Typ	Max <sup>(1)</sup>	Unit
$I_{DD(WFI)}$	Supply current in wait mode	$f_{CPU} = f_{MASTER} = 24 \text{ MHz}$ , $T_A \leq 105^\circ\text{C}$	HSE crystal osc. (24 MHz)	2.0		mA
			HSE user ext. clock (24 MHz)	1.8	4.7	
		$f_{CPU} = f_{MASTER} = 16 \text{ MHz}$	HSE crystal osc. (16 MHz)	1.6		
			HSE user ext. clock (16 MHz)	1.4	4.4	
			HSI RC osc. (16 MHz)	1.2	1.6	
		$f_{CPU} = f_{MASTER}/128 = 125 \text{ kHz}$	HSI RC osc. (16 MHz)	1.0		
		$f_{CPU} = f_{MASTER}/128 = 15.625 \text{ kHz}$	HSI RC osc. (16 MHz/8) <sup>(2)</sup>	0.55		
		$f_{CPU} = f_{MASTER}/128 = 15.625 \text{ kHz}$	LSI RC osc. (128 kHz)	0.5		

1. 数据基于特性总结得出，没有在产品上测试。
2. 默认时钟配置将外设全部关闭。

### 在活跃停机模式下的电流消耗

表23 在 $V_{DD}=5.0V$ ， $T_A$ 为-40到85°C，MCU处于活跃停机模式时的总电流消耗

Symbol	Parameter	Conditions			Typ	Max <sup>(1)</sup>	Unit
		Main voltage regulator (MVR) <sup>(2)</sup>	Flash mode <sup>(3)</sup>	Clock source			
$I_{DD(AH)}$	Supply current in active halt mode	On	Operating mode	HSE crystal oscillator (16 MHz)	1000		$\mu\text{A}$
				LSI RC oscillator (128 kHz)	200	260	
			Powerdown mode	HSE crystal oscillator (16 MHz)	940		
				LSI RC oscillator (128 kHz)	140		
		Off	Operating mode	LSI RC oscillator 128 kHz)	68		
			Powerdown mode		11	45	

1. CLK\_I CKR 中 REGAH 位为 1。
2. FLASH\_CR1 中 AHALT 位为 1。
3. 数据基于特性总结得出，没有在产品上测试。

表24 在 $V_{DD}=3.3V$ ，MCU处于活跃停机模式时的总电流消耗

Symbol	Parameter	Conditions			Typ <sup>(1)</sup>	Unit
		Main voltage regulator (MVR) <sup>(2)</sup>	Flash mode <sup>(3)</sup>	Clock source		
$I_{DD(AH)}$	Supply current in active halt mode	On	Operating mode	HSE crystal osc. (16 MHz)	600	$\mu\text{A}$
				LSI RC osc. (128 kHz)	200	
			Powerdown mode	HSE crystal osc. (16 MHz)	540	
				LSI RC osc. (128 kHz)	140	
		Off	Operating mode	LSI RC osc. (128 kHz)	66	
			Powerdown mode		9	

1. CLK\_I CKR 中 REGAH 位为 1。
2. FLASH\_CR1 中 AHALT 位为 1。
3. 数据基于特性总结得出，没有在产品上测试。



## 在停机模式下的电流消耗

表25 在 $V_{DD}=5.0V$ ， $T_A$ 为-40到85°C，MCU处于停机模式时的总电流消耗

Symbol	Parameter	Conditions	Typ	Max	Unit
$I_{DD(H)}$	Supply current in halt mode	Flash in operating mode, HSI clock after wakeup	63.5		$\mu A$
		Flash in powerdown mode, HSI clock after wakeup	6.5	30	

表26 在 $V_{DD}=3.3V$ ，MCU处于停机模式时的总电流消耗

Symbol	Parameter	Conditions	Typ	Unit
$I_{DD(H)}$	Supply current in halt mode	Flash in operating mode, HSI clock after wakeup	61.5	$\mu A$
		Flash in powerdown mode, HSI clock after wakeup	4.5	

## 低功耗模式下的唤醒时间

表27 唤醒时间

Symbol	Parameter	Conditions	Typ	Max <sup>(1)</sup>	Unit
$t_{WU(WFI)}$	Wakeup time from wait mode to run mode <sup>(3)</sup>			See note <sup>(2)</sup>	$\mu s$
		$f_{CPU} = f_{MASTER} = 16 \text{ MHz.}$	0.56		
$t_{WU(AH)}$	Wakeup time active halt mode to run mode. <sup>(3)</sup>	MVR Voltage regulator ON <sup>(4)</sup>	Flash in operating mode <sup>(5)</sup>	1 <sup>(6)</sup>	2 <sup>(6)</sup>
			Flash in powerdown mode <sup>(5)</sup>	3 <sup>(6)</sup>	
		MVR Voltage regulator OFF <sup>(4)</sup>	Flash in operating mode <sup>(5)</sup>	48 <sup>(6)</sup>	
			Flash in powerdown mode <sup>(5)</sup>	50 <sup>(6)</sup>	TBD <sup>(6)</sup>
$t_{WU(H)}$	Wakeup time from halt mode to run mode <sup>(3)</sup>	Flash in operating mode <sup>(5)</sup>		52	
		Flash in powerdown mode <sup>(5)</sup>		54	TBD

1. 数据基于特性总结得出，没有在产品上测试。
2.  $t_{WU(WFI)} = 2 \times 1/f_{master} + 7 \times 1/f_{CPU}$
3. 测量从中断事件发生到取中断向量
4. CLK\_ICR 中 REGAH 位为 1。
5. FLASH\_CR1 中 AHALT 位为 1。
6. 为同步，加了 1 个 LSI 时钟周期。

## 在强迫复位状态下的总电流消耗及时间

表28 在强迫复位状态下的总电流消耗及时间

Symbol	Parameter	Conditions	Typ	Max <sup>(1)</sup>	Unit
$I_{DD(R)}$	Supply current in reset state	$V_{DD} = 5.0 \text{ V}$	1.6		mA
		$V_{DD} = 3.3 \text{ V}$	0.8		
$t_{RESETBL}$	Reset release to bootloader vector fetch			150	$\mu s$

1. 数据基于特性总结得出，没有在产品上测试。



片上外设的电流消耗

运行在通常的V<sub>DD</sub>及T<sub>A</sub>条件下，使用HSI，f<sub>CPU</sub>=f<sub>MASTER</sub>=16 MHz

表29 外设电流功耗

Symbol	Parameter	Typ.	Unit
I <sub>DD</sub> (TIM1)	TIM1 supply current <sup>(1)</sup>	220	μA
I <sub>DD</sub> (TIM2)	TIM2 supply current <sup>(1)</sup>	120	
I <sub>DD</sub> (TIM3)	TIM3 timer supply current <sup>(1)</sup>	100	
I <sub>DD</sub> (TIM4)	TIM4 timer supply current <sup>(1)</sup>	25	
I <sub>DD</sub> (UART1)	UART1 supply current <sup>(2)</sup>	90	
I <sub>DD</sub> (UART3)	UART3 supply current <sup>(2)</sup>	110	
I <sub>DD</sub> (SPI)	SPI supply current <sup>(2)</sup>	40	
I <sub>DD</sub> (I <sup>2</sup> C)	I <sup>2</sup> C supply current <sup>(2)</sup>	50	
I <sub>DD</sub> (CAN)	CAN supply current <sup>(2)</sup>	210	
I <sub>DD</sub> (ADC2)	ADC2 supply current when converting <sup>(3)</sup>	1000	

- 1. 数据基于在复位状态及 16MHz 时钟计数器运行状态之间的 I<sub>DD</sub> 差异。没有对 IC/OC 编程(没有 I/O 口反转)。没有在产品上测试。
- 2. 数据基于外设复位状态(没有向其提供时钟)及非复位状态(向其提供时钟)之间的 I<sub>DD</sub> 差异。没有在产品上测试。
- 3. 数据基于 AD 在复位状态及非连续转换状态之间的 I<sub>DD</sub> 差异。没有在产品上测试。

图14 典型的I<sub>DD</sub>(RUN) vs. V<sub>DD</sub>，使用HSI，Fcpu=16MHz

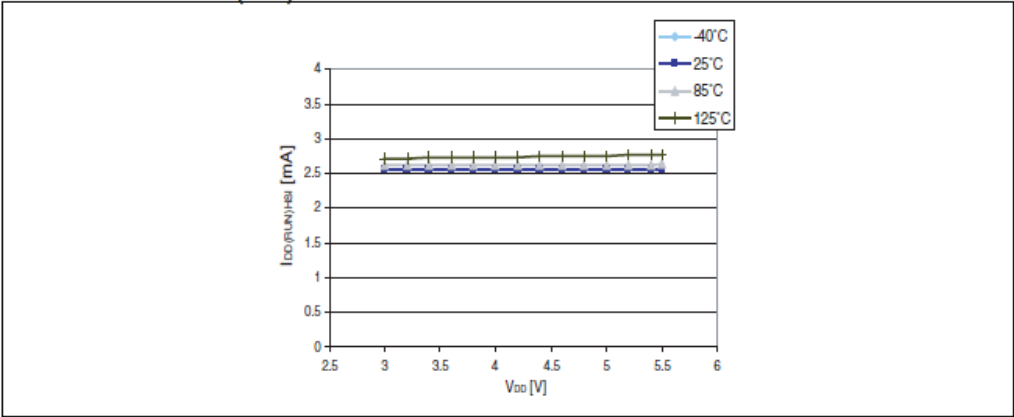
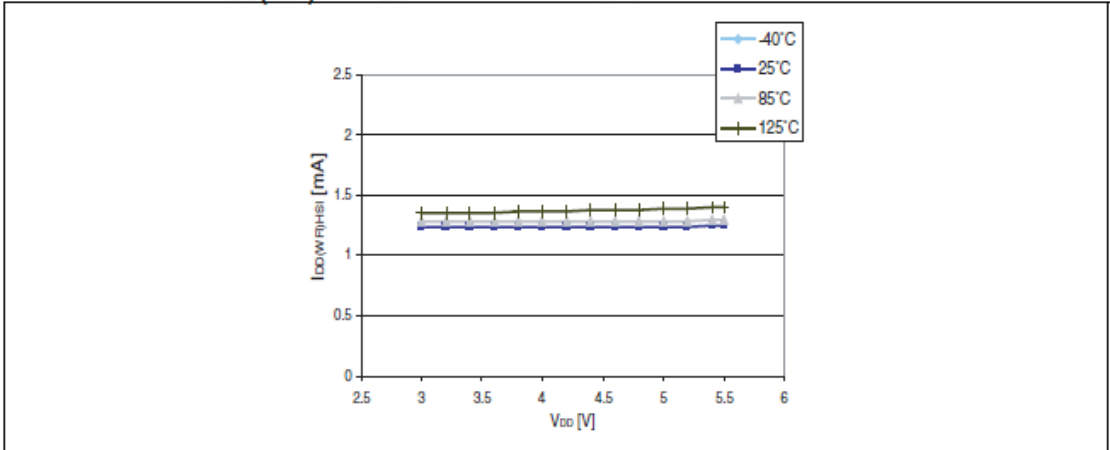


图15 典型的I<sub>DD</sub>(WFI) vs. V<sub>DD</sub>，使用HSI，Fcpu=16MHz



### 9.3.3 外部时钟源和时间特性

#### HSE用户外部时钟

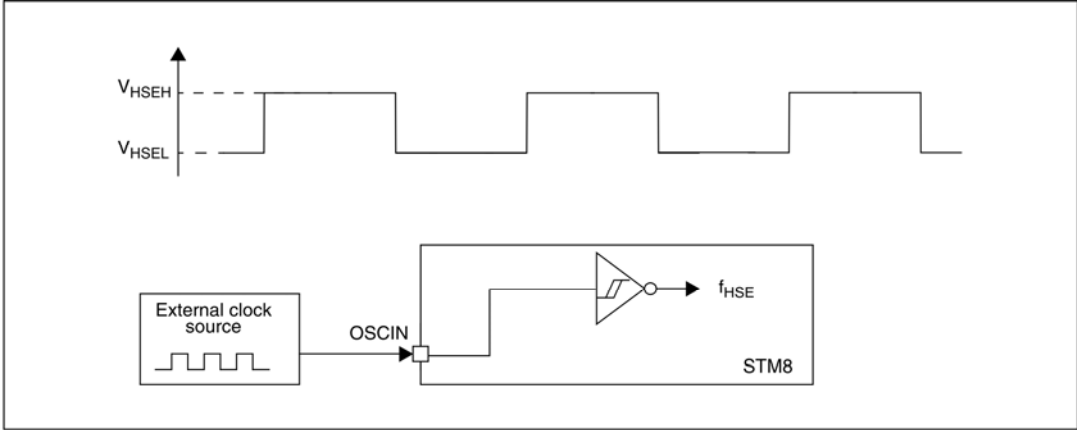
运行在通常的 $V_{DD}$ 及 $T_A$ 条件下。

表30 HSE用户外部时钟特性

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
$f_{HSE\_ext}$	User external clock source frequency		0		24	MHz
$V_{HSEH}^{(1)}$	OSCIN input pin high level voltage		$0.7 \times V_{DD}$		$V_{DD} + 0.3 \text{ V}$	V
$V_{HSEL}^{(1)}$	OSCIN input pin low level voltage		$V_{SS}$		$0.3 \times V_{DD}$	
$I_{LEAK\_HSE}$	OSCIN input leakage current	$V_{SS} < V_{IN} < V_{DD}$	-1		+1	$\mu\text{A}$

1. 数据基于特性总结得出，没有在产品上测试。

图16 HSE外部时钟源



#### HSE石英/陶瓷晶体振荡器

HSE可由1到24MHz石英/陶瓷晶体提供时钟。本节的所有信息都是基于使用典型外部器件得到的特性结果。在实际应用中，晶体和负载电容必须尽可能近地放置于振荡器引脚旁，以减少输出畸变及启动时间。请参考晶体的用户手册以了解更多信息(频率、封装、精度...)。

表31 HSE振荡器特性

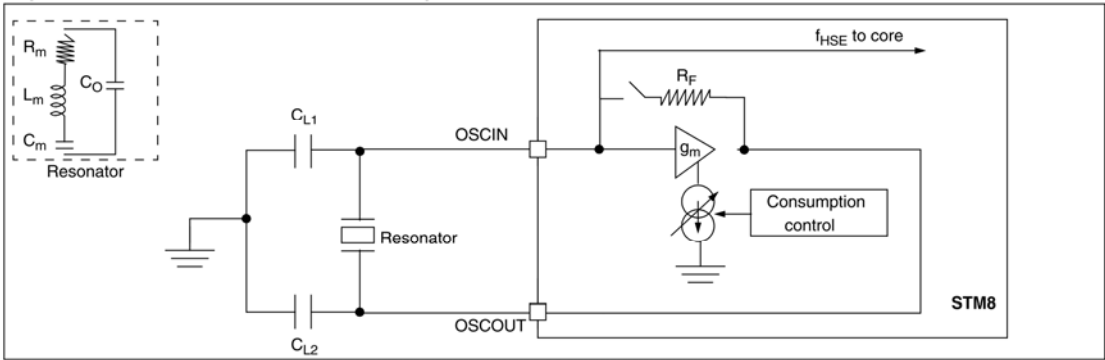
Symbol	Parameter	Conditions	Min	Typ	Max	Unit
$f_{HSE}$	External High Speed oscillator frequency		1		24	MHz
$R_F$	Feedback resistor			220		$k\Omega$
$C^{(1)}$	Recommended load capacitance <sup>(2)</sup>				20	pF
$I_{DD(HSE)}$	HSE oscillator power consumption	$C = 20 \text{ pF}$ , $f_{OSC} = 24 \text{ MHz}$			6 (startup) 2 (stabilized) <sup>(3)</sup>	mA
		$C = 10 \text{ pF}$ , $f_{OSC} = 24 \text{ MHz}$			6 (startup) 1.5 (stabilized) <sup>(3)</sup>	
$g_m$	Oscillator transconductance		5			$\text{mA/V}$
$t_{SU(HSE)}^{(4)}$	Startup time	$V_{DD}$ is stabilized		1		ms

1. C 大约为 2 倍的晶体  $C_{load}$ 。
2. 可根据供电电流，使用  $R_m$  较小的高质量晶体来优化振荡器的选择。请参考晶体的用户手册以了解更多信息。



3. 数据基于特性总结得出，没有在产品上测试。
4.  $t_{SU(HSE)}$ 是晶体的起振时间，其值为从软件使能 HSE 开始，直到 24MHz 振荡器稳定的时间。该值通过测量一个标准晶体得到；对于不同的晶体制造商，该值可能变化较大。

图17 HSE振荡器电路框图



HSE振荡器关键参数 $g_m$ 计算公式

$$g_{mcrit} = (2 \times \pi \times f_{HSE})^2 \times R_m(2C_o + C)^2$$

Rm: 理想电阻(请参考晶体技术手册)

Lm: 理想电感(请参考晶体技术手册)

Cm: 理想电容(请参考晶体技术手册)

Co: 旁路电容(请参考晶体技术手册)

$C_{L1}=C_{L2}=C$ : 外部接地电容

$$g_m \gg g_{mcrit}$$

9.3.4 内部时钟源和时间特性

运行在通常的 $V_{DD}$ 及 $T_A$ 条件下。

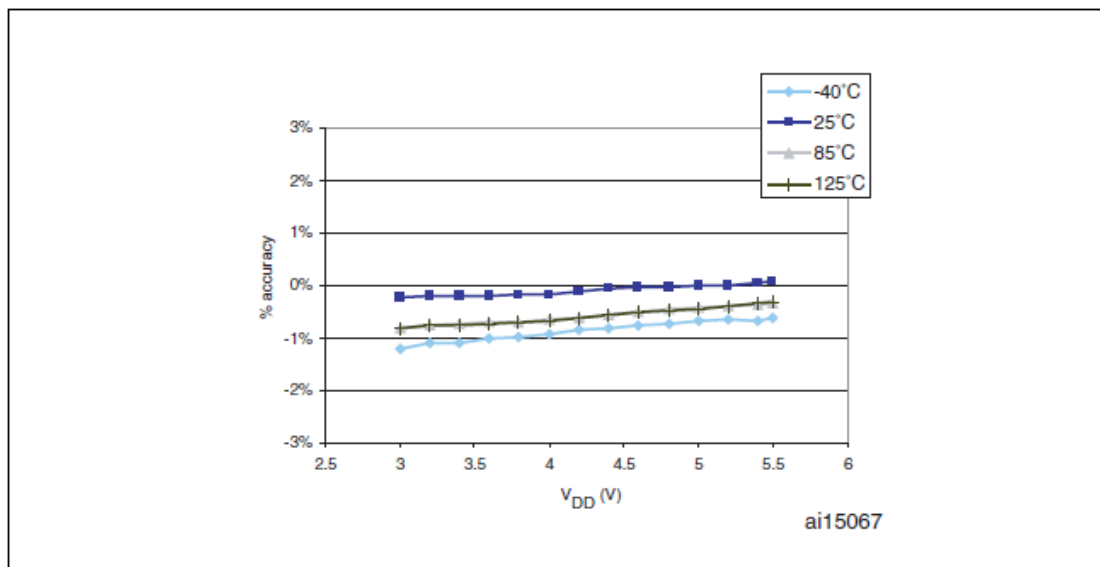
高速内部RC振荡器(HSI)

表32 HIS振荡器特性

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
$f_{HSI}$	Frequency			16		MHz
$ACC_{HSI}$	Accuracy of HSI oscillator	Trimmed by the CLK_HSITRIMR register for given $V_{DD}$ and $T_A$ conditions	-1 <sup>(1)</sup>		1 <sup>(1)</sup>	%
	Accuracy of HSI oscillator (factory calibrated)	$V_{DD} = 5\text{ V}, T_A = 25\text{ }^{\circ}\text{C}$	-2		2	%
		$V_{DD} = 5\text{ V}, 25\text{ }^{\circ}\text{C} \leq T_A \leq 85\text{ }^{\circ}\text{C}$	-3		2	%
		$2.95\text{ V} \leq V_{DD} \leq 5.5\text{ V}, -40\text{ }^{\circ}\text{C} \leq T_A \leq 125\text{ }^{\circ}\text{C}$	-4 <sup>(2)</sup>		2.5 <sup>(2)</sup>	%
$t_{su(HSI)}$	HSI oscillator wakeup time including calibration				1 <sup>(1)</sup>	$\mu\text{s}$
$I_{DD(HSI)}$	HSI oscillator power consumption			170	250 <sup>(2)</sup>	$\mu\text{A}$

1. 由设计保证，没有在产品上测试。
2. 数据基于特性总结得出，没有在产品上测试。



图18 在4种温度下典型的HSI -  $V_{DD}$ 

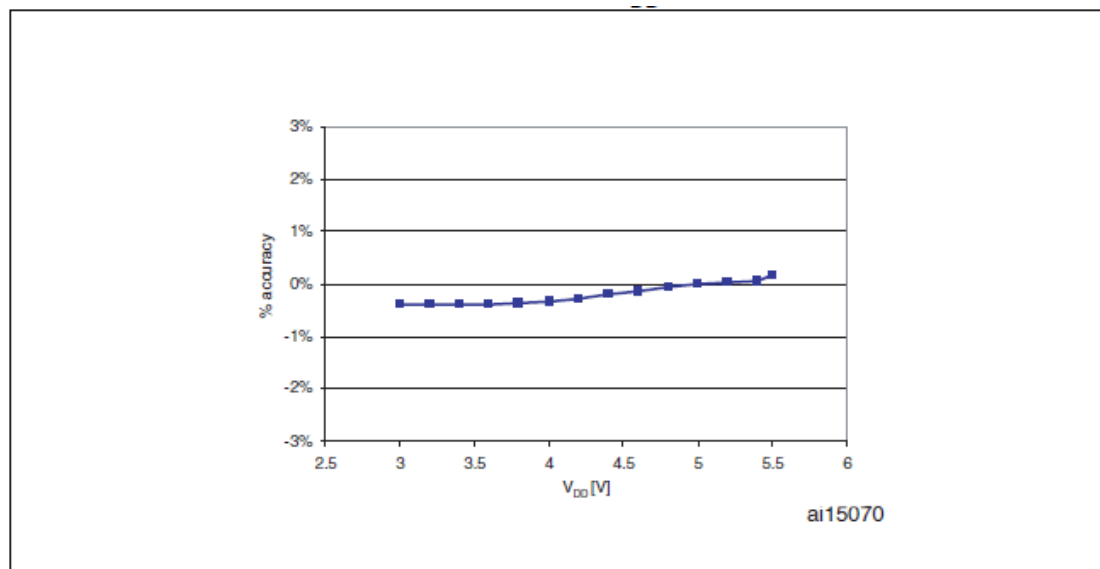
### 低速内部RC振荡器(LSI)

运行在通常的 $V_{DD}$ 及 $T_A$ 条件下。

表33 LSI 振荡器特性

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
$f_{LSI}$	Frequency		110	128	146	kHz
$t_{su}(LSI)$	LSI oscillator wakeup time				7 <sup>(1)</sup>	$\mu s$
$I_{DD}(LSI)$	LSI oscillator power consumption			5		$\mu A$

1. 由设计保证，没有在产品上测试。

图19 在25° 时典型的LSI -  $V_{DD}$ 

### 9.3.5 存储器特性

#### RAM和硬件寄存器

表34 RAM和硬件寄存器

Symbol	Parameter	Conditions	Min	Unit
$V_{RM}$	Data retention mode <sup>(1)</sup>	Halt mode (or reset)	$V_{IT-max}$ <sup>(2)</sup>	V

1. 不丢失在RAM和硬件寄存器中保存的数据的最小供电电压(在停机模式或复位状态)。由设计保证，没有在生产上测试。
2. 关于 $V_{IT-max}$ 参数，见表18。

#### FLASH程序存储器/数据EEPROM存储器

通常条件:  $T_A = -40$  to  $125\text{ }^{\circ}\text{C}$ 。

表35 FLASH程序存储器/数据EEPROM存储器

Symbol	Parameter	Conditions	Min <sup>(1)</sup>	Typ	Max	Unit
$V_{DD}$	Operating voltage (all modes, execution/write/erase)	$f_{CPU} \leq 24\text{ MHz}$	2.95		5.5	V
$t_{prog}$	Standard programming time (including erase) for byte/word/block (1 byte/4 bytes/128 bytes)			6	6.6	ms
	Fast programming time for 1 block (128 bytes)			3	3.3	ms
$t_{erase}$	Erase time for 1 block (128 bytes)			3	3.3	ms
$N_{RW}$	Erase/write cycles <sup>(2)</sup> (program memory)	$T_A = 85\text{ }^{\circ}\text{C}$	10 k			cycles
	Erase/write cycles (data memory) <sup>(2)</sup>	$T_A = 125\text{ }^{\circ}\text{C}$	300 k	1M		
$t_{RET}$	Data retention (program memory) after 10 k erase/write cycles at $T_A = 85\text{ }^{\circ}\text{C}$	$T_{RET} = 55\text{ }^{\circ}\text{C}$	20			years
	Data retention (data memory) after 10 k erase/write cycles at $T_A = 85\text{ }^{\circ}\text{C}$	$T_{RET} = 55\text{ }^{\circ}\text{C}$	20			
	Data retention (data memory) after 300k erase/write cycles at $T_A = 125\text{ }^{\circ}\text{C}$	$T_{RET} = 85\text{ }^{\circ}\text{C}$	1			
$I_{DD}$	Supply current (Flash programming or erasing for 1 to 128 bytes)			2		mA

1. 数据基于特性总结得出，没有在产品上测试。
2. 存储器的组织结构是基于 4 字节的；因此，即使写/擦除操作只针对 1 个字节，实际的操作也是基于 4 个字节的。

### 9.3.6 I/O端口引脚特性

#### 通用特性

除非特别说明，数据均对应于MCU运行在通常的 $V_{DD}$ 及 $T_A$ 条件下。所有没有使用的I/O口必须连接到固定的电平：例如将I/O口配置成输出模式，并使用上拉或下拉电阻。



表36 I/O静态特性

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
$V_{IL}$	Input low level voltage	$V_{DD} = 5.0\text{ V}$	-0.3		$0.3 \times V_{DD}$	V
$V_{IH}$	Input high level voltage		$0.7 \times V_{DD}$		$V_{DD} + 0.3\text{ V}$	V
$V_{hys}$	Hysteresis <sup>(1)</sup>			700		mV
$R_{pu}$	Pull-up resistor	$V_{DD} = 5\text{ V}, V_{IN} = V_{SS}$	30	45	60	k $\Omega$
$t_R, t_F$	Rise and fall time (10% - 90%)	Fast I/Os Load = 50 pF			20 <sup>(2)</sup>	ns
		Standard and high sink I/Os Load = 50 pF			125 <sup>(2)</sup>	ns
$I_{lkg}$	Input leakage current, analog and digital	$V_{SS} \leq V_{IN} \leq V_{DD}$			$\pm 1$ <sup>(2)</sup>	$\mu\text{A}$
$I_{lkg\text{ ana}}$	Analog input leakage current	$V_{SS} \leq V_{IN} \leq V_{DD}$			$\pm 250$ <sup>(2)</sup>	nA
$I_{lkg(inj)}$	Leakage current in adjacent I/O <sup>(2)</sup>	Injection current $\pm 4\text{ mA}$			$\pm 1$ <sup>(2)</sup>	$\mu\text{A}$

1. 施密特触发器的滞回电压。数据基于特性总结得出，没有在产品上测试。

2. 数据基于特性总结得出，没有在产品上测试。

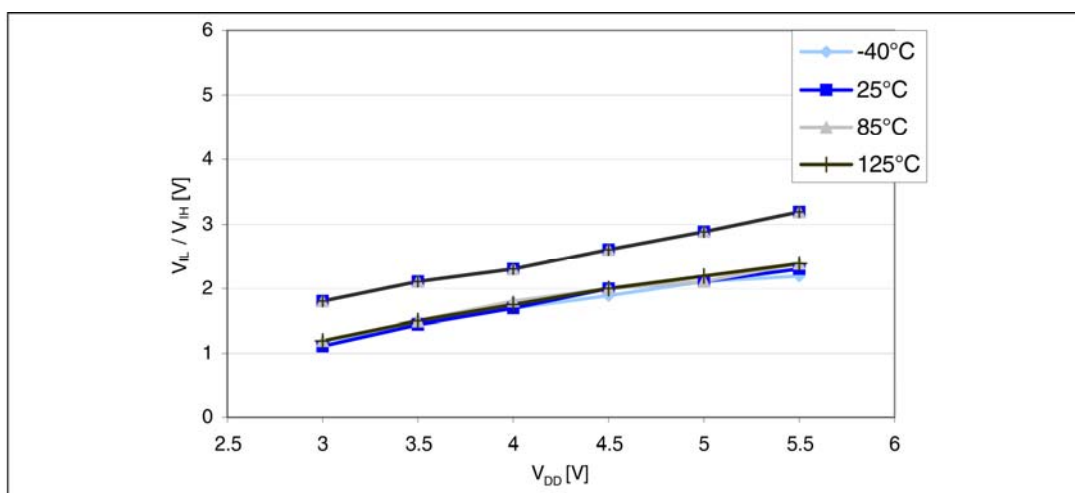
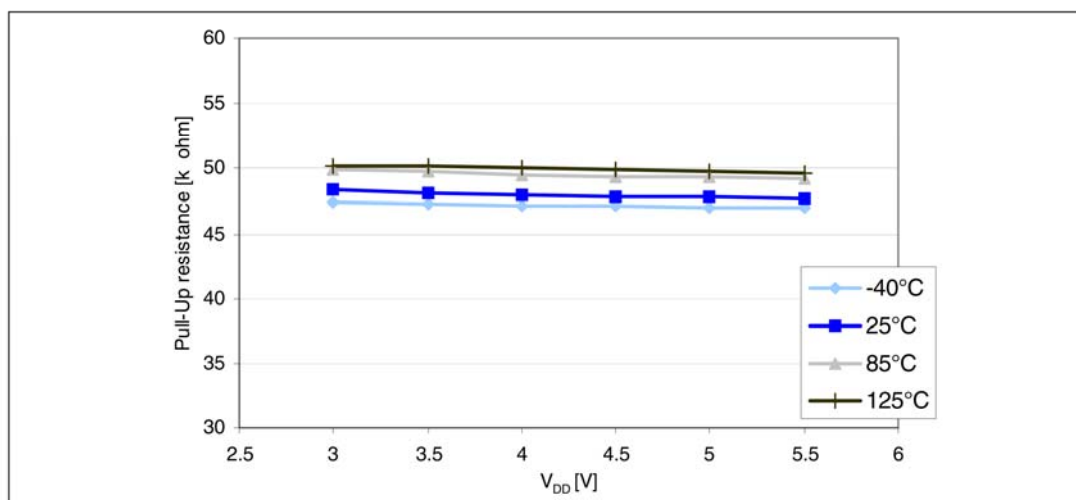
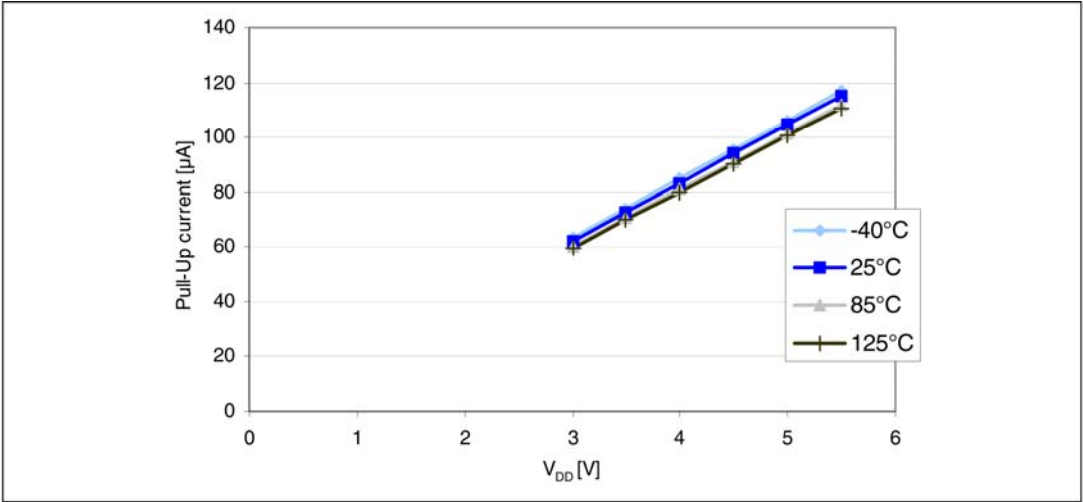
图20 在4种温度下典型的 $V_{IL}$ 和 $V_{IH} - V_{DD}$ 图21 在4种温度下典型的上拉电阻 $R_{PU} - V_{DD}$ 

图22 在4种温度下典型的拉电流 $I_{PU} - V_{DD}$



1. 上拉电阻为真正的电阻(摆率接近为 0)。

表37 输出驱动电流(标准端口)

Symbol	Parameter	Conditions	Min	Max	Unit
$V_{OL}$	Output low level with 4 pins sunk	$I_{IO} = 4\text{ mA}, V_{DD} = 3.3\text{ V}$		1 <sup>(1)</sup>	V
	Output low level with 8 pins sunk	$I_{IO} = 10\text{ mA}, V_{DD} = 5.0\text{ V}$		2	
$V_{OH}$	Output high level with 4 pins sourced	$I_{IO} = 4\text{ mA}, V_{DD} = 3.3\text{ V}$	2.1 <sup>(1)</sup>		V
	Output high level with 8 pins sourced	$I_{IO} = 10\text{ mA}, V_{DD} = 5.0\text{ V}$	2.8		

1. 数据基于特性总结得出，没有在产品上测试。

表38 输出驱动电流(真正的开漏端口)

Symbol	Parameter	Conditions	Min	Max	Unit
$V_{OL}$	Output low level with 2 pins sunk	$I_{IO} = 10\text{ mA}, V_{DD} = 3.3\text{ V}$		1.5 <sup>(1)</sup>	V
		$I_{IO} = 10\text{ mA}, V_{DD} = 5.0\text{ V}$		1	
		$I_{IO} = 20\text{ mA}, V_{DD} = 5.0\text{ V}$		2 <sup>(1)</sup>	

1. 数据基于特性总结得出，没有在产品上测试。

表39 输出驱动电流(大电流端口)

Symbol	Parameter	Conditions	Min	Max	Unit
$V_{OL}$	Output low level with 4 pins sunk	$I_{IO} = 10\text{ mA}, V_{DD} = 3.3\text{ V}$		1 <sup>(1)</sup>	V
	Output low level with 8 pins sunk	$I_{IO} = 10\text{ mA}, V_{DD} = 5.0\text{ V}$		0.8	
	Output low level with 4 pins sunk	$I_{IO} = 20\text{ mA}, V_{DD} = 5.0\text{ V}$		1.5 <sup>(1)</sup>	
$V_{OH}$	Output high level with 4 pins sourced	$I_{IO} = 10\text{ mA}, V_{DD} = 3.3\text{ V}$	2.1 <sup>(1)</sup>		
	Output high level with 8 pins sourced	$I_{IO} = 10\text{ mA}, V_{DD} = 5.0\text{ V}$	4.0		
	Output high level with 4 pins sourced	$I_{IO} = 20\text{ mA}, V_{DD} = 5.0\text{ V}$	3.3 <sup>(1)</sup>		

1. 数据基于特性总结得出，没有在产品上测试。

典型输出电平曲线

图 24 至 图 31 是在单一的引脚上输出时测量到的典型输出电平曲线。





图23  $V_{DD}=5V$ 时，典型的 $V_{OL}$ 曲线(标准端口)

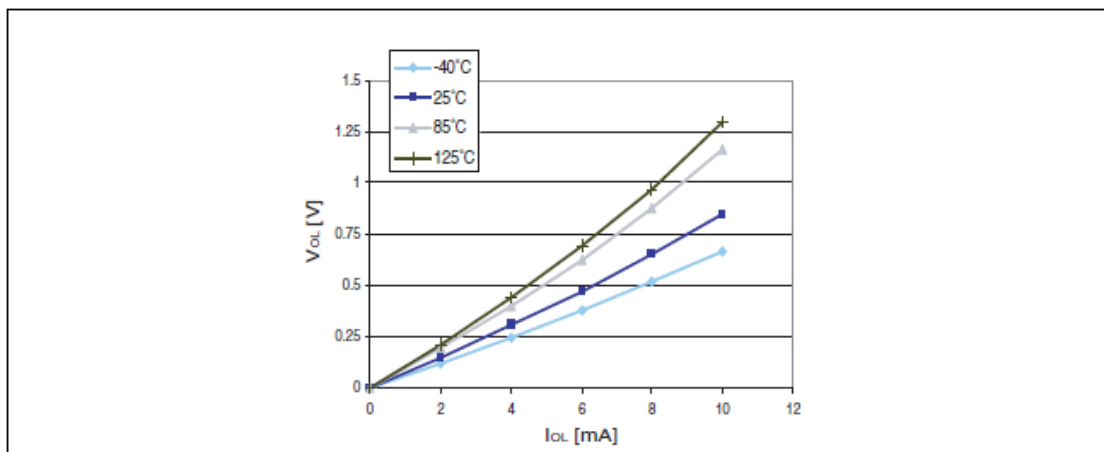


图24  $V_{DD}=3.3V$ 时，典型的 $V_{OL}$ 曲线(标准端口)

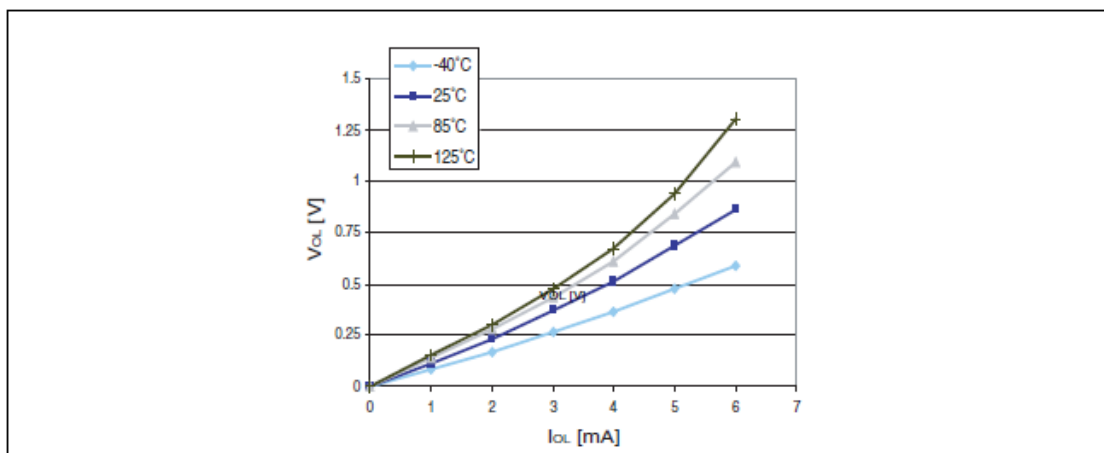


图25  $V_{DD}=5V$ 时，典型的 $V_{OL}$ 曲线(开漏端口)

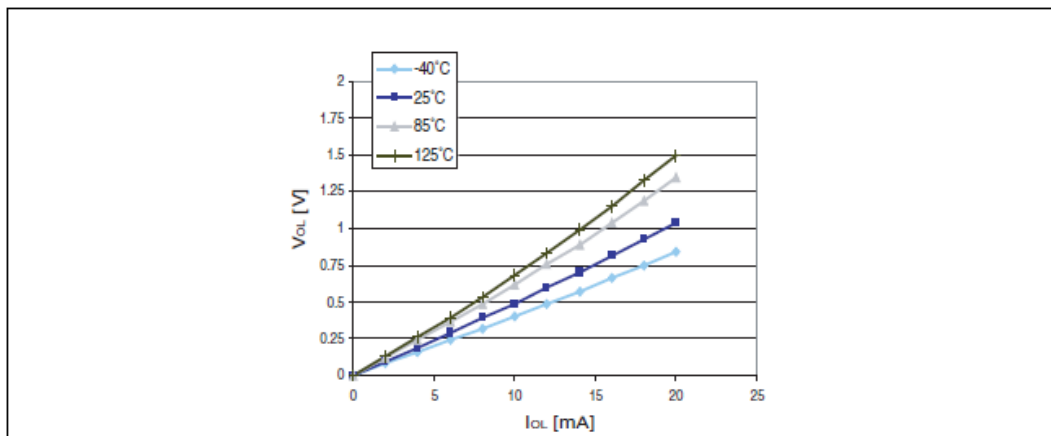


图26  $V_{DD}=3.3V$ 时，典型的 $V_{OL}$ 曲线(开漏端口)

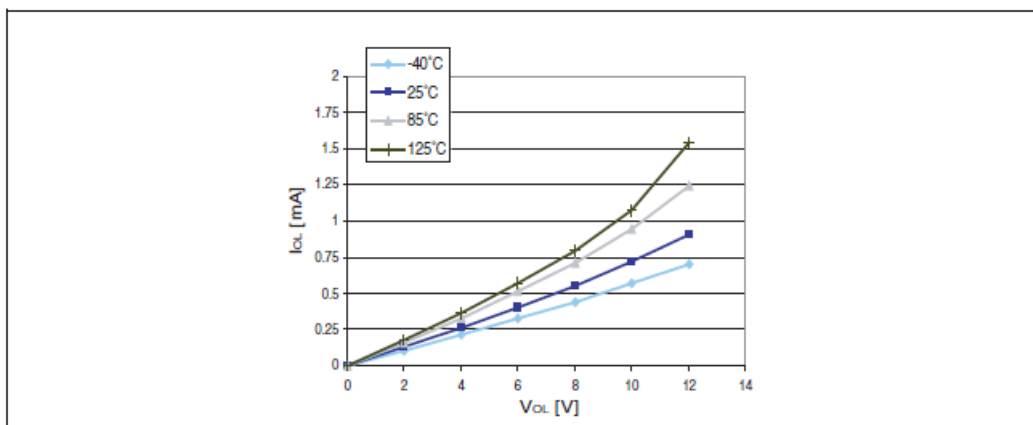


图27  $V_{DD}=5V$ 时，典型的 $V_{OL}$ 曲线(大电流端口)

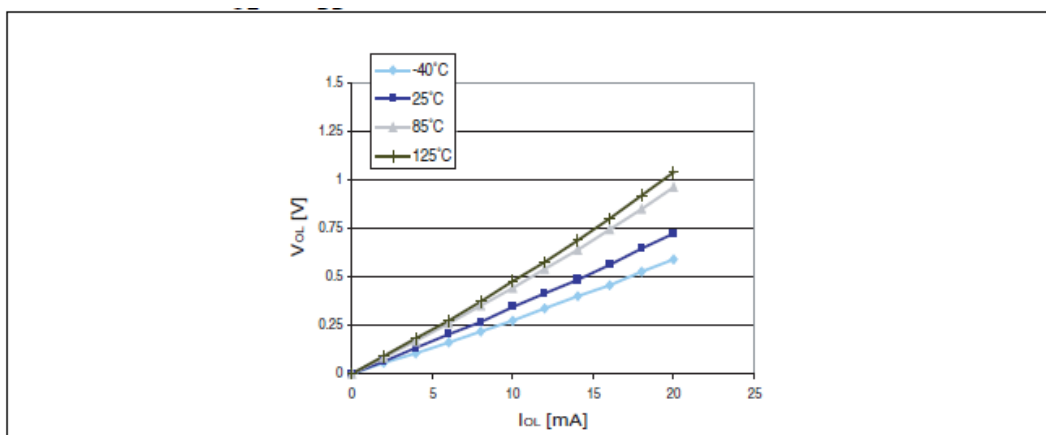


图28  $V_{DD}=3.3V$ 时，典型的 $V_{OL}$ 曲线(大电流端口)

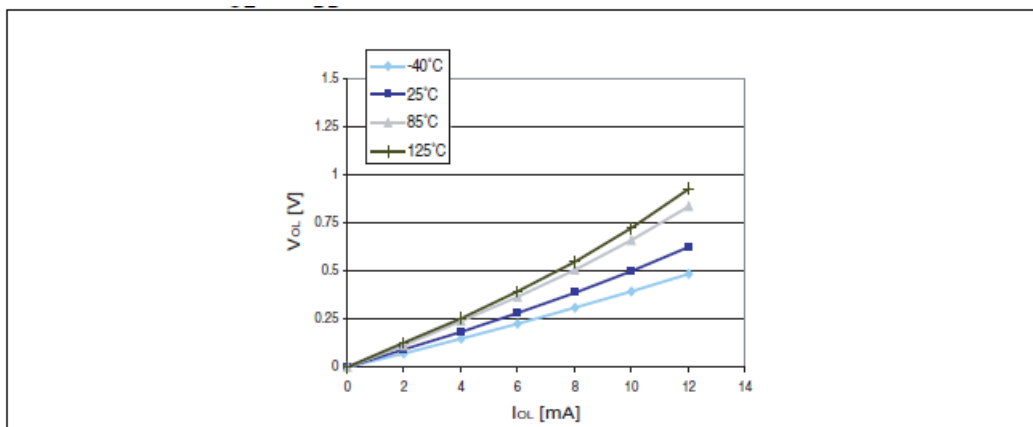


图29  $V_{DD}=5V$ 时, 典型的 $V_{DD} - V_{OH}$  曲线(标准端口)

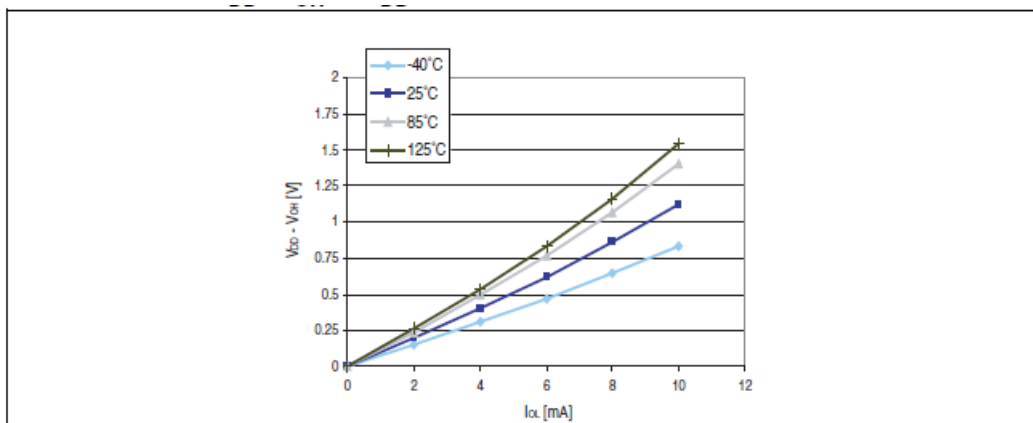


图30  $V_{DD}=3.3V$ 时, 典型的 $V_{DD} - V_{OH}$  曲线(标准端口)

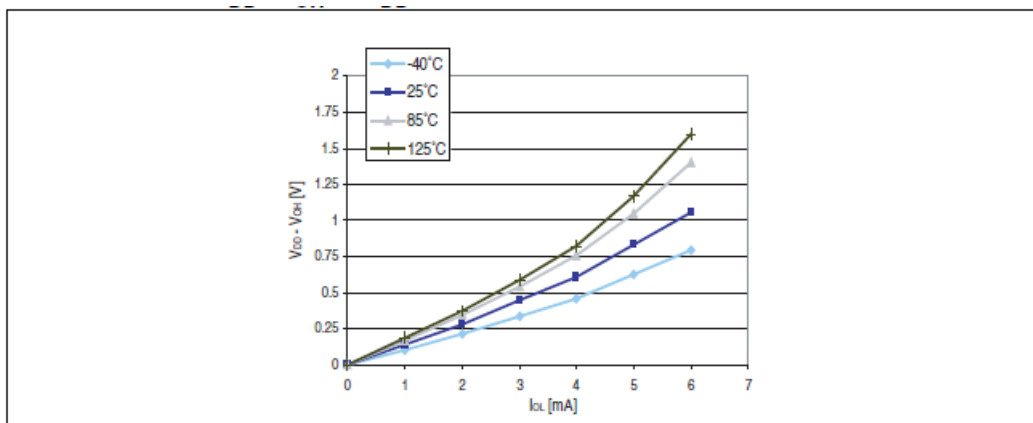


图31  $V_{DD}=3.3V$ 时, 典型的 $V_{DD} - V_{OH}$  曲线(大电流端口)

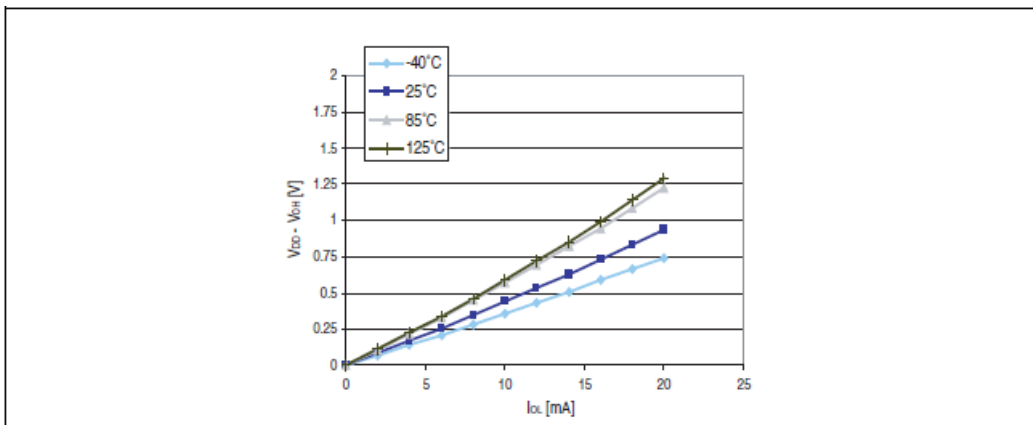
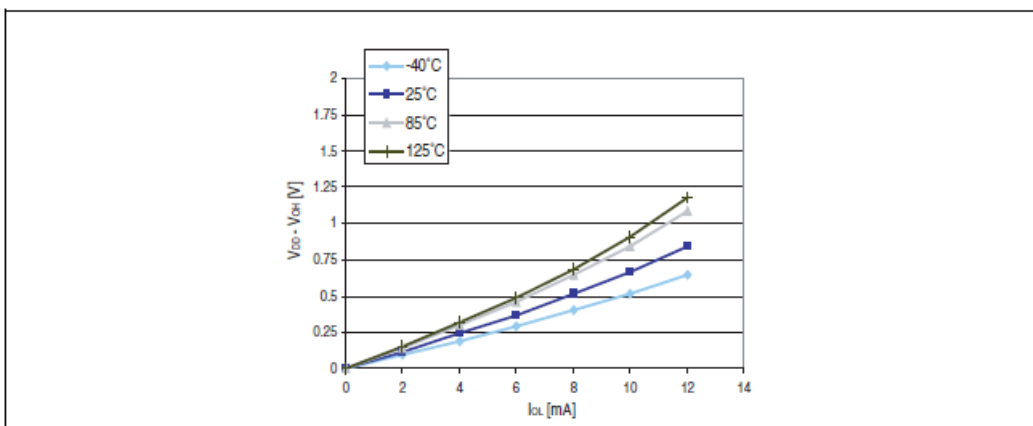


图32  $V_{DD}=3.3V$ 时, 典型的 $V_{DD} - V_{OH}$  曲线(大电流端口)



9.3.7 复位引脚特性

除非特别声明，VDD 和 TA都是遵从基本的工作条件。

表40 NRST引脚特性

Symbol	Parameter	Conditions	Min	Typ <sup>1)</sup>	Max	Unit
V <sub>IL</sub> (NRST)	NRST Input low level voltage <sup>(1)</sup>		-0.3 V		0.3 x V <sub>DD</sub>	V
V <sub>IH</sub> (NRST)	NRST Input high level voltage <sup>(1)</sup>		0.7 x V <sub>DD</sub>		V <sub>DD</sub> + 0.3	
V <sub>OL</sub> (NRST)	NRST Output low level voltage <sup>(1)</sup>	I <sub>OL</sub> = 2 mA			0.5	
R <sub>PU</sub> (NRST)	NRST Pull-up resistor <sup>(2)</sup>		30	40	60	kΩ
t <sub>IFP</sub> (NRST)	NRST Input filtered pulse <sup>(3)</sup>				75	ns
t <sub>INFP</sub> (NRST)	NRST Input not filtered pulse <sup>(3)</sup>		500			ns
t <sub>OP</sub> (NRST)	NRST output pulse <sup>(1)</sup>		15			μs

- 1. 数据基于特性总结得出，没有在产品上测试。
- 2. R<sub>PU</sub>上拉等效阻抗是基于一个有阻抗的晶体管得出的
- 3. 由设计保证，没有在产品上测试。

图33 在4种温度条件下NRST的典型V<sub>IL</sub>和V<sub>IH</sub>相对于V<sub>DD</sub>的变化

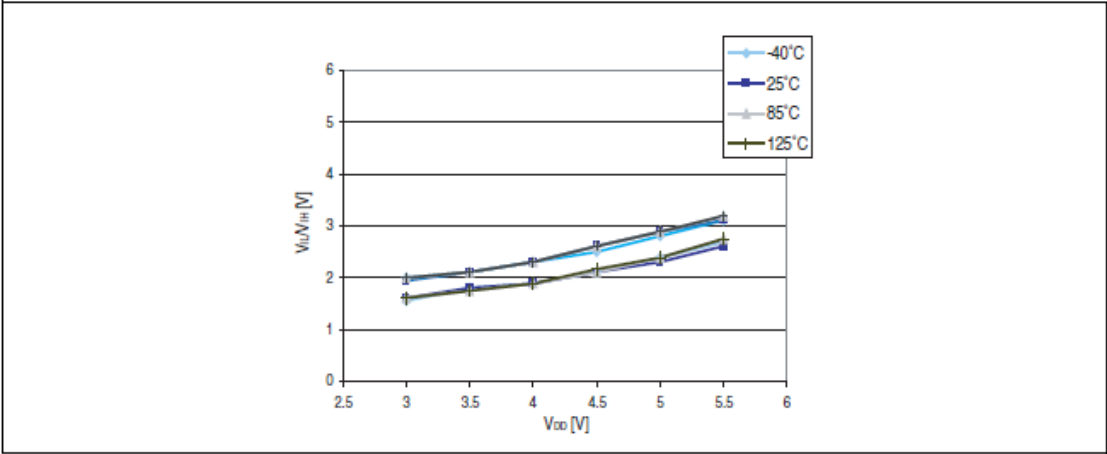


图34 在4种温度条件下NRST的典型上拉阻抗R<sub>PU</sub>相对于V<sub>DD</sub>的变化

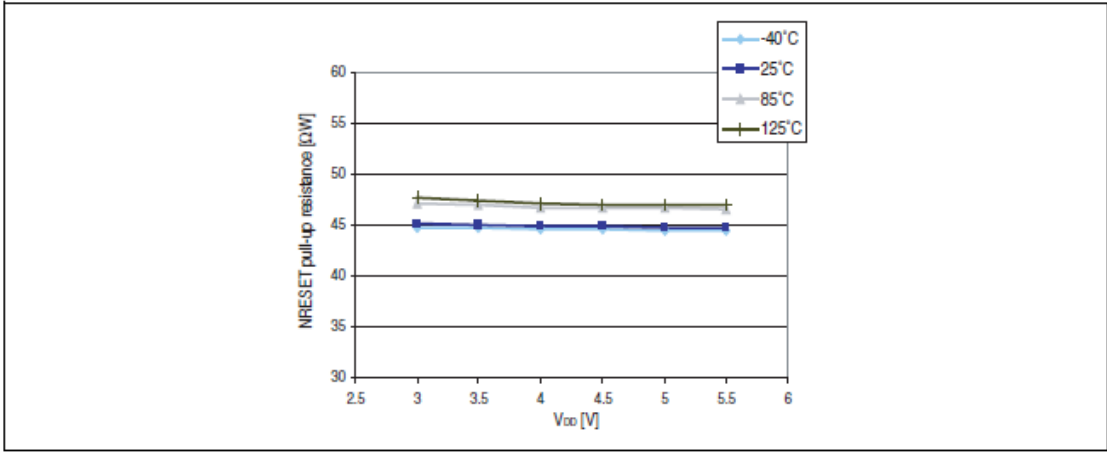


图35 在4种温度条件下NRST的典型上拉电流 $I_{PU}$ 相对于 $V_{DD}$ 的变化

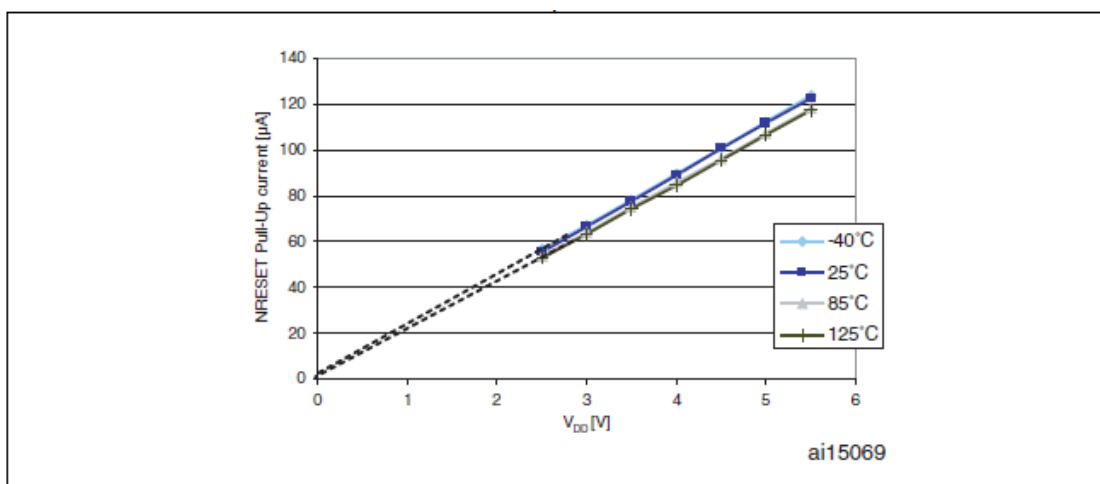
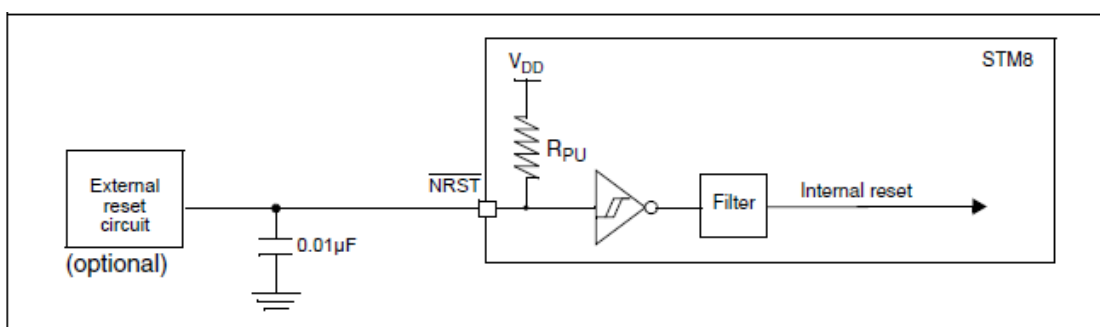


图36中的复位网络保护芯片不被意外复位。用户必须确保NRST引脚上的电平能够低于表34中 $V_{IL}$ 极限值。否则芯片将不能够被复位。

图36 推荐的复位引脚保护



### 9.3.8 串行外设接口(SPI)

除非特别指定，表39中的参数是在通常的环境温度、 $f_{\text{MASTER}}$ 频率和 $V_{\text{DD}}$ 供电电压条件下测量得到的。 $t_{\text{MASTER}} = 1/f_{\text{MASTER}}$

更多关于输入/输出备选功能特性(NSS, SCK, MOSI, MISO)的细节请参考I/O端口特性。

表41 SPI特性

Symbol	Parameter	Conditions	Min	Max	Unit
$f_{\text{SCK}}$ $1/t_{\text{c(SCK)}}$	SPI clock frequency	Master mode	0	10	MHz
		Slave mode	0	6	
$t_{\text{r(SCK)}}$ $t_{\text{f(SCK)}}$	SPI clock rise and fall time	Capacitive load: C = 30 pF		25	ns
$t_{\text{su(NSS)}}^{(1)}$	NSS setup time	Slave mode	$4 \times t_{\text{MASTER}}$		
$t_{\text{h(NSS)}}^{(1)}$	NSS hold time	Slave mode	70		
$t_{\text{w(SCKH)}}^{(1)}$ $t_{\text{w(SCKL)}}^{(1)}$	SCK high and low time	Master mode	$t_{\text{SCK}}/2 - 15$	$t_{\text{SCK}}/2 + 15$	
$t_{\text{su(MI)}}^{(1)}$ $t_{\text{su(SI)}}^{(1)}$	Data input setup time	Master mode	5		
		Slave mode	5		
$t_{\text{h(MI)}}^{(1)}$ $t_{\text{h(SI)}}^{(1)}$	Data input hold time	Master mode	7		
		Slave mode	10		
$t_{\text{a(SO)}}^{(1)(2)}$	Data output access time	Slave mode		$3 \times t_{\text{MASTER}}$	
$t_{\text{dis(SO)}}^{(1)(3)}$	Data output disable time	Slave mode	25		
$t_{\text{v(SO)}}^{(1)}$	Data output valid time	Slave mode (after enable edge)		75	
$t_{\text{v(MO)}}^{(1)}$	Data output valid time	Master mode (after enable edge)		30	
$t_{\text{h(SO)}}^{(1)}$ $t_{\text{h(MO)}}^{(1)}$	Data output hold time	Slave mode (after enable edge)	31		
		Master mode (after enable edge)	12		

1. 数据基于特性总结得出，没有在产品上测试。
2. Min time 是指驱动到输出的最小时间，max time 是指数据在端口上有效的最长时间。
3. Min time 是指输出变为无效的最小时间，max time 是指端口上的数据变为高阻态的最长时间。

图37 SPI时序图 — 从模式并且CPHA=0

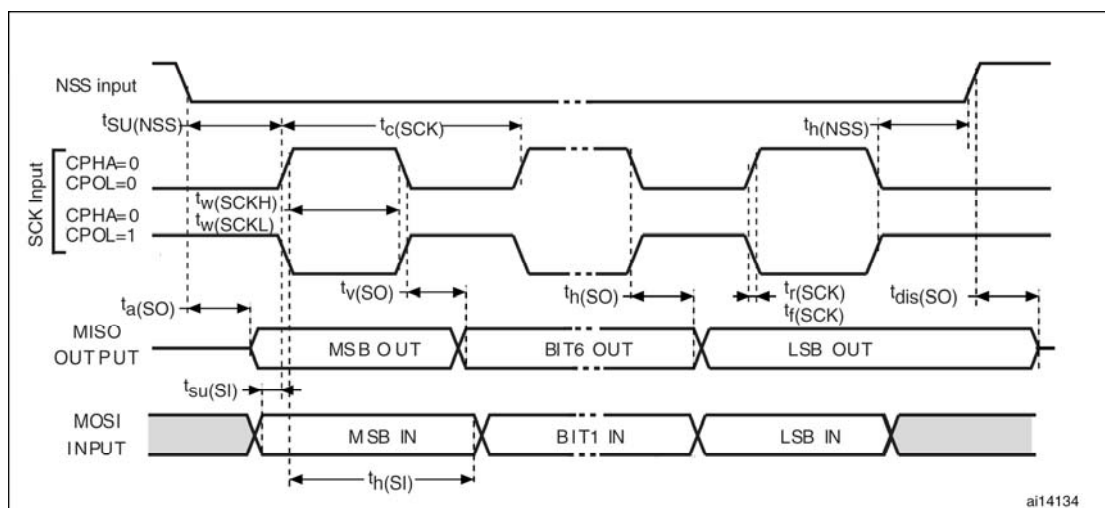
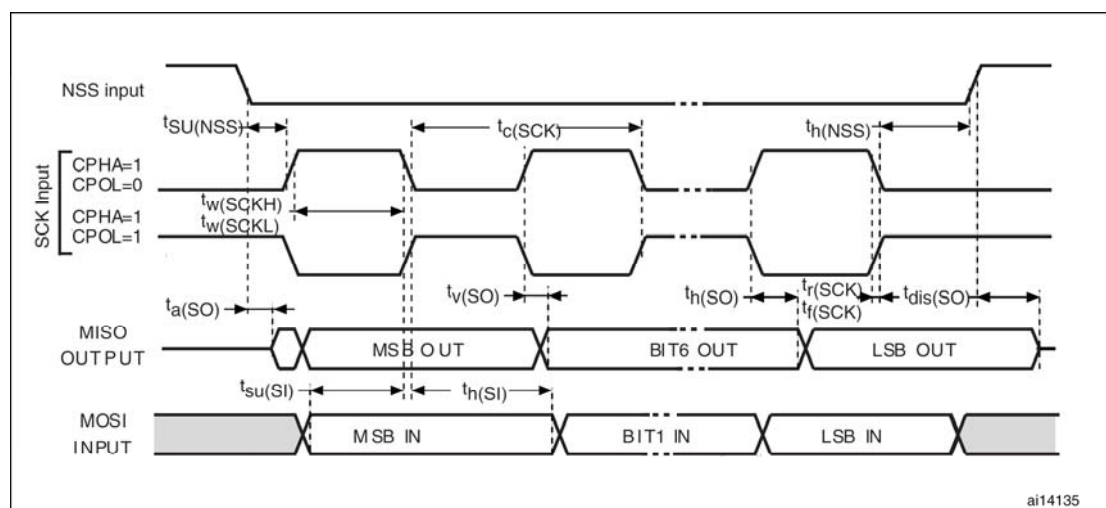
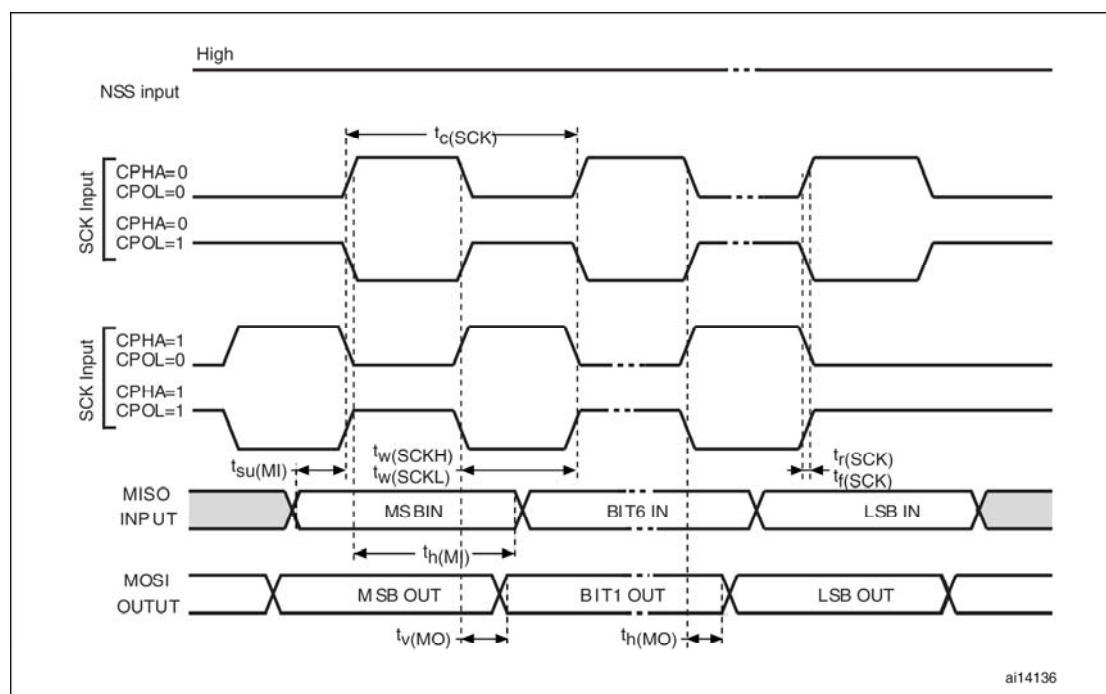


图38 SPI时序图 — 从模式并且CPHA=1



1. 测量点基于 CMOS 电平: 0.3V<sub>DD</sub> 和 0.7V<sub>DD</sub>

图39 SPI时序图 — 主模式



1. 测量点基于 CMOS 电平: 0.3V<sub>DD</sub> 和 0.7V<sub>DD</sub>



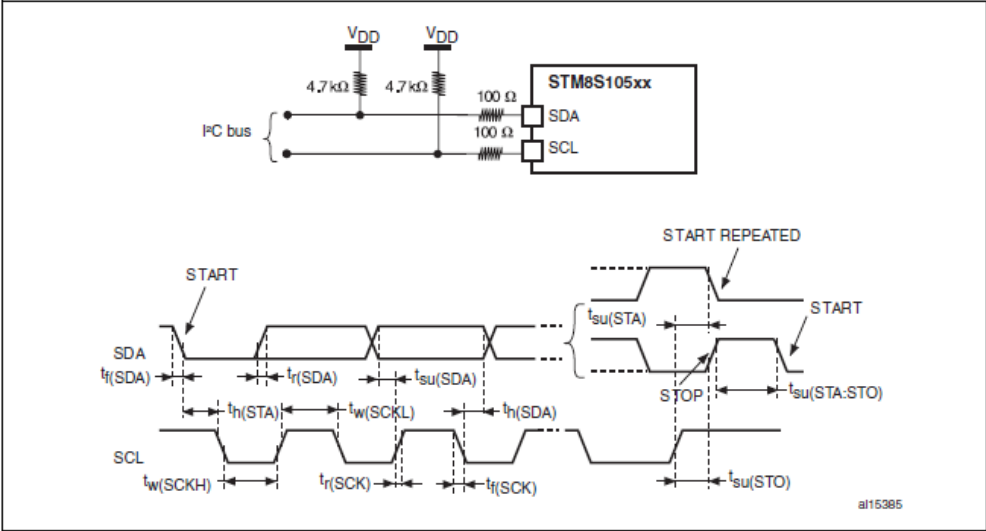
9.3.9 I<sup>2</sup>C接口特性

表42 I<sup>2</sup>C特性

Symbol	Parameter	Standard mode I <sup>2</sup> C		Fast mode I <sup>2</sup> C <sup>(1)</sup>		Unit
		Min <sup>(2)</sup>	Max <sup>(2)</sup>	Min <sup>(2)</sup>	Max <sup>(2)</sup>	
t <sub>w</sub> (SCLL)	SCL clock low time	4.7		1.3		μs
t <sub>w</sub> (SCLH)	SCL clock high time	4.0		0.6		
t <sub>su</sub> (SDA)	SDA setup time	250		100		ns
t <sub>h</sub> (SDA)	SDA data hold time	0 <sup>(3)</sup>		0 <sup>(4)</sup>	900 <sup>(3)</sup>	
t <sub>r</sub> (SDA) t <sub>r</sub> (SCL)	SDA and SCL rise time		1000		300	
t <sub>f</sub> (SDA) t <sub>f</sub> (SCL)	SDA and SCL fall time		300		300	
t <sub>h</sub> (STA)	START condition hold time	4.0		0.6		μs
t <sub>su</sub> (STA)	Repeated START condition setup time	4.7		0.6		
t <sub>su</sub> (STO)	STOP condition setup time	4.0		0.6		μs
t <sub>w</sub> (STO:STA)	STOP to START condition time (bus free)	4.7		1.3		μs
C <sub>b</sub>	Capacitive load for each bus line		400		400	pF

1. f<sub>MASTER</sub> 至少为 8MHz 才能达到最快的 I<sup>2</sup>C 速度(400kHz)。
2. 数据基于标准 I<sup>2</sup>C 协议的需要，没有在产品上测试。
3. 如果接口不允许延长低电平时间，则一定要遵守开始条件的最长保持时间。
4. 为了跳过 SCL 下降沿的不确定区域，芯片必须在内部为 SDA 提供一个至少 300ns 的保持时间。

图40 I<sup>2</sup>C 总线的应用和基本时序图<sup>(1)</sup>



1. 测量点基于CMOS电平：0.3V<sub>DD</sub>和0.7V<sub>DD</sub>



### 9.3.10 10 位ADC特性

$V_{DD}$ ,  $f_{MASTER}$ 和 $T_A$ 在通常的操作条件下, 除非特别说明。

表43 ADC特性

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
f <sub>ADC</sub>	ADC clock frequency	V <sub>DDA</sub> = 3 to 5.5 V	1		4	MHz
		V <sub>DDA</sub> = 4.5 to 5.5 V	1		6	
V <sub>DDA</sub>	Analog supply		3		5.5	V
V <sub>REF+</sub>	Positive reference voltage		2.75 <sup>(1)</sup>		V <sub>DDA</sub>	V
V <sub>REF-</sub>	Negative reference voltage		V <sub>SSA</sub>		0.5 <sup>(1)</sup>	V
V <sub>AIN</sub>	Conversion voltage range <sup>(2)</sup>		V <sub>SSA</sub>		V <sub>DDA</sub>	V
		Devices with external V <sub>REF+</sub> / V <sub>REF-</sub> pins	V <sub>REF-</sub>		V <sub>REF+</sub>	V
C <sub>ADC</sub>	Internal sample and hold capacitor			3		pF
t <sub>S</sub> <sup>(2)</sup>	Sampling time	f <sub>ADC</sub> = 4 MHz	0.75			μs
		f <sub>ADC</sub> = 6 MHz	0.5			
t <sub>STAB</sub>	Wakeup time from standby			7		μs
t <sub>CONV</sub>	Total conversion time (including sampling time, 10-bit resolution)	f <sub>ADC</sub> = 4 MHz	3.5			μs
		f <sub>ADC</sub> = 6 MHz	2.33			μs
			14			1/f <sub>ADC</sub>

1. 由设计保证, 没有在产品上测试。
2. 在采样时间内, 输入电容  $C_{AIN}$ (最大 3pF)能够从外部进行充电或放电。模拟信号源的内部阻抗必须保证电容在采样时间  $t_S$  内能够达到最终的电压。在采样时间  $t_S$  之后, 模拟输入电压的变化不会影响转换结果。采样时间  $t_S$  的值由编程确定。

表44  $R_{AIN} < 10k\Omega$ ,  $V_{DDA} = 3.3V$ 条件下ADC的精确度

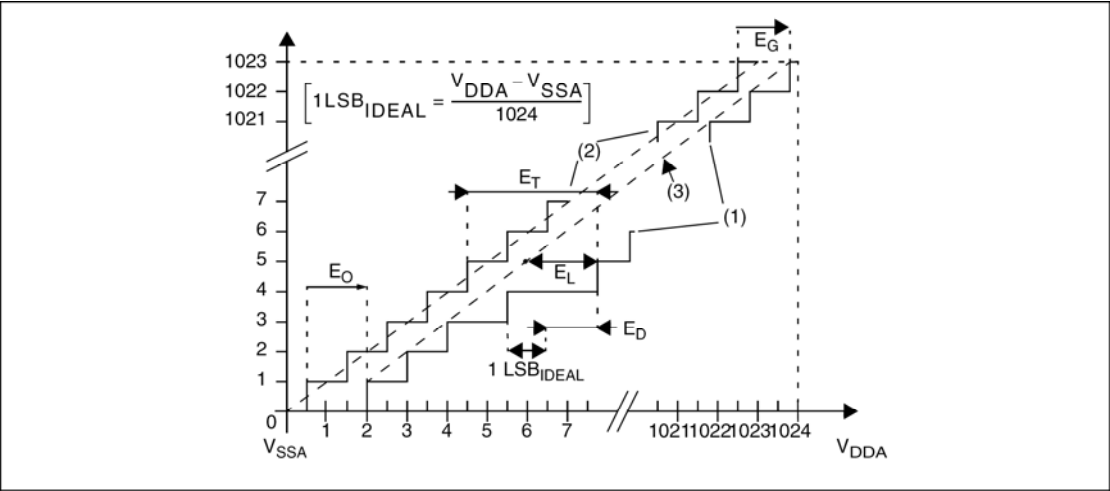
Symbol	Parameter	Conditions	Typ	Max <sup>(1)</sup>	Unit
$ E_T $	Total unadjusted error <sup>(2)</sup>	$f_{ADC} = 2 \text{ MHz.}$	1.1	2	LSB
		$f_{ADC} = 4 \text{ MHz.}$	1.6	2.5	
$ E_O $	Offset error <sup>(2)</sup>	$f_{ADC} = 2 \text{ MHz.}$	0.7	1.5	
		$f_{ADC} = 4 \text{ MHz.}$	1.3	2	
$ E_G $	Gain error <sup>(2)</sup>	$f_{ADC} = 2 \text{ MHz.}$	0.2	1.5	
		$f_{ADC} = 4 \text{ MHz.}$	0.5	2	
$ E_D $	Differential linearity error <sup>(2)</sup>	$f_{ADC} = 2 \text{ MHz.}$	0.7	1	
		$f_{ADC} = 4 \text{ MHz.}$	0.7	1	
$ E_L $	Integral linearity error <sup>(2)</sup>	$f_{ADC} = 2 \text{ MHz.}$	0.6	1.5	
		$f_{ADC} = 4 \text{ MHz.}$	0.6	1.5	

表45 R<sub>AIN</sub><10kΩ，V<sub>DDA</sub>=5V条件下ADC的精确度

Symbol	Parameter	Conditions	Typ	Max <sup>(1)</sup>	Unit
E <sub>T</sub>	Total unadjusted error <sup>(2)</sup>	f <sub>ADC</sub> = 2 MHz.	1	2.5	LSB
		f <sub>ADC</sub> = 4 MHz.	1.4	3	
		f <sub>ADC</sub> = 6 MHz.	1.6	3.5	
E <sub>O</sub>	Offset error <sup>(2)</sup>	f <sub>ADC</sub> = 2 MHz.	0.6	2	
		f <sub>ADC</sub> = 4 MHz.	1.1	2.5	
		f <sub>ADC</sub> = 6 MHz.	1.2	2.5	
E <sub>G</sub>	Gain error <sup>(2)</sup>	f <sub>ADC</sub> = 2 MHz.	0.2	2	
		f <sub>ADC</sub> = 4 MHz.	0.6	2.5	
		f <sub>ADC</sub> = 6 MHz.	0.8	2.5	
E <sub>D</sub>	Differential linearity error <sup>(2)</sup>	f <sub>ADC</sub> = 2 MHz.	0.7	1.5	
		f <sub>ADC</sub> = 4 MHz.	0.7	1.5	
		f <sub>ADC</sub> = 6 MHz.	0.8	1.5	
E <sub>L</sub>	Integral linearity error <sup>(2)</sup>	f <sub>ADC</sub> = 2 MHz.	0.6	1.5	
		f <sub>ADC</sub> = 4 MHz.	0.6	1.5	
		f <sub>ADC</sub> = 6 MHz.	0.6	1.5	

1. 数据基于带有 V<sub>REF+</sub>/V<sub>REF-</sub>的 LQFP80 封装芯片特性总结得出，没有在产品上测试。
2. ADC 的精确度相对于反向注入电流的变化：对于所有的模拟输入引脚都应该避免反向的注入电流，因为这会严重降低其它模拟输入引脚上的转换精度。建议在有可能有反向注入电流的标准模拟输入引脚上加入一个肖特基二极管(连接到地)。任何限制在 I<sub>INJ</sub>(PIN)和 ΣI<sub>INJ</sub>(PIN) 的正向注入电流都不会影响 ADC 的精确度。

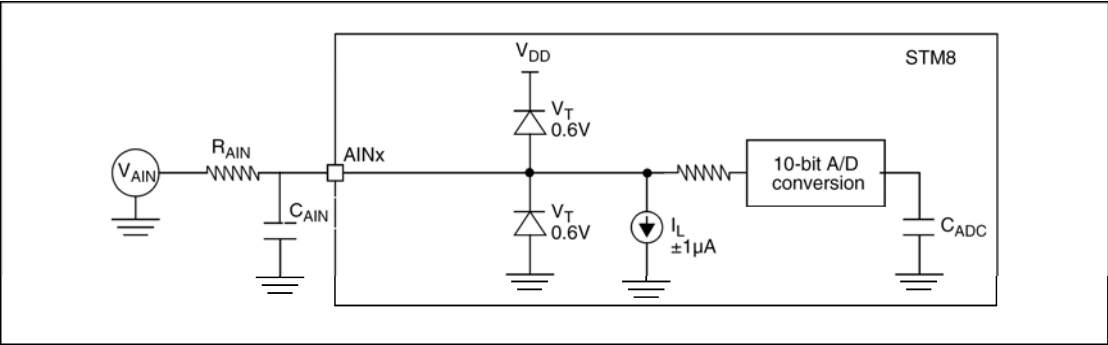
图41 ADC的精确度特性



1. 一个真实的转换曲线例子
2. 理想的转换曲线
3. 端点连接线  
E<sub>T</sub> = 总误差：实际的转换曲线与理想的转换曲线的最大偏差。  
E<sub>O</sub> = 偏移误差：第一个实际的转换值与第一个理想的转换值之间的偏差  
E<sub>G</sub> = 增益误差：最后一个实际的转换值与最后一个理想的转换值之间的偏差  
E<sub>D</sub> = 差分线性误差：实际的转换步长与理想的转换步长之间的最大偏差  
E<sub>L</sub> = 积分线性误差：在任何实际转换值与端点连接线的最大偏差



图42 ADC的典型应用



9.3.11 EMC特性

兼容性测试是在产品评定中一个样本基础上进行的。

功能EMS(电磁兼容)

产品在两种电磁测试环境下运行一个简单的应用程序(用I/O端口翻转两个LED)直到失效发生(在LED上表现出来)。

- ESD：静电放电(正向和反向)加载在芯片的所有引脚上，直到功能性干扰发生。测试遵守IEC 1000-4-2标准。
- FTB：快速脉冲群电压(正向和反向)经过一个100pF的电容器加载在VDD和VSS上，直到功能性干扰发生。测试遵守IEC 1000-4-4标准。

设备复位允许正常的操作继续进行。表中的测试结果是基于应用笔记AN1709中定义的EMS等级和分类得到的。

设计可靠的软件以避免噪声问题

EMC性能评定和优化是在典型的应用环境和简单的MCU软件下元器件级别的测试。应该注意的是良好的EMC性能高度依赖于用户的应用和特殊的软件。

因此建议用户进行EMC软件优化，并且针对应用的EMC等级要求进行预先的测试。

软件要求

软件流程中必须包括对于失控情况的处理，例如：

- 程序指针错误
- 意外复位
- 关键数据纠错(控制寄存器等)

评估试验

大多数一般失效(意外复位和程序指针错误)能够恢复，通过在NRST引脚或振荡器引脚上加上1秒钟的低电平。

为了完成这种试验，ESD信号可以被直接加载在芯片引脚上，可超出指定的范围。当检测到意外的状态时，软件能够阻止不可恢复的错误发生(参见应用笔记AN1015)。

表46 EMS数据

Symbol	Parameter	Conditions	Level/class
V <sub>FESD</sub>	Voltage limits to be applied on any I/O pin to induce a functional disturbance	V <sub>DD</sub> = 5 V, T <sub>A</sub> = +25 °C, f <sub>MASTER</sub> = 16 MHz, conforms to IEC 1000-4-2	2B
V <sub>EFTB</sub>	Fast transient voltage burst limits to be applied through 100pF on V <sub>DD</sub> and V <sub>SS</sub> pins to induce a functional disturbance	V <sub>DD</sub> = 5 V, T <sub>A</sub> = +25 °C, f <sub>MASTER</sub> = 16 MHz conforms to IEC 1000-4-4	4A



## 电磁干扰(EMI)

电磁干扰测试遵循为测试软件、板卡布局和引脚负载制定的SAE J 1752/3 标准。

表47 EMI数据

Symbol	Parameter	Conditions					Unit
		General conditions	Monitored frequency band	Max f <sub>HSE</sub> /f <sub>CPU</sub> <sup>(1)</sup>			
				8 MHz / 8 MHz	8 MHz / 16 MHz	8 MHz / 24 MHz	
S <sub>EMI</sub>	Peak level	V <sub>DD</sub> = 5 V, T <sub>A</sub> = +25 °C, LQFP80 package conforming to SAE J 1752/3	0.1MHz to 30 MHz	15	20	24	dBμV
			30 MHz to 130 MHz	18	21	16	
			130 MHz to 1 GHz	-1	1	4	
	SAE EMI level			2	2.5	2.5	-

1. 数据基于特性总结得出，没有在产品上测试。

## 最大绝对等级(电子敏感性)

为了确定产品在电子敏感性方面的性能，使用特定的测试方法进行了两种不同的测试(ESD和LU)。更加详尽的内容参见应用笔记AN1181。

## 静电放电(ESD)

静电放电(3个正向脉冲，接着是3个反向脉冲，间隔为1秒)根据引脚的组合加载在每一组样本引脚上。样本的大小取决于芯片供电引脚的数目(3部分\*(n+1)供电引脚)。测试符合JESD22-A114A/A115A标准。更多详尽的内容参见应用笔记AN1181。

表48 ESD绝对最大等级

Symbol	Ratings	Conditions	Class	Maximum value <sup>(1)</sup>	Unit
$V_{ESD(HBM)}$	Electrostatic discharge voltage (Human body model)	$T_A = +25^{\circ}\text{C}$ , conforming to JESD22-A114	A	2000	V
$V_{ESD(CDM)}$	Electrostatic discharge voltage (Charge device model)	$T_A = +25^{\circ}\text{C}$ , conforming to JESD22-C101	IV	1000	V

1. 数据基于特性总结得出，没有在产品上测试。

## 静态死锁

为了获得死锁性能，需要在10部分上进行两种相反的静态测试。

- 供电过压(加载到每一个电源供电引脚)和
- 在每一个样本上进行电流注入(加载到每一个输入、输出和可配置的I/O上)

测试符合EIA/JESD 78 IC死锁标准。更多详尽的内容参见应用笔记AN1181。

表49 电子敏感性

Symbol	Parameter	Conditions	Class <sup>(1)</sup>
LU	Static latch-up class	$T_A = +25\text{ }^{\circ}\text{C}$	A
		$T_A = +85\text{ }^{\circ}\text{C}$	A
		$T_A = +125\text{ }^{\circ}\text{C}$	A

1. 等级说明：A 等级是 STMicroelectronics 的内部规范。它的所有限制高于 JEDEC 规范，也就是说一个符合 A 等级的芯片超出了 JEDEC 标准。B 等级严格符合所有 JEDEC 标准(国际标准)。



图44 64脚低剖面方形扁平封装(14x14)

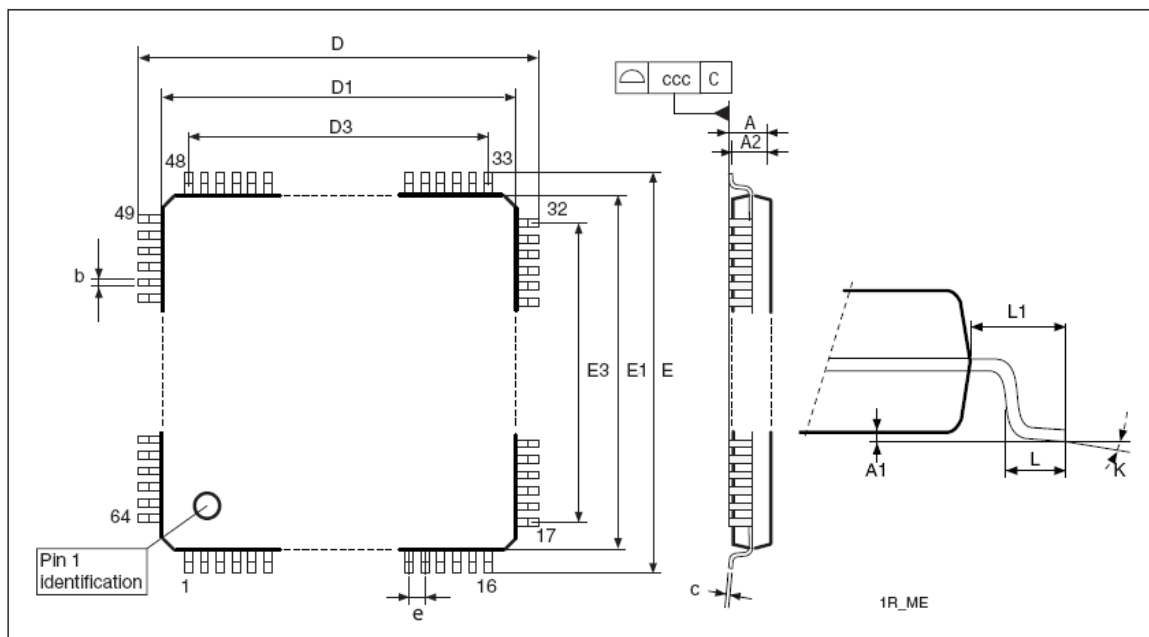


表51 64脚低剖面方形扁平封装尺寸(10x10)

Symbol	mm			inches <sup>(1)</sup>		
	Min	Typ	Max	Min	Typ	Max
A			1.600			0.0630
A1	0.050		0.150	0.0020		0.0059
A2	1.350	1.400	1.450	0.0531	0.0551	0.0571
b	0.300	0.370	0.450	0.0118	0.0146	0.0177
C	0.090		0.200	0.0035		0.0079
D	15.800	16.000	16.200	0.6220	0.6299	0.6378
D1	13.800	14.000	14.200	0.5433	0.5512	0.5591
D3		12.000			0.4724	
E	15.800	16.000	16.200	0.6220	0.6299	0.6378
E1	13.800	14.000	14.200	0.5433	0.5512	0.5591
E3		12.000			0.4724	
e		0.800			0.0315	
L	0.450	0.600	0.750	0.0177	0.0236	0.0295
L1		1.000			0.0394	
k	0.0 °	3.5 °	7.0 °	0.0 °	3.5 °	7.0 °
ccc			0.100			0.0039

2. 英寸的数值是根据毫米的数据按照 4 位小数精度转换取整得到的。



图45 64脚低剖面方形扁平封装(10x10)

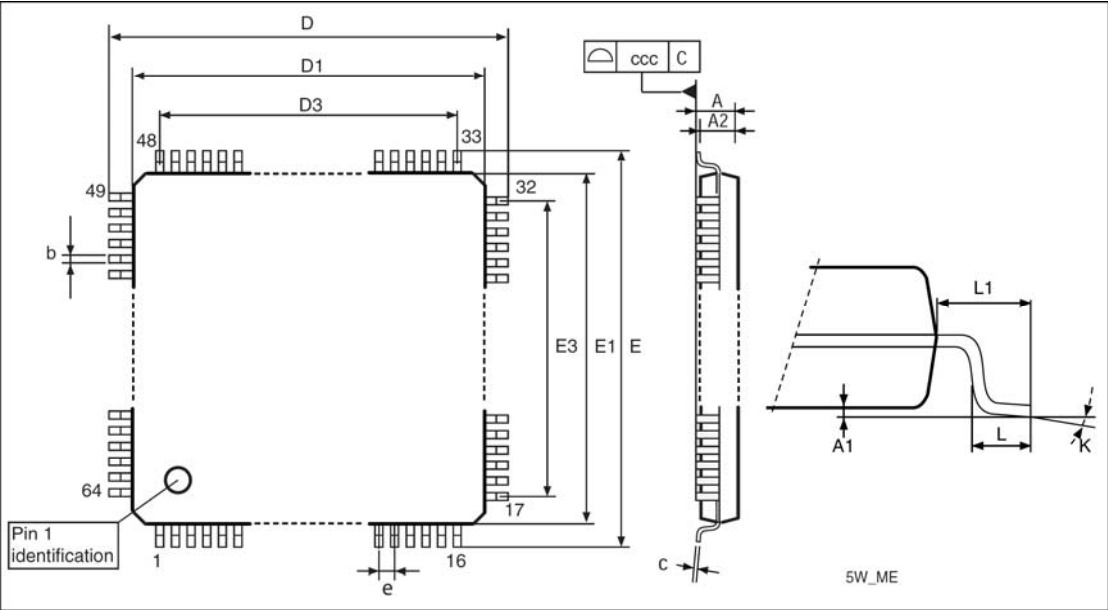


表52 64脚低剖面方形扁平封装尺寸(10x10)

Symbol	mm			inches <sup>(1)</sup>		
	Min	Typ	Max	Min	Typ	Max
A			1.600			0.0630
A1	0.050		0.150	0.0020		0.0059
A2	1.350	1.400	1.450	0.0531	0.0551	0.0571
b	0.170	0.220	0.270	0.0067	0.0087	0.0106
C	0.090		0.200	0.0035		0.0079
D		12.000			0.4724	
D1		10.000			0.3937	
E		12.000			0.4724	
E1		10.000			0.3937	
e		0.500			0.0197	
K	0.000°	3.500°	7.000°	0.0000°	3.5000°	7.0000°
L	0.450	0.600	0.750	0.0177	0.0236	0.0295
L1		1.000			0.0394	

1. 英寸的数值是根据毫米的数据按照 4 位小数精度转换取整得到的。



图46 48脚低剖面方形扁平封装(7x7)

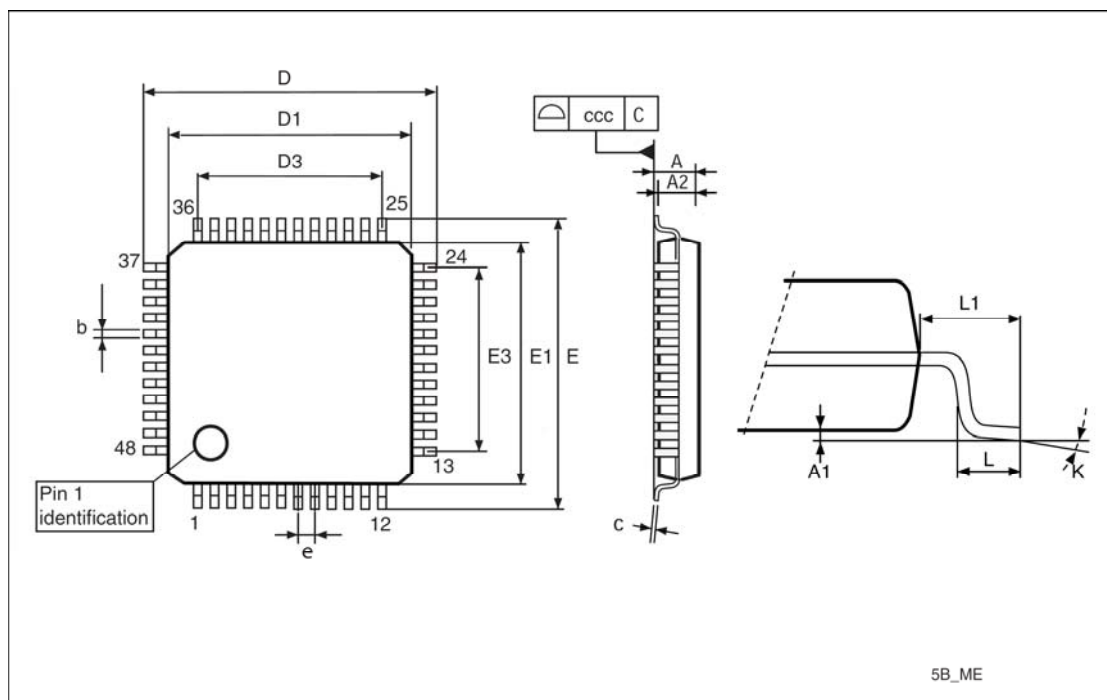


表53 48脚低剖面方形扁平封装尺寸(7x7)

Symbol	mm			inches <sup>(1)</sup>		
	Min	Typ	Max	Min	Typ	Max
A			1.600			0.0630
A1	0.050		0.150	0.0020		0.0059
A2	1.350	1.400	1.450	0.0531	0.0551	0.0571
b	0.170	0.220	0.270	0.0067	0.0087	0.0106
c	0.090		0.200	0.0035		0.0079
D	8.800	9.000	9.200	0.3465	0.3543	0.3622
D1	6.800	7.000	7.200	0.2677	0.2756	0.2835
D3		5.500			0.2165	
E	8.800	9.000	9.200	0.3465	0.3543	0.3622
E1	6.800	7.000	7.200	0.2677	0.2756	0.2835
E3		5.500			0.2165	
e		0.500			0.0197	
L	0.450	0.600	0.750	0.0177	0.0236	0.0295
L1		1.000			0.0394	
k	0.0°	3.5°	7.0°	0.0°	3.5°	7.0°
ccc			0.080			0.0031

1. 英寸的数值是根据毫米的数据按照 4 位小数精度转换取整得到的。

图47 44脚低剖面方形扁平封装(10x10)

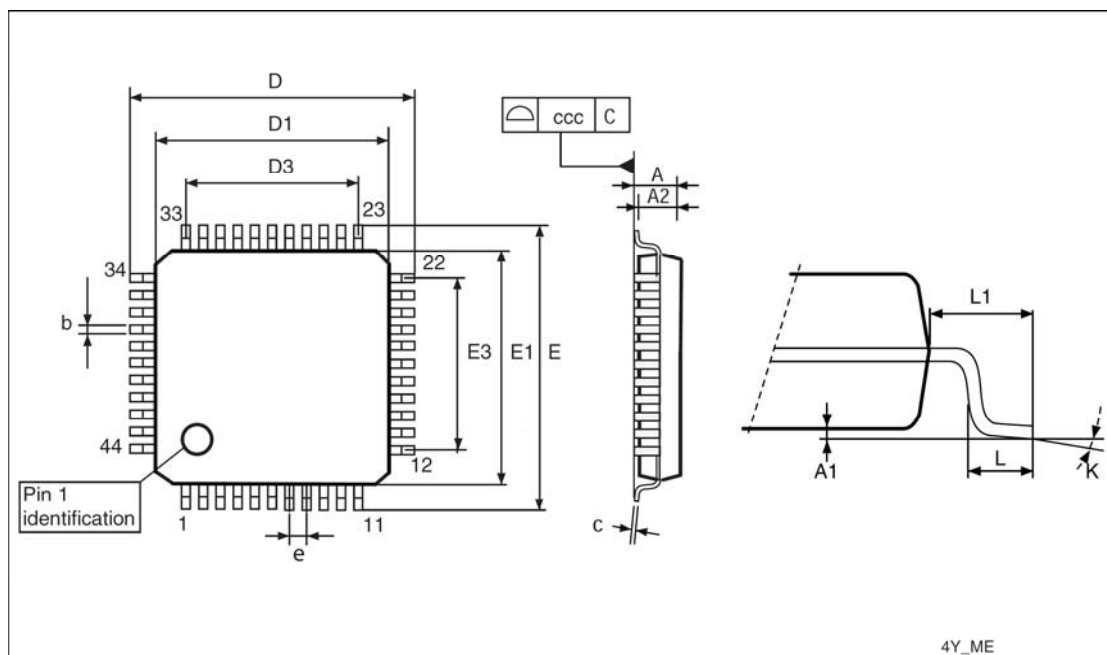


表54 44脚低剖面方形扁平封装尺寸

Symbol	mm			inches <sup>(1)</sup>		
	Min	Typ	Max	Min	Typ	Max
A			1.600			0.0630
A1	0.050		0.150	0.0020		0.0059
A2	1.350	1.400	1.450	0.0531	0.0551	0.0571
b	0.300	0.370	0.450	0.0118	0.0146	0.0177
c	0.090		0.200	0.0035		0.0079
D	11.800	12.000	12.200	0.4646	0.4724	0.4803
D1	9.800	10.000	10.200	0.3858	0.3937	0.4016
D3		8.000			0.3150	
E	11.800	12.000	12.200	0.4646	0.4724	0.4803
E1	9.800	10.000	10.200	0.3858	0.3937	0.4016
E3		8.000			0.3150	
e		0.800			0.0315	
L	0.450	0.600	0.750	0.0177	0.0236	0.0295
L1		1.000			0.0394	
k	0.0°	3.5°	7.0°	0.0°	3.5°	7.0°
ccc			0.100			0.0039

1. 英寸的数值是根据毫米的数据按照 4 位小数精度转换取整得到的。

图48 32脚低剖面方形扁平封装(7x7)

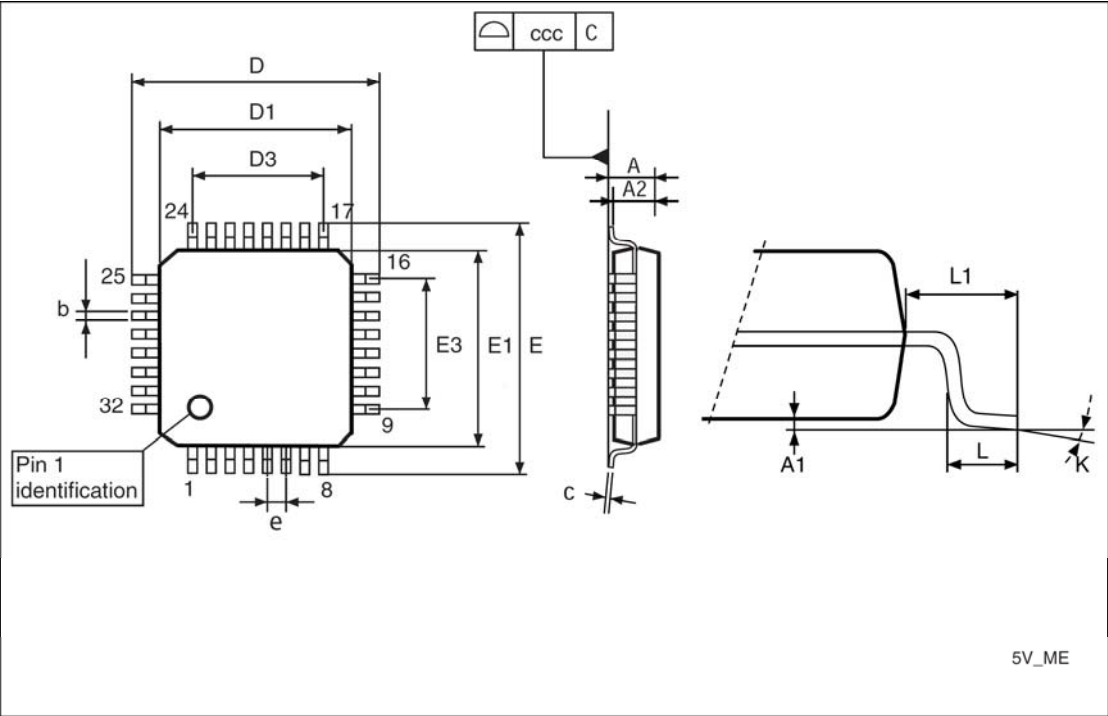


表55 32脚低剖面方形扁平封装尺寸

Symbol	mm			inches <sup>(1)</sup>		
	Min	Typ	Max	Min	Typ	Max
A			1.600			0.0630
A1	0.050		0.150	0.0020		0.0059
A2	1.350	1.400	1.450	0.0531	0.0551	0.0571
b	0.300	0.370	0.450	0.0118	0.0146	0.0177
c	0.090		0.200	0.0035		0.0079
D	8.800	9.000	9.200	0.3465	0.3543	0.3622
D1	6.800	7.000	7.200	0.2677	0.2756	0.2835
D3		5.600			0.2205	
E	8.800	9.000	9.200	0.3465	0.3543	0.3622
E1	6.800	7.000	7.200	0.2677	0.2756	0.2835
E3		5.600			0.2205	
e		0.800			0.0315	
L	0.450	0.600	0.750	0.0177	0.0236	0.0295
L1		1.000			0.0394	
k	0.0°	3.5°	7.0°	0.0°	3.5°	7.0°
ccc			0.100			0.0039

1. 英寸的数值是根据毫米的数据按照 4 位小数精度转换取整得到的。



# 10.2 热特性

芯片的最大结温( $T_{Jmax}$ )一定不能超过表15：一般操作条件 给出的数值范围。芯片的最大结温( $T_{Jmax}$ )用摄氏温度表示，可用下面的公式计算：

$$T_{Jmax} = T_{Amax} + (P_{Dmax} \times \Theta_{JA})$$

这里：

- $T_{Amax}$ 是最大的环境温度，用℃表示
- $\Theta_{JA}$ 是封装结到环境的热阻抗，用℃/W标示
- $P_{Dmax}$ 是 $P_{INTmax}$ 和 $P_{I/Omax}$ 的和( $P_{Dmax} = P_{INTmax} + P_{I/Omax}$ )
- $P_{INTmax}$ 是 $I_{DD}$ 和 $V_{DD}$ 的积，用瓦特(Watt)表示，使芯片的最大内部功耗
- $P_{I/Omax}$ 是所有输出引脚的最大功率消耗

这里：

$$P_{I/Omax} = \sum (V_{OL} \times I_{OL}) + \sum ((V_{DD} - V_{OH}) \times I_{OH})$$

使用在应用中I/O上低电平和高电平的实际的 $V_{OL}/I_{OL}$ 和 $V_{OH} \times I_{OH}$

表56 热特性

Symbol	Parameter	Value	Unit
$\Theta_{JA}$	Thermal resistance junction-ambient LQFP 80 - 14 x 14 mm	38	°C/W
$\Theta_{JA}$	Thermal resistance junction-ambient LQFP 64 - 14 x 14 mm	45	°C/W
$\Theta_{JA}$	Thermal resistance junction-ambient LQFP 64 - 10 x 10 mm	46	°C/W
$\Theta_{JA}$	Thermal resistance junction-ambient LQFP 48 - 7 x 7 mm	57	°C/W
$\Theta_{JA}$	Thermal resistance junction-ambient LQFP 44 - 10 x 10 mm	54	°C/W
$\Theta_{JA}$	Thermal resistance junction-ambient LQFP 32 - 7 x 7 mm	59	°C/W

1. 热阻抗是基于自然对流环境下，对符合 JEDEC JESD51-2 标准的 4 层 PCB 板测量得到的。

## 10.2.1 参考文档

JESD51-2 集成电路热测量环境条件 – 自然对流(空气静止)。

参见[www.jedec.org](http://www.jedec.org)。

## 10.2.2 选择产品的温度范围

当订购微控制器时，温度范围在订购代码中指定(见图47：STM8S207/208xx高性能产品订购信息表)。

下面的例子说明如何根据特定的应用计算需要的温度范围。

假设下面的应用条件：

- 最大环境温度 $T_{Amax} = 82^{\circ}\text{C}$  (根据JESD51-2标准测量)
- $I_{DDmax} = 15\text{ mA}$ ,  $V_{DD} = 5.5\text{ V}$
- 同时最多8个标准I/O输出低电平,  $I_{OL} = 10\text{ mA}$ ,  $V_{OL} = 2\text{ V}$
- 同时最多4个高吸收电流I/O输出低电平,  $I_{OL} = 20\text{ mA}$ ,  $V_{OL} = 1.5\text{ V}$
- 同时最多2个真正的开漏I/O输出低电平,  $I_{OL} = 20\text{ mA}$ ,  $V_{OL} = 2\text{ V}$

$$P_{INTmax} = 15\text{mA} \times 5.5\text{V} = 82.5\text{ mW}$$

$$P_{I/Omax} = (10\text{mA} \times 2\text{V} \times 8) + (20\text{mA} \times 2\text{V} \times 2) + (20\text{mA} \times 1.5\text{V} \times 4) = 360\text{mW}$$



这样得到了:  $P_{INTmax} = 82.5mW$  和  $P_{IOmax} = 360mW$ :

$$P_{Dmax} = 82.5mW + 360 mW$$

因此  $P_{Dmax} = 443mW$

使用在表48: 热特性 中得到的数据如下计算 $T_{Jmax}$  :

对于 LQFP64 10 x 10 mm =  $46^{\circ}C/W$

$$T_{Jmax} = 82^{\circ}C + (46^{\circ}C/W \times 443mW) = 82^{\circ}C + 20^{\circ}C = 102^{\circ}C$$

结果在尾缀为6的版本 ( $-40 < T_J < 105^{\circ}C$ ) 温度范围内。

在这个例子中, 最低要订购温度范围尾缀为6的芯片。

## **11 STM8开发工具 (本章从略)**

### **11.1 仿真和在线调试工具**

### **11.2 软件工具**

#### **11.2.1 STM8 工具套件**

#### **11.2.2 C和汇编工具**

#### **11.2.3 烧写工具**





## 12 订购信息

图49 STM8S207XX/208xx高性能产品订购信息表

Example:	STM8	S	208	M	B	T	6	B	TR
<b>Product class</b> STM8 microcontroller									
<b>Family type</b> S = Standard									
<b>Sub-family type<sup>(2)</sup></b> 208 = Full peripheral set 207 = Intermediate peripheral set									
<b>Pin count</b> K = 32 pins S = 44 pins C = 48 pins R = 64 pins M = 80 pins									
<b>Program memory size</b> 6 = 32 Kbyte 8 = 64 Kbyte B = 128 Kbyte									
<b>Package type</b> T = LQFP									
<b>Temperature range</b> 3 = -40 °C to 125 °C 6 = -40 °C to 85 °C									
<b>Package pitch</b> No character = 0.5 mm B = 0.65 mm C = 0.8 mm									
<b>Packing</b> No character = Tray or tube TR = Tape and reel									

1. 如果需要可用的选择和可订购的型号列表，或者关于这颗芯片任何方面的更多信息，请访问[www.st.com](http://www.st.com)网站或者联络离您最近的ST销售机构。
2. 参考表 2 了解详细的描述。

## 13 (英文)版本修改记录

表57 文档版本修改记录

Date	Revision	Changes
23-May-2008	1	Initial release.
05-Jun-2008	2	Added part numbers on page 1 and in <a href="#">Table 2 on page 11</a> . Updated <a href="#">Section 4: Product overview</a> . Updated <a href="#">Section 9: Electrical characteristics</a> .
22-Jun-2008	3	Added part numbers on page 1 and in <a href="#">Table 2 on page 11</a> .
12-Aug-2008	4	Added 32 pin device pinout and ordering information. Updated UBC option description in <a href="#">Table 13 on page 48</a> . USART renamed UART1, LINUART renamed UART3. Max. ADC frequency increased to 6 MHz.
20-Oct-2008	5	Removed STM8S207K4 part number. Removed LQFP64 14 x 14 mm package. Added medium and high density Flash memory categories. Added <a href="#">Section 6: Memory and register map on page 33</a> . Replaced beCAN3 by beCAN in <a href="#">Section 4.14.5: beCAN</a> . Updated <a href="#">Section 9: Electrical characteristics on page 50</a> . Updated LQFP44 ( <a href="#">Figure 47</a> and <a href="#">Table 54</a> ), and LQFP32 outline and mechanical data ( <a href="#">Figure 48</a> , and <a href="#">Table 55</a> ).
08-Dec-2008	6	Changed V <sub>DD</sub> minimum value from 3.0 to 2.95 V. Updated number of High Sink I/Os in pinout. Removed FLASH_NFPR and FLASH_FPR registers in <a href="#">Table 9: General hardware register map</a> .
30-Jan-2009	7	Removed preliminary status. Removed VQFN32 package. Added STM8S207C6, STM8S207S6. Updated external interrupts in <a href="#">Table 2 on page 11</a> . Updated <a href="#">Section 9: Electrical characteristics</a> .
10-Jul-2009	8	Document status changed from "preliminary data" to "datasheet". Added LQFP64 14 x 14 mm package. Added STM8S207M8, STM8S207SB, STM8S208R8, STM8S208R6, STM8S208C8, and STM8S208C6, STM8S208SB, STM8S208S8, and STM8S208S6. Replaced "CAN" with "beCAN". Added <a href="#">Table 3</a> to <a href="#">Section 4.5: Clock controller</a> . Updated <a href="#">Section 4.8: Auto wakeup counter</a> . Added beCAN peripheral (impacting <a href="#">Table 1</a> and <a href="#">Figure 6</a> ). Added footnote about CAN_RX/TX to pinout figures <a href="#">3</a> , <a href="#">4</a> , and <a href="#">6</a> . <a href="#">Table 6</a> : Removed 'X' from wpu column of I <sup>2</sup> C pins (no wpu available). Added <a href="#">Table 11: Interrupt mapping</a> .
10-Jul-2009	8 cont'd	<a href="#">Section 9: Electrical characteristics</a> : Added data for TBD values; updated <a href="#">Table 14: Voltage characteristics</a> and <a href="#">Table 17: General operating conditions</a> ; updated VCAP specifications in <a href="#">Table 17</a> and in <a href="#">Section 9.3.1: VCAP external capacitor</a> ; updated <a href="#">Figure 18</a> ; replaced <a href="#">Figure 19</a> ; updated <a href="#">Table 34: RAM and hardware registers</a> ; updated <a href="#">Figure 22</a> and <a href="#">Figure 35</a> ; added <a href="#">Figure 40: Typical application with I2C bus and timing diagram(1)</a> . Removed <a href="#">Table 56: Junction temperature range</a> . Added link between ordering information <a href="#">Figure 49</a> and STM8S20xx features <a href="#">Table 2</a> .